



GEBZE TEKNİK ÜNİVERSİTESİ  
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 0 Deney Raporu

Lojik Devreler ve Tasarım Laboratuvarı Dersi

Hazırlayanlar
1) 171024086-Berat KIZILARMUT
2)

## 1. Giriş

Bu dersin laboratuvarında kullanılacak olan **Intel Quartus Prime Lite** programının kurulumu **Quartus Prime - Windows Kurulum** belgesindeki yönergeler takip edilerek yapılmıştır. **Quartus II Introduction** belgesi takip edilerek 9.adıma kadar yönergeler yerine getirilmiştir. Gerekli şemalar çizilmiş, istenilen simülasyonlar yapılmıştır. Sırasıyla yapılan işlemler kısaca;

Yazılımda yeni bir proje oluşturulmuştur. Proje oluşturulurken **MAX 10 DE10 – Lite** boardu seçilmiştir. Ardından istenilen lojik devre çizilmiştir, gerekli bağlantılar, giriş ve çıkış pinleri koyulmuştur. Çizilen devreye pin atamaları yapılmıştır. Ardından çizilen devre derlenmiştir ve rapor çıktıları alınmıştır. Bir sonraki adım olarak dalga editöründe sinyaller sırasıyla denenerek simülasyonlar yapılmıştır.

## 2. Problemler

### 2.1. Problem I - Quartus Prime'a Başlangıç

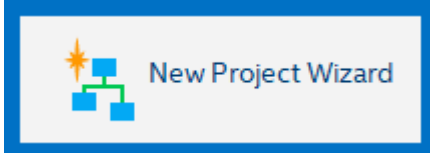
#### 2.1.1. Teorik Araştırma

Teorik araştırma istenilmemiştir.

#### 2.1.2. Deneyin Yapılışı

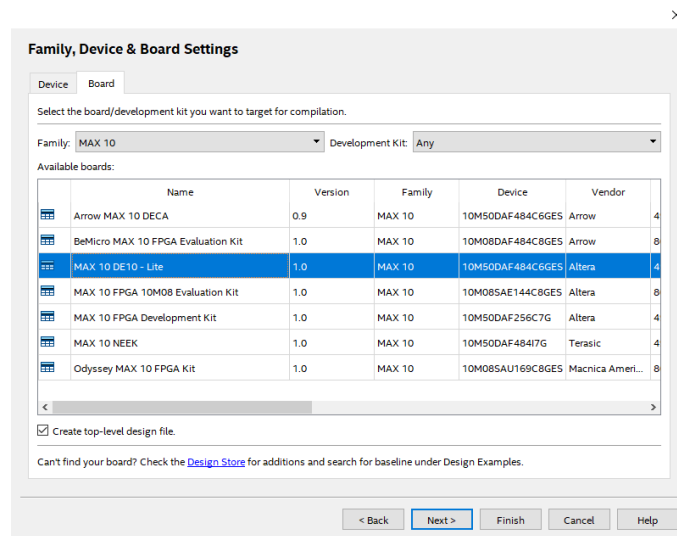
### Quartus Prime Programının Kurulması ve Proje Başlangıcı

Intel FPGA Software sayfasına girilerek akademik üyelik açılmıştır. Bu siteden istenilen programın **Intel Quartus Prime Lite 19.1** versiyonu indirilmiş ve kurulmuştur.

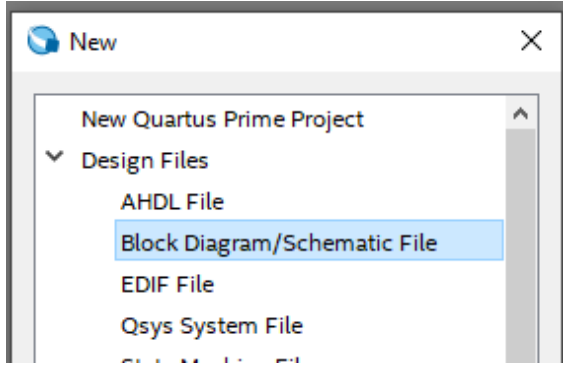


Şekil 1 Yeni proje oluşturmak

Yeni Proje Oluşturulmuştur. Oluşturulan yeni projede development board olarak “ **MAX 10 DE10 – Lite**” boardu seçilmiştir.



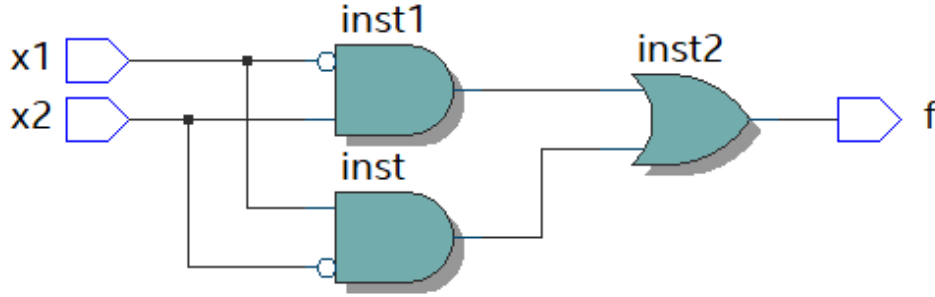
Şekil 2 Development board seçimi



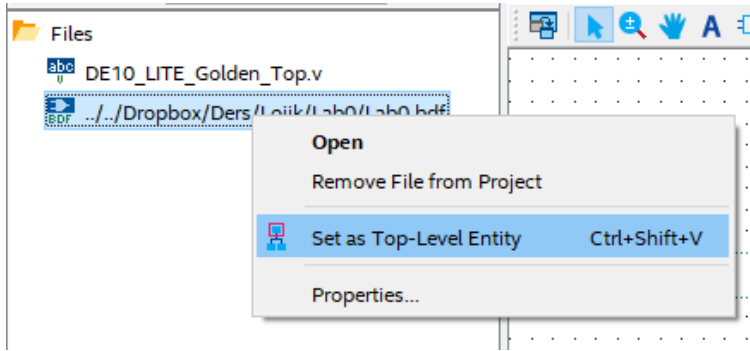
Şekil 3 Şematik dosyası oluşturmak

## Devrenin Şematik Hazırlanılması

Projenin kurulumu tamamlandıktan sonra şematik dosyası oluşturulmuştur. Ardından istenilen lojik kapılar devreye eklenmiştir ve aralarında bağlantılar yapılmıştır.



Şekil 4 RTL devre şeması



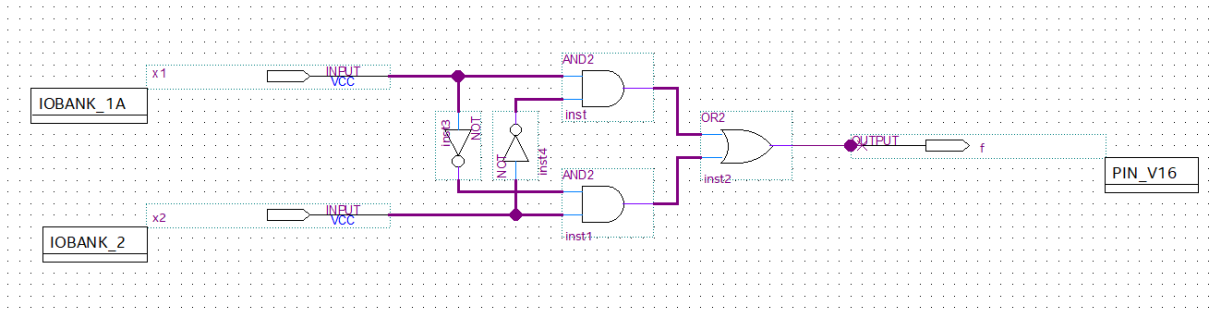
Şekil 5 Öncelik atama işlemi

Ardından kurulan devrenin pin ataması yapılmıştır. Bunu yapabilmek için öncelikle çizdiğimiz şema programda “Top Level Entity” yapılmıştır.

‘Assignment Editor’ sekmesine girilerek şematik adımı koyduğumuz giriş ve çıkışlar, boardumuzda istediğimiz pinlere atanmıştır.

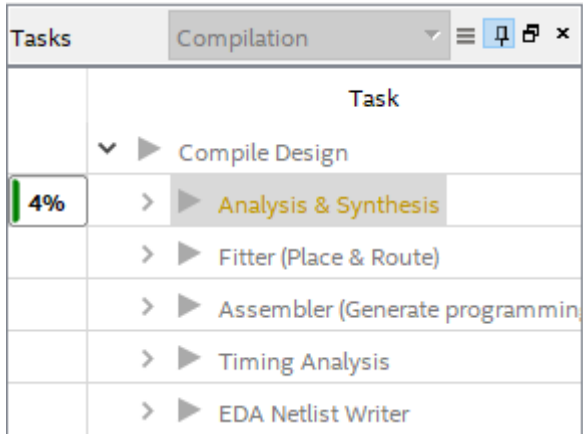
Lab0.bdf*									
Assignment Editor									
<<new>> Filter on node names: *									
tatu	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag	
1	✓	x1	Location	IOBANK_1A	Yes				
2	✓	x2	Location	IOBANK_2	Yes				
3	✓	f	Location	PIN_V16	Yes				
4	<<new>>	<<new>>	<<new>>						

Şekil 6 Assignment Editor'da pin atanması



Şekil 7 Pinleri atanmış şema

Pin atama işi yapıldıktan sonra şemamız bu şekilde görülmektedir.



Şekil 8 Analiz ve Sentez işlemi

### Derlenme Aşaması

Devrenin şematik olarak hazırlanması bittiğinde derlenme aşamasına geçildi.

Öncelikle ‘Analiz ve Sentez’ işlemi yapıldı. İşlem sonucunda aşağıdaki rapor çıkartıldı.

Flow Status	Successful - Tue Feb 25 16:20:41 2020
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	Lab0
Top-level Entity Name	Lab0
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	1
Total registers	0
Total pins	3
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

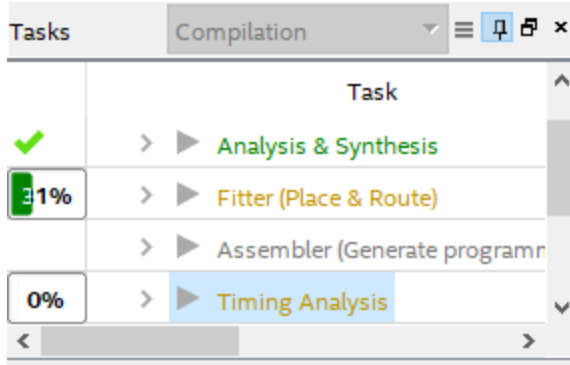
Şekil 9 Analiz ve Sentez Raporu

Raporumuzdan öğrendiğimize göre;

Devremizde 1 lojik element bulunmaktadır.

Toplam 3 pin kullanılmaktadır.

Development boardumuzun ailesi de başlangıçta seçtiğimiz gibi MAX 10’dur.

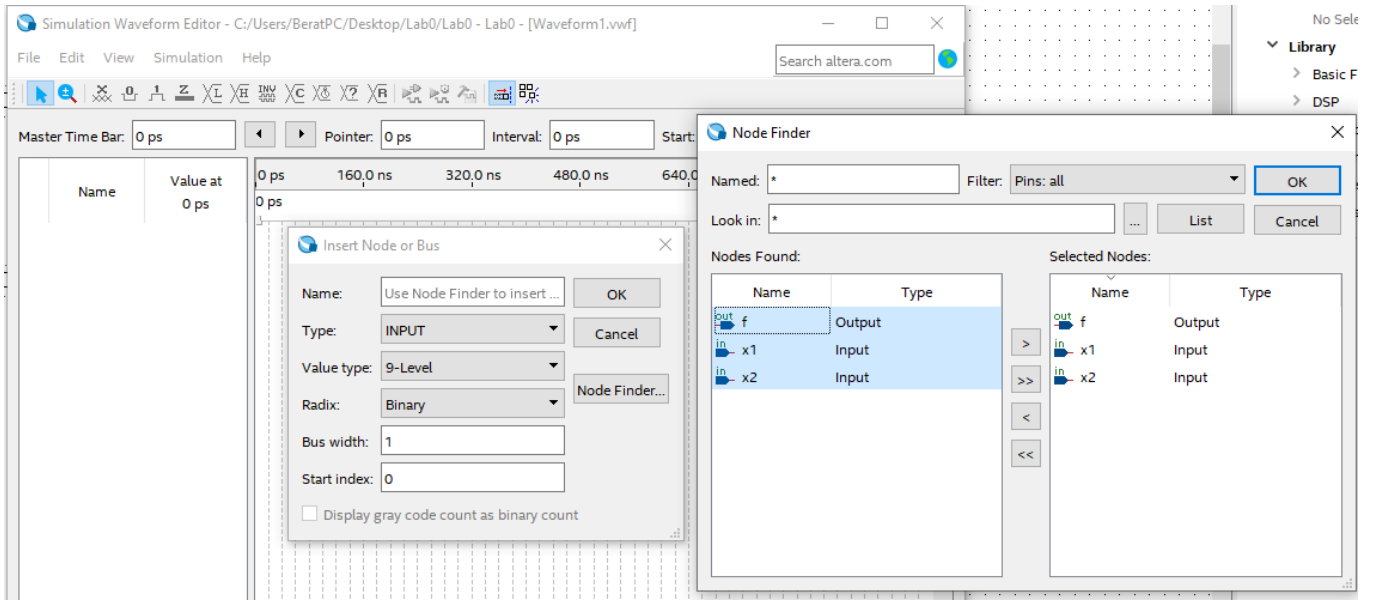


Şekil 10 Diğer Derlenme işlemleri

Devremizin sınanmasını bitirmek için, ‘Analiz ve Sentez’ işleminin ardından, ‘Bağlantı’ ve ‘Zamanlama Analizi’ derlemelerini de yapmalıyız.

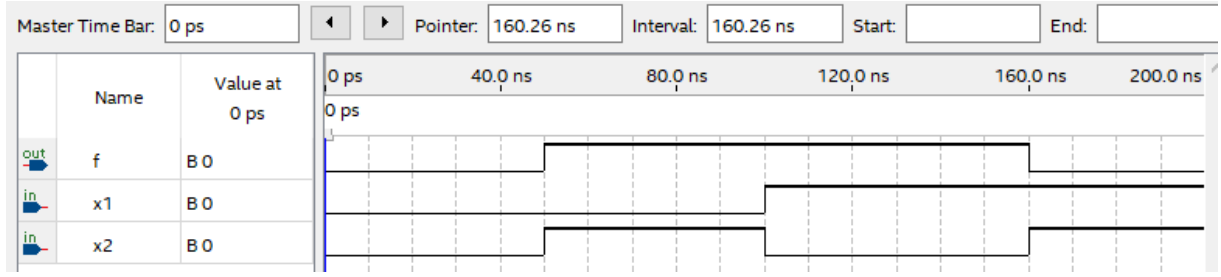
## Simulasyon Aşaması

Bu aşamada devremizin nasıl davrandığını sınamak ve test etmek için simülasyon yapacağız.

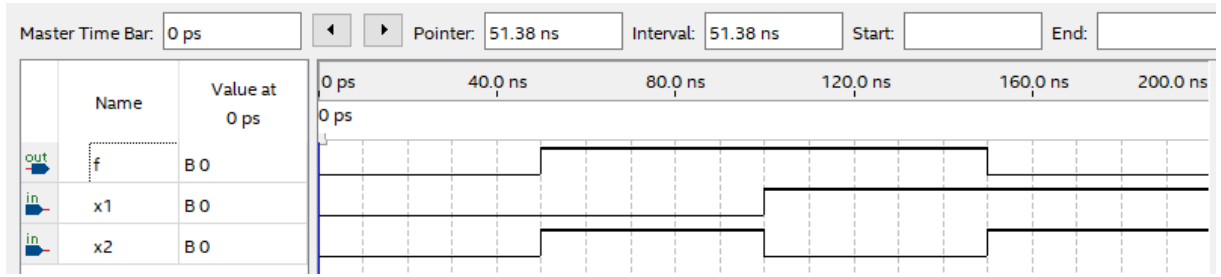


Şekil 11 Simulation Waveform Editor

Öncelikle ‘Simulation Waveform Editor’ açılmalı. Ardından Waveform Editor’de ‘Insert Node or Bus’ diyerek ‘Node Finder’den devremizin şematik kısmında eklediğimiz x1, x2 ve f pinleri seçildi. Ardından simülasyonumuzun çalışacağı aralık olarak 200 ns seçildi. Dalga formu olabilecek bütün durumları sınyabilecek şekilde çizildi. Ardından ‘Fonksiyon Simülasyonu’ ve ‘Zamanlama Simülasyonu’ çalıştırıldı.



Şekil 12 Fonksiyon Simulasyonu



Şekil 13 Zamanlama Simulasyonu

### 2.1.3 Deneyin Sonucu

Lab0 deneyinin sürecinde, kullanımına yeni başlamış olduğumuz **Intel Quartus Prime** ile ilgili bilmemiz gereken temel bilgileri edindik. Programın arayüzü ve fonksiyonları ilk başlarda karışık gözükmesine rağmen bizim kullanımımız için gayet uygun. Programın arayüzünü öğrendikten sonra herhangi bir sorun yaşanmadı. Deney yapılması oldukça eğlenceli ve ödüllendirici idi. Program ve bu ders oldukça ilgimi çekmekte, mezun olduğum zaman microcontrollerlar ile ilgilenmek istemekteyim. Önümüzdeki deneyleri sabırsızlıkla beklemekteyim.