ELM 234 - Ödev #3 Berat KIZILARMUT 171024086



A. Maximum Frekans ve Pipeline

1. Şekil 1 de verilen devrenin bütün clock girişlerini aynı clocka bağlandığını varsayalım. Tablo 1 de verilen değerlere göre devrenin maximum frekansını bulunuz. Setup ve Hold zamanlamalarına uymuyorsa ona göre gerekli yere ekstra lojik ekleyip, devreyi tekrar analiz ediniz.

Bu devredeki kritik hat C girişinin takip ettiği hat veya D girişinin XOR'a girdiği ve AND kapısından sonra ikinci AND kapısına girdiği hat olmaktadır.

$$t_{pd} = 90 + 30 + 70 + 70 = 260 \ ps$$

$$T_c \ge t_{pcq} + t_{pd} + t_{setup}$$

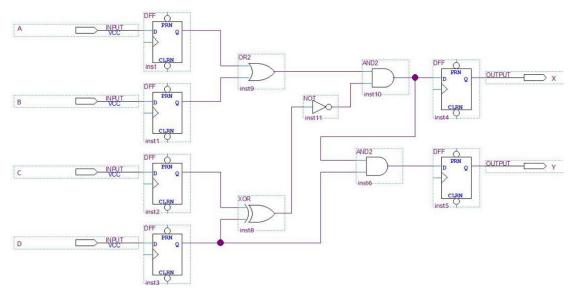
$$T_c \ge 90 + 260 + 50 \ ps = 400 \ ps$$

Bu eşitliğe göre maksimum frekansımız;

$$F_{max} = \frac{1}{T_{min}} = 2.5 GHz$$

Fakat devrede hold time constraint violation yaşanmamaktadır.

$$t_{hold} < t_{ccq} + t_{cd}$$
 $t_{hold} = 80~ps$, $t_{ccq} = 40~ps$, $t_{cd} = 70~ps$ $80~ps < 110~ps$



2. Şekil 1 de verilen devreyi Clock Skew = 15ps olduğunu varsayarak tekrar analiz ediniz. maximum çalışma frekansını bulunuz. Setup ve Hold zamanlamalarına uymuyorsa ona göre gerekli yere ekstra lojik ekleyip, devreyi tekrar analiz ediniz.

Setup Time Constraint Analizi

$$T_c \ge t_{pcq} + t_{pd} + t_{setup} + t_{skew}$$
 $T_c \ge 90 + 260 + 50 + 15 \ ps = 415 \ ps$
 $F_{max} = \frac{1}{T_{min}} = 2.409 \ GHz$

Hold Time Constraint Analizi

$$t_{hold}+t_{skew} < t_{ccq}+t_{cd}$$

$$t_{hold}=80~ps, \qquad t_{skew}=15~ps, \qquad t_{ccq}=40~ps, \qquad t_{cd}=70~ps~,$$

$$95~ps < 110~ps$$

Setup ve Hold Time Constraint Violation yaşanmamaktadır. Şekil bir önceki örnekteki ile aynı olmaktadır.

3. Şekil 1 de verilen devrenin Problem 2 deki verilen clock skew değerine ve çözümünüze göre, latency ve throughputunu hesaplayınız. Max frekansını arttırmak için en uygun yere pipeline ekleyip, tekrar hesaplamalarınızı yapınız. Throughput, latency, max freq, ve setup ve hold zamanlamalarına uyduğunu gösterin.

Problem 2'de tasarladığımız devrenin Gecikmesi (Latency) ve Çıktısı (Throughput);

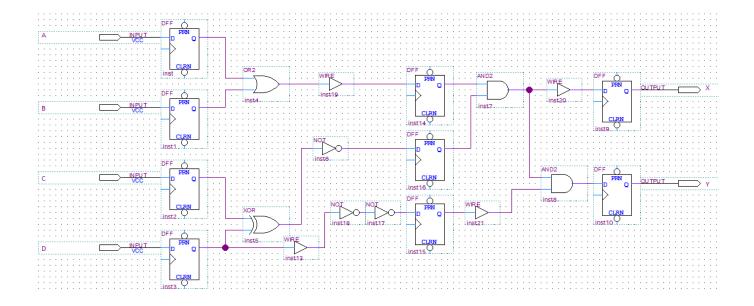
$$Latency = 90 + 260 + 50 + 15 ps = 415 ps$$
$$Throughput = 2.409 GHz$$

Throughput ile Clock Speedimiz aynıdır. Tek aşamalı bir pipeline olduğu için latency ile direkt biribirinin tersidir.

Maksimum Frenkansı arttırmak için pipeline kurulumunda iki farklı deneme yapıldı. İkisini de karşılaştırıp hangisinin istenilen durum için daha iyi olduğu tespit edilecek. Bu iki yaklaşımdan birisi üç aşamalı pipeline olacak, birisi de dört aşamalı pipeline olacak.

NOT: Sıradaki iki sayfada, föy güncellenmesi öncesi yapılmış olan işlemler verilmiştir. Yeni verilerle üstüne düzeltme yapmak yerine, baştan tekrar yapmaya karar verdim. Önceki çalışmamı da ekledim.

İki Aşamalı Pipeline; (OUTDATED)



Flipfloplar arasındaki en kötü gecikmeye sahip hat bulunur. Buradaki bu hat ise sağdaki pipeline'da bulunan, inst7 ve inst8'e sırasıyla giren hat olmaktadır. Bu hattın gecikmesi ise;

$$t_{pd} = 70 + 70 = 140 \, ps$$
 olmaktadır.

Frekans bulunması için Setup Time analizi;

$$T_c \ge t_{pcq} + t_{pd} + t_{setup} + t_{skew}$$
 $T_c \ge 90 + 140 + 50 + 15 \ ps = 295 \ ps$
 $F_{max} = \frac{1}{T_{min}} = 4.87 \ GHz$

Hold Time Analizi;

$$t_{hold}+t_{skew} < t_{ccq}+t_{cd}$$
 $t_{hold}=80~ps$, $t_{cd}=100~ps$, $t_{skew}=15~ps$ $95~ps < 100~ps$

En hızlı hat, inst4 ve inst19'dan geçen hat, hold time constraint'e uymaktadır.

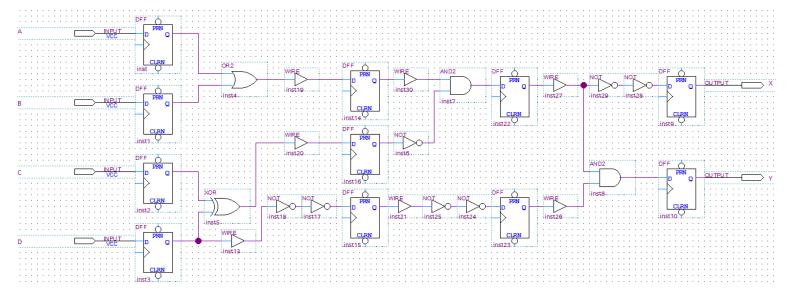
Bulunan bilgilere göre ise devrenin Gecikmesi ve Çıktısı;

$$Latency = 205 + 205 ps = 410 ps$$

 $Throughput = 4.87 GHz$

Yukarıda da anlaşılacağı gibi, bir devreye pipeline eklediğimiz zaman devrenin gecikme süresi ve çıktı miktarı artış gösterir.

Üç Aşamalı Pipeline; (OUTDATED)



Bu devredeki kritik hattımız, inst5(XOR) ve inst20(BUF)'den geçen hat olmaktadır.

$$t_{pd} = 90 + 40 = 130 \, ps$$
 olmaktadır.

Frekans bulunması için Setup Time analizi;

$$T_c \ge t_{pcq} + t_{pd} + t_{setup} + t_{skew}$$
 $T_c \ge 130 + 50 + 15 \, ps = 195 \, ps$
 $F_{max} = \frac{1}{T_{min}} = 5.12 \, GHz$

Hold Time Analizi;

$$t_{hold}+t_{skew} < t_{ccq}+t_{cd}$$
 $t_{hold}=80~ps$, $t_{cd}=100~ps$, $t_{skew}=15~ps$ $95~ps < 100~ps$

En düşük gecikmeye sahip olan hatlar 100 ps saniye gecikmeye sahiptir. Hold Time Constraint Violation yaşanmamaktadır.

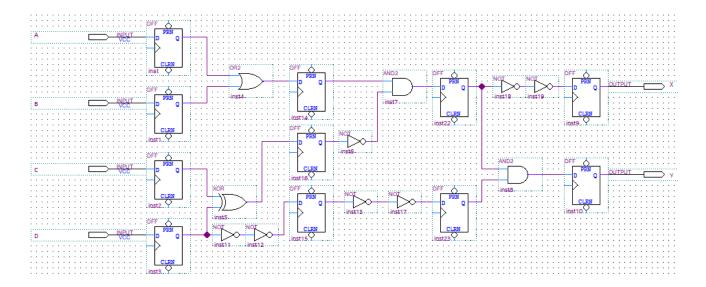
Bulunan bilgilere göre ise devrenin Gecikmesi ve Çıktısı;

$$Latency = 195 + 195 + 195 ps = 585 ps$$

$$Throughput = 5.12 GHz$$

Bizden istenilen duruma olan en yüksek frekans hızını üç aşamalı pipeline ile elde ederiz. Bu hızı elde ederken ise devremize çok yüksek bir gecikme payı eklemiş olduk. Devremizin çıktı verme hızı artmasına rağmen, yaptığınız bir girdinin çıkışını alma süreniz artmış oldu.

Üç Aşamalı Pipeline; (GÜNCEL)



Bizden istenilen durum, maksimum frekans, elde etmek için olabildiğince fazla pipeline eklemeliyiz. Devreye pipeline ekledikçe, devrenin gecikmesi artar ancak çıkış verme sıklığı da artar.

Frekans bulunması için Setup Time analizi;

Devreki ff'ler arası en yavaş hat, inst6(NOT) ve inst7(AND2)'den geçen hattır.

$$T_c \ge t_{pcq} + t_{pd} + t_{setup} + t_{skew}$$
 $T_c \ge 90 + 100 + 50 + 15 \ ps = 255 \ ps$
 $F_{max} = \frac{1}{T_{min}} = 3.92 \ GHz$

Hold Time Analizi;

Devredeki ff'ler arası en hızlı hat, inst4(OR2)'den geçen hattır.

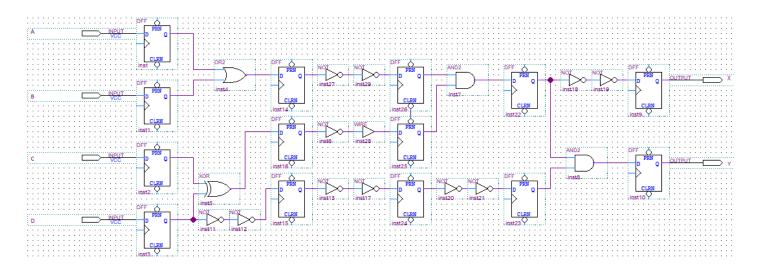
$$t_{hold}+t_{skew} < t_{ccq}+t_{cd}$$
 $t_{hold}=80~ps$, $t_{skew}=15~ps$, $t_{ccq}=40~ps$, $t_{cd}=60~ps$, $95~ps < 100~ps$

Setup Time ve Hold Time Violation'lar yaşanmamaktadır. Elde ettiğimiz verilere göre ise, devremizde elde edeceğimiz Gecikme (Latency) ve Çıktı (Throughput);

$$Latency = 255 + 255 + 255 ps = 765 ps$$

$$Throughput = 3.92 GHz$$

Dört Aşamalı Pipeline; (GÜNCEL)



Bir önceki adımdaki devreye bir sıra pipeline daha ekleyebiliriz. En yavaş olan hattımızı iki parçaya ayırmamız mümkün. Bu işlemi yaptığımızda bir önceki adımdan daha yüksek bir clock speed elde edeceğiz, fakat latency'miz daha da artacak.

Frekans bulunması için Setup Time analizi;

Devreki ff'ler arası en yavaş hat, inst5(XOR)'dan geçen hattır.

$$T_c \ge t_{pcq} + t_{pd} + t_{setup} + t_{skew}$$
 $T_c \ge 90 + 90 + 50 + 15 \, ps = 245 \, ps$
 $F_{max} = \frac{1}{T_{min}} = 4.08 \, GHz$

Hold Time Analizi;

Devredeki ff'ler arası en hızlı hat, inst4(OR2)'den geçen hattır.

$$t_{hold}+t_{skew} < t_{ccq}+t_{cd}$$

$$t_{hold}=80~ps, \qquad t_{skew}=15~ps, \qquad t_{ccq}=40~ps, \qquad t_{cd}=60~ps~,$$

$$95~ps < 100~ps$$

Setup Time ve Hold Time Violation'lar yaşanmamaktadır. Elde ettiğimiz verilere göre ise, devremizde elde edeceğimiz Gecikme (Latency) ve Çıktı (Throughput);

$$Latency = 245 + 245 + 245 + 245 ps = 980 ps$$

 $Throughput = 4.08 GHz$

Bizden istenilen durum, maksimum clock speed, için dört aşamalı pipeline en ideal durumdur.

B. Synchronizer

- 4. Dışarı bağlanan bir butonu örneklemek için iki FF li bir synchronizer tasarladınız.
 - a. Aşağıda verilen değerlere göre MTFB hesaplayınız.

$$MTBF = \frac{T_c. e^{(T_c - t_{setup})/\tau}}{N. T_0} = 32,532,684$$

b. MTFB yi arttırmak için **bir FF daha** eklediniz. Yeni MTFB değerini hesaplayınız. T0 = 15 ps, thao = 25 ps, Fclk = 2.4 Ghz.

$$MTBF = \frac{T_c. e^{(T_c - t_{setup})/\tau}}{N. T_0} = 21,688,456$$

C. Aritmetik Devreler

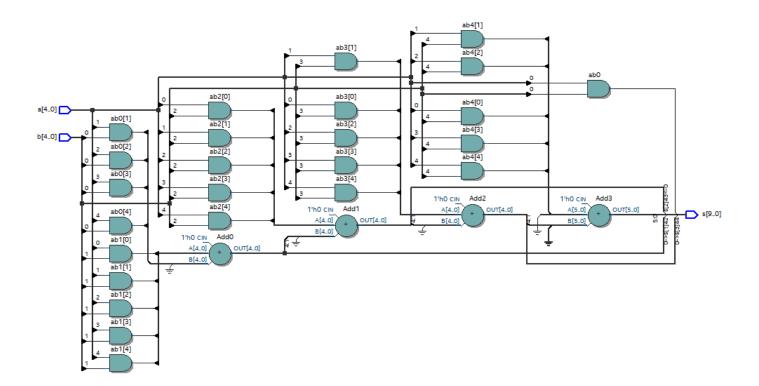
5. Tablo 2 de verilen 16-bit operasyonlara göre sonuçları ve NZVC bayraklarını hesaplayınız.

	Operasyon	Result	N	Z	V	C
a	0xFF01 - 0xFF02	0xFFFF	1	0	1	1
b	0xFF01 + 0x0F01	0x10E02	0	0	0	1
c	0x0001 + 0x7000	0x7001	0	0	0	0
d	0xFF01 - 0x00FF	0xFE02	1	0	0	0
e	0x3A20 + 0xC5D0	0xFFF0	1	0	0	0

6. VE kapıları ve full adder lar kullanarak iki unsigned 5-bitlik binary sayıyı çarpan bir devre tasarlayınız. Bu devrenin propagation ve contamination gecikmeleri hakkında yorum yapınız.

İstenilen 5-Bitlik Binary Çarpan devre, AND ve Adder'lar ile birlikte SystemVerilog dilinde yazıldı.

```
/* multiplier5.sv
        * Hazırlayanlar: Berat Kızılarmut
        * Notlar: 5-Bit Binary Carpan Devre */
module multiplier5 (
    input logic [4:0] a, b,
    output logic [9:0] s
logic [4:0] s1, s2, s3, s4;
logic [3:0] cout;
logic [4:0] ab0, ab1, ab2, ab3, ab4;
assign ab0 = a & \{5\{b[0]\}\};
assign ab1 = a & \{5\{b[1]\}\};
assign ab2 = a & \{5\{b[2]\}\};
assign ab3 = a & \{5\{b[3]\}\};
assign ab4 = a & \{5\{b[4]\}\};
assign \{cout[0], s1\} = \{ab1\} + \{1'b0, ab0[4:1]\};
assign {cout[1],s2} = {ab2} + {1'b0, s1[4:1]};
assign \{cout[2],s3\} = \{ab3\} + \{1'b0, s2[4:1]\};
assign \{cout[3], s4\} = \{ab4\} + \{1'b0, s3[4:1]\};
assign s = {cout[3],s4,s3[0],s2[0],s1[0],ab0[0]};
endmodule
```



Devredeki en uzun hat, 1 adet AND kapısından ve 4 adet Adder'dan geçmekte.

Devredeki en kısa hat, 1 adet AND kapısından ve 1 adet Adder'dan geçmekte.

D. Ondalık Sayılar

7. 67.5123 sayısını IEEE 754 floating point standardı ile gösteriniz. (hem single hem double precision)

```
Single\ Precision = 01111111\ 11111111\ 11111111\ 11111111
Double\ Precision = 01000000\ 01010000\ 11100000\ 11001001
10000101\ 11110000\ 01101111\ 01101001
```

8. -152.23813 sayısını IEEE 754 floating point standardı ile gösteriniz. (hem single hem double precision)

```
Single\ Precision = 01111111\ 11111111\ 11111111\ 11111111
Double\ Precision = 11000000\ 01100011\ 00000111\ 10011110
11000010\ 110011110\ 01000110\ 01001010
```

9. 6. ve 7. problemde verilen iki sayıyı toplayınız. (IEEE 754 gösterimi ile)

Double Precision Toplama

 $= 01000000\ 01010000\ 11100000\ 11001001 \\ 10000101\ 111110000\ 01101111\ 01101001 \\ + 11000000\ 01100011\ 00000111\ 10011110 \\ 11000010\ 11001110\ 01000110\ 01001010$

= 11000000 01010101 00101110 01110011 1111111 10101100 00011101 00101010

E. Makale Özetleri

10. R. Karri, J. Rajendran, K. Rosenfeld and M. Tehranipoor, "**Trustworthy Hardware: Identifying and Classifying Hardware Trojans**," in Computer, vol. 43, no. 10, pp. 39-46, Oct. 2010.

Uzun süredir elektronik sistemlerin, en azından hardware seviyesinde kötü niyetli üçüncü parti oluşumların etkisinden uzakta olduğunu varsayılmaktaydı. Fakat dijital devre üretiminde, üretim aşamasının farklı farklı seviyelerinin dış kaynaklara yaptırılması sonucunda üretim zincirinde açıklık noktaları oluşabilmekte. Güvenilir olmayan fabrikalarda üretilen elektronik aletlerin, üretim talebinde bulunan üreticinin bilgisi haricinde dijital sistemlerine alt casus elementler eklenmiş, sadece kendilerinin ulaşabileceği arka kapılar oluşturulmuş, devrenin özellikleri değiştirilmiş olabilir.

Bir sistemin güvenliği üretim aşamasının birçok farklı noktasında taviz verebilir. Bu aşamalar Tanımlama, Dizayn, Fabrikasyon, Sınama veya Birleştirme aşamalarında mümkün olabilir. Sistemlerin içine eklenen Trojanların türlü türlü çalışma durumları ve sisteme yaptıkları etkiler, elde ettiği bilgiler değişiklik gösterebilir. Farklı Trojan'ların aktivasyon koşulları çeşitlilik gösterebilir. Kimisi sürekli çalışabilir, kimisi kullanıcı girişi ile aktive olabilir vb. Trojanları amaçlarına göre de sınıflandırabiliriz. Bir Trojan'ın amacı sistemdeki verileri dışarı sızdırmak olabilir, sistemin ömrünü kısaltmak olabilir, cihazın ömrünü kısaltıp daha sık yenilenmesi gerekmesine sebep olabilir.

Sistemdeki trojanların tespit edilmesi için farklı yöntemler gerekmektedir. Bu yöntemler üretim ve test sürecinin farklı aşamalarında uygulanmalıdır. Bundan dolayı bir dijital sistem üretiminde, üretimin her aşamasında sınanmalar gerekmektedir.

Trojanların net bir şekilde durdurulması mümkün değildir. Dijital Devre Sektöründe, Trojanlara karşı sürekli bir güvenlik savaşı verilmesi gerekmektedir. Kötü niyetli kurumların bulabileceği açıklıklar daha önceden bulunup sürekli kapatılmalıdır. Güvenlik protokolleri ve testleri, kötü niyetli üçüncü parti kurumlardan bir adım önce bulunmak zorundadır. Bunu amaçlayarak New York Üniversitesi, Politeknik Enstitüsü 2008, 2009 ve 2010 yıllarında bir yarışma yapmıştır. Birçok farklı seviyeden üniversite öğrencisinin katıldığı yarışmada, katılanlara bir HDL dosyası ve Xilinx FPGA boardu verilmiştir. Bu HDL dosyasında bulunan Kripto Encoder'a Trojan eklemeleri istenilmiştir.

Bu makaleyi okuyunca aklıma ilk gelen olay geçtiğimiz sene gerçekleşen Amerika Birleşik Devleti'ndeki, Huawei firmasına karşıt yasaklanmalar oldu. Bildiğiniz üzere ABD, Huawei firmasının ürünlerinin devlet dairelerinde ve kişisel kullanımlarını yasaklamıştı. Bunun sebebi Huawei firmasının Çin hükümetine bilgi vermesiydi.

F. Referanslar

- Harris and D. Harris, Digital Design and Computer Architecture: ARM Edition,
 1st edition. Morgan Kaufmann, 2015
- 2. Sensorone,Period to Frequency Calculator, https://www.sensorsone.com/period-to-frequency-calculator/
- 3. Electrical Technology, Binary Multiplier, Retrieved from https://www.electricaltechnology.org/2018/05/binary-multiplier-types-binary-multiplication-calculator.html