



GEBZE TEKNİK ÜNİVERSİTESİ
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 0x2 Deney Raporu

Birleşimli Mantık Devreleri ve Çözümler

Hazırlayanlar
1) 1801022037 Ömer Emre POLAT
2) 171024086 Berat KIZILARMUT

1. Giriş

Bu deney kapsamında devre çizimi ile çözücü (decoder) tasarlanması ve devre sadeleştirme teknikleri kullanarak bu devrenin en sade haline getirilmesi üzerinde çalışacağız. Bunlar üzerine tasarlanan devrenin zaman şemasının çıkarımı ve bu şemanın yorumlanması yapılacaktır.

2. Problemler

2.1. Problem I – Çözücü Tasarımı

2.1.1. Teorik Araştırma

Karnaugh map (KM veya K-map) Boolean Cebri ifadelerini sadeleştirmek için kullanılan yöntemlerden biridir. Karnaugh haritası karmaşık hesaplamaları, insanların belirli düzenleri görsel olarak hatırlayabilme yeteneğinden faydalanarak daha hızlı bir hale getirir.

2.1.2. Deneyin Yapılışı

a) Doğruluk Tablosunun Oluşturulması

Verilen problem için oluşturulmuş lojik işlemin doğruluk tablosu.

X3	X2	X1	X0	A	B	C	D	E	F	G
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	1	0	0	1	1	1	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	1	0	0	0	1	1	1	0
1	1	0	0	1	0	0	1	1	1	0
1	1	0	1	1	1	0	1	1	0	1
1	1	1	0	1	0	1	1	0	1	1

b) Karnaugh Haritası oluşturulması

A çıkışı için K-Map tablosu

X3X2\X1X0	00	01	11	10
00	0	x	1	1
01	x	0	x	x
11	1	1	x	1
10	x	x	x	x

$$A = X3 + X1$$

B çıkışı için K-Map tablosu

X3X2\X1X0	00	01	11	10
00	0	x	1	0
01	x	0	x	x
11	0	1	x	0
10	x	x	x	x

$$B = X3 X0 + \overline{X2} X0$$

C Çıkışı için K-Map tablosu

X3X2\X1X0	00	01	11	10
00	0	x	1	0
01	x	0	x	x
11	0	0	x	1
10	x	x	x	x

$$C = \overline{X2} X0 + X2 X1$$

D çıkışı için K-Map tablosu

X3X2\X1X0	00	01	11	10
00	0	x	1	1
01	x	1	x	x
11	1	1	x	1
10	x	x	x	x

$$D = X1 + X2$$

E çıkışı için K-Map tablosu

X3X2\X1X0	00	01	11	10
00	0	x	0	1
01	x	1	x	x
11	1	1	x	0
10	x	x	x	x

$$E = \overline{X3} X1 \overline{X0} + X2 \overline{X1}$$

F çıkışı için K-Map tablosu

X3X2\X1X0	00	01	11	10
00	0	x	0	1
01	x	1	x	x
11	1	0	x	1
10	x	x	x	x

$$F = X1 \overline{X0} + \overline{X3} X2 + X2 \overline{X0}$$

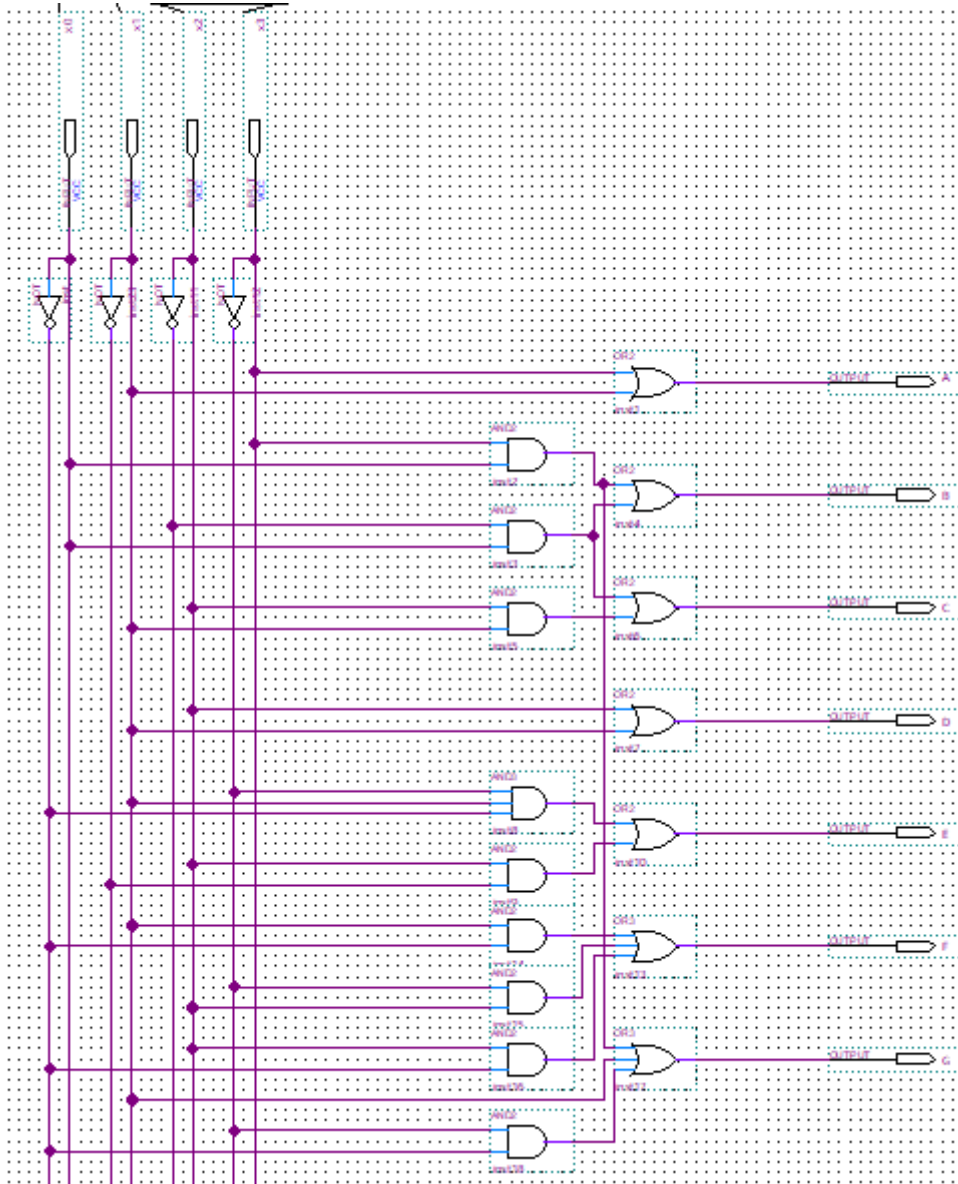
G çıkışı için K-Map tablosu

X3X2\X1X0	00	01	11	10
00	1	x	1	1
01	x	0	x	x
11	0	1	x	1
10	x	x	x	x

$$G = X3 X0 + X1 + \overline{X3} \overline{X0}$$

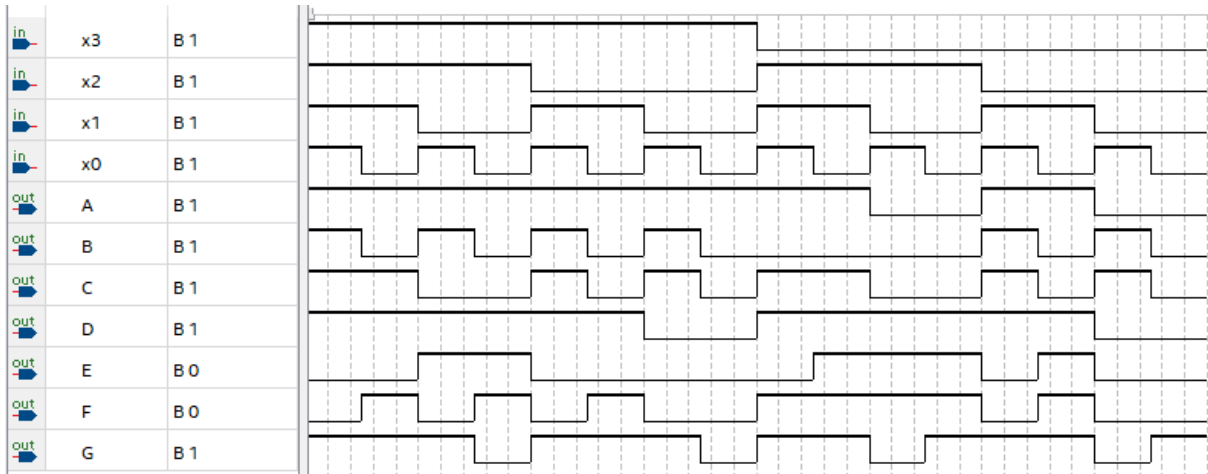
K-Map'ler ile birlikte kurulan devrede 20 lojik eleman bulunmaktadır.

c) Devre Çizimi ve Simulasyonu



Yukarıdaki kurulmuş devre olmakla birlikte 20 lojik eleman içermektedir.

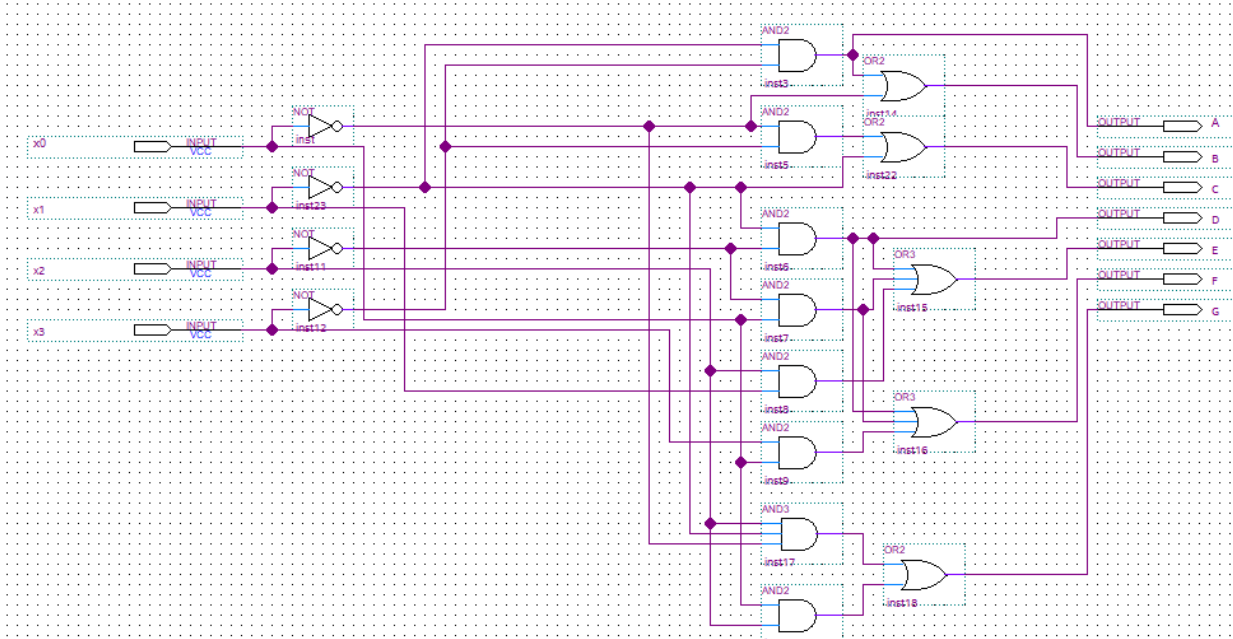
Yukarıdaki devreye her ihtimali içeren sinyal uygulandığındaki çıktı simülasyon sonucu



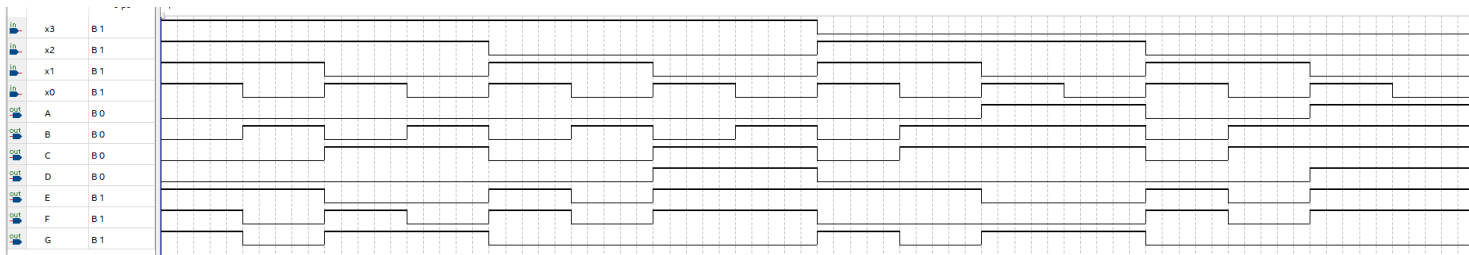
Bu aldığımız sonuçlar istenen davranışta olmuştur.

d) Farklı Devrelerin Karşılaştırılması

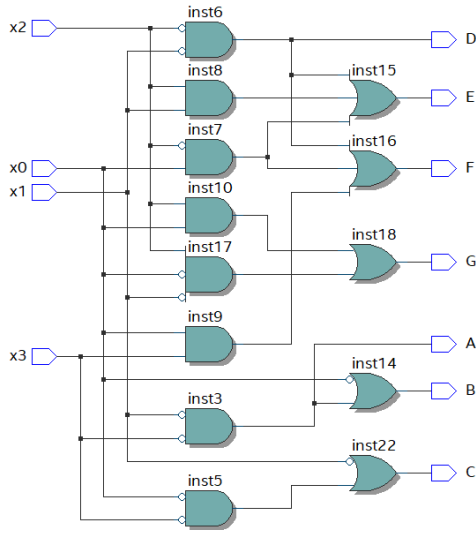
K-Map Çıkarımı ve Common Cathode devre çizimi grup arkadaşları ile birlikte tasarlandığı için elimizde tek devre bulunmaktadır. Fakat bu devrenin üstüne hangi teknik daha verimli olur sorusuna cevap vermek için tasarladığımız Common Cathode yerine Common Anode tekniğini kullanan bir devre daha tasarladık.



Common Cathode devresinden 3 daha az lojik eleman ile oluşturulmuş Common Anode devresi (17 lojik eleman)



Common Anode devresinin simülasyon çıktısı (istenen bölgelerde Common Cathode'un tersi çıktı veriyor)



Sonuç olarak Common Anode olarak kurulmuş devrenin daha az lojik eleman kullanmasından dolayı daha kompakt bir tasarım oluştu. Bu özel durum için Common Cathode yerine Common Anode çıkış kullanmak daha avantajlı olmaktadır.

Common Anode devrenin RTL şeması

e) Analiz ve Sentez Kaynak Kullanım Özeti

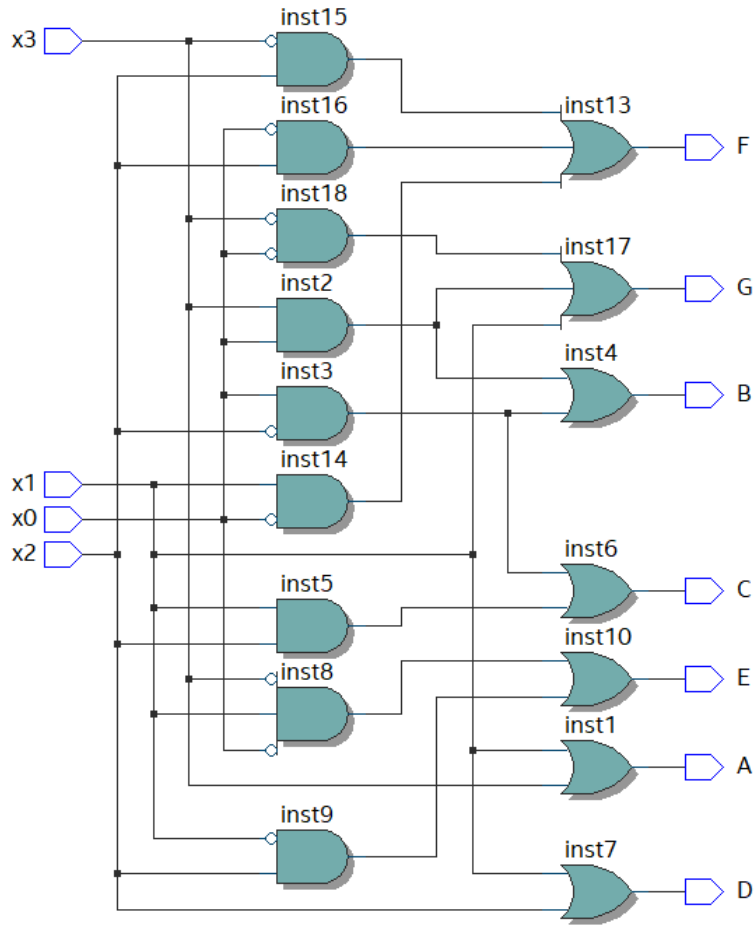
Seçilen devrenin analiz ve sentez özetleri ile birlikte kaynak kullanım özeti, RTL şeması ve eşleştirme ardı özeti.

Analysis & Synthesis Status	Successful - Tue Mar 10 15:10:12 2020
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	Lab2
Top-level Entity Name	Lab2
Family	Cyclone V
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	11
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

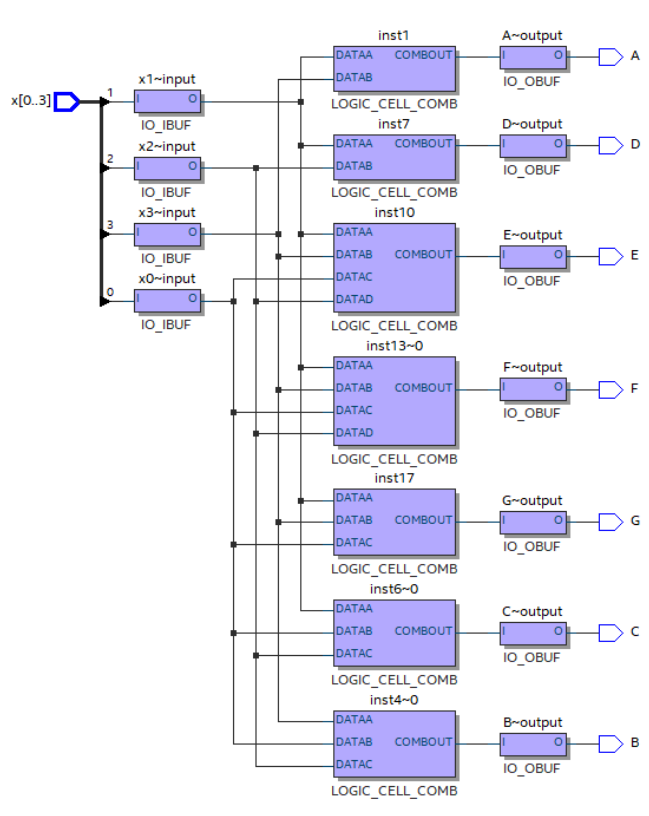
	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	4
2		
3	Combinational ALUT usage for logic	7
1	-- 7 input functions	0
2	-- 6 input functions	0
3	-- 5 input functions	0
4	-- 4 input functions	2
5	-- <=3 input functions	5
4		
5	Dedicated logic registers	0
6		
7	I/O pins	11
8		
9	Total DSP Blocks	0
10		
11	Maximum fan-out node	x1~input
12	Maximum fan-out	6
13	Total fan-out	39
14	Average fan-out	1.34

Devrenin Analiz ve Sentez özeti

Devrenin Kaynak Kullanım özeti



Devrenin RTL Şeması



Devrenin Eşleştirme Ardı Şeması

RTL şemasında kullanılan lojik eleman sayısı aynı çıkmasına rağmen eşleştirme ardı şemasında daha az lojik eleman çıkmıştır. Eşleştirme ardı şemasında, devrede 20 lojik eleman kullanılmasına rağmen sadece 7 lojik eleman kullanılmıştır. Bunun sebebi bu logic cell comb'ların her bir giriş için istenen çıkışı depolayıp daha karmaşık bir lojik eleman oluşturmasındandır. Bu karmaşık lojik elemanlar ile devrenin aynı davranışı vermesi için 7 eleman gerekmektedir.

2.1.3. Sonuçların Yorumu

Deneyde istenen girişe istenen çıkışı verebilen bir decoder tasarımı ve devre optimizasyonunda K-Map içerisindeki önemsememeleri (dont-care) avantajımıza kullandık. Bu tercihlerimizden dolayı devrenin dalga formunda, bizi ilgilendirmeyen kısımlarda yanlış çıkış alındığı da oldu. Fakat bunlar çıkışımıza veya devrenin işlevini etkileyen hatalar olmamakta, sadece don't-care'lerden kaynaklanmakta. Bunların dışında aynı işlevi Common Anode Yöntemi ile daha basitleştirilebileceği ve daha az lojik eleman kullanarak çözülebileceğini de tespit ettik.

3. Referanslar

[1] https://en.wikipedia.org/wiki/Seven-segment_display

[2] https://en.wikipedia.org/wiki/Karnaugh_map