

See discussions, stats, and author profiles for this publication at: <https://www.researchgate.net/publication/254035506>

Implementation of PSK and QAM demodulators on FPGA

Article · April 2012

DOI: 10.1109/SIU.2012.6204669

CITATION

1

READS

363

4 authors, including:



[Ercument Zorlu](#)

Yeditepe University

8 PUBLICATIONS 2 CITATIONS

[SEE PROFILE](#)



[Murat Ceven](#)

8 PUBLICATIONS 3 CITATIONS

[SEE PROFILE](#)



[Sinan Tasdoken](#)

2 PUBLICATIONS 1 CITATION

[SEE PROFILE](#)

PSK ve QAM Demodülatörün FPGA Üzerinde Gerçeklenmesi

Implementation of PSK and QAM Demodulator on FPGA

Hüseyin Ercüment Zorlu, Murat Çeven, Sinan Taşdöken

TÜBİTAK UEKAE, PK. 74 41470, Gebze, KOCAELİ

[\[ercument, ceven, sinan}@uekae.tubitak.gov.tr](mailto:{ercument, ceven, sinan}@uekae.tubitak.gov.tr)

Özetçe

Haberleşme, vericiden çıkan sinyalin alıcıda doğru şekilde çözülebilmesiyle sağlanır ve haberleşmenin kalitesi, çözme işleminin ne derece doğrulukla gerçekleştirildiğine bağlıdır. Bu çalışmada amaç, zamanlama ve taşıyıcı hatası bulunan, gürültülü kanaldan geçerek alıcıya ulaşan veri iletim hızı değişebilen PSK ya da QAM modülasyonlu işaretin çözülmesini sağlamaktır. Bu amaçla uygun demodülatör yapısı tasarlanmış ve Xilinx Virtex-4SX35 FPGA taşıyıcısı üzerinde gerçekleştirilmiştir. Tasarımın aşamaları ve benzetim sonuçları bu çalışma kapsamında sunulmuştur.

Abstract

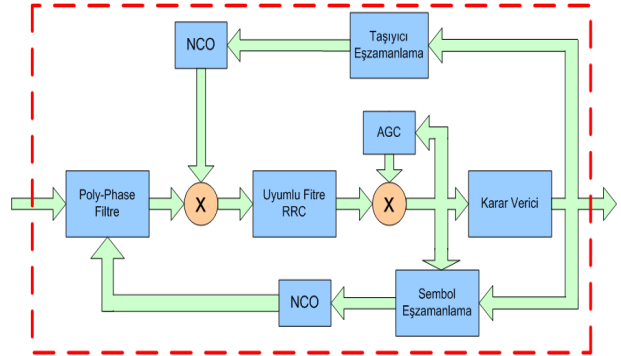
Communication is possible if the signal from transmitter is demodulated properly in the receiver and the quality of the communication depends on the accuracy of demodulation. The objective of this study to demodulate variable symbol rate PSK or QAM modulated signal in a noisy channel under carrier and symbol timing error conditions. According to this purpose a demodulator is designed and implemented on a Xilinx Virtex-4SX35 FPGA board. Design stages and simulation results are presented in this paper.

1. Giriş

Haberleşme sistemlerinde kullanılan frekans düşürme/yükseltme, kodlama/kodçözme, filtreleme ve modülasyon/demodülasyon gibi sinyal işleme alt blokları, günümüz teknolojisinde yeniden düzenlemeye izin veren ve kolay ama yüksek performansla programlama imkânı sunan sayısal işaret işleme birimleri üzerinde gerçekleştirilmektedir. Hızlı ve paralel işlem kapasiteleriyle FPGA'ler (Field Programmable Gate Array), birçok sayısal işaret işleme uygulamasında sıklıkla kullanılmaktadır. Bu çalışmayla da frekans ve zamanlama hatasının sembol hızına oranının 1/200 ve daha küçük olduğu durumlar için PSK ya da QAM modülasyonlu işaretlerin demodülasyonu FPGA üzerinde yüksek başarımla gerçekleştirilmiştir. Çalışmanın ilk bölümde gerçekleştirilen demodülatör bloğu tanıtılmış, ikinci bölümde sistemin çalışma akışı ve son bölümde de benzetim sonuçları verilmiştir.

2. PSK-QAM Demodülatör Bloğu

Bu çalışmada önerilen sayısal demodülatör yapısı BPSK, QPSK, 8-PSK ve QAM-16 demodülatörü olarak tasarlanmıştır. Bu yapıda (Şekil 1) uyumlu filtre ile filtreleme, taşıyıcı frekansının yakalanması (carrier recovery), sembol eşzamanlamasının sağlanması (symbol synchronization), genlik kontrolü (Amplitude Gain Control, AGC) ve karar verme (soft decision slicing) görevleri gerçekleştirilmiştir. Bu blokların öncelikle MATLAB ortamında benzetim yoluyla performansları incelenmiş, sonrasında yapı VHDL'de tasarlanıp Modelsim ortamında benzetimi yapılmıştır. Bu yapıdaki her bir blok aşağıda alt başlıklar halinde incelenmiştir.



Şekil 1: Gerçeklenen sayısal demodülatör bloğu.

2.1. Uyumlu Filtre Yapısı

Alıcıda sembolün alındığında en iyi SNR (Signal-to-Noise Ratio) değerinin sağlanması uyumlu süzgeç ile mümkündür. Buna göre, vericide karekök yükseltilmiş kosinüs filtreden (Root Raised Cosine - RRC) geçirilen işaret için uyumlu süzgeç yapısı yine RRC olacaktır [1]. RRC için Xilinx ISE'de hazır olan "core" yapılarından yararlanılmıştır. Burada kullanılan FIR filtre olup 15 adet katsayı ile belirlenmiştir. Filtrenin katsayılarının sabitlenmesi amacıyla, düşüş katsayısı 0.4 olarak seçilmiştir, bu seçim tasarımı basitleştirirken fazla bir performans kaybına yol açmamıştır.

2.2. AGC Yapısı

AGC demodülatör yapısının önemli bir bölümünü oluşturur. Bu kısım işaretin genliğini düzelterek yapının geri kalan kısmının düzgün çalışmasına yardımcı olur (Şekil 2). Buna

göre, işaretin genliği belli seviyenin altındaysa ya da üstündeyse AGC yapısındaki çevrim hata üreterek genliği istenen seviyeye çeker. Belirlenen eşik seviyesine göre işaretin genliğinin ne kadar hata oluşturduğu bulunur ve bu sayı bir katsayıyla ölçeklenip sürekli toplanır ve toplam sonucu kuvvetlendirme kazancı elde edilir;

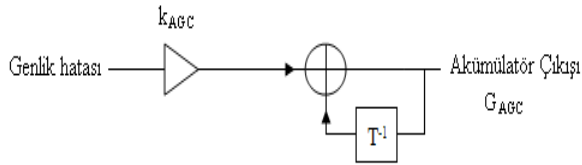
$$Hata = Eşik - \sqrt{I_{AGC}^2 + Q_{AGC}^2}$$

$$Kazanç = Kazanç + k_{AGC} \times Hata$$

Bu yapıdaki k_{AGC} , AGC döngü kazancı (loop gain) üstel ve ondalıklı (mantissa) şekilde ifade edilip çarpım gerçekleştirilmiştir. Burada;

$$k_{AGC} = (M \times 2^{-4}) \times 2^{-E}$$

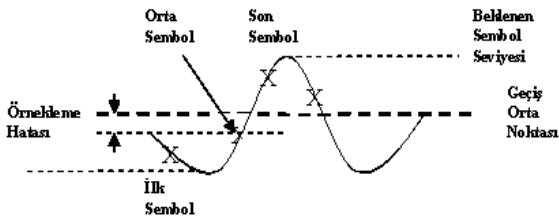
şeklinde ifade edildiğinde M mantissanın, E ise üstel kısmın karşılığıdır. Mantissa ile çarpım için hazır çarpıcı yapısı kullanılır. Burada mantissa ve üstel kısımlar ("loop gain") önceden belirlenen sabitlerdir. Mantissa 4 bit, üstel kısım 3 bit olarak seçilmiştir (kod, ayarlanabilir yazıldığından farklı uzunlukta da alınabilir).



Şekil 2: AGC yapısı.

2.3. Sembol Yakalama ve Zamanlama Hatasını Düzeltme Bloklarının Yapısı

Sembol eşzamanlama çevrimindeki hatanın nasıl belirlendiği Şekil 3'de görülmektedir;



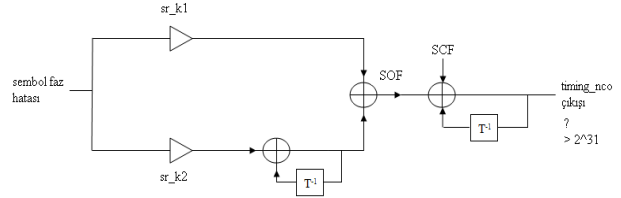
Şekil 3: Demodülatör bloğunda BPSK/QPSK modülasyonlu işaretin I ya da Q kanalındaki hata üretmesi.

Hata üretilirken karar anları ve karar anları arasında kalan orta noktalara dikkat edilir. Buna göre işaret değiştiren karar noktalarının ortalaması ile orta nokta arasındaki fark hata olarak belirlenir. Çalışmada (Şekil 3'de verilen isimlendirilme kullanılırsa) hata;

$$E_{smp} = Orta Sembol - Geçiş Orta Noktası$$

şeklinde hesaplanır. Bu hata, daha sonra önceden belirlenmiş uygun katsayılarla ağırlıklandırılıp akümülatör içinde

toplanır. Sembol eşzamanlama çevriminin çıkışında hesaplanan sembol hızı frekansı hatası (SOF); önceden girilmiş olan sembol hızına eklenerek eşzamanlama çevrimi tamamlanmış olur [2]. Elde edilen sembol hızı çok fazla süzgecin çıkışındaki örnekleme frekansının sembol hızının 2 katı olmasını sağlar. Bu süzgeçte kesirli örnek seyreltme yapıldığı için süzgeç girişindeki örnekleme frekansı sembol hızının tam katı olmasa bile çıkışında sembol hızının 2 katı olacaktır (Şekil 4).



Şekil 4: Sembol faz hatasını düzelten yapı.

2.4. Karar Devresi (Slicer) Yapısı

Bu yapı, BPSK, QPSK, 8-PSK, 8-QAM ve 16-QAM olmak üzere 5 modülasyon türüne ait karar devresini içermektedir. Burada amaç, demodülatör çıkışındaki değere en yakın sembol kararının verilmesidir. Bu blok "ctrl" ve "enable" (Tablo 1) girişleriyle kontrol edilmektedir. Modülasyona göre simülasyon da dışarıdan girilmesi gereken değerler aşağıdaki tabloda görülmektedir:

Tablo 1: enable ve ctrl girişlerinin modülasyona göre alması gereken değerler.

	enable	ctrl
BPSK	00001	000
QPSK	00010	001
8-PSK	00100	010
8-QAM	01000	011
16-QAM	10000	100

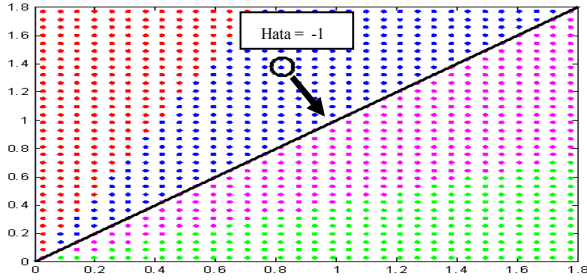
2.5. Taşıyıcı Faz Hatası Üretme ve Taşıyıcı Düzeltme Bloklarının Yapısı

Taşıyıcı eş-zamanlama çevriminde kullanılan yöntem tablo yöntemi değildir. Oluşturulan tablo her modülasyon için farklıdır. Tablo yöntemi donanımda gerçeklemeye daha uygun olduğundan tercih edilmiştir. Bu yöntemle göre; demodülatör çıkışındaki değerlere bakılarak bir çevrim hatası üretilir. Bu hata değerleri, demodülatör çıkışındaki nokta ile ideal karar noktası arasındaki uzaklıkla doğru orantılıdır [3].

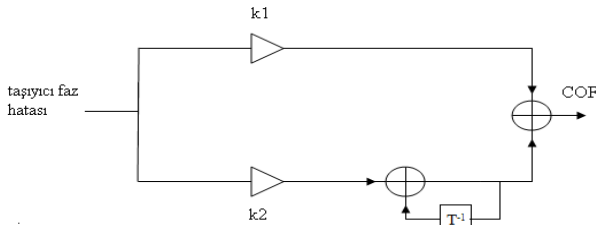
Tablo 2'de QPSK için oluşturulan tablo gösterilmiştir. Bu tabloda, x ve y ya da I ve Q eksenleri 32'şer parçaya ayrılmıştır, her parçanın kendi içinde merkezleri bulunur ve bu merkezler aşağıdaki şekilde renkli noktalarla gösterilmiştir. Gelen veri hangi merkeze ait kısımda bulunuyorsa oradaki hata değerini alır. Aşağıda kırmızı noktalar -2, mavi noktalar -1, pembe noktalar +1, yeşil

noktalar +2 hata değerlerini üretir. Buna göre $y=x$ doğrusuna yakın bölgeler (pembe, mavi) ± 1 hatasını, uzak bölgeler ± 2 hatasını verirler. Kolaylık olması açısından örnek değerler mutlak olarak sadece birinci bölgede incelenir ve hata buna göre oluşturulur. Eğer değer, ikinci ve dördüncü bölgelerdeyse, elde edilen hatanın ters işaretlisi alınır.

Tablo 2: Taşıyıcı faz hatası üretme tablosu (QPSK) (Birinci Bölge).



Hata, üretildikten sonra ikinci dereceden PLL içinde yine k parametreleriyle ağırlıklandırılır ve akümülatörde toplanarak COF (Carrier Ofset Frequency) elde edilir (Şekil 5). Taşıyıcı eş-zamanlama çevrimi çıkışında elde edilen taşıyıcı frekans hatası NCO'yu sürmektedir. Böylece taşıyıcı eş-zamanlama çevrimi tamamlanmış olur. PLL'deki k1 ve k2 parametreleri 32 bitlik alınır ve bunların seçimi de zamanlama hatasının düzeltimin de olduğu gibi önemli ve kritiktir [4]. Bu değerler, modülasyona ve işaret üzerindeki frekans ve faz kaymasının büyüklüğüne göre değişmektedir. Başarımı artırmak için k parametreleri yakalama ve izleme durumlarında farklı alınabilir.



Şekil 5: Taşıyıcı hatası düzeltme yapısındaki PLL.

3. Sistemin Çalışma Akışı

Kodların yazımı esnasında ve sonrasında kademe kademe simülasyonlar ile modüllerin çalışılabilirliği test edilmiştir. Sırasıyla NCO, RRC filtreler, CORDIC, taşıyıcı eşzamanlama ve son olarak sembol yakalama ve eşzamanlama hatası düzeltme blokları yapıları tek başlarına ve sisteme entegre edilerek denenmiş ve son haline getirilmiştir. Amaçlanan mümkün oldukça büyük frekans ve örnek zamanlama hatalarına sahip işaretin demodülasyonunun, düşük SNR için en az hata ile yapılabilmesidir. Bunun için MATLAB'ta uygun işaretler üretilip dosyalara (I ve Q kanalları halinde) yazdırılmış ve bu

dosyalardan okunan veri demodülatöre verilir çözölmeye çalışılmıştır.

4. Benzetim Sonuçları

Xilinx ISE'de kodlanan ve bağlantıları yapılan modüllerin işleyişi, MODELSIM yardımıyla simüle edilerek görölmüştür. Simülasyonların sonuçları yorumlanarak doğru parametreler belirlenmeye çalışılmıştır. Ayrıca, sistemin eksikleri görölüp alternatif yollar denenmiş, hedefe en uygun sistem arayışına girilmiştir. Demodülatör yapısı, işaretin modülasyonunun bilindiği durum göz önünde tutularak yapılmış olduğundan girişler ona uygun verilmelidir. MATLAB'ta üretilen örnek bir işaretin parametreleri şu şekilde olsun:

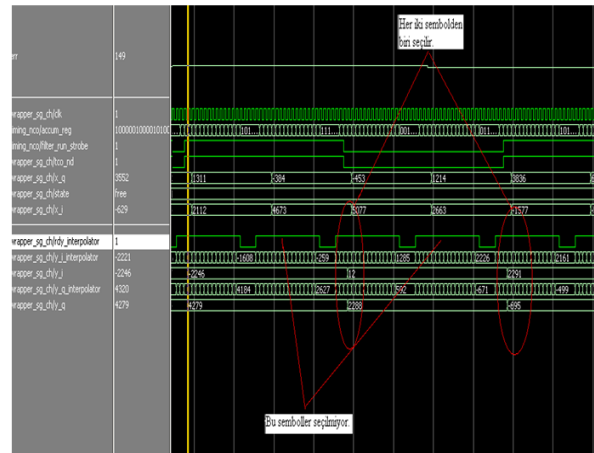
```
N = 200000; % Sembol sayisi
M = 8; % Modülasyon seviyesi
snr = 20; % Isaret-gürültü oranı, dB
a = 0.5; % Isaret üzerindeki Zayıflatma
over_samp_rate = 4; % Üst-örnekleme frekansı
fr_offset = 1/400; % Frekans hatasi
faz_offset = 0; % Faz hatasi
roll_fac = 0.4; % RRC düşüs katsayisi
delay = 4; % FIR filtre uzunlugu
mod = 'PSK'; % Modülasyon türü
```

Tablo 3'de 8-PSK için taşıyıcı ve sembol eş-zamanlama çevrimleri için belirlenen sabit kazanç değerleri gösterilmiştir. k1 ve k2 taşıyıcı, diğer parametreler ise sembol eş-zamanlama çevrimlerinde kullanılmıştır.

Tablo 3: 8-PSK için PLL döngülerinde kullanılacak parametreler.

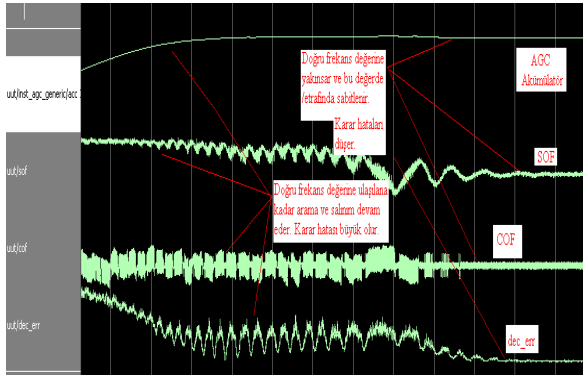
k1	"00000000000011101000001100010010";
k2	"00000000000000000000111000000100100";
sr_k1_exp	"00101" (5)
sr_k2_exp	"01010" (10)
sr_k1_man	"0000"
sr_k2_man	"0000"

Aşağıda çok-fazlı filtrenin giriş ve çıkışları gösterilmiştir (Şekil 6):



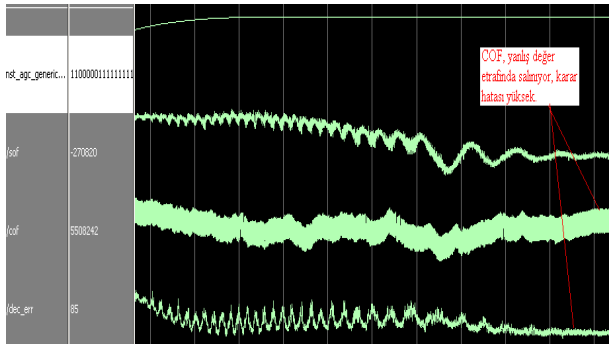
Şekil 6: Interpolator ve Wrapper yapılarının çıkışları.

Şekil 6’da görüldüğü gibi her iki örnekten biri alınmıştır ve böylece I ve Q kanallarının örnekleme hızı sembol hızının 4 katından 2 katına düşürülmüştür. Seçilen örnekler RRC filtreden geçirilip AGC çıkış kazancıyla çarpılıp genlik seviyesi, sembol ve taşıyıcı faz hatası düzeltme döngülerine girer. PLL yapılarındaki hatanın boyutuna göre farklı seçilebilir. Amaç, yüksek ve düşük frekans hatalarını yüksek başarımda düzeltebilecek çevrim kazanç sabitlerini bulmaktır. Buna dair çok sayıda simülasyon gerçekleştirilmiştir. Şekil 7’de 8-PSK için aldığımız örneğin SOF, COF, AGC akümülatörü acc ve karar hatası sinyalleri görülmektedir. Burada sembol hızına göre 1/400 taşıyıcı frekansı hatası ve 1/256 sembol hızı hatasının düzeltildiği durumu gösterilmektedir. Buna göre, şekil üzerinde de belirtildiği gibi, zamanlama ve taşıyıcı hatalarını düzeltme bloklarındaki akümülatörler hatayı düzeltecek değere ulaştıklarında sabit değer etrafında salınır ve bu aşamada karar hatasında düşüş gözlenir. Bu değer sıfıra çok yakın seyrettiğinde demodülasyonun doğru olduğu yorumu yapılır.



Şekil 7: Demodülasyonun doğru olduğu durumda COF, SOF, AGC akümülatörü ve karar hatası çıkışlarının görünümü (8-PSK).

Demodülasyonun doğru yapılmadığı durumda Şekil 8’deki sonuçlar elde edilir. Önceki örnekten farklı olarak frekans hatası 1/100 gibi yüksek bir değer alınmıştır. Görüldüğü gibi, SOF, AGC akümülatörü düzgün sonuç verse de COF, doğru k parametreleri seçilmediğinden istenen frekans değerine oturamamıştır. Bu nedenle, karar hataları yüksek çıkmıştır.



Şekil 8: Demdülasyonun doğru yapılmadığı durumda COF, SOF, AGC akümülatörü ve karar hatası çıkışlarının görünümü (8-PSK).

Genel anlamda, zamanlama hatasında 1/256 büyüklüğündeki hata sistem içinde düzeltilmektedir. Ancak taşıyıcıdaki hata için yüksek değerleri düzeltmek oldukça zordur. Tüm modülasyonlar için 1/500’e kadar hatalar düzeltilmektedir. Daha yukarıdaki hataların düzeltilmesi seçilen k parametrelerine göre oldukça hassas değişim gösterdiğinden her zaman mümkün olmamıştır. Bu nedenle, taşıyıcı düzeltimi ile ilgili çok sayıda deneme yapılmış ve simülasyonlardan çıkan sonuçlar not edilmiştir.

5. Sonuçlar

Demodülatör yapısı, BPSK, QPSK, 8-PSK, 8-QAM ve 16-QAM için düşük taşıyıcı hata değerlerinde başarıyla çalıştırılmıştır. Yüksek taşıyıcı ve sembol frekansı hataları halinde performans, modülasyon türüne göre değişmektedir. Simülasyon sonucunda yeterli performans sağladığı gözlemlenen tasarım daha sonra sentezlenerek *Xilinx Virtex-4SX35* taşıyıcısı üzerinde gerçek zamanlı olarak çalıştırılmıştır. Böylelikle çevrim parametrelerini kolayca değiştirerek performans değişimine etkilerini daha hızlı gözlemleyebileceğimiz bir test ortamı oluşturulmuştur.

6. Kaynakça

- [1] Lathi, B. P., “Modern Digital and Analog Communication Systems”, *Oxford University Press.*, 5-18, (1998).
- [2] Y.J. Chong, S.J. You, M.S. Kang, M.S. Song and S.H. Oh; “A Frequency Offset Compensation Method For Ultra-Narrowband Digital Wireless Modem”, IEEE 15th International Symposium on Personal Indoor and Mobile Radio Communications, Barcelona, 2004.
- [3] H. Meyr, M. Moeneclaey, and S. A. Fechtel, *Digital Communication Receivers*, New York: John Wiley and Sons Inc., 1998.
- [4] H. Meyr and G. Ascheid, *Synchronization in Digital Communications*, New York: John Wiley and Sons Inc., 1990.