

Haversine Formülü Kullanılarak Yapılan Eğim Aralığı Hesabının Alan Optimizasyonu ile FPGA Gerçekleşmesi

Area Optimized FPGA Implementation of Slant Range Calculation Using Haversine Formula

Berker IŞIK

Optoel Mühendislik Teknoloji Yazılım

Ankara, Türkiye

berker@optoel.com.tr

Özetçe—Bu çalışmada iki nokta arasındaki eğim aralığı (Slant Range) hesabının Xilinx Zynq serisi FPGA üzerinde implementasyonu gösterilmiştir. Hesaplama, çok yoğun sinyal işleme (DSP) blokları içermemesine rağmen %28 hafıza (LUT) ve %14 DSP bloğu kullanılmaktadır. Zaman bölmeli çoklama (TDM) tekniğiyle birden fazla işlem aynı donanım blokları (Resource Sharing) üzerinde çalıştırılmıştır. Matematiksel hesaplamalar aynı donanım üzerinde sıralı bir şekilde gerçekleştirilmiştir. Bu sayede LUT kullanımı %18'e, DSP bloğu kullanımı ise %5'e düşürülmüştür. Kaynakların kullanımında %40'a yakın bir azalma sağlanmıştır. FPGA'lerin çok yüksek hızlara çıkabilme özelliği sebebiyle ortaya çıkan gecikme (latency) artışı, hesaplamanın gerçek zamanlı olmasını engellemektedir. Sabit noktalı işlemlerden (fixed point) kaynaklı kesim ve yuvarlama hataları %1 in altında tutulmuştur.

Anahtar Kelimeler — *sahada programlanabilir kapı elemanları, Haversine formülü, eğim aralığı, zaman-bölmeli çoklama, kaynak paylaşımı.*

Abstract— In this study, the implementation of slant range calculation between two points on Xilinx Zynq series FPGA is shown. Although the calculation does not include very dense signal processing (DSP) blocks, it utilizes 28% memory (LUT) and 14% DSP blocks. With the time-division multiplexing (TDM) technique, more than one process was run on the same hardware blocks (resource sharing). Mathematical calculations were performed sequentially on the same hardware. In this way, the use of LUT was reduced to 18% and the use of DSP block was reduced to 5%. A reduction of nearly 40% has been achieved in the use of resources. The latency increase due to the ability of FPGAs to reach very high speeds does not prevent the calculation to be real-time. Truncation and rounding errors caused by fixed-point operations were kept below 1%.

Keywords — *FPGA, Haversine equation, slant range, time-division multiplexing, resource sharing*

I. GİRİŞ

Eğim aralığı (Slant range), aynı yükseklikte olmayan iki nokta arasındaki görüş hattı mesafesidir. Bu bazen havadaki hedefin kara radar antenine göre mesafesini bazen de hava radar antenin yerdeki hedefe olan uzaklığını gösterir. Bu mesafe bulunurken yerin küresel geometrisi de hesaba katılır. Yerin geometrisini kullanan eşitliklerden birisi de Haversine formülüdür [1,2,3].

Kullanılan formülasyonlarda çarpma, trigonometrik fonksiyonlar, bölme ve karekök alma gibi matematiksel işlemler yer almakta ve FPGA kaynaklarını çok fazla kullanarak kaynak sorunu doğurmaktadır.

Kaynak paylaşımı optimizasyon teknikleri ile gerekli alanın küçültülmesi gerekmektedir. Bu teknikler son yıllarda sıkça kullanılmaktadır. Örneğin, kaynak paylaşımının yapılacak işleme ve FPGA mimarisine bağlılığı gösterilmiş [4] ve cyclone2 üzerinde %16, stratix4 üzerinde %12 alan kaynak düşüşü sağlanmıştır. ALU tasarımı gibi bazı işlemlerde kaynak kullanımı %66 gibi yüksek bir oranda azaltılmıştır [5]. Yine bir başka çalışmada FIR filtre %20 daha az alan kullanımı ile gerçekleştirilmiştir [6].

Bu çalışmanın 2.bölümünde formülasyonlar verilmiş, 3. ve 4. bölümlerde hava aracının takip ettiği rotaya göre eğim aralığı hesaplanmıştır. Hangi FPGA kaynaklarının sıralı şekilde paylaşıldığı, kaynak kullanımındaki düşüş ve sabit noktalı hesaplamadan kaynaklı hatalar gösterilmiştir.

II. FORMÜLASYON

A. Haversine Denklemi

Haversine denklemi, iki noktanın boylam ve enlemlerinden büyük daire mesafelerini hesaplayarak uzaklık değerini vermektedir. Bu çalışmada kullanılan Haversine fonksiyonu kod parçası olarak, (1)'de verilmiştir.

III. SENARYO

```
function[d]= haversine(lat1,lat2,long1,long2)
rad_cons= pi/180;
R= 6371000;
lat_1= (rad_cons*(lat1));
lat_2= (rad_cons*(lat2));
long_1= (rad_cons*(long1));
long_2= (rad_cons*(long2));
dlat= lat_1-lat_2;
dlong= long_1-long_2;
a1= sin(dlat/2)^2;
a2= cos(lat_1);
a3= cos(lat_2);
a4= sin(dlong/2)^2;
a= a1+a2*a3*a4;
c1= sqrt(a);
c2= sqrt(1-a);
c3= atan2(c1,c2);
c= 2*c3;
d= R*c
```

(1)

B. Eğim Aralığı

Haversine denkleminde gelen izdüşüm mesafesi ile iki noktanın yüksekleri de hesaba katılarak eğim aralığı hesabı yapılmalıdır. Eğim aralığı hesabı, (2)'de gösterilmiştir.

$$\text{Eğim Aralığı} = \sqrt{[d^2 + (h_1 - h_2)^2]} \quad (2)$$

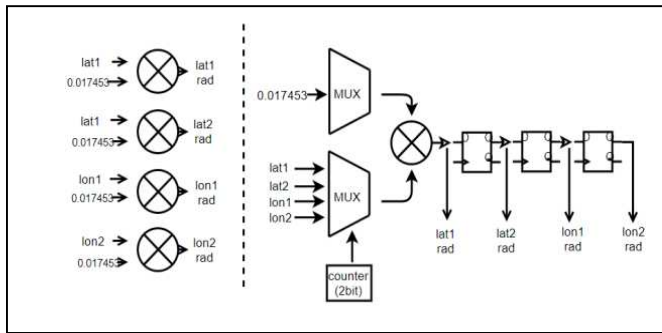
d: Haversine mesafesi

h₁: radar yüksekliği

h₂: hedef yüksekliği

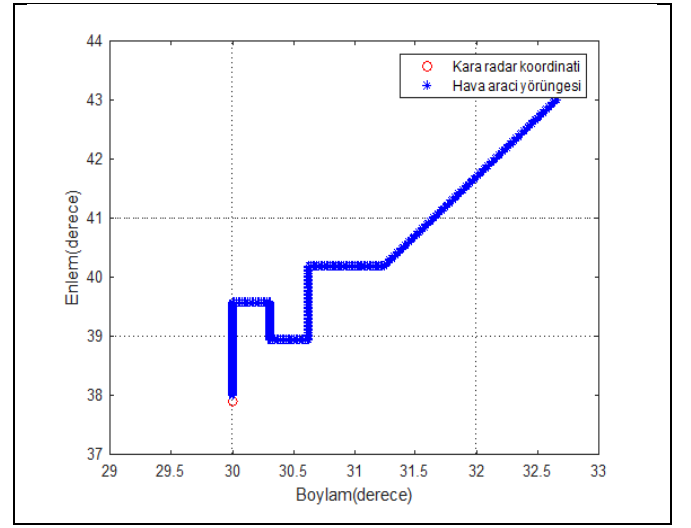
C. Kaynak Paylaşım Optimizasyonu

Kaynak paylaşımı kavramına ait bir örnek Şekil 1'de verilmiştir. Sol tarafta derece-radyan çevrimi 4 çarpma bloğuyla yapılmakta iken sağ tarafta çarpma bloğunun tekrarlı kullanımı sayesinde 1 çarpma bloğu kullanılmış fakat işlem 4 kat yavaş yapılmıştır. Çarpma bloğu çıkışında kayan yazmaç (shift register) kullanılarak işlem 4 saat saykılında gerçekleştirilmiştir.



Şekil. 1. Kaynak paylaşımı

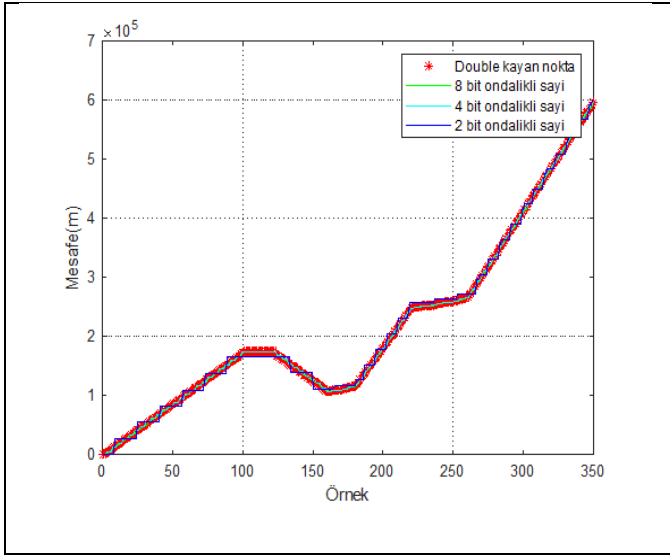
Şekil 2'de sabit kara radarı ve hareketli hava aracının izlediği yol enlem-boylam haritasında gösterilmektedir. Kara radarı, 38 derece kuzey enlemi ve 30 derece doğu boylamına sabitlenmiştir. Şekil üzerinde görülebilmesi için radar koordinatlarına 0.1 derece kaçıklık verilmiştir. Hava aracı, 38-43 kuzey enlemleri ve 30-32.65 doğu boylamları arasında Şekil 2'de gösterilen rotayı takip ederek radardan uzaklaşmaktadır. Haversine ark boyu yaklaşık 600 km'dir. Hava aracı sabit irtifada 10 km yükseklikte seyretmektedir. Hava aracının yerden yüksekliği enlem-boylam farkının yanında küçük olduğundan eğim aralığı da yaklaşık 600 km hesaplanmaktadır.



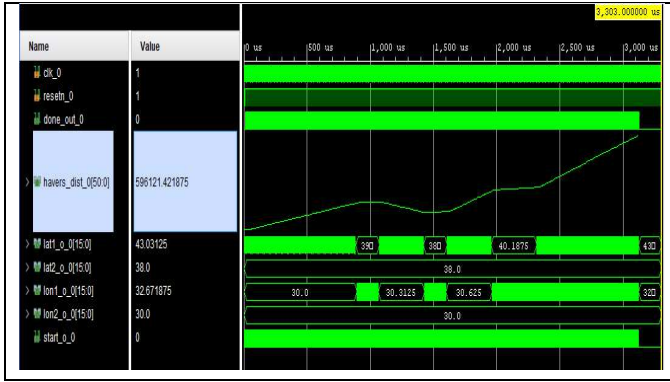
Şekil. 2. Hareket yörüngesi

IV. İMPLEMENTASYON

Koordinat bilgisinin veri tipi, yapılacak tüm matematiksel işlemlerin sonuçlarının veri tipini etkilemesi yanında, kullanılacak FPGA kaynak sayısını da etkilemektedir. Şekil 3'de hedef koordinatlarının sabit noktali temsil edilmesi durumunda hesaplanan mesafeler gösterilmiştir. Sabit noktali koordinat bilgisinde 2 bit ondalık kullanilınca yaklaşık %3 hata, 4 bit kullanilınca %1 hata ve 8 bit olması halinde % 0.01'den az hata alınmiştir. Gelen koordinat bilgisinin çözünürlüğü yaklaşık 0.015 derece kabul edilmiştir. Hataları minimumda tutabilmek için işlemler 8 bit ondalık kullanilılarak yapılmıştır.



Şekil 3. Hedef koordinatlarının farklı ondalık sayılarla temsil edilmesi



Şekil 4. Vivado simülasyon çıktısı

Şekil 4, Vivado 2018.3 üzerinde yapılan simülasyon sonucunda mesafe hesabını göstermektedir. Ayrıca kodların Vivado'da sentezi ve implementasyonu yapılmıştır.

Sabit noktalı hesap yöntemi doğruluk, donanım maliyeti, hız ve donanım limitleri gibi faktörler göz önüne alınarak seçilir. Literatürde sinüs-kosinüs hesabı için başlıca yöntemler; look-up tablosu, Taylor serisi açılımı [7] ve CORDIC algoritmasıdır. Karekök hesabı için geri yüklenemeyen (non-restoring) algoritması [8] ve ikiye bölme (bisection) nümerik yöntemi [9], CORDIC dışında sıklıkla kullanılır. Arkatanjant hesabı için Chebyshev polinomu yaklaşımı kullanılmaktadır [10]. Yine basitleştirilmiş look-up tablosu üzerinden gidip en yakın komşu doğrusal interpolasyon ile hesaplama mümkündür. Fakat bu her iki yöntemde çarpma ve bölme operasyonları gerektirmektedir. Bu çalışmada genlik hesabı dahil tüm işlemler CORDIC ile yapılmış, gerekli doğruluk elde edilmiş ve matematiksel işlemler için farklı algoritmalar kullanılmadığından sonuca hızlı gidilmeye çalışılmıştır. Ayrıca donanım maliyeti azaltılmıştır. DSP48 Xilinx tarafından

geliştirilen kompleks hesaplama bloğudur [11]. Bu makro blok çarpma işlemlerinde kullanılarak performans artışı sağlamaktadır.

CORDIC yöntemi, çarpma operatörü kullanmaz ve sadece kaydırma, toplama işlemleriyle sonuca yakınsamasıyla en etkili algoritmalarından biridir [12]. Trigonometrik değerler (sinüs, kosinüs, arkatanjant) ve karekök alma işlemleri CORDIC algoritması ile iteratif bir şekilde bulunmuştur. Sinüs-kosinüs hesabı algoritmanın rotasyon modunda, arkatanjant hesabı vektör modunda ve karekök hesabı hiperbolik vektör modunda yapılmıştır. İterasyon sayıları, bağıl hatalara göre bulunmuş ve aşağıdaki Tablo 1'de iterasyon sayıları verilmiştir. Karekök alma yöntemi, [0.5-2] aralığında çalıştığından giriş değeri normalize edilmiştir. Sinüs-kosinüs işlemi, $(-\pi/2, \pi/2)$ aralığında çalıştığından kuadrant düzeltme uygulanmıştır.

Bağıl hata hesabında kullanılan formül, (3) de verilmiştir. Sabit noktadan kaynaklı bağıl hata yüzdeleri ise Tablo 1'de gösterilmiştir. Hatayı düşük tutabilmek için iterasyon sayıları yüksek tutulmuştur.

$$e = \text{Yüzde Hata} = \frac{|\text{sabit noktalı değeri} - \text{kayan noktalı değeri}|}{\text{kayan noktalı değeri}} \quad (3)$$

TABLO 1. CORDIC SABİT NOKTA BAĞIL HATASI

CORDIC MODU	İterasyon sayısı	Bağıl hata
Sinüs-kosinüs	30	% 0.5
Arkatanjant	30	0
Karekök alma	20	% 0.001
Genlik hesabı	30	0

CORDIC algoritmasında kullanılan işlem, (4)'de gösterilmiştir. Sırasıyla sinüs-kosinüs, karekök ve arkatanjant için iterasyon sayısı sonsuza giderken hesaplamanın yakınsadığı değerler (5), (6) ve (7) ile verilmiştir.

CORDIC algoritması

$$\begin{aligned} x_{i+1} &= x_i \pm y_i * d_i * 2^{-i} \\ y_{i+1} &= y_i \pm x_i * d_i * 2^{-i} \\ z_{i+1} &= z_i \pm d_i * \text{atanh}(2^{-i}) \end{aligned} \quad (4)$$

Sinüs-kosinüs

$$z_N = 0$$

$$x_N = A_N(x_0 \cos z_0 - y_0 \sin z_0)$$

$$y_N = A_N(y_0 \cos z_0 + x_0 \sin z_0) \quad (5)$$

Karekök alma

$$x_N = A_N \sqrt{(x_0^2 - y_0^2)}$$

$$y_N \approx 0$$

$$z_N \approx z_0 + \operatorname{atanh}(x_0/y_0) \quad (6)$$

Arktanjan

$$x_N = A_N \sqrt{(x_0^2 + y_0^2)}$$

$$y_N \approx 0$$

$$z_N = z_0 + \operatorname{atan}(y_0/x_0) \quad (7)$$

TABLO II. YÜKSEK SEVİYE KAYNAK KULLANIMI

KAYNAK	Paylaşımsız	Paylaşımlı
Çarpma	9	3
CORDIC sinüs-kosinüs	4	1
CORDIC arktanjan	2	1
CORDIC karekök alma	1	1
CORDIC genlik bulma	1	1
Gecikme (latency)	100	220

TABLO III. SENTEZ ARACI KAYNAK KULLANIMI

KAYNAK	Paylaşımsız	Paylaşımlı
Slice LUT	4905	3200
Slice Register	1620	1550
DSP48E1	11	4

Çalışma sonucunda kullanılan kaynaklar yüksek seviye olarak Tablo 2’de ve sentez sonucuna göre Tablo 3’de paylaşılmıştır. Paylaşımlı yöntemin kaynak kullanımını azaltması bir avantaj iken hesaplama süresini 100 saat saykılından 220 saat saykılına çıkarmıştır. Ancak bu işlemlerin yapıldığı saat frekansı 100MHz olduğundan bunun zamansal maliyeti 1.2 mikro saniye mertebesinde. Bu artış denklemin gerçek zamanlı hesaplanmasına engel olmamaktadır. Sentez aracı olarak Vivado 2018.3 kullanılmıştır.

V. SONUÇ

Bu çalışmada, kaynak paylaşımı yönteminin CORDIC algoritması ve çarpma operatörlerine uygulanmasıyla kaynak maliyetinin etkin bir şekilde azaltıldığı gösterilmiştir. Tasarımda hiçbir hazır fikri mülkiyet (IP Core) kullanılmamış ve kodlama VHDL dilinde durum makinesi mantığıyla yapılmıştır.

Kaynak paylaşımı yanında sabit nokta aritmetiğinden kaynaklı hatalar da %1’in altında tutulmuştur. İlerleyen çalışmalarda VHDL kodları pipeline mimarisiyle yazılacak ve aynı seviyeli blokların paylaşımı yerine tüm hesaplama boyunca aynı amaçlı kullanılan operatörlerin tek blok kullanılarak paylaşımı yapılarak hem kaynak kullanımı daha da düşürülecek hem de zaman gecikmesi (latency) pipeline mimarisinden ötürü azaltılacaktır. Ayrıca yazılan CORDIC algoritması Xilinx firmasının geliştirdiği IP Core’lar ile kaynak kullanımı ve performans açısından kıyaslanacaktır.

KAYNAKLAR

- [1] N. Chopde and M. Nichat, “Landmark Based Shortest Path Detection by Using A* and Haversine Formula,” GH Raison College of Engineering and . . . , vol. 1, no. 2, pp. 298–302, 2013. [Online]. Available: http://www.ijrce.com/upload/2013/april/17_V1204030_Landmark_H.pdf.
- [2] E. Winarno, W. Hadikurniawati, and R. N. Rosso, “Location based service for presence system using haversine method,” Proceedings - 2017 International Conference on Innovative and Creative Information Technology: Computational Intelligence and IoT, ICITech 2017, vol.2018-January, pp. 1–4, 2018.
- [3] A. Moreira, P. Prats-iraola, M. Younis, G. Krieger, I. Hajnsek, and K. P. Papathanassiou, “SAR-Tutorial-March-2013,” no. march, 2013.
- [4] S. Hadjis, A. Canis, J. H. Anderson, J. Choi, K. Nam, S. Brown, and T. Czajkowski, “Impact of FPGA architecture on resource sharing in high-level synthesis,” Proceedings of the ACM/SIGDA international symposium on Field Programmable Gate Arrays - FPGA ’12, p. 111, 2012. [Online]. Available: <http://dl.acm.org/citation.cfm?doid=2145694.2145712>.
- [5] R. Nangia and N. K. Shukla, “Resource Utilization Optimization with Design Alternatives in FPGA based Arithmetic Logic Unit Architectures,” Procedia Computer Science, vol. 132, pp. 843–848, 2018. [Online]. Available: <https://doi.org/10.1016/j.procs.2018.05.096>.
- [6] Pari, J., & Vaithiyanathan, D. (2017). An Efficient Multichannel FIR Filter Architecture for FPGA and ASIC Realizations.
- [7] Dey, Atanu & Bhattacharyya, Tanima & Hasnat, Abul & Halder, Santanu. (2014). A Fast FPGA based Architecture for Determining the Sine and Cosine Value. 10.13140/2.1.5158.5922.
- [8] Li, Y. and Chu, W. (1996) "A New Non-Restoring Square Root Algorithm and Its VLSI Implementations". IEEE International Conference on Computer Design: VLSI in Computers and Processors, ICCD '96 Austin, Texas USA (7-9 October, 1996), pp. 538-544. doi: 10.1109/ICCD.1996.563604.
- [9] M. T. Tommiska, "Area-efficient implementation of a fast square root algorithm," Proceedings of the 2000 Third IEEE International Caracas Conference on Devices, Circuits and Systems (Cat. No.00TH8474), Cancun, Mexico, 2000, pp. S18/1-S18/4, doi: 10.1109/ICCD.2000.869869.
- [10] Ukil, Abhisek & Shah, Vishal & Deck, Bernhard. (2011). Fast computation of arctangent functions for embedded applications: A comparative analysis. 10.1109/ISIE.2011.5984330.
- [11] 7 Series DSP48E1 Slice, User Guide, UG479 (v1.10) March 27, 2018.
- [12] Jack E. Volder, "The CORDIC Trigonometric Computing Technique," IRE Transactions on Electronic Computers, Volume EC-8, September 1959, pp. 330-334.