

INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA
BACHARELADO EM ENGENHARIA DE TELECOMUNICAÇÕES

BERNARDO SOUZA MUNIZ

Atividade AE2 - Eletrônica Digital

São José, 2025

1 - Introdução

Este trabalho tem como objetivo apresentar os passos descritos na atividade AE2 da disciplina de Eletrônica Digital, ministrada pelo professor Marcos Moecke. Esses passos envolvem a execução de procedimentos para aprofundar o conhecimento na plataforma de programação Quartus Prime.

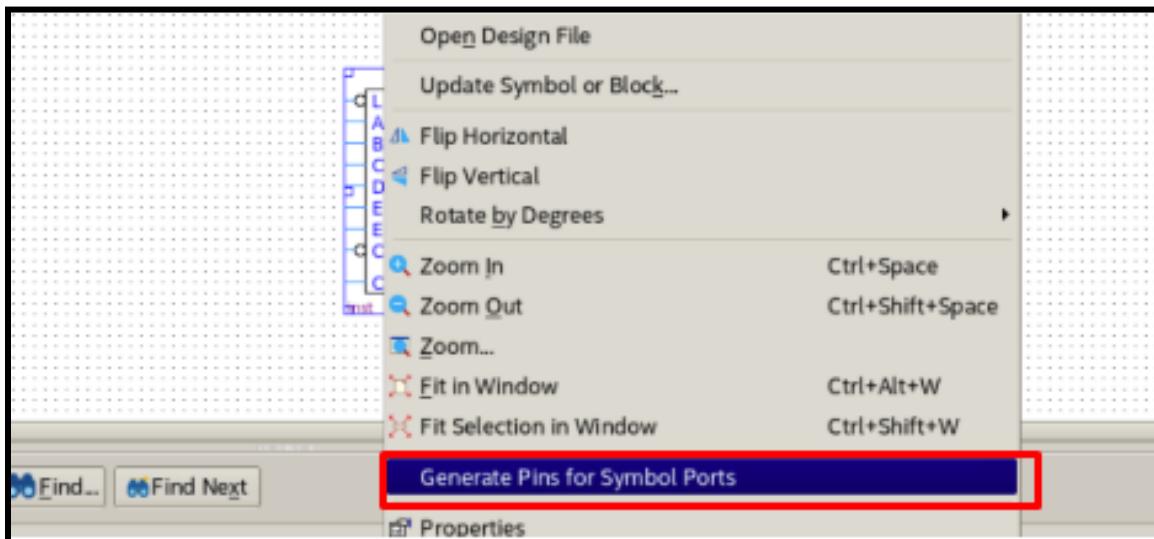
O trabalho consiste na realização de uma série de atividades na plataforma de desenvolvimento Quartus Prime, incluindo a implementação de sistemas eletrônicos e o desenvolvimento de hardware utilizando a linguagem VHDL.

Serão demonstrados os procedimentos adotados para obter os resultados dos circuitos e do diagrama esquemático, utilizando diferentes famílias e códigos de dispositivos (devices). Além disso, serão abordados os testes implementados para otimizar o desempenho do processador no Quartus.

2 - Passo 1:

Após criar um novo projeto e selecionar o contador 741161 no diagrama esquemático, foi feita a adição dos pinos de entrada e saída utilizando o atalho de **Generate Pins for Symbol Ports**.

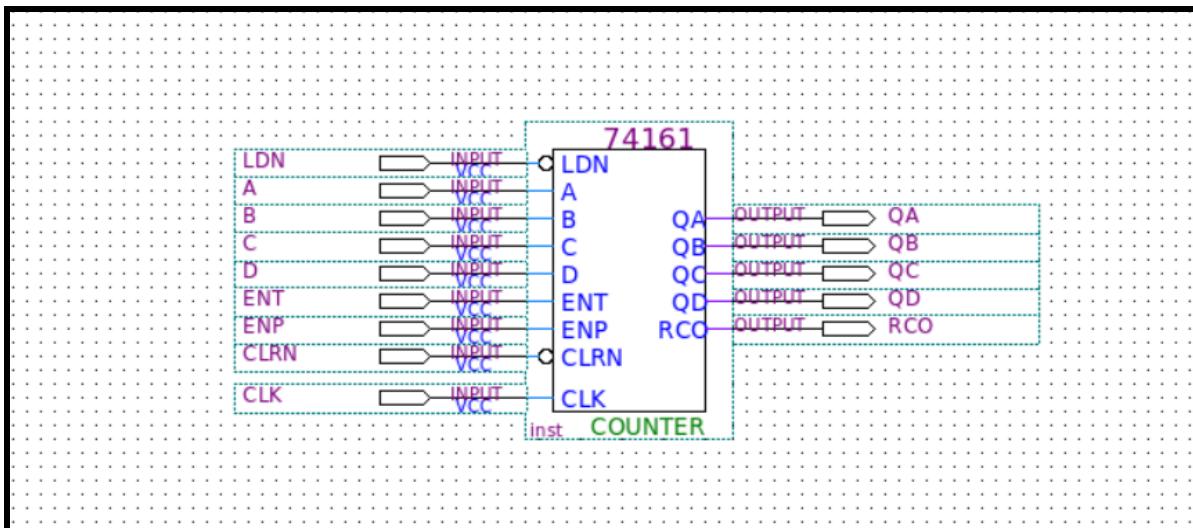
Figura 1 - Gerando pinos



Fonte: Autoria própria

Após a configuração, foi obtido com êxito o seguinte resultado no mostrador do diagrama, como mostrado no exercício:

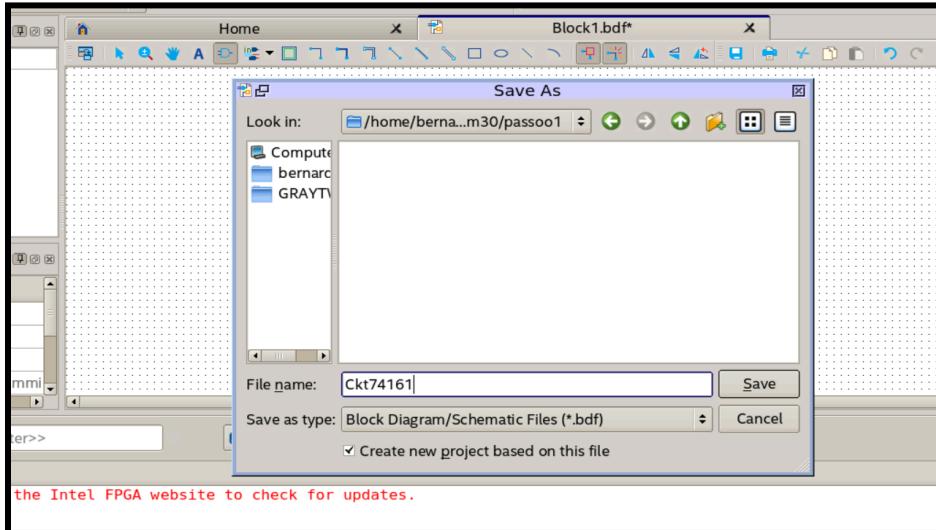
Figura 2 - Diagrama Esquelético



Fonte: Autoria própria

Após isso, o arquivo foi salvo com o nome **"Ckt74161.bdf"** em uma pasta chamada PASSO 1

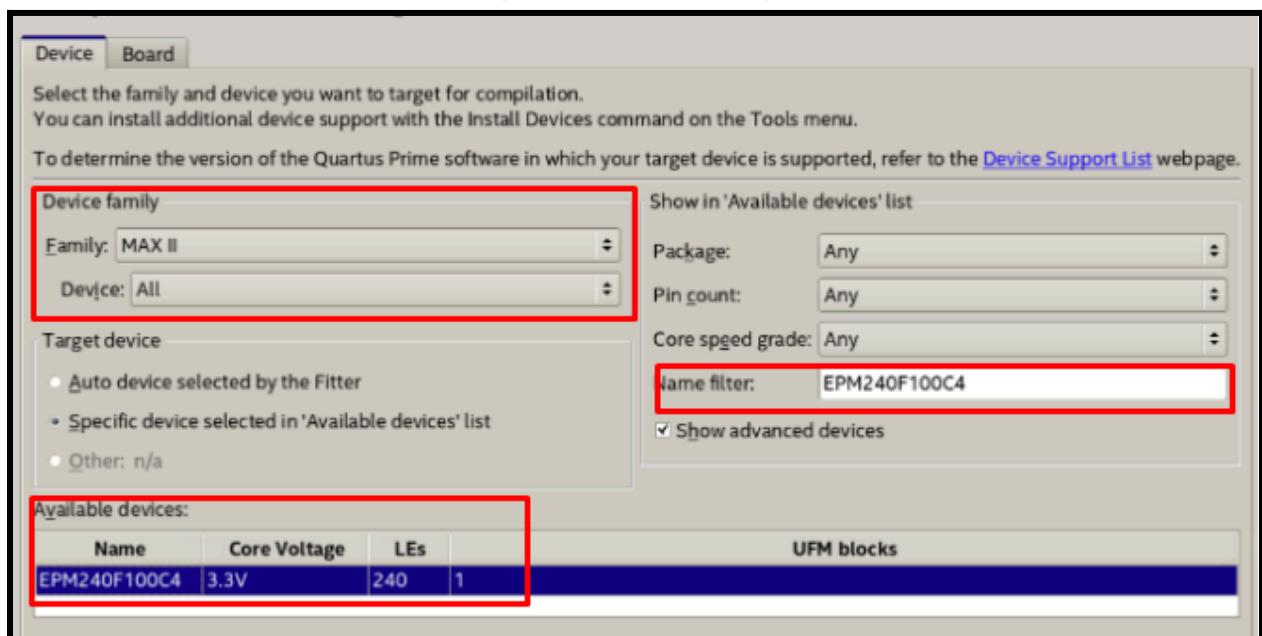
Figura 3 - Salvando o arquivo



Fonte: Autoria própria

Após salvar o arquivo na pasta em questão foi criado um novo projeto. Foi feita as configurações iniciais em relação a organização do arquivo e na aba de seleção da família de DLPs, foi selecionado a **Device Family: MAX II** e selecionado o **Device: EPM240F100C4**

Figura 4 - Device Family



Fonte : Autoria própria

Após as configurações orientadas no exercício, o sumário do diagrama esquelético apresentou o seguinte resultado:

Figura 5 - Sumário

Summary	
When you click Finish, the project will be created with the following settings:	
Project directory:	/home/bernardo.sm30/passoo1/
Project name:	Ckt74161
Top-level design entity:	Ckt74161
Number of files added:	1
Number of user libraries added:	0
Device assignments:	
Design template:	n/a
Family name:	MAX II
Device:	EPM240F100C4
Board:	n/a
EDA tools:	
Design entry/synthesis:	<None> (<None>)
Simulation:	ModelSim-Altera (VHDL)
Timing analysis:	0
Operating conditions:	
VCCINT voltage:	3.3V
Junction temperature range:	0-85 °C

Fonte: Autoria própria

Uma vez feito as configurações e compilado o projeto, foi obtido o seguinte tempo em cada uma das etapas do processo de compilação:

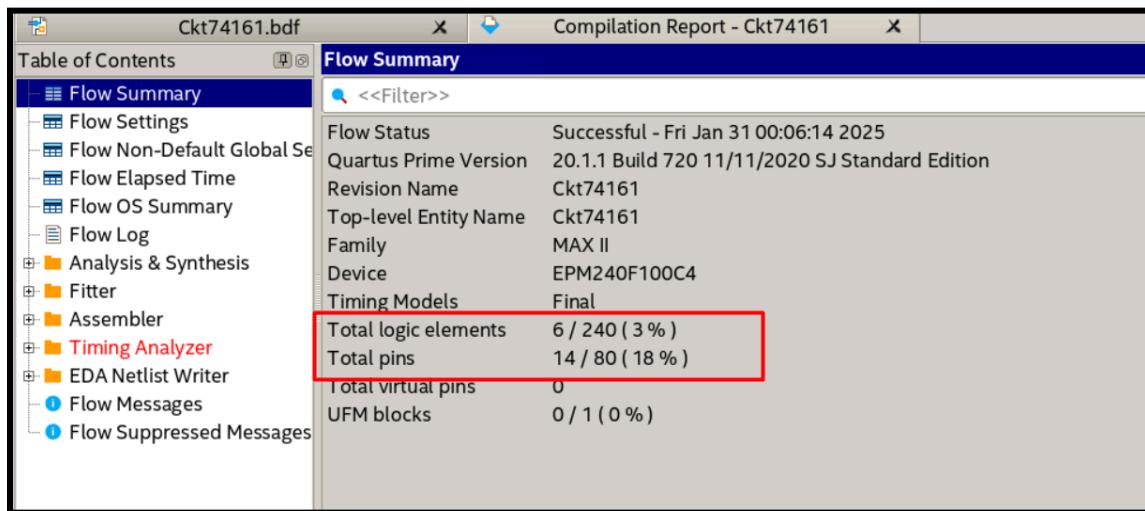
Figura 6 - Tempo de compilação

Tasks		Compilation
	Task	Time
✓	► Compile Design	00:00:16
✓	► Analysis & Synthesis	00:00:09
✓	► Fitter (Place & Route)	00:00:03
✓	► Assembler (Generate programming files)	00:00:02
✓	► Timing Analysis	00:00:01
✓	► EDA Netlist Writer	00:00:01
	Edit Settings	
	► Program Device (Open Programmer)	

Fonte: Autoria própria

Foi observado também que a quantidade de Elementos lógicos que estavam sendo utilizados foi de 6/240 (cerca de 3% do total) e a quantidade de pinos foi de 14/80 (cerca de 18%)

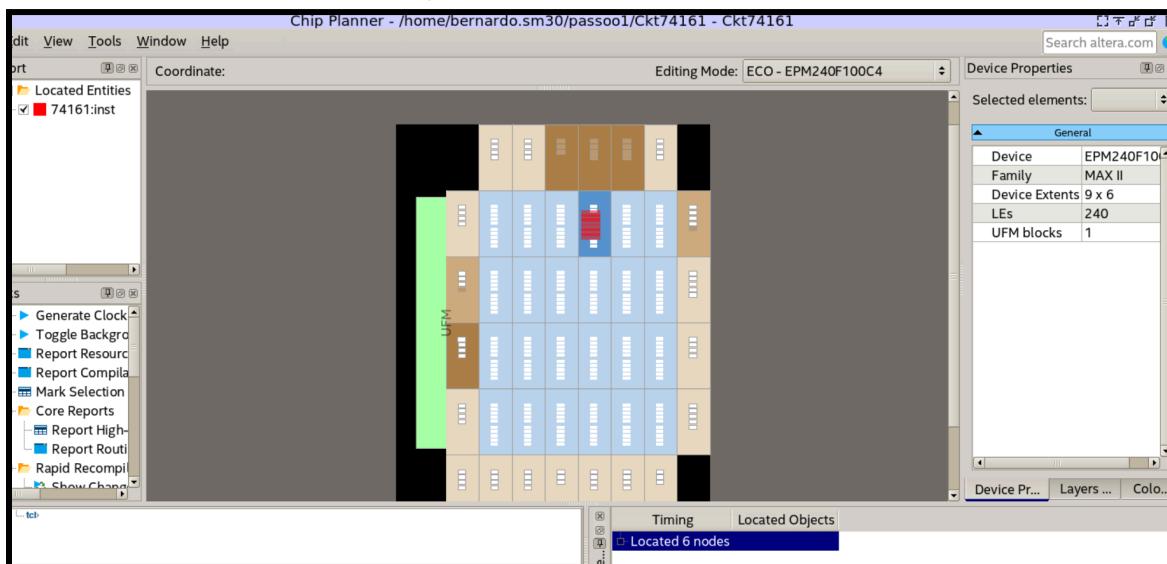
Figura 7 - Pinos e elementos lógicos



Fonte: Autoria Própria

Observando o Chip Planner do diagrama utilizando a família **MAX II** e o código do Device sendo **EPM240F100C4**, obteve-se o seguinte resultado:

Figura 8 - Chip Planner MAX II

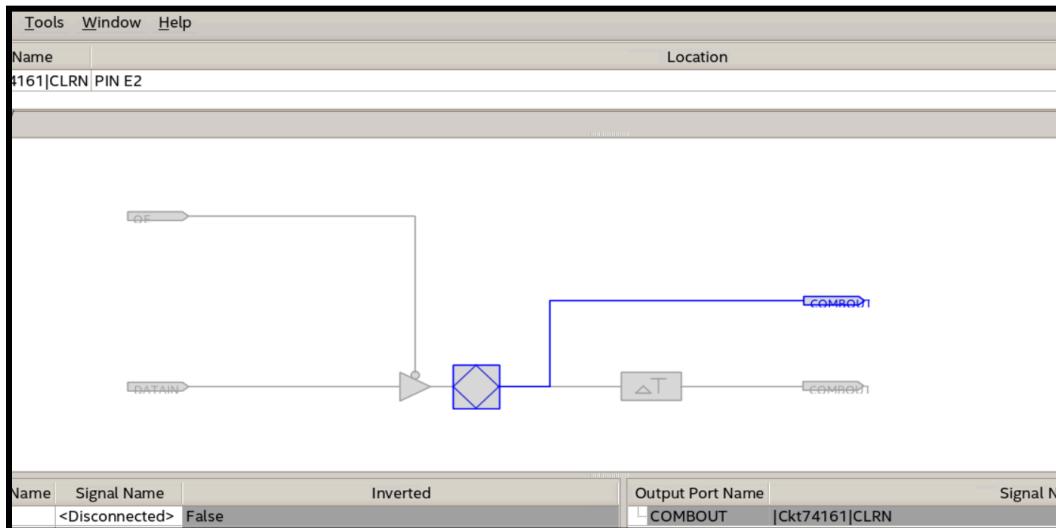


Fonte: Autoria própria

Nota-se que ao todo, destacado em marrom, o circuito possui 21 pinos de entrada e saída. Considerando também que tem-se 24 LABS e cada LAB possui 10 elementos lógicos, temos um total de 240 elementos.

Analizando a aba Node Properties em um dos LAB, temos a seguinte visualização:

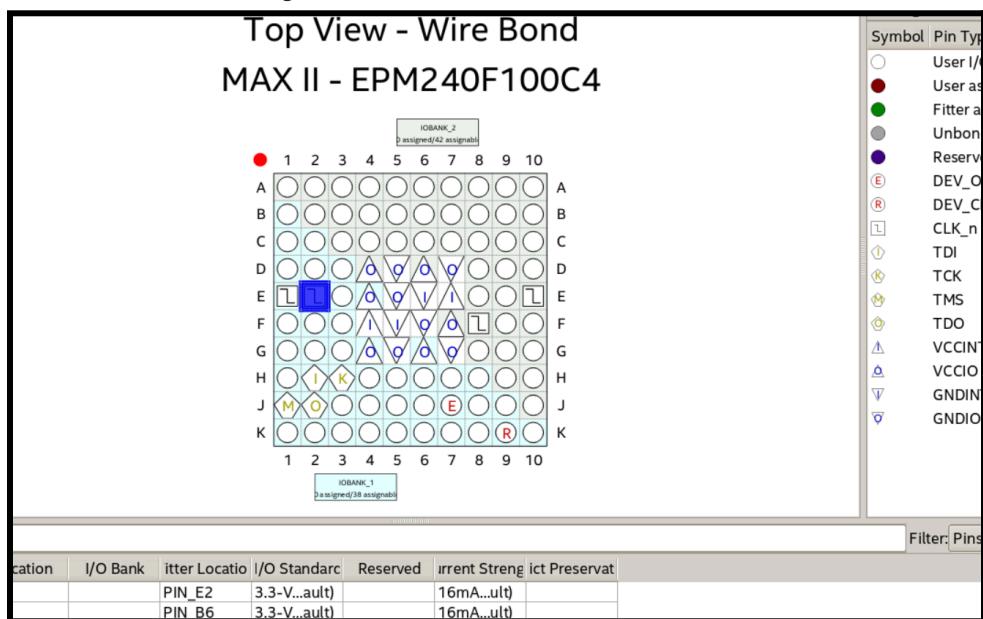
Figura 9 - Node Properties



Fonte: Autoria própria

Visualização do Pin Planner utilizando a família MAX II:

Figura 10 - Pin Planner MAX II



Fonte: Autoria Própria

Após todas as operações, não foi observado nenhum erro na aba “Message” do Quartus:

Figura 11 - Message

Type	ID	Message
-	170137	Fitter placement was successful
-	170192	Fitter placement operations ending: elapsed time is 00:00:00
-	170193	Fitter routing operations beginning
⊕	170195	Router estimated average interconnect usage is 0% of the available device resources
⊕	170199	The Fitter performed an Auto Fit compilation. Optimizations were skipped to reduce compilation time.
-	170194	Fitter routing operations ending: elapsed time is 00:00:00
-	11888	Total time spent on timing analysis during the Fitter is 0.07 seconds.
-	11218	Fitter post-fit operations ending: elapsed time is 00:00:00
⚠	169174	The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
-	144001	Generated suppressed messages file /home/bernardo.sm30/passool/output_files/Ckt74161.fit.smsg
⊕	1	Quartus Prime Fitter was successful. 0 errors, 4 warnings
-	293000	Quartus Prime Flow was successful. 0 errors, 5 warnings

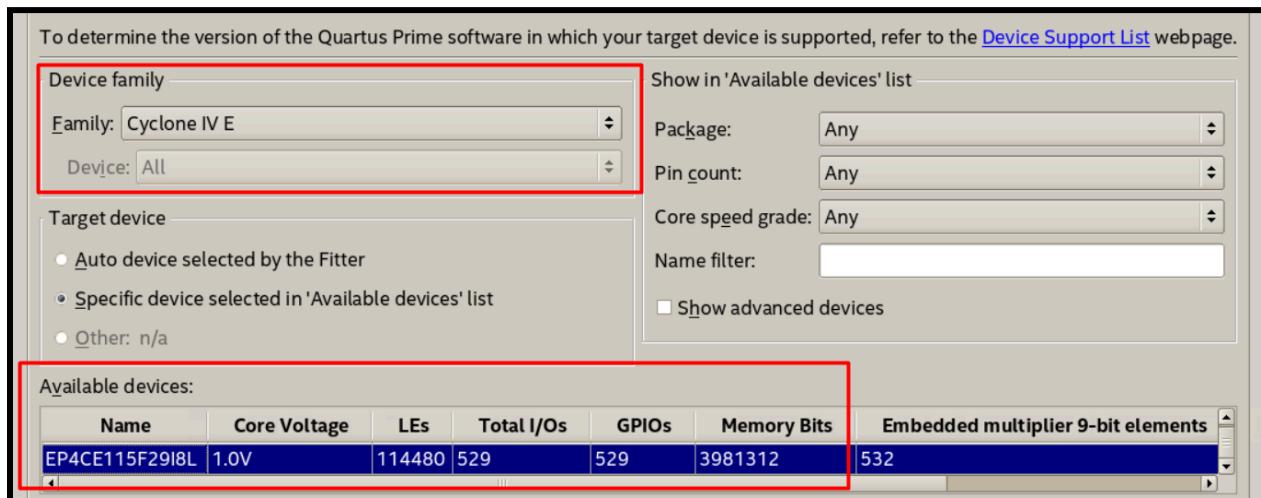
Fonte: Autoria própria

Por fim, foi salvo o arquivo no formato .QAR para ser encaminhado ao tutor da disciplina.

3 - Passo 2:

Seguindo novamente a criação do Diagrama Esquelético e do projeto, dessa vez a família escolhida foi a Cyclone IV E com o device EP4CE115F29I8L:

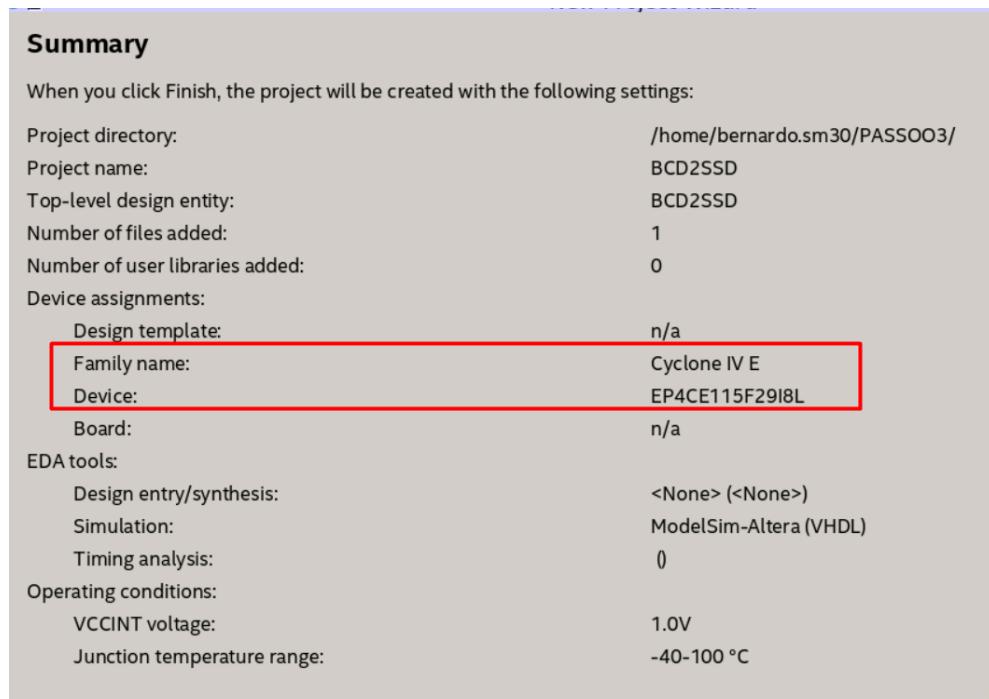
Figura 12 - Device Family Cyclone IV E



Fonte: Autoria própria

Após as configurações, o sumário apresentou as seguintes configurações:

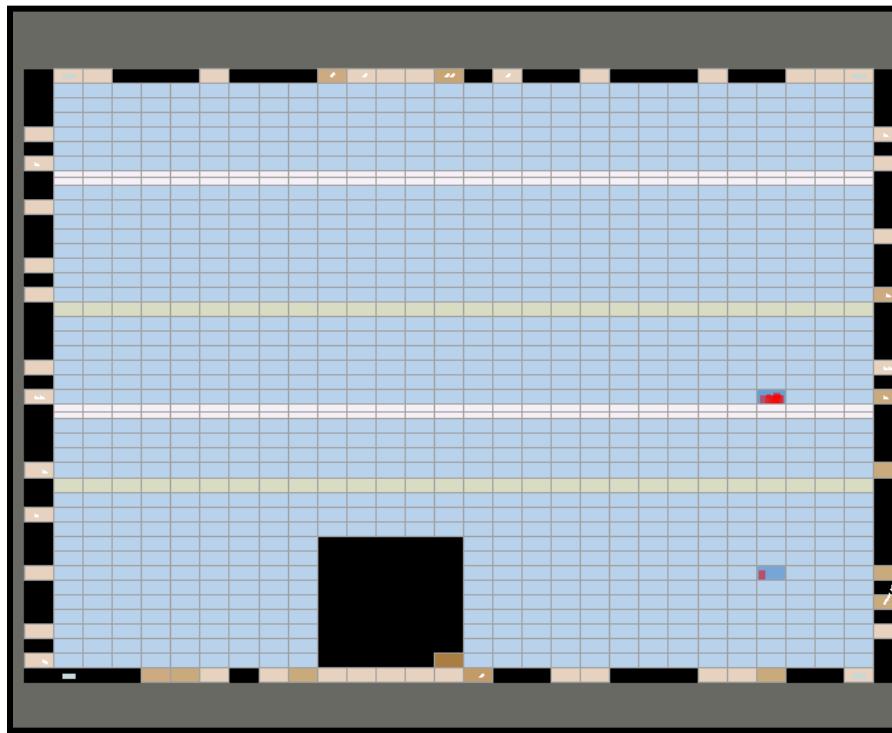
Figura 13 - Chip Planner Cyclone IV



Fonte: Autoria própria

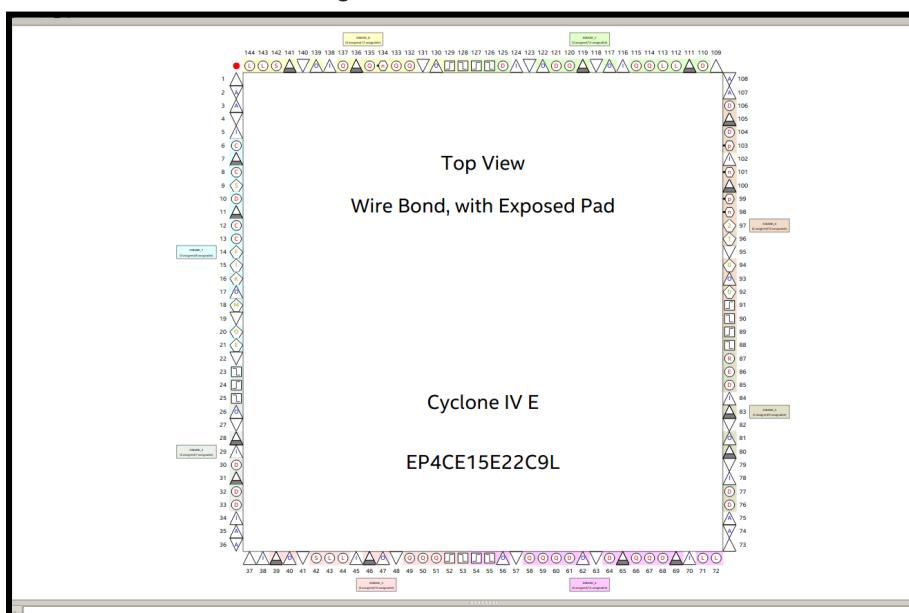
Observando o Chip Planner do produto é possível notar uma grande diferença em relação a quantidade de LABS e dispositivos lógicos na mesma configuração do Passo 1:

Figura 14 - Chip Planner Cyclone IV



Visualização do Pin Planner utilizando a família Cyclone IV E:

Figura 15 - Pin Planner



Fonte: Autoria Própria

Tempo de compilação para cada processo. Aqui também é possível visualizar que a família Cyclone teve um tempo de compilação um pouco maior em alguns processos:

Figura 16 - Tempo de compilação

	Task	Time
✓	► Compile Design	00:00:37
✓	► Analysis & Synthesis	00:00:10
✓	► Fitter (Place & Route)	00:00:18
✓	► Assembler (Generate programming files)	00:00:05
✓	► Timing Analysis	00:00:02
✓	► EDA Netlist Writer	00:00:02
	Edit Settings	
	► Program Device (Open Programmer)	

Fonte: Autoria própria

Foi observado também que a quantidade de Elementos lógicos que estavam sendo utilizados foi de 10/114,80 (menor do que 1% do total) e a quantidade de pinos foi de 14/529 (cerca de 3%). Nota-se que há uma diferença tanto na quantidade de elementos lógicos e de pinos em comparação com a quantidade utilizada na família MAX II, disponível na figura 7.

Figura 17 - Pinos e elementos lógicos

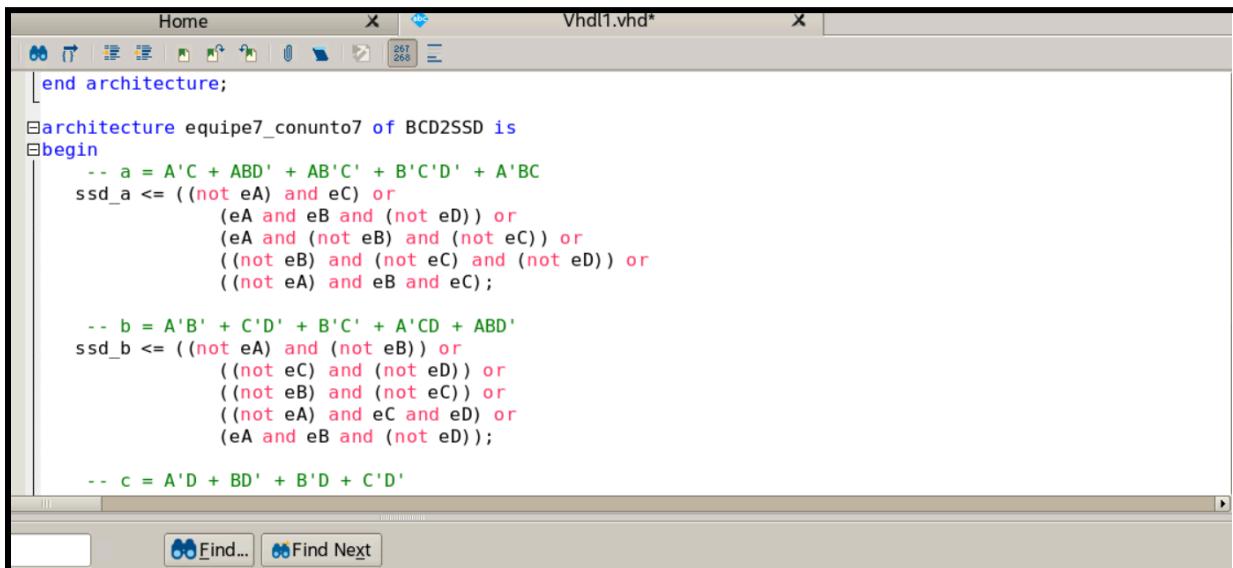
Table of Contents		Flow Summary
Flow Summary		<<Filter>>
Flow Settings		Flow Status Successful - Fri Jan 31 00:09:49 2025
Flow Non-Default Global Se		Quartus Prime Version 20.1.1 Build 720 11/11/2020 SJ Standard Edition
Flow Elapsed Time		Revision Name teste
Flow OS Summary		Top-level Entity Name teste
Flow Log		Family Cyclone IV E
Analysis & Synthesis		Device EP4CE115F29I8L
Fitter		Timing Models Final
Assembler		Total logic elements 10 / 114,480 (< 1 %)
Timing Analyzer		Total registers 4
EDA Netlist Writer		Total pins 14 / 529 (3 %)
Flow Messages		Total virtual pins 0
Flow Suppressed Messages		Total memory bits 0 / 3,981,312 (0 %)
		Embedded Multiplier 9-bit elements 0 / 532 (0 %)
		Total PLLs 0 / 4 (0 %)

Fonte: Autoria própria

4 - Passo 3

Inicialmente foi criado um projeto básico em vhdl para o circuito descrito em vhdl funcionasse. Foi utilizado o código da atividade AE1 - Projeto de um conversor de binário para mostrador de 7 segmentos.

Figura 18 - Código conversor de binário para mostrados de 7 segmentos



```
end architecture;

architecture equipe7_conunto7 of BCD2SSD is
begin
    -- a = A'C + ABD' + AB'C' + B'C'D' + A'BC
    ssd_a <= ((not eA) and eC) or
              (eA and eB and (not eD)) or
              (eA and (not eB) and (not eC)) or
              ((not eB) and (not eC) and (not eD)) or
              ((not eA) and eB and eC);

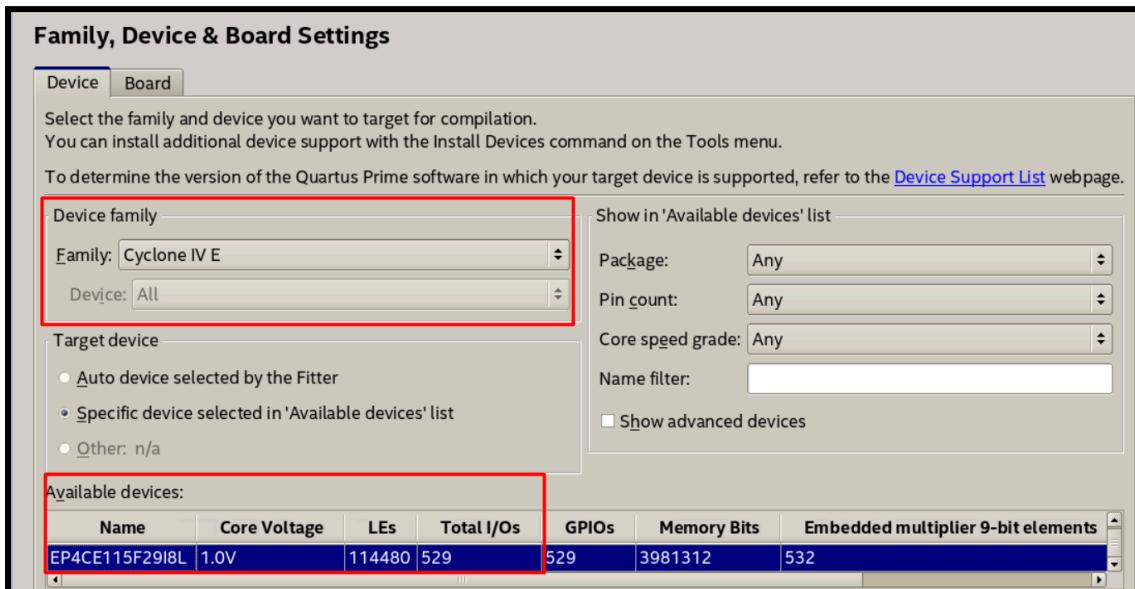
    -- b = A'B' + C'D' + B'C' + A'CD + ABD'
    ssd_b <= ((not eA) and (not eB)) or
              ((not eC) and (not eD)) or
              ((not eB) and (not eC)) or
              ((not eA) and eC and eD) or
              (eA and eB and (not eD));

    -- c = A'D + BD' + B'D + C'D'
end architecture;
```

Fonte: Autoria própria

Conforme a indicação do passo, foi escolhido a família **Cyclone IV E** com o código de dispositivo EP4CE115F29I8L:

Figura 19 - Família Cyclone IV E



Fonte: Autoria própria

Após as configurações, foi possível observar o seguinte sumário:

Figura 20 - Sumário com Cyclone IV E

Summary	
When you click Finish, the project will be created with the following settings:	
Project directory:	/home/bernardo.sm30/PASSO03/
Project name:	BCD2SSD
Top-level design entity:	BCD2SSD
Number of files added:	1
Number of user libraries added:	0
Device assignments:	
Design template:	n/a
Family name:	Cyclone IV E
Device:	EP4CE115F29I8L
Board:	n/a
EDA tools:	
Design entry/synthesis:	<None> (<None>)
Simulation:	ModelSim-Altera (VHDL)
Timing analysis:	0
Operating conditions:	
VCCINT voltage:	1.0V
Junction temperature range:	-40-100 °C

Fonte: Autoria própria

Foi observado também que a quantidade de Elementos lógicos que estavam sendo utilizados foi de 11/114,80 (menor do que 1% do total) e a quantidade de pinos foi de 11/529 (cerca de 3%).

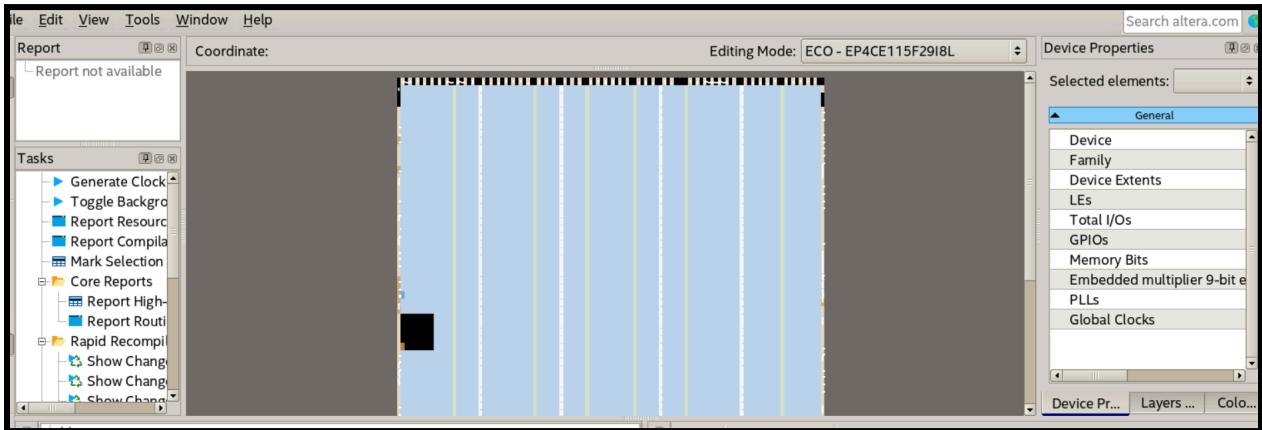
Figura 21 - Pinos e elementos lógicos

Flow Summary	
Flow Status	Successful - Thu Jan 30 21:14:07 2025
Quartus Prime Version	20.1 Build 720 11/11/2020 SJ Standard Edition
Revision Name	BCD2SSD
Top-level Entity Name	BCD2SSD
Family	Cyclone IV E
Device	EP4CE115F29I8L
Timing Models	Final
Total logic elements	7 / 114,480 (< 1 %)
Total registers	0
Total pins	11 / 529 (2 %)
Total virtual pins	0
Total memory bits	0 / 3,981,312 (0 %)
Embedded Multiplier 9-bit elements	0 / 532 (0 %)
Total PLLs	0 / 4 (0 %)

Fonte: Autoria própria

Visualizando o Chip Planner do circuito, temos o seguinte resultado:

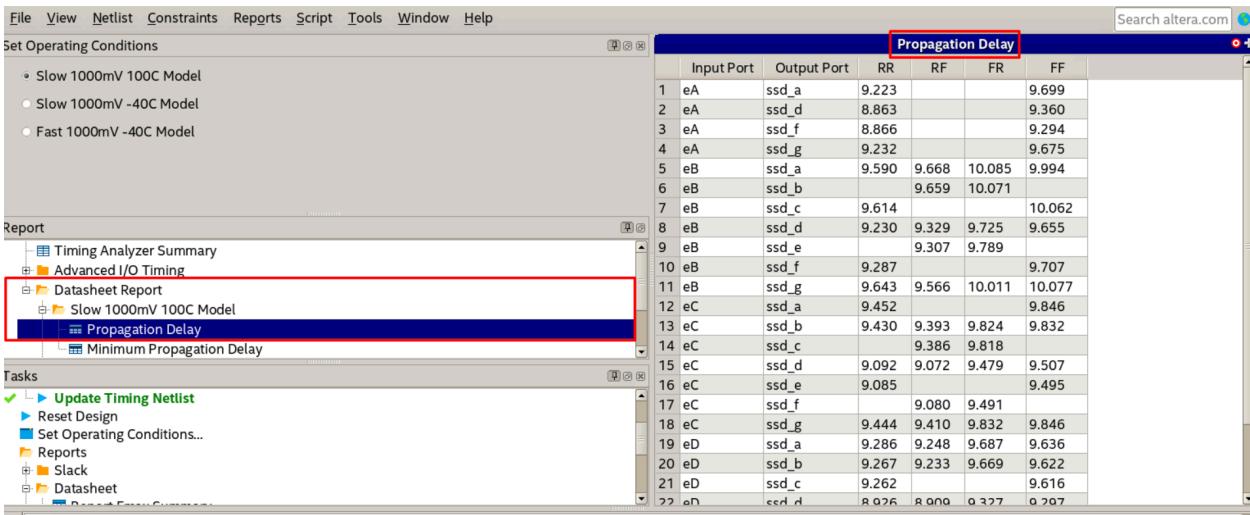
Figura 22 - Chip Planner Cyclone IV E



Fonte: Autoria própria

Visualizando o tempo de propagação entre entrada e saída no menu de propagation delay, obteve-se o seguinte resultado:

Figura 23 - Propagation Delay



Fonte: Autoria própria

Tempo de propagação em Fast Model:

Figura 24 - Tempos de Propagação Fast Model

Propagation Delay						
	Input Port	Output Port	RR	RF	FR	FF
1	eB	ssd_g	9.643	9.566	10.011	10.077
2	eB	ssd_c	9.614			10.062
3	eB	ssd_a	9.590	9.668	10.085	9.994
4	eC	ssd_a	9.452			9.846
5	eC	ssd_g	9.444	9.410	9.832	9.846
6	eC	ssd_b	9.430	9.393	9.824	9.832
7	eB	ssd_f	9.287			9.707
8	eA	ssd_a	9.223			9.699
9	eA	ssd_g	9.232			9.675
10	eB	ssd_d	9.230	9.329	9.725	9.655
11	eD	ssd_a	9.286	9.248	9.687	9.636
12	eD	ssd_b	9.267	9.233	9.669	9.622
13	eD	ssd_c	9.262			9.616
14	eC	ssd_d	9.092	9.072	9.479	9.507
15	eC	ssd_e	9.085			9.495
16	eA	ssd_d	8.863			9.360
17	eD	ssd_d	8.926	8.909	9.327	9.297
18	eA	ssd_f	8.866			9.294
19	eB	ssd_b		9.659	10.071	
20	eB	ssd_e		9.307	9.789	
21	eC	ssd_c		9.386	9.818	
22	ecrf	ccrf	0.080	0.101		

Fonte: Autoria própria

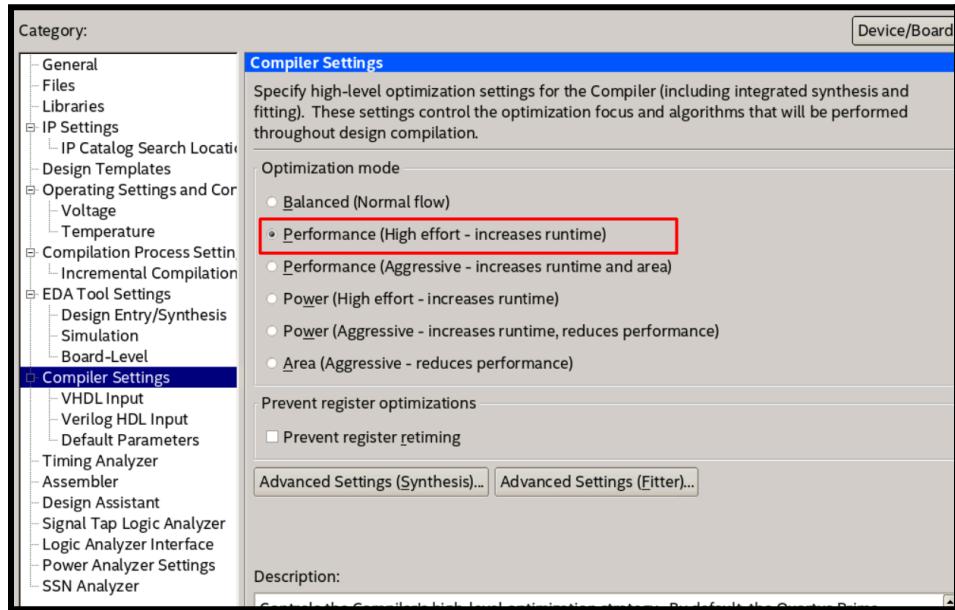
Tempo de propagação em Slow Model

Figura 25 - Tempos de propagação em Slow Model

	Input Port	Output Port	RR	RF	FR	FF
1	eB	ssd_g	9.643	9.566	10.011	10.077
2	eB	ssd_c	9.614			10.062
3	eB	ssd_a	9.590	9.668	10.085	9.994
4	eC	ssd_a	9.452			9.846
5	eC	ssd_g	9.444	9.410	9.832	9.846
6	eC	ssd_b	9.430	9.393	9.824	9.832
7	eB	ssd_f	9.287			9.707
8	eD	ssd_a	9.286	9.248	9.687	9.636
9	eD	ssd_b	9.267	9.233	9.669	9.622
10	eD	ssd_c	9.262			9.616
11	eA	ssd_g	9.232			9.675
12	eB	ssd_d	9.230	9.329	9.725	9.655
13	eA	ssd_a	9.223			9.699
14	eC	ssd_d	9.092	9.072	9.479	9.507
15	eC	ssd_e	9.085			9.495
16	eD	ssd_d	8.926	8.909	9.327	9.297
17	eA	ssd_f	8.866			9.294
18	eA	ssd_d	8.863			9.360
19	eB	ssd_b		9.659	10.071	
20	eB	ssd_e		9.307	9.789	
21	eC	ssd_c		9.386	9.818	
22	ecrf	ccrf	0.080	0.101		

No passo de configurar o compilador, foi selecionado a opção “Performance (High effort)”:

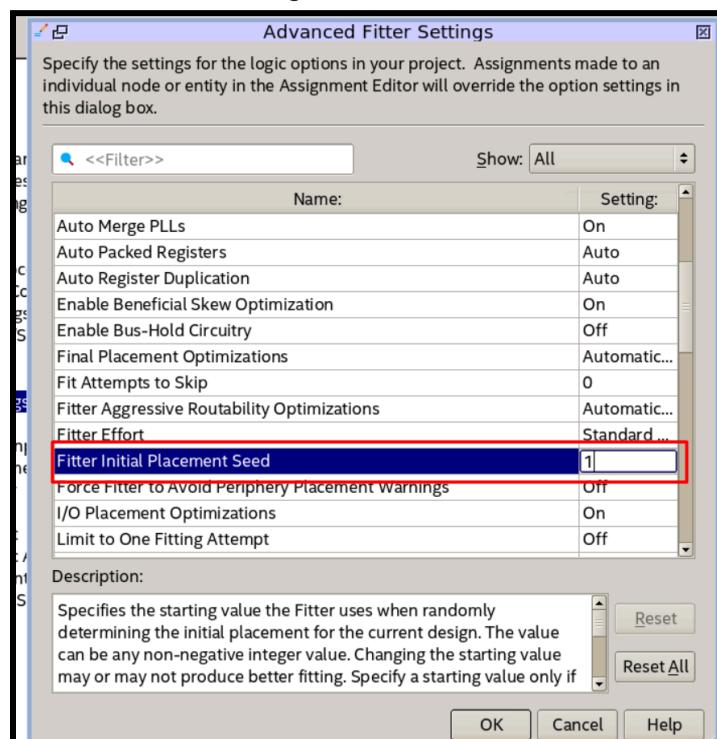
Figura 26 - Opções de compilação



Fonte: Elaborado pelo autor

Nas opções de “Advanced Fitter Settings” foi mudado a opção Seed para 1 conforme o exercício propôs:

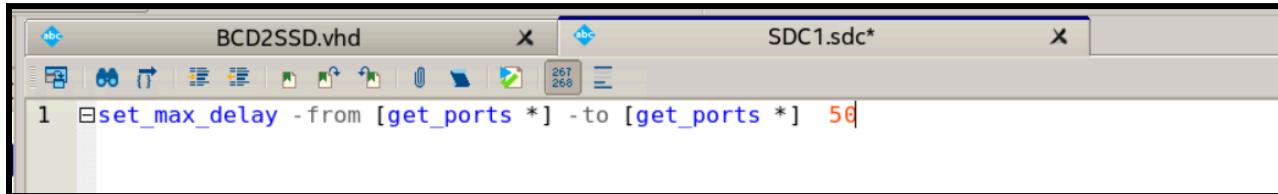
Figura 27 - Seed



Fonte: Elaborado pelo autor

Nas opções de “Synopsys Design Constraints File”, foi criado o arquivo .sdc e feito os testes com os seguintes comandos de atraso máximo para o compilador:

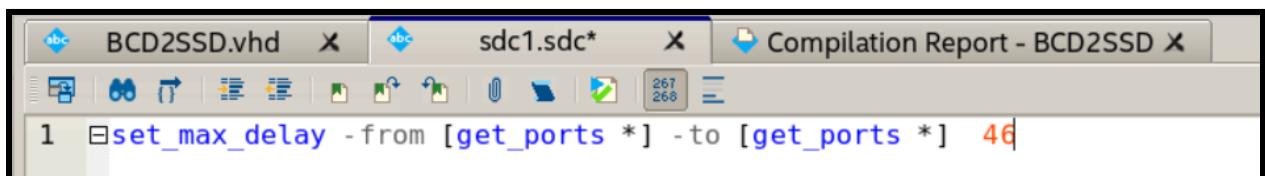
Figura 28 - Atraso de 50 ns



```
BCD2SSD.vhd          SDC1.sdc*
1  set_max_delay -from [get_ports *] -to [get_ports *] 50
```

Fonte: Elaborado pelo autor

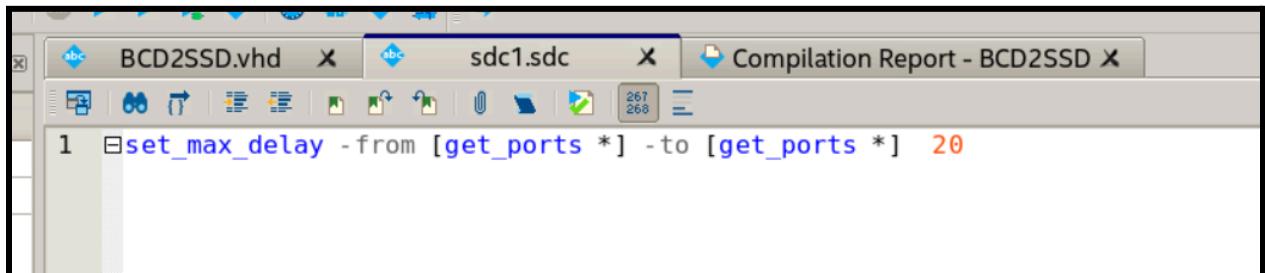
Figura 29 - Atraso de 46 ns



```
BCD2SSD.vhd          sdc1.sdc*          Compilation Report - BCD2SSD
1  set_max_delay -from [get_ports *] -to [get_ports *] 46
```

Fonte: Elaborado pelo autor

Figura 30 - Atraso de 20 ns



```
BCD2SSD.vhd          sdc1.sdc*          Compilation Report - BCD2SSD
1  set_max_delay -from [get_ports *] -to [get_ports *] 20
```

Fonte: Elaborado pelo autor

Após os testes foi verificado que o compilador não apresentou a mensagem de **Critical Warning**.

No intuito de realizar mais testes, foi selecionado um tempo de 5 ns para testar. No arquivo .sdc foi feito o seguinte comando:

```
set_max_delay -from [get_ports *] -to [get_ports *] 5
```

Verificando o **Compilation Report** foi notado alguns valores em vermelhos, indicando um Slack negativo em relação ao tempo configurado no arquivo .sdc, indicando que o **Data Delay** superou o atraso máximo de 5 ns:

Figura 31 - Timing Report - Negative Slack

Slow 1000mV 100C Model Setup: 'n/a'						
Code	To Node	Launch Clock	Latch Clock	Relationship	Clock Skew	Data Delay
ssd_d	n/a	n/a	5.000	0.000	0.000	5.878
ssd_d	n/a	n/a	5.000	0.000	0.000	5.869
ssd_b	n/a	n/a	5.000	0.000	0.000	5.867
ssd_f	n/a	n/a	5.000	0.000	0.000	5.852
ssd_e	n/a	n/a	5.000	0.000	0.000	5.823
ssd_c	n/a	n/a	5.000	0.000	0.000	5.821
ssd_g	n/a	n/a	5.000	0.000	0.000	5.812
ssd_f	n/a	n/a	5.000	0.000	0.000	5.807
ssd_b	n/a	n/a	5.000	0.000	0.000	5.793
ssd_a	n/a	n/a	5.000	0.000	0.000	5.785

Fonte: Elaborado pelo autor

Fazendo uma análise adicional, foi digitado o seguinte comando no terminal do **Timing Report**:

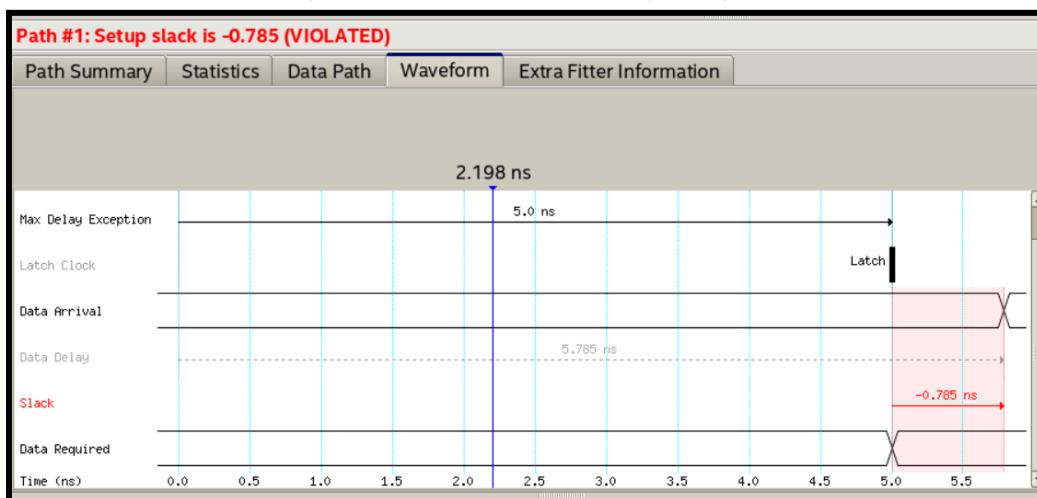
Figura 32 - Comando

```
tcl report_timing -from {eA*} -to ssd_a* -setup -npaths 100 -detail full_path -panel_name {Report Timing}
  • eA* is interpreted as [get_keepers {eA*}].
  • ssd_a* is interpreted as [get_keepers {ssd_a*}].
  • Report Timing: Found 1 setup paths (1 violated). Worst case slack is -0.785
  =< 1 -0.785
```

Fonte: Elaborado pelo autor

Observa-se o seguinte gráfico na aba **Waveform**:

Figura 33 - Waveform - Timing Analyser



Fonte: Elaborado pelo autor

Nota-se que pelo gráfico, a entrada “a” teve um negative slack de -0.785 em relação ao tempo configurado.