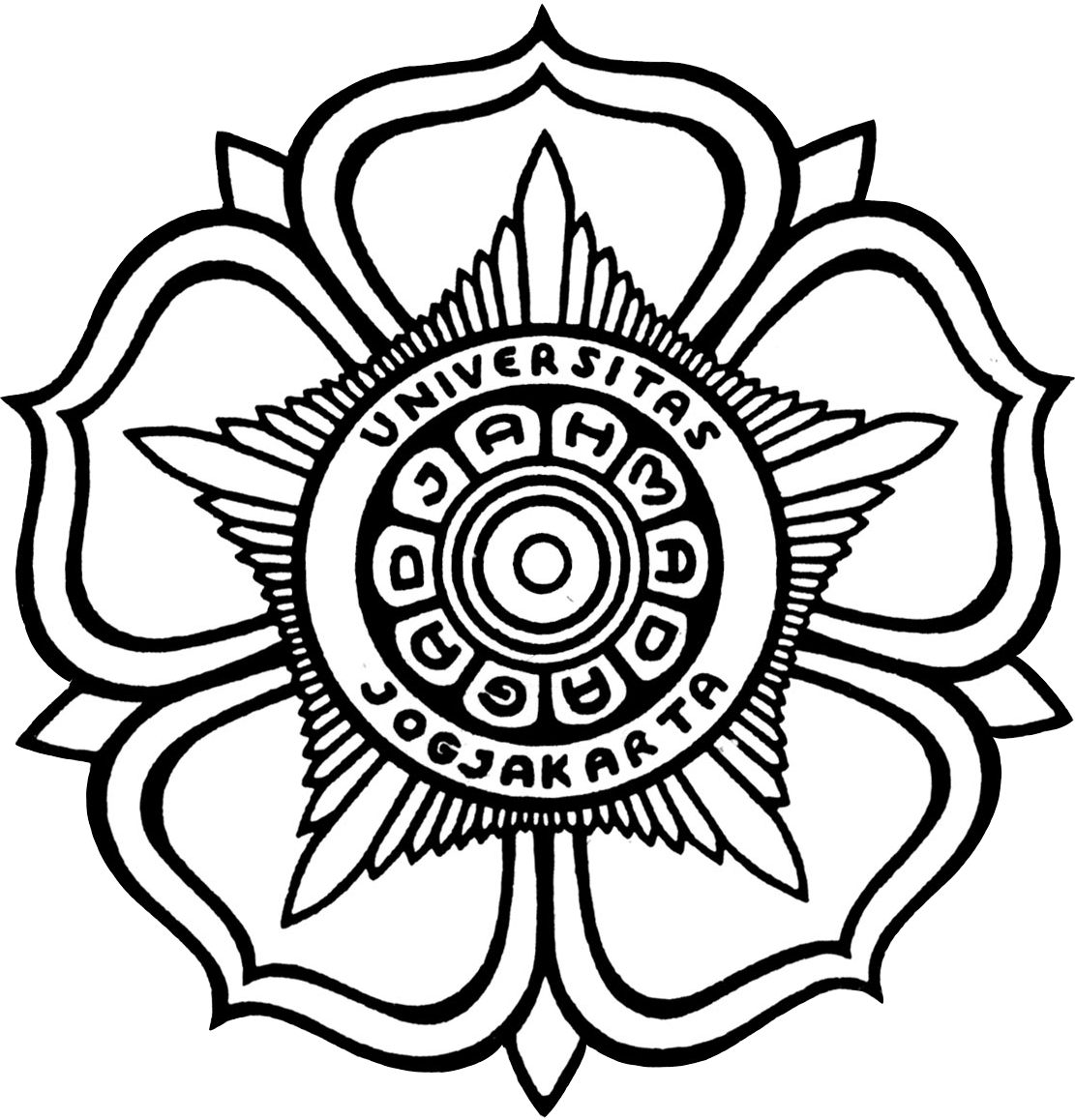
**UAS ELEKTRONIKA DAYA**



**Disusun oleh:**

Bernardus Vico Shava A (22/505923/TK/54403)

**PROGRAM STUDI S1 TEKNIK ELEKTRO**

**DEPARTEMEN TEKNIK ELEKTRO DAN TEKNOLOGI INFORMASI**

**FAKULTAS TEKNIK UNIVERSITAS GADJAH MADA**

**YOGYAKARTA**

**2025**

**TASK 1**

**Buck Converter**

1. Buck Converter Spec:

Input Voltage (Vin) : 24 V

Output Voltage (Vout) : 12 V

fSW : 100 kHz

Output Power(Pout) : 60 Watt

ΔiL : 10%

Δvo : 2%

1. Induktor(L) dan Kapasitor(C):

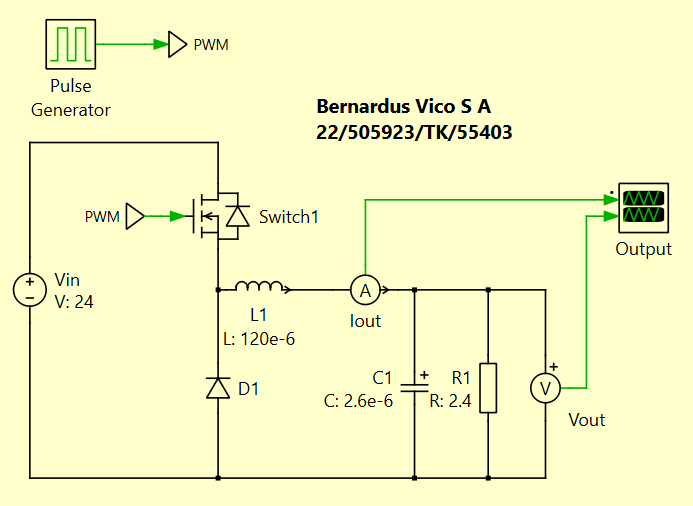
* *Duty Cycle (D)*:
* Periode (Ts):
* Induktor (L):

⇒

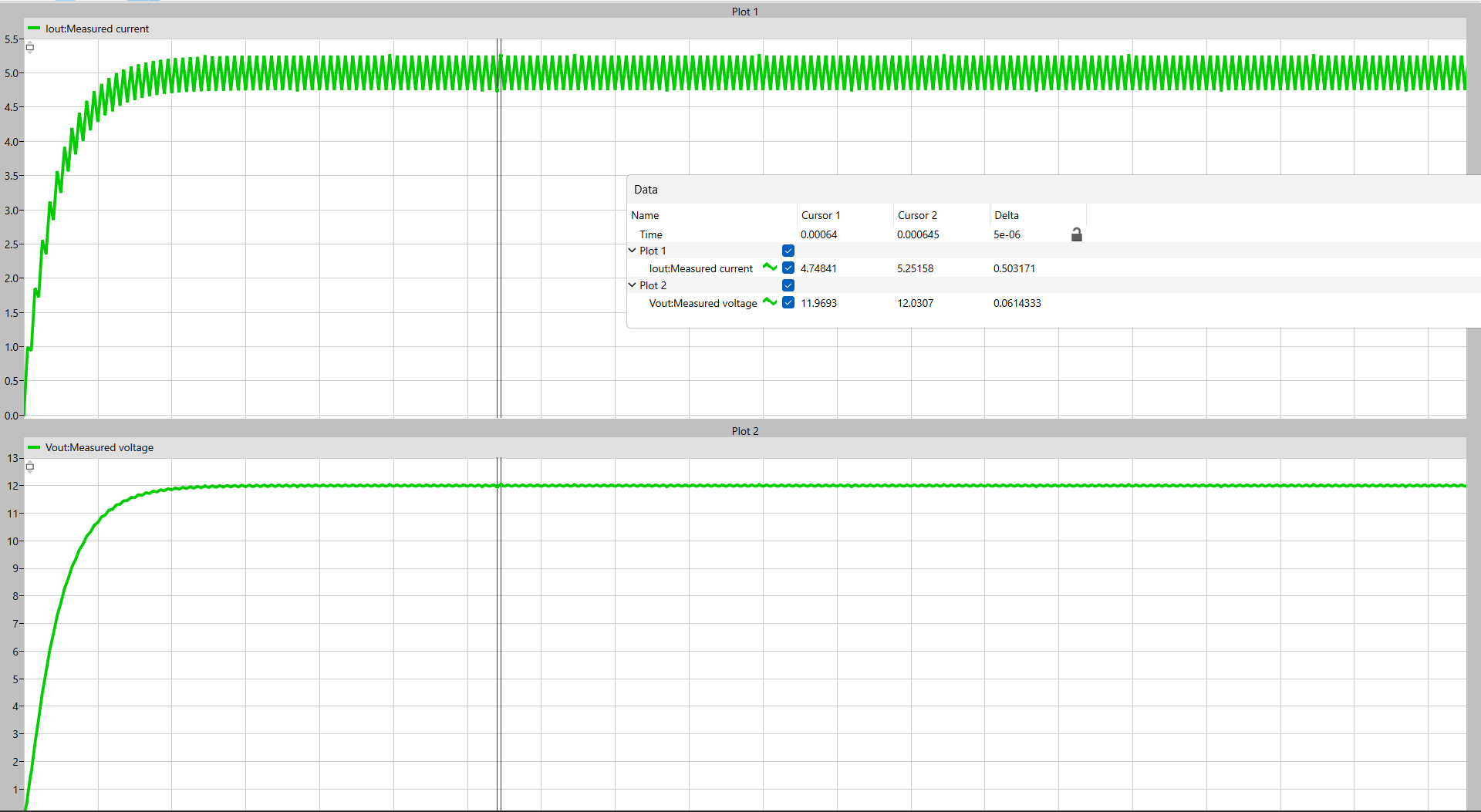
* Kapasitor(C):­­

1. Open-loop Buck Converter

Rangkaian:



Hasil:

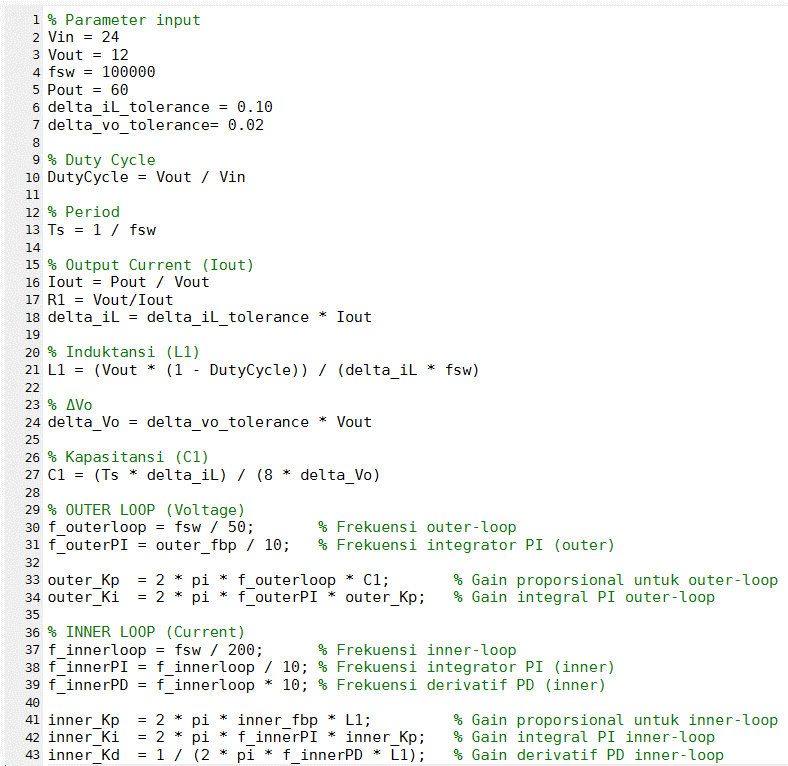


1. Close-Loop Buck Converter

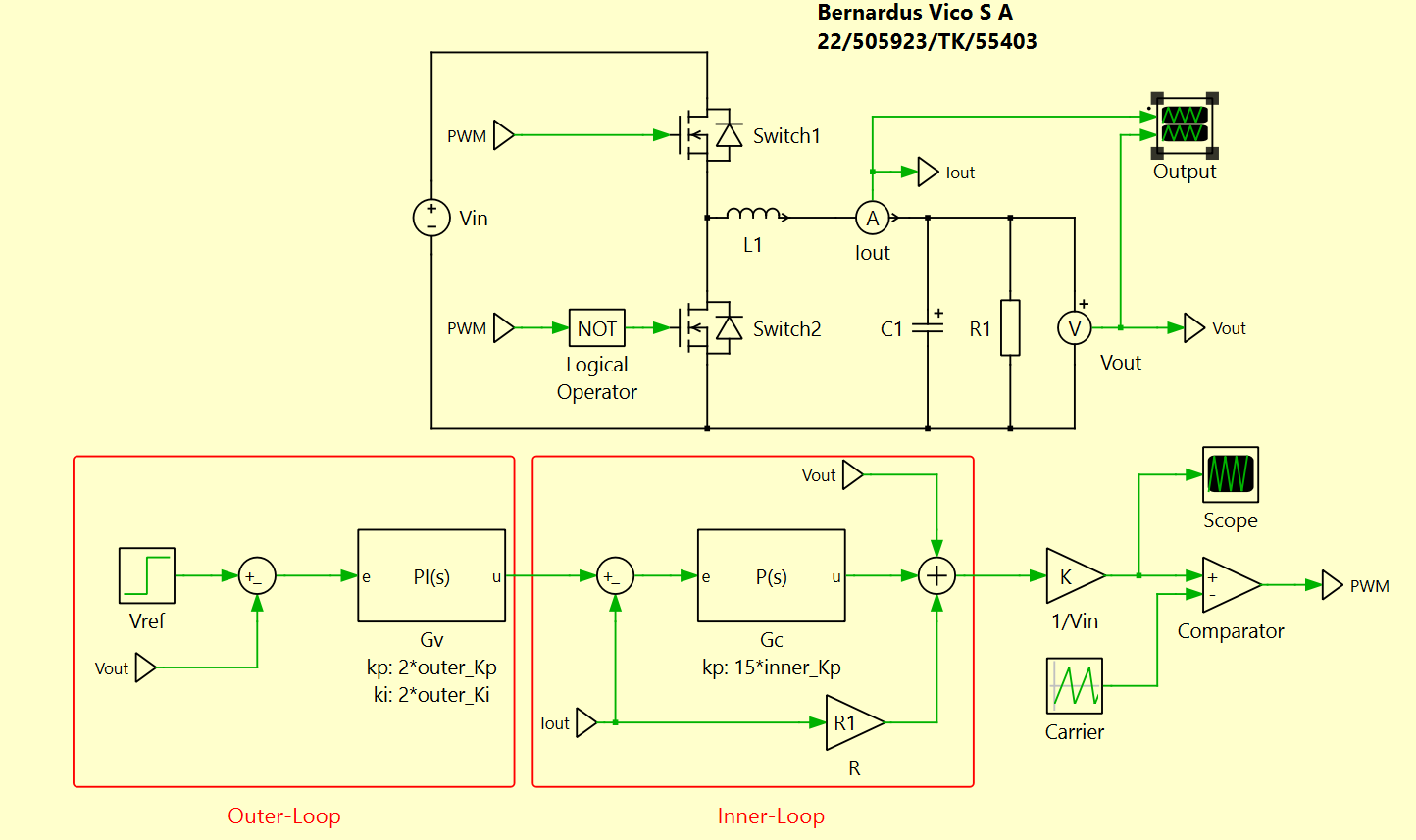
Perhitungan Gain:

* Frekuensi *outer-loop* (f\_outerloop) harus lebih cepat dari fSW 🡺 dipilih 50x lebih kecil dibanding fSW. Lalu, frekuensi integrator PI (f\_outerPI) adalah 10x lebih kecil dibanding f\_outerloop. Lalu gain didapat dengan,

* Frekuensi *inner-loop* (f\_innerloop) harus jauh lebih cepat dibanding f\_outerloop 🡺 dipilih 200x lebih kecil dibanding fSW. Lalu, frekuensi integrator PI dan frekuensi derivatif PD adalah 10x lebih kecil dibanding f\_inner loop. Lalu gain didapat dengan,
* Lalu dimasukan ke dalam simulation parameter:



Rangkaian:



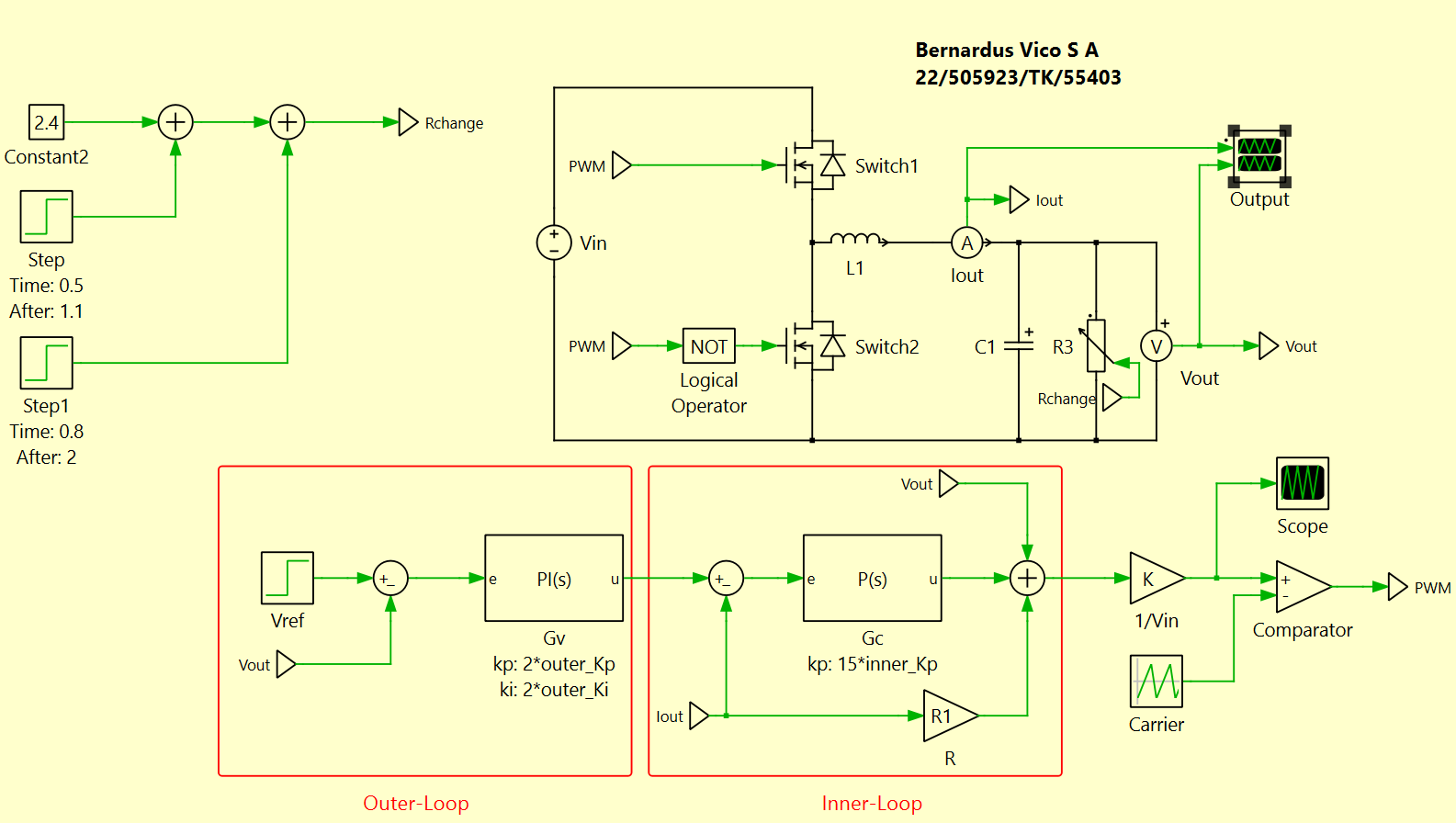
🡺 Percobaan berulang – ulang dan diputuskan untuk membuat kp dan ki dikali dengan konstan seperti pada rangkaian di atas dengan tujuan

1. Hasil:



Hasil menunjukan ripple arus mendekati batas yaitu berkisar di 0.5 A dan ripple tegangan sangat jauh yaitu hanya berkisar di 0.06. Keduanya sudah memenuhi kriteria yang diinginkan.

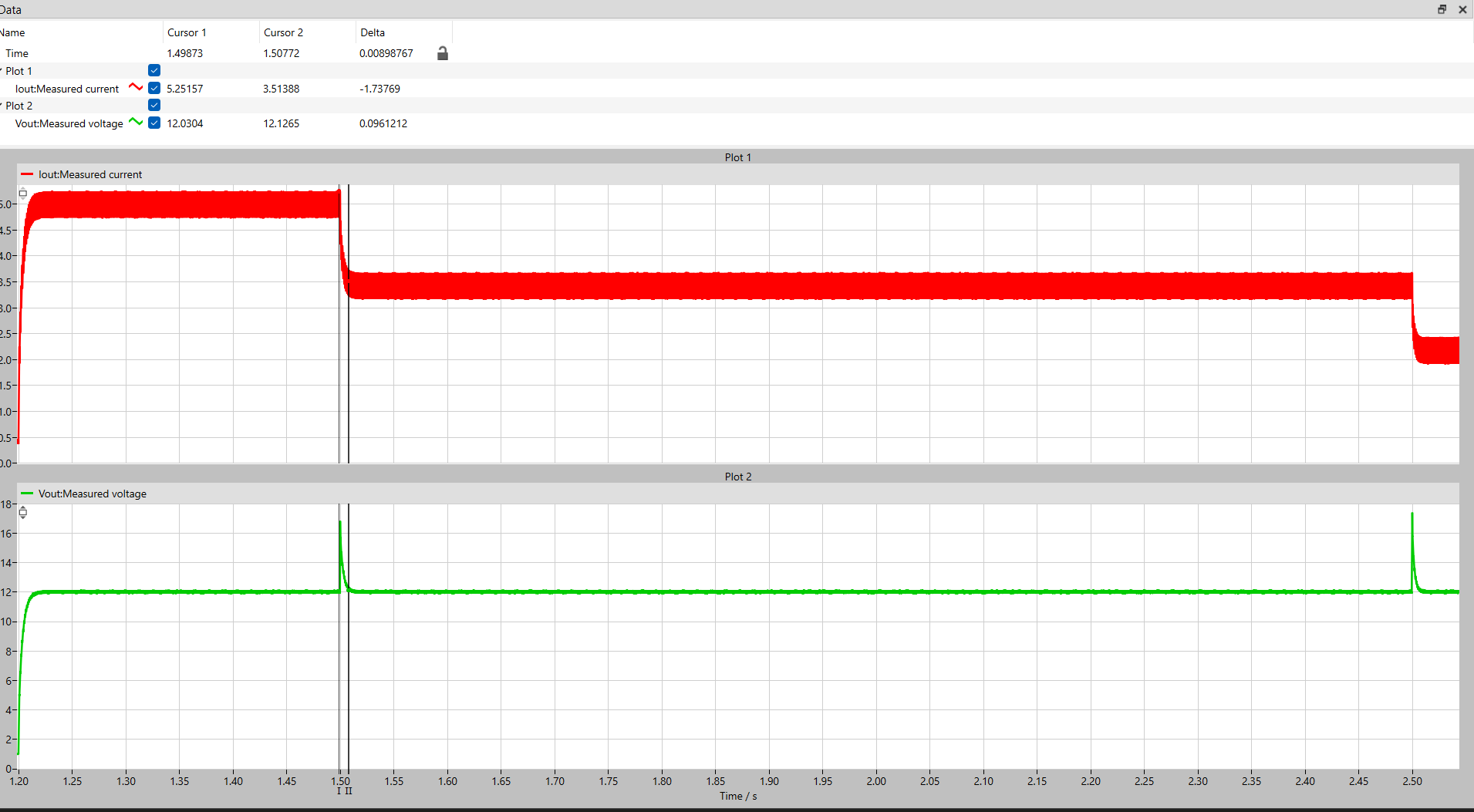
1. (Telah dibahas di No. 5)
2. Dibuat dengan menggunakan variable resistor,



Perubahan beban tiba-tiba didefinisikan dengan,

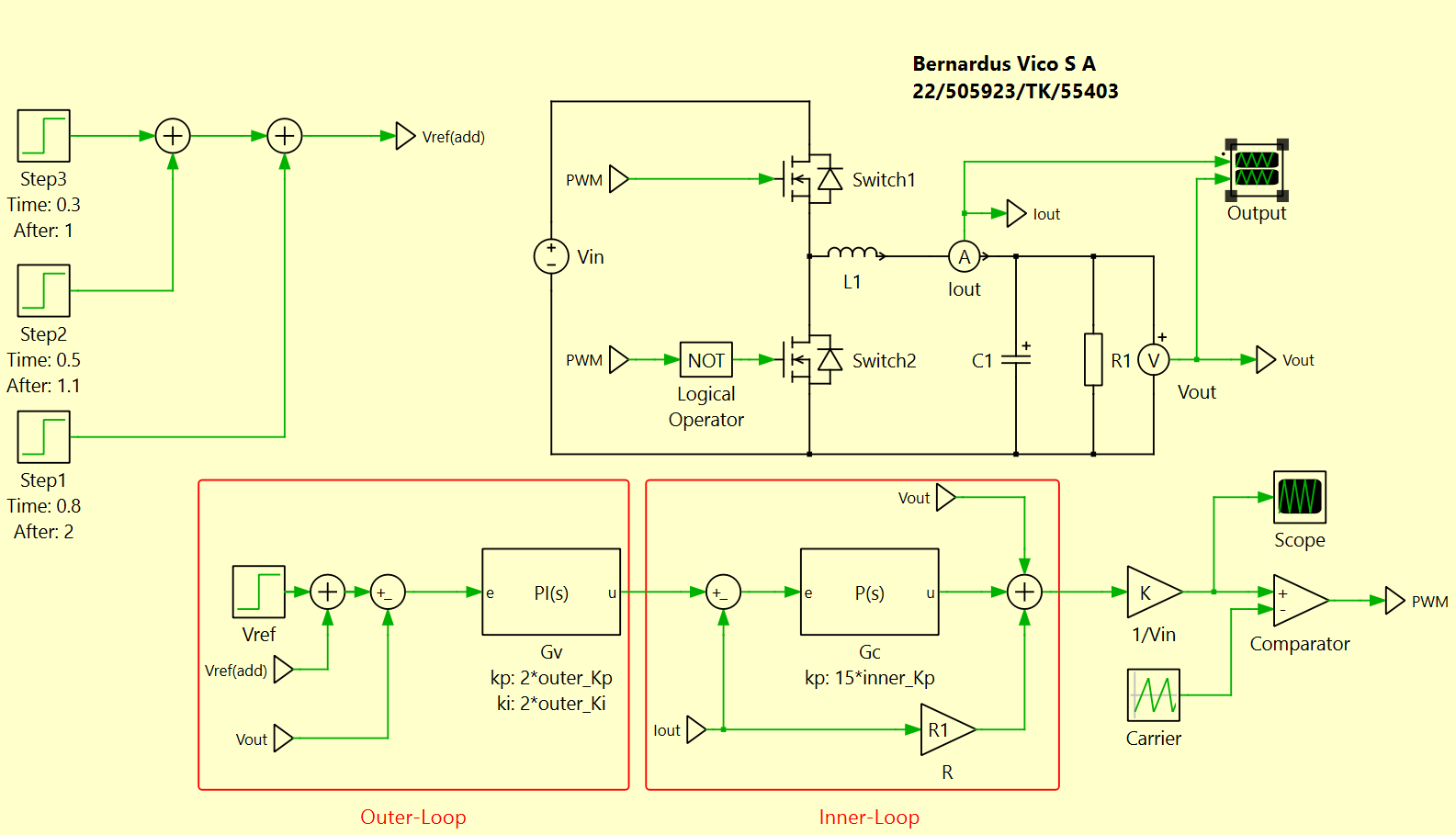
Hasil:



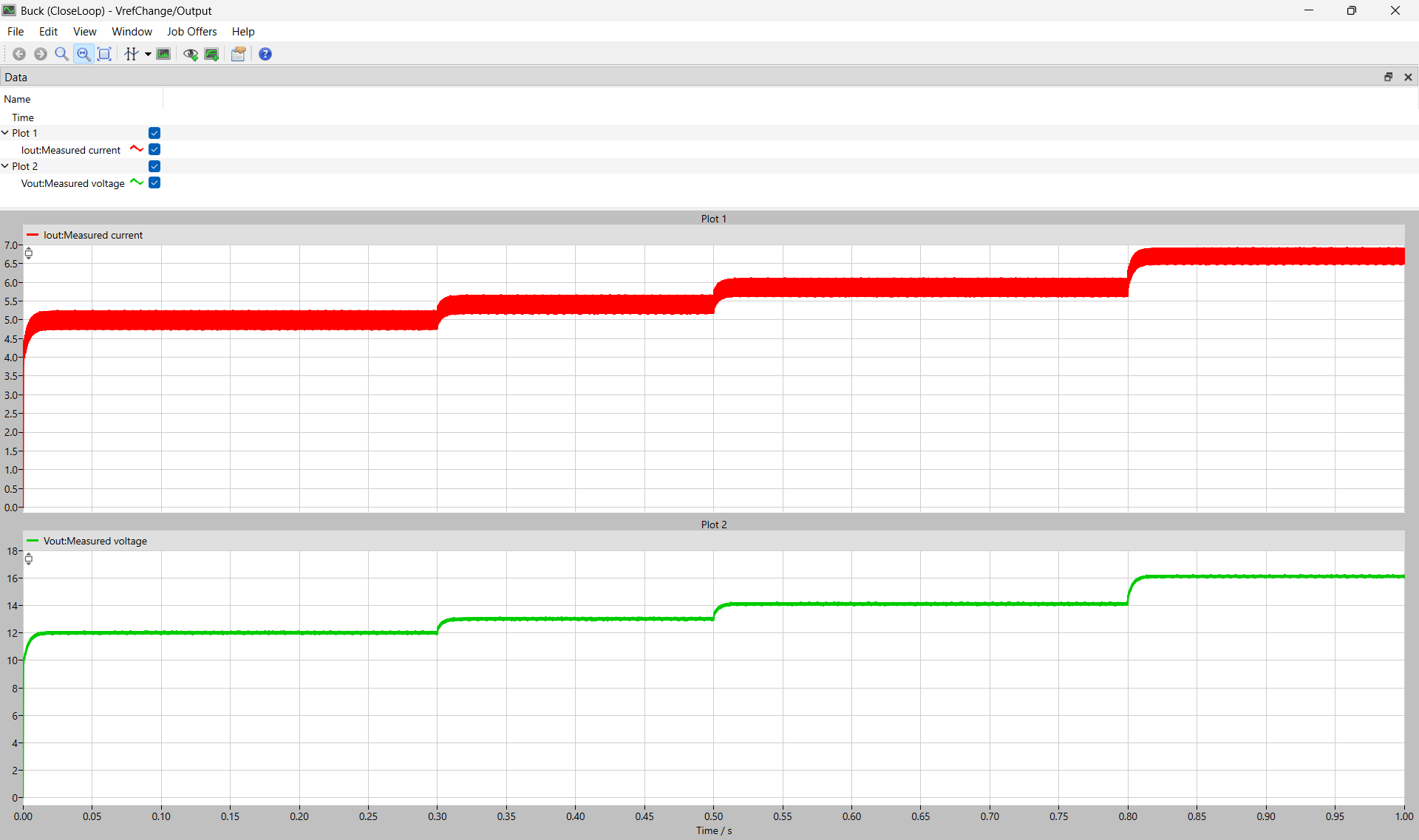


Hasil menunjukan bahwa sistem bekerja dengan cukup baik dimana bisa mengembalikan tegangan ke 12 V lagi pada waktu yang cukup singkat.

1. Percobaan ini melakukan perubahan pada Vref. Perubahan dilakukan dengan menjumlahkan Vref, sehingga menghasilkan,



Hasil:



Hasil menunjukan bahwa perubahan Vref sudah bisa ditangani dengan cukup baik oleh sistem.

**TASK 2**