


第一部分 填空题

- 将一个二进制数分别转化为 十进制 八进制 十六进制 带小数点 类似于 189.625这样的数字
- 求二进制数的 1's complement and 2's complement
- 3 inputs decoder 有多少 outputs , 4 outputs encoder 有多少 inputs
- 书上原题

1 1 Clear register to 0

 6-6. *A ring counter is a shift register, as in Figure 6-9, with the serial output connected to the serial input.

(a) Starting from an initial state of 1000, list the sequence of states of the four flip-flops after each shift.

(b) Beginning in state 10...0, how many states are there in the count sequence of an n -bit ring counter?

填空题，填第二问的答案，应该是 n

- 原题

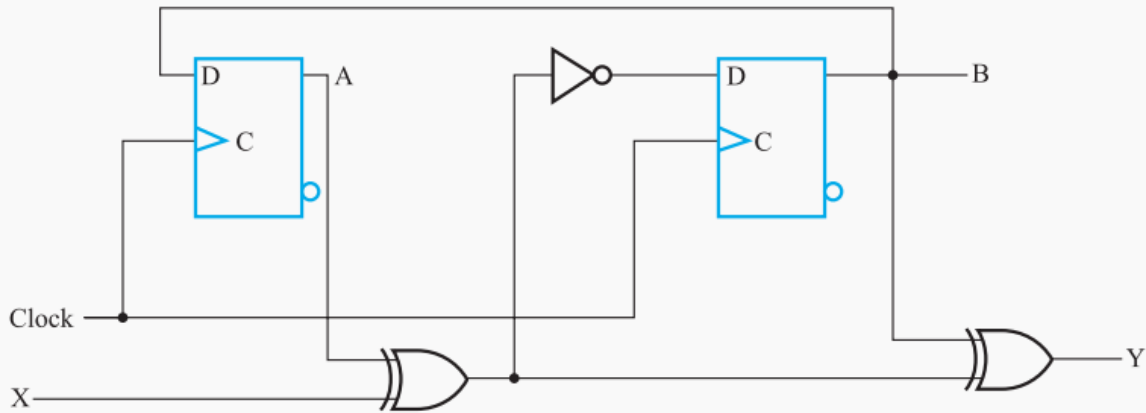
7-5. A DRAM has 15 address pins and its row address is 1 bit longer than its column address. How many addresses, total, does the DRAM have?

2^{29}

- 全加器的 logic diagram, 使用verilog描述 S和Co, 指出该电路的function (一比特全加器)
- 对布尔函数取补
- 其余填空回忆失败，应该很简单

第二部分 选择题

- 书上原题



□ FIGURE 4-49

Circuit for Problem 4-11, Problem 4-40, Problem 4-41, Problem 4-49, Problem 4-50, and Problem 4-59

根据书上原题，出了两题，一个是时钟上升沿到外部输出最大延迟

另一个是时钟最大频率

- 对布尔函数进行德摩根变换
- 给出卡诺图，选择SOP
- 4-bit counter($\{D_3, D_2, D_1, D_0\}$) 输入160MHZ的时钟，问 D_3 输出时钟频率
- 六比特module64同步计数器，从000000开始计数，经过100个pulse后的计数
- 给出与非门，或非门，异或门(一个引脚为0) 问哪个门不能作为非门，选择异或门
- 哪一个门可以替代其他门，(逻辑完备性，选择与非门)
- 其余回忆失败，比较简单

第三部分 简答题

- 第一题 给出布尔函数
 - 得到卡诺图
 - 列出所有primes 列出essential prime
 - 写出该布尔函数的SOP
- 第二题 给出74LS138译码器，根据74L138译码器构造三个逻辑函数
(题目提供74L138译码器的真值表),画出logic diagram
- 第三题 理解上可能不太好理解 但状态较少

题目要求设计一个 serial odd parity bit generator

具体要求为，串行输入序列X，在一个时钟周期内输出校验位Z

为了判断该序列是否终止，引入输入Y，当序列终止时，Y产生一个时钟周期的正电平，此时Z输出0

timing example

t	T_1	T_2	T_3	T_4	T_5	T_6	T_7
X	0	1	0	1	1	0	1
Y	0	0	0	0	0	1	0
Z	0	1	1	0	1	0	1