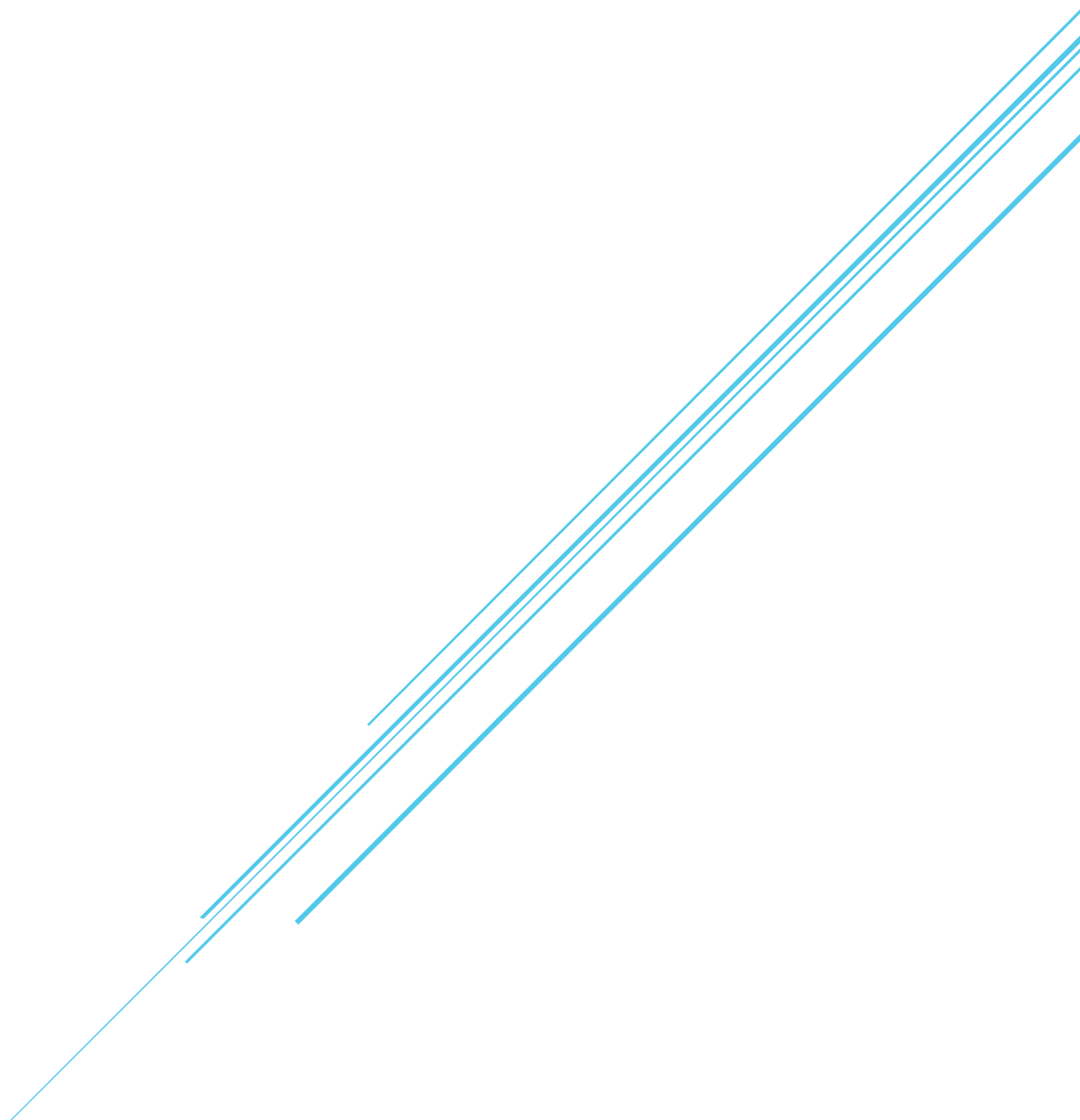


# آزمایشگاه مدار و معماری

پیش گزارش ۵

۱۴۰۱/۸/۱۳



- نام و نام خانوادگی : علی بدیعی
- نام استاد :
- گروه : ۱

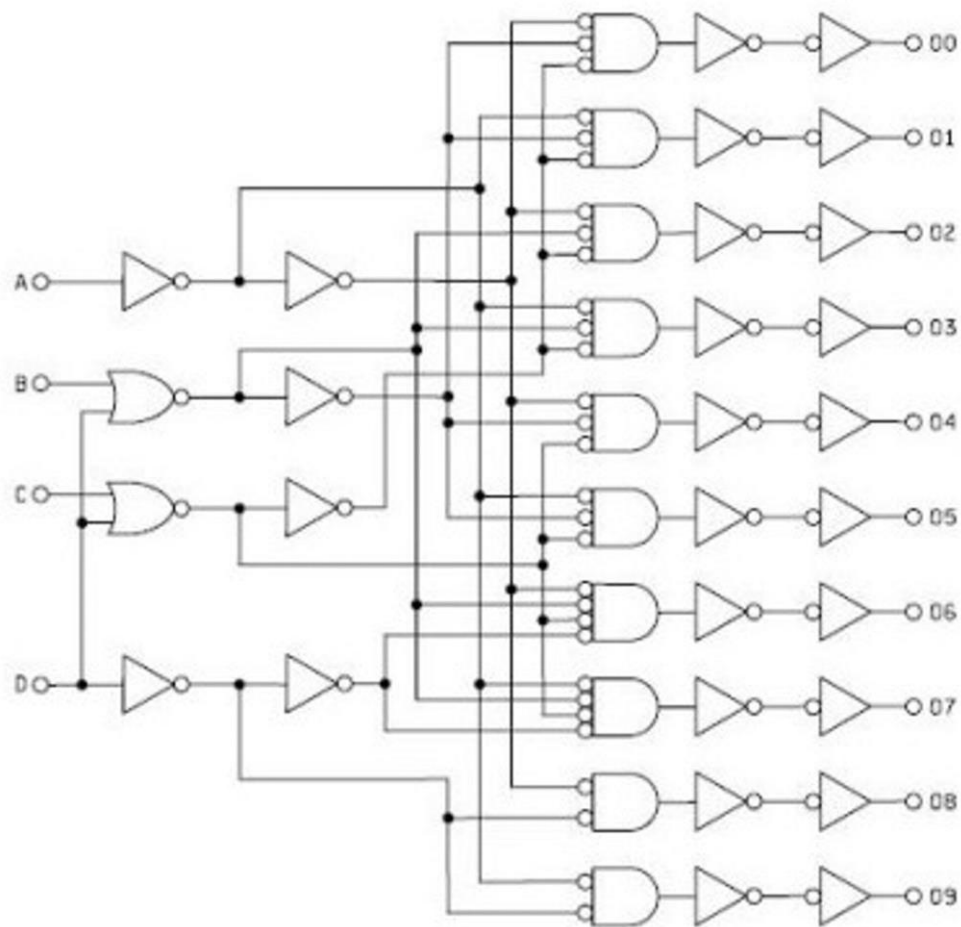
## پیش گزارش ۵

سوال ۱: یک دیگر BCD به دهدهی با استفاده از ترکیبات بی اهمیت طراحی کنید.

پاسخ: جدول درستی:

[illegible]

بعد ساده سازی و کارنو:



سوال ۲: مدار یک انکدر الویت ۴ به ۲ را طراحی کنید.

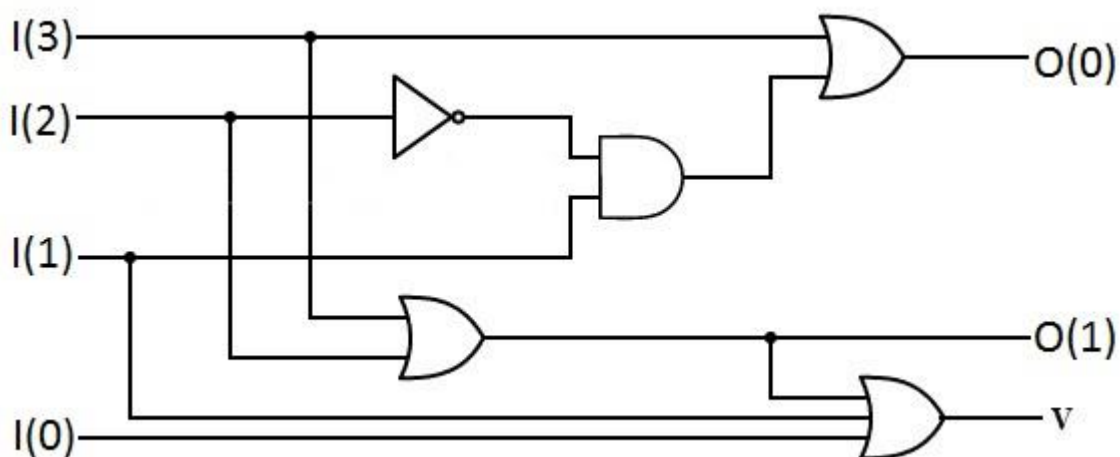
پاسخ:

جدول درستی:

Inputs				Outputs		
I3	I2	I1	I0	O1	O0	V
0	0	0	0	X	X	0
0	0	0	1	0	0	1
0	0	1	X	0	1	1
0	1	X	X	1	0	1
1	X	X	X	1	1	1

بعد از ساده سازی:

$$O_1 = I_3 + I_2, \quad O_0 = I_3 + I_2 \bar{I}_1, \quad V = I_3 + I_2 + I_1 + I_0.$$



سوال ۳: آی سی ۷۴۱۴۸ را به طور کامل تشریح کنید و مداری با استفاده از ۷۴۱۴۸ و گیت های لازم برای برآورده شدن تابع زیر طراحی کنید.

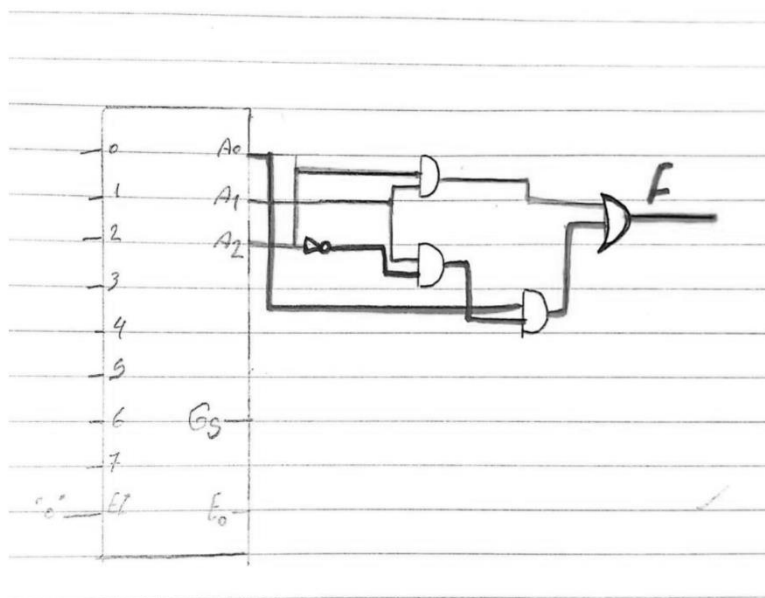
$$F(X, Y, Z) = X'YZ + XY$$

پاسخ:

آی سی ۷۴۱۴۸ از انواع آی سی های دیجیتال با شماره شناسه ۷۴۱۴۸ است که شامل ۱ عدد Encoder می باشد. یونیت شامل ۸ ورودی و ۳ خروجی می باشد. میزان خروجی با توجه به حالت ورودی ها تعیین می شود. تکنولوژی ساخت آی سی ۷۴۱۴۸ از هر دو سری CMOS و TTL موجود می باشد.

$$X'YZ = m_3$$

$$XY = XY(Z + Z') = XYZ + XYZ' = m_7 + m_6$$



سوال ۴: یک مالتی پلکسر ۴ به ۱ دوگانه با ورودی انتخاب select و تواناساز Enable طراحی کنید.

پاسخ:

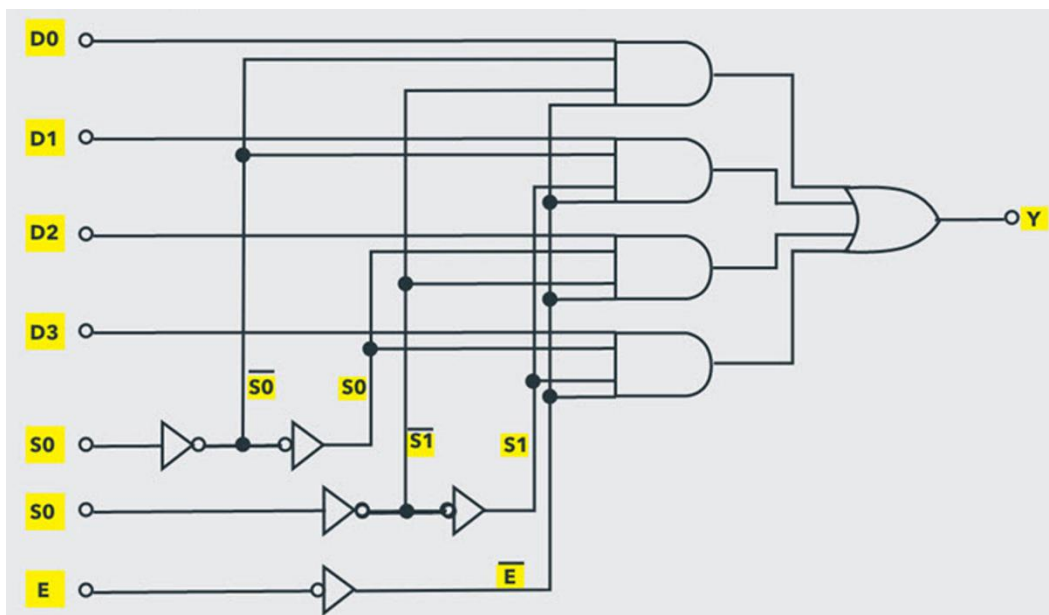
جدول درستی:

4-1 Multiplexer						
S0	S1	D0	D1	D2	D3	Y
0	0	0	X	X	X	0
0	0	1	X	X	X	1
0	1	X	0	X	X	0
0	1	X	1	X	X	1
1	0	X	X	0	X	0
1	0	X	X	1	X	1
1	1	X	X	X	0	0
1	1	X	X	X	1	1

خروجی:

$$Y = \overline{S_0} \overline{S_1} D_0 + \overline{S_0} S_1 D_1 + S_0 \overline{S_1} D_2 + S_0 S_1 D_3$$

مدار:



سوال ۵:

آی سی

۴۰۵۱ را به طور کامل تشریح کنید.

پاسخ:

مولتی پلکسر/دی مولتی پلکسر آنالوگ ۴۰۵۱ HCF یک سوئیچ آنالوگ با کنترل دیجیتال است که دارای امیدانس روشن و جریان نشتی بسیار کم است. این مدار مالتی پلکسر توان خاموش بسیار کم را در محدوده کامل ولتاژ تغذیه  $V_{DD} - V_{SS}$  و  $V_{DD} - V_{EE}$ ، مستقل از حالت منطقی سیگنال های کنترلی تلف می کند.

این دستگاه یک مالتی پلکسر ۸ کاناله است که دارای سه ورودی کنترل باینری A، B و C و یک ورودی inhibit است. سه سیگنال باینری ۱ کانال از ۸ کانال را برای روشن شدن انتخاب می کنند و یکی از ۸ ورودی را به خروجی متصل می کنند. هنگامی که یک منطق "۱" در ترمینال ورودی inhibit وجود دارد، همه کانال ها خاموش هستند.

Table 3. Truth table

Input states				"ON" channel (S)
Inhibit	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	None

