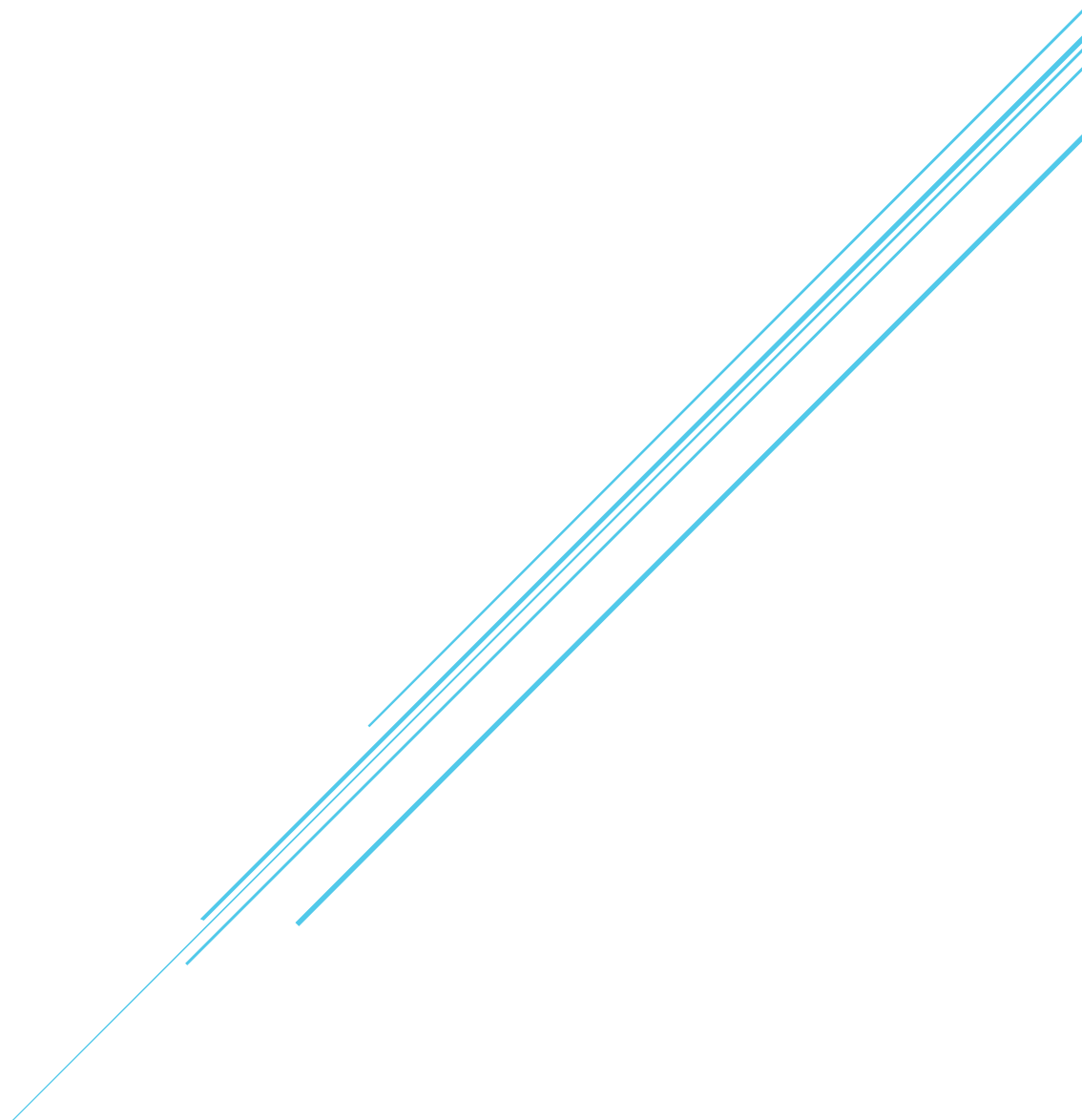


# آزمایشگاه مدار و معماری

پیش گزارش ۷

۱۴۰۱/۸/۲۷



- نام و نام خانوادگی : علی بدیعی
- نام استاد :
- گروه : ۱

## پیش گزارش ۷

سوال ۱: مدار یک شمارنده موج گونه بالا - پایین شمار دو بیتی را طراحی کنید.

پاسخ: با استفاده از JK:

جدول درستی:

M	Q	Q'	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

کارنو و ساده سازی:

		QQ'			
M		00	01	11	10
	0	0	0	1	1
	1	0	1	1	0

A

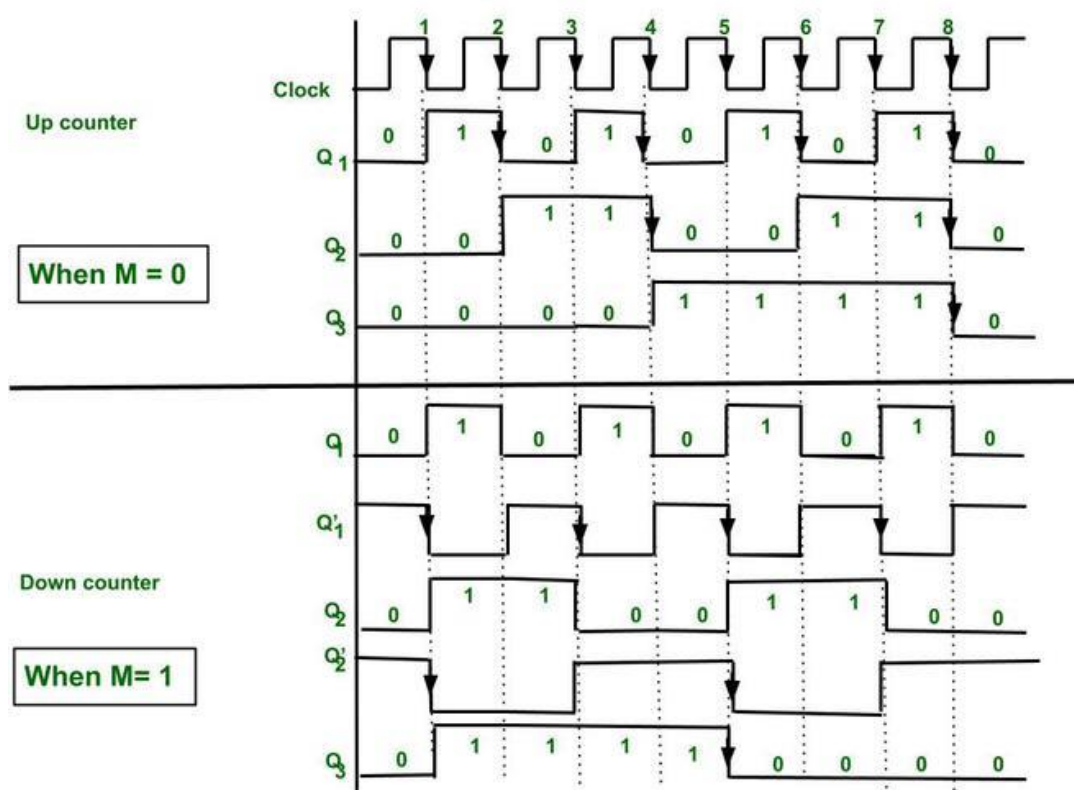
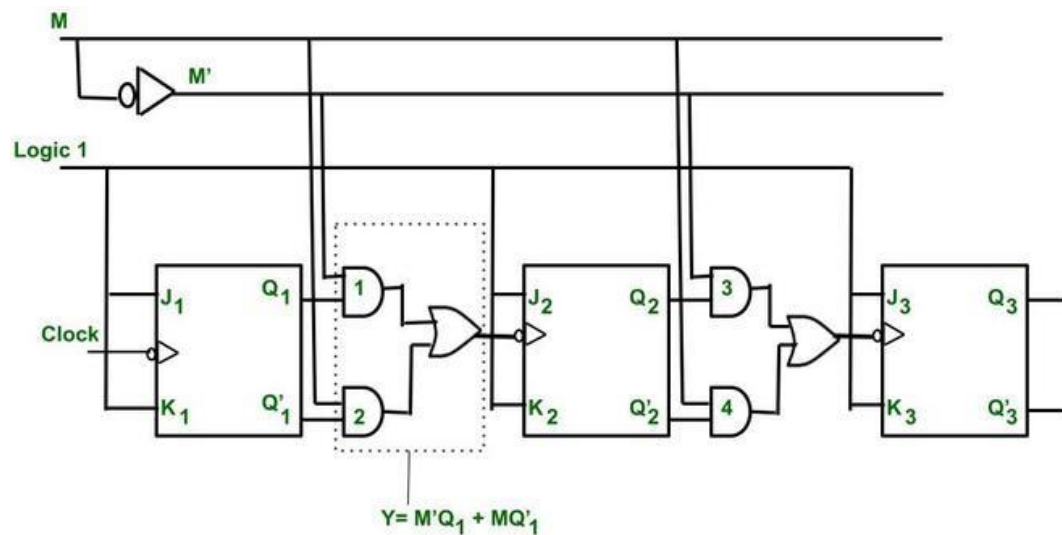
B

$$Y = A + B$$

$$Y = M'Q + MQ'$$

تابع:

## شکل مدار:



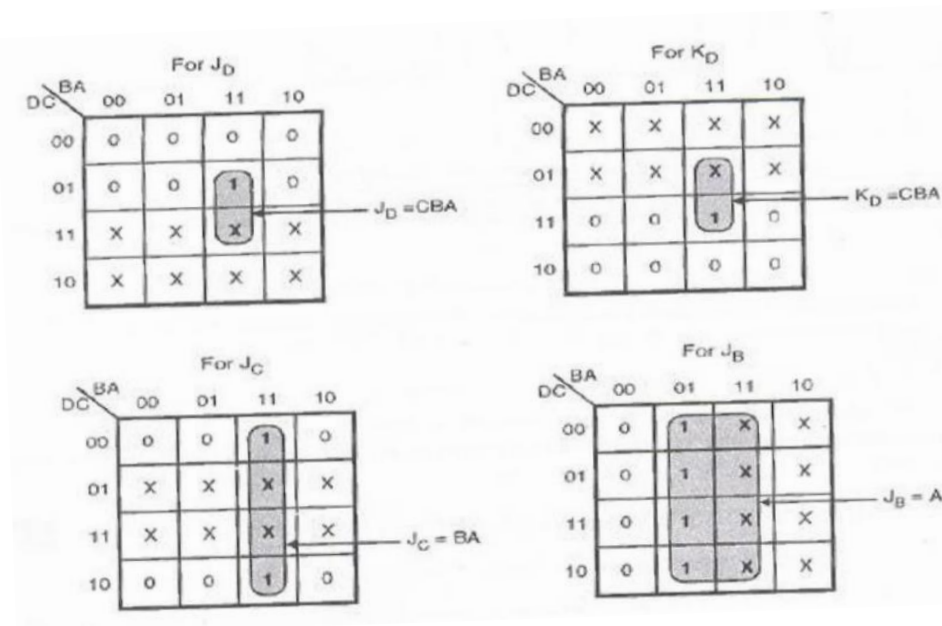
سوال ۲: مدار یک شمارنده سنکرون چهار بیتی بوسیله ۷۴۹۵۰ یا ۷۴۷۶ و حداقل تراشه های اضافی لازم طراحی کنید.

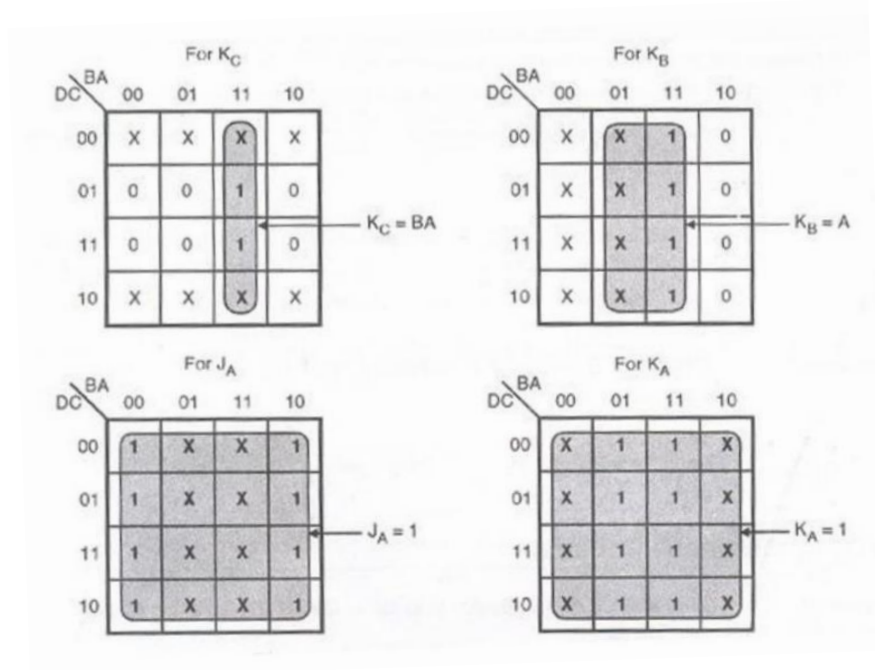
پاسخ: ۷۴۷۶ (JK)

جدول درستی:

Present state				Next state				Flip-flop input							
$Q_D$	$Q_C$	$Q_B$	$Q_A$	$Q_{D+1}$	$Q_{C+1}$	$Q_{B+1}$	$Q_{A+1}$	$J_D$	$K_D$	$J_C$	$K_C$	$J_B$	$K_B$	$J_A$	$K_A$
0	0	0	0	0	0	0	1	0	x	0	x	0	x	1	x
0	0	0	1	0	0	1	0	0	x	0	x	1	x	x	1
0	0	1	0	0	0	1	1	0	x	0	x	x	0	1	x
0	0	1	1	0	1	0	0	0	x	1	x	x	1	x	1
0	1	0	0	0	1	0	1	0	x	x	0	0	x	1	x
0	1	0	1	0	1	1	0	0	x	x	0	1	x	x	1
0	1	1	0	0	1	1	1	0	x	x	0	x	0	1	x
0	1	1	1	1	0	0	0	1	x	x	1	x	1	x	1
1	0	0	0	1	0	0	1	x	0	0	x	0	x	1	x
1	0	0	1	1	0	1	0	x	0	0	x	1	x	x	1
1	0	1	0	1	0	1	1	x	0	0	x	x	0	1	x
1	0	1	1	1	1	0	0	x	0	1	x	x	1	x	1
1	1	0	0	1	1	0	1	x	0	x	0	0	x	1	x

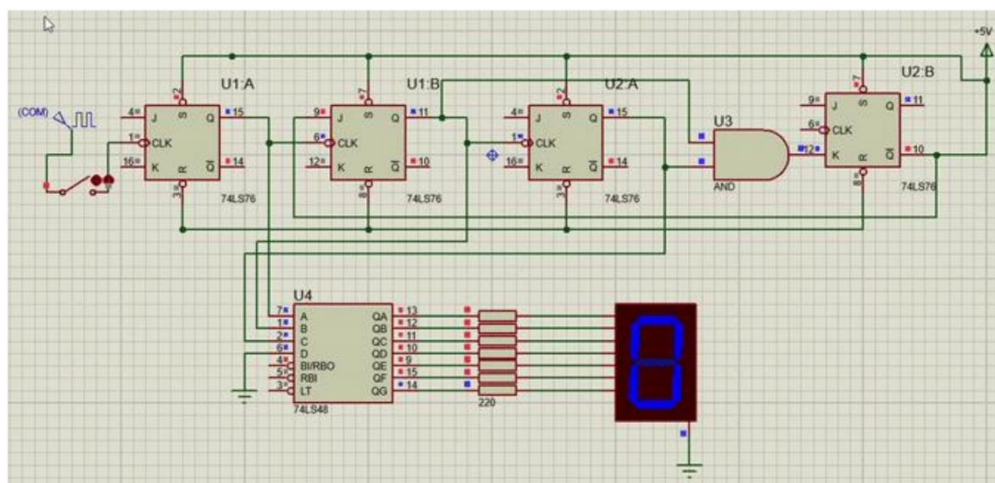
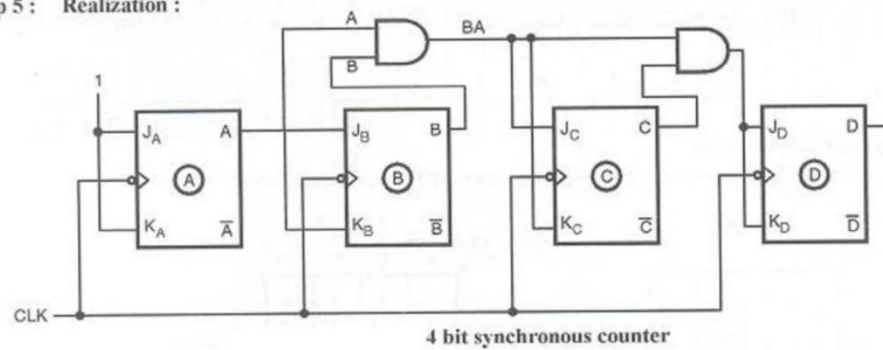
کارنو:





مدار:

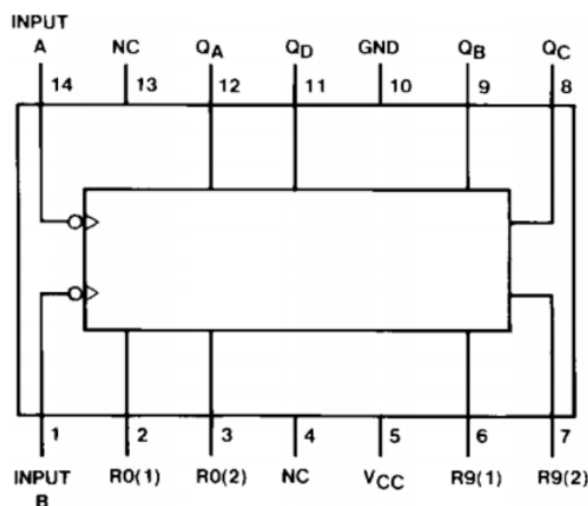
Step 5: Realization :



سوال ۳: آی سی ۷۴۹۰ را به طور کامل تشریح کنید و سپس طرز کار اتصالات مورد نیاز آن را در چهار مد بنویسید.

پاسخ:

آی سی SN۷۴۹۰ از سری آی سی های TTL شامل یک شمارنده دسیمال و باینری با اتلاف توان کم و فرکانس شمارش ۲۲ مگاهرتز می باشد که دارای دو ورودی و چهار خروجی و یک پایه کلاک حساس به لبه پایین رونده است. از ویژگی های این آی سی دو یا پنج قسمتی بودن آن می باشد که به صورت تک یا چند قسمتی قابلیت انجام کار را دارد. هر قسمت دارای یک ورودی ساعت جداگانه است که تغییرات شمارنده را در زمان انتقال HIGH-LOW به ورودی پالس ساعت انتقال می دهد.



شمارنده های چهار خروجی با نماد حرف Q با یک زیرنویس عددی برابر با وزن دودویی بیت مربوطه در کد مدارهای شمارنده BCD تعیین میشوند. به عنوان مثال، QC ، QB ، QA و QD. توالی شمارش ۹۰۷۴ در لبه منفی سیگنال ساعت تحریک میشود، این زمانی است که سیگنال ساعت CLK از منطق ۱ (HIGH) به منطق ۰ (LOW) می رود.

پایه های ورودی اضافی R<sup>۱</sup> و R<sup>۲</sup> پین های "تنظیم مجدد" شمارنده هستند در حالی که ورودیهای S<sup>۱</sup> و S<sup>۲</sup> پین های "تنظیم" هستند. هنگامی که به منطق ۱ متصل میشود، ورودی های ریست R<sup>۱</sup> و R<sup>۲</sup> مجدداً شمارنده را به صفر، تنظیم میکنند و هنگامی که ورودی های S<sup>۱</sup> و S<sup>۲</sup> به منطق ۱ متصل میشوند، شمارنده را در حداکثر یا ۹ بدون در نظر گرفتن تعداد و موقعیت واقعی شمارش تنظیم میکنند. با غیر فعال شدن چهار فلیپ فلاپ که بخش شمارنده

تقسیم بر را تشکیل میدهد، اگر یک سیگنال ساعت به پین ورودی  $14$  (CLKA) و خروجی گرفته شده از پین  $12$  (QA) اعمال شود، میتوان شمارنده دودویی تقسیم بر  $2$  استاندارد برای استفاده در مدارهای تقسیم فرکانس، ایجاد کرد.

