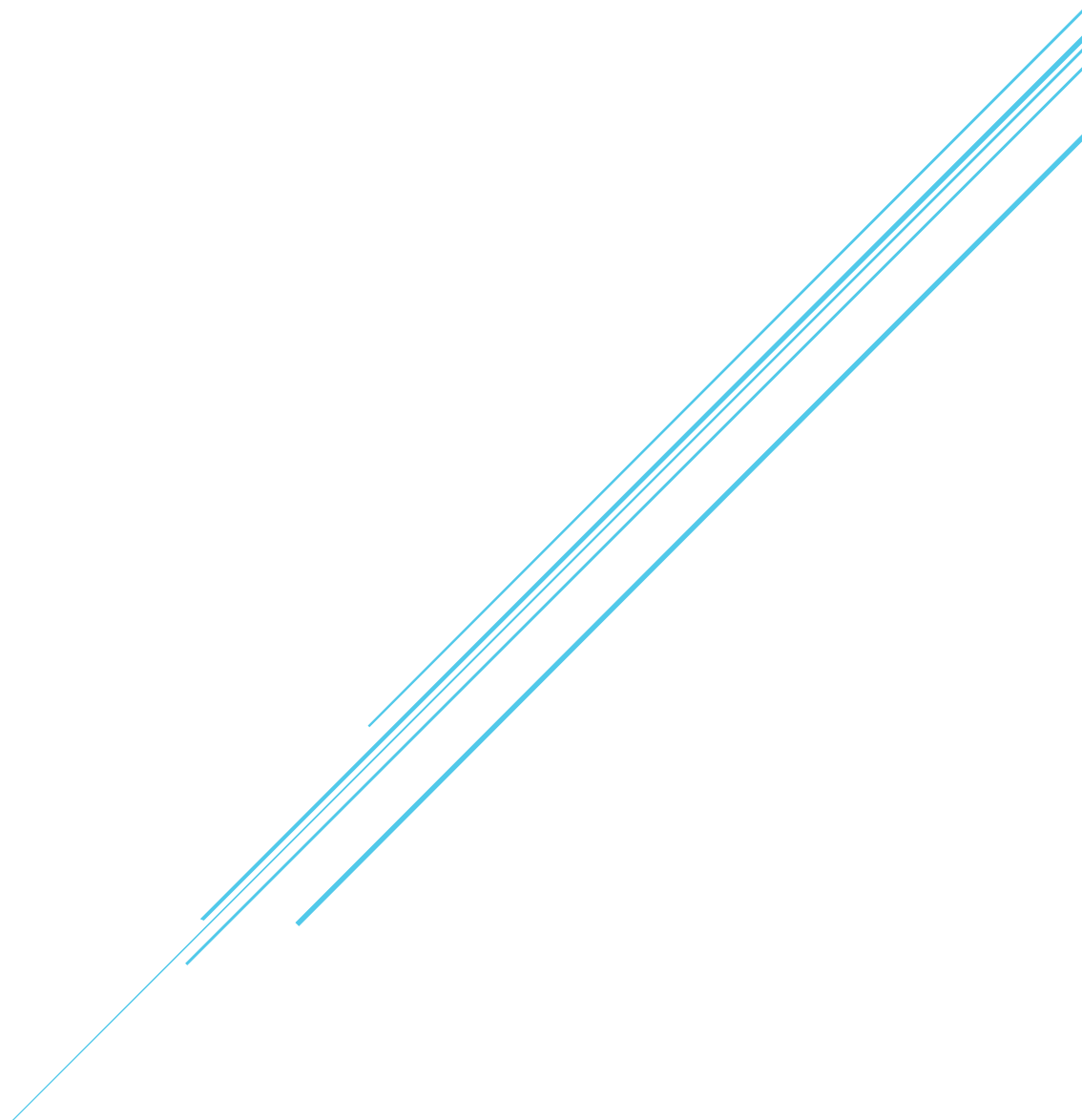


آزمایشگاه مدار و معماری

پیش گزارش ۴

۱۴۰۱/۸/۶



- نام و نام خانوادگی : علی بدیعی
- نام استاد :
- گروه : ۱

پیش گزارش ۴

سوال ۱: مدار تولید کننده بیت توازن برای کلمه های سه بیتی را طراحی کنید.

پاسخ: تولید کننده ی parity bit ۳ بیتی زوج:

جدول درستی:

| 3-bit message | | | Even parity bit generator (P) |
|---------------|---|---|-------------------------------|
| A | B | C | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

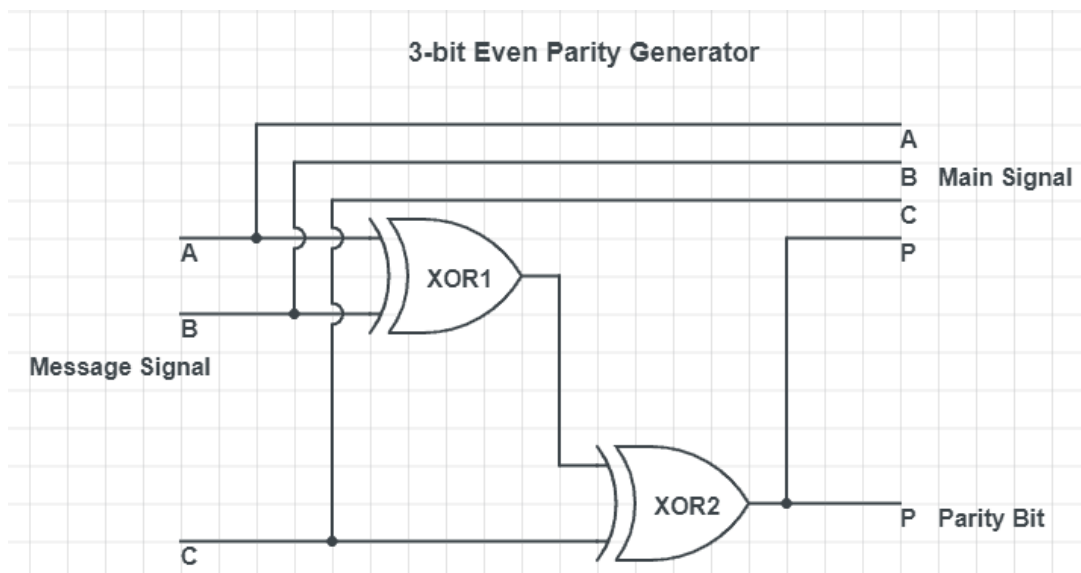
| BC A | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |

$$P = \bar{A} \bar{B} C + \bar{A} B \bar{C} + A \bar{B} \bar{C} + A B C$$

$$= \bar{A} (\bar{B} C + B \bar{C}) + A (\bar{B} \bar{C} + B C)$$

$$= \bar{A} (B \oplus C) + A (\overline{B \oplus C})$$

$$P = A \oplus B \oplus C$$

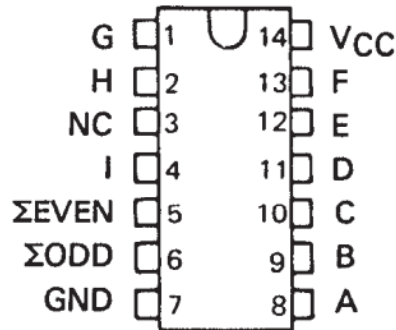


سوال ۲: آی سی ۷۴۲۸۰ را به طور کامل توضیح دهید.

پاسخ: آی سی های ۷۴۲۸۰ تولید کننده ی و چک کننده ی زوج/فرد ۹ بیتی بیت توازن هستند. هر دو خروجی های زوج و فرد برای ساخت و چک کردن بیت توازن تا ۹ بیت قابل استفاده هستند. زمانی توازن زوج نشان داده میشود (خروجی high EE باشد) که تعداد ورودی های ۱ ، زوج باشد. زمانی توازن فرد نشان داده میشود (خروجی high EO باشد) که تعداد ورودی های ۱ ، فرد باشد. برای چک کردن کلمات بیشتر از ۹ بیت ، میتوان خروجی EE را به یک آی سی اضافه وارد کرد.

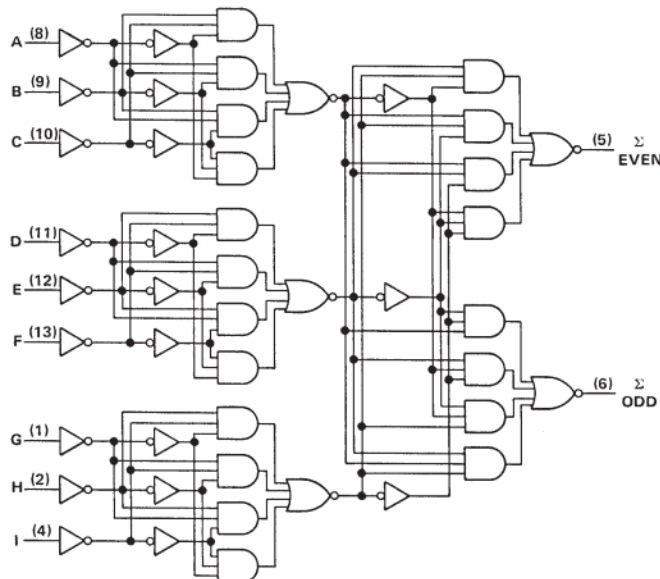
SN54LS280, SN54S280 . . . J OR W PACKAGE
SN74LS280, SN74S280 . . . D OR N PACKAGE

(TOP VIEW)



9

logic diagram (positive logic)



Pin numbers shown are for D, J, N, and W packages.

سوال ۳: مدار مکمل ساز ۹ را طراحی کنید.

پاسخ:

| Decimal digit | BCD | 9's Complement |
|---------------|------|----------------|
| | wxyz | $C_3C_2C_1C_0$ |
| 0 | 0000 | 1001 |
| 1 | 0001 | 1000 |
| 2 | 0010 | 0111 |
| 3 | 0011 | 0110 |
| 4 | 0100 | 0101 |
| 5 | 0101 | 0100 |
| 6 | 0110 | 0011 |
| 7 | 0111 | 0010 |
| 8 | 1000 | 0001 |
| 9 | 1001 | 0000 |

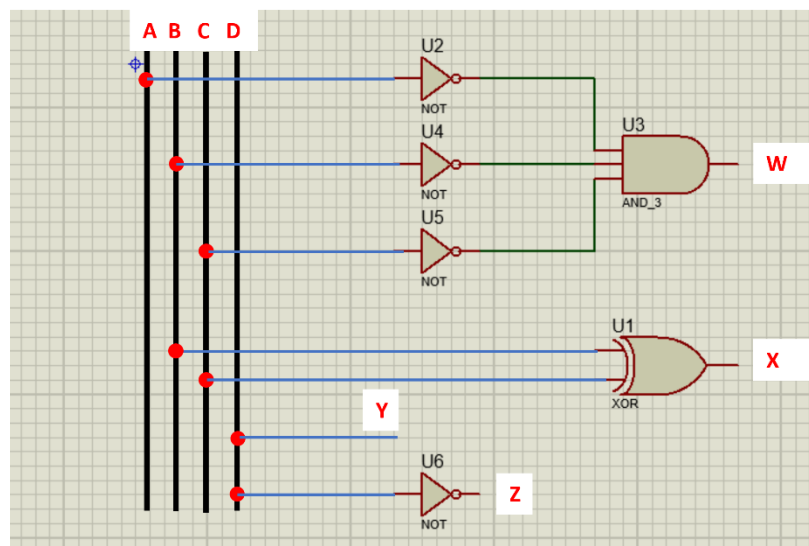
| | $\overline{C}.D$ | $\overline{C}.D$ | $C.D$ | $C.D$ |
|------------------|------------------|------------------|-------|-------|
| $\overline{A}.B$ | 1 | 1 | 0 | 0 |
| $\overline{A}.B$ | 0 | 0 | 0 | 0 |
| $A.B$ | x | x | x | x |
| $A.B$ | 0 | 0 | x | x |

| | $\overline{C}.D$ | $\overline{C}.D$ | $C.D$ | $C.D$ |
|------------------|------------------|------------------|-------|-------|
| $\overline{A}.B$ | 0 | 0 | 1 | 1 |
| $\overline{A}.B$ | 1 | 1 | 0 | 0 |
| $A.B$ | x | x | x | x |
| $A.B$ | 0 | 0 | x | x |

| | $\overline{C}.D$ | $\overline{C}.D$ | $C.D$ | $C.D$ |
|------------------|------------------|------------------|-------|-------|
| $\overline{A}.B$ | 0 | 0 | 1 | 1 |
| $\overline{A}.B$ | 0 | 0 | 1 | 1 |
| $A.B$ | x | x | x | x |
| $A.B$ | 0 | 0 | x | x |

| | $\overline{C}.D$ | $\overline{C}.D$ | $C.D$ | $C.D$ |
|------------------|------------------|------------------|-------|-------|
| $\overline{A}.B$ | 1 | 0 | 0 | 1 |
| $\overline{A}.B$ | 1 | 0 | 0 | 1 |
| $A.B$ | x | x | x | x |
| $A.B$ | 1 | 0 | x | x |

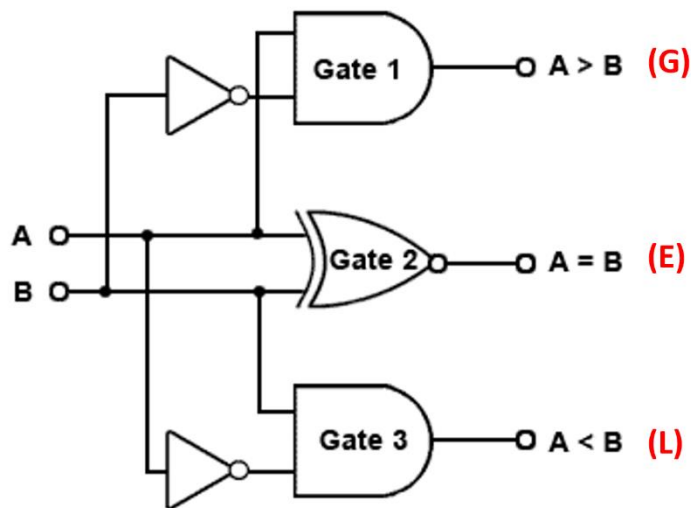
$$W = A'B'C' \quad X = BC' + B'C \quad Y = C \quad Z = D'$$



سوال ۴: یک مقایسه کننده یک بیت طراحی کنید (مدار دارای دو ورودی A, B و سه خروجی G, E, L است)

پاسخ:

در ورودی دو بیت را گرفته ، به دو گیت AND و یک XOR وصل شده و روی شکل واضح است.



جدول درستی:

| A | B | A < B | A = B | A > B |
|---|---|-------|-------|-------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |

سوال ۵: آی سی ۷۴۸۵ را به طور کامل تشریح کنید.

پاسخ:

آی سی SN۷۴۸۵ از سری آی سی های TTL شامل مدار مقایسه کننده ۴ بیتی می باشد که دارای ۸ ورودی و ۳ خروجی و ۳ پایه کنترل است. مقایسه کننده ها سه خروجی دارند، که یک حالت برای تساوی و دو حالت دیگر برای نشان دادن وضعیت بزرگتر و یا کوچکتر بودن ورودی ها نسبت به هم را نشان می دهند. اگر دو عدد ورودی باهم برابر نباشند این تفاوت در خروجی IC ظاهر می شود ولی اگر دو عدد ورودی این IC با هم برابر شود این IC به ورودی های خود یعنی (CASCADE) نگاه می کند و هرچه در آن ها باشد در خروجی اعمال می کند. برای همین می توانیم از طریق این پایه ها مقایسه کننده را گسترش دهیم و مقایسه کننده های ۸ بیتی و یا حتی بزرگتر بسازیم.

Function Table

| Comparing Inputs | | | | Cascading Inputs | | | Outputs | | |
|------------------|---------|---------|---------|------------------|-------|-------|---------|-------|-------|
| A3, B3 | A2, B2 | A1, B1 | A0, B0 | A > B | A < B | A = B | A > B | A < B | A = B |
| A3 > B3 | X | X | X | X | X | X | H | L | L |
| A3 < B3 | X | X | X | X | X | X | L | H | L |
| A3 = B3 | A2 > B2 | X | X | X | X | X | H | L | L |
| A3 = B3 | A2 < B2 | X | X | X | X | X | L | H | L |
| A3 = B3 | A2 = B2 | A1 > B1 | X | X | X | X | H | L | L |
| A3 = B3 | A2 = B2 | A1 < B1 | X | X | X | X | L | H | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 > B0 | X | X | X | H | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 < B0 | X | X | X | L | H | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | H | L | L | H | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | L | H | L | L | H | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | L | L | H | L | L | H |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | X | X | H | L | L | H |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | H | H | L | L | L | L |
| A3 = B3 | A2 = B2 | A1 = B1 | A0 = B0 | L | L | L | H | H | L |

H = HIGH Level, L = LOW Level, X = Don't Care