



(12) 发明专利申请

(10) 申请公布号 CN 119960347 A

(43) 申请公布日 2025. 05. 09

(21) 申请号 202411965160.X

(22) 申请日 2024.12.30

(71) 申请人 天津津航计算技术研究所

地址 300308 天津市东丽区空港经济区保  
税路357号

(72) 发明人 姬栋 刘强 杨春强

(74) 专利代理机构 中国兵器工业集团公司专利  
中心 11011

专利代理师 安琪

(51) Int.Cl.

G05B 19/042 (2006.01)

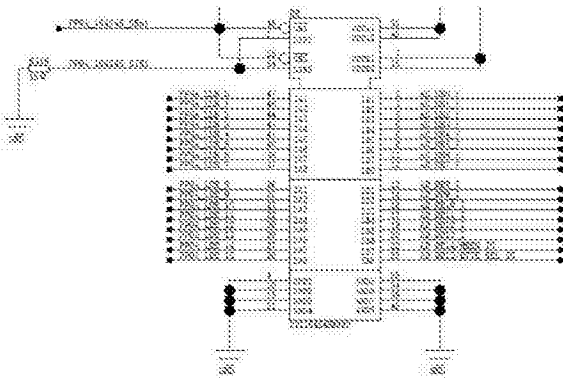
权利要求书2页 说明书5页 附图5页

(54) 发明名称

一种基于FPGA和总线接收器的数据采集电  
路

(57) 摘要

本发明公开一种基于FPGA和总线接收器的数据采集电路,包括:模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块和AD采集电路模块;AD采集电路模块对外部电压信号进行AD转换,转换后信号传送给模拟量采集电路,模拟量采集电路模块用于采集转换完成的AD信号,传送FPGA;外部离散量采集电路模块用于采集外部离散量信号,传送FPGA;内部离散量采集电路模块用于采集内部离散量信号,传送FPGA;自检离散量采集电路模块用于采集自检离散量信号,传送FPGA;FPGA对接收到的各路信号进行处理。本发明能有效节约FPGA引脚资源,提高系统稳定性,节约系统成本,适用范围广,适用性强。



1. 一种基于FPGA和总线接收器的数据采集电路,其特征在于,包括:模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块和AD采集电路模块;AD采集电路模块对外部电压信号进行AD转换,转换后信号传送给模拟量采集电路,模拟量采集电路模块用于采集转换完成的AD信号,并传送至FPGA;外部离散量采集电路模块用于采集外部离散量信号,并传送至FPGA;内部离散量采集电路模块用于采集内部离散量信号,并传送至FPGA;自检离散量采集电路模块用于采集自检离散量信号,并传送至FPGA;FPGA对接收到的各路信号进行处理。

2. 如权利要求1所述的基于FPGA和总线接收器的数据采集电路,其特征在于,模拟量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,1脚、24脚接地,2-23脚为B端信号接口,作为信号输入接口,连接AD采集电路模块的16路总线输出信号;26-47脚为A端信号接口,作为信号输出接口,与外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

3. 如权利要求2所述的基于FPGA和总线接收器的数据采集电路,其特征在于,外部离散量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,1脚、24脚接地,2-23脚为B端信号接口,作为信号输入接口,连接外部离散量信号;26-47脚为A端信号接口,作为信号输出接口,与模拟量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

4. 如权利要求3所述的基于FPGA和总线接收器的数据采集电路,其特征在于,内部离散量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,1脚、24脚接地,2-23脚为B端信号接口,作为信号输入接口,连接内部离散量信号;26-47脚为A端信号接口,作为信号输出接口,与模拟量采集电路模块、外部离散量采集电路模块、自检离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

5. 如权利要求4所述的基于FPGA和总线接收器的数据采集电路,其特征在于,自检离散量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,1脚、24脚接地,2-23脚为B端信号接口,作为信号输入接口,连接内部离散量信号;26-47脚为A端信号接口,作为信号输出接口,与模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

6. 如权利要求5所述的基于FPGA和总线接收器的数据采集电路,其特征在于,AD采集电路模块选用MS16E020N芯片,为8通道AD转换芯片,采样周期设置为200KBPS,49-64脚接外部需要转换的28V电压信号;16-33脚是数据输出端,接到模拟量采集电路模块的B端;3-5脚、9-15脚为AD转换控制信号,接到FPGA,用于控制AD转换芯片的工作状态。

7. 如权利要求6所述的基于FPGA和总线接收器的数据采集电路,其特征在于,AD采集电路模块的工作状态受FPGA控制,每周期转换完成后有相应标志位传递给FPGA,FPGA控制AD采集电路模块不间断进行AD转换,实时将转换结果传输到模拟量采集电路模块的B端。

8.如权利要求7所述的基于FPGA和总线接收器的数据采集电路,其特征在于,FPGA轮询控制模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的导通,选用的总线收发器XYI164245BSSN,数据导通时间为us级别,FPGA控制外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块导通后,延时0.1ms再进行总线数据的一次读取,完成一次读取后FPGA会切换导通信号到下一个电路模块;当模拟量采集电路模块选通后,FPGA累计AD转换模块的运行周期,累计20次后,对第21次的转换结果进行读取,完成一次模拟量采集电路模块结果读取。

9.如权利要求8所述的基于FPGA和总线接收器的数据采集电路,其特征在于,FPGA轮询控制模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的导通一次的周期为0.4ms。

10.一种基于权利要求1-9中任一项所述的基于FPGA和总线接收器的数据采集电路在航空电气技术中的应用。

## 一种基于FPGA和总线接收器的数据采集电路

### 技术领域

[0001] 本发明属于航空电气技术领域,涉及一种基于FPGA和总线接收器的数据采集电路。

### 背景技术

[0002] 随着机载设备集成化、智能化的程度逐渐提高,通常会出现单个控制器需要对几十个甚至上百个离散量和对个模拟量进行采集的情况,如果使用FPGA直接面对这些信号进行“点对点”连接,会比较浪费FPGA的引脚资源,对FPGA其他的功能实现造成一定的限制。

### 发明内容

[0003] (一)发明目的

[0004] 本发明的目的是:提供一种基于FPGA和总线接收器的数据采集电路,为集成度较高的控制器节约“FPGA”引脚资源,提高系统利用率。

[0005] (二)技术方案

[0006] 为了解决上述技术问题,本发明提供一种基于FPGA和总线接收器的数据采集电路,其包括:模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块和AD采集电路模块;AD采集电路模块对外部电压信号进行AD转换,转换后信号传送给模拟量采集电路,模拟量采集电路模块用于采集转换完成的AD信号,并传送至FPGA;外部离散量采集电路模块用于采集外部离散量信号,并传送至FPGA;内部离散量采集电路模块用于采集内部离散量信号,并传送至FPGA;自检离散量采集电路模块用于采集自检离散量信号,并传送至FPGA;FPGA对接收到的各路信号进行处理。

[0007] 其中,模拟量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,1脚、24脚接地,2-23脚为B端信号接口,作为信号输入接口,连接AD采集电路模块的16路总线输出信号;26-47脚为A端信号接口,作为信号输出接口,与外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

[0008] 其中,外部离散量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,1脚、24脚接地,2-23脚为B端信号接口,作为信号输入接口,连接外部离散量信号;26-47脚为A端信号接口,作为信号输出接口,与模拟量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

[0009] 其中,内部离散量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,1脚、24脚接地,2-23脚为B端信号接口,作为信号输入接口,连接内部离散量信号;26-47

脚为A端信号接口,作为信号输出接口,与模拟量采集电路模块、外部离散量采集电路模块、自检离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

[0010] 其中,自检离散量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,1脚、24脚接地,2-23脚为B端信号接口,作为信号输入接口,连接内部离散量信号;26-47脚为A端信号接口,作为信号输出接口,与模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

[0011] 其中,AD采集电路模块选用MS16E020N芯片,为8通道AD转换芯片,采样周期设置为200KBPS,49-64脚接外部需要转换的28V电压信号;16-33脚是数据输出端,接到模拟量采集电路模块的B端;3-5脚、9-15脚为AD转换控制信号,接到FPGA,用于控制AD转换芯片的工作状态。

[0012] 其中,AD采集电路模块的工作状态受FPGA控制,每周期转换完成后有相应标志位传递给FPGA,FPGA控制AD采集电路模块不间断进行AD转换,实时将转换结果传输到模拟量采集电路模块的B端。

[0013] 其中,FPGA轮询控制模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的导通,选用的总线收发器XYI164245BSSN,数据导通时间为 $\mu\text{s}$ 级别,FPGA控制外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块导通后,延时0.1ms再进行总线数据的一次读取,完成一次读取后FPGA会切换导通信号到下一个电路模块;当模拟量采集电路模块选通后,FPGA累计AD转换模块的运行周期,累计20次后,对第21次的转换结果进行读取,完成一次模拟量采集电路模块结果读取。

[0014] 其中,FPGA轮询控制模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的导通一次的周期为0.4ms。

[0015] (三)有益效果

[0016] 上述技术方案所提供的基于FPGA和总线接收器的数据采集电路,能够有效节约FPGA引脚资源的同时,还能不影响系统稳定性,节约系统成本,适用范围广,适用性强,是一个具有很好使用价值的FPGA信号采集方案。

## 附图说明

[0017] 图1是本发明实施例中的模拟量采集电路图;

[0018] 图2是本发明实施例中的外部离散量采集电路图;

[0019] 图3是本发明实施例中的内部离散量采集电路图;

[0020] 图4是本发明实施例中的自检离散量采集电路图;

[0021] 图5是挂载在总线接收器后端的AD采集电路图;

[0022] 图6为FPGA轮询打开总线接收器的状态机流程图;

[0023] 图7为运行仿真后的结果图。

## 具体实施方式

[0024] 为使本发明的目的、内容和优点更加清楚,下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。

[0025] 本实施例基于FPGA和总线接收器的数据采集电路包括:模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块和AD采集电路模块;AD采集电路模块对外部电压信号进行AD转换,转换后信号传送给模拟量采集电路,模拟量采集电路模块用于采集转换完成的AD信号,并传送至FPGA;外部离散量采集电路模块用于采集外部离散量信号,并传送至FPGA;内部离散量采集电路模块用于采集内部离散量信号,并传送至FPGA;自检离散量采集电路模块用于采集自检离散量信号,并传送至FPGA;FPGA对接收到的各路信号进行处理。

[0026] 参照图1至图4所示,模拟量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,在该方案中,信号由B端流向A端,不存在反向传输,所以1脚、24脚接地,2-23脚为B端信号接口,在该方案中作为信号输入,连接AD采集电路模块的16路总线输出信号;26-47脚为A端信号接口,在该方案中,作为信号输出,与外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

[0027] 外部离散量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,在该方案中,信号由B端流向A端,不存在反向传输,所以1脚、24脚接地,2-23脚为B端信号接口,在该方案中作为信号输入,连接外部离散量信号;26-47脚为A端信号接口,在该方案中,作为信号输出,与模拟量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

[0028] 内部离散量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,在该方案中,信号由B端流向A端,不存在反向传输,所以1脚、24脚接地,2-23脚为B端信号接口,在该方案中作为信号输入,连接内部离散量信号;26-47脚为A端信号接口,在该方案中,作为信号输出,与模拟量采集电路模块、外部离散量采集电路模块、自检离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

[0029] 自检离散量采集电路模块包括一个总线收发器XYI164245BSSN,该芯片的48脚、25脚为使能端,接到FPGA引脚,用于控制总线收发器选通与否;1脚、24脚为方向控制引脚,在该方案中,信号由B端流向A端,不存在反向传输,所以1脚、24脚接地,2-23脚为B端信号接口,在该方案中作为信号输入,连接内部离散量信号;26-47脚为A端信号接口,在该方案中,作为信号输出,与模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块的信号输出端连接到一起,作为本地总线使用,并接到FPGA,用于数据传输。

[0030] AD采集电路模块选用MS16E020N芯片,是一个8通道的AD转换芯片,采样周期设置为200KBPS,49-64脚接外部需要转换的28V电压信号;16-33脚为数据输出端,接到模拟量采集电路模块的B端;3-5脚、9-15脚为AD转换控制信号,接到FPGA,用于控制AD转换芯片的工作状态。

[0031] 在本实施例中,AD采集电路模块的工作状态受FPGA控制,每周期转换完成后也会相应标志位传递给FPGA,FPGA控制AD采集电路模块不间断进行AD转换,实时将转换结果传输到模拟量采集电路模块的B端。

[0032] 在本实施例中,FPGA轮询控制模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的导通,选用的总线收发器XYI164245BSSN,数据导通时间为us级别,为保证FPGA通过总线采集到的数据稳定准确,FPGA控制外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块导通后,会延时0.1ms再进行总线数据的一次读取,完成一次读取后FPGA会切换导通信号到下一个电路模块;当模拟量采集电路模块选通后,FPGA会累计AD转换模块的运行周期,累计20次(0.1ms)后,对第21次的转换结果进行读取,完成一次模拟量采集电路模块结果读取。

[0033] 在本实施例中,FPGA轮询控制模拟量采集电路模块、外部离散量采集电路模块、内部离散量采集电路模块、自检离散量采集电路模块的导通一次的周期为0.4ms。

[0034] 实施例1

[0035] 在附图中,选用的总线接收器为164245,该芯片的48脚和25脚位使能信号,接到FPGA上,作为FPGA控制164245循环接通的引脚,选用的总选为16位总线,每接通一个164245都会进行0.1ms的延时,确保总线数据稳定后再进行数据读取。

[0036] 图5为挂接在图1后端的AD采集芯片,为八通道AD采集芯片。3脚、4脚、5脚、9脚、10脚、11脚、12脚、13脚、14为控制引脚,接到FPGA,用于AD转换控制,该芯片的AD转换周期为200Kbps。

[0037] 在该实施案例中,4个总线接收器实现了48路离散量和8通道AD采集,共占用31个FPGA引脚,若将48路离散量和8通道AD采集都接到FPGA,需要占用FPGA的75个引脚资源。可以看出本方案很好的节省了FPGA引脚资源。

[0038] 该实施案例对应的状态机跳转过程如图6所示。

[0039] 从图7的仿真结果可以看出,该方案在节约FPGA引脚资源的同时能够稳定运行,具有很好的推广价值。

[0040] 由上述技术方案可以看出,本发明具有以下显著特点:

[0041] (1) 本发明中FPGA通过总线接收器以总线的方式完成对离散量和AD信号的采集;经过调理电路的外部离散量信号1对1接到多个总线接收器的输入端,AD信号经过AD采集芯片转换成并行AD数据,也接到总线接收器的输入端(1位AD数据对应1位输入);AD采集芯片的控制端和使能端由FPGA控制;总线接收器的输出端接到同一组数据总线上,总线接收器的选通信号由FPGA控制;离散量信号经过调理电路后,实时传送到对应的总线接收器的输入端,AD采集芯片在FPGA控制的下一一直运行,并行AD数据也会实时传送到对应的总线接收器的输入端,即总线接收器输入端的数据一直是最新有效状态,保证数据的实时有效性;

[0042] (2) FPGA通过控制总线接收器的选通信号的状态数据总线接通的输入数据进行控制;FPGA在识别读取的数据总线的对应来源时,也会依据相同时刻的总线接收器选通信号状态进行,对于AD信号还需要依靠相同时刻的AD采集芯片控制端状态进行;同一时刻只能有一路总线接收器的选通信号有效,否则会导致数据总线混乱,甚至有可能“烧毁”FPGA;总线接收器的导通和关断都需要一定的时间,所以要根据总线接收器的芯片特性确定每一个选通信号的有效时间,若有效时间过短可能会造成读取数据错误的情况,过长会影响采集

电路的实时性；

[0043] (3) 多路离散量信号的AD信号通过总线接收器集成后接入FPGA,避免了直接接入FPGA大量占用FPGA引脚资源,如需要增加信号采集数量只需要增加一个总线接收器,对于FPGA芯片,只需要增加一路使能信号即可,有效的节省了FPGA芯片引脚资源。

[0044] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明技术原理的前提下,还可以做出若干改进和变形,这些改进和变形也应视为本发明的保护范围。



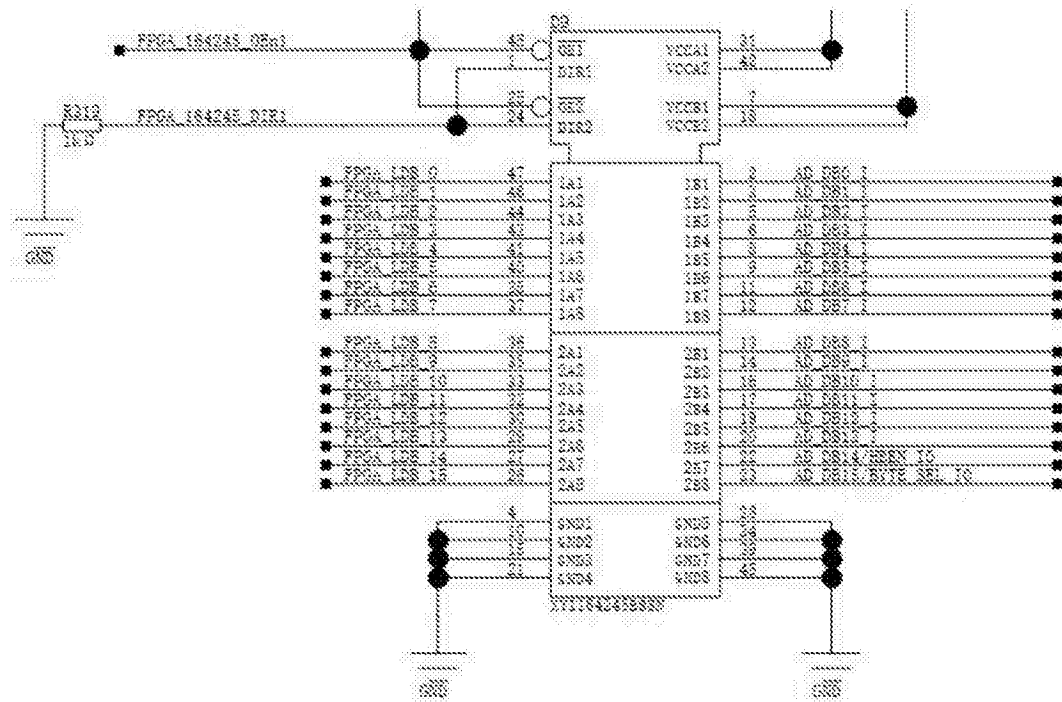


图1

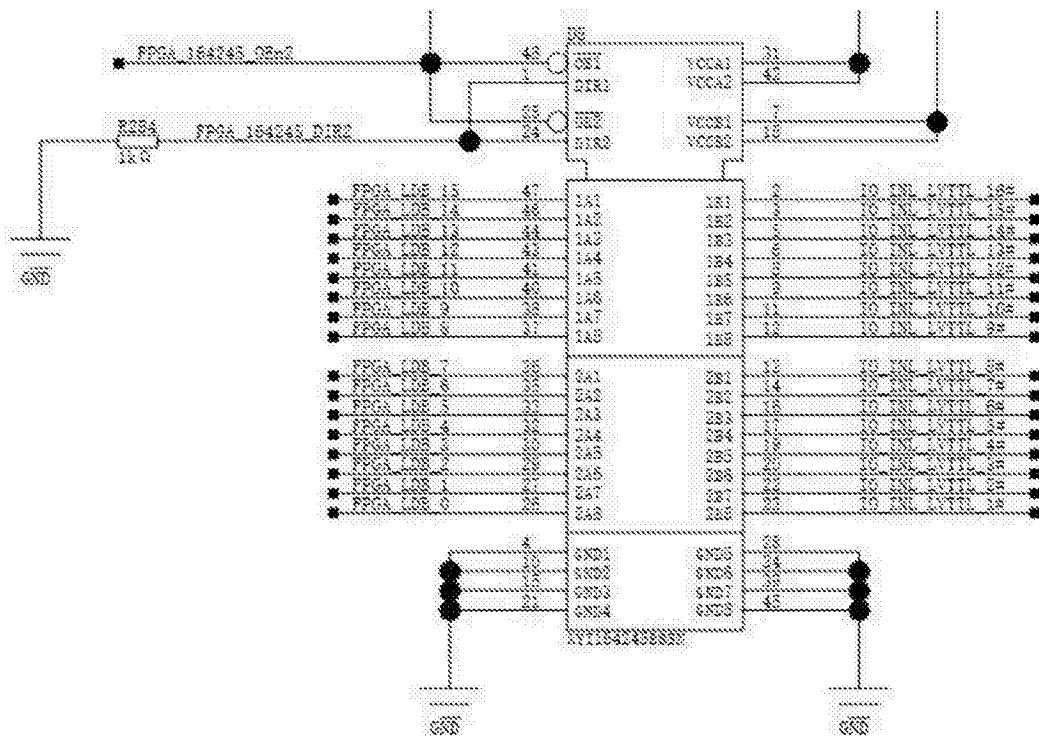


图2

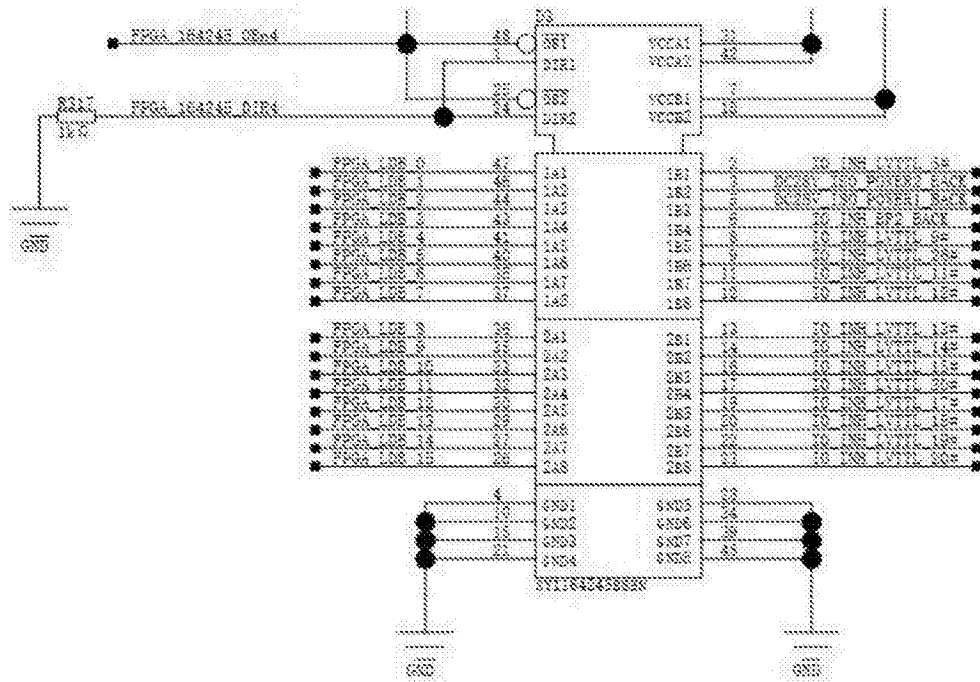


图3

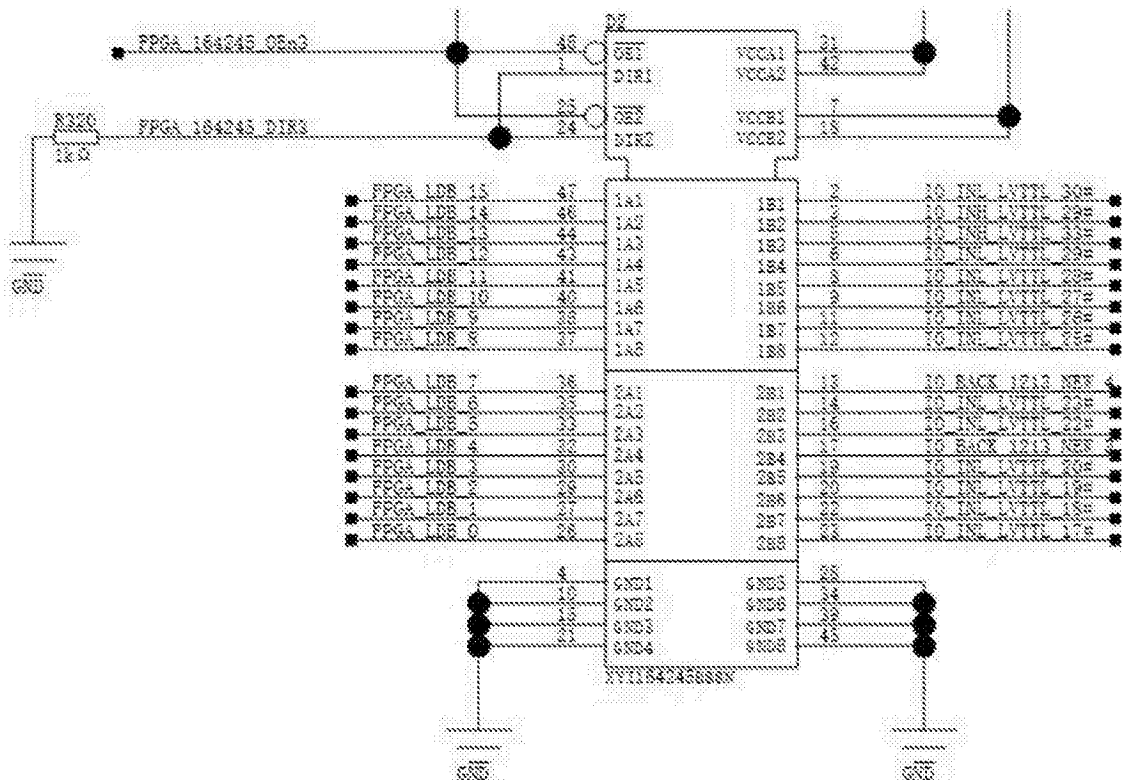


图4

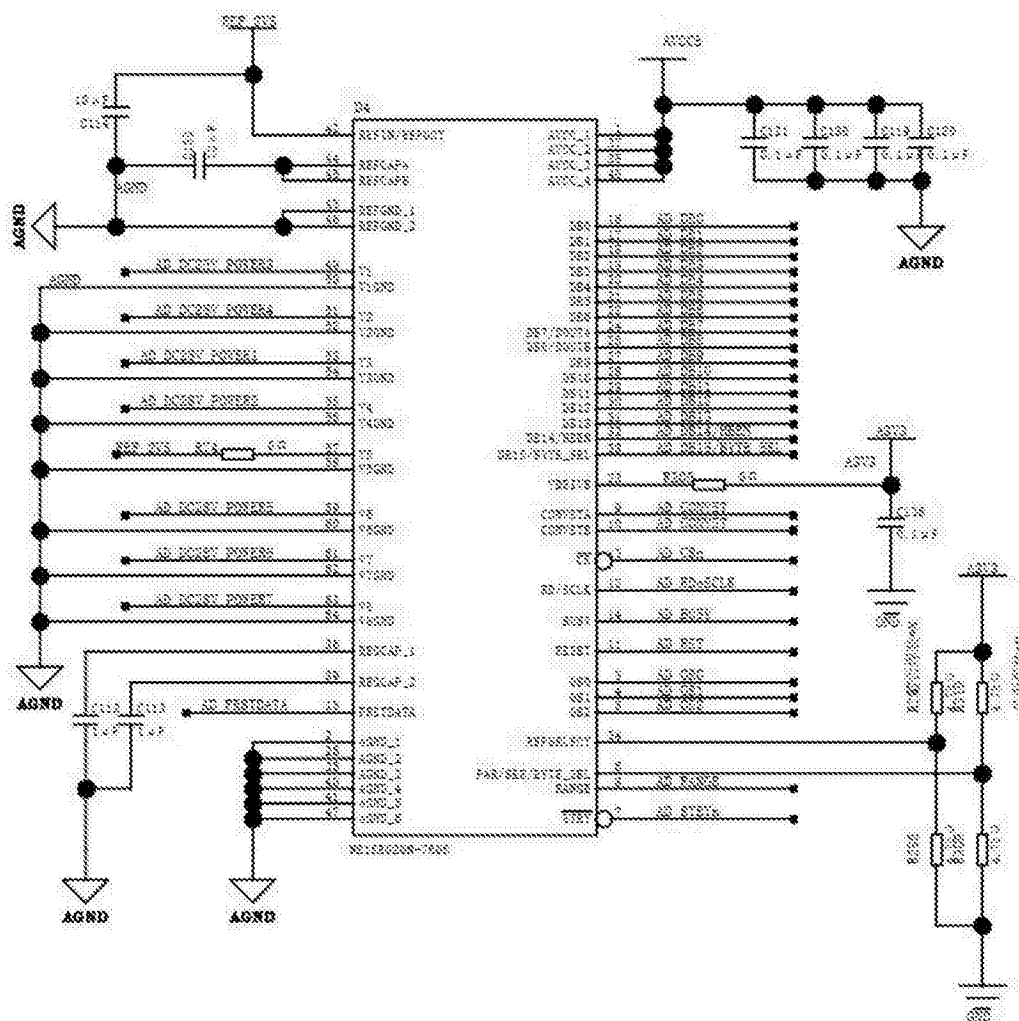


图5

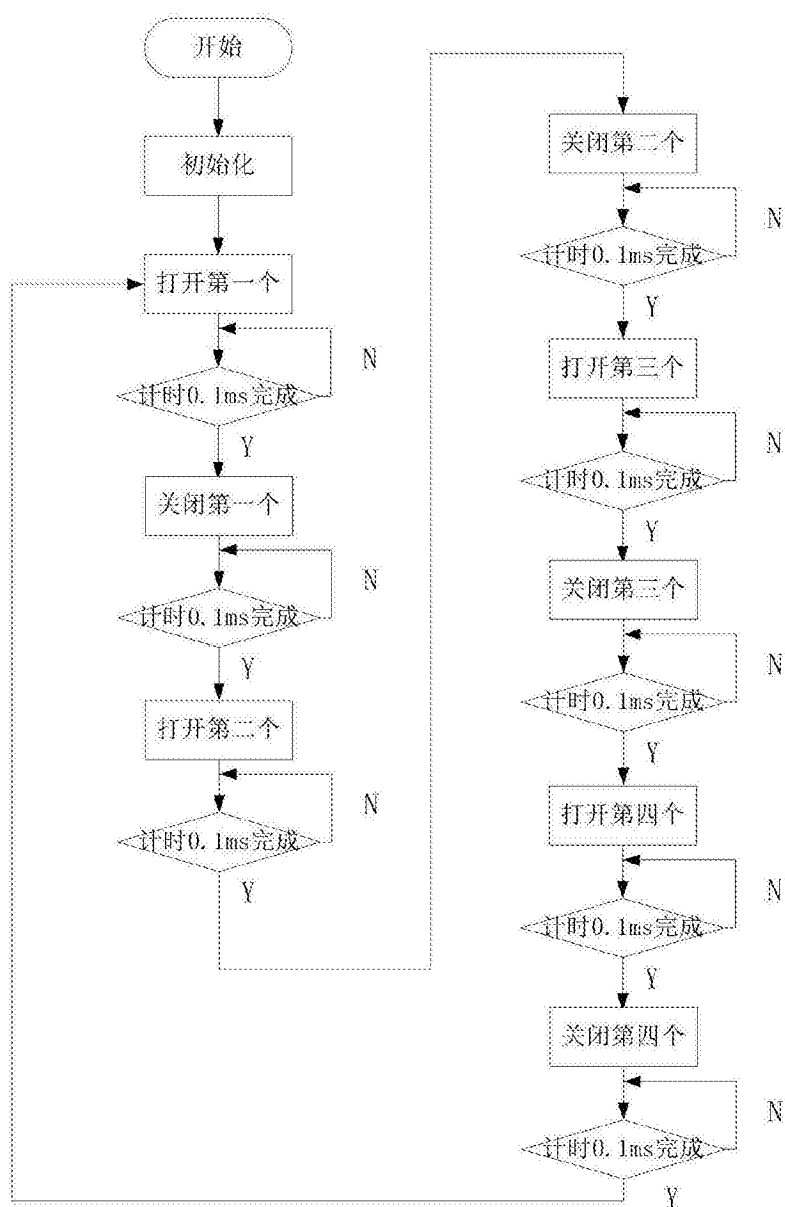


图6

> IO_1...	1539	1539
> IO_1...	1541	1541
> IO_1...	1549	1549
> AD_2...	160f	160f
> AD_2...	160f	160f
> AD_2...	160f	160f
> AD_2...	160f	160f
> AD_2...	160f	160f
> AD_2...	160f	160f
> AD_2...	160f	160f
> AD_2...	160f	160f

图7