

# UltraScale 架构 PCB 设计

## 用户指南

UG583 (v1.19) 2020 年 9 月 2 日

条款中英文版本如有歧义，概以英文文本为准。



## 修订历史

下表列出了本文档的修订历史。

日期	版本	修订
2020 年 9 月 2 日	1.19	<p><b>第 1 章:</b> 在表 1-4 中, 更新了对应 XQKU5P 和 XCVU7P 的封装, 添加了对应 XCVU23P-VSVA1365 的行, 并更新了注释 3。在表 1-9 中, 更新了对应 XCZU3CG、XCZU6CG、XCZU9CG、XCZU3EG、XCZU6EG、XCZU9EG 和 XCZU15EG 的封装。将表 1-21“Virtex UltraScale+ 器件的最大 VCCINT 电流”替换为表 1-21、表 1-22 和表 1-23。</p> <p><b>第 2 章:</b> 更新了“通用存储器布线准则”中的第 2 和第 13 项。在表 2-9 中, 更新了地址、写入使能、行地址选通、列地址选通、芯片选择和 alert_n 信号。更新了“alert_n”。</p> <p><b>第 3 章:</b> 更新了“<math>V_{CCSDFEC}</math> 和移植”。在表 3-1 和表 3-4 中添加 XCZU43DR、XCZU46DR、XCZU47DR、XCZU48DR 和 XCZU49DR。在表 3-1 中, 移除了有关针对非 L 速度等级将 <math>V_{CCINT}</math>、<math>V_{CCBRAM}</math> 和 <math>V_{CCINT\_IO}</math> 连接在一起的注释。添加“Zynq UltraScale+ RFSoC 的最大电流汲取”。在表 3-8 中添加注释。移除表 3-8“Analog_SYSREF 要求”和表 3-9“DC 耦合输入参数”。在表 3-11 中更新了 VCCINT_AMS 额定电压。</p> <p><b>第 4 章:</b> 在“JTAG”和“PCIe”中添加注释。在“PS 参考时钟”中添加有关终端和信号完整性仿真的项。在“SD/SDIO”中添加有关 SDIO 0/1 功耗控制信号的项。在表 4-2 中添加对应 PCIe 的电容器建议值。</p> <p><b>第 9 章:</b> 在表 9-2 和表 9-3 中将 4.7 <math>\mu F</math> 更新为 10 <math>\mu F</math>。</p> <p><b>附录 A:</b> 更新了表 A-10。</p>
2019 年 11 月 26 日	1.18	<p><b>第 1 章:</b> 在表 1-5 中, 更新了现有 XCVU19P-FSVA3824 和 XCVU19P-FSVB3824 建议, 添加了对应较厚的开发板的 XCVU19P-FSVA3824 和 XCVU19P-FSVB3824 建议。</p> <p><b>第 2 章:</b> 在表 2-45 和表 2-58 中, 更新了 CK 到 DQS 的偏差约束。</p> <p><b>第 3 章:</b> 在表 3-5 中, 更新了所有带宽。在“选择相应的平衡转换器”中, 更新了 Anaren 器件编号和带宽。在“AC/DC 耦合准则”中, 更新了第 2 段。在“间隔建议”中, 更新了注释。移除了表 3-7“ADC/DAC 通道可用的 S 参数模型”。更新了“用于改进第 1 代器件 (XCZU25DR/XCZU27DR/XCZU28DR/XCZU29DR) 中的回波损耗的 Pi 网络”的标题。在表 3-10 中, 将 LDO 替换为 VRM, 并更新了注释 4。</p> <p><b>第 11 章:</b> 在“未连接的 <math>V_{CCO}</math> 管脚”中, 更新了第 2 段。</p>
2019 年 8 月 29 日	1.17	<p><b>第 1 章:</b> 在表 1-4 中, 更新了注释 4。在表 1-5 中, 添加了 XCVU19P、更新了注释 4, 并添加了注释 5。在表 1-6 中, 更新了注释 4。在表 1-7 中, 添加了 XCVU45P 和 XCVU47P, 并更新了注释 4。在表 1-8 中, 添加了 VU45P 和 VU47P。在表 1-10 中, 移除了对应 100 <math>\mu F</math> 的 <math>V_{CC\_PSBATT}</math> 的标题。</p> <p><b>第 2 章:</b> 在“DDR3/DDR4 UDIMM/RDIMM/SODIMM/LRDIMM 布线准则 (PL 和 PS)”中, 添加了有关多个 DIMM 的注释。在图 2-32、图 2-34 和图 2-35 中, 更新了 DIMM 标签。在表 2-46 中, 更新了位于远端的对应 CS0 的 PCB 终端。</p> <p><b>第 4 章:</b> 在“QSPI”的第 5 项中, 将走线延迟更新为 500 ps。</p>
2019 年 6 月 26 日	1.16	<p><b>第 1 章:</b> 在“按器件推荐的 PCB 电容”中, 更新了第 2 段。在“阶跃负载假设”末尾添加了注释。更新了表 1-2、表 1-3、表 1-4、表 1-5、表 1-8、表 1-9 和表 1-10。添加表 1-6 和表 1-7。移除了“Virtex UltraScale+ 支持 58G 的器件的 PCB 去耦电容”章节和“Virtex UltraScale+ 高带宽存储器器件的 PCB 去耦电容”章节。添加“电容器规格”。在“<math>V_{CC\_PSDDR\_PLL}</math> 电源”(包括图 1-1) 中更新了电容器值和器件编号。在表 1-12 中, 更新了 10 <math>\mu F</math> 0402 和 47 <math>\mu F</math> 0603 器件编号。移除了“电容器规格”章节和“电容器整合规则”章节。</p> <p><b>第 2 章:</b> 更新了表 2-3 和图 2-5。在表 2-9 和表 2-19 中, 添加 VRP (PL) 和 ZQ (PS)。在图 2-30 到图 2-35 中添加过孔。添加“reset_n”。在表 2-47 中, 移除有关止于终端处的管脚的注释。在表 2-70、表 2-79 和表 2-86 中, 添加 VRP。</p> <p><b>第 3 章:</b> 在图 3-1 中, 更新了电容值。更新表 3-1、表 3-2 和表 3-3。移除表 3-2“对应 L 器件的可编程逻辑电源轨去耦准则”。</p> <p><b>第 4 章:</b> 在表 4-2 中, 将对应 PS_MGTRAVCC 和 PS_MGTRAVTT 的滤波器电容建议从 4.7 <math>\mu F</math> 更改为 10 <math>\mu F</math>。</p> <p><b>第 5 章:</b> 新增章节。</p>

日期	版本	修订
2019年5月9日	1.15	<p><b>第1章:</b> 在“阶跃负载假设”中，更新了建议的注释。在表1-10中添加了注释4。</p> <p><b>第2章:</b> 在“DDR3/DDR4 UDIMM/RDIMM/SODIMM/LRDIMM 布线准则(PL和PS)”、“DDR3 UDIMM/RDIMM/SODIMM/LRDIMM 布线约束”和“DDR4 UDIMM/RDIMM/SODIMM/LRDIMM 布线约束”标题中添加了LRDIMM。在表2-45和表2-58中，添加了CK(A/B)到DQS0/1(A/B)。</p> <p><b>第3章:</b> 在表3-1和表3-2中添加了XCZU39DR-FFVF1760和XCZU39DR-FS VF1760。在“模拟接地至数字接地连接”中，更新了接地拼接项。在表3-5中更新ADC输入、DAC输出和DAC时钟输入带宽。在“选择相应的平衡转换器”中，更新了Anaren项，并添加了对应迷你电路TCM2-33X+的项。更新了表3-7。更新了“走线布线阻抗建议”。移除了图3-10“RFSoC管脚周围的接地拼接”。移除了表3-8“DAC/ADC时钟和参考时钟的信号完整性规格”和表3-9“ADC和DAC对的隔离建议”。在“走线布线阻抗建议”中，添加了布线指南。更新了图3-10。添加了表3-8“走线长度匹配”。移除了图3-13后有关电气长度计算方式的段落。移除了“配对间偏差”章节。在“用于改进第1代器件(XCZU25DR/XCZU27DR/XCZU28DR/XCZU29DR)中的回波损耗的Pi网络”标题中添加器件编号。在表3-9后添加有关AC和DC耦合的段落。移除了“无源组件下的接地层切口”章节。更新了“叠层样本”。在“ADC和DAC电源的电源调节和去耦”和图3-32中，将LDO替换为VRM。添加“通过开关调节器为RFSoC供电”。</p> <p><b>第4章:</b> 在“PS_INIT_B、PS_PROG_B和PS_DONE”中，添加关于PS_INIT_B的注释。在“PS复位(外部系统复位和POR复位)”中更新了前2项。在表4-2中添加注释。</p> <p><b>附录A:</b> 在表A-2和表A-4中，更新了表格标题并移除了注释1。</p>
2019年1月4日	1.14	<p><b>第1章:</b> 在表1-4中，添加了XQKU5P-SFRB784、XQKU5P-FFRB676、XQKU15P-FFRA1156和XQKU15P-FFRE1517。在表1-5中添加了XQVU3P-FFRC1517、XQVU7P-FLRA2104、XQVU7P-FLRB2104和XQVU11P-FLRC2104。添加了<b>Virtex UltraScale+ 支持58G的器件的PCB去耦电容</b>。在表1-10中，添加注释5，并更新了“器件编号示例”列标题。680 μF电容器的器件编号和注释1。在表1-9中，添加了XQZU3EG-SFRA484、XQZU3EG-SFRC784、XQZU9EG-FFRC900、XQZU9EG-FFRB1156、XQZU11EG-FFRC1156、XQZU11EG-FFRC1760、XQZU15EG-FFRC900、XQZU15EG-FFRB1156、XQZU19EG-FFRB1517、XQZU19EG-FFRC1760、XQZU5EV-SFRC784、XQZU5EV-FFRB900、XQZU7EV-FFRB900和XQZU7EV-FFRC1156。在表1-14中，更新了680 μF电容器的建议部件号。</p> <p><b>第2章:</b> 在“通用存储器布线准则”中，更新了第12和第13项准则。在表2-36、表2-37、表2-46和表2-47中，将对应于CKE0和CKE1的PCB端接中的V<sub>TT</sub>替换为V<sub>DDQ</sub>。在表2-45中添加注释2，在表2-58中添加注释3。</p> <p><b>第3章:</b> 在表3-1中，添加了XQZU28DR-FFRE1156和XQZU28DR-FFRG1517。在“SYSREF”的第一段中，将“PL GPIO管脚”替换为“专用时钟输入”。在表3-8中，添加注释1。在“AC/DC耦合准则”的第二段中，添加DAC_AVTT。在图3-15的标题中，将“矩形”替换为“圆形”。在表3-8中，更新了耦合值。添加了图3-17和表3-9。在表3-10中，添加了注释1，并移除了“最大电流”列。在“未使用的ADC和DAC电源管脚”中，移除了第2项、更新了第3项，并移除了表3-19“ADC和DAC Tile的漏电流值”。</p> <p><b>第4章:</b> 在“PS_INIT_B、PS_PROG_B和PS_DONE”中，添加有关PS_PROG_B和PS_POR_B的注释。</p> <p><b>第9章:</b> 新增章节。</p> <p><b>附录A:</b> 更新了第二段中的偏差值。</p>

日期	版本	修订
2018年8月15日	1.13	<p><b>第1章:</b> 在表1-1后添加有关斜率的描述。在表1-5中添加XCVU13P-FSGA2577。在表1-10中，更新了类型、ESL最大值、ESR上限范围和建议的器件编号列，并添加了对应0.47 μF的行。在图1-2后更新了电容器部件号。在表1-21中，添加了FSVH1924、FSVH2104和FSVH2892封装。</p> <p><b>第2章:</b> 在“通用存储器布线准则”中移除了LPDDR3和LPDDR4布线准则。在“简介”中添加注释。更新了表2-18、表2-25、表2-32、表2-34、表2-45、表2-58和表2-69。在表2-19中添加了dm[9:0]，并移除注释1。在表2-36、表2-37、表2-46和表2-47中，添加有关ODT管脚的注释，并从“FPGA管脚”列中移除了ODT0/1。</p> <p><b>第3章:</b> 在“V<sub>CCINT</sub>与VCCBRAM/VCCINT<sub>IO</sub>分离（-1LI、-2LI和-2LE）”中的第一行添加-2LI。在表3-1和表3-2中添加FSVE1156、FSVG1517、FSVE1156、FSVG1517、FSVE1156、FSVG1517和FSVF1760封装。在表3-6后更新了RF信号链的描述。在“间隔建议”中更新了有关防护线的项。添加了图3-3、图3-4、图3-12、图3-13和图3-14。更新了“SYSREF”。在“ADC和DAC电源的电源调节和去耦”中添加有关使用不同电源分别作为ADC和DAC电源的语句。</p> <p><b>第4章:</b> 将VCCO_MIO0替换为VCCO_PSIO[0]。在“SPI”中移除有关2.00 kΩ的项。</p>
2018年4月10日	1.12.1	附录A：移除所有表格项中的±符号。
2018年4月9日	1.12	<p><b>第1章:</b> 添加“Virtex UltraScale+高带宽存储器器件的PCB去耦电容”。</p> <p><b>第3章:</b> 新增章节。</p> <p><b>第4章:</b> 在“SD/SDIO”的最后一项中，将CMD3更改为DAT3。在“未连接的V<sub>CCO</sub>管脚”中，更新了第2段。</p> <p>附录B：新增附录。</p> <p>附录C：在“参考资料”中，添加了DS926和PG269。</p>
2018年2月22日	1.11	<p>对<b>第1章、第4章、第6章和第7章</b>之间的内容进行了重新组织。</p> <p><b>第1章:</b> 更新了“按器件推荐的PCB电容”中的第一个段落，并在资源使用情况列表中添加了项目符号项。在表1-14中添加了理想值0.47 μF。添加“针对Kintex UltraScale和Virtex UltraScale器件推荐的去耦电容数量”、“针对Kintex UltraScale+和Virtex UltraScale+器件推荐的去耦电容数量”和“针对Zynq UltraScale+器件推荐的去耦电容数量”。从<b>第7章</b>中移出并更新了“适用于Zynq UltraScale+MPSoC的电源整合解决方案”。更新了表1-20。</p> <p><b>第2章:</b> 重写了“简介”。在表2-1中，更新了L2、L4、L13和L15层的描述。在“通用存储器布线准则”中，移除了准则2中最大布线长度的描述并更新了准则5、6、14和23。添加图2-13。将“对应DDR3/3L SDRAM（PL和PS）的PCB准则”章节与“对应DDR4 SDRAM（PL和PS）的PCB准则”章节的顺序对调。移除表2-11“对应DDR4 SDRAM的PCB准则”和表2-22“对应DDR3 SDRAM的PCB准则”。在表2-20、表2-22、表2-11、表2-15以及表2-27到表2-29中，更新了L0和L1走线长度，并添加了注释2。在表2-21、表2-13和表2-26中，更新了L0和L1走线长度，并更新了注释2。在表2-24、表2-17、表2-31和表2-34中，将信号组数据的偏差约束更新为DQS。更新了表2-25后的注释。在表2-9中添加了alert_n。在“飞越式拓扑和蛤壳拓扑”中添加注释。在表2-10中添加注释。添加“alert_n”。更新了图2-22。在表2-12和表2-14中，更新了L0和L1走线长度，并添加了注释1。在表2-18、表2-32、表2-35、表2-78、表2-85和表2-90之后更新了注释。添加表2-46。在表2-69中添加了“信号段”列。在表2-71、表2-72、表2-74到表2-76、表2-83、表2-87和表2-88中，更新了L1走线长度。添加“VREFCA和VREFDQ”。从“RLDRAM3存储器布线约束”的简介文本（包括表2-77）中移除了长度约束的实例。从表2-78中移除了偏差约束(mil)列。在<b>第4章</b>中添加了“对应不含ECC的LPDDR4存储器(PS)的PCB准则”、“对应含ECC的LPDDR4存储器(PS)的PCB准则”和“对应LPDDR3 SDRAM（PL和PS）的PCB准则”。</p> <p><b>第4章:</b> 已重命名章节标题。移除了“含ECC的x32 LPDDR4设计示例”章节。在“CAN”中，已将PCB和封装偏差更改为±100 ps。在“eMMC”中添加有关串联电阻器的项。在“标准和高速SDR接口”中，更新了标题，并将PCB和封装偏差更改为±100 ps。在“HS200(200 MHz)和高速DDR接口”中更新了标题。从“JTAG”移除了TDO。在“SDR模式”中，已将PCB和封装偏差更改为±100 ps。在“DDR模式(100 MHz)”中，更新了第2项，并添加了第3项。在“PS复位（外部系统复位和POR复位）”下的第1项中，将VCCO_PSIO[3]替换为VCCO_MIO0，并添加了2项内容。在“PS_INIT_B、PS_PROG_B和PS_DONE”中，更新了第1项和第2项。在“QSPI”中，更新了第5项。在“实时时钟”中，更新了第1项。在“SD/SDIO”中，更新了第1项、移除了有关PCB和封装延迟偏差的项，并添加了有关10 kΩ上拉电阻器的项。在“SPI”、“三重定时器计数器”和“看门狗定时器”中，已将PCB和封装偏差更改为±100 ps。</p>

日期	版本	修订
2018 年 2 月 22 日	1.11 (续)	<p>移除了“走线 B”章节。在“UART”中，已将 MIO 走线延迟更改为 1.30 ns，并移除了有关匹配的 TX 线的项。在“USB 2.0”中，更新了 PCB 和封装延迟，并添加了有关 30Ω 串联电阻器的项。在表 4-2 中添加了将管脚接地的建议。</p> <p><a href="#">第 7 章</a>: 已重命名章节标题。更新了“7. 存储器接口 PCB 布线”，包括表 7-6。</p> <p><a href="#">第 8 章</a>: 在表 8-1 中添加了 -2E 速度等级。在“4. -3 速度移植”的第 1 句中添加了 XCZU2EG/XCZU3EG。在“5. VCU 移植”中，更新了注释。更新了图 8-7。移除了图 6-8“对应 CG/EG/EV 移植的 VCCINT_VCU 连接选项 (PCB)”。更新了“示例：启用从 EV 到 CG/EG 器件的 VCU 移植可用的原理图/PCB 选项”中的前 2 句。移除了章节 7“应用处理器和实时处理器移植”。</p> <p><a href="#">第 11 章</a>: 将“Kintex UltraScale 和 Virtex UltraScale FPGA”替换为“基于 UltraScale 架构的器件”。在表 11-2 中，更新了 ADS 和 Slwave 供应商、将 Specctraquest 功耗完整性替换为 Sigrity，并移除了 Speed 2000、PowerSI 和 PowerDC。</p> <p><a href="#">附录 A</a>: 在表 A-1、表 A-9 到表 A-13 以及表 A-15 中的所有条目中添加了 ±。更新了表 A-3 到表 A-8 中的条目。</p>
2017 年 1 月 30 日	1.10	<p>在全文中将“中点”替换为“中端”。</p> <p><a href="#">第 1 章</a>: 添加等式 1-1。在表 1-2 中添加了对应 XQKU115 器件的 RLD1517 和 RLF1924 封装。在表 1-21 中更新了 V<sub>CCINT</sub> 值。</p> <p><a href="#">第 2 章</a>: 在“通用存储器布线准则”中更新了准则 12。在图 2-32、图 2-34 和图 2-35 后添加了注释。</p> <p><a href="#">第 7 章</a>: 在表 4-1 中将 HR I/O 替换为 HD I/O。添加了“UltraScale 与 UltraScale+ FPGA 之间的移植”。</p> <p><a href="#">第 4 章</a>: 在表 5-1 中将 HR I/O 替换为 HD I/O。添加了“V<sub>CCINT_VCU</sub> 去耦电容建议”。在表 5-3 中，添加了 V<sub>CCO_PSDDR</sub>。在“视频编解码单元（仅限 EV 器件）”中添加了 V<sub>CCINT_VCU</sub> 的描述。更新了“对应 DDR3 和 DDR4 SDRAM 的 PCB 准则”。在图 5-8 中添加了 DQ 总线宽度。在“SD/SDIO”中更新了有关 PCB 和封装延迟偏差的第 3 项内容。在表 4-2 中更新了 PS_MGTRAVCC 和 PS_MGTRAVTT 的滤波器列表。</p> <p><a href="#">第 8 章</a>: 新增章节。</p> <p><a href="#">附录 A</a>: 在表 A-9 到表 A-15 中，将存储器组件额定值单位 Mb/s 替换为 MHz。</p> <p><a href="#">附录 C</a>: 在“参考资料”中添加了 UG1085、WP482、UG580、UG1075、PG213、PG203 和 PG212。</p>
2016 年 11 月 18 日	1.9	<p><a href="#">第 1 章</a>: 更新了章节标题。在“按器件推荐的 PCB 电容”中，更新了资源使用情况项目符号列表。添加了“阶跃负载假设”（包括表 1-1）和“UltraScale+ 器件中 V<sub>CCINT</sub> 的最大电流汲取”。在表 1-2 中添加了 RBA676 和 RFA1156 封装。</p> <p><a href="#">第 2 章</a>: 在“通用存储器布线准则”中更新了准则 14。添加图 2-12 和图 2-15。在“简介”中区分了飞越式 (fly-by) 拓扑和蛤壳式 (clamshell) 拓扑。在表 2-9 中添加 CS0_n 和 CS1_n。添加“飞越式拓扑和蛤壳拓扑”和“使用地址镜像来简化蛤壳布线”。更新了“DDR4 SDRAM 地址、命令和控制飞越式拓扑和蛤壳拓扑”中的第 1 句。在表 2-11 标题中添加了“飞越式 (fly-by)”。添加了图 2-22、图 2-24、表 2-12 和表 2-14。更新了“对应飞越式和蛤壳配置的 DDR4 SDRAM 点对点数据信号”。</p> <p><a href="#">第 6 章</a>: 在“15. 功耗和热性能注意事项”中更新了建议。</p> <p><a href="#">第 7 章</a>: 更新了章节标题。在表 4-1 中添加了注释 4 到 7。在表 4-2 中，添加了 XCVU9P-FSGD2104、XCVU11P-FLGD2104 和 XCVU13P-FIGD2104 器件以及注释 4 到 7。添加表 7-4。在“10. ESD 要求”中，移除了有关 UltraScale+ FPGA 的 ESD 处理要求较 UltraScale FPGA 更为严格的语句。</p> <p><a href="#">第 4 章</a>: 更新了章节标题。更新了表 5-1。添加了“LPDDR4 地址副本（第 142 页）”、“LPDDR4 地址副本（第 149 页）”和“LPDDR3 地址副本（第 161 页）”。在“SD/SDIO”中，移除有关 PCB 和封装延迟偏差的项。</p>

日期	版本	修订
2016年7月18日	1.8	<p><a href="#">第1章</a>: 在<a href="#">表1-2</a>和<a href="#">表1-3</a>中, 添加注释2。</p> <p><a href="#">第2章</a>: 澄清了“通用存储器布线准则”中的准则5的相关内容。在<a href="#">图2-6</a>标题中, 将CD替换为CK。在<a href="#">图2-11</a>前, 添加了主要注释。已将reset_b替换为reset_n throughout。更新了<a href="#">第74页的“reset_n”</a>和<a href="#">第65页的“reset_n”</a>, 包括移除了图2-17“在FPGA下电期间终止自刷新或在DDR3 SDRAM中重新配置CKE”和图2-22“在FPGA下电期间终止自刷新或在DDR4 SDRAM中重新配置CKE”。在表2-24、表2-25、<a href="#">表2-17</a>、<a href="#">表2-18</a>、<a href="#">表2-31</a>、<a href="#">表2-32</a>、<a href="#">表2-34</a>、<a href="#">表2-35</a>、<a href="#">表2-78</a>、<a href="#">表2-85</a>和表2-90中移除了有关封装延迟(P0)的注释。在<a href="#">表2-9</a>中, 添加了we、ras、cas和TEN。在表2-26中, 移除了L2列。在表2-27中, 移除了L2列, 并更新了L1参数。添加表2-28。在表2-75中, 已将dm替换为dk/qk。</p> <p><a href="#">第6章</a>: 在“<a href="#">15.功耗和热性能注意事项</a>”中添加了使用Delphi散热模型的建议。</p> <p><a href="#">第7章</a>: 在“<a href="#">UltraScale+ FPGA移植检查表</a>”中移除了PCI Express。</p> <p><a href="#">第4章</a>: 在表5-1中, 添加了Zynq UltraScale+ MPSoC和V<sub>CCINT</sub>/V<sub>CCINT_IO</sub>(0.47 μF)。在表5-3中添加了注释2。添加了“<a href="#">视频编解码单元(仅限EV器件)</a>”。在表5-5和表5-14中添加了reset_n。更新了<a href="#">图5-3</a>。在表5-11和表5-13中, 移除了有关封装延迟(P0)的注释、更新了偏差约束(mil)并移除了CK到DQS(A)/(B)行。在表5-4到表5-7以及表5-11中, 更新了距离其它组信号的L2间隔。更新了<a href="#">图5-4</a>。添加了“<a href="#">对应LPDDR3 SDRAM的PCB准则</a>”。在表4-2中, 更新了对应PS_MGTRREF和PS_MGTRAVTT的建议。</p> <p><a href="#">附录A</a>: 更新了附录开头处的第2段。更新了表A-1到表A-4中的各单元格, 对所有表格都添加了注释, 并更新了表A-2和表A-4的标题。</p>
2016年4月26日	1.7	<p><a href="#">第2章</a>: 在“<a href="#">通用存储器布线准则</a>”中, 更新了准则10和21, 并添加了准则11和23。更新表2-4后的段落。从<a href="#">图2-6</a>移除了DIMM。为<a href="#">图2-17</a>和<a href="#">图2-27</a>添加了简介语句。在表2-19中, 更新了cke[1:0]和reset_b的描述。更新了“<a href="#">reset_n</a>”并为其添加标题。在<a href="#">图2-29</a>和<a href="#">图2-25</a>之前添加了简介语句。在表2-25、表2-18和表2-32中添加了注释3。在表2-9中, 更新了cke和reset_b的描述。在表2-19和表2-9之后添加了有关管脚规则和交换的注释。在表2-13和表2-15中, 为Z<sub>DIFF</sub>的所有条目添加了±10%。</p> <p><a href="#">第6章</a>: 更新了“<a href="#">15.功耗和热性能注意事项</a>”。</p> <p><a href="#">第4章</a>: 添加了V<sub>CC_PSDDR_PLL_Supply</sub>。更新了“<a href="#">对应DDR3和DDR4 SDRAM的PCB准则</a>”。在表5-5、表5-6、表5-7、表5-8、表5-9、表5-8和表5-11中, 更新了L2列。在<a href="#">图5-3</a>、<a href="#">图5-4</a>和<a href="#">图5-8</a>中, 更新了信号名称和连接。在<a href="#">图5-3</a>中, 已将CKE布线上拉至V<sub>TT</sub>。在<a href="#">图5-4</a>中, 更新了DQ宽度。更新了表5-11和表5-14。在<a href="#">图5-3</a>和<a href="#">图5-4</a>中, 对ECC单元添加了通道B。在<a href="#">图5-4</a>中, 已将末端过孔上拉至V<sub>TT</sub>。在<a href="#">图5-5</a>中, 添加了通道A标记。在<a href="#">图5-6</a>中, 更新了ECC单元。在表5-5到表5-11中, 更新了走线长度。在表5-9中, 更新了L3 Z<sub>diff</sub>。在<a href="#">图5-7</a>和<a href="#">图5-8</a>中, 已将DRAM替换为存储器器件。在表5-10中, 更新了L1间隔。更新了表5-13。添加了“<a href="#">对应Zynq UltraScale+ MPSoC中的PS接口的PCB准则</a>”。</p> <p><a href="#">附录A</a>: 在表A-3和表A-4中, 添加了注释。</p> <p><a href="#">附录C</a>: 在“<a href="#">参考资料</a>”中添加了《<a href="#">Zynq UltraScale+ MPSoC数据手册: DC和AC开关特性</a>》(DS925)。</p>

日期	版本	修订
2016 年 2 月 4 日	1.6	<p><b>第 1 章:</b> 在“按器件推荐的 PCB 电容”中，更新了位于资源使用情况项之后的段落。在表 1-2 中，为 XCKU035 和 XCKU040 添加了 SFVA784 封装，并为 XCKU095 添加了 FFVA1156 封装。在“0805 陶瓷电容器”中添加了脚注，其中包含电子英寸 (electrical inch) 的定义。</p> <p><b>第 2 章:</b> 更新了“简介”。在表 2-1 中，更新了注释。对“通用存储器布线准则”章节进行了重大修订，包括添加了表 2-2 到表 2-4 以及图 2-4 到图 2-6。添加“针对不同叠层进行调整”部分。在表 2-19 和表 2-9 中，更新了 cke[1:0] 和 reset_b 的描述。添加了图 2-17、图 2-27、图 2-21 和图 2-21。在表 2-22、表 2-15 和表 2-29 中，已将选通替换为 dqs。在表 2-24、表 2-17、表 2-31 和表 2-34 中，已将选通替换为 DQS、将时钟替换为 CK 并更新了注释 1。在表 2-25、表 2-18、表 2-32 和表 2-35 中，添加了新的行，并更新了注释 1 和 2。在表 2-31 中，更新了 CK 到 DQS 约束，并添加了注释 2 和 5。在表 2-34 中，更新了 CK 到 DQS 约束，并添加了注释 2。在表 2-78、表 2-85 和表 2-90 中，更新了注释 1。移除了“对应 LPDDR3 存储器的 PCB 准则”章节。</p> <p><b>第 7 章:</b> 在表 4-1 中，移除了所有封装中的 XCKU7P，并添加了 XCKU3P-FFVB676、XCKU3P-FFVD900、XCKU5P-SFVB784、XCKU5P-FFVA676 和 XCKU5P-FFVD900。在表 4-2 中更新了 XCVU9P、XCVU11P 和 XCVU13P 封装。在表 7-1 中添加了 A676 和 A1156 封装。</p> <p><b>第 4 章:</b> 在表 5-1 中，新增 XCZU15EG。在表 5-3 中，已将 VCCPSGTA 替换为 PS_MGTRAVCC、将 VCCPSDDR 替换为 VCC_PSINTFP_DDR，并为其它列标题添加了下划线。从第 2 章和扩展章节中移除了“对应无 ECC 的 LPDDR4 存储器的 PCB 准则”。新增“对应含 ECC 的 LPDDR4 存储器的 PCB 准则”。</p>
2015 年 11 月 24 日	1.5	添加了 UltraScale+ FPGA（第 7 章）和 Zynq UltraScale+ MPSoC 信息（第 4 章）。
2015 年 9 月 16 日	1.4	<p><b>第 1 章:</b> 在表 1-2 和表 1-3 中添加了 V<sub>CCO</sub> (bank 0) 列。</p> <p><b>第 2 章:</b> 在章节标题和“简介”中添加了 QDR-IV SRAM。在“通用存储器布线准则”中，更新了第 2、第 5、第 7 和第 8 项准则，并添加了第 3、第 4、第 9 和第 10 项准则。更新了图 2-10。在表 2-19 和表 2-9 中，为控制信号添加了 reset_b。在表 2-20、表 2-21、表 2-11、表 2-13、表 2-72、表 2-74 和表 2-80 中，更新了 L3 走线长度。在图 2-26、图 2-28、图 2-20、图 2-23、图 2-59 和图 2-67 中，移除了选定的 L2 引出线。在表 2-23、表 2-16、表 2-30、表 2-33、表 2-77、表 2-84、表 2-89 和表 2-58 中，更新了表格标题和最大长度/延迟约束列。在表 2-24、表 2-25、表 2-17、表 2-18、表 2-31、表 2-32、表 2-34、表 2-35、表 2-78、表 2-85、表 2-90 和表 2-59 中，添加了偏差约束 (mil) 列，并添加了表格注释。在“DDR3 SDRAM 地址、命令和控制飞越式终端”中，已将“器件”替换为“FPGA”。更新了表 2-17 标题。更新了表 2-32 标题以及数据到选通偏差约束。添加了表 2-35。更新了图 2-56。在表 2-70 和表 2-79 的描述中，移除了括号内的注释。在表 2-78 中添加了“qvld to qk_p/n”行。更新了图 2-68。在“QDR II+ SRAM 时钟 (K、K_B 和 BWS) T 型分支布线和终端”中已将 K_P/N 替换为 K 和 K_B。在“QDR II+ SRAM 时钟信号和数据信号 (d/k/k_b) 点对点布线”中已将 k_p/k_n 替换为 k/k_b。在“QDR II+ SRAM 时钟信号和数据信号 (q/cq/cq_b) 点对点布线”中已将 cq_p/cq_n 替换为 cq/cq_b。在表 2-85 中添加了信号组“k to k_b”和“q to q_b”。在表 2-59 中添加了信号组“ck_p to ck_n”。添加了“对应 QDR-IV SRAM 的 PCB 准则”。</p> <p><b>第 6 章:</b> 已将整章中的“pin”替换为“footprint”。更新了“1. 封装之间的引脚兼容性”。在第 196 页的“示例”中，已将 XCVU160 替换为 XCVU190。添加了“MGTRREF 和 MGTAVTTRCAL”。</p> <p><b>附录 A:</b> 新增附录。</p>

日期	版本	修订
2015 年 3 月 9 日	1.3	<p><b>第 1 章:</b> 在表 1-2 中, 添加了 XCKU035 和 XCKU100 器件, 并移除了有关 0402 2.2 <math>\mu\text{F}</math> 电容器的注释。添加了表 1-3。</p> <p><b>第 2 章:</b> 在整章中移除了 LPDDR2。在“通用存储器布线准则”中, 更新了第 4 和第 5 项准则。在“阻抗、长度和间隔准则”表中, 已将 L0 走线长度更新为 0.0~0.8/1.2。在表 2-21、表 2-13 和表 2-26 中, 已将 L1 走线长度更新为 L1 + 0.25。在表 2-23、表 2-16、表 2-30 和表 2-33 中, 更新了地址/命令/控制信号组。在表 2-24、表 2-25、表 2-17、表 2-18、表 2-31、表 2-34、表 2-78 和表 2-85 中, 更新了偏差约束。在表 2-24、表 2-25、表 2-17、表 2-18、表 2-34、表 2-78、表 2-85 和表 2-59 中, 添加了有关偏差规格的注释。在全文中更新了引用“通用存储器布线准则”中第 5 项的表格注释。在表 2-17 和表 2-34 中更新了“数据到选通 (data to strobe)”信号组的偏差约束。在表 2-78 中, 添加了对应差分信号的行。在表 2-80 中, 更新了所有走线长度。在表 2-83 中, 已将 L1 走线长度更新为 1.0~4.0。更新了图 2-56。更新了图 2-59 的标题。在图 2-65 中已移除“R = 50<math>\Omega</math>”标记。在图 2-66 中, 已为 CA 线添加了上拉电阻器。在图 2-52 和图 2-53 中, 已将 V<sub>TT</sub> 替换为 V<sub>DDQ</sub>, 并已将上拉电阻值从 120<math>\Omega</math> 更改为 60<math>\Omega</math>。在表 2-56 中, 已移除“地址/命令/控制中的间隔”行。</p> <p><b>第 6 章:</b> 新增章节。</p> <p><b>第 11 章:</b> 更新了“输入阈值”的第 2 段。更新了“V<sub>REF</sub> 稳定电容器”的第 2 段。</p> <p><b>附录 C:</b> 更新了“参考资料”中的文档列表。</p>
2014 年 12 月 1 日	1.2	<p><b>第 1 章:</b> 移除了要求客户运行其自有功耗完整性仿真的建议。在表 1-2 的注释 1 和 2 中, 已将“应 (该)”替换为“必须”, 并添加了注释 4。移除了表 1-2“Virtex UltraScale 器件电源去耦电容”。在表 1-14 中, 添加了对应 470 <math>\mu\text{F}</math> 的行、更新了 ESL 最大值, 并为 100 <math>\mu\text{F}</math>、47 <math>\mu\text{F}</math> 和 4.7 <math>\mu\text{F}</math> 电容器提供了器件编号建议。在“PCB 大电容 (Bulk Capacitor)”中, 在第 1 段中新增了 470 <math>\mu\text{F}</math>, 并在第 2 段中将氧化铌替换为聚合铝。</p> <p><b>第 2 章:</b> 在“基准叠层”的第 1 段中, 添加了有关内部信号层传输时间的语句。在表 2-1 中, 更新了“厚度”列。在“通用存储器布线准则”中, 添加了第 2、第 5 和第 6 项准则以及图 2-3。已在全文中将“长度匹配”替换为“偏差”。在所有偏差约束表中, 已将偏差约束列的单位从 mil 更改为皮秒, 并更新了注释。在偏差约束表后的重要注释中, 已将“布线长度”替换为“飞行时间”。已移除“DDR3 SDRAM ODT 设置”章节和“DDR4 SDRAM ODT 设置”章节。在所有阻抗、长度和间隔准则表中, L0 走线长度都已更新为 0~0.6/1.2 并添加了表格注释。添加了“DDR3/DDR4 UDIMM/RDIMM/SODIMM/LRDIMM 布线准则 (PL 和 PS)”。在“适用于蛤壳和飞越式配置的 RLDRAM 3 存储器拓扑和布线准则”中, 已将“深度”替换为“宽度”。在表 2-71 和表 2-72 中, 已将 PCB 过孔最大计数更新为 6。在表 2-72 到表 2-76 中, 已更新 L2 走线长度。更新了图 2-62 的标题。添加了图 2-63。在表 2-76 中, 已添加 Z<sub>0</sub> 参数, 并已移除 Z<sub>diff</sub> 和差分走线行。在图 2-65 中, 更新了 DATA IN 和 DATA OUT 端口。添加了图 2-66。添加了“对应 T 型分支配置的 QDR II+ SRAM 拓扑和布线准则”。已移除“QDR II+ SRAM 时钟 (k 和 cq) 差分点对点布线”章节。添加了“QDR II+ SRAM 时钟 (K、K_B 和 BWS) T 型分支布线和终端”。在“QDR II+ SRAM 时钟信号和数据信号 (d/k/k_b) 点对点布线”和“QDR II+ SRAM 时钟信号和数据信号 (q/cq/cq_b) 点对点布线”中, 添加了时钟。在图 2-72 中, 移除了电阻器。更新了表 2-85。在“LPDDR3 存储器地址、命令和控制点对点布线”中, 移除了“时钟”。在表 2-59 后, 添加了重要注释。</p> <p><b>第 10 章:</b> 在“单向拓扑图和终端”中, 移除了 VRN。</p> <p><b>第 11 章:</b> 在图 11-5 中, 已将“电感”替换为“阻抗”。</p>
2014 年 8 月 28 日	1.1	<p><b>第 1 章:</b> 在整章中, 已将 0603 电容器替换为 0805 电容器。在“按器件推荐的 PCB 电容”中, 添加了另一个网络示例、“建议”图标以及表 1-2。更新了表 1-2。在表 1-2 中, 更新了 4.7 <math>\mu\text{F}</math> 电容器的主体尺寸和额定电压, 并移除了有关 ESR 的注释 3。更新了“PCB 大电容”中的第 1 段。</p> <p><b>第 2 章:</b> 新增章节。</p> <p><b>第 11 章:</b> 在“噪声限制”中, 更新了第 1 段, 并更新了低频变化项。更新了“电感的作用”的第 1 段。在“电容器寄生电感”中, 更新了钽电容器的描述。更新了“电容器装载型电感”。在“FPGA 装载型电感”中, 更新了第 2 个利弊取舍项。在“噪声量级的测量”中, 更新了术语。</p> <p><b>附录 C:</b> 在“参考资料”中添加了《UltraScale 架构 GTY 收发器用户指南》(UG578)。</p>
2013 年 12 月 10 日	1.0	初始赛灵思版本。

# 目录

修订历史 .....	2
<b>第 1 章：UltraScale 器件中的配电系统</b>	
UltraScale 器件简介 .....	15
引言 .....	15
PCB 去耦电容 .....	16
按器件推荐的 PCB 电容 .....	16
针对 Kintex UltraScale 和 Virtex UltraScale 器件推荐的去耦电容数量 .....	18
针对 Kintex UltraScale+ 和 Virtex UltraScale+ 器件推荐的去耦电容数量 .....	20
针对 Zynq UltraScale+ 器件推荐的去耦电容数量 .....	23
电容器规格 .....	26
$V_{CC\_PSDDR\_PLL}$ 电源 .....	26
视频编解码单元（仅限 MPSoC EV 器件） .....	27
收发器 PCB 布线指南 .....	29
适用于 Zynq UltraScale+ MPSoC 的电源整合解决方案 .....	30
电源整合解决方案 .....	30
UltraScale+ 器件中 $V_{CCINT}$ 的最大电流汲取 .....	40
<b>第 2 章：对应存储器接口的 PCB 准则</b>	
简介 .....	46
基准叠层 .....	46
通用存储器布线准则 .....	48
针对不同叠层进行调整 .....	61
电介质材质 .....	61
走线宽度 .....	62
层高 .....	62
基本铜厚 .....	62
调整设计参数以达成阻抗目标的示例 .....	62
对应 DDR4 SDRAM (PL 和 PS) 的 PCB 准则 .....	63
简介 .....	63
DDR4 SDRAM 接口信号描述 .....	63
飞越式拓扑和蛤壳拓扑 .....	64
使用地址镜像来简化蛤壳布线 .....	64
对应 DDR4 SDRAM 的拓扑和布线准则 .....	65
DDR4 SDRAM 布线约束 .....	70
对应 DDR3/3L SDRAM (PL 和 PS) 的 PCB 准则 .....	72
简介 .....	72
DDR3 SDRAM 接口信号描述 .....	72
对应 DDR3 SDRAM 的拓扑和布线准则 .....	73
DDR3 SDRAM 布线约束 .....	77
DDR3/DDR4 UDIMM/RDIMM/SODIMM/LRDIMM 布线准则 (PL 和 PS) .....	79
DDR3/DDR4 DIMM 时钟点对点布线 .....	79
DDR3/DDR4 DIMM 控制、命令和地址布线 .....	80

DDR3/DDR4 DIMM 数据 (DQ 和 DQS) 布线 . . . . .	82
DDR3 UDIMM/RDIMM/SODIMM/LRDIMM 布线约束 . . . . .	84
DDR4 UDIMM/RDIMM/SODIMM/LRDIMM 布线约束 . . . . .	84
对应不含 ECC 的 LPDDR4 存储器 (PS) 的 PCB 准则 . . . . .	86
简介 . . . . .	86
不含 ECC 的 LPDDR4 x32 存储器接口信号和连接 . . . . .	86
LPDDR4 地址复制 . . . . .	89
不含 ECC 的 LPDDR4 接口拓扑和布线准则 . . . . .	90
不含 ECC 的 LPDDR4 长度和偏差约束 . . . . .	95
对应含 ECC 的 LPDDR4 存储器 (PS) 的 PCB 准则 . . . . .	96
简介 . . . . .	96
含 ECC 的 LPDDR4 x32 存储器接口信号和连接 . . . . .	96
LPDDR4 地址复制 . . . . .	99
含 ECC 的 LPDDR4 拓扑和布线准则 . . . . .	99
对应 LPDDR3 SDRAM (PL 和 PS) 的 PCB 准则 . . . . .	109
简介 . . . . .	109
LPDDR3 SDRAM 接口信号描述 . . . . .	109
LPDDR3 地址复制 . . . . .	109
VREFCA 和 VREFDQ . . . . .	110
x32 和 x64 LPDDR3 SDRAM 的设计示例 . . . . .	110
对应 LPDDR3 SDRAM 的拓扑和布线准则 . . . . .	111
LPDDR3 SDRAM 布线约束 . . . . .	117
对应 RLDRAM 3 存储器的 PCB 准则 . . . . .	118
简介 . . . . .	118
RLDRAM 3 存储器接口信号描述 . . . . .	119
适用于蛤壳和飞越式配置的 RLDRAM 3 存储器拓扑和布线准则 . . . . .	120
RLDRAM 3 存储器布线约束 . . . . .	128
对应 QDR II+ SRAM 的 PCB 准则 . . . . .	129
简介 . . . . .	129
QDR II+ SRAM 接口信号描述 . . . . .	129
双 QDR II+ SRAM 器件的设计示例 . . . . .	130
对应飞越式配置的 QDR II+ SRAM 拓扑和布线准则 . . . . .	131
其它 QDR II+ SRAM 布线准则 . . . . .	132
QDR II+ SRAM 布线约束 . . . . .	135
对应 QDR-IV SRAM 的 PCB 准则 . . . . .	136
简介 . . . . .	136
QDR-IV SRAM 接口信号描述 . . . . .	137
双 QDR-IV SRAM 器件的设计示例 . . . . .	137
QDR-IV 拓扑和布线准则 . . . . .	137
QDR-IV SRAM 布线约束 . . . . .	140
<b>第 3 章：适用于 Zynq UltraScale+ RFSoC 的 PCB 准则</b>	
适用于 RFSoC 数字电源轨的 PDN 准则 . . . . .	142
可编程逻辑电压轨供电 . . . . .	142
处理器系统电压轨的供电 . . . . .	145
PS-GTR 和 GTY 收发器的供电 . . . . .	145
Zynq UltraScale+ RFSoC 的最大电流汲取 . . . . .	145
ADC 和 DAC PCB 准则 . . . . .	147
模拟接地至数字接地连接 . . . . .	148
选择相应的平衡转换器 . . . . .	148
建议的时钟选项 . . . . .	150
模拟和时钟对布线 . . . . .	151
叠层样本 . . . . .	162

**第 4 章：适用于 Zynq UltraScale+ MPSoC 中的 PS 接口的 PCB 准则**

启动模式	177
CAN	177
DisplayPort	177
eMMC	177
以太网 MAC RGMII	177
以太网 MAC SGMII	178
I2C	178
JTAG	178
NAND 存储器控制器	178
PCIe	178
PS_INIT_B、PS_PROG_B 和 PS_DONE	178
PS 参考时钟	179
PS 复位（外部系统复位和 POR 复位）	179
QSPI	179
实时时钟	179
SATA	179
SD/SDIO	179
SPI	180
跟踪端口接口单元	180
三重定时器计数器	180
UART	180
USB 2.0	180
USB 3.0	180
看门狗定时器	180
PS-GTR 收发器接口	180
AC 耦合参考时钟	184
未使用的参考时钟	184
参考时钟电源	184
电源噪声	184
PCB 设计检查表	185

**第 5 章：面向 MIPI D-PHY 的 PCB 布线指南****第 6 章：UltraScale 器件与封装之间的移植**

UltraScale 器件移植检查表	189
1. 封装之间的引脚兼容性	189
2. 封装尺寸	191
3. I/O bank 和收发器四通道编号	194
4. HP/HR 移植	195
5. GTH/GTY 收发器移植	195
6. SLR 移植	196
7. 单片到堆叠硅片的移植	197
8. 存储器接口移植	198
9. DCI 级联和内部 V <sub>REF</sub> 功能	200
10. 系统监控器	202
11. 去耦电容	203
12. PCI Express 移植	204
13. Integrated 100G Ethernet 移植	204
14. Interlaken 移植	204
15. 功耗和热性能注意事项	205
16. 跨封装的管脚飞行时间	205

## 第 7 章：UltraScale 与 UltraScale+ FPGA 之间的移植

UltraScale+ FPGA 移植检查表 .....	206
1. 从 UltraScale 到 UltraScale+ FPGA 的封装移植 .....	206
2. UltraScale 与 UltraScale+ FPGA 之间的电压差异 .....	207
3. 电源电压电平和 VCCINT_IO 连接 .....	208
4. 从 UltraScale 移植到 UltraScale+ FPGA 的 I/O 变更 .....	209
5. 从 UltraScale 移植到 UltraScale+ FPGA 的收发器变更 .....	210
6. 配置 .....	211
7. 存储器接口 PCB 布线 .....	211
8. 系统监控器 I2C .....	212
9. 块 RAM .....	212
10. ESD 要求 .....	212
11. PCI Express .....	212
12. 移植示例 .....	212
13. 移植场景 .....	217

## 第 8 章：Zynq UltraScale+ MPSoC 与封装之间的移植

Zynq UltraScale+ MPSoC 移植检查表 .....	218
1. 封装之间的引脚兼容性 .....	218
2. I/O bank 和收发器四通道编号 .....	219
3. 不同速度等级和温度等级的功耗差异 .....	222
4. -3 速度移植 .....	222
5. VCU 移植 .....	222
6. GPU 移植 .....	223
7. 去耦电容 .....	223
8. PCI Express 移植 .....	223
9. Integrated 100G Ethernet 移植 .....	223
10. Interlaken 移植 .....	224
11. 功耗和热性能注意事项 .....	224
12. 跨封装的管脚飞行时间 .....	224

## 第 9 章：Virtex UltraScale+ VU13P 器件与 VU27P/VU29P 器件之间的移植

电源差异 .....	228
全新 VCCINT_GT 电压轨 .....	228
VRM 大小调整和去耦电容数量 .....	229
封装高度和散热设计差异 .....	231
封装高度 .....	231
散热设计 .....	231
封装飞行时间差异 .....	232
绑定 bank、未绑定 bank 和四通道的差异 .....	233
CMAC/PCIe 位置差异 .....	234
GTY/GTM 通道和时钟映射差异 .....	235
100G 以太网布局准则 .....	237

## 第 10 章：SelectIO 信号

接口类型 .....	238
单端接口和差分接口 .....	238
SDR 对比 DDR 接口 .....	238
单端信号 .....	239
模式和属性 .....	239
输入阈值 .....	239
拓扑图和终端 .....	239

## 第 11 章：PCB 技术基础知识

引言 .....	246
PCB 结构 .....	246
走线 .....	246
内电层 .....	246
过孔 .....	246
焊盘和反焊盘 .....	247
连接盘焊盘 .....	247
尺寸 .....	247
PDS 基本原则 .....	248
噪声限制 .....	248
电感的作用 .....	249
电容器寄生电感 .....	249
PCB 电流路径电感 .....	251
内电层电感 .....	252
电容器有效频率 .....	255
电容器抗谐振 .....	256
电容器布局背景 .....	256
$V_{REF}$ 稳定电容器 .....	257
电源整合 .....	257
未连接的 $V_{CCO}$ 管脚 .....	257
传输线 .....	257
回流 .....	258
PCB 材料和走线 .....	258
如何定义快速？ .....	258
介电损耗 .....	258
走线 .....	259
电缆 .....	262
仿真方法 .....	263
PDS 测量方法 .....	264
噪声量级的测量 .....	264
噪声频谱测量 .....	266
最优去耦网络设计 .....	268
故障排除 .....	268
可能问题 1：来自 PCB 上的其它器件的噪声过大 .....	268
可能问题 2：内电层、过孔或连接走线的寄生电感 .....	268
可能问题 3：PCB 中的 I/O 信号太强 .....	269
可能问题 4：I/O 信号回流穿过次优路径 .....	269

## 第 12 章：适用于高速信号过渡的设计

电容和电感过大 .....	270
时域反射法 .....	270
BGA 封装 .....	272
SMT 焊盘 .....	273
差分过孔 .....	278
P/N 交叉过孔 .....	279
SMA 连接器 .....	280
背板连接器 .....	280
微带线 / 带状线弯曲 .....	280

## 附录 A: 存储器降额表

## 附录 B: 材料属性和插入损耗

## 附录 C: 附加资源与法律声明

赛灵思资源.....	294
解决方案中心.....	294
Documentation Navigator 与设计中心.....	294
参考资料.....	294
请阅读: 重要法律提示.....	295

# UltraScale 器件中的配电系统

## UltraScale 器件简介

赛灵思 UltraScale™ 架构乃业界首款 ASIC 级架构，支持通过智能处理来实现每秒 10 万兆级系统性能，同时可高效完成片上数据的布线和处理操作。基于 UltraScale 架构的器件使用业界领先的技术创新（包括次世代布线、类 ASIC 时控、3D-on-3D IC、多处理器 SoC (MPSoC) 技术以及全新功耗降低功能等），可满足各种高带宽、高利用率系统的需求。这些器件共享大量构建块，支持跨工艺节点和产品系列的可扩展性，从而充分利用跨平台的系统级投资。

Virtex® UltraScale+™ 器件可在 FinFET 节点内提供最高的性能和集成功能，包括最高的串行 I/O 和信号处理带宽以及最高的片上存储器密度。作为业界最强大的 FPGA 系列，Virtex UltraScale+ 器件已成为包括 1+Tb/s 网络与数据中心以及完全集成的雷达/预警系统在内的各种应用的理想选择。

Virtex UltraScale 器件可提供 20 nm 级最强大的性能和集成能力，包括串行 I/O 带宽和逻辑容量。作为业界支持 20 nm 工艺节点的唯一高端 FPGA，此系列适合包括 400G 网络、大规模 ASIC 原型设计和仿真在内的各种应用。

Kintex® UltraScale+ 器件可在 FinFET 节点内实现价格、性能与功耗的最佳平衡，为包括收发器和存储器接口线速以及 100G 连接核在内的各种高端功能提供最经济实惠的解决方案。最新中端系列适合包处理和 DSP 密集型功能，也适合包括无线 MIMO 技术、Nx100G 网络和数据中心在内的各种应用。

Kintex UltraScale 器件支持实现 20 nm 级最佳价格、性能和功耗平衡，为中端器件、次世代收发器和低成本封装提供最高信号处理带宽，从而实现功能与经济性的最佳融合。此系列适用于 100G 网络和数据中心应用范围内的包处理，并可提供次世代医疗成像、8k4k 视频和异构无线基础架构所需的 DSP 密集型处理能力。

Zynq® UltraScale+ MPSoC 器件可提供 64 位处理器可扩展性，同时可将实时控制功能与软硬核引擎相结合，从而支持图形、视频、波形以及包处理操作。它通过集成基于 Arm® 的系统来提供高级分析功能并集成片上可编程逻辑来加速任务处理，为包括 5G 无线、次世代 ADAS 和工业物联网在内的各种应用创造出了无穷的可能性。

本用户指南对 UltraScale 架构 PCB 设计和管脚分配资源进行了描述，且包含在 UltraScale 架构文档套件内，此文档套件可从以下网址获取：[china.xilinx.com/ultrascale](http://china.xilinx.com/ultrascale)。

## 引言

本章概述了 UltraScale 器件的配电系统 (PDS)，包括去耦电容选择、布局和 PCB 几何结构。针对每种器件均提供了一种简单的去耦方法。其中涵盖了 PDS 设计基本原则以及仿真和分析方法。本章包含下列章节：

- “[PCB 去耦电容](#)”
- “[收发器 PCB 布线指南](#)”
- “[收发器 PCB 布线指南](#)”
- “[UltraScale+ 器件中 V<sub>CCINT</sub> 的最大电流汲取](#)”

# PCB 去耦电容

## 按器件推荐的 PCB 电容

如需查看对应 Kintex UltraScale 和 Virtex UltraScale 器件推荐的去耦电容数量列表，请参阅表 1-2 和表 1-3。如需查看对应 Kintex UltraScale+ 和 Virtex UltraScale+ 器件的去耦电容数量列表，请参阅表 1-4 和表 1-5。如需查看对应 Zynq UltraScale+ 器件的去耦电容数量列表，请参阅表 1-9。PCB 去耦电容最优数量假定电压调节器具有稳定的输出电压并且满足调节器制造商的最低输出电容要求。

用于去耦电容数量的假定如下所示。如果其中任何假定与实际设计存在明显差异，建议通过仿真来判断所需电容的实际数量（可能更高或更低）。去耦推荐是为了实现约 100 kHz 和 10-20 MHz 之间的最优化性能而设计的。

由于器件电容要求因 CLB 和 I/O 利用率而异，因此按器件基于超高利用率来提供 PCB 去耦准则以便涵盖大部分用例。资源利用率包括但不限于：

- 80% LUT 和寄存器 (245 MHz, 25% 翻转率)
- 80% 块 RAM 和 DSP (491 MHz, 50% 翻转率)
- 50% MMCM 和 25% PLL (500MHz)
- 25% I/O (SSTL 1.2/1.35, 1200 MHz, 40% 翻转率)
- 75% I/O (POD 1.2, 1200 MHz DDR 和 40% 翻转率)

可从赛灵思网站下载[可导入的 XPE 文件](#)，其中包含对应 KU9P FFVE900 器件内的上述利用率假设。

## 阶跃负载假设

针对每条主电压轨提供的阶跃负载假设都不尽相同。阶跃负载表示预计任意给定开关事件所需的动态电流百分比。[表 1-1](#) 列出了计算器件电容要求时所使用的阶跃负载百分比。

表 1-1：器件电容阶跃负载

电压轨	阶跃负载 (%)
$V_{CCINT}/V_{CCINT\_IO}$	25
$V_{CCBRAM}$	40
$V_{CCAUX}/V_{CCAUX\_IO}$	100
$V_{CCO}$ (HP/HR)	100

开关事件的斜率取决于设计，可预计其范围在 1 ns 到 100 ns（或更长）之间。设计电流越小通常电流斜率越快，而设计电流越大则斜率越慢。高电流设计的常用经验法则是阶跃电流斜率为每安培 0.25 ns（或 4 A/ns）。

[Xilinx Power Estimator \(XPE\) 工具](#)可用于估算每条电源轨上的电流。《Kintex UltraScale FPGA 数据手册：DC 和 AC 开关特性》(DS892) [参照 1] 和《Virtex UltraScale FPGA 数据手册：DC 和 AC 开关特性》(DS893) [参照 2] 可提供所有电源轨的工作范围。PCB 设计人员应确保电压调节器的交流纹波加上直流容差之和不超过其工作范围。

本用户指南中所示的电容器数值基于以下假设：

数据手册中  $V_{CCINT}$  工作范围 = 3%；

假定直流容差 = 1%；

因此，允许的交流纹波 = 3% - 1% = 2%。

使用 2% 交流纹波和 XPE 提供的电流估算值即可计算得到按以上资源利用率满足电容器建议所需的目标阻抗。目标阻抗的等式为：

$$V_{target} = \frac{VoltageRailValue \times \frac{\% Ripple}{100}}{StepLoadCurrent}$$
 等式 1-1

$V_{CCINT}$ 、 $V_{CCAUX}$  和  $V_{CCBRAM}$  电容器列为每个器件的数量，而  $V_{CCO}$  电容器则列为每个 I/O bank 的数量。使用这些推荐网络时，所有器件间满利用率的器件性能都相等。

表 1-2 到 表 1-9 不提供 GTY 或 GTH 收发器电源所需的去耦网络。如需了解此信息，请参阅《UltraScale 架构 GTH 收发器用户指南》(UG576) [参照 6] 或《UltraScale 架构 GTY 收发器用户指南》(UG578) [参照 7]。



**建议：**请参阅《UltraScale 架构原理图查看检查表》(XTP344) [参照 8] 和《UltraScale+ FPGA 和 Zynq UltraScale+ MPSoC 原理图查看检查表》(XTP427) [参照 18]，以获取完整的原理图查看检查表，作为本用户指南的补充。

**注释：**电容器值和器件编号均已按各供应商的最新产品完成了更新，因为本用户指南前版本中的部分器件编号寿命已终结。新准则中的电容器的温度范围(X6S)比先前器件编号更宽，并且在全频率范围内均从钽/陶瓷电容器组合转向纯陶瓷电容器。先前电容器表和规格对于现有设计仍有效，但对于新设计，推荐使用电流表和规格。

## 针对 Kintex UltraScale 和 Virtex UltraScale 器件推荐的去耦电容数量

表 1-2 和表 1-3 显示了针对 Kintex UltraScale 和 Virtex UltraScale 器件推荐的去耦电容数量。

表 1-2: Kintex UltraScale 器件去耦电容推荐

	$V_{CCINT}/V_{CCINT\_IO}$ <sup>(1)</sup>				$V_{CCBRAM}$		$V_{CCAUX}/V_{CCAUX\_IO}$ <sup>(2)</sup>		HRIo/HPIO <sup>(3)</sup> (每个 bank)	
	330 $\mu$ F	100 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F
XCKU025-FFVA1156	1	4	1	1	1	1	1	1	1	1
XCKU035-FBVA676	1	5	1	1	1	1	1	1	1	1
XCKU035-SFVA784	1	5	1	1	1	1	1	1	1	1
XCKU035-FBVA900	1	5	1	1	1	1	1	1	1	1
XCKU035-FFVA1156	1	5	1	1	1	1	1	1	1	1
XCKU040-FBVA676 XQKU040-RBA676	1	5	1	1	1	1	1	1	1	1
XCKU040-SFVA784 XQKU040-RFA1156	1	5	1	1	1	1	1	1	1	1
XCKU040-FBVA900	1	5	1	1	1	1	1	1	1	1
XCKU040-FFVA1156	1	5	1	1	1	1	1	1	1	1
XCKU060-FFVA1156 XQKU060-RFA1156	1	5	1	1	1	1	1	1	1	1
XCKU060-FFVA1517	1	5	1	1	1	1	1	1	1	1
XCKU085-FLVA1517	2	6	1	1	1	1	1	1	1	1
XCKU085-FLVB1760	2	6	1	1	1	1	1	1	1	1
XCKU085-FLVF1924	2	6	1	1	1	1	1	2	1	1
XCKU095-FFVA1156 XQKU095-RFA1156	1	5	1	1	1	1	1	1	1	1
XCKU095-FFVC1517	1	5	1	1	1	1	1	1	1	1
XCKU095-FFVB1760	1	5	1	1	1	1	1	1	1	1
XCKU095-FFVB2104	1	5	1	1	1	1	1	2	1	1
XCKU115-FLVA1517	2	7	2	2	1	1	1	1	1	1
XCKU115-FLVD1517 XQKU115-RLD1517	2	7	2	2	1	1	1	1	1	1
XCKU115-FLVB1760	2	7	2	2	1	1	1	1	1	1
XCKU115-FLVD1924	2	7	2	2	1	1	1	1	1	1
XCKU115-FLVF1924 XQKU115-RLF1924	2	7	2	2	1	1	1	2	1	1
XCKU115-FLVA2104	2	7	2	2	1	1	1	2	1	1

表1-2：Kintex UltraScale器件去耦电容推荐（续）

	V <sub>CCINT</sub> /V <sub>CCINT_IO</sub> <sup>(1)</sup>				V <sub>CCBRAM</sub>		V <sub>CCAUX</sub> /V <sub>CCAUX_IO</sub> <sup>(2)</sup>		HRIO/HPIO <sup>(3)</sup> （每个bank）	
	330 μF	100 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF
XCKU115-FLVB2104	2	7	2	2	1	1	1	2	1	1

注释：

1. 假定采用组合式 V<sub>CCINT</sub>/V<sub>CCINT\_IO</sub> 内电层或组合式 V<sub>CCINT</sub>/V<sub>CCINT\_IO</sub>/V<sub>CCBRAM</sub> 内电层。2. V<sub>CCAUX</sub> 与 V<sub>CCAUX\_IO</sub> 在 PCB 上必须共享同一个内电层。

3. 47 μF 电容器可按每 4 个共享 HRIO/HPIO bank 为一组合而为一。

表1-3：Virtex UltraScale器件去耦电容推荐

	V <sub>CCINT</sub> /V <sub>CCINT_IO</sub> <sup>(1)</sup>				V <sub>CCBRAM</sub>		V <sub>CCAUX</sub> /V <sub>CCAUX_IO</sub> <sup>(2)</sup>		HRIO/HPIO <sup>(3)</sup> （每个bank）	
	330 μF	100 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF
XCVU065-FFVC1517	1	5	1	1	1	1	1	1	1	1
XCVU080-FFVC1517	1	5	1	1	1	1	1	1	1	1
XCVU080-FFVD1517	1	5	1	1	1	1	1	1	1	1
XCVU080-FFVB1760	1	5	1	1	1	1	1	1	1	1
XCVU080-FFVA2104	1	5	1	1	1	1	1	2	1	1
XCVU080-FFVB2104	1	5	1	1	1	1	1	2	1	1
XCVU095-FFVC1517	1	5	1	1	1	1	1	1	1	1
XCVU095-FFVD1517	1	5	1	1	1	1	1	1	1	1
XCVU095-FFVB1760	1	5	1	1	1	1	1	1	1	1
XCVU095-FFVA2104	1	5	1	1	1	1	1	2	1	1
XCVU095-FFVB2104	1	5	1	1	1	1	1	2	1	1
XCVU095-FFVC2104	1	5	1	1	1	1	1	1	1	1
XCVU125-FLVD1517	2	6	1	1	1	1	1	1	1	1
XCVU125-FLVB1760	2	6	1	1	1	1	1	1	1	1
XCVU125-FLVA2104	2	6	1	1	1	1	1	2	1	1
XCVU125-FLVB2104	2	6	1	1	1	1	1	2	1	1
XCVU125-FLVC2104	2	6	1	1	1	1	1	2	1	1
XCVU160-FLGB2104	2	7	2	2	1	1	1	2	1	1
XCVU160-FLGC2104	2	7	2	2	1	1	1	2	1	1
XCVU190-FLGB2104	3	7	3	1	1	1	1	2	1	1
XCVU190-FLGC2104	3	7	3	1	1	1	1	2	1	1
XCVU190-FLGA2577	3	7	3	1	1	1	1	2	1	1
XCVU440-FLGB2377	5	11	7	17	1	2	2	4	1	1

表 1-3：Virtex UltraScale 器件去耦电容推荐（续）

	V <sub>CCINT</sub> /V <sub>CCINT_IO</sub> <sup>(1)</sup>				V <sub>CCBRAM</sub>		V <sub>CCAUX</sub> /V <sub>CCAUX_IO</sub> <sup>(2)</sup>		HRIO/HPIO <sup>(3)</sup> （每个 bank）	
	330 μF	100 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF
XCVU440-FLGA2892	5	11	7	17	1	2	2	4	1	1

注释：

1. 假定采用组合式 V<sub>CCINT</sub>/V<sub>CCINT\_IO</sub> 内电层或组合式 V<sub>CCINT</sub>/V<sub>CCINT\_IO</sub>/V<sub>CCBRAM</sub> 内电层。

2. V<sub>CCAUX</sub> 与 V<sub>CCAUX\_IO</sub> 在 PCB 上必须共享同一个内电层。

3. 47 μF 电容器可按每 4 个共享 HRIO/HPIO bank 为一组合而为一。

## 针对 Kintex UltraScale+ 和 Virtex UltraScale+ 器件推荐的去耦电容数量

表 1-4 和表 1-5 显示了针对 Kintex UltraScale+ 和 Virtex UltraScale+ 器件（包括支持 58G 的器件和 HBM 器件）推荐的去耦电容数量。

表 1-4：Kintex UltraScale+ FPGA 去耦电容推荐

	V <sub>CCINT</sub> /V <sub>CCINT_IO</sub> <sup>(1)</sup>				V <sub>CCBRAM</sub> /V <sub>CCINT_IO</sub> <sup>(2)</sup>		V <sub>CCAUX</sub> /V <sub>CCAUX_IO</sub> <sup>(3)</sup>		HDIO/HPIO <sup>(4)</sup> （每个 bank）	
	330 μF	100 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF
XCKU3P-SFVB784	1	4	1	1	1	1	1	1	1	1
XCKU3P-FFVA676	1	4	1	1	1	1	1	1	1	1
XCKU3P-FFVB676	1	4	1	1	1	1	1	1	1	1
XCKU3P-FFVD900	1	4	1	1	1	1	1	1	1	1
XCKU5P-SFVB784 XQKU5P-SFRB784	1	5	1	1	1	1	1	1	1	1
XCKU5P-FFVA676	1	5	1	1	1	1	1	1	1	1
XCKU5P-FFVB676 XQKU5P-FFRB676	1	5	1	1	1	1	1	1	1	1
XCKU5P-FFVD900	1	5	1	1	1	1	1	1	1	1
XCKU9P-FFVE900	1	5	1	1	1	1	1	1	1	1
XCKU11P-FFVD900	1	5	1	1	1	1	1	1	1	1
XCKU11P-FFVA1156	1	5	1	1	1	1	1	1	1	1
XCKU11P-FFVE1517	1	5	1	1	1	1	1	1	1	1
XCKU13P-FFVE900	1	5	1	1	1	1	1	1	1	1
XCKU15P-FFVA1156 XQKU15P-FFRA1156	1	5	1	1	1	1	1	1	1	1
XCKU15P-FFVE1517 XQKU15P-FFRE1517	1	5	1	1	1	1	1	1	1	1
XCKU15P-FFVA1760	1	5	1	1	1	1	1	1	1	1

表 1-4：Kintex UltraScale+ FPGA 去耦电容推荐（续）

	V <sub>CCINT</sub> /V <sub>CCINT_IO</sub> <sup>(1)</sup>				V <sub>CCBRAM</sub> /V <sub>CCINT_IO</sub> <sup>(2)</sup>		V <sub>CCAUX</sub> /V <sub>CCAUX_IO</sub> <sup>(3)</sup>		HDIO/HPIO <sup>(4)</sup> (每个 bank)	
	330 μF	100 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF
XCKU15P-FFVE1760	1	5	1	1	1	1	1	1	1	1

注释：

1. 在 PCB 上针对 -3、-2 和 -1 速度等级将 V<sub>CCINT</sub> 与 V<sub>CCINT\_IO</sub> 连接在一起。
2. 在 PCB 上针对 -2L 和 -1L 速度等级将 V<sub>CCBRAM</sub> 与 V<sub>CCINT\_IO</sub> 连接在一起。
3. V<sub>CCAUX</sub> 与 V<sub>CCAUX\_IO</sub> 在 PCB 上必须共享同一个内电层。
4. 47 μF 电容器可按每 4 个共享 HDIO/HPIO bank 为一组而为一。

表 1-5：Virtex UltraScale+ FPGA 去耦电容推荐

	V <sub>CCINT</sub> /V <sub>CCINT_IO</sub> <sup>(1)</sup>				V <sub>CCBRAM</sub> /V <sub>CCINT_IO</sub> <sup>(2)</sup>		V <sub>CCAUX</sub> /V <sub>CCAUX_IO</sub> <sup>(3)</sup>		HPIO/HDIO <sup>(4)</sup> (每个 bank)	
	330 μF	100 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF	47 μF	10 μF
XCVU3P-FFVC1517 XQVU3P-FFRC1517	1	5	1	1	1	1	1	1	1	1
XCVU5P-FLVA2104	2	6	1	1	1	1	2	2	1	1
XCVU5P-FLVB2104	2	6	1	1	1	1	2	2	1	1
XCVU5P-FLVC2104	2	6	1	1	1	1	2	2	1	1
XCVU7P-FLVA2104 XQVU7P-FLRA2104	2	7	2	2	1	1	2	2	1	1
XCVU7P-FLVB2104 XQVU7P-FLRB2104	2	7	2	2	1	1	2	2	1	1
XCVU7P-FLVC2104	2	7	2	2	1	1	2	2	1	1
XCVU9P-FLGA2104	3	8	3	4	1	2	2	2	1	1
XCVU9P-FLGB2104	3	8	3	4	1	2	2	2	1	1
XCVU9P-FLGC2104	3	8	3	4	1	2	2	2	1	1
XCVU9P-FSGD2104	3	8	3	4	1	2	2	2	1	1
XCVU9P-FLGA2577	3	8	3	4	1	2	2	2	1	1
XCVU11P-FLGF1924	4	9	4	8	1	2	1	2	1	1
XCVU11P-FLGB2104	4	9	4	8	1	2	1	2	1	1
XCVU11P-FLGC2104 XQVU11P-FLRC2104	4	9	4	8	1	2	1	2	1	1
XCVU11P-FSGD2104	4	9	4	8	1	2	1	2	1	1
XCVU11P-FLGA2577	4	9	4	8	1	2	1	2	1	1
XCVU13P-FHGA2104	5	11	6	16	1	2	2	2	1	1
XCVU13P-FHGB2104	5	11	6	16	1	2	2	2	1	1
XCVU13P-FHGC2104	5	11	6	16	1	2	2	2	1	1
XCVU13P-FIGD2104	5	11	6	16	1	2	2	2	1	1
XCVU13P-FLGA2577	5	11	6	16	1	2	2	2	1	1

表 1-5：Virtex UltraScale+ FPGA 去耦电容推荐（续）

	$V_{CCINT}/V_{CCINT\_IO}$ <sup>(1)</sup>				$V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(2)</sup>		$V_{CCAUX}/V_{CCAUX\_IO}$ <sup>(3)</sup>		HPIO/HDIO <sup>(4)</sup> (每个 bank)	
	330 $\mu F$	100 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$
XCVU13P-FSGA2577	5	11	6	16	1	2	2	2	1	1
XCVU19P-FSVA3824 <sup>(5)</sup>	5	11	26	14	2	3	3	5	1	1
XCVU19P-FSVA3824（厚板） <sup>(6)(7)</sup>	5	11	40	40	4	4	6	6	1	2
XCVU19P-FSVB3824 <sup>(5)</sup>	5	11	26	14	2	3	3	5	1	1
XCVU19P-FSVB3824（厚板） <sup>(6)(7)</sup>	5	11	40	40	4	4	6	6	1	2
XCVU23P-VSVA1365	2	6	1	1	1	1	2	2	1	1

注释：

- 针对 -3、-2 和 -1 速度等级将  $V_{CCINT}$  与  $V_{CCINT\_IO}$  连接在一起。
- 针对 -2L 和 -1L 速度等级将  $V_{CCBRAM}$  与  $V_{CCINT\_IO}$  连接在一起。
- $V_{CCAUX}$  与  $V_{CCAUX\_IO}$  在 PCB 上必须共享同一个内电层。
- 47  $\mu F$  电容器可按每 4 个 HPIO bank 为一组合而为一。
- XCVU19P 器件的封装底部具有底面电容 (LSC)，因此相比于其它大小相似的器件，PCB 上所需电容低 10  $\mu F$ 。
- 对应于厚度约  $\geq 200$  mil 的开发板。
- 建议对 XCVU19P 器件进行封边。请参阅《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) [参照 9] 的“散热规格”章节，以了解封边准则。

表 1-6：针对支持 58G 的器件的 Virtex UltraScale+ FPGA 去耦电容推荐

	$V_{CCINT}$ 或 $V_{CCINT}/V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(1)(2)</sup> $V_{CCINT\_GT}$				$V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(1)(2)</sup> $V_{CCINT\_GT}$		$V_{CCAUX}/V_{CCAUX\_IO}$ <sup>(3)</sup>		HPIO <sup>(4)</sup> (每个 bank)	
	330 $\mu F$	100 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$
XCVU27P-FIGD2104	3	9	4	8	1	2	1	2	1	1
XCVU27P-FSGA2577	3	9	4	8	1	2	1	2	1	1
XCVU29P-FIGD2104	4	10	6	15	1	2	2	2	1	1
XCVU29P-FSGA2577	4	10	6	15	1	2	2	2	1	1

注释：

- 对于非 -2LE 器件，请将  $V_{CCINT}$ 、 $V_{CCBRAM}$ 、 $V_{CCINT\_IO}$  和  $V_{CCINT\_GT}$  组合到 PCB 上的同一内电层上。
- 对于 -2LE 器件，采用独立  $V_{CCINT}$ 。将  $V_{CCBRAM}$ 、 $V_{CCINT\_IO}$  和  $V_{CCINT\_GT}$  组合到 PCB 上的同一内电层上。
- $V_{CCAUX}$  与  $V_{CCAUX\_IO}$  在 PCB 上必须共享同一个内电层。
- 47  $\mu F$  电容器可按每 4 个共享 HPIO bank 为一组合而为一。

表 1-7：针对 HBM 器件的 Virtex UltraScale+ FPGA 去耦电容推荐

	$V_{CCINT}$ 或 $V_{CCINT}/V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(1)</sup>				$V_{CCBRAM}/V_{CCINT\_IO}$		$V_{CCAUX}/V_{CCAUX\_IO}$ <sup>(2)</sup>		HPIO <sup>(3)</sup> (每个 bank)	
	330 $\mu F$	100 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$
XCVU31P-FSVH1924	1	5	1	1	1	2	1	1	1	1
XCVU33P-FSVH2104	1	5	1	1	1	2	1	1	1	1
XCVU35P-FSVH2104	2	7	2	2	1	2	1	1	1	1

表 1-7：针对 HBM 器件的 Virtex UltraScale+ FPGA 去耦电容推荐（续）

	$V_{CCINT}$ 或 $V_{CCINT}/V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(1)</sup>				$V_{CCBRAM}/V_{CCINT\_IO}$		$V_{CCAUX}/V_{CCAUX\_IO}$ <sup>(2)</sup>		HPIO <sup>(3)</sup> (每个 bank)	
	330 $\mu F$	100 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$
XCVU35P-FSVH2892	2	7	2	2	1	2	1	1	1	1
XCVU37P-FSVH2892	3	9	4	8	1	2	2	2	1	1
XCVU45P-FSVH2104	2	7	2	2	1	2	1	1	1	1
XCVU45P-FSVH2892	2	7	2	2	1	2	1	1	1	1
XCVU47P-FSVH2892	3	9	4	8	1	2	2	2	1	1

注释：

1.  $V_{CCINT}$  可独立使用或者也可与  $V_{CCBRAM}$  和  $V_{CCINT\_IO}$  组合到同一内电层上。2.  $V_{CCAUX}$  与  $V_{CCAUX\_IO}$  在 PCB 上必须共享同一个内电层。3. 47  $\mu F$  电容器可按每 4 个共享 HPIO bank 为一组合而为一。

表 1-8：针对 Virtex UltraScale+ 器件 HBM 轨的去耦电容推荐

	$V_{CC\_HBM}$			$V_{CC\_IO\_HBM}$			$V_{CCAUX\_HBM}$	
	100 $\mu F$	47 $\mu F$	10 $\mu F$	100 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$
VU31P、VU33P、 VU35P、VU37P、 VU45P 和 VU47P	1	1	2	1	1	1	1	1

注释：

1. 这些推荐因堆栈而异。

2.  $V_{CC\_HBM}$  的阶跃负载假设约为每个堆栈 1A，针对  $V_{CC\_IO\_HBM}$  约为每个堆栈 2A。

## 针对 Zynq UltraScale+ 器件推荐的去耦电容数量

表 1-9 显示了针对 Zynq UltraScale+ 器件推荐的去耦电容数量。

表 1-9：Zynq UltraScale+ MPSoC 去耦电容推荐

	$V_{CCINT}/V_{CCINT\_IO}$ <sup>(1)</sup>				$V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(2)</sup>		$V_{CCAUX}/V_{CCAUX\_IO}$ <sup>(3)</sup>		HDIO/HPIO <sup>(4)</sup> (每个 bank)	
	330 $\mu F$	100 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$	47 $\mu F$	10 $\mu F$
CG 器件										
XCZU2CG-SBVA484	1	4	1	1	1	1	1	1	1	1
XCZU2CG-SFVA625	1	4	1	1	1	1	1	1	1	1
XCZU2CG-SFVC784	1	4	1	1	1	1	1	1	1	1
XCZU3CG-SBVA484	1	4	1	1	1	1	1	1	1	1
XCZU3CG-SFVA625	1	4	1	1	1	1	1	1	1	1
XCZU3CG-SFVC784	1	4	1	1	1	1	1	1	1	1
XCZU4CG-SFVC784	1	4	1	1	1	1	1	1	1	1
XCZU4CG-FBVB900	1	4	1	1	1	1	1	1	1	1
XCZU5CG-SFVC784	1	4	1	1	1	1	1	1	1	1

表1-9：Zynq UltraScale+ MPSoC去耦电容推荐（续）

	$V_{CCINT}/V_{CCINT\_IO}$ <sup>(1)</sup>				$V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(2)</sup>		$V_{CCAUX}/V_{CCAUX\_IO}$ <sup>(3)</sup>		HDO/HPIO <sup>(4)</sup> (每个bank)	
	330 $\mu$ F	100 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F
XCZU5CG-FBVB900	1	4	1	1	1	1	1	1	1	1
XCZU6CG-FFVC900	1	5	1	1	1	1	1	1	1	1
XCZU6CG-FFVB1156	1	5	1	1	1	1	1	1	1	1
XCZU7CG-FBVB900	1	5	1	1	1	1	1	1	1	1
XCZU7CG-FFVC1156	1	5	1	1	1	1	1	1	1	1
XCZU7CG-FFVF1517	1	5	1	1	1	1	1	1	1	1
XCZU9CG-FFVC900	1	5	1	1	1	1	1	1	1	1
XCZU9CG-FFVB1156	1	5	1	1	1	1	1	1	1	1
EG 器件										
XCZU2EG-SBVA484	1	4	1	1	1	1	1	1	1	1
XCZU2EG-SFVA625	1	4	1	1	1	1	1	1	1	1
XCZU2EG-SFVC784	1	4	1	1	1	1	1	1	1	1
XCZU3EG-SBVA484 XQZU3EG-SFRA484	1	4	1	1	1	1	1	1	1	1
XCZU3EG-SFVA625	1	4	1	1	1	1	1	1	1	1
XCZU3EG-SFVC784 XQZU3EG-SFRC784	1	4	1	1	1	1	1	1	1	1
XCZU4EG-SFVC784	1	4	1	1	1	1	1	1	1	1
XCZU4EG-FBVB900	1	4	1	1	1	1	1	1	1	1
XCZU5EG-SFVC784	1	4	1	1	1	1	1	1	1	1
XCZU5EG-FBVB900	1	4	1	1	1	1	1	1	1	1
XCZU6EG-FFVC900	1	5	1	1	1	1	1	1	1	1
XCZU6EG-FFVB1156	1	5	1	1	1	1	1	1	1	1
XCZU7EG-FBVB900	1	5	1	1	1	1	1	1	1	1
XCZU7EG-FFVC1156	1	5	1	1	1	1	1	1	1	1
XCZU7EG-FFVF1517	1	5	1	1	1	1	1	1	1	1
XCZU9EG-FFVC900 XQZU9EG-FFRC900	1	5	1	1	1	1	1	1	1	1
XCZU9EG-FFVB1156 XQZU9EG-FFRB1156	1	5	1	1	1	1	1	1	1	1
XCZU11EG-FFVC1156 XQZU11EG-FFRC1156	1	5	1	1	1	1	1	1	1	1
XCZU11EG-FFVB1517	1	5	1	1	1	1	1	1	1	1
XCZU11EG-FFVF1517	1	5	1	1	1	1	1	1	1	1
XCZU11EG-FFVC1760 XQZU11EG-FFRC1760	1	5	1	1	1	1	1	1	1	1

表 1-9：Zynq UltraScale+ MPSoC 去耦电容推荐（续）

	$V_{CCINT}/V_{CCINT\_IO}$ <sup>(1)</sup>				$V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(2)</sup>		$V_{CCAUX}/V_{CCAUX\_IO}$ <sup>(3)</sup>		HDIO/HPIO <sup>(4)</sup> (每个 bank)	
	330 $\mu$ F	100 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F
XCZU15EG-FFVC900 XQZU15EG-FFRC900	1	5	1	1	1	1	1	1	1	1
XCZU15EG-FFVB1156 XQZU15EG-FFRB1156	1	5	1	1	1	1	1	1	1	1
XCZU17EG-FFVB1517	1	5	1	1	1	1	1	1	1	1
XCZU17EG-FFVC1760	1	5	1	1	1	1	1	1	1	1
XCZU17EG-FFVD1760	1	5	1	1	1	1	1	1	1	1
XCZU17EG-FFVE1924	1	5	1	1	1	1	1	1	1	1
XCZU19EG-FFVB1517 XQZU19EG-FFRB1517	1	5	1	1	1	1	1	1	1	1
XCZU19EG-FFVC1760 XQZU19EG FFRC1760	1	5	1	1	1	1	1	1	1	1
XCZU19EG-FFVD1760	1	5	1	1	1	1	1	1	1	1
XCZU19EG-FFVE1924	1	5	1	1	1	1	1	2	1	1
EV 器件										
XCZU4EV-SFVC784	1	4	1	1	1	1	1	1	1	1
XCZU4EV-FBVB900	1	4	1	1	1	1	1	1	1	1
XCZU5EV-SFVC784 XQZU5EV-SFRC784	1	4	1	1	1	1	1	1	1	1
XCZU5EV-FBVB900 XQZU5EV-FFRB900	1	4	1	1	1	1	1	1	1	1
XCZU7EV-FBVB900 XQZU7EV-FFRB900	1	5	1	1	1	1	1	1	1	1
XCZU7EV-FFVC1156 XQZU7EV-FFRB1156	1	5	1	1	1	1	1	1	1	1
XCZU7EV-FFVF1517	1	5	1	1	1	1	1	1	1	1
RFSoC 器件										
请参阅第 3 章“适用于 Zynq UltraScale+ RFSoC 的 PCB 准则”。										

注释：

- 在 PCB 上针对 -3、-2 和 -1 速度等级将  $V_{CCINT}$  与  $V_{CCINT\_IO}$  连接在一起。
- 在 PCB 上针对 -2L 和 -1L 速度等级将  $V_{CCBRAM}$  与  $V_{CCINT\_IO}$  连接在一起。
- $V_{CCAUX}$  与  $V_{CCAUX\_IO}$  在 PCB 上必须共享同一个内电层。
- 47  $\mu$ F 电容器可按每 4 个共享 HDIO/HPIO bank 为一组而为一。

表 1-10：Zynq UltraScale+ MPSoC PS 去耦电容推荐

$V_{CC\_PSINTFP}$		$V_{CC\_PSINTLP}$		$V_{CC\_PSAUX}$		$V_{CC\_PSPLL}$		$V_{CC\_PSINTFP\_DDR}$		$V_{CCO\_PSIOx}$ <sup>(1)</sup> (每个)		$V_{CC\_PSBATT}$	$V_{CCO\_PSDDR}$	
100 $\mu F$	10 $\mu F$	100 $\mu F$	10 $\mu F$	100 $\mu F$	10 $\mu F$	100 $\mu F$	10 $\mu F$	100 $\mu F$	10 $\mu F$	100 $\mu F$	10 $\mu F$	100 $\mu F$	10 $\mu F$	
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注释：

- 100  $\mu F$  电容器可按每 4 个共享  $V_{CCO\_PSIO}$  bank 为一组合而为一。
- 对于 PS\_MGTRAVCC 和 PS\_MGTRAVTT，请各使用 1 个 10  $\mu F$  电容器。请参阅[第 4 章“适用于 Zynq UltraScale+ MPSoC 中的 PS 接口的 PCB 准则”](#)。

## 电容器规格

[表 1-11](#) 列出了判定本章中的 PCB 去耦表时所使用的电容器规格。可使用替代器件来满足特定设计要求，并利用仿真来确保适用性。

表 1-11：推荐的 PCB 电容器规格和布局指南

额定值 ( $\mu F$ )	外壳尺寸	温度/变更 (%)	制造商	制造商部件编号	FPGA/MPSOC 上的理想布局 <sup>(1)</sup>
330	1210	X6S	Murata	GRM32EC80E337ME05	1-4 英寸
100	0805	X6S	Murata	GRM21BC80G107ME15	0.5-3 英寸
47	0603	X6S	Murata	GRM188C80E476ME05	0.5-2 英寸
10	0402	X6S	Murata	GRM155C80J106ME11D	0-1 英寸 <sup>(2)</sup>

注释：

- 理想布局的目的是最大限度减少从电容器到 FPGA/MPSOC 的扩散电感。
- 赛灵思建议将 0402 电容器直接布局到开发板反面的 FPGA 占板面积下。这样可最大限度减少扩散电感，从而最大限度提升效率。

## $V_{CC\_PSDDR\_PLL}$ 电源

$V_{CC\_PSDDR\_PLL}$  为 1.8V 额定电源，可向用于 PS DDR 控制器的 PLL 供电。它可单独供电或者也可通过  $V_{CC\_PSAUX}$  电源供电。如果由  $V_{CC\_PSAUX}$  供电，则  $V_{CC\_PSDDR\_PLL}$  必须通过  $120\Omega$  @ 100 MHz 且大小为 0603 的铁氧体磁珠以及不低于 10  $\mu F$  且大小为 0603 的去耦电容进行滤波。在这两种情况下，1.0  $\mu F$  0201 或 10  $\mu F$  0402 电容器都必须布局在  $V_{CC\_PSDDR\_PLL}$  BGA 过孔附近。

必须谨慎管理  $V_{CC\_PSDDR\_PLL}$  电源的 PCB 结构。0603 电容器与  $V_{CC\_PSDDR\_PLL}$  BGA 球之间的推荐连接方式为小平面，最小宽度为 80 mil (2 mm)，长度小于 3,000 mil (76 mm)。如果无法使用小平面，则必须使用最大阻抗为  $40\Omega$  且长度小于 2,000 mil (50.8 mm) 的走线。0201 或 0402 电容器布局位置应尽可能靠近 FPGA，并且走线长度应尽可能短。[图 1-1](#) 显示了  $V_{CC\_PSDDR\_PLL}$  由  $V_{CC\_PSAUX}$  供电时使用的滤波和局部电容器电路示例。

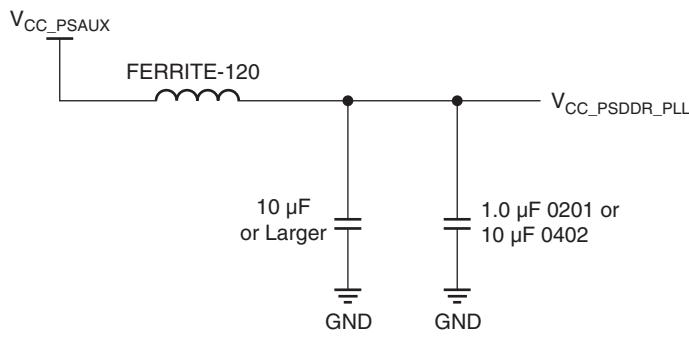
图 1-1：连接  $V_{CC\_PSDDR\_PLL}$ 

图 1-2 显示了相同滤波电路的布局示例。

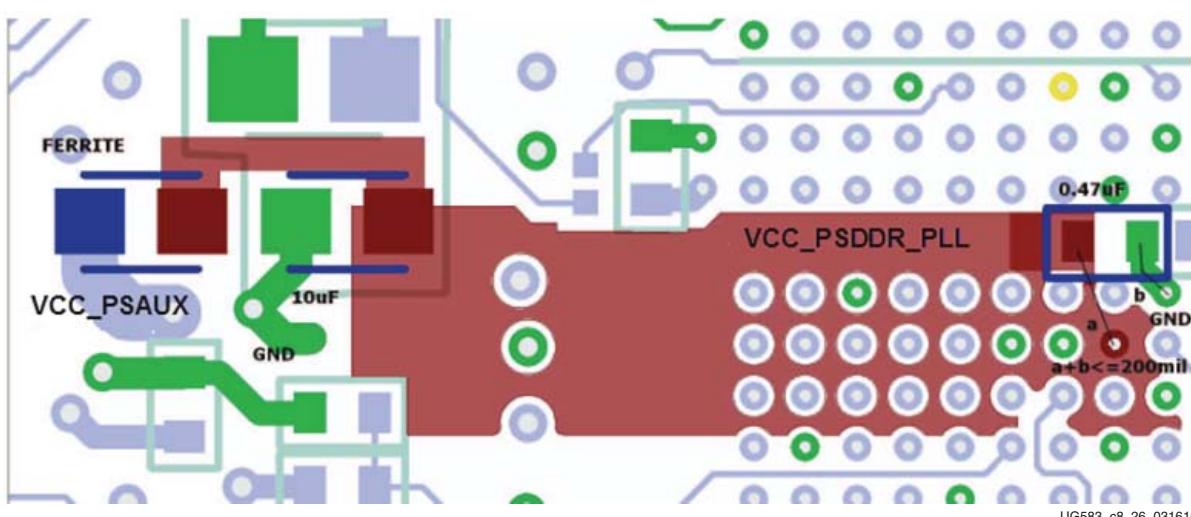


图 1-2：滤波电路布局

推荐的组件包括：

- 铁氧体磁珠：Murata BLM18SG121TN1
- 10  $\mu$ F（或更大）电容器：Murata GRM188C80E476ME05
- 1.0  $\mu$ F 0201 或 10  $\mu$ F 0402 电容器：Murata GRM155C80J106ME11D

## 视频编解码单元（仅限 MPSoC EV 器件）

$V_{CCINT\_VCU}$  为 0.90V 电压轨，可向 Zynq UltraScale+ MPSoC EV 器件内的视频编解码单元 (VCU) 供电。 $V_{CCINT\_VCU}$  必须通过独立电源轨供电，不得与任何其它电源轨组合。

如果不使用 VCU，则  $V_{CCINT\_VCU}$  管脚可接地以减少漏电。

## $V_{CCINT\_VCU}$ 去耦电容

使用 VCU 时，在  $V_{CCINT\_VCU}$  上需要一系列去耦电容。表 1-12 显示了  $V_{CCINT\_VCU}$  所需的电容器类型和数量。

表 1-12： $V_{CCINT\_VCU}$  去耦电容要求

参数	10 $\mu F$ 0402	47 $\mu F$ 0603	100 $\mu F$ 0805	330 $\mu F$ 1210	470 $\mu F$ D
数量	3	5	1	2	3
位置	位于 BGA 下	1 个位于 BGA 附近，4 个位于 BGA 和调节器之间	位于 BGA 和调节器之间	BGA 附近	1 个位于调节器附近，2 个位于 BGA 和调节器之间
部件编号	Murata GRM155C80J106ME11D	Murata GRM188C80E476ME05	Murata GRM21BC80G107ME15	Murata GRM32EC80E337ME05	Panasonic EEFGX0D471R

## $V_{CCINT\_VCU}$ 内电层设计和供电

$V_{CCINT\_VCU}$  内电层或小平面上最窄的点之间的宽度应足以容纳最高 3A 电流（因过孔和其它禁区导致的减宽也应一并考量在内）。但内电层和小平面需增加绘制的宽度以减少调节器与 BGA 管脚间的阻抗损耗。虽然正确布线的感应线有助于弥补阻抗损耗，但最大程度减少阻抗损耗即可最大程度提升调节器的效率。因此，赛灵思建议将  $V_{CCINT\_VCU}$  内电层宽度绘制为 500-800 mil<sup>(1)</sup> (BGA 区域外部) 和 400 mil (BGA 下方)，然后将此内电层逐渐向  $V_{CCINT\_VCU}$  管脚收窄。图 1-3 显示了  $V_{CCINT\_VCU}$  内电层布局示例。

此外，赛灵思建议将接地层直接置于包含  $V_{CCINT\_VCU}$  的上方或下方，以减少阻抗损耗。

- 
- 如果内电层上存在超乎寻常的大量过孔或其它禁区，则可能需要绘制更宽的内电层以减少阻抗损耗并保留提供至少 3A 电流的能力。

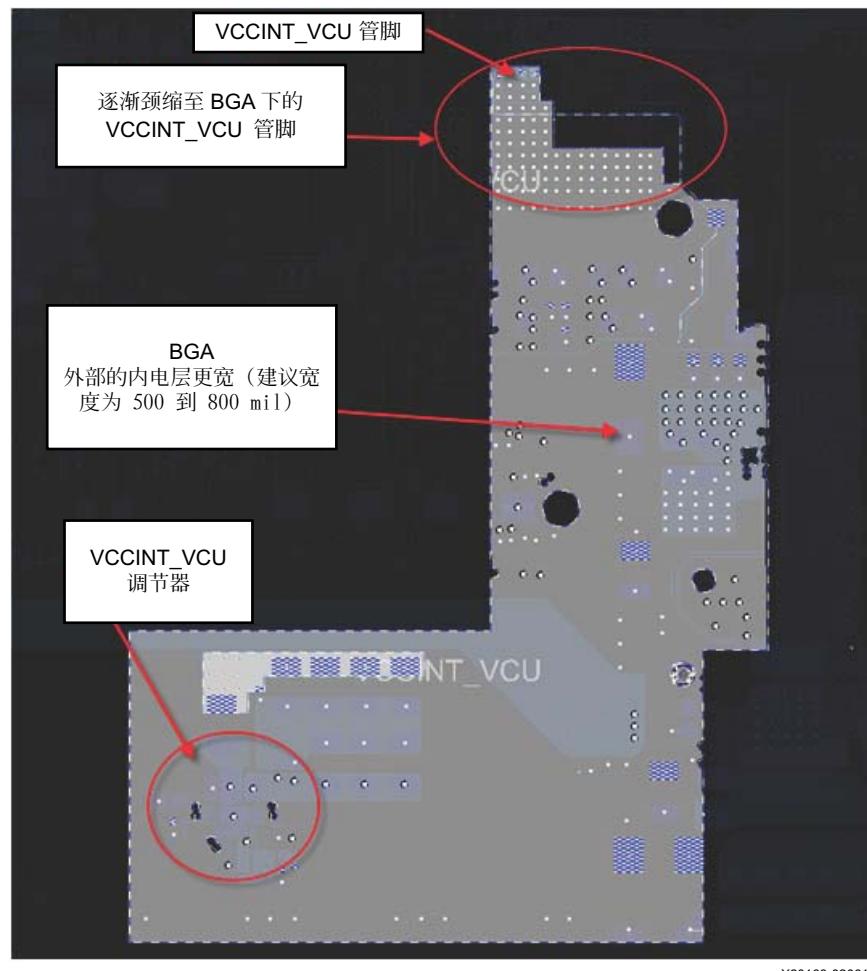


图 1-3：V<sub>CCINT\_VCU</sub> 内电层布局示例

## 收发器 PCB 布线指南

请参阅《UltraScale 架构 GTH 收发器用户指南》(UG576) [参照 6] 或《UltraScale 架构 GTY 收发器用户指南》(UG578) [参照 7]。

# 适用于 Zynq UltraScale+ MPSoC 的电源整合解决方案

Zynq UltraScale+ MPSoC 包含多个电源轨，对应于器件内包含的各种不同功能。如需查看适用于 Zynq UltraScale+ MPSoC 的电源轨的完整列表，请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) [参照 22]。

对于大部分用途，假定满足去耦要求和滤波要求的前提下，许多电源轨均可通过整合来减少对 Zynq UltraScale+ MPSoC 供电所需的电源调节器总数。在许多应用中，只需 5 个电源调节器即可对 Zynq UltraScale+ MPSoC 供电。（这 5 个电源调节器中的一部分可与系统中的其它器件共享。）但是，可能的整合量取决于用户需求。

例如，许多应用需定期进入超低功耗、缩减功能状态以延长电池寿命或者降低其总体功耗。为实现此目的，Zynq UltraScale+ MPSoC 具有 4 个可单独隔离的独立功耗域：低功耗域 (LPD)、全功耗域 (FPD)、PL 功耗域 (PLPD) 和电池功耗域 (BPD)。如果应用需接入这些超低功耗状态，但无法通过软件中的功耗门控选项来实现，则可能需要独立控制与每个功耗域关联的电源轨，以便使与未使用的域相关联的功耗可降低至 0。这导致需要增加功耗调节器或者使用负载开关。在本文档中，我们将此用例称为全功耗管理灵活性。如需了解有关 Zynq UltraScale+ MPSoC 功耗域的更多详情，请参阅《Zynq UltraScale+ MPSoC 技术参考手册》(UG1085) [参照 23] 和《利用 Zynq UltraScale+ MPSoC 管理功耗和性能》(WP482) [参照 24]。利用功耗域并实现全功耗管理灵活性的优势可通过使用 Xilinx Power Estimator (XPE) 工具来加以量化。

其它应用几乎始终能以完整性能运行或者可通过 IP 功耗门控选项禁用功能（例如，禁用处理器核或可编程逻辑的时钟门控部分）来满足其功耗目标。这些应用无需单独控制与每个功耗域相关联的电源轨。因此，这些应用可实现最大量的电源整合。为方便本用户指南，这些应用被称为始终开启，并且进一步分类为 3 个独立的用例。结合首个用例（全功耗管理灵活性），在本节中探讨了总计 4 个关键用例。

- 始终开启：成本优化 (-1 和 -2 器件)
- 始终开启：功耗/效率最优化 (-1L 和 -2L 器件)
- 始终开启：PL 性能最优化 (-3 器件)
- 全功耗管理灵活性（全器件/速度等级）

本节其余部分展示了针对上述用例可实现的电源整合。此外，[功耗管理合作伙伴](#)上提供了各赛灵思供电合作伙伴为上述用例提供的解决方案的链接。

## 电源整合解决方案

### 始终开启：针对成本优化 (-1 和 -2 器件)

在使用标准 -1 或 -2 速度等级器件的“始终开启：成本优化”应用中，可执行大量电源轨整合，前提是假定已满足本文档中概括的各电源的去耦和滤波要求。[表 1-13](#) 大体上定义了对应此用例可行的电源轨整合。为进一步澄清，[图 1-4](#) 以图形化方式显示了可行的电源轨整合。

如[表 1-13](#) 中所示，为此用例中的 Zynq UltraScale+ MPSoC 供电所需的调节器最小数量为 5 个。在大多数情况下，单一集成电源管理集成电路 (PMIC) 即可提供 5 个或 5 个以上调节器。要获取适用于赛灵思产品的供电解决方案，请参阅[电源管理合作伙伴](#)。

表 1-13：始终开启：成本优化的电源轨整合（-1 和 -2 器件）

	电源调节器	顺序	可行电源轨整合
有	1	请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) [参照 22]	VCCINT、VCC_PSINTFP、VCC_PSINTLP、VCC_PSINTFP_DDR、VCCINT_IO 和 VCCBRAM
	2		VCC_PSAUX、VCC_PSADC <sup>(1)</sup> 、VCC_PSDDR_PLL <sup>(2)</sup> 、VCCAUX、VCCAUX_IO 和 VCCADC <sup>(1)</sup>
	3		VCC_PSPLL、VMGTVATT (GTH) 和 VMGTVATT (GTY)
	4		VCCO_PSDDR
	5		VCCO_PSO[0:3]，假定所有 PS I/O 都以相同电压运行
必需： EV -1 和 -2	9		VCCINT_VCU
用户定义	6		VPS_MGTRAVCC
	7		VPS_MGTRAVTT、VMGTVCCAUX (GTH) 和 VMGTVCCAUX (GTY)
	8		VMGTVATT (GTH) 和 VMGTVATT (GTY)
	10		可选 PL 和 PS I/O 电压

注释：

1. 假定电源轨根据《UltraScale 架构系统监控器用户指南》(UG580) [参照 25] 进行滤波。
2. 假定电源轨根据 第 26 页的“VCC\_PSDDR\_PLL 电源”进行滤波。
3. 进行整合时，请确保满足所有容限。

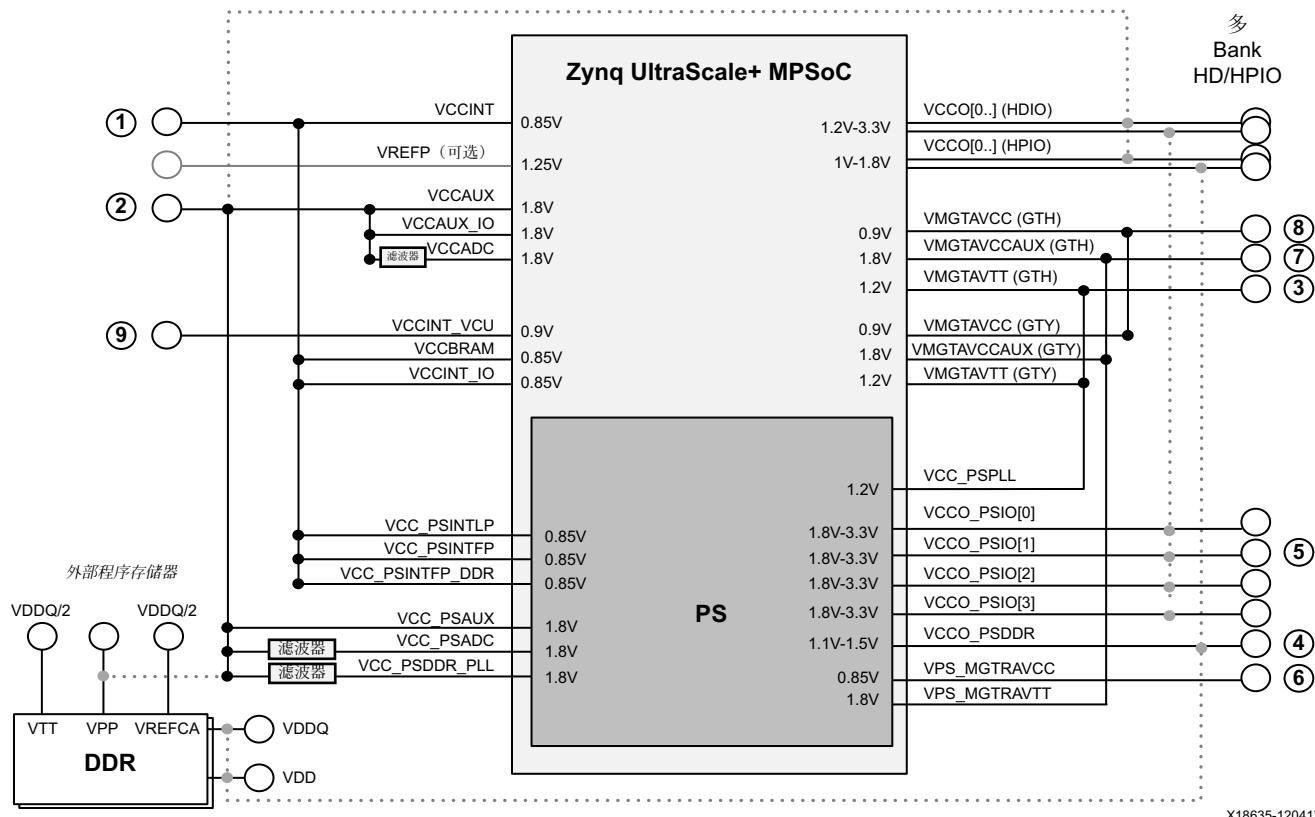


图 1-4：始终开启：成本优化的电源轨整合

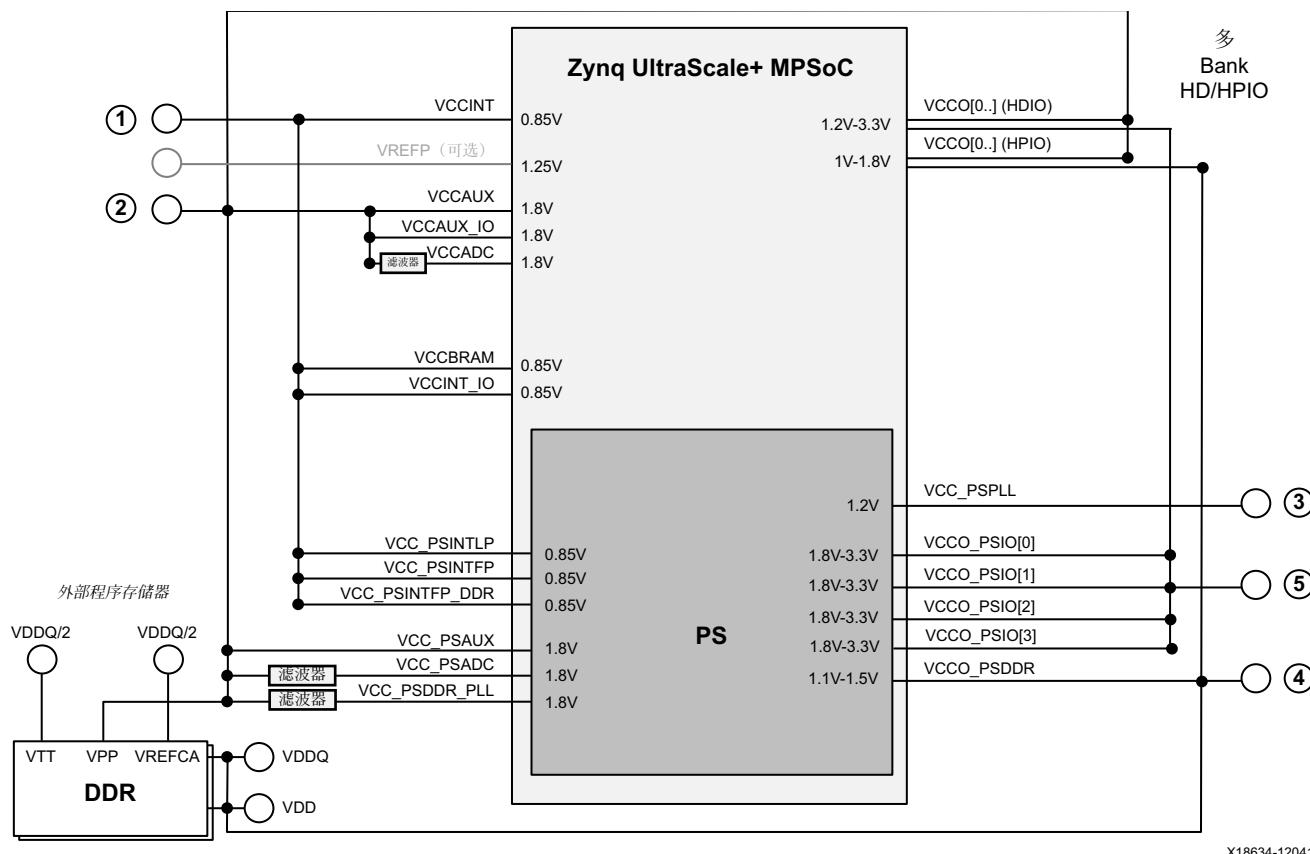
注释：在图 1-4 中，虚线与用户配置有关。

根据用户配置，可能需要 5 个以上调节器。表 1-14 详列了根据各种器件配置为 Zynq UltraScale+ MPSoC 供电所需的调节器数量。图 1-5 显示了使用 CG 或 EG 器件时对应只需 5 个调节器的配置的电源轨整合。

通常需增加电源调节器以满足与 PS 或 PL 关联的 DDR 存储器的终端电压和基准电压的需求。

表 1-14：对应“始终开启：针对成本优化（-1 和 -2 器件）”场景的电源轨数量

配置	器件 (速度等级)	电源调节器数量
PS 和 PL DDR、1.8V I/O、2.5V I/O 或 3.3V I/O（无 MGT）	CG（-1 和 -2） EG（-1 和 -2）	5（1、2、3、4 和 5）
	EV（-1 和 -2）	6（1、2、3、4、5 和 9）
PS 和 PL DDR、1.8V I/O、2.5V 或 3.3V I/O 和 PS MGT	CG（-1 和 -2） EG（-1 和 -2）	7（1、2、3、4、5、6 和 7）
	EV（-1 和 -2）	8（1、2、3、4、5、6、7 和 9）
PS DDR、1.8V I/O、3.3V I/O、PS MGT 和 PL MGT	CG（-1 和 -2） EG（-1 和 -2）	8（1、2、3、4、5、6、7 和 8）
	EV（-1 和 -2）	9（1、2、3、4、5、6、7、8 和 9）



X18634-120417

图 1-5：始终开启：仅含 5 个电源调节器的成本优化场景（CG 或 EG 器件）

## 始终开启：功耗和/或效率最优化（-1L 和 -2L 器件）

对于需要最低功耗损耗和/或最高效率的应用，赛灵思提供了 -1L 和 -2L 速度等级。为了实现最高效率和最低功耗，-1L 和 -2L 器件可以 VCCINT 电压 0.72V 来运行。为了支持 VCCINT 以 0.72V 运行，需要额外的电源调节器。

除了 VCCINT 所需的额外电源调节器外，可行电源轨整合与先前用例类似。[表 1-15](#) 广泛定义了对于此用例可行的电源轨整合，前提是假定已满足本文档中概括的各电源的去耦和滤波要求。为进一步澄清，[图 1-6](#) 以图形化方式显示了可行的电源轨整合。

如[表 1-15](#) 中所示，此用例所需的调节器最小数量为 6 个。

**表 1-15：始终开启 - 适合低功耗器件的电源轨功耗/效率整合**

	电源调节器	顺序	可行电源轨整合
有	1	请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) [参照 22]	VCCINT
	2		VCC_PSINTFP、VCC_PSINTLP、VCC_PSINTFP_DDR、VCCINT_IO 和 VCCBRAM
	3		VCC_PSAUX、VCC_PSADC <sup>(1)</sup> 、VCC_PSDDR_PLL <sup>(2)</sup> 、VCCAUX、VCCAUX_IO 和 VCCADC <sup>(1)</sup>
	4		VCC_PSPLL、VMGTAVTT (GTH) 和 VMGTAVTT (GTY)
	5		VCCO_PSDDR
	6		VCCO_PSOI[0:3]，假定所有 PS I/O 都以相同电压运行
必需 - EV 器件	10		VCCINT_VCU
用户定义	7		VPS_MGTRAVCC
	8		VPS_MGTRAVTT、VMGTVCCAUX (GTH) 和 VMGTVCCAUX (GTY)
	9		VMGTAVCC (GTH) 和 VMGTAVCC (GTY)
	11		可选 PL 和 PS I/O 电压

注释：

- 假定电源轨根据《UltraScale 架构系统监控器用户指南》(UG580) [参照 25] 进行滤波。
- 假定电源轨根据[第 26 页的“VCC\\_PSDDR\\_PLL 电源”](#)进行滤波。

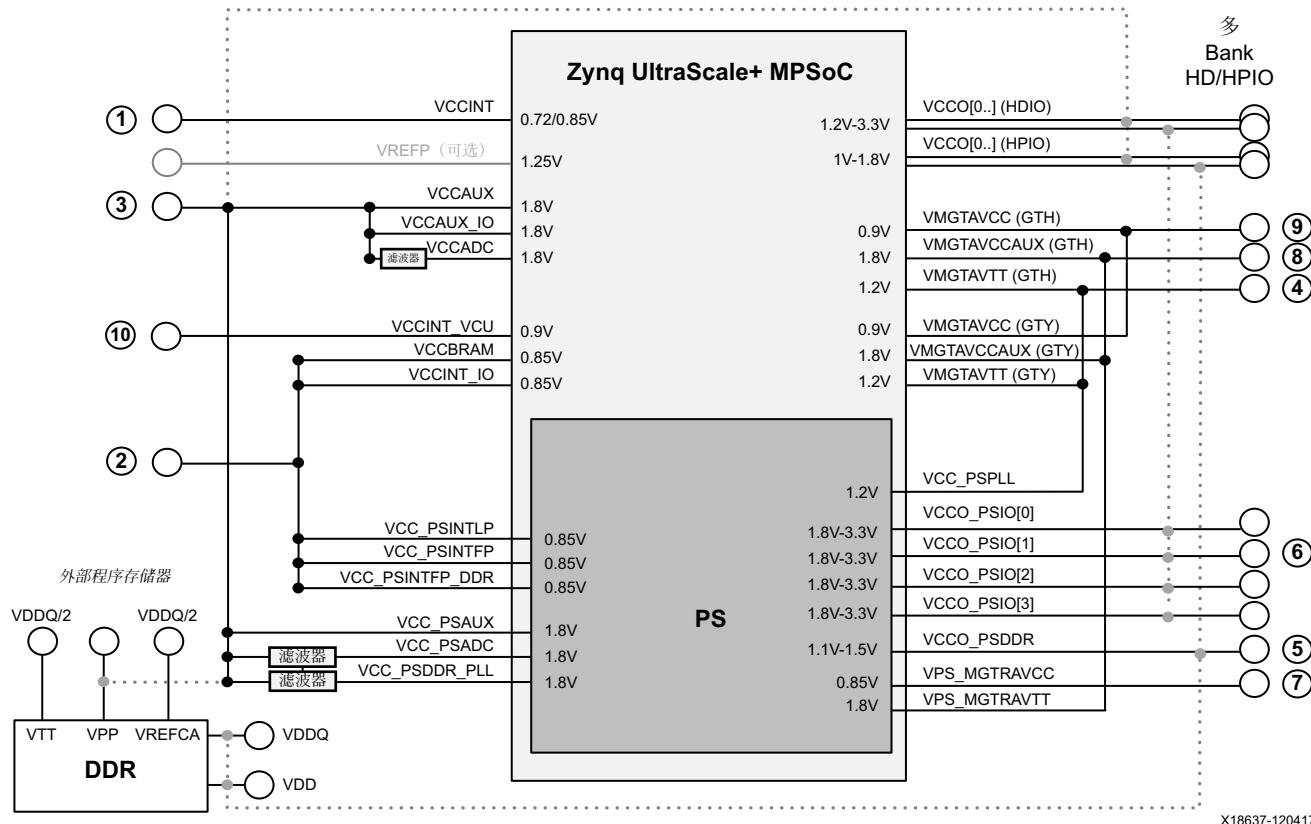


图 1-6：始终开启：适用于低功耗器件的功耗和/或效率最优化电源轨整合

注释：在图 1-6 中，虚线与用户配置有关。

表 1-16 显示了此用例中 Zynq UltraScale+ MPSoC 的各种常用配置对应的电源调节器数量。

表 1-16：“始终开启：功耗和/或效率最优化（-1L 和 -2L 器件）”场景所需的电源调节器数量

配置	电源调节器数量
PS 和 PL DDR、1.8V I/O 和 2.5V 或 3.3V I/O（无 MGT）	10 (1、2、3、4、5、6 和 7)
PS 和 PL DDR、1.8V I/O、2.5V I/O 和 3.3V I/O（无 MGT）	8 (1、2、3、4、5、6、10 和 11)
PS 和 PL DDR、1.8V I/O、2.5V 或 3.3V I/O 和 PS MGT	10 (1、2、3、4、5、6、7、8 和 9)
PS DDR、1.8V I/O、3.3V I/O、PS MGT 和 PL MGT	10 (1、2、3、4、5、6、7、8、9 和 10)

## 始终开启：针对 PL 性能最优化（-3 器件）

为了实现最高 PL 性能，赛灵思可提供 -3 速度等级的 Zynq UltraScale+ MPSoC。对于 -3 速度等级器件，所有核电压轨（VCCINT、VCCINT\_VCU、VCCBRAM、VCCINT\_IO、VCC\_PSINTLP、VCC\_PSINTFP 和 VCC\_PSINTFP\_DDR）均以额定电压 0.9V 运行。

**表 1-17** 广泛定义了对于此用例可行的电源轨整合，前提是假定已满足本文档中概括的各电源的去耦和滤波要求。为进一步澄清，[图 1-7](#) 以图形化方式显示了可行的电源轨整合。如**表 1-17** 中所示，为此用例中的 Zynq UltraScale+ MPSoC 供电所需的电源调节器的最小数量分别为 5 个（针对非 EV 器件）和 6 个（针对 EV 器件）。

表 1-17：始终开启：PL 性能优化的电源轨整合

	电源调节器	顺序	可行电源轨整合
有	1	请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) [参照 22]	VCCINT、VCC_PSINTFP、VCC_PSINTLP、VCC_PSINTFP_DDR、VCCINT_IO 和 VCCBRAM
	2		VCC_PSAUX、VCC_PSADC <sup>(1)</sup> 、VCC_PSDDR_PLL <sup>(2)</sup> 、VCCAUX、VCCAUX_IO 和 VCCADC <sup>(1)</sup>
	3		VCC_PSPLL、VMGTAVTT (GTH) 和 VMGTAVTT (GTY)
	4		VCCO_PSDDR
	5		VCCO_PSIO[0:3]，假定所有 PS I/O 都以相同电压运行
	10		VCCINT_VCU（如使用）
用户定义	6		VPS_MGTRAVTT、VMGTVCCAUX (GTH) 和 VMGTVCCAUX (GTY)
	7		VMGTAVCC (GTH) 和 VMGTAVCC (GTY)
	8		其它 PL 和 PS I/O 电压
	9		VPS_MGTRAVCC

注释：

1. 假定电源轨根据《UltraScale 架构系统监控器用户指南》(UG580) [参照 25] 进行滤波。
2. 假定电源轨根据[第 26 页的“VCC\\_PSDDR\\_PLL 电源”](#)进行滤波。

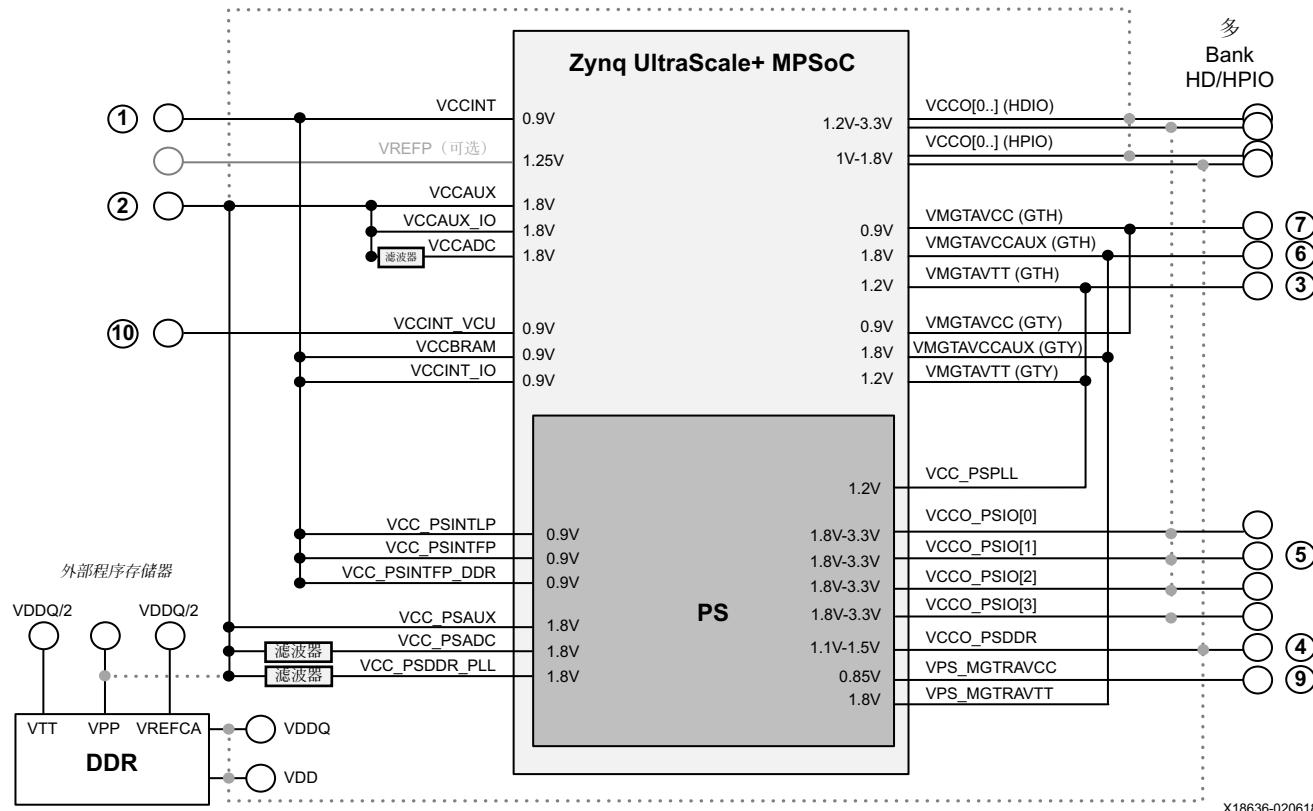


图 1-7：始终开启：PL 性能优化的电源轨整合

注释：在图 1-7 中，虚线与用户配置有关。

表 1-18 显示了此用例中 Zynq UltraScale+ MPSoC 的各种常用配置对应的电源调节器数量。

表 1-18：“始终开启：针对 PL 性能最优化 (-3 器件) ”场景所需的电源调节器数量

配置	电源调节器的数量 <sup>(1)</sup>
PS 和 PL DDR、1.8V I/O 和 2.5V 或 3.3V I/O (无 MGT)	5 (1、2、3、4 和 5)
PS 和 PL DDR、1.8V I/O、2.5V I/O 和 3.3V I/O (无 MGT)	6 (1、2、3、4、5 和 8)
PS 和 PL DDR、1.8V I/O、2.5V 或 3.3V I/O 和 PS MGT	9 (1、2、3、4、5、6 和 7)
PS DDR、1.8V I/O、3.3V I/O、PS MGT 和 PL MGT	8 (1、2、3、4、5、6、7 和 9)

注释：

1. 如果使用 VCCINT\_VCU，则在每个场景中都增加电源调节器 10。

## 全功耗管理灵活性（全速度等级/器件）

正如本章前文中所述，许多应用都需要进入超低功耗、缩减功能状态以最大限度增加电池寿命或者降低总体功耗。为了实现此目的，Zynq UltraScale+ MPSoC 具有 4 个独立功耗域：LPD、FPD、PLPD 和 BPD。为了使与上述每个域关联的功耗能够在不使用情况下归零，与每个域关联的电源轨都必须通过独立电源调节器或者通过负载开关来加以隔离。

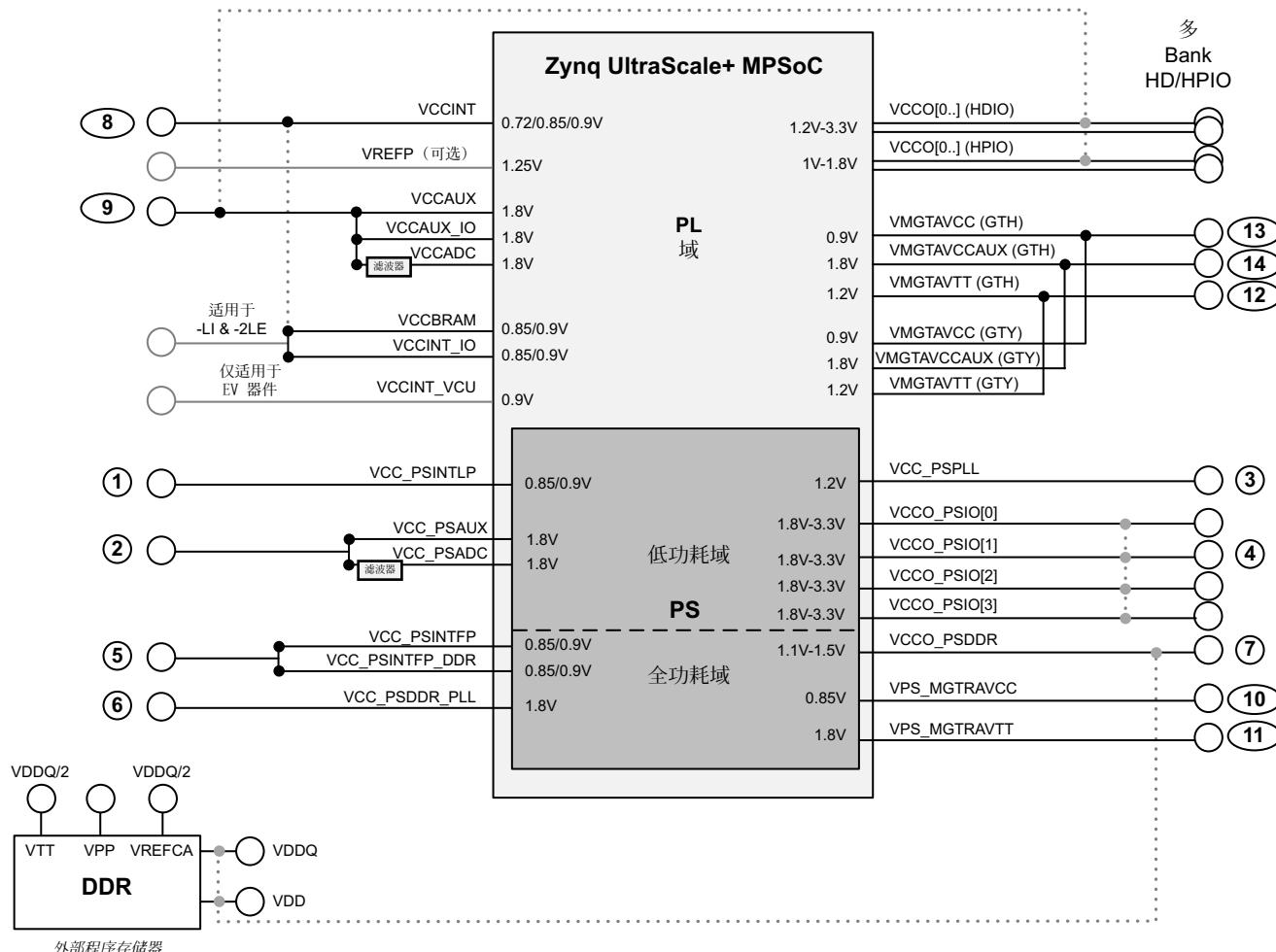
**表 1-19** 广泛定义了对于此用例可行的电源轨整合，前提是假定已满足本文档中概括的各电源的去耦和滤波要求。为进一步澄清，图 1-8 以图形化方式显示了可行的电源轨整合。如表 1-19 中所示，为此用例中的 Zynq UltraScale+ MPSoC 供电所需的电源调节器的最小数量为 9 个。或者，为了达成同样的隔离效果，可将电源调节器和负载开关结合使用，从而减少所需电源调节器的总数。

表 1-19：全功耗管理灵活性电源轨整合

	电源调节器	顺序	可行电源轨整合
有	1	请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) [参照 22]	VCC_PSINTLP
	2		VCC_PSAUX 和 VCC_PSADC <sup>(1)</sup>
	3		VCC_PSPLL
	4		VCCO_PSIO[0:3]（假定按相同电压运行）
	5		VCC_PSINTFP 和 VCC_PSINTFP_DDR
	6		VCC_PSDDR_PLL
	7		VCCO_PSDDR
	8		VCCINT <sup>(2)</sup> 、VCCBRAM 和 VCCINT_IO
	9		VCCAUX、VCCAUX_IO、VCCADC <sup>(1)</sup>
必需的 EV 器件	15		VCCINT_VCU
用户定义	10		VPS_MGTRAVCC
	11		VPS_MGTRAVTT
	12		VMGTAVTT (GTH) 和 VMGTAVTT (GTY)
	13		VMGTAVCC (GTH) 和 VMGTAVCC (GTY)
	14		VMGTVCCAUX (GTH) 和 VMGTVCCAUX (GTY)
	16		可选 PL 和 PS I/O 电压

### 注释：

1. 假定电源轨根据《UltraScale 架构系统监控器用户指南》(UG580) [参照 25] 进行滤波。
2. 用户运行  $VCCINT = 0.72V$  的情况下，-2LI 或 -2LE 器件需要额外的电压调节器



X18638-120417

图 1-8：全功耗域灵活性整合

注释：在图 1-8 中，虚线与用户配置有关。

表 1-20 显示了此用例中 Zynq UltraScale+ MPSoC 的各种常用配置对应的电源调节器数量。对于使用 -1LI 或 -2L 器件的应用，如果用户要求 VCCINT 以 0.72V 运行，那么需要一个额外的电压调节器，如表 1-20 所示。使用 EV 器件时，针对 VCCINT\_VCU 需要一个额外的调节器。

表 1-20：需全功耗域灵活性的应用的典型配置的电源轨数量

配置	器件 (速度等级)	电源调节器数量
全功耗域控制、VCCINT = 0.85、PS DDR、1.8V PL I/O 和 1.8/2.5/3.3V PS I/O (无 MGT)	CG (-1 和 -2) EG (-1 和 -2)	9 (1、2、3、4、5、6、7、8 和 9)
全功耗域控制、VCCINT = 0.9V、PS DDR、1.8V PL I/O 和 1.8/2.5/3.3V PS I/O (无 MGT)	EG (-3)	9 (1、2、3、4、5、6、7、8 和 9)
全功耗域控制、VCCINT = 0.9V、PS DDR、1.8V PL I/O 和 1.8/2.5/3.3V PS I/O (无 MGT)	EV (-3)	15 (1、2、3、4、5、6、7、8、9 和 10)
全功耗域控制、VCCINT = 0.85V、PS DDR、1.8V PL I/O 和 1.8/2.5/3.3V PS I/O (无 MGT)	CG (-1 和 -2) EG (-1 和 -2)	16 (1、2、3、4、5、6、7、8、9 和 10)

表 1-20：需全功耗域灵活性的应用的典型配置的电源轨数量（续）

配置	器件 (速度等级)	电源调节器数量
全功耗域控制、VCCINT = 0.9V、PS DDR、1.8V PL I/O 和 1.8/2.5/3.3V PS I/O（无 MGT）	EG (-3)	16 (1、2、3、4、5、6、7、8、9 和 10)
全功耗域控制、VCCINT = 0.9V、PS DDR、1.8V PL I/O、1.8/2.5/3.3V PS I/O（无 MGT）	EV (-3)	11 (1、2、3、4、5、6、7、8、9、15 和 16)
全功耗域控制、VCCINT = 0.85V、PS DDR、1.8V PL I/O 和 1.8/2.5/3.3V PS I/O（无 MGT）	EV (-1 和 -2)	11 (1、2、3、4、5、6、7、8、9、15 和 16)
全功耗域控制、VCCINT = 0.72V/可编程、PS DDR、1.8V PL I/O 和 1.8/2.5/3.3V PS I/O（无 MGT）	CG (-1L 和 -2L) EG (-1L 和 -2L)	11 (1、2、3、4、5、6、7、8、9、16 和 17)
全功耗域控制、VCCINT = 0.72V/可编程、PS DDR、1.8V PL I/O、DDR/2.5/3.3V PL I/O 和 1.8/2.5/3.3V PS I/O（无 MGT）	EV (-1L 和 -2L)	12 (1、2、3、4、5、6、7、8、9、15、16 和 17)
全功耗域控制、VCCINT = 0.85V、PS DDR、1.8V PL I/O、1.8/2.5/3.3V PS I/O、PL MGT 和 PS MGT	CG (-1 和 -2) EG (-1 和 -2)	14 (1、2、3、4、5、6、7、8、9、10、11、12、13 和 14)
全功耗域控制、VCCINT = 0.9V、PS DDR、1.8V PL I/O、1.8/2.5/3.3V PS I/O、PL MGT 和 PS MGT	EG (-3)	14 (1、2、3、4、5、6、7、8、9、10、11、12、13 和 14)
全功耗域控制、VCCINT = 0.85V、PS DDR、1.8V PL I/O、1.8/2.5/3.3V PS I/O、PL MGT 和 PS MGT	EV (-3)	15 (1、2、3、4、5、6、7、8、9、10、11、12、13、14 和 15)
全功耗域控制、VCCINT = 0.85V、PS DDR、1.8V PL I/O、DDR/2.5/3.3V PL I/O、1.8/2.5/3.3V PS I/O、PL MGT 和 PS MGT	EV (-1 和 -2)	15 (1、2、3、4、5、6、7、8、9、10、11、12、13、14 和 15)
全功耗域控制、VCCINT = 0.85V、PS DDR、1.8V PL I/O、DDR/2.5/3.3V PL I/O、1.8/2.5/3.3V PS I/O、PL MGT 和 PS MGT	CG (-1 和 -2) EG (-1 和 -2)	16 (1、2、3、4、5、6、7、8、9、10、11、12、13、14 和 15)
全功耗域控制、VCCINT = 0.9V、PS DDR、1.8V PL I/O、DDR/2.5/3.3V PL I/O、1.8/2.5/3.3V PS I/O、PL MGT 和 PS MGT	EG (-3)	16 (1、2、3、4、5、6、7、8、9、10、11、12、13、14 和 15)
全功耗域控制、VCCINT = 0.9V、PS DDR、1.8V PL I/O、DDR/2.5/3.3V PL I/O、1.8/2.5/3.3V PS I/O、PL MGT 和 PS MGT	EV (-3)	16 (1、2、3、4、5、6、7、8、9、10、11、12、13、14、15 和 16)
全功耗域控制、VCCINT = 0.85V、PS DDR、1.8V PL I/O、DDR/2.5/3.3V PL I/O、1.8/2.5/3.3V PS I/O、PL MGT 和 PS MGT	EV (-1 和 -2)	16 (1、2、3、4、5、6、7、8、9、10、11、12、13、14、15 和 16)
全功耗域控制、VCCINT = 0.72/可编程、PS DDR、1.8V PL I/O、DDR/2.5/3.3V PL I/O、1.8/2.5/3.3V PS I/O、PL MGT 和 PS MGT	CG (-1L 和 -2L) EG (-1L 和 -2L)	16 (1、2、3、4、5、6、7、8、9、10、11、12、13、14、15 和 16)
全功耗域控制、VCCINT = 0.72/可编程、PS DDR、1.8V PL I/O、DDR/2.5/3.3V PL I/O、1.8/2.5/3.3V PS I/O、PL MGT 和 PS MGT	EV (-1L 和 -2L)	17 (1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16 和 17)

## UltraScale+ 器件中 V<sub>CCINT</sub> 的最大电流汲取

UltraScale 和 UltraScale+ 器件按设计可在广泛的温度范围内工作，器件和封装温度与电流汲取量存在直接关联。这对于 V<sub>CCINT</sub> 电源轨存在直接影响，此类电源轨通常所需供电最大，因此需对器件内所有电源轨进行电源汲取。对于超高速应用中的大型 Virtex UltraScale+ FPGA 设计，可能由于电迁移效应导致超出封装的额定最大电流。

下表提供了 UltraScale+ 器件的 V<sub>CCINT</sub> 电源轨上保证按恒定 100°C 结温保持 10 年可靠运行的前提下，可持续的最大电流汲取相关指南。

表 1-21：Kintex UltraScale+ FPGA 的 V<sub>CCINT</sub> 最大电流

器件	可能的 V <sub>CCINT</sub> 最大电流 (A) (100°C, 10 年)
XCKU3P-SFVB784	57
XCKU3P-FFVA676	43
XCKU3P-FFVB676	52
XCKU3P-FFVD900	107
XCKU5P-SFVB784	57
XQKU5P-FFRB784	57
XCKU5P-FFVA676	43
XCKU5P-FFVB676	52
XQKU5P-FFRB676	43
XCKU5P-FFVD900	107
XCKU9P-FFVE900	114
XCKU11P-FFVD900	64
XCKU11P-FFVA1156	41
XCKU11P-FFVE1517	60
XCKU13P-FFVE900	115
XCKU15P-FFVA1156	50
XQKU15P-FFRA1156	50
XCKU15P-FFVE1517	73
XQKU15P-FFRE1517	73
XCKU15P-FFVA1760	77
XCKU15P-FFVE1760	76

表 1-22：Virtex UltraScale+ FPGA 的 V<sub>CCINT</sub> 最大电流

器件	可能的 V <sub>CCINT</sub> 最大电流 (A) (100°C, 10 年)
XCVU3P-FFVC1517	40
XQVU3P-FFRC1517	40
XCVU5P-FLVA2104	120
XCVU5P-FLVB2104	93
XCVU5P-FLVC2104	126
XCVU7P-FLVA2104	120
XQVU7P-FLRA2104	120
XCVU7P-FLVB2104	93
XQVU7P-FLRB2104	93

表 1-22：Virtex UltraScale+ FPGA 的  $V_{CCINT}$  最大电流（续）

器件	可能的 $V_{CCINT}$ 最大电流 (A) (100°C, 10 年)
XCVU7P-FLVC2104	126
XCVU9P-FLGA2104	99
XCVU9P-FLGB2104	93
XCVU9P-FLGC2104	137
XCVU9P-FSGD2104	217
XCVU9P-FLGA2577	174
XCVU11P-FLGF1924	102
XCVU11P-FLGB2104	118
XCVU11P-FLGC2104	141
XQVU11P-FLRC2104	141
XCVU11P-FSGD2104	200
XCVU11P-FLGA2577	163
XCVU13P-FHGA2104	94
XCVU13P-FHGB2104	114
XCVU13P-FHGC2104	129
XCVU13P-FIGD2104	200
XCVU13P-FLGA2577	162
XCVU13P-FSGA2577	158
XCVU19P-FSVA3824	275
XCVU19P-FSVB3824	314
XCVU23P-VSVA1365	130
XCVU27P-FIGD2104	192
XCVU27P-FSGA2577	158
XCVU29P-FIGD2104	192
XCVU29P-FSGA2577	158
XCVU31P-FSVH1924	68
XCVU33P-FSVH2104	68
XCVU35P-FSVH2104	135
XCVU35P-FSVH2892	135
XCVU37P-FSVH2892	200
XCVU45P-FSVH2104	135
XCVU45P-FSVH2892	135
XCVU47P-FSVH2892	200

表 1-23：Zynq UltraScale+ MPSoC 的  $V_{CCINT}$  最大电流

器件	可能的 $V_{CCINT}$ 最大电流 (A) (100°C, 10 年)
<b>CG 器件</b>	
XCZU2CG-SBVA484	9
XCZU2CG-SFVA625	10
XCZU2CG-SFVC784	7
XCZU3CG-SBVA484	9
XCZU3CG-SFVA625	10
XCZU3CG-SFVC784	7
XCZU4CG-SFVC784	11
XCZU4CG-FBVB900	52
XCZU5CG-SFVC784	14
XCZU5CG-FBVB900	52
XCZU6CG-FFVC900	49
XCZU6CG-FFVB1156	62
XCZU7CG-FBVB900	43
XCZU7CG-FFVC1156	36
XCZU7CG-FFVF1517	73
XCZU9CG-FFVC900	49
XCZU9CG-FBVB1156	62
<b>EG 器件</b>	
XCZU2EG-SBVA484	9
XCZU2EG-SFVA625	10
XCZU2EG-SFVC784	7
XCZU3EG-SBVA484	9
XQZU3EG-SFRA484	9
XCZU3EG-SFVA625	10
XCZU3EG-SFVC784	7
XQZU3EG-SFRC784	7
XCZU4EG-SFVC784	11
XCZU4EG-FBVB900	52
XCZU5EG-SFVC784	14
XCZU5EG-FBVB900	52
XCZU6EG-FFVC900	49
XCZU6EG-FFVB1156	62
XCZU7EG-FBVB900	43
XCZU7EG-FFVC1156	36

表 1-23：Zynq UltraScale+ MPSoC 的  $V_{CCINT}$  最大电流（续）

器件	可能的 $V_{CCINT}$ 最大电流 (A) (100°C, 10 年)
XCZU7EG-FFVF1517	73
XCZU9EG-FFVC900	49
XQZU9EG-FFRC900	49
XCZU9EG-FFVB1156	62
XQZU9EG-FFRB1156	62
XCZU11EG-FFVC1156	39
XQZU11EG-FFRC1156	39
XCZU11EG-FFVB1517	50
XCZU11EG-FFVF1517	55
XCZU11EG-FFVC1760	70
XQZU11EG-FFRC1760	70
XCZU15EG-FFVC900	51
XQZU15EG-FFRC900	51
XCZU15EG-FFVB1156	63
XQZU15EG-FFRB1156	63
XCZU17EG-FFVB1517	62
XCZU17EG-FFVC1760	78
XCZU17EG-FFVD1760	79
XCZU17EG-FFVE1924	76
XCZU19EG-FFVB1517	62
XQZU19EG-FFRB1517	62
XCZU19EG-FFVC1760	78
XQZU19EG FFRC1760	78
XCZU19EG-FFVD1760	79
XCZU19EG-FFVE1924	76
EV 器件	
XCZU4EV-SFVC784	11
XCZU4EV-FBVB900	52
XCZU5EV-SFVC784	14
XQZU5EV-SFRC784	14
XCZU5EV-FBVB900	52
XQZU5EV-FFRB900	52
XCZU7EV-FBVB900	43
XQZU7EV-FFRB900	43
XCZU7EV-FFVC1156	36

表 1-23：Zynq UltraScale+ MPSoC 的  $V_{CCINT}$  最大电流（续）

器件	可能的 $V_{CCINT}$ 最大电流 (A) (100°C, 10 年)
XQZU7EV-FFRC1156	36
XCZU7EV-FFVF1517	73

# 对应存储器接口的 PCB 准则

---

## 简介

赛灵思 UltraScale 架构提供了与以下存储器接口连接的解决方案：

- DDR4，对应可编程逻辑 (PL) 和处理器系统 (PS)
- DDR3/3L (PL 和 PS)
- LPDDR4 (PS)
- LPDDR3 (PL 和 PS)
- RLDRAM 3 (PL)
- QDR-IV (PL)
- QDR II+ (PL)

---

## 基准叠层

所有电子布线约束都是根据基准叠层（表 2-1）定义的。实际叠层可能与此基准叠层不尽相同。相关约束（如宽度和间隔）应加以相应调整以达成基准叠层的设计指南中的阻抗和串扰目标。作为参考，此特定叠层生成的内部信号层传输时间为 169.5 ps/英寸。

表 2-1：基准叠层

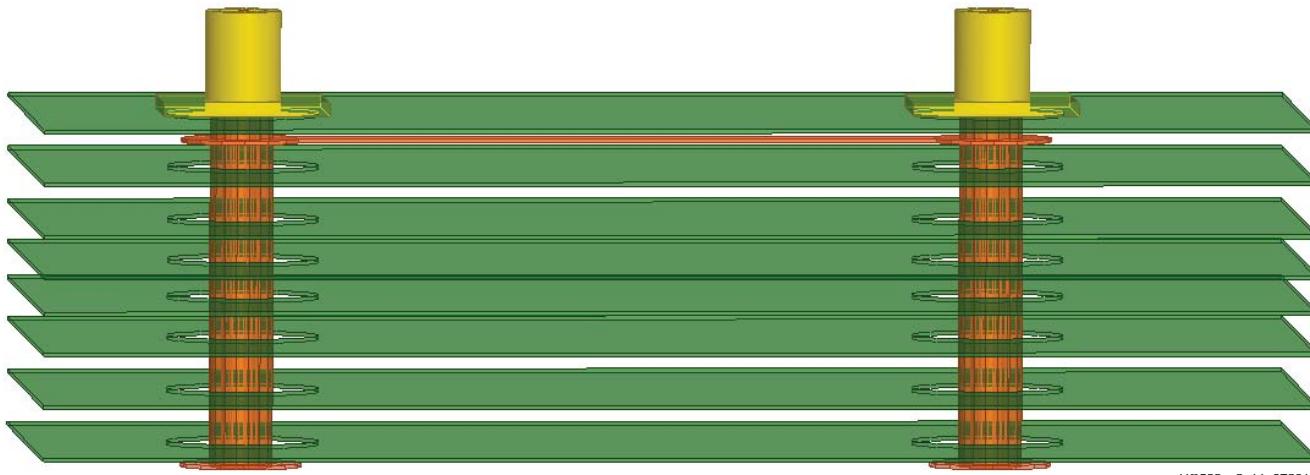
层级	厚度 (mil): 铜/每 核	描述	
		铜厚 (oz)	层级
L1	2.5	0.5	顶层
	2.9		
L2	0.6	0.5	接地层
	4.5		
L3	0.6	0.5	信号层
	4.5		
L4	0.6	0.5	接地层
	4.5		
L5	0.6	0.5	信号层
	4.5		
L6	1.2	1.0	电源/接地层
	8.0		
L7	1.2	1.0	电源/接地层
	8.0		
L8	1.2	1.0	电源/接地层
	8.0		
L9	1.2	1.0	电源/接地层
	8.0		
L10	1.2	1.0	电源/接地层
	8.0		
L11	1.2	1.0	电源/接地层
	4.5		
L12	0.6	0.5	信号层
	4.5		
L13	0.6	0.5	接地层
	4.5		
L14	0.6	0.5	信号层
	4.5		
L15	0.6	0.5	接地层
	2.9		
L16	2.5	0.5	底层

注释：

- 此基准叠层的材质为 Isola High-Tg FR-4, 370HR 且 Er = 4.0。



**重要提示：**为实现最高存储器接口性能，建议将所有高速信号都布线于较高的信号层（例如，L3 和 L5）上，以便最大程度降低器件管脚场过孔串扰的影响，如图 2-1 中所示。虽然可使用更深的信号层，但需考量系统级信号完整性仿真，因此可能需牺牲信号布线间隔。

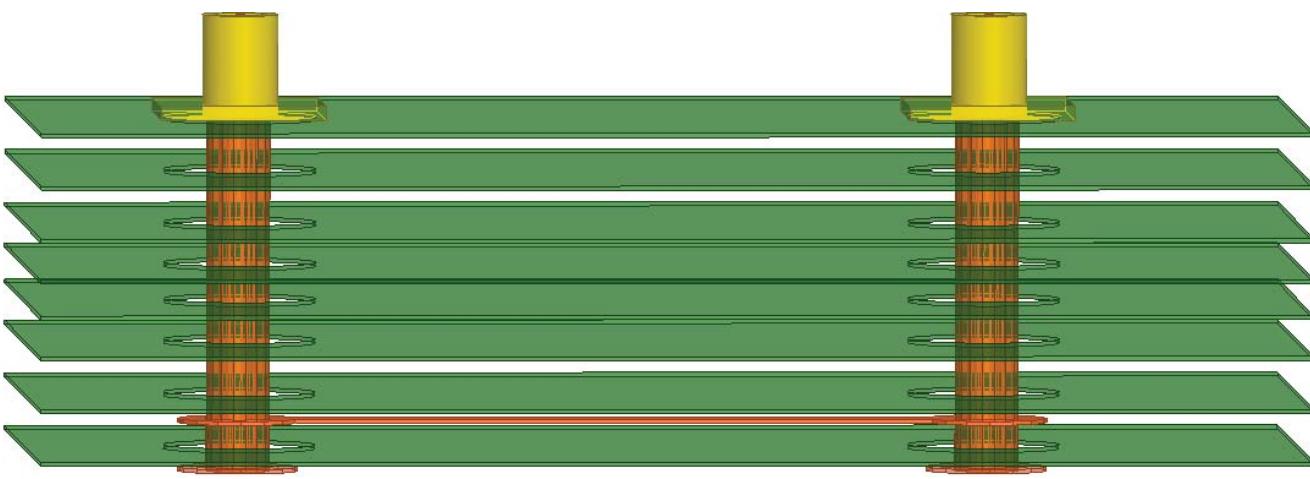


UG583\_c2\_11\_073014

图 2-1：层级 3 布线示例



**重要提示：**根据开发板的厚度，在较低信号层上进行高速信号布线可能附带有开发板过孔耦合抖动。为了降低厚板过孔串扰的影响，需牺牲同层布线内的信号间隔。



UG583\_c2\_12\_073014

图 2-2：层级 14 布线示例

为遵循赛灵思存储器仿真准则判定此设计中的系统时序裕度，系统设计师应运行系统级存储器通道仿真，以确认客户特定的布局做法中的真实时序裕度。

## 通用存储器布线准则

1. 判定信号走线长度时，请在布线约束内包含封装延迟。如可设置封装延迟的最小值和最大值，请使用最小值与最大值之间的中段值。

2. UltraScale 器件引出线规范假定焊盘间存在双信号布线。如果在焊盘间使用单信号布线，那么走线可能为  $39\Omega$  而不是  $50\Omega$ 。为尽量减少耦合，在焊盘之间进行两个信号的布线时，请尽量缩短走线长度。



图 2-3: UltraScale 器件引出线单端布线选择

3. 本章中的信号到信号偏差约束以 X 到 Y 的形式来表示，其中 Y 信号为基准点。在指定约束内，信号 X 可能比信号 Y 更短或更长。如果信号 X 属于总线的一部分，那么总线内的最短信号和最长信号必须在列示的规范范围内。如果 Y 信号为差分时钟或信号组，那么 Y 定义为信号对/信号组中的最短信号与最长信号之间的中点。

[表 2-2](#) 显示了 DQ 到 DQS 信号到信号约束规范示例。[图 2-4](#) 显示了约束的解释。数据总线中最短的 DQ 不得比 DQS 信号（DQS\_P 与 DQS\_N 的中点）早超过 5ps，而总线中的最长 DQ 不得比 DQS 信号晚超过 5ps。

表 2-2: 信号到信号偏差约束示例

信号组	偏差约束 (ps)	偏差约束 (mil)
DQ 到 DQS	$\pm 5$	$\pm 29$

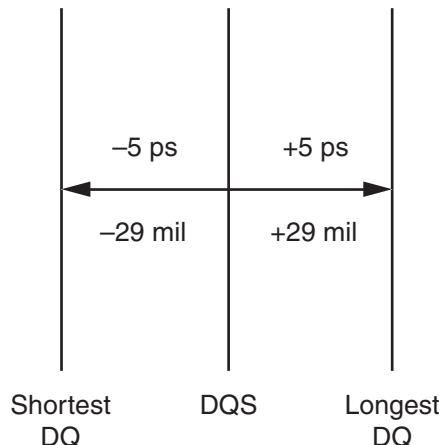


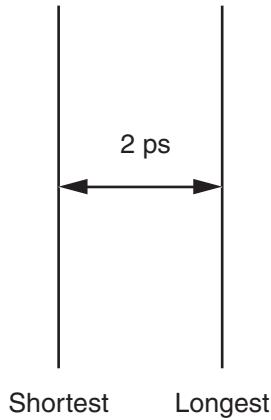
图 2-4: DQ 到 DQS 偏差示例

4. 本章中的差分信号组偏差约束以 X 的形式来表示。X 组中最长信号与最短信号之差不得大于指定约束。

[表 2-3](#) 显示了时钟组约束规范示例。[图 2-5](#) 显示了约束的解释。总线中最长地址信号与最短地址之间的延迟之差不得超过 2ps。

表 2-3: 信号组偏差约束示例

信号组	偏差约束 (ps)	偏差约束 (mil)
ck_p 和 ck_n	2	12



ug583\_c2\_105\_060719

图 2-5：时钟信号的偏差示例

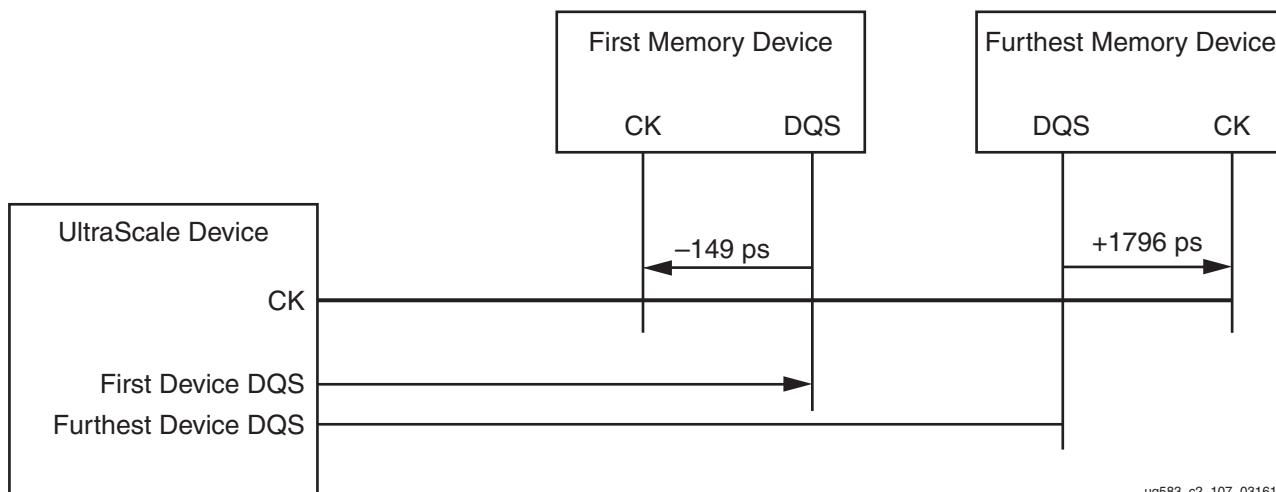
5. DDR3 和 DDR4 组件接口的 CK 到 DQS 规范范围很大，如表 2-4 中所示。如此广泛的范围是为了确保可在所有存储器器件上从器件链的首个器件到最后一个器件间实现适当的写平衡。

表 2-4：CK 到 DQS 偏差约束示例

信号组	偏差约束 (ps)	偏差约束 (mil)
CK 到 DQS	-149 - 1796	-879 - 10600

UltraScale 器件存储器控制器可在内部延迟 DQS 行，这样即可解决负偏差，原因在于 CK 行会接触器件链中的每个存储器器件，因此它遇到的电容负载比每对 DQS 的电容负载更大。这就导致 CK 行比每个 DQS 更慢，因为每个 DQS 仅接触 1 个存储器器件。此规范会将 CK 和 DQS 行（其中 CK 到 DQS 间偏差不小于 -149 ps）从 UltraScale 器件布线到器件链中的首个存储器器件，而将偏差不超过 1796 ps 的行布线到器件链中最远端的存储器器件，如图 2-6 中所示。只要器件链中的第一个存储器器件和最后一个存储器器件受到此约束的限制，所有存储器器件即可实现写平衡。

例如，如果 UltraScale 器件与首个存储器器件之间的 DQS 延迟为 200 ps，那么从该 UltraScale 器件到首个存储器器件的时钟延迟应至少为 51 ps (200 ps - 149 ps)。如果 UltraScale 器件与最远端存储器器件之间的 DQS 延迟为 700 ps，那么从该 UltraScale 器件到最后一个存储器器件的时钟延迟应小于 2496 ps (200 ps + 1796 ps)。



ug583\_c2\_107\_031616

图 2-6：CK 到 DQS 偏差规范解释

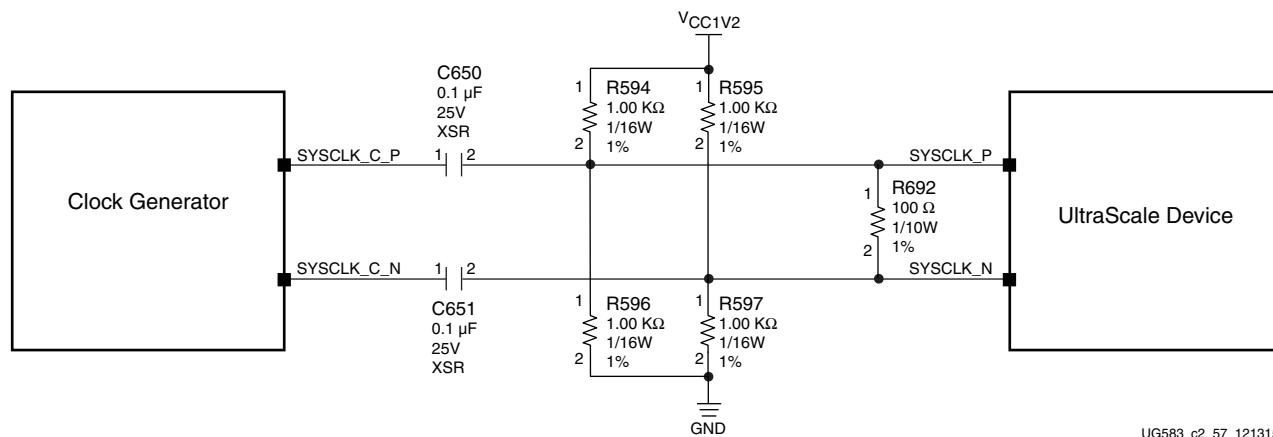


**提示：**在 DIMM 准则中，CK 到 DQS 规范的范围要小得多，因为 PCB 仅从 UltraScale 器件布线到 DIMM 中的首个存储器器件。从第一个存储器器件到最后一个存储器器件的布线由 DIMM 负责管理。

6. 偏差约束假定采用最快接口速度。对于较慢的速度，可放宽某些偏差的限制。请参阅[附录 A：存储器降额表](#)，以查看各种存储器接口的降额表。
7. 基于表 2-1 中所示叠层，偏差和长度约束假定传输时间为 169.5 ps/英寸。根据开发板的实际传输时间，最大走线长度可相应放宽或收紧。为便于转换，请将指定走线长度乘以 169.5 ps，然后除以开发板的实际传输时间。请参阅“[针对不同叠层进行调整](#)”。
8. 走线宽度和间隔基于表 2-1 中所示叠层来设置。如果使用其它叠层方案，则可修改宽度和间隔以达成阻抗目标。请参阅“[针对不同叠层进行调整](#)”。
9. 相同字节组中的 DQ 和 DQS 信号应在相同层级内从 UltraScale 器件布线到 DRAM/DIMM（引出线区域内除外）。按适当方式在字节组内包含数据掩码 (DM)。
10. 从某一个 DIMM 布线到另一个 DIMM 时，请勿更改层级（如果适用）。此外，对于 DIMM 布线，建议尽可能将数据字节组布线于最高的信号层（最接近 DIMM 连接器）上，对于位于 DIMM 中心附近的字节组尤其如此。
11. 对于飞越式布线，可将地址信号、命令信号和控制信号布线于不同层级上，但建议尽可能少用此方法。请勿将任一信号布线在 2 个以上层级上，这样可最大限度减少可能导致串扰问题的感应环路。任何跨信号层的过孔都需在 50 mil 周边范围存储器在 1 个接地过孔。
12. UltraScale 器件和存储器驱动强度取决于所使用的特定存储器标准和存储器组件。本文档中的存储器准则基于存储器接口生成器 (MIG) 所使用的默认标准。
13. 使用内部 V<sub>REF</sub> 时，可将专用 V<sub>REF</sub> 管脚绑定到 GND（含 500Ω 或 1KΩ 电阻）或保留处于浮动状态。请谨慎处理，尽量减少过孔耦合，从而减少通过 V<sub>REF</sub> 管脚的噪声耦合。

**注释：**使用内部 V<sub>REF</sub> 时，此管脚不得用作为 I/O。

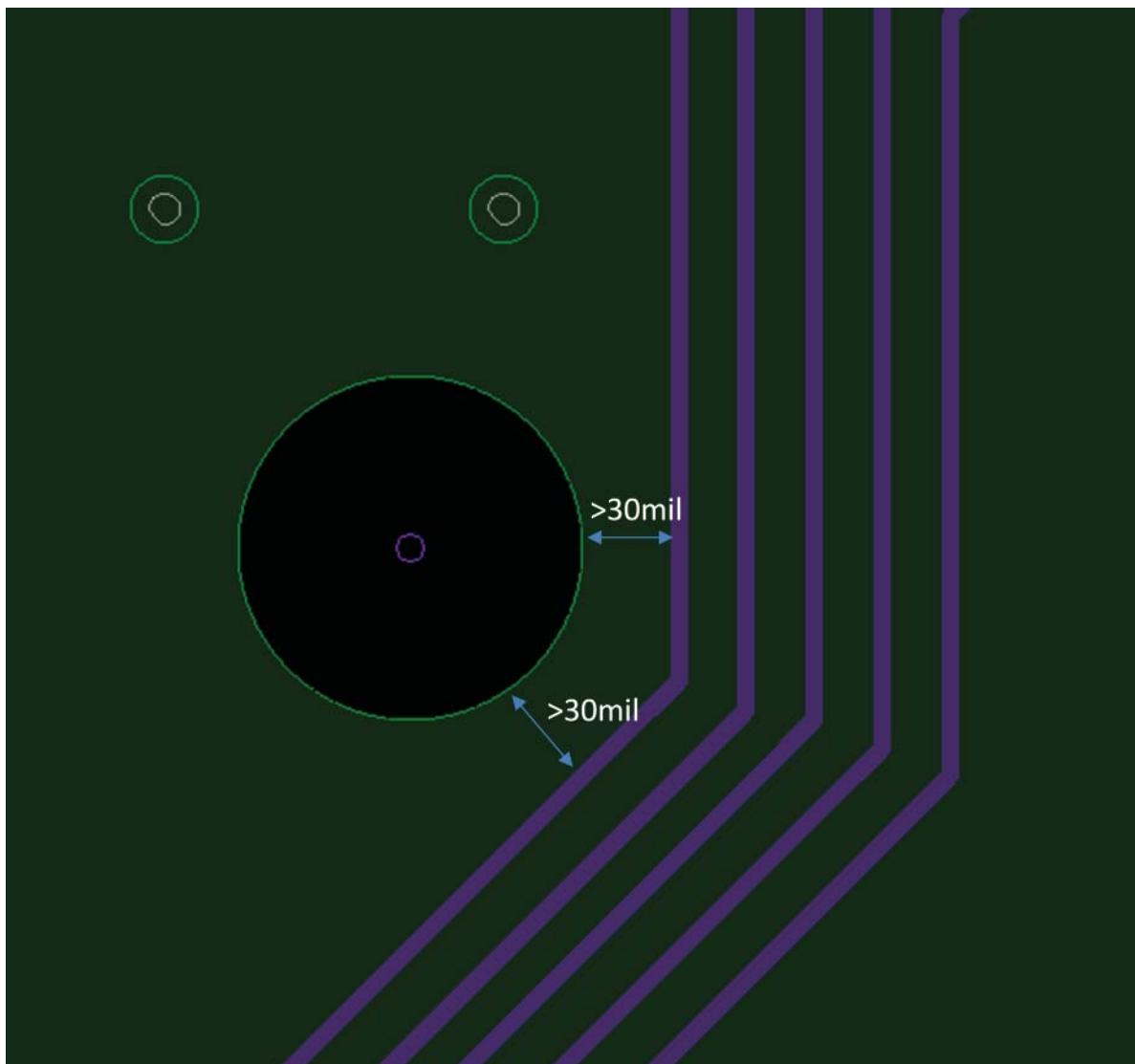
14. 如果将系统时钟连接到同时用于存储器的 bank，请以适当的上拉电压按图 2-7 中对应 LVDS 所示方式执行终止。由于所需存储器 bank 的 I/O 标准不同（HSTL、SSTL 或 POD），因此才需此终端电路。



UG583\_c2\_57\_121315

图 2-7: 系统时钟

15. 信号线必须布线于实体基准层上。请勿布线在空处（图 2-8）。



UG583\_c2\_13\_050614

图 2-8：实体基准层上的信号布线

16. 请勿布线于基准内电层分割处（图 2-9）。

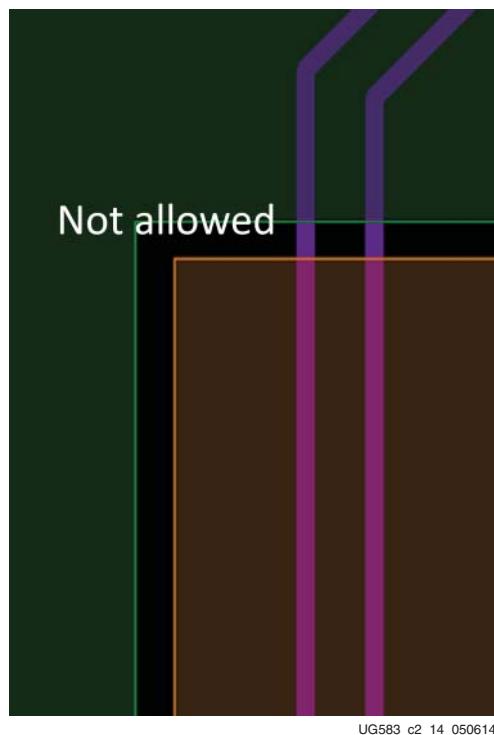


图 2-9：基准内电层分割处的信号布线

17. 请将布线置于距离基准内电层和空隙至少 30 mil 外，但引出线区域除外（图 2-8）。

18. 在引出线区域中，请将信号线布线于过孔空隙中间。请勿布线在过孔空隙边缘处（图2-10）。

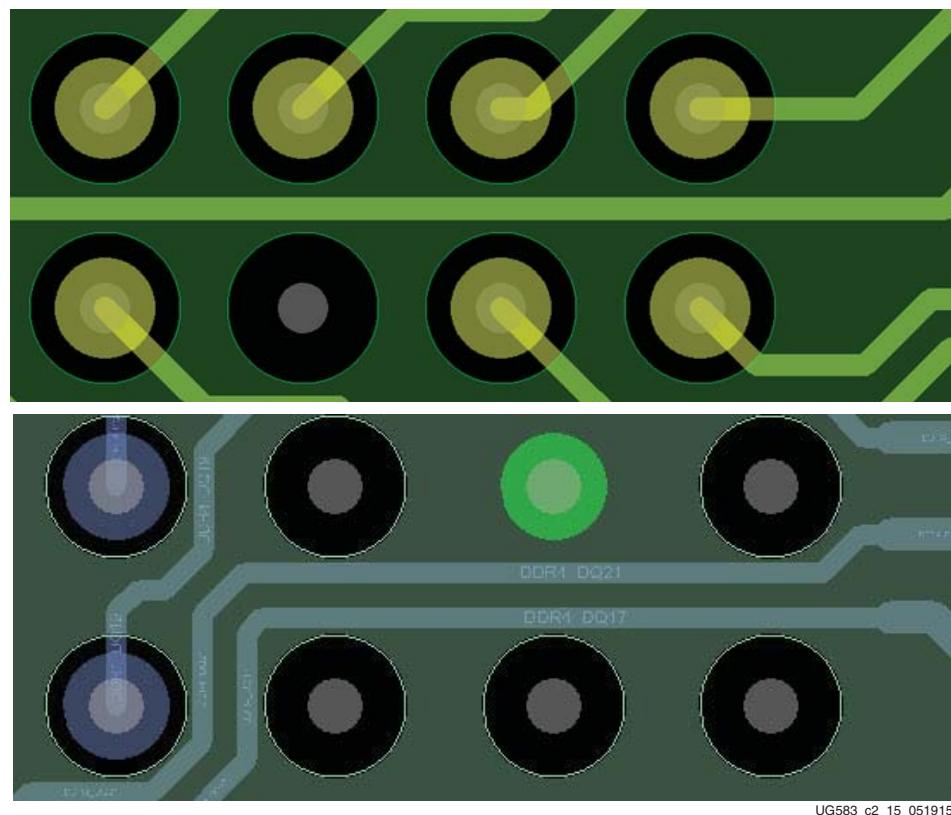
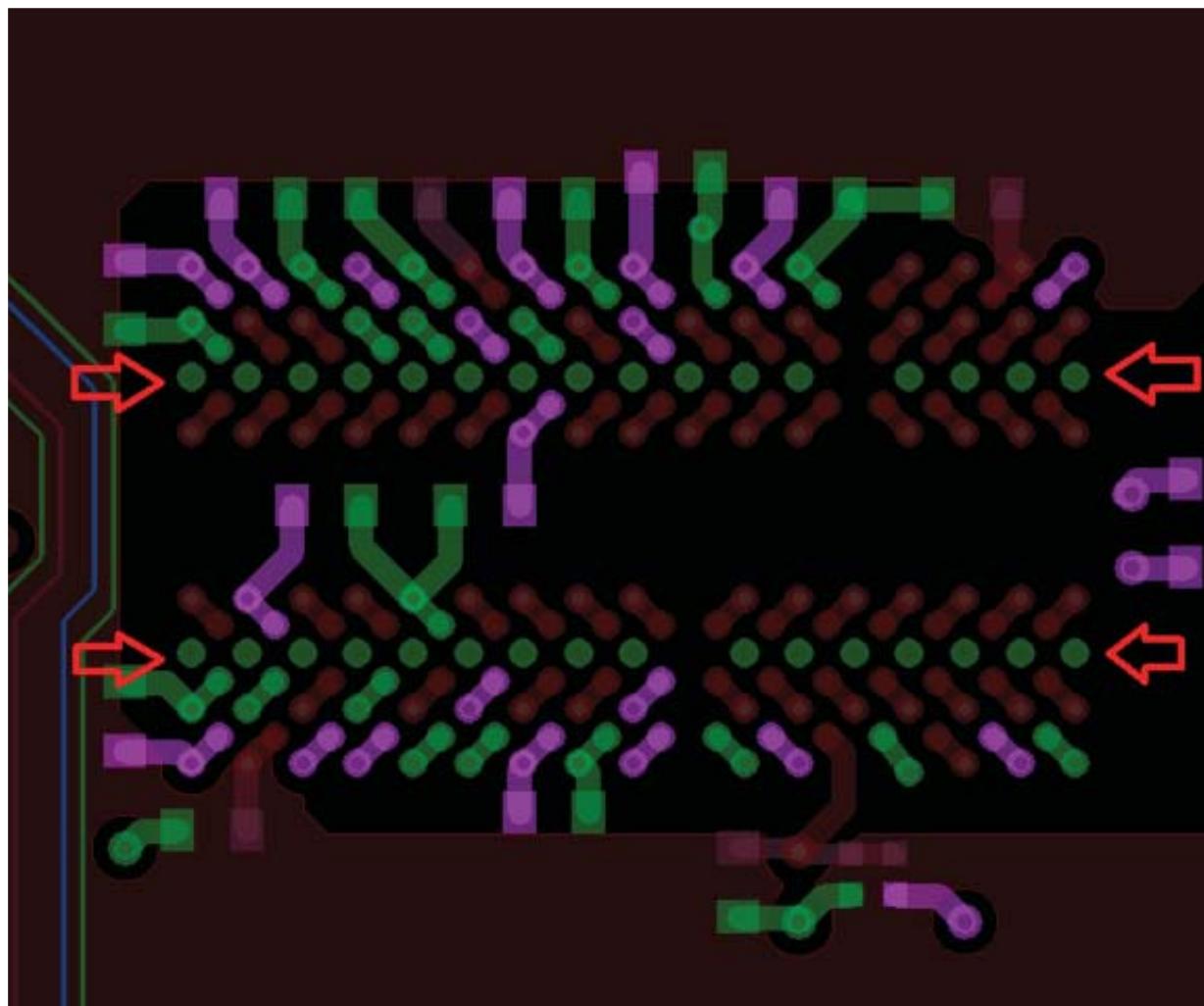


图2-10：引出线区域布线

19. 使用 V 型布线以便使用接地拼接过孔。图 2-11 显示了飞越式配置的建议布线，而图 2-12 则显示了在较拥塞的蛤壳式 (clamshell) 配置中调整接地拼接过孔位置的建议布线。



**重要提示：**缺少适当的接地拼接的情况下可能会出现串扰问题从而导致数据错误，尤其是在接地管脚较少的区域（如存储器器件的地址管脚附近）内。



UG583\_c2\_16\_050614

图 2-11：接地拼接示例（飞越式）

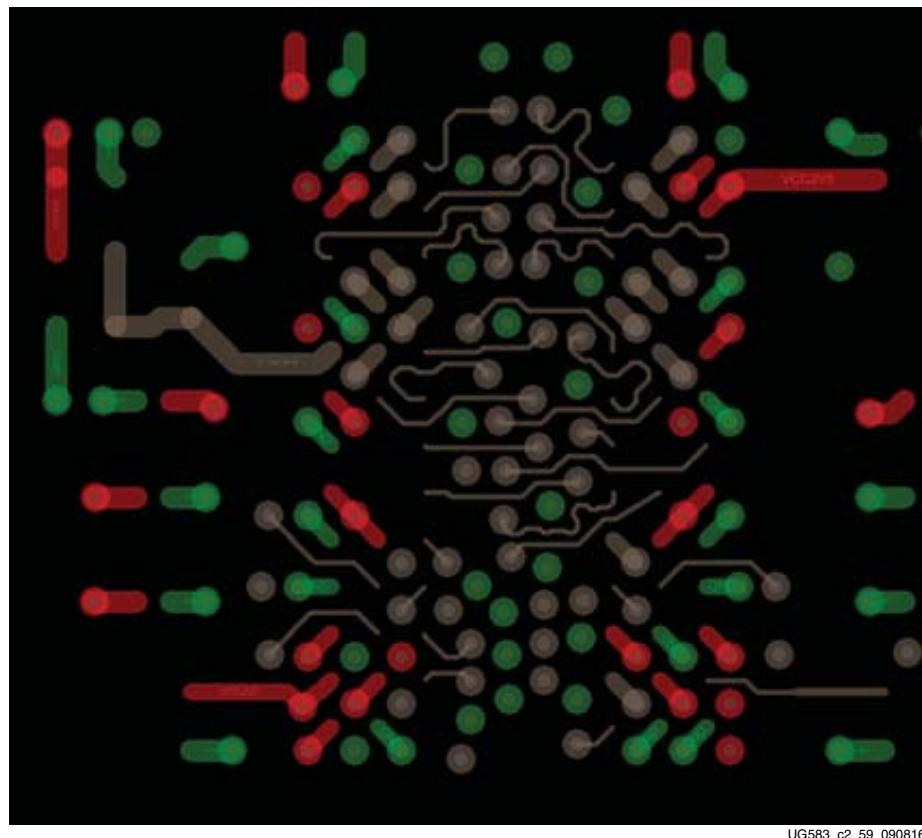


图 2-12：接地拼接（蛤壳式）示例 - 红色：电源，绿色：接地

图 2-13 显示了 DDR4 命令/地址/控制位（含接地拼接过孔和不含接地拼接过孔）的仿真眼图。左侧仿真显示眼高为 180 mV（含接地拼接过孔），而右侧仿真则显示眼高仅为 99 mV（不使用接地拼接过孔的情况下）。

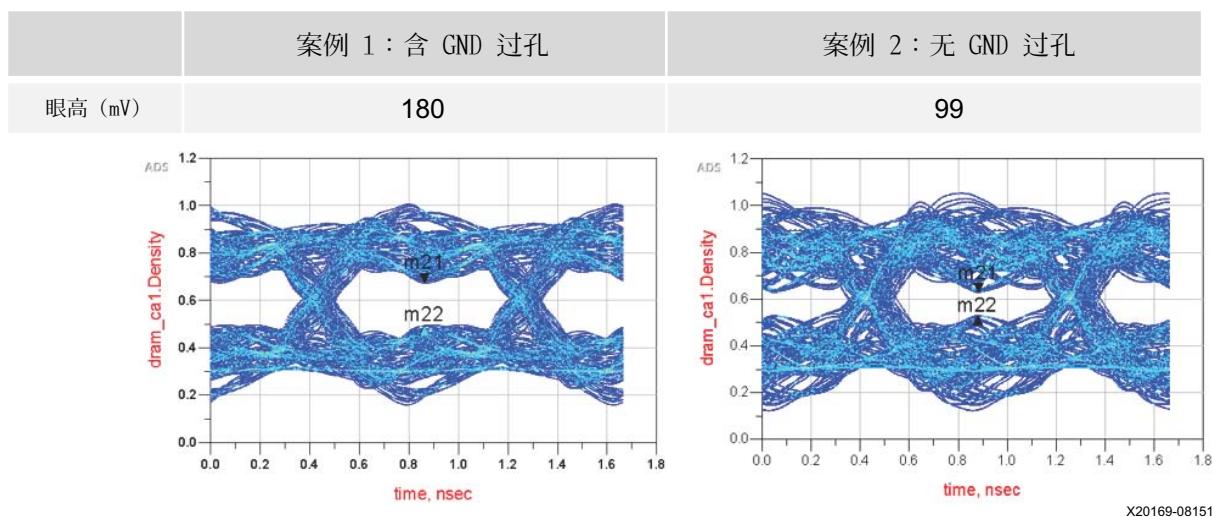
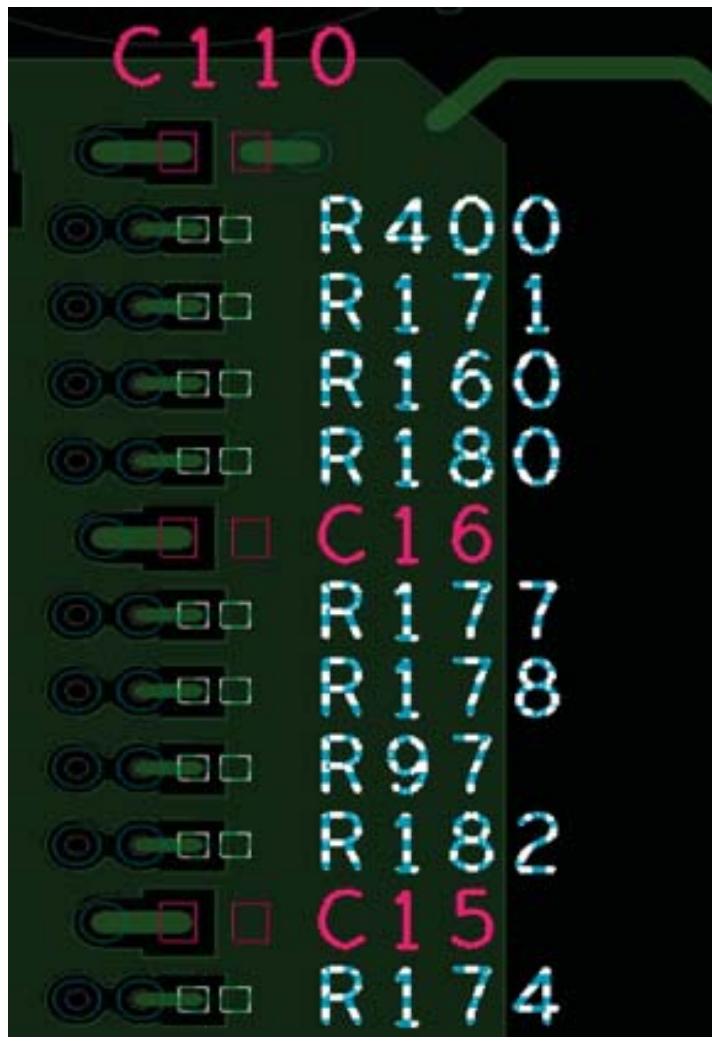


图 2-13：含接地拼接过孔和不含接地拼接过孔情况下的仿真

20. 尽可能在器件（FPGA、MPSoC、存储器组件、DIMM）边缘和内部添加更多接地过孔以便为信号和电源添加更好的接地回路（尤其是角落处）。角落或边缘处焊球通常所含过孔数量少于接地处。

21. 对于地址/命令/控制  $V_{TT}$  终端，每 4 个终端电阻应随附 1 个  $0.1 \mu F$  电容器，并以物理方式夹在电阻间，如图 2-14 中所示。请参阅存储器供应商的数据手册，以了解地址/命令/控制  $V_{TT}$  线路的噪声限制规格。



UG583\_c2\_17\_050614

图 2-14： $V_{TT}$  终端布局示例

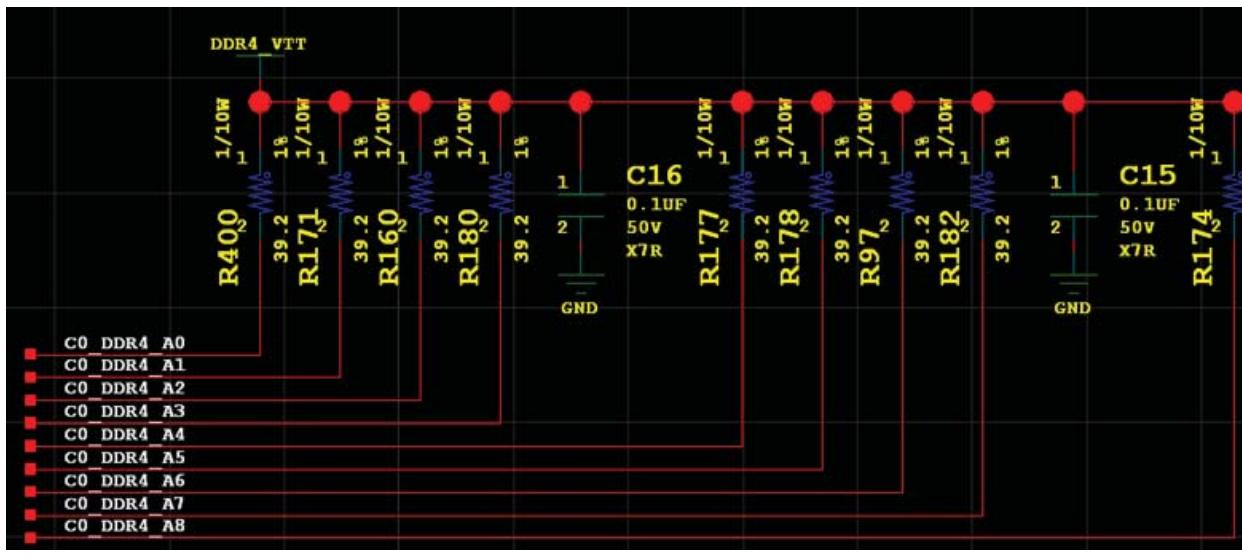


图 2-15：VTT 电阻和电容器连接原理图示例

22. 对于 DIMM，请将旁路电容器布局在命令/地址/控制焊盘附近，以便提供额外的接地过孔位置。此外，旁路电容器还可提供从电源到接地的较低阻抗的路径，此路径的重要意义在于地址/命令/控制管脚均在被引用到 FPGA 和 PCB 上的接地的同时还会被引用到 DIMM 上的电源。

23. 为了对信号布线进行最优化，图 2-16 中显示了单组件布局建议。

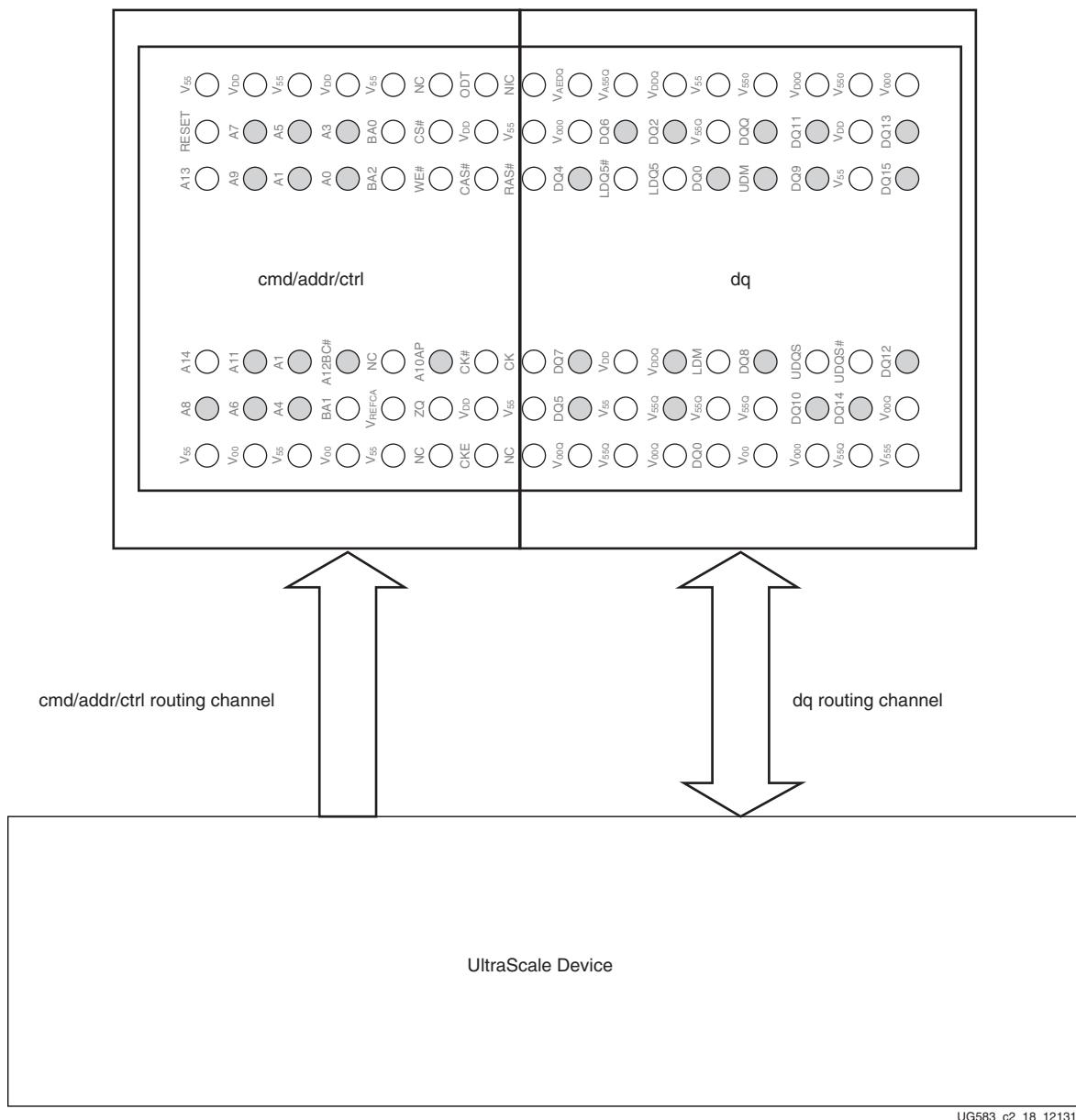
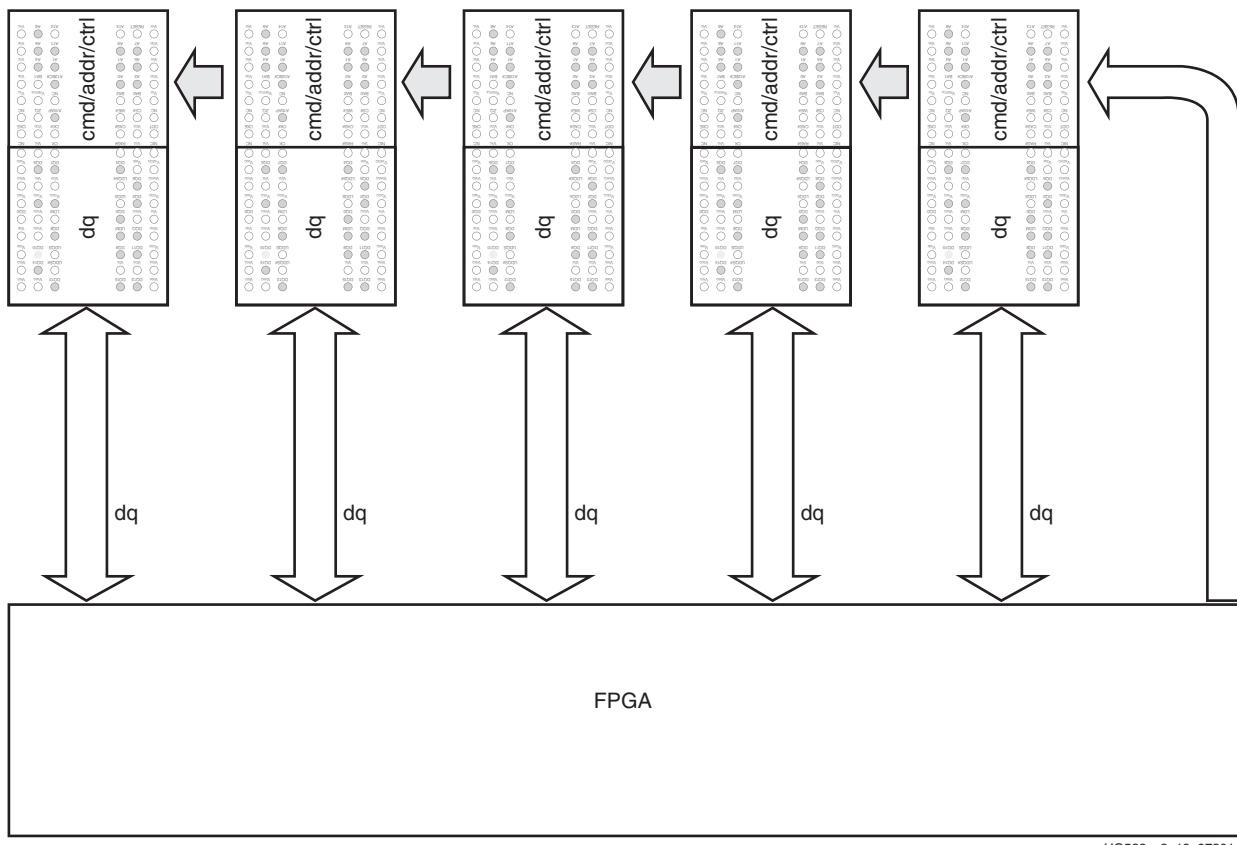


图 2-16：单组件的组件布局建议

对于 5 个组件的布局，图 2-17 中显示了布局建议。



UG583\_c2\_19\_073014

图 2-17：5 组件的组件布局建议

## 针对不同叠层进行调整

本章中所示走线宽度、间隔、长度和偏差约束基于表 2-1 中所示的基准叠层。不使用此叠层时，走线宽度、长度、层高、间隔和电介质材质可能需要调整才能满足阻抗、长度和偏差规格的要求。

PCB 制造车间可以调整这些因子以实现期望的阻抗和传输延迟目标。本节中列出了上述每个项的影响。此外，二维场解算器实用工具支持对各种组合进行测试。

## 电介质材质

每种电介质材质都有其自己的相对介电常量 ( $D_K$ ) 和损耗因子/损耗角正切 ( $D_f$ ) 作为线路阻抗 ( $Z_0$ )、信号传输延迟 ( $T_{PD}$ ) 和信号损耗 ( $\alpha$ ) 的影响因素。随着  $D_K$  增大，阻抗降低，而信号传输延迟和信号损耗则增加，反之亦然。PCB 上常见的  $D_K$  介于 3.4 到 4.6 的范围之间。给定电介质材质中的传输延迟为常量，不受任何其它开发板参数（例如，层高、导体宽度或导体间隔）的影响。传输延迟则受到频率的影响，但对于典型存储器速度的影响很小。信号损耗同样受到频率的影响，损耗随频率增大而增大。

等式 2-1 显示了传输延迟 ( $T_{PD}$ ) 的计算方式，其中使用  $D_K$  作为电介质常量，并使用  $c$  作为可用空间内的光速 ( $2.998 \times 10^8$  m/s 或  $1.180 \times 10^{10}$  in/s)。

$$T_{PD} = \frac{\sqrt{D_K}}{c} \quad \text{等式 2-1}$$

表 2-5 中的关联显示了电介质常量 ( $D_K$ ) 对于阻抗 ( $Z_0$ )、传输延迟 ( $T_{PD}$ ) 和信号损耗 ( $\alpha$ ) 的影响。

表 2-5： $D_K$  与阻抗、传输延迟和信号损耗的关联

$D_K \uparrow$	$Z_0 \downarrow$	$T_{PD}$	$\alpha \uparrow$
$D_K \downarrow$	$Z_0 \uparrow$	$T_{PD}^-$	$\alpha \downarrow$

## 走线宽度

随着走线宽度 ( $W$ ) 增加，阻抗降低，而信号传输延迟保持不变，反之亦然。任何宽度调整都应包含间隔 ( $S$ ) 调整以保持免受串扰效应影响。根据存储器和信号的特定类型，间隔因子约为 1.0 倍到 3 倍。表 2-6 中的关联显示了宽度对于阻抗、间隔和传输延迟的影响。

表 2-6：走线宽度与阻抗、所需间隔和传输延迟的关联

$W \uparrow$	$Z_0 \downarrow$	$S$	$T_{PD}$ (不变)
$W \downarrow$	$Z_0 \uparrow$	$S^-$	$T_{PD}$ (不变)

## 层高

随着层高 ( $H$ ) 增大，阻抗增大，而信号传输延迟保持不变，反之亦然。减小或增大层高时，请谨记，层高过低可能比以可靠方式制造的开销更大，因为 PCB 制造商必须避免开发板缺陷。层高过高可能导致宽高比违例。表 2-6 中的关联显示了层高对于阻抗和传输延迟的影响。

表 2-7：层高与阻抗和传输延迟的关联

$H \uparrow$	$Z_0 \uparrow$	$T_{PD}$ (不变)
$H \downarrow$	$Z_0 \downarrow$	$T_{PD}$ (不变)

## 基本铜厚

随着导线的基本铜厚（铜盎司）增大，阻抗将增加，而信号传输延迟保持不变，反之亦然。PCB 中最常用的基本铜厚为 0.5，称为半盎司铜。更改基本铜厚的影响很小，但由于可能导致成本增加，而回报较小，因此不建议更改。

## 调整设计参数以达成阻抗目标的示例

表 2-8 显示了 L1 PCB 主区域内带状线阻抗目标值为  $36\Omega$ 。走线宽度 ( $W$ ) 指定为 7.0 mil，且间隔指定为 8.0 mil。表 2-1 中的基准 PCB 叠层定义了将达  $36\Omega$  的层级组合和电介质材质。其中，电介质常量 ( $D_K$ ) 为 4.0，层高 ( $H$ ) 为 9.6 mil (4.5 + 0.6 + 4.5)。表 2-8 显示了达成阻抗目标所需的走线宽度 ( $W$ ) 和高度 ( $H$ )。间隔 ( $S$ ) 显示了持续满足性能要求所需的更改，但间隔并非影响线路阻抗的因素。增大  $D_K$  时，信号损失也会增加，如表 2-5 中所示。

表 2-8：调整 PCB 参数以达成阻抗目标的示例

目标 ( $Z_0$ ) $\Omega$	材质	$D_K$	$W$ (mil)	$S$ (mil)	$H$ (mil)	描述
36	Isola FR-4 370H	4.00	7.0	8.0	9.6	请参阅表 2-1。
36	Megtron 6	3.71	7.0	8.0	9.2 $\downarrow$	宽度和间隔与基准层相同。
36	Megtron 6	3.71	7.5 $\uparrow$	8.5 $\uparrow$	9.6	高度与基准层相同。
36	FR4 (标准)	4.60	7.0	8.0	10.6 $\uparrow$	宽度和间隔与基准层相同。
36	FR4 (标准)	4.60	6.0 $\downarrow$	7.0 $\downarrow$	9.6	高度与基准层相同。

# 对应 DDR4 SDRAM（PL 和 PS）的 PCB 准则

## 简介

本节提供了来自对应 UltraScale 架构的系统级信号完整性仿真的典型 DDR4 SDRAM 接口（最多 9 个器件）的电气设计准则。此处将使用含 5 个组件、位宽为 80 且使用 x16 器件的 DDR4 接口作为飞越式拓扑的设计示例，并使用含 9 个组件的示例作为蛤壳拓扑的设计示例。

**注释：**对于使用 Zynq UltraScale+ 器件视频编解码单元 (VCU) 并在 PL 内使用 DDR4 存储器的应用，请参阅[赛灵思答复记录 71209](#)，以了解重要的设计注意事项。



**重要提示：**必须遵循本节中的所有布线准则方可实现针对典型系统设计的 DDR4 SDRAM 接口指定的最大数据率。客户可能采用专用或特殊设计，其中存在部分规则违例。在此类情况下，必须在其它布线参数中权衡设计或布线取舍，以降低风险。需通过系统级通道信号完整性仿真来对此类取舍加以评估。在继续本节前，请务必先阅读[“通用存储器布线准则”部分](#)。

## DDR4 SDRAM 接口信号描述

DDR4 SDRAM 接口由时钟信号、控制信号、地址信号和数据信号组成，如表 2-9 中所示。

表 2-9：DDR4 SDRAM I/O 信号描述

信号名称	描述
<b>时钟信号</b>	
ck_t 和 ck_c	差分时钟
<b>地址信号和命令信号</b>	
a[17:13:0]	地址输入
ras_n/a[16]	行地址选通，地址位 16
cas_n/a[15]	列地址选通，地址位 15
we_n/a[14]	写入使能，地址位 14
bg[1:0]	bank 组输入
ba[1:0]	bank 地址输入
act_n	激活命令输入
par	命令和地址奇偶校验输入
<b>控制信号</b>	
cke	时钟使能
cs_n[3:0]	芯片选择
odt	片上终端使能
reset_n	请参阅 <a href="#">“reset_n”</a>
<b>数据信号</b>	
dq[79:0]	数据输入/输出
dqs_t/dqs_c[9:0]	数据选通（差分）

表 2-9：DDR4 SDRAM I/O 信号描述（续）

信号名称	描述
dm_n/dbi_n	数据掩码和数据总线反转
其它信号	
TEN	测试连接模式。CMOS 级别。将 $500\Omega$ 电阻连接到位于存储器器件处的接地。
alert_n	请参阅 “ <a href="#">alert_n</a> ”
VRP (PL)	240 $\Omega$ 到 GND
ZQ (PS)	240 $\Omega$ 到 GND

注释：

- 实际信号列表可能因配置而异。

## 飞越式拓扑和蛤壳拓扑

针对 DDR4 SDRAM 支持两种拓扑类型：飞越式拓扑和蛤壳拓扑。飞越式拓扑（图 2-18）将所有存储器器件全部包含在单一层级内，通常采用直插。此类拓扑通常更便于布线，可提供最佳信号完整性，但可能占用宝贵的开发板空间。

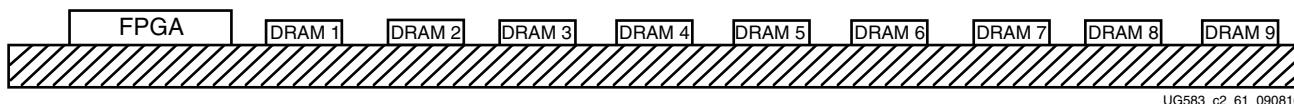


图 2-18：飞越式拓扑

蛤壳拓扑（图 2-19）需要更复杂的布线，但适合开发板空间有限的设计。



**重要提示：**在 MIG 工具中，蛤壳拓扑属于受支持的 DDR4 SDRAM 拓扑，且仅限选择用于可编程逻辑 bank。

Zynq UltraScale+ MPSoC 中的 PS 不具有可选蛤壳配置选项。但是只要将 PS 设置为双列配置并且首个列位于顶层，此二列在底层生成镜像，即可将 PS 配置为蛤壳。在 Vivado 工具中使用此拓扑时，请参阅《UltraScale 架构 FPGA 存储器 IP 产品指南》(PG150) [参照 13] 中的“蛤壳拓扑”部分，以获取更多信息。

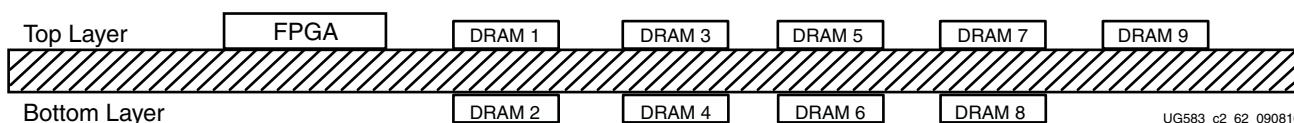


图 2-19：蛤壳拓扑

## 使用地址镜像来简化蛤壳布线

虽然蛤壳拓扑具有诸如开发板占用空间更小等优势，但存储器器件封装管脚位置不对称的性质可能导致顶层和底层间存储器器件下区域内布线更拥塞。此布线拥塞可能导致串扰更强，因为所含接地回路过孔少于其它拓扑（请参阅“[通用存储器布线准则](#)”中的第 21 项）并且顶层和底层短截线走线更长。地址镜像可用于更改存储器器件上某些管脚的功能以与其相邻的上方或下方管脚直接对应。针对信号壳使用一个过孔，并且每个器件的接合焊盘均含一条短截线。如需了解地址镜像定义，请参阅 JEDEC 规范 JESD21-C。根据表 2-10 所述，针对 DDR4 SDRAM 可生成 12 个命令/地址/控制管脚镜像。

表 2-10：针对 DDR4 SDRAM 允许的镜像管脚

存储器 控制器管脚	DRAM 管脚（非镜像）	DRAM 管脚（镜像）
A3	A3	A4
A4	A4	A3
A5	A5	A6
A6	A6	A5
A7	A7	A8
A8	A8	A7
A11	A11	A13
A13	A13	A11
BA0	BA0	BA1
BA1	BA1	BA0
BG0 <sup>(1)</sup>	BG0	BG1
BG1 <sup>(1)</sup>	BG1	BG0

注释：

- 仅当存储器器件上存在管脚 BG1 时，方可生成 BG0 和 BG1 镜像。

## 对应 DDR4 SDRAM 的拓扑和布线准则

### DDR4 SDRAM 地址、命令和控制飞越式拓扑和蛤壳拓扑

图 2-20 展示了地址信号、命令信号和控制信号的飞越式拓扑。每个 SDRAM 上的每个时钟管脚、地址管脚、命令管脚和控制管脚均连接到一条走线并终止于远端。

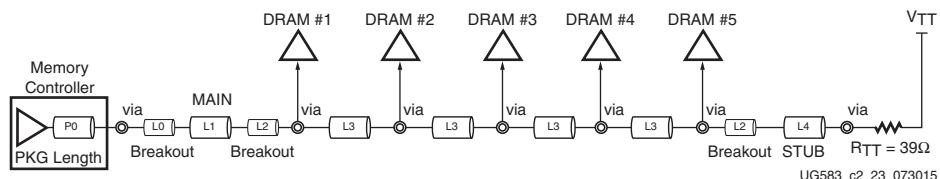


图 2-20：对应 DDR4 SDRAM 的地址、命令和控制飞越式终端

reset\_n

图 2-21 显示了 reset\_n 的终端在 FPGA 上电和重配置期间， $4.7\text{ k}\Omega$  接地的 reset\_n 将保持为 Low。如果在 FPGA 掉电或重配置期间需自动刷新，则需添加电路以确保在此期间 reset\_n 保持为 High。

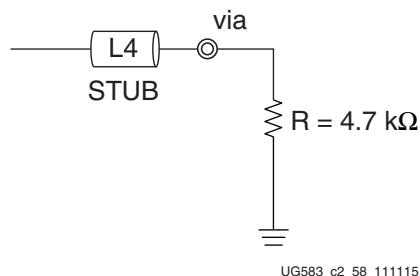


图 2-21：DDR4 DRAM 中 reset\_n 的终端

### alert\_n

对于含组件接口的 Zynq UltraScale+ MPSoC 设计，请将 PS\_DDR\_ALERT\_N 管脚连接到飞越式布线中的 DDR4 器件的 ALERT\_N 管脚，并端接到含  $50\Omega$  上拉电阻的  $V_{DD}$ 。对于含 DIMM 的 Zynq UltraScale+ MPSoC 设计，请将 PS\_DDR\_ALERT\_N 管脚连接到连接器的 ALERT\_N 管脚。对于基于 PL 的设计，控制器不会生成 ALERT\_N 管脚，但 DDR4 组件 ALERT\_N 信号必须通过飞越式布线连接在一起，并通过  $50\Omega$  上拉电阻端接至  $V_{DD}$ 。对于含 DIMM 的基于 PL 的设计，请在连接器处使 ALERT\_N 管脚保持浮动状态。ALERT\_N 信号没有任何偏差或长度匹配方面的要求。

表 2-11 显示了对应地址信号、命令信号和控制信号的 DDR4 SDRAM 飞越式阻抗、长度和间隔准则。

表 2-11：对应地址信号、命令信号和控制信号的 DDR4 SDRAM 飞越式阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	L3	L4 (到 R <sub>TT</sub> )	单位
走线类型	带状线	带状线	带状线	带状线	带状线	-
单端阻抗 Z <sub>0</sub>	50±10%	36±10%	50±10%	50±10%	39±10%	Ω
走线宽度	4.0	7.0	4.0	4.0	6.0	mil
走线长度	0.0~1.5 <sup>(1)(2)</sup>	0.0~4.0	0.0~0.1	0.35~0.75	0~1	英寸
地址信号、命令信号和控制信号 中的间隔（最小值）	4.0	8.0 <sup>(2)</sup>	4.0	8.0	8.0	mil
距离时钟信号的间隔（最小值）	8.0	20	8.0	20	20	mil
距离其它组信号的间隔（最小 值）	8.0	30	30	30	30	mil
最大 PCB 过孔计数			7			-

注释：

- 请参阅“通用存储器布线准则”中的第 2 项。
- 如果引出线区域内需超过 1.5 英寸，请将 L1 间隔更改为 12.0。

对于 DDR4 SDRAM 蛤壳拓扑，针对控制/地址/命令信号建议采用可选飞越式拓扑。可选层级布线可以在每个存储器器  
件上实现适当的信号负载均衡。如图 2-22 中所示，当 FPGA 位于顶层时，布线到顶层器件 1、3、5、7 和 9 的内层与  
顶层距离更近，而布线到底层器件 2、4、6 和 8 的内层与底层距离更近。

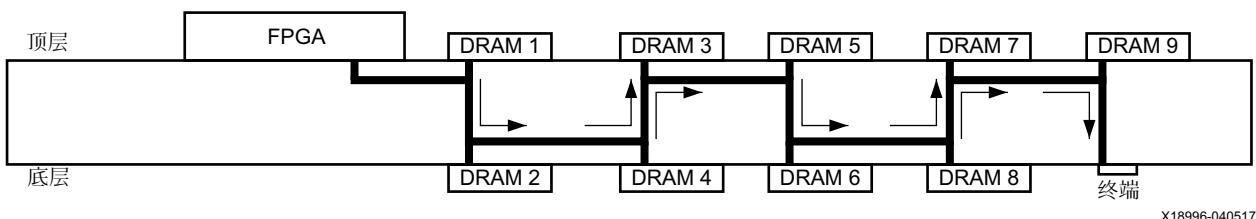


图 2-22：对应 DDR4 SDRAM 蛤壳的地址/命令/控制拓扑

注释：终端电阻可位于顶层或底层。

DDR4 SDRAM 蛤壳拓扑使用 2 个独立芯片选择 (CS) 信号，1 个用于顶层 DRAM，另一个用于底层 DRAM。这些信号应  
按图 2-20 和表 2-11 中的定义作为标准飞越式拓扑来进行布线。

表 2-12 显示了对应地址信号、命令信号和控制信号的 DDR4 SDRAM 蛤壳阻抗、长度、宽度和间隔准则。请注意 L2 段的额外  
长度。

表 2-12：对应地址/命令/控制信号的 DDR4 SDRAM 蛤壳阻抗、长度、宽度和间隔准则

参数	L0 FPGA 引出线	L1	L2	L3	L4	L5	L6 V <sub>TT</sub> 短截线	单位
层级（建议）	上方内层	上方内层	下方内层	上方内层	顶层	底层	底层	
阻抗 Z <sub>0</sub>	50	50	50	50	50	50	39	Ω
长度	0.0~1.5 <sup>(1)</sup>	0.0~4.0	L3+0.2	0.45~0.85	对于镜像，L4 = L5；对 于非镜像，尽可能缩短		≤0.95	英寸
宽度	4.0	4.0	4.0	4.0	4.0	4.0	6.0	mil

表 2-12：对应地址/命令/控制信号的 DDR4 SDRAM 蛤壳阻抗、长度、宽度和间隔准则（续）

参数	L0 FPGA 引出线	L1	L2	L3	L4	L5	L6 V <sub>TT</sub> 短截线	单位
组内间隔	4.0	8.0 <sup>(1)</sup>	8.0	8.0	8.0	8.0	8.0	mil
距离时钟的间隔	8.0	20	20	20	20	20	20	mil
距离其它组的间隔	8.0	30	30	30	30	30	30	mil

注释：

- 如果引出线区域内需超过 1.5 英寸，请将 L1 间隔更改为 12.0。



**重要提示：**尽可能添加更多接地过孔，以避免串扰问题。请参阅“通用存储器布线准则”中的第 20 项。

### DDR4 SDRAM 时钟 飞越式和蛤壳终端

飞越式拓扑中固有的时钟信号与 DQS 信号之间的时序偏差通过 DDR4 SDRAM 上的写平衡功能来完成纠偏（图 2-23）。

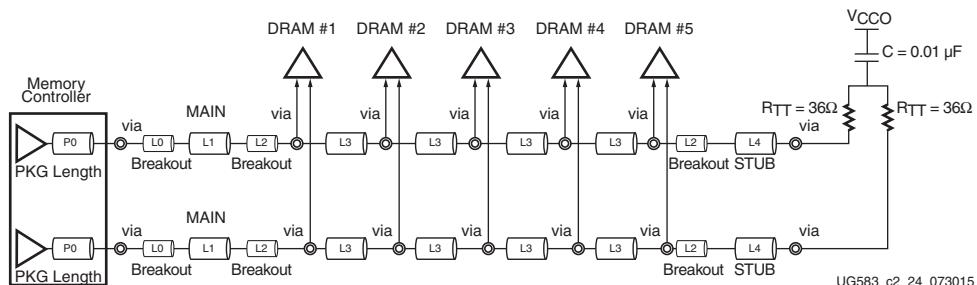


图 2-23：对应 DDR4 SDRAM 的时钟飞越式终端

表 2-13 显示了对应时钟信号的 DDR4 SDRAM 阻抗、长度和间隔准则。

表 2-13：对应时钟信号的 DDR4 SDRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3	L4 (到 R <sub>TT</sub> )	单位
走线类型	带状线	带状线	带状线	带状线	带状线	-
时钟差分阻抗 Z <sub>DIFF</sub>	86±10%	76±10%	86±10%	90±10%	76±10%	Ω
走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	4.0/4.0/4.0	4.0/5.0/4.0	6.0/6.0/6.0	mil
走线长度	0.0~1.5 <sup>(1)(2)</sup>	0.0~4.0	0.0~0.1	0.35~0.75	0~1.0	英寸
地址信号、命令信号和控制信号中的间隔（最小值）	8.0	20 <sup>(2)</sup>	8.0	20	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	30	30	mil
最大 PCB 过孔计数（按信号）		7				-

注释：

- 请参阅“通用存储器布线准则”中的第 2 项。
- 如果引出线区域内需超过 1.5 英寸，请将 L1 间隔更改为 30。

对于 DDR4 SDRAM 蛤壳拓扑，针对时钟信号建议采用可选飞越式拓扑。可选层级布线可以在每个存储器器件上实现适当的信号负载均衡。如表 2-27 中所示，当 FPGA 位于顶层时，布线到顶层器件 1、3、5、7 和 9 的内层与顶层距离更近，而布线到底层器件 2、4、6 和 8 的内层与底层距离更近。

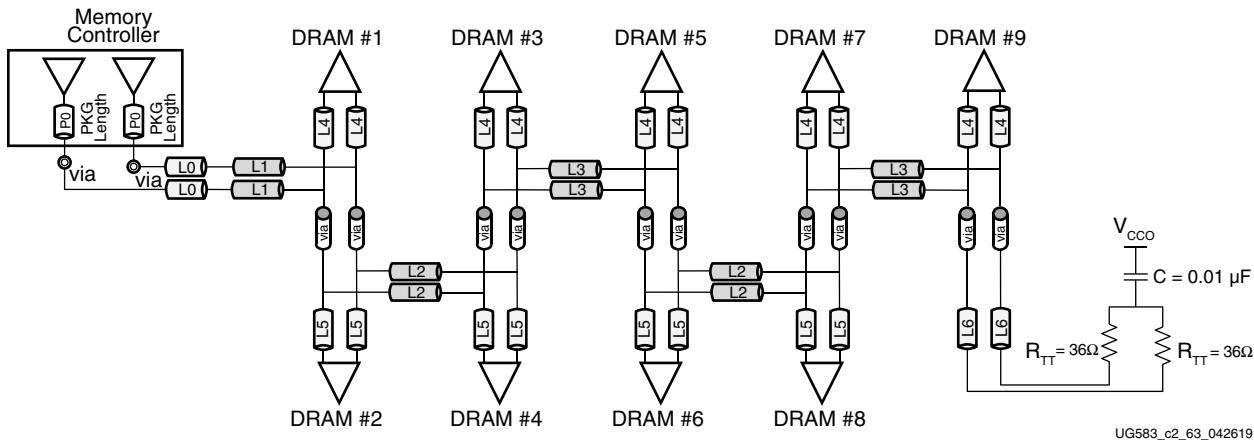


图 2-24：对应 DDR4 SDRAM 蛤壳的时钟拓扑

注释：终端组件可位于顶层或底层。

表 2-14 显示了对应时钟信号的 DDR4 SDRAM 蛤壳阻抗、长度和间隔准则。请注意 L2 段的额外长度。

表 2-14：对应时钟信号的 DDR4 SDRAM 蛤壳阻抗、长度、宽度和间隔准则

参数	L0 FPGA 引出线	L1	L2	L3	L4	L5	L6 V <sub>TT</sub> 短截线	单位
层级（建议）	上方内层	上方内层	下方内层	上方内层	顶层	底层	底层	
差分阻抗 Z <sub>0</sub>	86	76	90	90	86	86	76	Ω
长度	0.0~1.5 <sup>(1)</sup>	0.0~4.0	L3+0.2	0.45~0.85	对于镜像，L4 = L5；对于非镜像，尽可能缩短		≤1.0	英寸
宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	4.0/5.0/4.0	4.0/5.0/4.0	4.0/4.0/4.0	4.0/4.0/4.0	6.0/6.0/6.0	mil
距离地址/命令/控制的间隔	8.0	20 <sup>(1)</sup>	20	20	20	20	20	mil
距离其它组的间隔	8.0	30	30	30	30	30	30	mil

注释：

- 如果引出线区域内需超过 1.5 英寸，请将 L1 间隔更改为 30。



重要提示：尽可能添加更多接地过孔，以避免串扰问题。请参阅“通用存储器布线准则”中的第 20 项。

## 对应飞越式和蛤壳配置的 DDR4 SDRAM 点对点数据信号

图 2-25 显示了 DDR4 SDRAM 的点对点数据信号（DQ、DM 和 DQS）。飞越式配置和蛤壳配置适用相同准则。

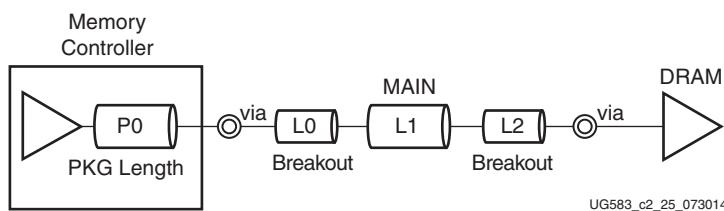


图 2-25：DDR4 SDRAM 的点对点数据信号

表 2-15 显示了对应数据信号的 DDR4 SDRAM 阻抗、长度和间隔准则。

表 2-15：对应数据信号的 DDR4 SDRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	单位
走线类型	带状线	带状线	带状线	-
DQ 单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$50 \pm 10\%$	$\Omega$
DQS 差分阻抗 $Z_{DIFF}$	$86 \pm 10\%$	$76 \pm 10\%$	$86 \pm 10\%$	$\Omega$
走线宽度（额定值）	4.0	6.0	4.0	mil
差分走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	4.0/4.0/4.0	mil
走线长度	0.0~1.5 <sup>(1)(2)</sup>	0.0~4.0	0.0~0.1	英寸
字节内间隔（最小值）	4.0	8.0 <sup>(2)</sup>	4.0	mil
字节间的间隔（最小值）	4.0	20	4.0	mil
DQ 到 DQS 间隔（最小值）	4.0	20	8.0	mil
距离其它组信号的间隔（最小值）	8.0	30	30	mil
最大 PCB 过孔计数		2		-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。
2. 如果引出线区域内需超过 1.5 英寸，请将 L1 间隔更改为 12.0。

## DDR4 SDRAM 布线约束

针对 DDR4 存储器接口中的每个信号组都存在 2 项约束要求：

- 总长/延迟约束
- 偏差约束

表 2-16 中显示了总长/延迟约束。

表 2-16：DDR4 SDRAM 总长/延迟约束

信号组	参考图示	最大长度/延迟约束
地址/命令/控制： x1/x2/x3/x4/x5/x6/x7/x8/x9 (含封装布线 P0)	图 2-20	7.15/7.9/8.65/9.4/10.15/10.9/11.65/12.4/13.15 英寸 1211/1339/1466/1593/1720/1847/1974/2101/2228 ps
数据信号 P0+L0+L1+L2	图 2-25	6.0 英寸, 1017 ps

在表 2-17 和表 2-18 中列出了偏差约束。

表 2-17：DDR4 SDRAM 数据组偏差约束

信号组	偏差约束 (ps)	偏差约束 (mil)
数据(1) 到 DQS	±10	±58
dqs_p 和 dqs_n	2	12
CK 到 DQS	-149 - 1796	-879 mil 到 10.59 英寸

注释：

1. 数据组包含 dq 和 dm\_n/dbi\_n。
2. 延迟基于 169.5 ps/英寸。请参阅“通用存储器布线准则”中的第 8 项。
3. 如需了解有关偏差规格的更多信息，请参阅“通用存储器布线准则”中的第 3-8 项。

在表 2-18 中列出了数据组偏差约束。

表 2-18：DDR4 SDRAM 地址、命令和控制偏差约束

信号层	信号段	偏差约束 (ps)	偏差约束 (mil)
地址/命令/ 控制(1) 到 CK	UltraScale 器件到每个存 储器器件	±8 ps	±47
ck_p 和 ck_n	UltraScale 器件到每个存 储器器件	2	12

注释：

1. reset\_n 信号对于满足该表中的偏差约束并非必需信号。
2. 如需了解有关偏差规格的更多信息，请参阅“通用存储器布线准则”中的第 3-8 项。



**重要提示：**FPGA 封装飞行时间必须包含在总长约束和偏差约束中。如可设置封装延迟的最小值和最大值，请使用最小值与最大值之间的中段值。存储器器件封装飞行时间无需考虑在内，因为在这些准则中已考量了其变化。

# 对应 DDR3/3L SDRAM（PL 和 PS）的 PCB 准则

## 简介

本节提供了来自对应 UltraScale 架构的系统级信号完整性仿真的典型 DDR3 SDRAM 接口（最多 9 个器件）的电气设计准则。在本文档中使用含 5 个组件、位宽为 80 且使用 x16 器件的 DDR3 接口作为设计示例。



**重要提示：**必须遵循本节中的所有布线准则方可实现针对典型系统设计的 DDR3/3L SDRAM 接口指定的最大数据率。客户可能采用专用或特殊设计，其中存在部分规则违例。在此类情况下，必须在其它布线参数中权衡设计或布线取舍，以降低风险。需通过系统级通道信号完整性仿真来对此类取舍加以评估。在继续本节前，请务必先阅读“[通用存储器布线准则](#)”部分。

## DDR3 SDRAM 接口信号描述

DDR3 SDRAM 接口由时钟信号、控制信号、地址信号、命令信号和数据信号组成，如表 2-19 中所示。

表 2-19：DDR3 SDRAM 接口信号描述

信号名称	描述
<b>时钟信号</b>	
ck_p/n[1:0]	差分时钟
<b>控制信号</b>	
cke[1:0]	时钟使能。
cs_n[1:0]	芯片选择
odt[1:0]	片上终端使能
reset_n	请参阅 “ <a href="#">reset_n</a> ”
<b>地址信号</b>	
a[15:0]	存储器地址总线
ba[2:0]	bank 地址
<b>命令信号</b>	
ras_n	行地址选择
cas_n	列地址选择
we_n	写入使能
<b>数据信号</b>	
dq[79:0]	数据总线
dqs_p/n[9:0]	差分数据选通
dm[9:0]	数据掩码
<b>其它信号</b>	
VRP (PL)	240Ω 到 GND

表 2-19：DDR3 SDRAM 接口信号描述（续）

信号名称	描述
ZQ (PS)	240Ω 到 GND

注释：

- 实际信号列表可能因配置而异。

## 对应 DDR3 SDRAM 的拓扑和布线准则

### DDR3 SDRAM 地址、命令和控制飞越式终端

对于 DDR3 SDRAM 中的高速信号处理，可使用飞越式拓扑来处理地址信号、命令信号和控制信号，以便实现最佳信号完整性。每个地址信号、命令信号和控制信号本身都在同一层级内进行从相应的 UltraScale 器件管脚到远端终端的连续布线（引出线区域除外）。换言之，任一地址信号、命令信号或控制信号布线都不会拆分到多个层上进行布线。图 2-26 显示了 DDR3 SDRAM 的地址飞越式终端。

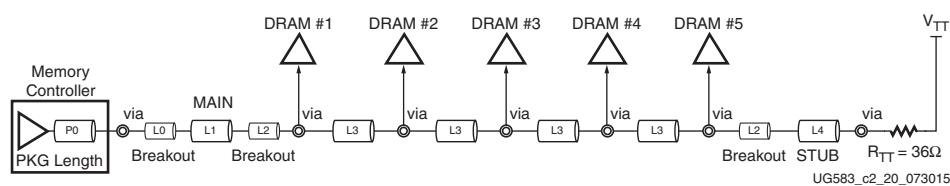


图 2-26：对应 DDR3 SDRAM 的飞越式终端

## reset\_n

图 2-27 显示了 reset\_n 的终端在 FPGA 上电和重配置期间， $4.7\text{ k}\Omega$  电阻到接地将使每条线路保持为 Low。如果在 FPGA 掉电或重配置期间需自动刷新，则需添加电路以确保在此期间 reset\_n 保持为 High。

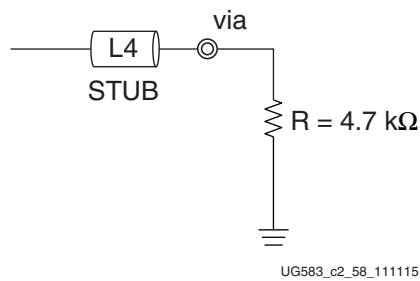


图 2-27：DDR3 DRAM 中 reset\_n 的终端

表 2-20 显示了对应地址信号、命令信号和控制信号的 DDR3 SDRAM 阻抗、长度和间隔准则。

表 2-20：对应地址信号、命令信号和控制信号的 DDR3 SDRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3	L4 (到 $R_{TT}$ )	单位
走线类型	带状线	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$36 \pm 10\%$	$50 \pm 10\%$	$50 \pm 10\%$	$39 \pm 10\%$	$\Omega$
走线宽度	4.0	7.0	4.0	4.0	6.0	mil
走线长度	0.0~1.5 <sup>(1)(2)</sup>	0.0~4.0	0.0~0.1	0.35~0.75	0~1.0	英寸
地址信号、命令信号和控制信号中的间隔（最小值）	4.0	8.0 <sup>(2)</sup>	4.0	8.0	8.0	mil
距离时钟信号的间隔（最小值）	8.0	20	8.0	20	20	mil
距离其它组信号的间隔（最小值）	8.0	30	30	30	30	mil
最大 PCB 过孔计数	7					-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。
2. 如果引出线区域内需超过 1.5 英寸，请将 L1 间隔更改为 12.0。

## DDR3 SDRAM 时钟飞越式终端

飞越式拓扑中固有的时钟信号与 DQS 信号之间的时序偏差通过 DDR3 SDRAM 上的写平衡功能来完成纠偏（图 2-28）。

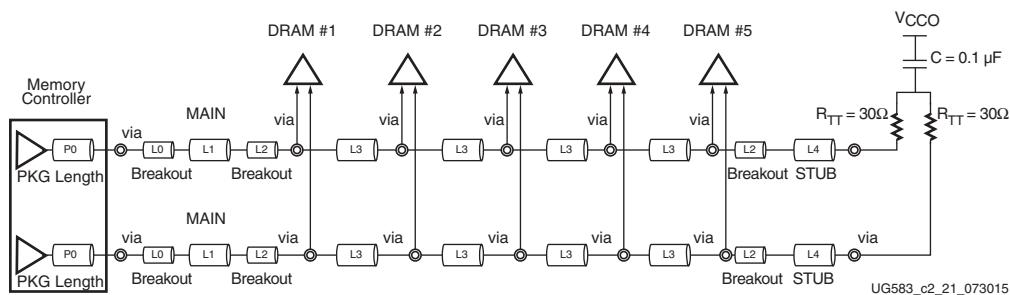


图 2-28：对应 DDR3 SDRAM 的时钟飞越式终端

表 2-21 显示了对应时钟信号的 DDR3 SDRAM 阻抗、长度和间隔准则。

表 2-21：对应时钟信号的 DDR3 SDRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3	L4 (到 $R_{TT}$ )	单位
走线类型	带状线	带状线	带状线	带状线	带状线	-
时钟差分阻抗 $Z_{DIFF}$	$86 \pm 10\%$	$76 \pm 10\%$	$86 \pm 10\%$	$90 \pm 10\%$	$76 \pm 10\%$	$\Omega$
走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	4.0/4.0/4.0	4.0/5.0/4.0	6.0/6.0/6.0	mil
走线长度	0.0~1.5 <sup>(1)(2)</sup>	0.0~4.0	0.0~0.1	0.35~0.75	0~1.0	英寸
地址信号、命令信号和控制信号中的间隔（最小值）	8.0	20 <sup>(2)</sup>	8.0	20	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8	30	30	mil
最大 PCB 过孔计数（按信号）			7			-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。
2. 如果引出线区域内需超过 1.5 英寸，请将 L1 间隔更改为 30。

## DDR3 SDRAM 的点对点数据信号

图 2-29 显示了 DDR3 SDRAM 的点对点数据信号（DQ、DM 和 DQS）。

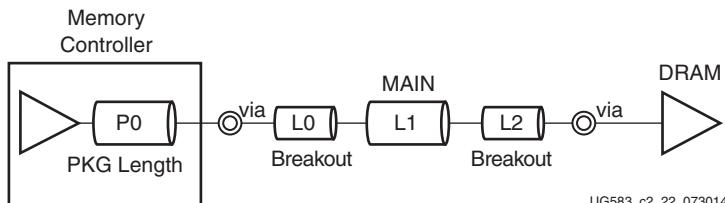


图 2-29：DDR3 SDRAM 的点对点数据信号

表 2-22 显示了对应数据信号的 DDR3 SDRAM 阻抗、长度和间隔准则。

表 2-22：对应数据信号的 DDR3 SDRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	单位
走线类型	带状线	带状线	带状线	-
DQ 单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$50 \pm 10\%$	$\Omega$
DQS 差分阻抗 $Z_{DIFF}$	$86 \pm 10\%$	$76 \pm 10\%$	$86 \pm 10\%$	$\Omega$
走线宽度（额定值）	4.0	6.0	4.0	mil
差分走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	4.0/4.0/4.0	mil
走线长度（额定值）	0.0~1.5 <sup>(1)(2)</sup>	0.0~5.0	0.0~0.1	英寸
字节内间隔（最小值）	4.0	8.0 <sup>(2)</sup>	4.0	mil
字节间的间隔（最小值）	4.0	20	4.0	mil
DQ 到 DQS 间隔（最小值）	4.0	20	8.0	mil
距离其它组信号的间隔（最小值）	8.0	30	30	mil
最大 PCB 过孔计数		2		-

## 注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。
2. 如果引出线区域内需超过 1.5 英寸，请将 L1 间隔更改为 12.0。

## DDR3 SDRAM 布线约束

针对 DDR3 存储器接口中的每个信号组都存在 2 项约束要求：

- 总长/延迟约束
- 偏差约束

[表 2-23](#) 中显示了总长/延迟约束。

表 2-23：DDR3 SDRAM 总长/延迟约束

信号组	参考图示	最大长度/延迟约束
地址/命令/控制： x1/x2/x3/x4/x5/x6/x7/x8/x9 (含封装布线 P0)	<a href="#">图 2-26</a>	6.15/6.9/7.65/8.4/9.15/9.9/10.65/11.4/12.15 英寸 1042/1169/1296/1423/1550/1678/1805/1932/2110 ps
数据信号 P0+L0+L1+L2	<a href="#">图 2-29</a>	7.0 英寸， 1186 ps

在[表 2-24](#) 和[表 2-25](#) 中显示了偏差约束。

表 2-24：DDR3 SDRAM 数据组偏差约束

信号组	偏差约束 (ps)	偏差约束 (mil)
数据( <a href="#">1</a> ) 到 DQS	±10	±58
dqs_p 和 dqs_n	2	12
CK 到 DQS	-149 - 1796	-879 mil 到 10.6 英寸

注释：

1. 数据组包含 dq 和 dm。
2. 延迟基于 169.5 ps/英寸。请参阅[“通用存储器布线准则”](#)中的第 8 项。
3. 如需了解有关偏差规格的更多信息，请参阅[“通用存储器布线准则”](#)中的第 3-8 项。

在表 2-25 中列出了地址、命令和控制时钟组偏差约束。

表 2-25：DDR3 SDRAM 地址、命令和控制偏差约束

信号层	信号段	偏差约束 (ps)	偏差约束 (mil)
地址/命令/控制 <sup>(1)</sup> 到 CK	UltraScale 器件到每个存储器器件	±8 ps	±47
ck_p 和 ck_n	UltraScale 器件到每个存储器器件	2	12

注释：

1. reset\_n 信号对于满足该表中的偏差约束并非必需信号。
2. 如需了解有关偏差规格的更多信息，请参阅“[通用存储器布线准则](#)”中的第 3-8 项。



**重要提示：**FPGA 封装飞行时间必须包含在总长约束和偏差约束中。如可设置封装延迟的最小值和最大值，请使用最小值与最大值之间的中段值。存储器器件封装飞行时间无需考虑在内，因为在这些准则中已考量了其变化。

## DDR3/DDR4 UDIMM/RDIMM/SODIMM/LRDIMM 布线准则（PL 和 PS）

对于 2 个双列直插式存储器模块 (DIMM)，每个 DIMM 均有其自己的点对点时钟信号和控制信号组，而数据、命令和地址则采用飞越式拓扑同时布线到这 2 个 DIMM。



**重要提示：**处理器系统 (PS) 不支持多个 DIMM。



**重要提示：**图 2-32、图 2-34 和图 2-35 显示了多个 DIMM 的配置。为降低 SI 反射的影响，请始终将 DIMM #0 置于距离 FPGA 最远的连接器上。DIMM #1 (如果存在) 应置于距离 FPGA 最近的连接器上。

图 2-32、图 2-34 和图 2-35 显示了多个 DIMM 的配置。为降低 SI 反射的影响，请始终将 DIMM #0 置于距离 FPGA 最远的连接器上。DIMM #1 (如果存在) 应置于距离 FPGA 最近的连接器上。

### DDR3/DDR4 DIMM 时钟点对点布线

图 2-30 和表 2-26 定义了 DDR3/DDR4 DIMM 时钟信号的布线拓扑和布线准则。

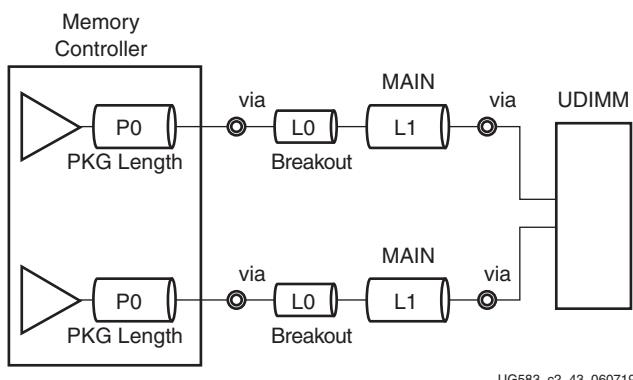


图 2-30：对应 DDR3/DDR4 DIMM 拓扑的 CK 点对点布线

表 2-26：对应 DIMM 时钟信号的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	单位
走线类型	带状线	带状线	-
差分阻抗 $Z_0$	$86 \pm 10\%$	$66 \pm 10\%$	$\Omega$
走线宽度/间隔/宽度	4.0/4.0/4.0	8.0/8.0/8.0	mil
走线长度	0.0~1.5 <sup>(1)(2)</sup>	0.0~4.0	英寸
地址信号、命令信号和控制信号间隔（最小值）	8.0	20 <sup>(2)</sup>	mil
距离其它组信号的间隔（最小值）	8.0	30	mil
最大 PCB 过孔计数	2		-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。
2. 如果引出线区域内需超过 1.5 英寸，请将 L1 间隔更改为 30。

## DDR3/DDR4 DIMM 控制、命令和地址布线

图 2-31、图 2-32、表 2-27 和表 2-29 定义了 DDR3/DDR4 DIMM 地址信号、命令信号和控制信号的布线拓扑和布线准则。将 4 个 0402 1.0  $\mu\text{F}$  电容器置于 DIMM 连接器的 CMD/CTRL 管脚区域中。所有电容器都应从  $V_{CCO}$  连接到 GND。

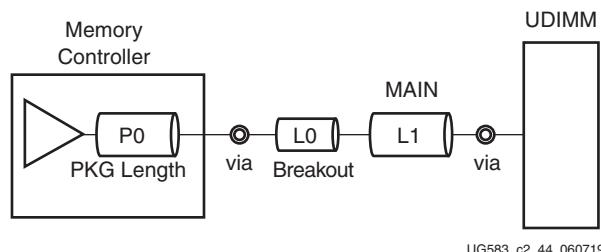


图 2-31：对应 DDR3/DDR4 DIMM 拓扑的 CTRL 点对点布线

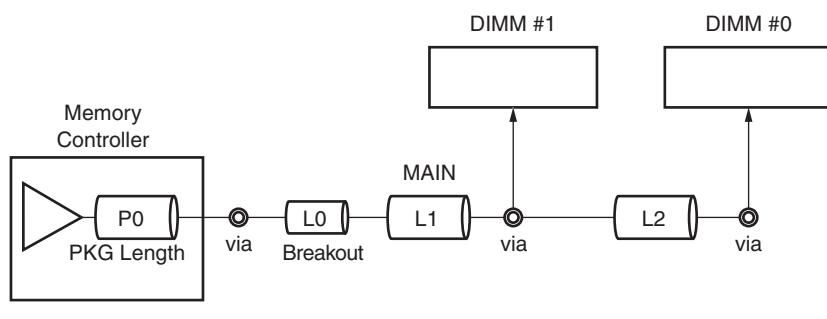


图 2-32：对应 DDR3/DDR4 DIMM 拓扑的 CMD/ADDR 飞越式布线

注释：Zynq UltraScale+ MPSoC DDR 接口不支持双 DIMM 拓扑。

表 2-27：对应单插槽 DIMM 地址信号、命令信号和控制信号的阻抗、长度和空间准则

参数	L0 (器件引出线)	L1 (主 PCB)	单位
走线类型	带状线	带状线	-
单端阻抗 $Z_0$	$50\pm10\%$	$39\pm10\%$	$\Omega$
走线宽度	4.0	6.0	mil
走线长度	0.0~1.5 <sup>(1)(2)</sup>	0.0~4.0	英寸
地址信号、命令信号和控制信号中的间隔（最小值）	4.0	12 <sup>(2)</sup>	mil
距离时钟信号的间隔（最小值）	8.0	20	mil
距离其它组信号的间隔（最小值）	8.0	30	mil
最大 PCB 过孔计数	2		-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。
2. 如果引出线区域内需超过 1.5 英寸，请将 L1 间隔更改为 16.0。

表 2-28：对应双插槽 DIMM 地址信号、命令信号和控制信号的阻抗、长度和空间准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DIMM 到 DIMM)	单位
走线类型	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50\pm10\%$	$34\pm10\%$ 地址/命令 $39\pm10\%$ 命令	$34\pm10\%$ 地址/命令 $39\pm10\%$ 命令	$\Omega$
走线宽度	4.0	6.9 地址/命令 6.0 控制	6.9 地址/命令 6.0 控制	mil
走线长度	0.0~1.5 <sup>(1)(2)</sup>	0.0~4.0	<0.5	英寸
地址信号、命令信号和控制信号中的间隔（最小值）	4.0	12.0 控制， 13.8 地址/命令 <sup>(2)</sup>	12.0 控制， 13.8 地址/命令	mil
距离时钟信号的间隔（最小值）	8.0	20	8.0	mil
距离其它组信号的间隔（最小值）	8.0	30	30	mil
最大 PCB 过孔计数	地址/命令：3 控制：2			-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。
2. 如果引出线区域内需超过 1.5 英寸，将 L1 间隔更改为 18.0 控制和 20.7 地址/命令。

### reset\_n

图 2-21 显示了 reset\_n 的终端在 FPGA 上电和重配置期间， $4.7\text{ k}\Omega$  接地的 reset\_n 将保持为 Low。如果在 FPGA 掉电或重配置期间需自动刷新，则需添加电路以确保在此期间 reset\_n 保持为 High。

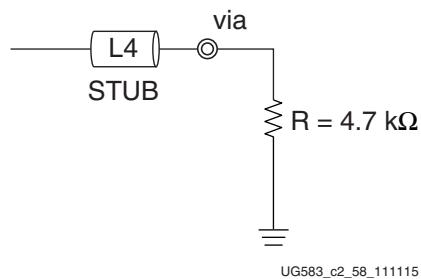


图 2-33: DDR4 DRAM 中 reset\_n 的终端

## DDR3/DDR4 DIMM 数据（DQ 和 DQS）布线

图 2-34、图 2-35 和表 2-29 定义了 DDR3/DDR4 DIMM 数据布线的布线拓扑和布线准则。

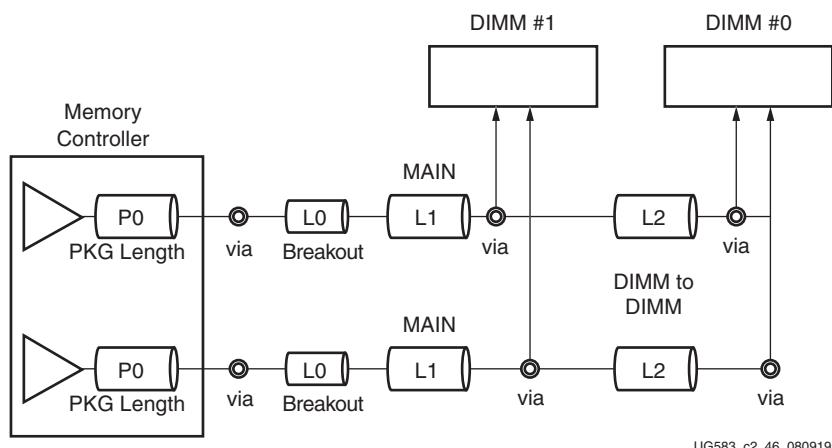


图 2-34: 对应 DDR3/DDR4 DIMM 拓扑的 DQS 飞越式布线

注释: Zynq UltraScale+ MPSoC DDR 接口不支持双 DIMM 拓扑。

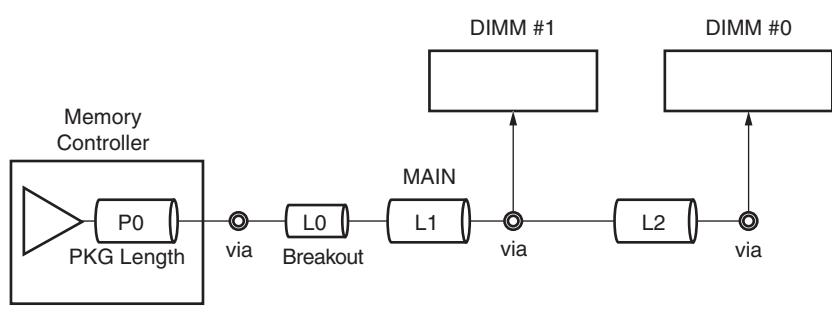


图 2-35: 对应 DDR3/DDR4 DIMM 拓扑的 DQ 飞越式布线

注释: Zynq UltraScale+ MPSoC DDR 接口不支持双 DIMM 拓扑。

表 2-29：对应 DIMM 数据信号的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DIMM 到 DIMM)	单位
走线类型	带状线	带状线	带状线	-
DQ 单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$39 \pm 10\%$	$\Omega$
DQS 差分阻抗 $Z_{DIFF}$	86	66	66	$\Omega$
DQ 走线宽度 (额定值)	4.0	6.0	6.0	mil
DQS 差分走线宽度/间隔/宽度	4.0/4.0/4.0	8.0/8.0/8.0	8.0/8.0/8.0	mil
走线长度	0.0~1.5 <sup>(1)(2)</sup>	0.0~4.0	$\leq 0.5$	英寸
字节内间隔 (最小值)	4.0	15 <sup>(2)</sup>	15	mil
字节间的间隔 (最小值)	4.0	30	30	mil
DQ 到 DQS 间隔 (最小值)	4.0	21	21	mil
距离其它组信号的间隔 (最小值)	8.0	30	30	mil
最大 PCB 过孔计数	对于 1 个 DIMM 为 2, 对于 2 个 DIMM 则为 3			-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。
2. 如果引出线区域内需超过 1.5 英寸, 请将 L1 间隔更改为 20.0。

## DDR3 UDIMM/RDIMM/SODIMM/LRDIMM 布线约束

针对 DDR3 DIMM 接口中的每个信号组都存在 2 项约束要求：

- 总长/延迟约束
- 偏差约束

表 2-30 中显示了总长/延迟约束。

表 2-30: DDR3 DIMM 总长/延迟约束

信号组	参考图示	最大长度/延迟约束
地址/命令/控制: x1/x2 (含封装布线 P0)	图 2-32	6.15/6.65 英寸, 1042/1127 ps
数据信号 P0+L0+L1+L2	图 2-35	7.0 英寸, 1186 ps

在表 2-31 和表 2-32 中显示了偏差约束。

表 2-31: DDR3 DIMM 数据组偏差约束

信号组	偏差约束 (ps)	偏差约束 (mil)
数据 <sup>(1)</sup> 到 DQS	±10	±58
dqs_p 和 dqs_n	2	12
CK 到 DQS <sup>(1)</sup>	±150	±885

注释：

1. 时钟到 DQS 约束应对应于从 UltraScale 器件到 DIMM。
2. 数据组包含 dq 和 dm。
3. 延迟基于 169.5 ps/英寸。请参阅“通用存储器布线准则”中的第 8 项。
4. 如需了解有关偏差规格的更多信息，请参阅“通用存储器布线准则”中的第 3-8 项。

表 2-32: DDR3 DIMM 地址、命令和控制偏差约束

信号层	信号段	偏差约束 (ps)	偏差约束 (mil)
地址/命令/控制 <sup>(1)</sup> 到 CK	UltraScale 器件到每个存储器器件	±8 ps	±47
ck_p 和 ck_n	UltraScale 器件到每个 DIMM	2	12

注释：

1. reset\_n 信号对于满足该表中的偏差约束并非必需信号。
2. 如需了解有关偏差规格的更多信息，请参阅“通用存储器布线准则”中的第 3-8 项。



**重要提示：**FPGA 封装飞行时间必须包含在总长约束和偏差约束中。如可设置封装延迟的最小值和最大值，请使用最小值与最大值之间的中段值。存储器器件封装飞行时间无需考虑在内，因为在这些准则中已考量了其变化。

## DDR4 UDIMM/RDIMM/SODIMM/LRDIMM 布线约束

针对 DDR4 DIMM 接口中的每个信号组都存在 2 项约束要求：

- 总长/延迟约束
- 偏差约束

表 2-33 中显示了总长/延迟约束。

表 2-33：DDR4 DIMM 总长/延迟约束

信号组	参考图示	最大长度/延迟约束
地址/命令/控制：x1/x2 (含封装布线 P0)	图 2-32	7.15/7.65 英寸 1212/1296 ps
数据信号 P0+L0+L1+L2	图 2-35	6.0 英寸 1017 ps

在表 2-34 和表 2-35 中列出了偏差约束。

表 2-34：DDR4 DIMM 偏差约束

信号组	偏差约束 (ps)	偏差约束 (mil)
数据 <sup>(1)</sup> 到 DQS	±10	±58
dqs_p 和 dqs_n	2	12
CK 到 DQS <sup>(2)</sup>	±150	±885

注释：

1. 数据组包含 dq 和 dm\_n/dbi\_n。
2. 时钟到 DQS 约束应对应于从 UltraScale 器件到 DIMM。
3. 延迟基于 169.5 ps/英寸。请参阅“通用存储器布线准则”中的第 8 项。
4. 如需了解有关偏差规格的更多信息，请参阅“通用存储器布线准则”中的第 3-8 项。

表 2-35：DDR4 DIMM 地址、命令和控制偏差约束

信号层	信号段	偏差约束 (ps)	偏差约束 (mil)
地址/命令/控制 <sup>(1)</sup> 到 CK	UltraScale 器件到每个存储器器件	±8 ps	±47
ck_p 和 ck_n	UltraScale 器件到每个 DIMM	2	12

注释：

1. reset\_n 信号对于满足该表中的偏差约束并非必需信号。
2. 如需了解有关偏差规格的更多信息，请参阅“通用存储器布线准则”中的第 3-8 项。



**重要提示：**FPGA 封装飞行时间必须包含在总长约束和偏差约束中。如可设置封装延迟的最小值和最大值，请使用最小值与最大值之间的中段值。存储器器件封装飞行时间无需考虑在内，因为在这些准则中已考量了其变化。

# 对应不含 ECC 的 LPDDR4 存储器 (PS) 的 PCB 准则

## 简介

本节提供了对应不含纠错码 (ECC) 的 32 位 LPDDR4 单裸片封装 (SDP) 和双裸片封装 (DDP) 接口的电气设计准则。



**重要提示：**必须遵循本节中的所有准则方可实现针对 LPDDR4 存储器接口指定的最大数据率。

## 不含 ECC 的 LPDDR4 x32 存储器接口信号和连接

### 不含 ECC 的 x32 双通道 LPDDR4 SDP 的信号和连接

表 2-36 中显示了不含 ECC 的 x32 双通道 LPDDR4 SDP 所需的信号。该表显示了连接到 LPDDR4 器件上的具体各管脚的各 FPGA 存储器接口信号以及所有必需的终端。

表 2-36：不含 ECC 的 x32 双通道 LPDDR4 SDP 的信号连接矩阵

FPGA 管脚	LPDDR4 管脚	远端的 PCB 终端
<b>时钟信号</b>		
CK0_P	CK_t_A	无
CK0_N	CK_c_A	
CK1_P	CK_t_B	无
CK1_N	CK_c_B	
<b>地址信号和命令信号</b>		
A[5:0]	CA[5:0]_A	无
A[15:10]	CA[5:0]_B	无
<b>控制信号 (CKE、CS 和 ODT<sup>(1)</sup>)</b>		
CKE0	CKE_A CKE_B	80Ω 到 V <sub>TT</sub> 或 160Ω 到 V <sub>DDQ</sub> /160Ω 到 GND
CS0	CS_A CS_B	无
	ODT_CA_A	直接连接到 V <sub>DD2</sub>
	ODT_CA_B	直接连接到 V <sub>DD2</sub>
<b>数据信号</b>		
DQ[15:0]	DQ[15:0]_A	无
DQ[31:16]	DQ[15:0]_B	无
DM0	DMI0_A	无
DM1	DMI1_A	无
DM2	DMI0_B	无
DM3	DMI1_B	无
DQS0_P/ DQS0_N	DQS0_t_A/ DQS0_c_A	无

表 2-36：不含 ECC 的 x32 双通道 LPDDR4 SDP 的信号连接矩阵（续）

FPGA 管脚	LPDDR4 管脚	远端的 PCB 终端
DQS1_P/ DQS1_N	DQS1_t_A/ DQS1_c_A	无
DQS2_P/ DQS2_N	DQS0_t_B/ DQS0_c_B	无
DQS3_P/ DQS3_N	DQS1_t_B/ DQS1_c_B	无
复位		
RESET_N	RESET_n	4.7 kΩ 到 GND
-	ZQ0	240Ω 到 V <sub>DD2</sub>
ZQ	-	240Ω 到 GND

注释：

1. FPGA ODT 管脚应保留不连接。存储器器件的 ODT 管脚应根据该表中指定方式直接连接。
2. LPDDR4 器件上的 ZQ 管脚应通过 240Ω 电阻绑定到 V<sub>DD2</sub>。
3. 实际信号列表可能因配置而异。

## 不含 ECC 的 x32 双通道 LPDDR4 DDP 的信号和连接

表 2-37 中显示了无 ECC 的 x32 双通道 LPDDR4 DDP 所需的信号。该表显示了连接到 LPDDR4 器件上的具体各管脚的各 FPGA 存储器接口信号以及所有必需的终端。

表 2-37：不含 ECC 的 x32 双通道 LPDDR4 DDP 的信号连接矩阵

FPGA 管脚	LPDDR4 管脚	远端的 PCB 终端
<b>时钟信号</b>		
CK0_P CK0_N	CK_t_A CK_c_A	无
CK1_P CK1_N	CK_t_B CK_c_B	无
<b>地址信号和命令信号</b>		
A[5:0]	CA[5:0]_A	无
A[15:10]	CA[5:0]_B	无
<b>控制信号 (CKE、CS 和 ODT<sup>(1)</sup>)</b>		
CKE0	CKE0_A CKE0_B	80Ω 到 V <sub>TT</sub> 或 160Ω 到 V <sub>DDQ</sub> /160Ω 到 GND
CKE1	CKE1_A CKE1_B	80Ω 到 V <sub>TT</sub> 或 160Ω 到 V <sub>DDQ</sub> /160Ω 到 GND
CS0	CS0_A CS0_B	无
CS1	CS1_A CS1_B	无
	ODT_CA_A	直接连接到 V <sub>DD2</sub>
	ODT_CA_B	直接连接到 V <sub>DD2</sub>
<b>数据信号</b>		
DQ[15:0]	DQ[15:0]_A	无
DQ[31:16]	DQ[15:0]_B	无
DM0	DMI0_A	无
DM1	DMI1_A	无
DM2	DMI0_B	无
DM3	DMI1_B	无
DQS0_P DQS0_N	DQS0_t_A DQS0_c_A	无
DQS1_P DQS1_N	DQS1_t_A DQS1_c_A	无
DQS2_P DQS2_N	DQS0_t_B DQS0_c_B	无
DQS3_P DQS3_N	DQS1_t_B DQS1_c_B	无

表 2-37：不含 ECC 的 x32 双通道 LPDDR4 DDP 的信号连接矩阵（续）

FPGA 管脚	LPDDR4 管脚	远端的 PCB 终端
复位		
RESET_N	RESET_n	4.7 kΩ 到 GND

注释：

1. FPGA ODT 管脚应保留不连接。存储器器件的 ODT 管脚应根据该表中指定方式直接连接。
2. LPDDR4 器件上的每个 ZQ 管脚都应通过  $240\Omega$  电阻单独绑定到  $V_{DD2}$ 。
3. FPGA 上的 ZQ 管脚应通过  $240\Omega$  电阻绑定到 GND。

## LPDDR4 地址复制

PS DDR 接口包含地址复制功能，可用于在 LPDDR4 模式下工作时降低地址/命令总线上的负载。A[5:0] 将被复制到 A[15:10] 上，以降低 CA 总线上的负载（表 2-38）。

表 2-38：LPDDR4 地址复制

MPSOC 管脚	DRAM 管脚	MPSOC 管脚复制	DRAM 管脚
PS_DDR_A0	CA0_A	PS_DDR_A10	CA0_B
PS_DDR_A1	CA1_A	PS_DDR_A11	CA1_B
PS_DDR_A2	CA2_A	PS_DDR_A12	CA2_B
PS_DDR_A3	CA3_A	PS_DDR_A13	CA3_B
PS_DDR_A4	CA4_A	PS_DDR_A14	CA4_B
PS_DDR_A5	CA5_A	PS_DDR_A15	CA5_B



## 不含 ECC 的 LPDDR4 接口拓扑和布线准则

**重要提示：**必须遵循表中的所有规则才能达到指定的性能。这包括但不限于走线类型、宽度、间隔、阻抗和过孔计数。

### 不含 ECC 的 LPDDR4 接口地址/命令和控制布线

图 2-36 显示了不含 ECC 的 LPDDR4 接口的地址/命令布线。

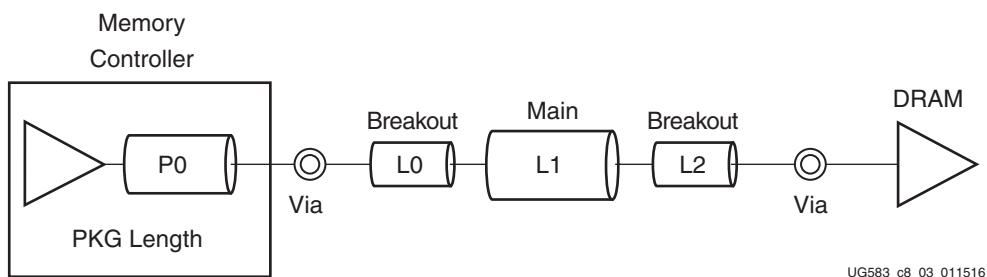


图 2-36：对应不含 ECC 的 LPDDR4 的地址/命令布线

表 2-39 显示了不含 ECC 的 LPDDR4 接口中的地址信号、命令信号和控制信号的阻抗、长度和间隔准则。

表 2-39：不含 ECC 的 LPDDR4 接口中的地址信号和命令信号的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	单位
走线类型	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$\Omega$
走线宽度	4.0	6.0	3.5	mil
走线长度	$0.0 \sim 0.55/0.95^{(1)}$	$\leq 4.0$	$\leq 0.3$	英寸
地址/命令中的间隔（最小值）	4.0	8.0	4.0	mil
距离时钟信号的间隔（最小值）	8.0	20	8.0	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	mil
最大 PCB 过孔计数	2			-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## 不含 ECC 的 LPDDR4 接口芯片选择布线

图 2-37 显示了不含 ECC 的 LPDDR4 接口的芯片选择 (CS) 布线。

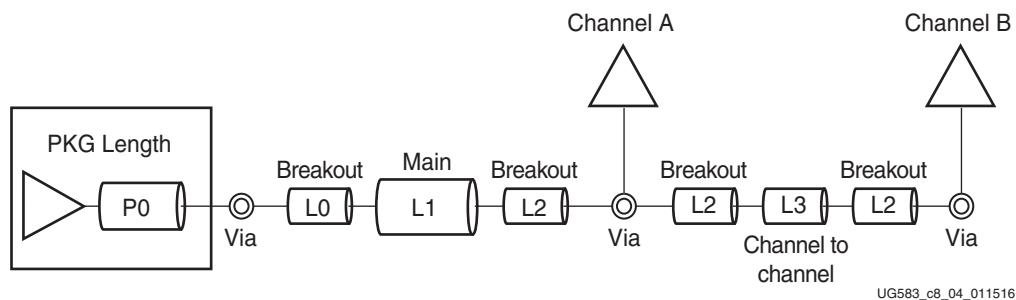


图 2-37：对应不含 ECC 的 LPDDR4 的芯片选择布线

表 2-40 显示了不含 ECC 的 LPDDR4 接口中的芯片选择的阻抗、长度和间隔准则。

表 2-40：不含 ECC 的 LPDDR4 接口中的芯片选择的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	L3	单位
走线类型	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$50 \pm 10\%$	$\Omega$
走线宽度	4.0	6.0	3.5	4.0	mil
走线长度	$0.0 \sim 0.55/0.95^{(1)}$	$\leq 4.0$	$\leq 0.3$	$\leq 0.3$	英寸
距离时钟信号的间隔（最小值）	8.0	20	8.0	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	30	mil
最大 PCB 过孔计数	3				-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## 不含 ECC 的 LPDDR4 时钟使能布线

图 2-38 显示了不含 ECC 的 LPDDR4 接口的时钟使能 (CKE) 布线选项。

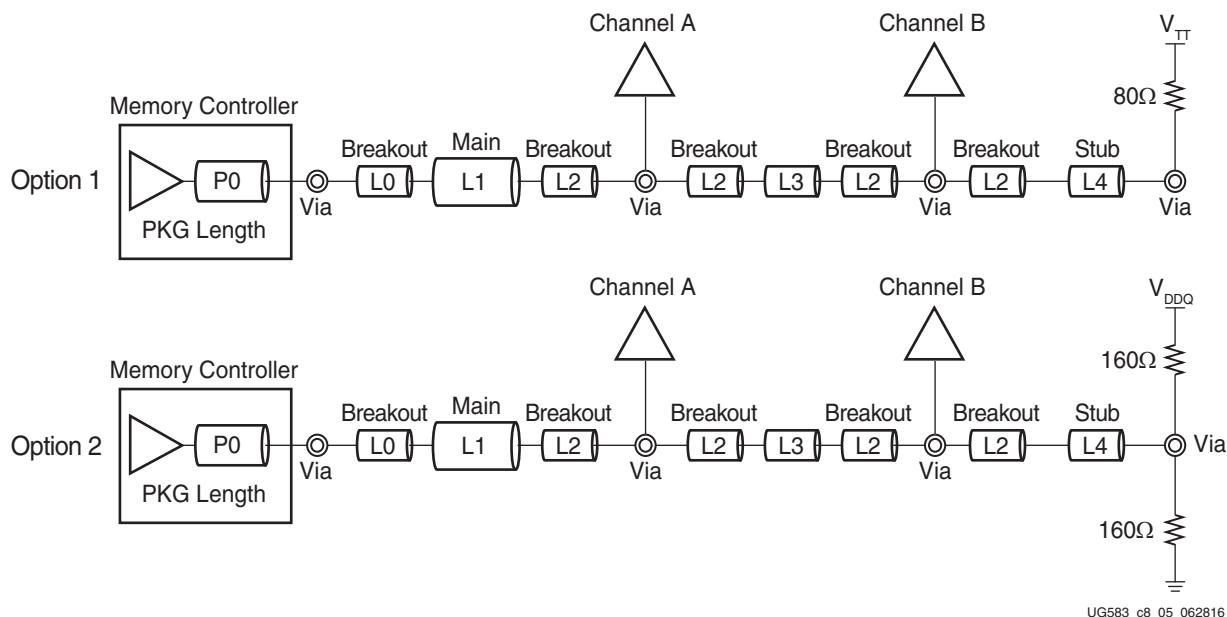


图 2-38：不含 ECC 的 LPDDR4 的时钟使能布线

表 2-41 显示了不含 ECC 的 LPDDR4 接口中的时钟使能的阻抗、长度和间隔准则。

表 2-41：不含 ECC 的 LPDDR4 接口中的时钟使能的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	L3	L4 (短截线)	单位
走线类型	带状线	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$50 \pm 10\%$	$50 \pm 10\%$	$\Omega$
走线宽度	4.0	6.0	3.5	4.0	4.0	mil
走线长度	0.0~0.55/0.95 <sup>(1)</sup>	$\leq 4.0$	$\leq 0.3$	$\leq 0.3$	$\leq 0.5$	英寸
距离时钟信号的间隔 (最小值)	8.0	20	8.0	20	20	mil
距离其它组信号的间隔 (最小 值)	8.0	30	8.0	30	30	mil
最大 PCB 过孔计数	3					-

注释：

- 请参阅“通用存储器布线准则”中的第 2 项。

## 不含 ECC 的 LPDDR4 的 CK 和 DQS 差分点对点布线

图 2-39 显示了不含 ECC 的 LPDDR4 接口的 CK 和 DQS 差分点对点布线。

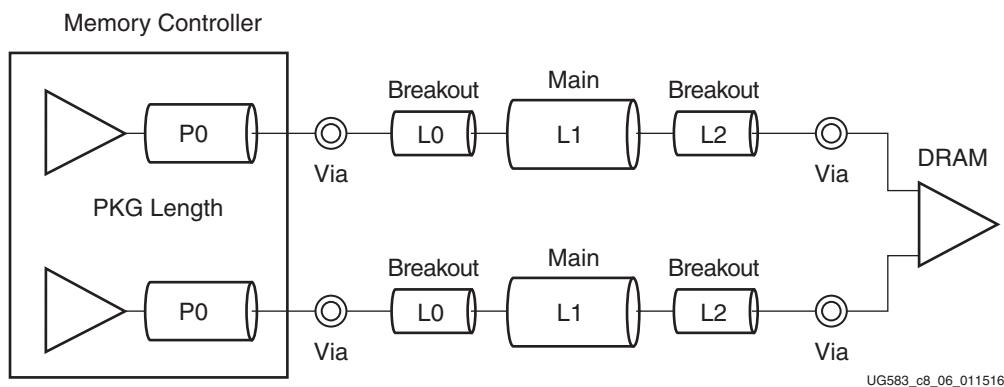


图 2-39：对应不含 ECC 的 LPDDR4 的 CK 和 DQS 布线

表 2-42 显示了不含 ECC 的 LPDDR4 接口中的 CK 和 DQS 的阻抗、长度和间隔准则。

表 2-42：不含 ECC 的 LPDDR4 接口的 CK 和 DQS 的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	单位
走线类型	带状线	带状线	带状线	-
时钟差分阻抗 $Z_{\text{diff}}$	$86 \pm 10\%$	$76 \pm 10\%$	$88 \pm 10\%$	$\Omega$
走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	3.5/3.5/3.5	mil
走线长度	$\leq 0.55/0.95^{(1)}$	$\leq 4.0$	$\leq 0.3$	英寸
地址/命令/控制中的间隔（最小值）	8.0	20	8.0	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	mil
最大 PCB 过孔计数（按信号）	2			-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## 不含 ECC 的 LPDDR4 数据（DQ 和 DM）点对点布线

图 2-40 显示了不含 ECC 的 LPDDR4 接口的 DQ 和 DM 点对点布线。

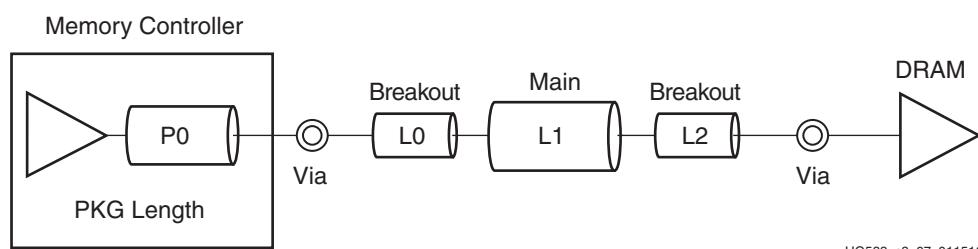


图 2-40：对应不含 ECC 的 LPDDR4 的 DQ 和 DM 布线

表 2-43 显示了不含 ECC 的 LPDDR4 接口中的 DQ 和 DM 的阻抗、长度和间隔准则。

表 2-43：不含 ECC 的 LPDDR4 接口的 DQ 和 DM 的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	单位
走线类型	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$\Omega$
走线宽度	4.0	6.0	3.5	mil
走线长度	$\leq 0.55/0.95^{(1)}$	$\leq 4.0$	$\leq 0.3$	英寸
字节内间隔（含 DQS）（最小值）	4.0	8.0	4.0	mil
字节间的间隔（最小值）	8.0	30	8.0	mil
距离其它组信号的间隔（最小值）	8.0	20	8.0	mil
最大 PCB 过孔计数	2			-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## 不含 ECC 的 LPDDR4 长度和偏差约束

不含 ECC 的 LPDDR4 存储器接口中的每个信号组的约束要求分为以下 2 部分：

- 最大长度约束
- 偏差约束

表 2-44 中显示了最大长度约束。

表 2-44：不含 ECC 的 LPDDR4 最大长度约束

信号组	参考图示	最大长度约束（英寸）
地址/命令 P0+L0+L1+L2	图 2-36	6.2
CS P0+L0+L1+L2+L3	图 2-37	6.8
CKE P0+L0+L1+L2+L3	图 2-38	7.9
数据信号 P0+L0+L1+L2	图 2-40	6.2

表 2-45 中列出了偏差约束。

表 2-45：不含 ECC 的 LPDDR4 偏差约束

信号组	信号段	偏差约束 (ps)	偏差约束 (mil)
地址/命令/控制到 CK (A) 地址/命令/控制到 CK (B)	MPSoC 到存储器器件	±8	±47
数据 (DQ/DM) 到 DQS (A) 数据 (DQ/DM) 到 DQS (B)	MPSoC 到存储器器件	±5	±29
CK (A) 到 DQS0/1 (A) CK (B) 到 DQS0/1 (B)	MPSoC 到存储器器件	-500 - 2500	-2950 - 14750
DQ/DM (最慢到最快) (A) DQ/DM (最慢到最快) (B)	MPSoC 到存储器器件	5	29
CK_T 和 CK_C (A) CK_T 和 CK_C (B)	MPSoC 到存储器器件	2	11
DQS_T 和 DQS_C (A) DQS_T 和 DQS_C (B)	MPSoC 到存储器器件	2	11

注释：

1. 如需了解偏差规格，请参阅“通用存储器布线准则”中的第 3-8 项。
2. reset\_n 信号对于满足该表中的偏差约束并非必需信号。



**重要提示：**FPGA 封装飞行时间必须包含在总长约束和偏差约束中。如可设置封装延迟的最小值和最大值，请使用最小值与最大值之间的中段值。存储器器件封装飞行时间无需考虑在内，因为在这些准则中已考量了其变化。

# 对应含 ECC 的 LPDDR4 存储器 (PS) 的 PCB 准则

## 简介

本节提供了含 ECC 的 32 位 LPDDR4 接口的电气设计准则。



**重要提示：**必须遵循本节中的所有准则方可实现针对 LPDDR4 接口指定的最大数据率。

## 含 ECC 的 LPDDR4 x32 存储器接口信号和连接

表 2-46 中显示了含 ECC 的 x32 双通道 LPDDR4 SDP 所需的信号。该表显示了如何将 FPGA 存储器接口信号连接到 LPDDR4 器件上的正确管脚以及所有必需的终端。

表 2-46：含 ECC 的 x32 双通道 LPDDR4 SDP 的信号连接矩阵

FPGA 管脚	LPDDR4 管脚 主器件	LPDDR4 管脚 ECC 器件	远端的 PCB 终端
<b>时钟信号</b>			
CK0_P	CK_t_A		40Ω 到 GND
CK0_N	CK_c_A		40Ω 到 GND
CK1_P	CK_t_B	CK_t_A	40Ω 到 GND
CK1_N	CK_c_B	CK_c_A	40Ω 到 GND
<b>地址信号和命令信号</b>			
A[5:0]	CA[5:0]_A		40Ω 到 GND
A[15:10]	CA[5:0]_B	CA[5:0]_A	40Ω 到 GND
<b>控制信号 (CKE、CS 和 ODT<sup>(1)</sup>)</b>			
CKE0	CKE_A CKE_B	CKE_A	80Ω 到 V <sub>TT</sub> 或 160Ω 到 V <sub>DDQ</sub> /160Ω 到 GND
CS0	CS_A CS_B	CS_A	40Ω 到 GND
	ODT_CA_A	ODT_CA_A	直接连接到 GND
	ODT_CA_B		直接连接到 GND
<b>数据信号</b>			
DQ[15:0]	DQ[15:0]_A		无
DQ[31:16]	DQ[15:0]_B		无
DQ[71:64]		DQ[7:0]_A	无
DM0	DMI0_A		无
DM1	DMI1_A		无
DM2	DMI0_B		无
DM3	DMI1_B		无
DM8		DMI0_A	无

表 2-46：含 ECC 的 x32 双通道 LPDDR4 SDP 的信号连接矩阵（续）

FPGA 管脚	LPDDR4 管脚 主器件	LPDDR4 管脚 ECC 器件	远端的 PCB 终端
DQS0_P DQS0_N	DQS0_t_A DQS0_c_A		无
DQS1_P DQS1_N	DQS1_t_A DQS1_c_A		无
DQS2_P DQS2_N	DQS0_t_B DQS0_c_B		无
DQS3_P DQS3_N	DQS1_t_B DQS1_c_B		无
DQS8_P DQS8_N		DQS0_t_A DQS0_c_A	无
复位			
RESET_N	RESET_n	RESET_n	4.7 kΩ 到 GND

## 注释：

1. FPGA ODT 管脚应保留不连接。存储器器件的 ODT 管脚应根据该表中指定方式直接连接。
2. 未使用的 LPDDR4 ECC 器件输入可通过通用  $100\Omega$  电阻接地。
3. LPDDR4 器件上的每个 ZQ 管脚都应通过  $240\Omega$  电阻单独绑定到  $V_{DD2}$ 。
4. FPGA 上的 ZQ 管脚应通过  $240\Omega$  电阻绑定到 GND。
5. 实际信号列表可能因配置而异。

表 2-47 中显示了含 ECC 的 x32 双通道 LPDDR4 DDP 所需的信号。该表显示了如何将 FPGA 存储器接口信号连接到 LPDDR4 器件上的正确管脚以及所有必需的终端。

表 2-47：含 ECC 的 x32 双通道 LPDDR4 DDP 的信号连接矩阵

FPGA 管脚	LPDDR4 管脚 主器件	LPDDR4 管脚 ECC 器件	远端的 PCB 终端
<b>时钟信号</b>			
CK0_P CK0_N	CK_t_A CK_c_A		40Ω 到 GND 40Ω 到 GND
CK1_P CK1_N	CK_t_B CK_c_B	CK_t_A CK_c_A	40Ω 到 GND 40Ω 到 GND
<b>地址信号和命令信号</b>			
A[5:0]	CA[5:0]_A		40Ω 到 GND
A[15:10]	CA[5:0]_B	CA[5:0]_A	40Ω 到 GND
<b>控制信号 (CKE、CS 和 ODT<sup>(1)</sup>)</b>			
CKE0	CKE0_A CKE0_B	CKE0_A	80Ω 到 V <sub>TT</sub> 或 160Ω 到 V <sub>DDQ</sub> /160Ω 到 GND
CKE1	CKE1_A CKE1_B	CKE1_A	80Ω 到 V <sub>TT</sub> 或 160Ω 到 V <sub>DDQ</sub> /160Ω 到 GND
CS0	CS0_A CS0_B	CS0_A CS0_B	40Ω 到 GND
CS1	CS1_A CS1_B	CS1_A CS1_B	40Ω 到 GND
	ODT_CA_A	ODT_CA_A	直接连接到 GND
	ODT_CA_B		直接连接到 GND
<b>数据信号</b>			
DQ[15:0]	DQ[15:0]_A		无
DQ[31:16]	DQ[15:0]_B		无
DQ[71:64]		DQ[7:0]_A	无
DM0	DMI0_A		无
DM1	DMI1_A		无
DM2	DMI0_B		无
DM3	DMI1_B		无
DM8		DMI0_A	无
DQS0_P DQS0_N	DQS0_t_A DQS0_c_A		无
DQS1_P DQS1_N	DQS1_t_A DQS1_c_A		无
DQS2_P DQS2_N	DQS0_t_B DQS0_c_B		无

表 2-47：含 ECC 的 x32 双通道 LPDDR4 DDP 的信号连接矩阵（续）

FPGA 管脚	LPDDR4 管脚 主器件	LPDDR4 管脚 ECC 器件	远端的 PCB 终端
DQS3_P DQS3_N	DQS1_t_B DQS1_c_B		无
DQS8_P DQS8_N		DQS0_t_A DQS0_c_A	无
复位			
RESET_B	RESET_n	RESET_n	4.7kΩ 到 GND

## 注释：

1. FPGA ODT 管脚应保留不连接。存储器器件的 ODT 管脚应根据该表中指定方式直接连接。
2. 未使用的 LPDDR4 ECC 器件输入可通过通用  $100\Omega$  电阻接地。
3. LPDDR4 器件上的每个 ZQ 管脚都应通过  $240\Omega$  电阻单独绑定到  $V_{DD2}$ 。
4. FPGA 上的 ZQ 管脚应通过  $240\Omega$  电阻绑定到 GND。
5. 实际信号列表可能因配置而异。

## LPDDR4 地址复制

PS DDR 接口包含地址复制功能，可用于在 LPDDR4 模式下工作时降低地址/命令总线上的负载。A[5:0] 将被复制到 A[15:10] 上，以降低 CA 总线上的负载（表 2-48）。

表 2-48：LPDDR4 地址复制

MPSOC 管脚	DRAM 管脚	MPSOC 管脚复制	DRAM 管脚
PS_DDR_A0	CA0_A	PS_DDR_A10	CA0_B
PS_DDR_A1	CA1_A	PS_DDR_A11	CA1_B
PS_DDR_A2	CA2_A	PS_DDR_A12	CA2_B
PS_DDR_A3	CA3_A	PS_DDR_A13	CA3_B
PS_DDR_A4	CA4_A	PS_DDR_A14	CA4_B
PS_DDR_A5	CA5_A	PS_DDR_A15	CA5_B

## 含 ECC 的 LPDDR4 拓扑和布线准则



**重要提示：**必须遵循表中的所有规则才能达到指定的性能。这包括但不限于走线类型、宽度、间隔、阻抗和过孔计数。

## 含 ECC 的 LPDDR4 地址/命令布线和控制布线 (CA\_A)

图 2-41 显示了含 ECC 的 LPDDR4 接口的 CA\_A 地址/命令布线。存在的  $R_{TT}$  终端用于终止飞越式布线。

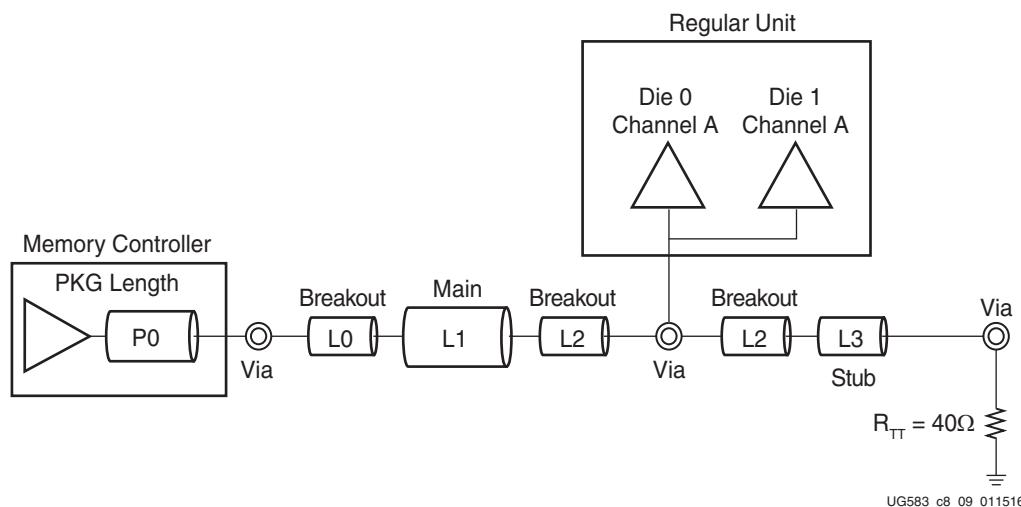


图 2-41：含 ECC 的 LPDDR4 CA\_A 地址/命令布线

表 2-49 显示了含 ECC 的 LPDDR4 接口中的 CA\_A 地址/命令信号的阻抗、长度和间隔准则。

表 2-49：含 ECC 的 LPDDR4 接口中的 CA\_A 地址/命令信号的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	L3 (短截线)	单位
走线类型	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$50 \pm 10\%$	$\Omega$
走线宽度	4.0	6.0	3.5	4.0	mil
走线长度	$\leq 0.55/0.95^{(1)}$	$\leq 4.0$	$\leq 0.3$	$\leq 0.5$	英寸
地址/命令中的间隔（最小值）	4.0	6.0	4.0	6.0	mil
距离时钟信号的间隔（最小值）	8.0	20	8.0	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	30	mil
最大 PCB 过孔计数	3				-

注释：

- 请参阅“通用存储器布线准则”中的第 2 项。

## 含 ECC 的 LPDDR4 地址/命令布线和控制布线 (CA\_B)

图 2-42 显示了含 ECC 的 LPDDR4 接口的 CA\_B 地址/命令布线。存在的  $R_{TT}$  终端用于终止飞越式布线。

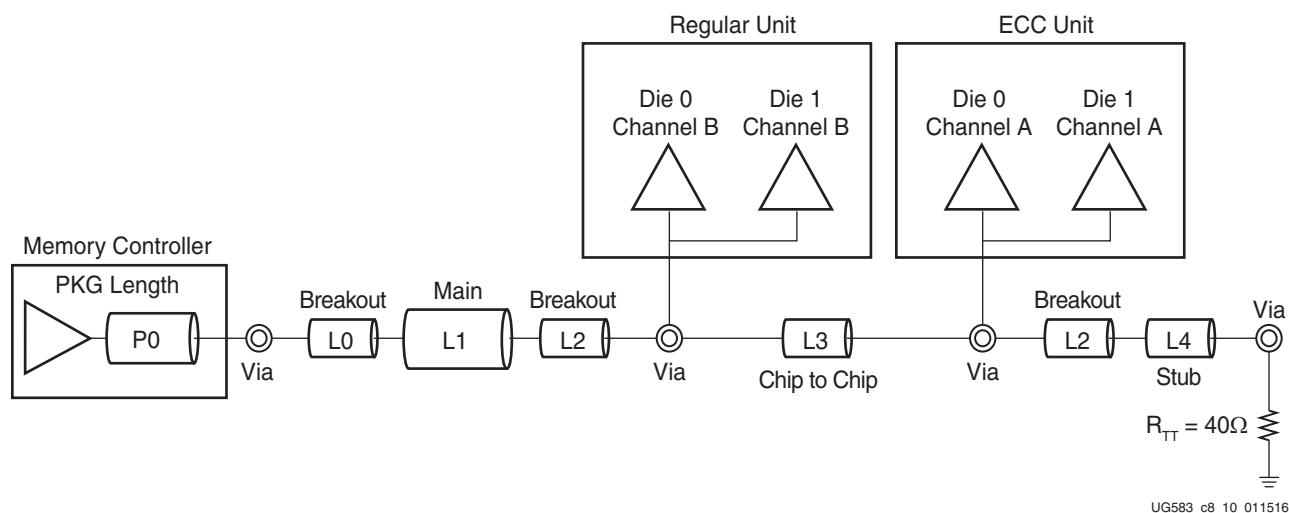


图 2-42：含 ECC 的 LPDDR4 的 CA\_B 地址/命令布线

表 2-50 显示了含 ECC 的 LPDDR4 接口中的 CA\_B 地址/命令信号的阻抗、长度和间隔准则。

表 2-50：含 ECC 的 LPDDR4 接口中的 CA\_B 地址/命令信号的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	L3 (芯片到芯 片)	L4 (短截线)	单位
走线类型	带状线	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$52 \pm 10\%$	$50 \pm 10\%$	$\Omega$
走线宽度	4.0	6.0	3.5	3.5	4.0	mil
走线长度	$\leq 0.55/0.95^{(1)}$	$\leq 4.0$	$\leq 0.3$	$\leq 1.5$	$\leq 0.5$	英寸
地址/命令中的间隔 (最小值)	4.0	6.0	4.0	6.0	6.0	mil
距离时钟信号的间隔 (最小值)	8.0	20	8.0	20	20	mil
距离其它组信号的间隔 (最小 值)	8.0	30	8.0	30	30	mil
最大 PCB 过孔计数	4					-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## 含 ECC 的 LPDDR4 芯片选择布线

图 2-43 显示了含 ECC 的 LPDDR4 接口的芯片选择 (CS0/CS1) 布线。存在的  $R_{TT}$  终端用于终止飞越式布线。

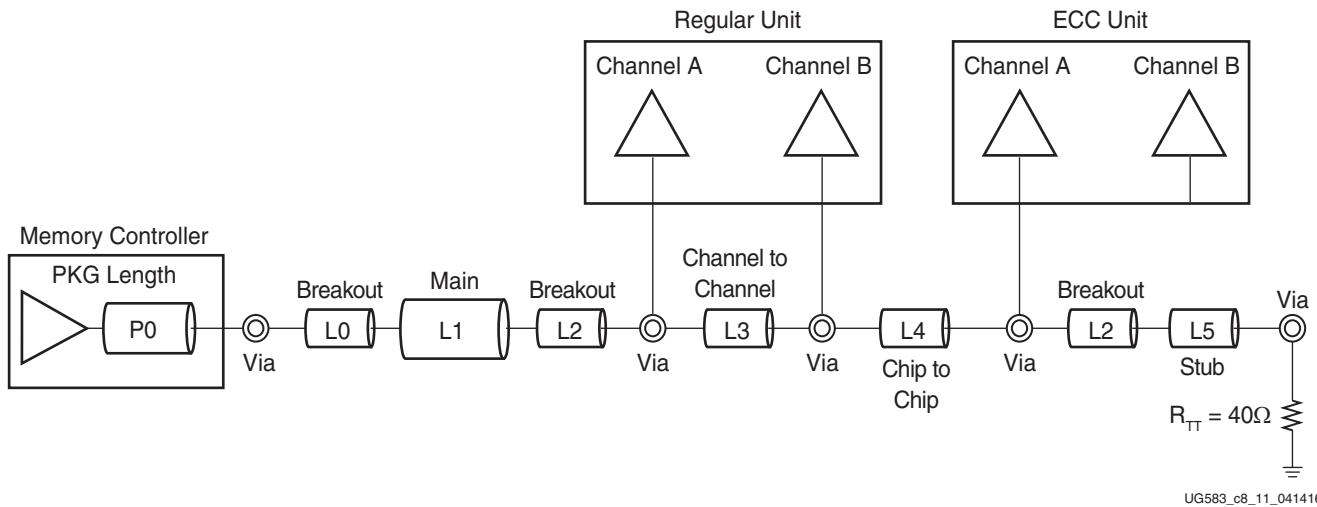


图 2-43：含 ECC 的 LPDDR4 的 CS0/CS1 布线

表 2-51 显示了含 ECC 的 LPDDR4 接口中的 CS0/CS1 布线的阻抗、长度和间隔准则。

表 2-51：含 ECC 的 LPDDR4 接口中的 CS0/CS1 的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	L3 (通道到通 道)	L4 (芯片到芯 片)	L5 (短截线)	单位
走线类型	带状线	带状线	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$52 \pm 10\%$	$52 \pm 10\%$	$50 \pm 10\%$	$\Omega$
走线宽度	4.0	6.0	3.5	3.5	3.5	4.0	mil
走线长度	$\leq 0.55/0.95$ <sup>(1)</sup>	$\leq 4.0$	$\leq 0.3$	$\leq 0.5$	$\leq 1.5$	$\leq 0.5$	英寸
距离时钟信号的间隔（最 小值）	8.0	20	8.0	20	20	20	mil
距离其它组信号的间隔（最 小值）	8.0	30	8.0	30	30	30	mil
最大 PCB 过孔计数	4						-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## 含 ECC 的 LPDDR4 时钟使能布线

图 2-44 显示了含 ECC 的 LPDDR4 接口的时钟使能 (CKE0/CKE1) 布线选项。存在的  $R_{TT}$  终端用于终止飞越式布线。

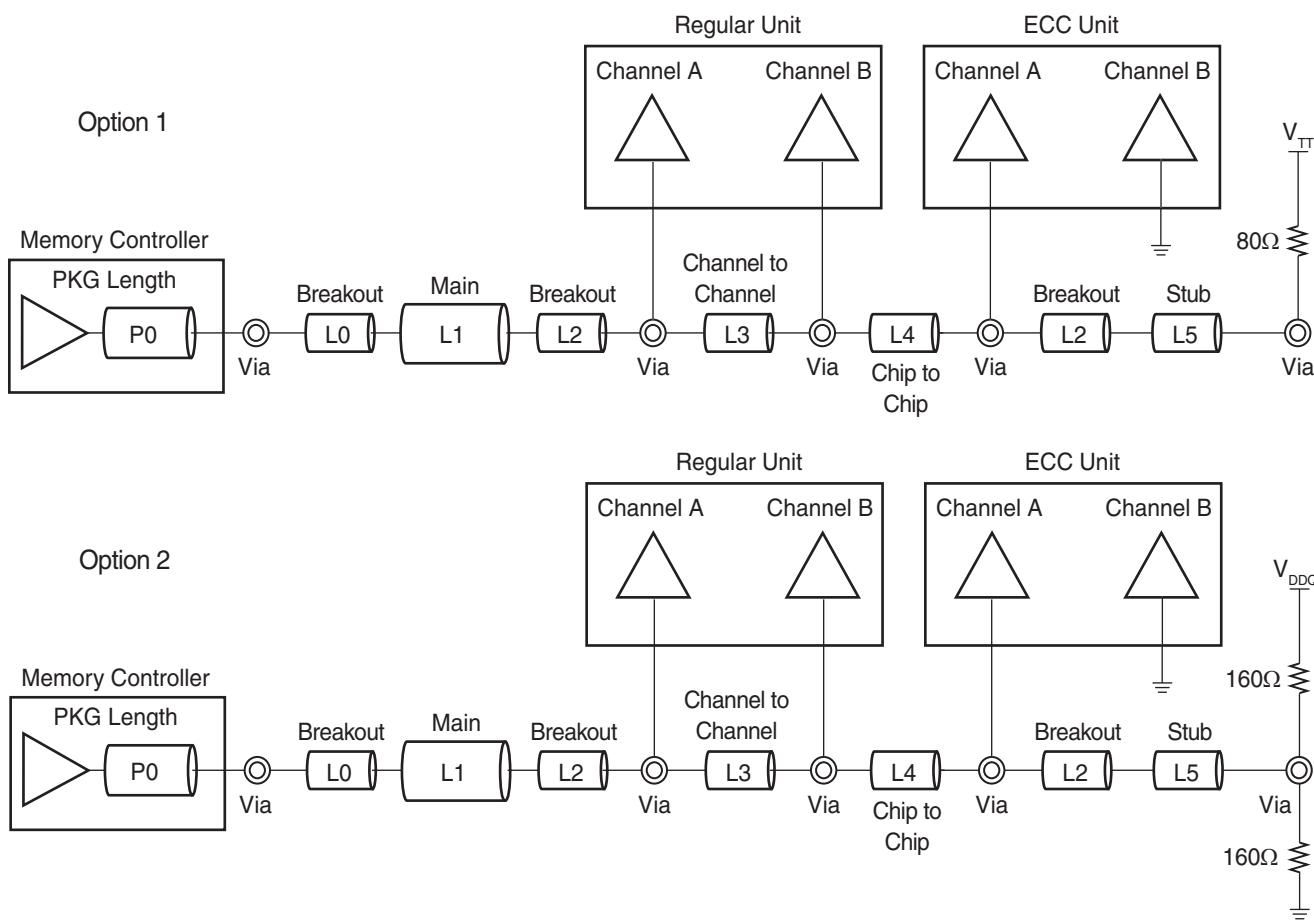


图 2-44：含 ECC 的 LPDDR4 的 CKE0/CKE1 布线

UG583\_c8\_12\_062816

表 2-52 显示了含 ECC 的 LPDDR4 接口中的 CKE0/CKE1 的阻抗、长度和间隔准则。

表 2-52：含 ECC 的 LPDDR4 接口中的 CKE0/CKE1 的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	L3 (通道到通 道)	L4 (芯片到芯 片)	L5 (短截线)	单位
走线类型	带状线	带状线	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$52 \pm 10\%$	$52 \pm 10\%$	$50 \pm 10\%$	$\Omega$
走线宽度	4.0	6.0	3.5	3.5	3.5	4.0	mil
走线长度	0.0~0.55/0.95 <sup>(1)</sup>	$\leq 4.0$	$\leq 0.3$	$\leq 0.5$	$\leq 1.5$	$\leq 0.5$	英寸
距离时钟信号的间隔（最小值）	8.0	20	8.0	20	20	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	30	30	30	mil
最大 PCB 过孔计数	5						-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

### 含 ECC 的 LPDDR4 的 CK0 差分点对点布线

图 2-45 显示了含 ECC 的 LPDDR4 接口的 CK0 差分点对点布线。

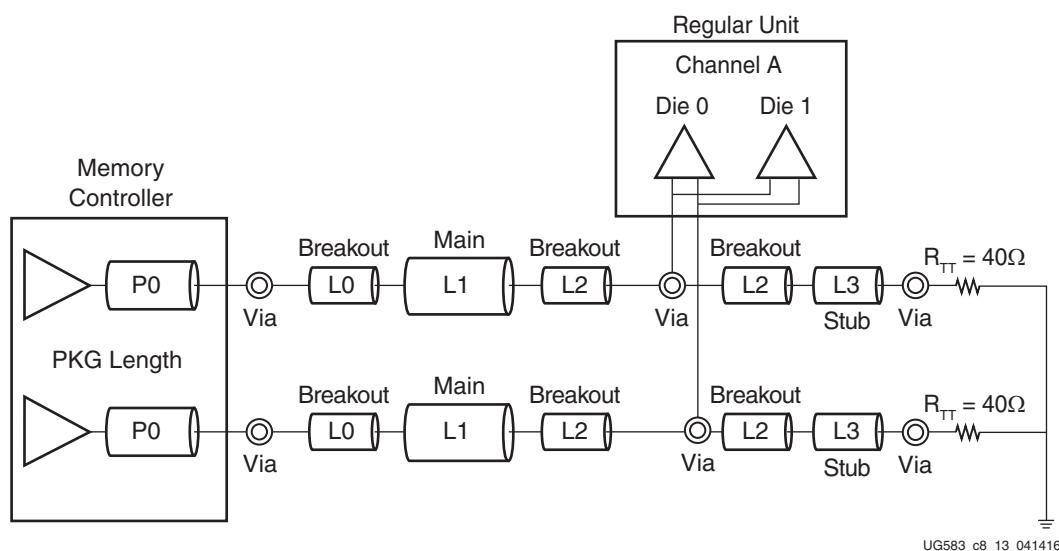


图 2-45：含 ECC 的 LPDDR4 的 CK0 布线

表 2-53 显示了含 ECC 的 LPDDR4 接口中的 CK0 的阻抗、长度和间隔准则。

表 2-53：含 ECC 的 LPDDR4 接口中的 CK0 的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	L3 (短截线)	单位
走线类型	带状线	带状线	带状线	带状线	-
时钟差分阻抗 $Z_{\text{diff}}$	$86 \pm 10\%$	$76 \pm 10\%$	$88 \pm 10\%$	$93 \pm 10\%$	$\Omega$
走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	3.5/3.5/3.5	4.0/6.0/4.0	mil
走线长度	$\leq 0.55/0.95^{(1)}$	$\leq 4.0$	$\leq 0.3$	$\leq 0.5$	英寸
地址/命令/控制中的间隔（最小值）	8.0	20	8.0	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	30	mil
最大 PCB 过孔计数（按信号）	3				-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## 含 ECC 的 LPDDR4 的 CK1 差分飞越式布线

图 2-46 显示了含 ECC 的 LPDDR4 接口的 CK1 差分飞越式布线。

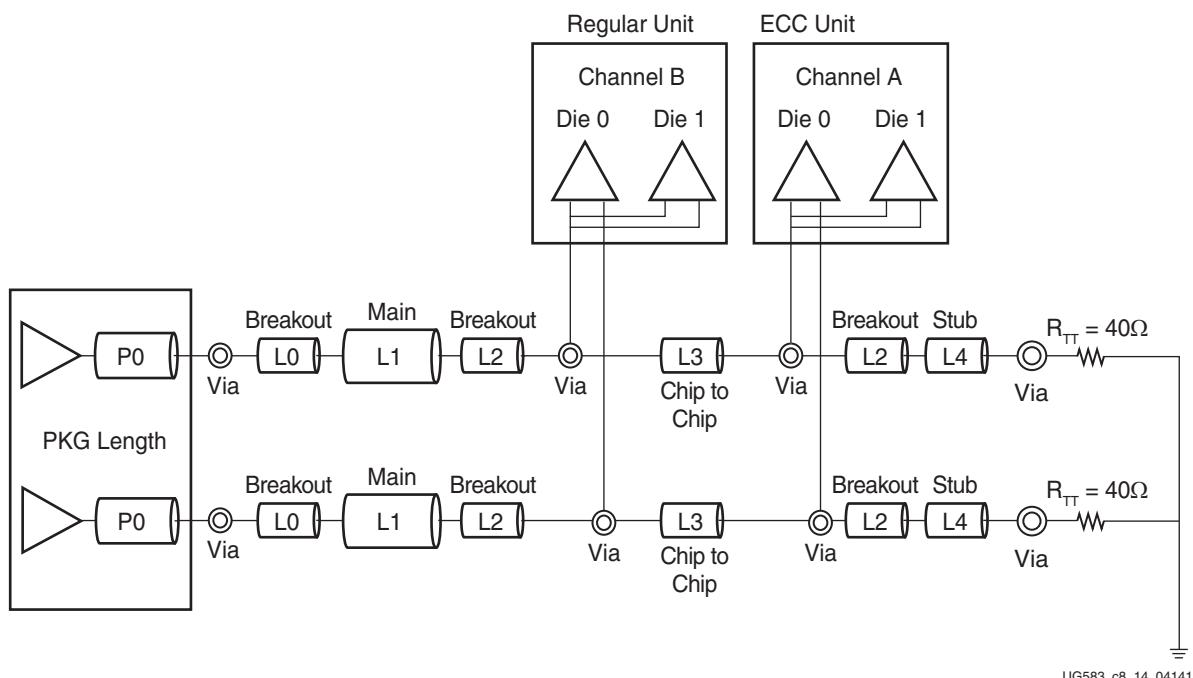


图 2-46：含 ECC 的 LPDDR4 的 CK1 布线

UG583\_c8\_14\_041416

表 2-54 显示了含 ECC 的 LPDDR4 接口中的 CK1 的阻抗、长度和间隔准则。

表 2-54：含 ECC 的 LPDDR4 接口中的 CK1 的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	L3 (芯片到芯 片)	L4 (短截线)	单位
走线类型	带状线	带状线	带状线	带状线	带状线	-
时钟差分阻抗 $Z_{\text{diff}}$	$86 \pm 10\%$	$76 \pm 10\%$	$88 \pm 10\%$	$93 \pm 10\%$	$93 \pm 10\%$	$\Omega$
走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	3.5/3.25/3.5	3.5/4.0/3.5	4.0/6.0/4.0	mil
走线长度	$\leq 0.55/0.95^{(1)}$	$\leq 4.0$	$\leq 0.3$	$\leq 1.5$	$\leq 0.5$	英寸
地址/命令/控制中的间隔（最小值）	8.0	20	8.0	20	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	30	30	mil
最大 PCB 过孔计数（按信号）	4					-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## 含 ECC 的 LPDDR4 的数据 (DQ) 点对点布线

图 2-47 显示了含 ECC 的 LPDDR4 接口的 DQ 点对点布线。

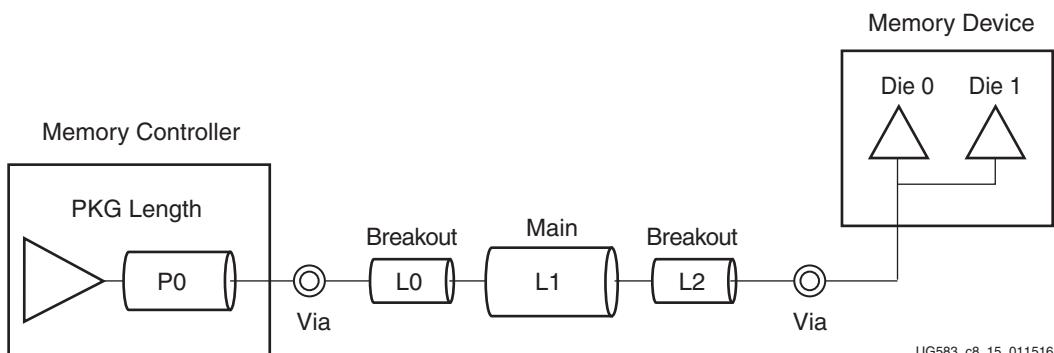


图 2-47：含 ECC 的 LPDDR4 的 DQ 布线

表 2-55 显示了含 ECC 的 LPDDR4 接口中的 DQ 的阻抗、长度和间隔准则。

表 2-55：含 ECC 的 LPDDR4 接口中的 DQ 的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	单位
走线类型	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$\Omega$
走线宽度	4.0	6.0	3.5	mil
走线长度	$\leq 0.55/0.95^{(1)}$	$\leq 4.0$	$\leq 0.3$	英寸
字节内间隔（含 DQS）（最小值）	4.0	8.0	4.0	mil
字节间的间隔（最小值）	8.0	20	4.0	mil

表 2-55：含 ECC 的 LPDDR4 接口中的 DQ 的阻抗、长度和间隔准则（续）

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	单位
距离其它组信号的间隔（最小值）	8.0	30	8.0	mil
最大 PCB 过孔计数		2		-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

### 含 ECC 的 LPDDR4 的 DQS 差分点对点布线

图 2-48 显示了含 ECC 的 LPDDR4 接口的 DQS 点对点布线。

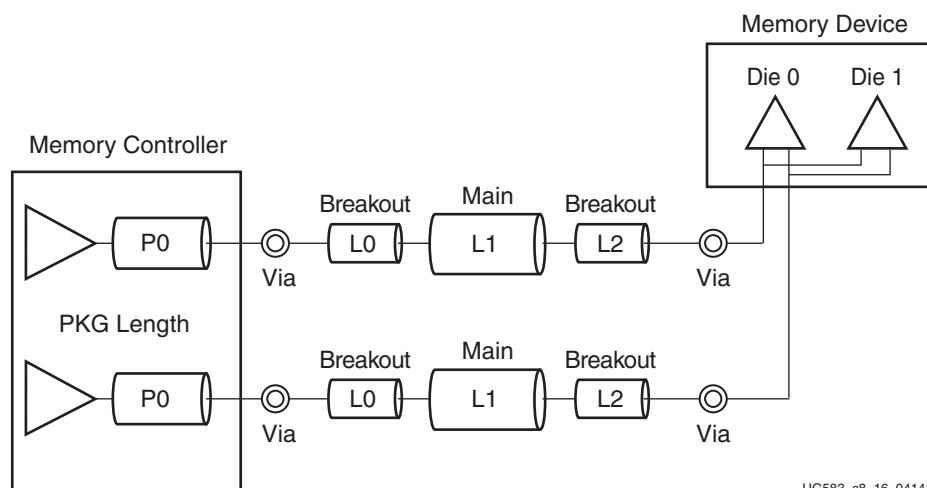


图 2-48：含 ECC 的 LPDDR4 的 DQS 布线

表 2-56 显示了含 ECC 的 LPDDR4 接口中的 DQS 的阻抗、长度和间隔准则。

表 2-56：含 ECC 的 LPDDR4 接口中的 DQS 的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	单位
走线类型	带状线	带状线	带状线	-
时钟差分阻抗 $Z_{diff}$	$86 \pm 10\%$	$76 \pm 10\%$	$88 \pm 10\%$	$\Omega$
走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	3.5/3.5/3.5	mil
走线长度	$\leq 0.55/0.95^{(1)}$	$\leq 4.0$	$\leq 0.3$	英寸
地址/命令/控制中的间隔（最小值）	4.0	20	4.0	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	mil
最大 PCB 过孔计数（按信号）		2		-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## 含 ECC 的 LPDDR4 长度和偏差约束

含 ECC 的 LPDDR4 存储器接口中的每个信号组的约束要求分为以下 2 部分：

- 最大长度约束
- 偏差约束

表 2-57 中显示了最大长度约束。

表 2-57：含 ECC 的 LPDDR4 最大长度约束

信号组	参考图示	最大长度约束（英寸）
CA_A 地址/命令 P0+L0+L1+L2+L3	图 2-41	7.0
CA_B 地址/命令 P0+L0+L1+L2+L3+L4	图 2-42	8.5
CS0/CS1 P0+L0+L1+L2+L3+L4+L5	图 2-43	9.0
CKE0/CKE1 P0+L0+L1+L2+L3+L4+L5	图 2-44	9.0
数据信号 P0+L0+L1+L2	图 2-47	6.2

表 2-58 中列出了偏差约束。

表 2-58：含 ECC 的 LPDDR4 偏差约束

信号组	信号段	偏差约束 (ps)	偏差约束 (mil)
地址/命令/控制到 CK (A) <sup>(1)</sup> 地址/命令/控制到 CK (B) <sup>(1)</sup>	MPSoC 到存储器器件	±8	±47
数据 (DQ/DM) 到 DQS (A) 数据 (DQ/DM) 到 DQS (B)	MPSoC 到存储器器件	±5	±29
CK (A) 到 DQS0/1 (A) CK (B) 到 DQS0/1 (B)	MPSoC 到存储器器件	-500 - 2500	-2950 - 14750
DQ/DM (最慢到最快) (A) DQ/DM (最慢到最快) (B)	MPSoC 到存储器器件	5	29
CK_T 和 CK_C (A) CK_T 和 CK_C (B)	MPSoC 到存储器器件	2	11
DQS_T 和 DQS_C (A) DQS_T 和 DQS_C (B)	MPSoC 到存储器器件	2	11

注释：

1. 将 CS 和 CKE 视为 A 组的一部分。
2. 如需了解偏差规格，请参阅“通用存储器布线准则”中的第 3-8 项。
3. reset\_n 信号对于满足该表中的偏差约束并非必需信号。



**重要提示：**FPGA 封装飞行时间必须包含在总长约束和偏差约束中。如可设置封装延迟的最小值和最大值，请使用最小值与最大值之间的中段值。存储器器件封装飞行时间无需考虑在内，因为在这些准则中已考量了其变化。

# 对应 LPDDR3 SDRAM（PL 和 PS）的 PCB 准则

## 简介

本节基于系统级信号完整性仿真，提供了 Zynq UltraScale+ MPSoC 中的 PS 架构的典型 LPDDR3 SDRAM 接口的电气设计准则。其中使用了 1 个位宽为 32 的单 8GB SDP SDRAM 系统和 1 个位宽为 64 的双 8GB SDP SDRAM 系统作为典型设计示例。对于这两个示例，时钟信号、数据信号和地址/命令信号均为点对点连接。对于 x32 单组件系统，控制信号同样为点对点连接。在 x64 双组件系统中，使用飞越式拓扑将这些组件从 FPGA 连接到 2 个 SDRAM。



**重要提示：**必须遵循本节中的所有布线准则方可实现针对典型系统设计的 LPDDR3 SDRAM 接口指定的最大数据率。客户可能采用专用或特殊设计，其中存在部分规则违例。在此类情况下，必须在其它布线参数中权衡设计或布线取舍，以降低风险。需通过系统级通道信号完整性仿真来对此类取舍加以评估。

## LPDDR3 SDRAM 接口信号描述

LPDDR3 SDRAM 接口由时钟信号、控制信号、地址信号、命令信号和数据信号组成，如表 2-59 中所示。

表 2-59：LPDDR3 SDRAM 接口信号描述

信号名称	描述
CK_t 和 CK_c	差分时钟
控制信号	
CKE[1:0]	时钟使能
CS[1:0]_n	芯片选择
ODT	DQ ODT 控制
命令/地址信号	
CA[9:0]	命令/地址总线
数据信号	
DQ[32:0]	数据总线
DQS[3:0]_t/c	差分数据选通
DM[3:0]	输入数据掩码

注释：

- 实际信号列表可能因配置而异。

## LPDDR3 地址复制

PS DDR 接口包含地址复制功能，可用于在 LPDDR3 模式下工作时降低地址/命令总线上的负载。A[9:0] 将被复制到 ACT\_N、BG[0]、BA[1:0] 和 A[15:10] 上，以降低 CA 总线上的负载（表 2-60）。

表 2-60：LPDDR3 地址复制

MPSOC 管脚	DRAM 管脚	MPSOC 管脚复制	DRAM 管脚
PS_DDR_A0	CA0_A	PS_DDR_A10	CA0_B
PS_DDR_A1	CA1_A	PS_DDR_A11	CA1_B

表 2-60：LPDDR3 地址复制（续）

MPSoC 管脚	DRAM 管脚	MPSoC 管脚复制	DRAM 管脚
PS_DDR_A2	CA2_A	PS_DDR_A12	CA2_B
PS_DDR_A3	CA3_A	PS_DDR_A13	CA3_B
PS_DDR_A4	CA4_A	PS_DDR_A14	CA4_B
PS_DDR_A5	CA5_A	PS_DDR_A15	CA5_B
PS_DDR_A6	CA6_A	PS_DDR_BA0	CA6_B
PS_DDR_A7	CA7_A	PS_DDR_BA1	CA7_B
PS_DDR_A8	CA8_A	PS_DDR_BG0	CA8_B
PS_DDR_A9	CA9_A	PS_DDR_ACT_N	CA9_B

## VREFCA 和 VREFDQ

PL 和 PS 逻辑均针对数据信号使用 ODT，因此 VREFCA 与 VREFDQ 的电压级别将不同。请参阅存储器供应商数据手册以了解具体要求。

## x32 和 x64 LPDDR3 SDRAM 的设计示例

为了对信号布线进行最优化，图 2-49 中显示了单组件 32 位系统布局建议。

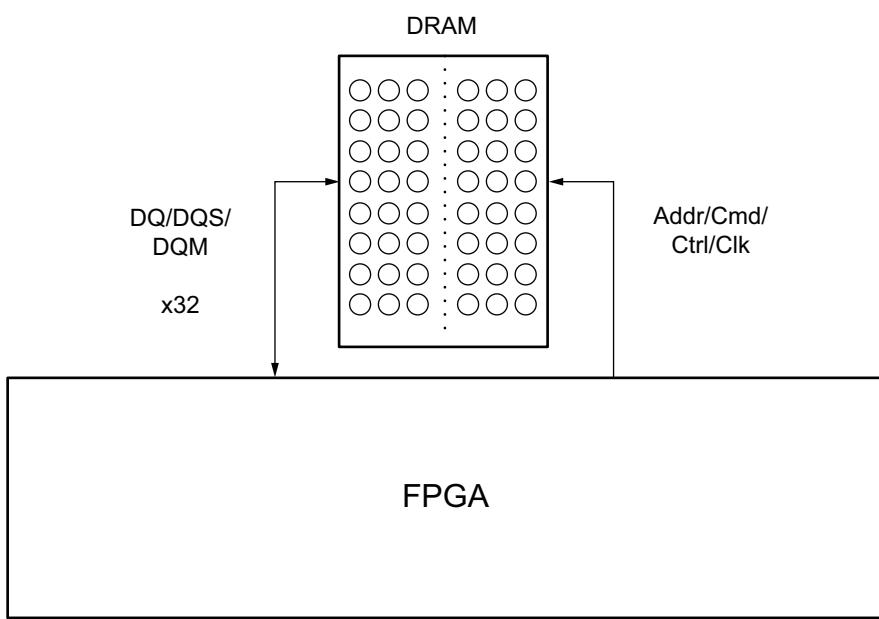
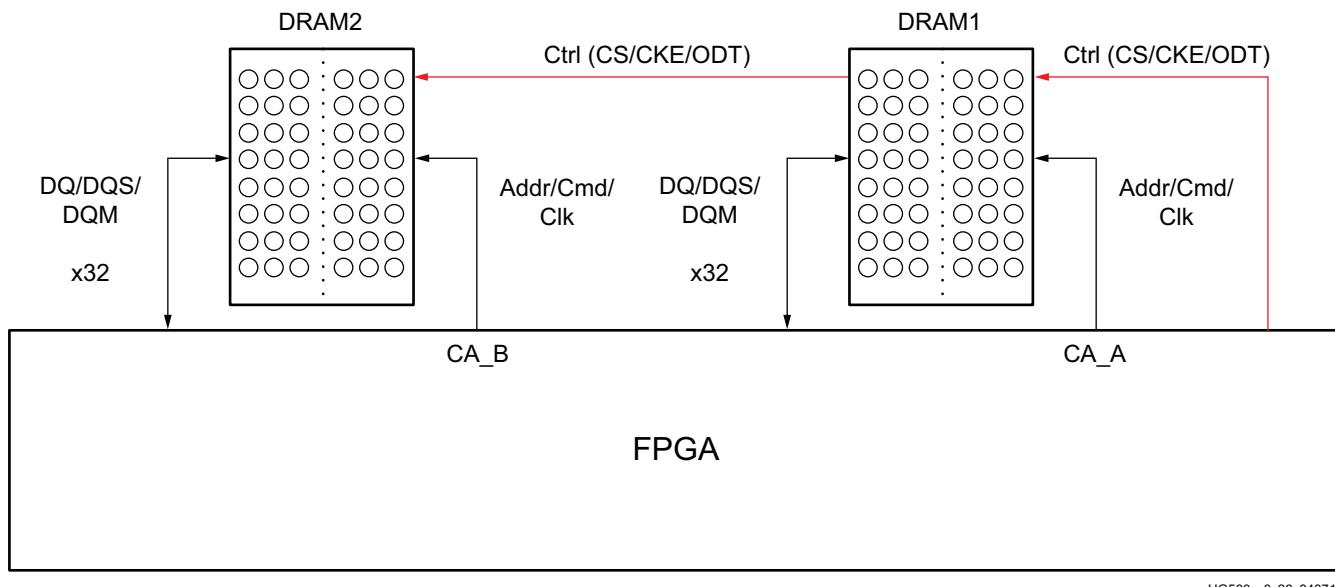


图 2-49：单组件 x32 LPDDR3 SDRAM 的设计示例

图 2-50 中显示了适用于双组件 64 位系统的建议。



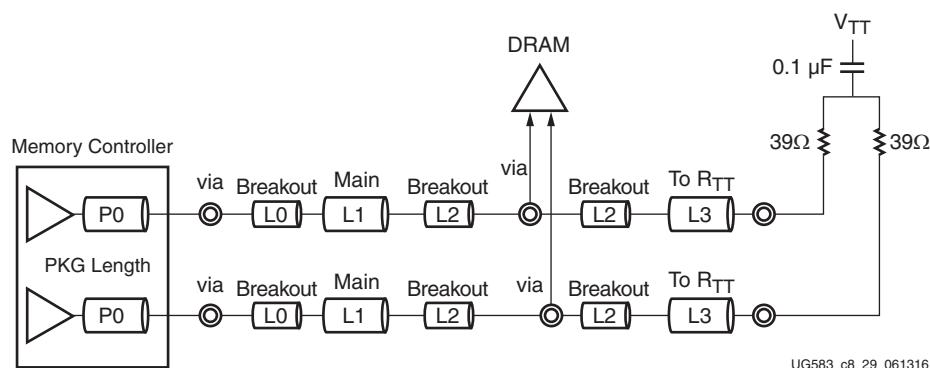
UG583\_c8\_28\_040717

图 2-50：双组件 x64 LPDDR3 SDRAM 的设计示例

## 对应 LPDDR3 SDRAM 的拓扑和布线准则

### LPDDR3 SDRAM 时钟点对点终端

图 2-51 显示了 LPDDR3 SDRAM 的时钟点对点终端。



UG583\_c8\_29\_061316

图 2-51：LPDDR3 SDRAM 的时钟点对点终端

**表 2-61** 和 **表 2-62** 分别显示了对应 x32 和 x64 系统的时钟信号的 LPDDR3 SDRAM 阻抗、长度和间隔准则。对于 LPDDR3 SDRAM，时钟信号具有板载终端。不存在可用于时钟信号的片上终端。对于 x32 和 x64 系统，时钟信号均为点对点连接，以实现最高工作频率。

表 2-61：对应时钟信号的 LPDDR3 x32 SDRAM 系统阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3 (OBT)	单位
走线类型	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$39 \pm 10\%$	$\Omega$
差分阻抗 $Z_{0d}$	$86 \pm 10\%$	$76 \pm 10\%$	$88 \pm 10\%$	$76 \pm 10\%$	$\Omega$
走线宽度/间隔/宽度（额定值）	4.0/4.0/4.0	6.0/6.0/6.0	3.5/3.25/3.5	6.0/6.0/6.0	mil
走线长度	0.0~0.55	1.0~4.0	0.0~0.3	0.0~0.5	英寸
距离时钟信号的间隔（最小值）	8.0	20	8.0	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	30	mil
最大 PCB 过孔计数	3				mil

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

表 2-62：对应时钟信号的 LPDDR3 x64 SDRAM 系统阻抗、长度和间隔准则

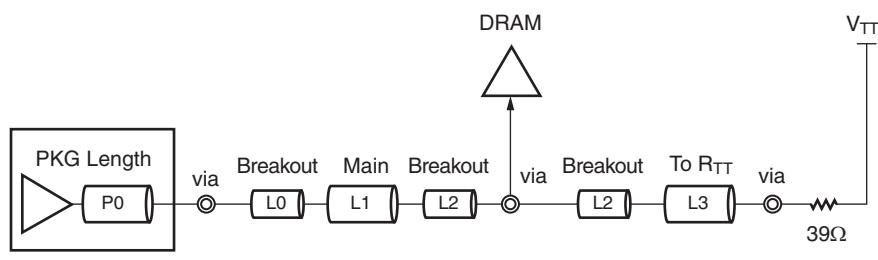
参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3 (OBT)	单位
走线类型	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$39 \pm 10\%$	$\Omega$
差分阻抗 $Z_{0d}$	$86 \pm 10\%$	$76 \pm 10\%$	$88 \pm 10\%$	$76 \pm 10\%$	$\Omega$
走线宽度/间隔/宽度（额定值）	4.0/4.0/4.0	6.0/6.0/6.0	3.5/3.25/3.5	6.0/6.0/6.0	mil
走线长度	0.0~0.55	1.0~4.0	0.0~0.3	0.0~0.5	英寸
距离时钟信号的间隔（最小值）	8.0	20	8.0	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	30	mil
最大 PCB 过孔计数		3			mil

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## LPDDR3 SDRAM 地址、命令和控制点对点终端

对于 LPDDR3 SDRAM 中的高速信号处理，可使用点对点拓扑来处理地址信号、命令信号和控制信号，以便实现 X32 系统中的最佳信号完整性。每个地址信号、命令信号和控制信号本身都在同一层级内进行从器件管脚到远端终端的连续布线（引出线区域内除外）。换言之，任一地址信号、命令信号或控制信号布线都不会拆分到多个层上进行布线。[图 2-52](#) 显示了 LPDDR3 SDRAM 的地址、命令和控制点对点终端。



UG583\_c8\_30\_060816

图 2-52：对应 LPDDR3 SDRAM 的地址、命令和控制点对点终端

[表 2-63](#) 和 [表 2-64](#) 分别显示了对应 x32 和 x64 系统的地址信号、命令信号和控制信号的 LPDDR3 SDRAM 阻抗、长度和间隔准则。在 LPDDR3 DRAM 封装中，垂直间距仅为 0.65 mm。由于间隔有限，L2 中的走线阻抗可能高达  $60\Omega$ 。地址信号、命令信号和控制信号具有板载终端。不存在可用的片上终端。对于 x32 单 SDRAM 系统，所有地址信号、命令信号和控制信号均为点对点连接。对于 x64 双 SDRAM 系统，地址信号和命令信号均为点对点连接，而控制信号（包括 CS、CKE 和 ODT）则采用 fly-by 拓扑从 FPGA 连接到 2 个 SDRAM。

表 2-63：对应地址信号、命令信号和控制信号点对点连接的 LPDDR3 x32 SDRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3 (OBT)	单位
走线类型	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$39 \pm 10\%$	$\Omega$
走线宽度（额定值）	4.0	6	3.5	6	mil

表 2-63：对应地址信号、命令信号和控制信号点对点连接的 LPDDR3 x32 SDRAM 阻抗、长度和间隔准则（续）

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3 (OBT)	单位
走线长度	0.0~0.55	1.0~4.0	0.0~0.2	0.0~0.5	英寸
命令信号/地址信号/控制信号中的间隔（最小值）	4.0	8.0	4.0	4.0	mil
距离时钟信号的间隔（最小值）	8.0	20	8.0	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	30	mil
最大 PCB 过孔计数	3				mil

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

表 2-64：对应地址信号和控制信号点对点连接的 LPDDR3 x64 SDRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3 (OBT)	单位
走线类型	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$39 \pm 10\%$	$\Omega$
走线宽度（额定值）	4.0	6	3.5	6	mil
走线长度	0.0~0.55	1.0~4.0	0.0~0.2	0.0~0.5	英寸
命令信号/地址信号/控制信号中的间隔（最小值）	4.0	8.0	4.0	4.0	mil
距离时钟信号的间隔（最小值）	8.0	20	8.0	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	30	mil
最大 PCB 过孔计数	3				mil

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。
2. 控制信号 (CS/CKE/ODT) 根据不同约束进行布线。

## 对应 x64 双 SDRAM 系统的 LPDDR3 SDRAM 控制飞越式终端

对于 LPDDR3 SDRAM 中的高速信号处理，可使用点对点拓扑来处理地址信号和控制信号，以便实现最佳信号完整性。但由于 FPGA 側的管脚限制，在 x64 双 SDRAM 系统中采用飞越式拓扑将控制信号从 FPGA 布线到 2 个 SDRAM。图 2-53 显示了 LPDDR3 SDRAM 的控制飞越式终端。

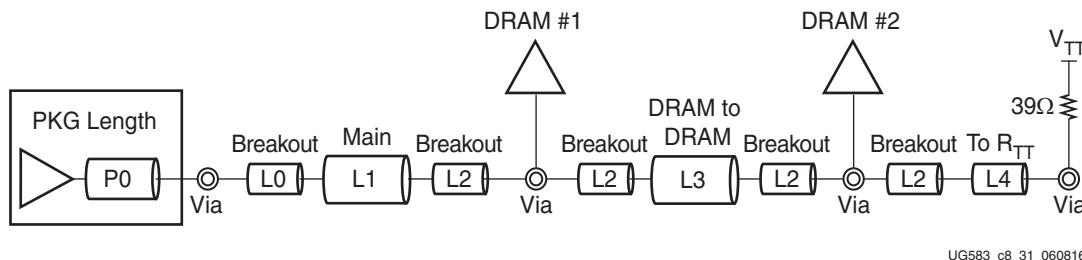


图 2-53：对应 LPDDR3 SDRAM 的控制飞越式终端

表 2-65 显示了对应 x64 双 SDRAM 系统的控制信号的 LPDDR3 SDRAM 阻抗、长度和间隔准则。

表 2-65：对应控制信号 (CKE/CS/ODT) 的 LPDDR3 SDRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出 线)	L3 (DRAM 到 DRAM)	L4 (OBT)	单位
走线类型	带状线	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$52 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$52 \pm 10\%$	$50 \pm 10\%$	$\Omega$
走线宽度（额定值）	3.5	6.0	3.5	3.5	4.0	mil
走线长度	0.0~0.55	1.2~4.0	0.0~0.3	2.0~2.4	0.0~0.5	英寸
命令信号/地址信号/控制信号中的 间隔（最小值）	4.0	8.0	4.0	4.0	8	mil
距离时钟信号的间隔（最小值）	8.0	20	8.0	20	20	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	30	30	mil
最大 PCB 过孔计数	4					mil

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。
2. 2 个 SDRAM 控制信号球之间的完整走线长度（包括引出线区域）应介于 2.0 英寸到 2.4 英寸之间。
3. 第 2 个 SDRAM 的时钟、地址和命令点对点走线需比控制走线额外增加 0.5 英寸，以补偿控制负载加倍。

## LPDDR3 SDRAM 的点对点数据信号

图 2-54 显示了 LPDDR3 SDRAM 的点对点数据信号。对于 DQ/DM/DQS 信号，ODT 在 FPGA 侧和 SDRAM 侧均可用。

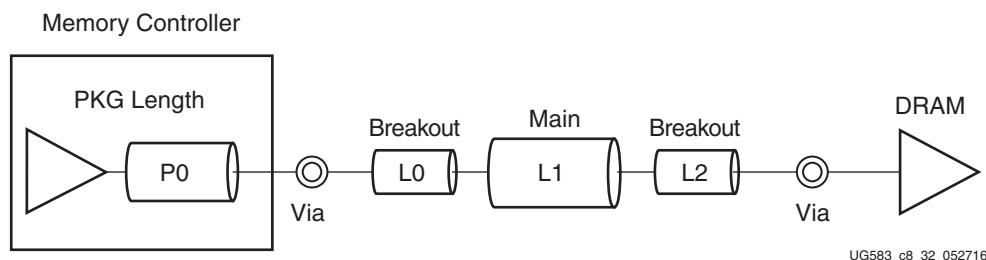


图 2-54：LPDDR3 SDRAM 的点对点数据信号

表 2-66 显示了对应 x32 和 x64 系统的数据信号的 LPDDR3 SDRAM 阻抗、长度和间隔准则。

表 2-66：对应数据信号的 LPDDR3 SDRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	单位
走线类型	带状线	带状线	带状线	-
DQ 单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$52 \pm 10\%$	$\Omega$
DQS 差分阻抗 $Z_{diff}$	$86 \pm 10\%$	$76 \pm 10\%$	$88 \pm 10\%$	$\Omega$
走线宽度（额定值）	4.0	6.0	3.5	mil
差分走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	3.5/3.25/3.5	mil
走线长度（额定值）	0.0~0.55	1.0~4.0	0.0~0.3	英寸
字节内间隔（最小值）	4.0	8.0	4.0	mil
字节间的间隔（最小值）	4.0	20	4.0	mil
DQ 到 DQS 间隔（最小值）	4.0	20	8.0	mil
距离其它组信号的间隔（最小值）	8.0	30	8.0	mil
最大 PCB 过孔计数	2			mil

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## LPDDR3 SDRAM 布线约束

针对 LPDDR3 存储器接口中的每个信号组都存在 2 项约束要求：

- 最大长度约束
- 偏差约束

[表 2-67](#) 和 [表 2-68](#) 中显示了最大长度约束。最大长度的计算方式为从 FPGA 起穿过 PCB 板到 SDRAM 封装为止。

表 2-67：LPDDR3 x32 SDRAM 最大长度约束

信号组	参考图示	最大长度约束（英寸）
地址/命令/控制	<a href="#">图 2-52</a>	5.83
数据信号	<a href="#">图 2-54</a>	5.83
时钟	<a href="#">图 2-51</a>	5.83

表 2-68：LPDDR3 x64 SDRAM 最大长度约束

信号组	参考图示	最大长度约束（英寸）
地址/命令/控制	<a href="#">图 2-53</a>	9.00
数据信号	<a href="#">图 2-54</a>	5.83
时钟	<a href="#">图 2-51</a>	9.00

[表 2-69](#) 中显示了偏差约束。

表 2-69：LPDDR3 SDRAM 存储器偏差约束

信号组	信号段	偏差约束 (ps)	偏差约束 (mil)
地址/命令/控制到时钟 <sup>(1)</sup>	FPGA 到存储器器件	±4	±23
数据到 DQS	FPGA 到存储器器件	±5	±29
DQS_p 和 DQS_n	FPGA 到存储器器件	2	12
时钟到选通	FPGA 到存储器器件	-149 - 1796	-879 - 10600

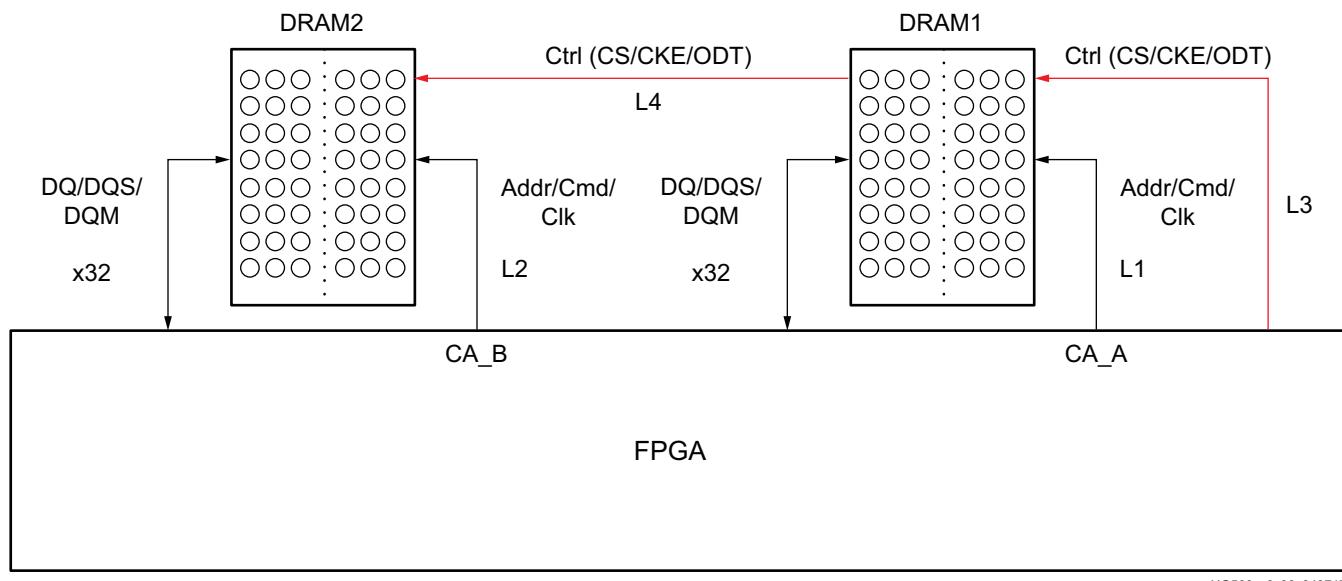
注释：

1. 此处不考虑 x64 系统中的时钟信号、地址信号和命令信号上的额外 0.5 英寸走线。
2. 约束适用于相同 SDRAM 中的信号。
3. 如需了解偏差规格，请参阅[“通用存储器布线准则”](#)中的第 3-8 项。



**重要提示：**封装布线长度必须包含在最大长度约束和偏差约束中。如可设置封装延迟的最小值和最大值，请使用最小值与最大值之间的中段值。

由于控制总线内第 2 个 DRAM 上的附加负载，在 x64 双 SDRAM 系统中的第 2 个 SDRAM 上的地址走线、命令走线和时钟走线中需额外增加走线长度，如图 2-55 中所示。



UG583\_c8\_33\_040717

图 2-55：LPDDR3 x64 双 SDRAM 系统

控制信号、地址信号、命令信号和时钟信号的匹配约束如下所示：

- $L1 = L3$
- $L2 = L3 + L4 + 0.5$  英寸

## 对应 RLDRAM 3 存储器的 PCB 准则

### 简介

本节提供了来自对应 UltraScale 架构的系统级信号完整性仿真的典型 RLDRAM 3 存储器接口的电气设计准则。在本文档中使用双组件、位宽为 72 且使用 x36 器件的 RLDRAM 3 接口作为典型设计示例。其中探讨了蛤壳拓扑和飞越式拓扑。



**重要提示：**必须遵循本节中的所有布线准则方可实现针对典型系统设计的 RLDRAM 3 存储器接口指定的最大数据率。客户可能采用专用或特殊设计，其中存在部分规则违例。在此类情况下，必须在其它布线参数中权衡设计或布线取舍，以降低风险。需通过系统级通道信号完整性仿真来对此类取舍加以评估。在继续本节前，请务必先阅读“[通用存储器布线准则](#)”部分。

## RLDRAM 3 存储器接口信号描述

RLDRAM 3 存储器接口由时钟信号、控制信号、地址信号、命令信号和数据信号组成，如表 2-70 中所示。

表 2-70：RLDRAM 3 存储器接口信号描述

信号名称	描述
<b>时钟信号</b>	
ck_p/n[1:0]	命令和地址时钟
dk_p/n[3:0]	写入数据时钟
qk_p/n[7:0]	读取数据时钟（读取至器件）
<b>控制信号</b>	
reset_n	将 Low 绑定到位于远端 RLD3 器件附近的 $4.7\text{k}\Omega$ 电阻
<b>地址信号</b>	
a[20:0]	存储器地址总线
ba[3:0]	bank 地址
<b>命令信号</b>	
cs_n	芯片选择 - 配合 ref_n 和 we_n 一起用于定义命令
ref_n	配合 cs_n 和 we_n 一起用于定义命令
we_n	配合 cs_n 和 ref_n 一起用于定义命令
<b>数据信号</b>	
dq[71:0]	数据总线
dm[3:0]	写入数据掩码
qvld[3:0]	读取数据有效
<b>其它信号</b>	
VRP	240 $\Omega$ 到 GND

**注释：**

- 实际信号列表可能因配置而异。

## 适用于蛤壳和飞越式配置的 RLDRAM 3 存储器拓扑和布线准则

### 含宽度扩展的 RLDRAM 3 存储器蛤壳配置

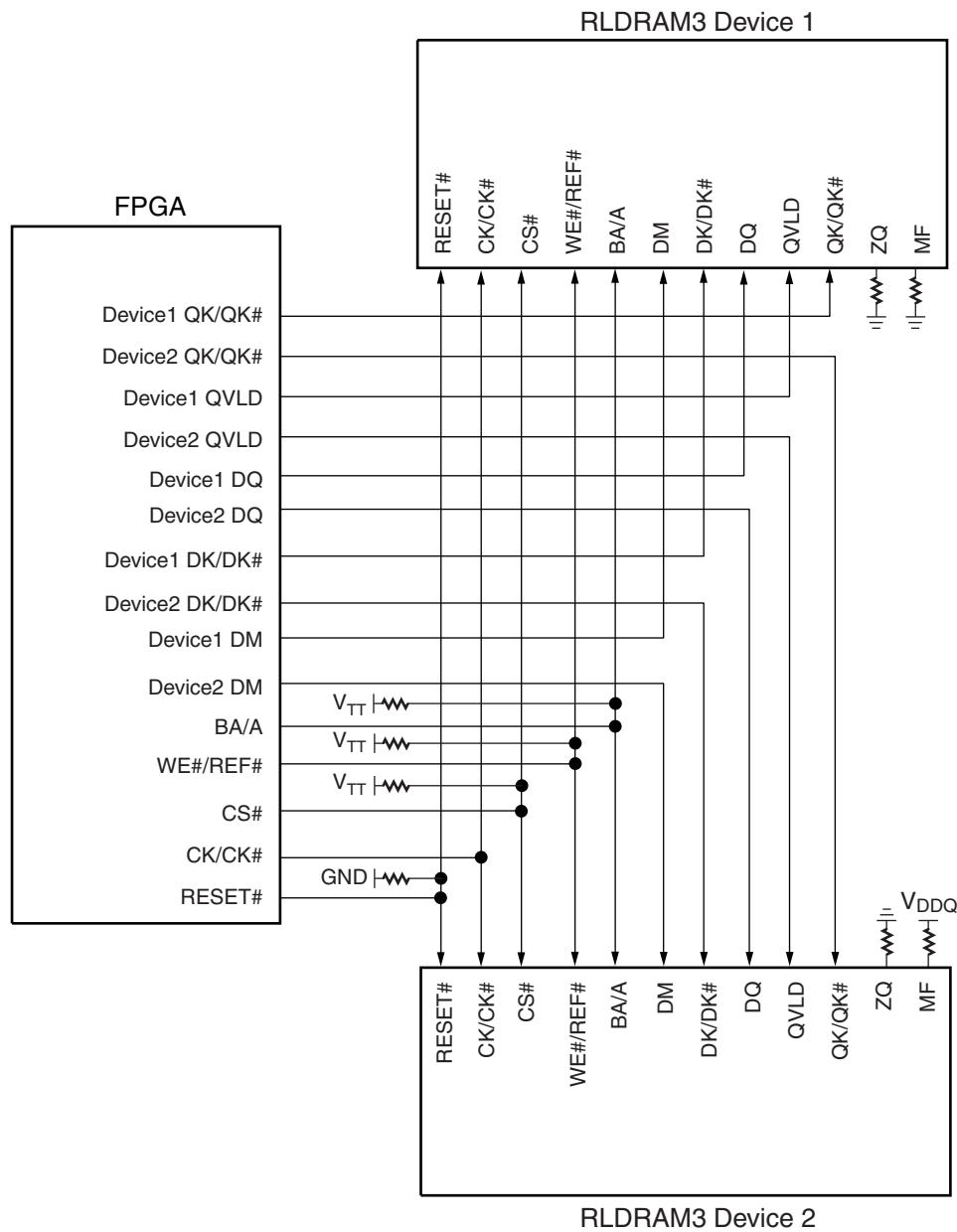
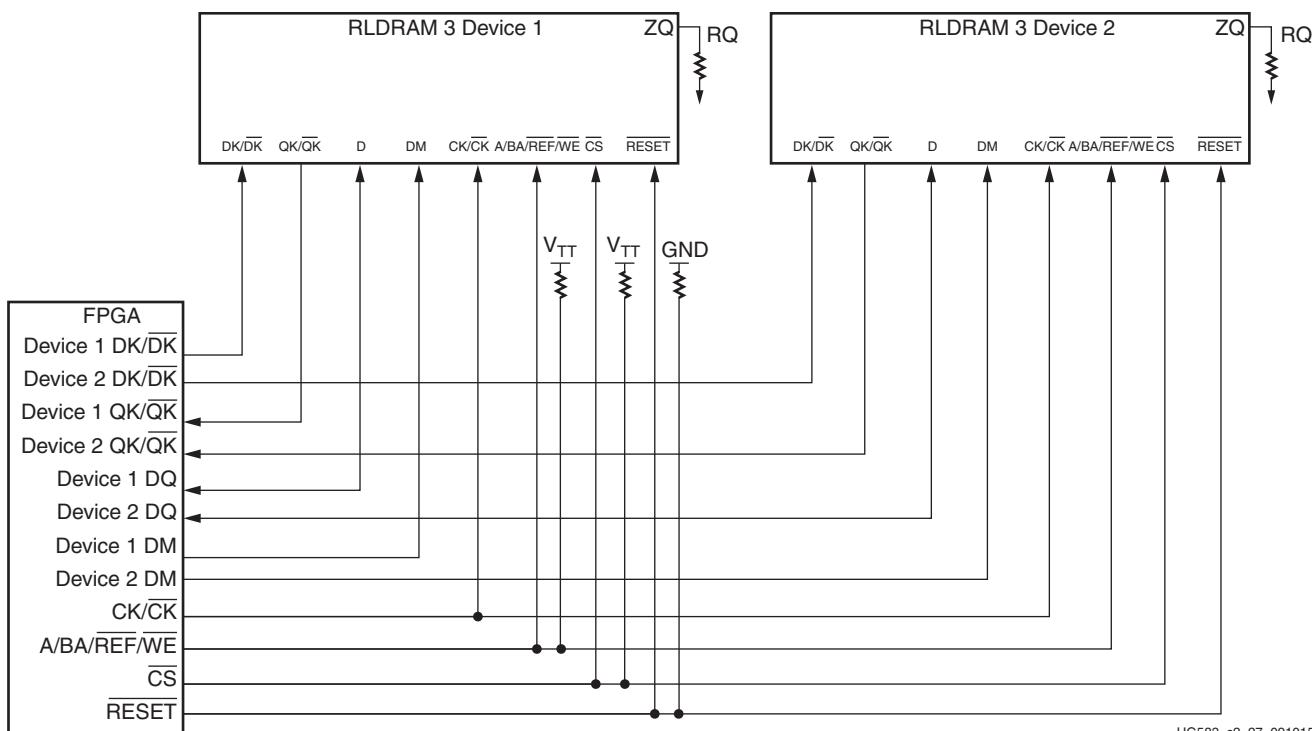


图 2-56：含宽度扩展的蛤壳 RLDRAM 3 存储器

UG583\_c2\_26\_081415

## 含宽度扩展的 RLDRAM 3 存储器飞越式配置



UG583\_c2\_27\_091015

图 2-57：含宽度扩展的飞越式 RLDRAM 3 存储器

## RLDRAM 3 存储器地址和命令蛤壳布线和终端

通过使用蛤壳拓扑可将每个地址和命令信号布线到因 RLDRAm 3 器件的镜像功能而具有匹配拓扑的对向存储器器件（图 2-58）。

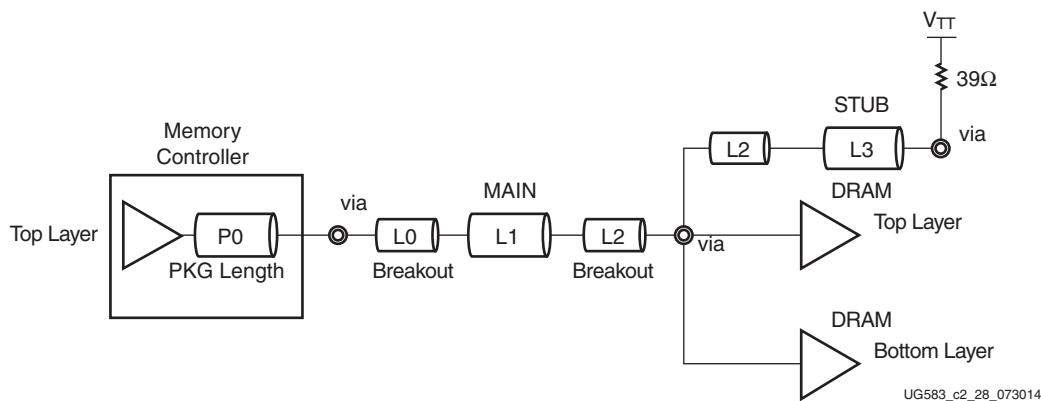


图 2-58：对应于蛤壳装载的 RLDRAm 3 存储器的地址和命令蛤壳布线

表 2-71 显示了对应于地址信号和命令信号的蛤壳布线阻抗、长度和间隔准则。

表 2-71：对应于地址信号和命令信号的蛤壳布线阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3 (到 $R_{TT}$ )	单位
走线类型	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$50 \pm 10\%$	$39 \pm 10\%$	$\Omega$
走线宽度	4.0	6.0	4.0	6.0	mil
走线长度	$0.0 \sim 0.8/1.2^{(1)}$	$0.0 \sim 4.0$	$0.0 \sim 0.25$	$0 \sim 1.0$	英寸
地址信号和命令信号中的间隔（最小值）	4.0	8.0	4.0	8.0	mil
距离时钟信号的间隔（最小值）	8.0	20	8.0	20	mil
距离其它组信号的间隔（最小值）	8.0	30	30	30	mil
最大 PCB 过孔计数	6				-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## RLDRAM 3 存储器地址和命令飞越式布线和终端

每个地址信号和命令信号均可使用飞越式拓扑布线到每个存储器器件并连接到其对应管脚。（图 2-59）。

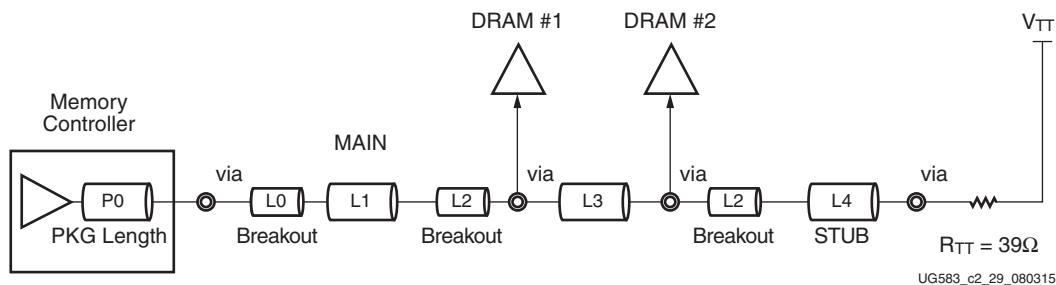


图 2-59：对应于 RLDRAM 3 存储器的地址、命令和控制飞越式终端

表 2-72 显示了对应地址信号、命令信号和控制信号的 RLDRAM 3 存储器飞越式阻抗、长度和间隔准则。

表 2-72：对应地址信号、命令信号和控制信号的 RLDRAM 3 存储器飞越式阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3	L4 (到 $R_{TT}$ )	单位
走线类型	带状线	带状线	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$36 \pm 10\%$	$50 \pm 10\%$	$50 \pm 10\%$	$39 \pm 10\%$	$\Omega$
走线宽度	4.0	7.0	4.0	4.0	6.0	mil
走线长度	0.0~0.8/1.2 <sup>(1)</sup>	0.0~4.0	0.0~0.25	0.35~1.05	0~1.0	英寸
地址、命令和控制中的间隔 (最小值)	4.0	8.0	4.0	8.0	8.0	mil
距离时钟信号的间隔 (最小值)	8.0	20	8.0	20	20	mil
距离其它组信号的间隔 (最小值)	8.0	30	30	30	30	mil
最大 PCB 过孔计数	6					-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## RLDRAM 3 存储器 CK\_P/N 蛤壳布线

图 2-60 显示了蛤壳装载的 RLDRAM 3 存储器的 ck\_p/n 蛤壳布线。

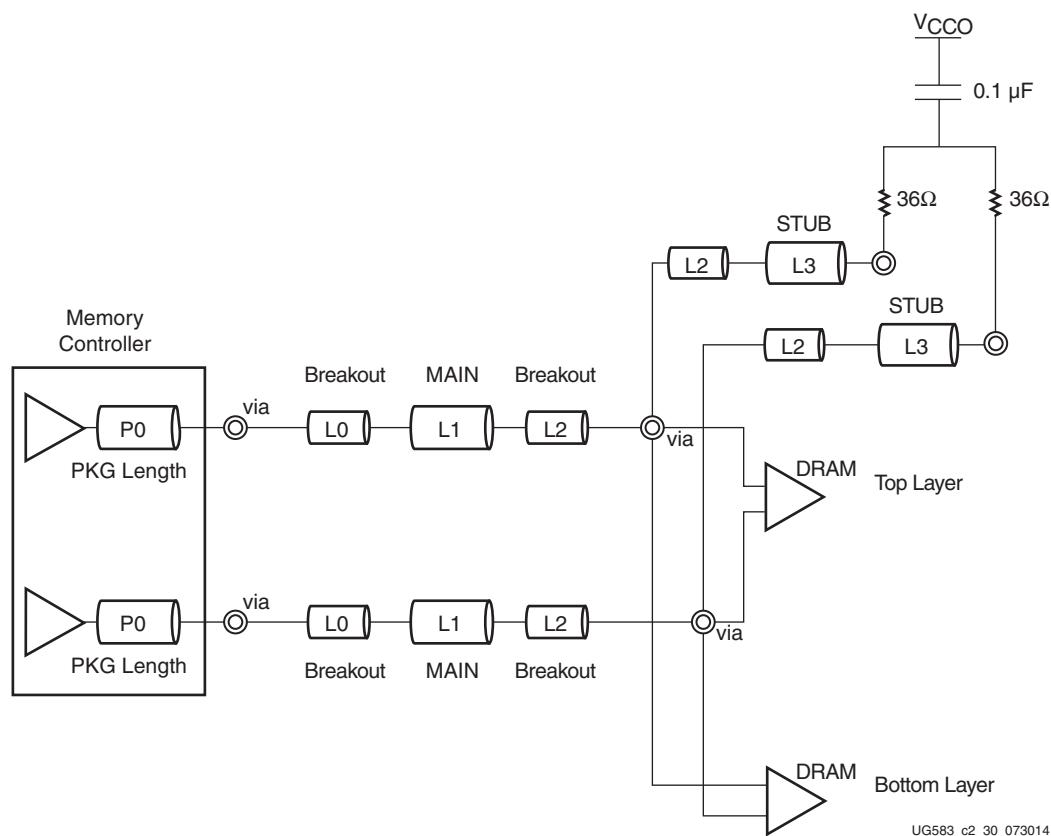


图 2-60：对应于蛤壳装载的 RLDRAM 3 存储器的 ck\_p/n 蛤壳布线

表 2-73 显示了对应于 ck\_p/n 信号的 RLDRAM 3 存储器蛤壳阻抗、长度和间隔准则。

表 2-73：对应于 ck\_p/n 信号的 RLDRAM 3 存储器蛤壳阻抗、长度和间隔准则。

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3 (到终端)	单位
走线类型	带状线	带状线	带状线	带状线	-
时钟差分阻抗 $Z_{\text{DIFF}}$	$86 \pm 10\%$	$76 \pm 10\%$	$86 \pm 10\%$	$76 \pm 10\%$	$\Omega$
走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	4.0/4.0/4.0	6.0/6.0/6.0	mil
走线长度	0.0~0.8/1.2 <sup>(1)</sup>	0.0~3.0	0.0~0.25	0~1.0	英寸
距离其它组信号的间隔 (最小值)	8.0	30	30	20	mil
最大 PCB 过孔计数 (按信号)	3				-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## RLDRAM 3 存储器 CK\_P/N 飞越式布线

图 2-61 显示了 RLDRAm 3 存储器的时钟差分飞越式布线。

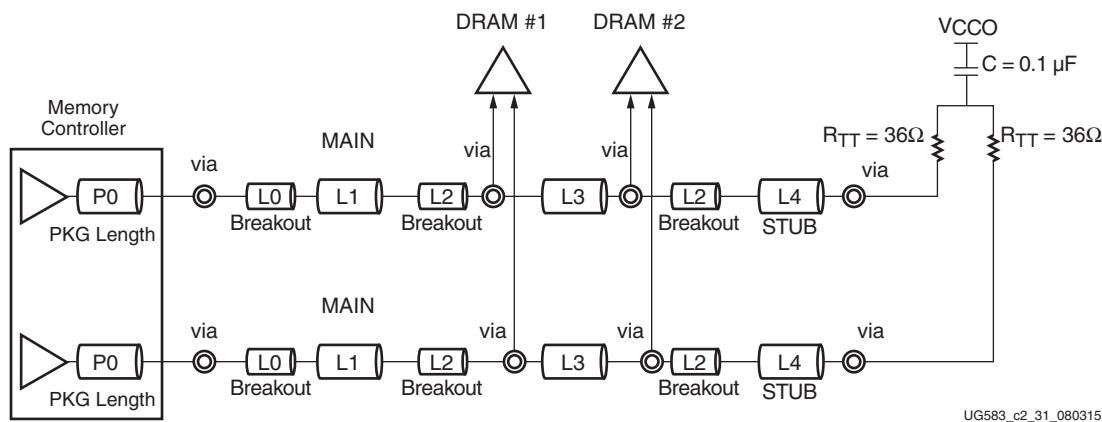


图 2-61：RLDRAM 3 存储器的时钟差分飞越式布线

表 2-74 显示了对应时钟信号的 RLDRAm 3 存储器飞越式阻抗、长度和间隔准则。

表 2-74：对应时钟信号的 RLDRAm 3 存储器飞越式阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3	L4 (到 $R_{TT}$ )	单位
走线类型	带状线	带状线	带状线	带状线	带状线	-
时钟差分阻抗 $Z_{DIFF}$	$86 \pm 10\%$	$76 \pm 10\%$	$86 \pm 10\%$	$90 \pm 10\%$	$76 \pm 10\%$	$\Omega$
走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	4.0/4.0/4.0	4.0/5.0/4.0	6.0/6.0/6.0	mil
走线长度	0.0~0.8/1.2 <sup>(1)</sup>	0.0~3.0	0.0~0.25	0.35~1.05	0~1.0	英寸
地址信号、命令信号和控制信号中的间隔 (最小值)	8.0	20	8.0	20	20	mil
距离其它组信号的间隔 (最小值)	8.0	30	30	30	30	mil
最大 PCB 过孔计数 (按信号)	4					-

注释：

- 请参阅“通用存储器布线准则”中的第 2 项。

## RLDRAM 3 存储器 DK\_P/N 和 QK\_P/N 差分点对点布线

图 2-62 和图 2-63 显示了 RLDARAM 3 存储器 dk\_p/n 和 qk\_p/n 差分点对点布线。

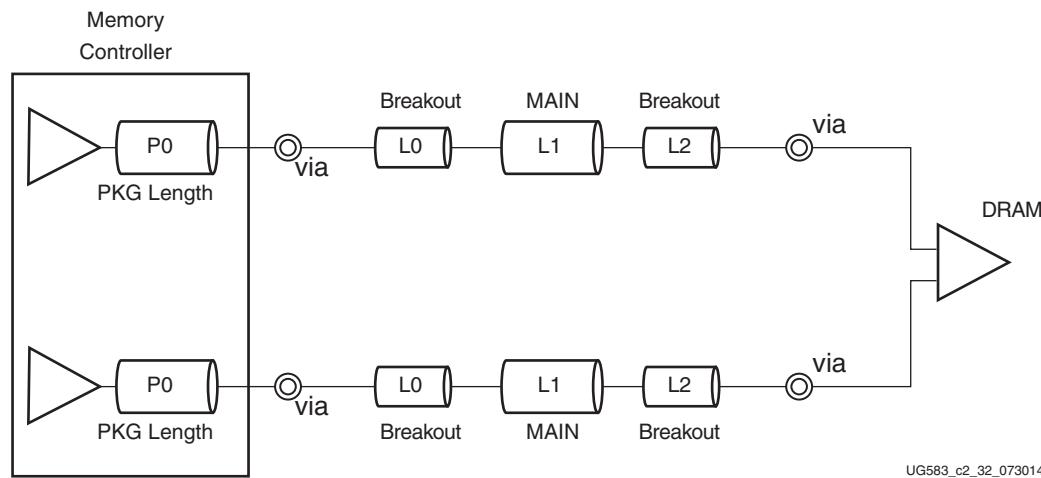


图 2-62: dk\_p/n 点对点布线

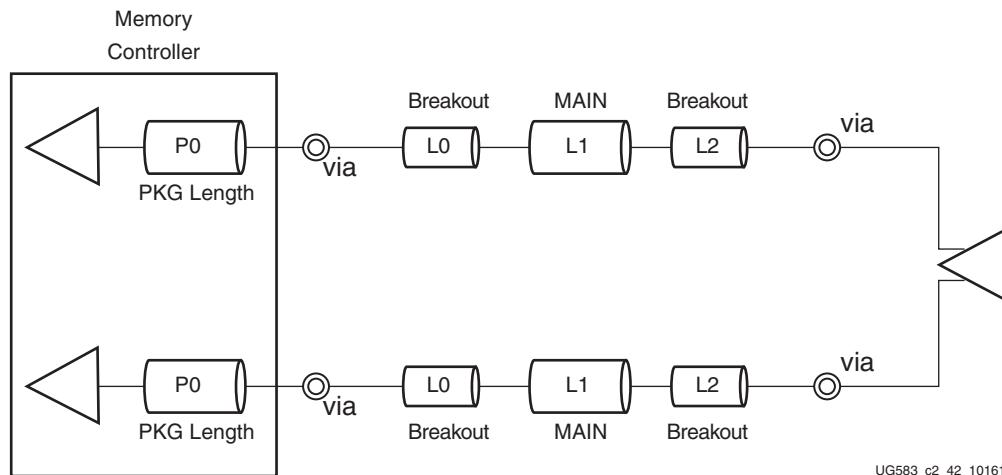


图 2-63: qk\_p/n 点对点布线

表 2-75 显示了 dk 和 qk 信号的 RLDRAM 3 存储器阻抗、长度和间隔准则。

表 2-75：对应 dk 和 qk 信号的 RLDRAM 3 存储器阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	单位
走线类型	带状线	带状线	带状线	-
ck/qk 差分阻抗 $Z_{\text{DIFF}}$	$86 \pm 10\%$	$76 \pm 10\%$	$86 \pm 10\%$	$\Omega$
走线宽度 (额定值)	4.0	6.0	4.0	mil
差分走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	4.0/4.0/4.0	mil
走线长度 (额定值)	0.0~0.8/1.2 <sup>(1)</sup>	0.0~4.0	0.0~0.25	英寸
距离其它组信号的间隔 (最小值)	8.0	30	30	mil
最大 PCB 过孔计数	2			-

注释：

- 请参阅“通用存储器布线准则”中的第 2 项。

### RLDRAM 3 存储器点对点数据信号

图 2-64 显示了 RLDRAM 3 存储器数据信号的点对点布线。

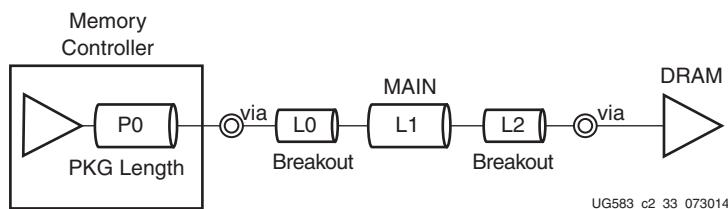


图 2-64：数据信号点对点布线

表 2-76 显示了对应数据信号的 RLDRAM 3 存储器阻抗、长度和间隔准则。

表 2-76：对应数据信号的 RLDRAM 3 存储器阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	单位
走线类型	带状线	带状线	带状线	-
dq 阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$50 \pm 10\%$	$\Omega$
走线宽度 (额定值)	4.0	6.0	4.0	mil
走线长度 (额定值)	0.0~0.8/1.2 <sup>(1)</sup>	0.0~4.0	0.0~0.25	英寸
字节内间隔 (最小值)	4.0	8.0	4.0	mil
字节间的间隔 (最小值)	4.0	20	4.0	mil
dq 到 dk/qk 间隔 (最小值)	4.0	20	8.0	mil
距离其它组信号的间隔 (最小值)	8.0	30	30	mil
最大 PCB 过孔计数	2			-

注释：

- 请参阅“通用存储器布线准则”中的第 2 项。

## RLDRAM 3 存储器布线约束

针对 RDRAM 3 存储器接口中的每个信号组都存在 2 项约束要求：

- 最大延迟约束
- 偏差约束

表 2-77 中显示了最大延迟约束。

表 2-77：RLDRAM 3 存储器最大延迟约束

信号组	参考图示	最大延迟约束 (ps)
地址/命令	图 2-58、 图 2-59	1017
数据信号 P0+L0+L1+L2	图 2-64	1017

表 2-78 中列出了偏差约束。

表 2-78：RLDRAM 3 存储器偏差约束

信号	偏差约束 (ps)
dq/dm 到 dk_p/n	±5
dq 到 qk_p/n	±5
qvld 到 qk_p/n	±5
dk_p/n 到 ck_p/n	±5
addr/cmd 到 ck_p/n	±5
差分信号 p 到 n	2

注释：

1. 如需了解有关偏差规格的更多信息，请参阅“通用存储器布线准则”中的第 3-8 项。



**重要提示：**FPGA 封装飞行时间必须包含在总长约束和偏差约束中。如可设置封装延迟的最小值和最大值，请使用最小值与最大值之间的中段值。存储器器件封装飞行时间无需考虑在内，因为在这些准则中已考量了其变化。

# 对应 QDR II+ SRAM 的 PCB 准则

## 简介

本节提供了来自对应 UltraScale 架构的系统级信号完整性仿真的典型 QDR II+ SRAM 接口的电气设计准则。在本文档中使用双组件、位宽为 36 且使用 x18 器件的 QDR II+ 接口作为典型设计示例。



**重要提示：**必须遵循本节中的所有准则方可实现针对 QDR II+ SRAM 接口指定的最大数据率。在继续本节前，请务必先阅读“[通用存储器布线准则](#)”部分。

## QDR II+ SRAM 接口信号描述

QDR II+ SRAM 接口由时钟信号、控制信号、地址信号、命令信号和数据信号组成，如表 2-79 中所示。

表 2-79：QDR II+ SRAM 接口信号描述

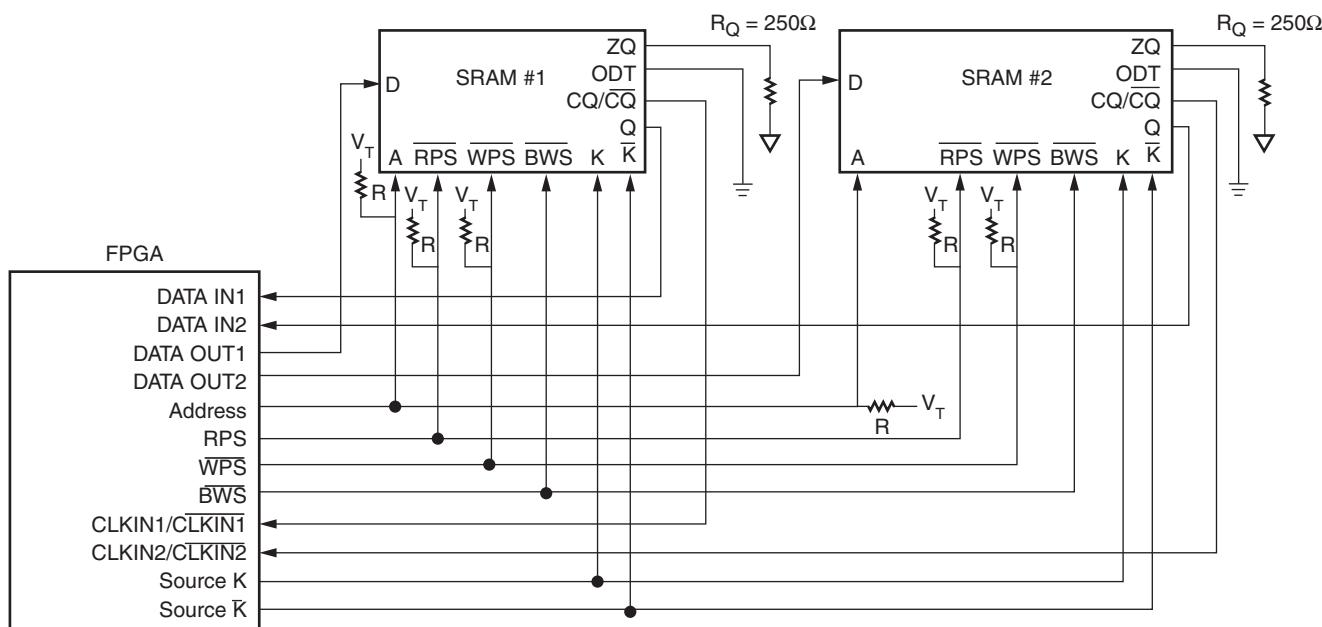
信号名称	描述
<b>时钟信号</b>	
k/k_b[1:0]	写入数据/地址/命令时钟
cq/cq_b[1:0]	读取数据时钟
<b>控制信号</b>	
zq	输出阻抗匹配。（请勿生成 NC 或连接到 GND。）
odt	片上终端选择
<b>地址信号</b>	
a[19:0]	存储器地址总线
<b>命令信号</b>	
wps_n	写入端口选择
rps_n	读取端口选择
<b>数据信号</b>	
d[35:0]	数据输入总线
bws[3:0]	字节写入选择
q[35:0]	数据输出总线
<b>其它信号</b>	
VRP	240Ω 到 GND

注释：

- 实际信号列表可能因配置而异。

## 双 QDR II+ SRAM 器件的设计示例

图 2-65 显示了含宽度扩展的 QDR II+ SRAM 器件的设计示例。

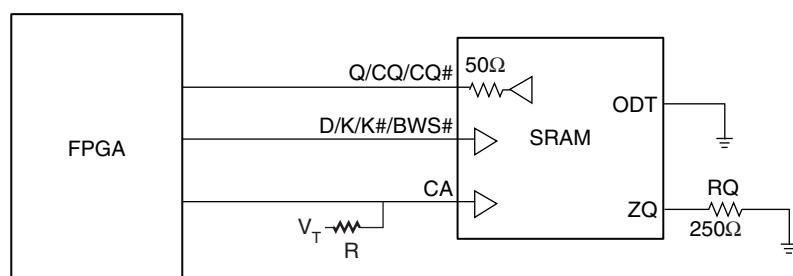


$$V_T = V_{DDQ}/2$$

UG583\_c2\_34\_021115

图 2-65：含宽度扩展的 QDR II+ SRAM 器件的设计示例

图 2-66 显示了单 QDR II+ SRAM 器件的设计示例。



UG583\_c2\_51\_012115

图 2-66：单 QDR II+ SRAM 器件的设计示例

## 对应飞越式配置的 QDR II+ SRAM 拓扑和布线准则

### QDR II+ SRAM 地址和命令飞越式布线和终端

飞越式拓扑供地址信号和命令信号用于实现最佳信号完整性（图 2-67）。

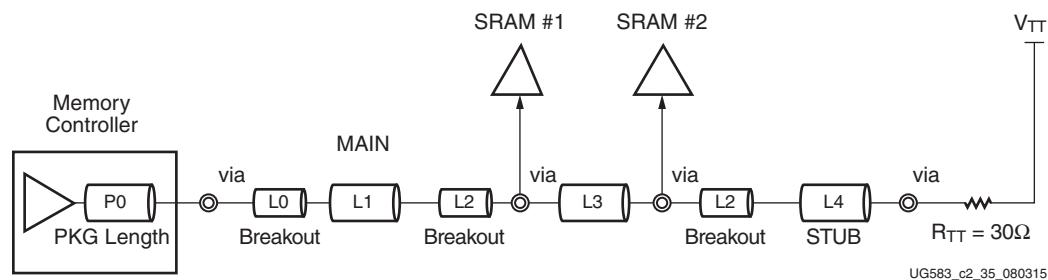


图 2-67：对应 QDR II+ SRAM 的地址和命令飞越式布线和终端

图 2-68 显示了 QDR II+ SRAM 地址和命令点对点布线和终端。

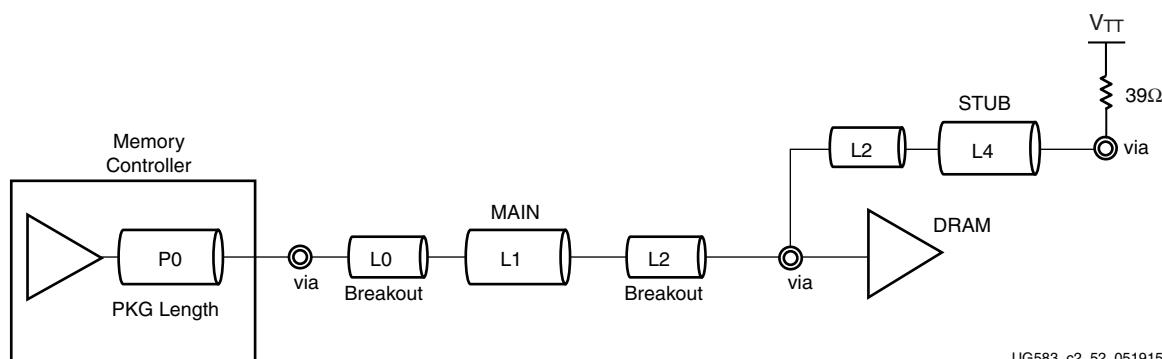


图 2-68：对应 QDR II+ SRAM 的地址和命令点对点布线和终端

表 2-80 显示了对应地址信号和命令信号的 QDR II+ SRAM 阻抗、长度和间隔准则。

表 2-80：对应地址信号和命令信号的 QDR II+ SRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (SRAM 引出线)	L3 (主)	L4 (到 R <sub>TT</sub> )	单位
走线类型	带状线	带状线	带状线	带状线	带状线	-
单端阻抗 Z <sub>0</sub>	50±10%	39±10%	50±10%	50±10%	36±10%	Ω
走线宽度	4.0	6.0	4.0	4.0	7.0	mil
走线长度	0.0~0.8/1.2 <sup>(1)</sup>	0.0~3.0	0.0~0.3	0.5~0.8	0.0~0.4	英寸
地址信号、命令信号和控制信号中的间隔 (最小值)	4.0	8.0	4.0	8.0	8.0	mil
距离时钟信号的间隔 (最小值)	8.0	20	8.0	20	20	mil
距离其它组信号的间隔 (最小值)	8.0	30	30	30	30	mil
最大 PCB 过孔计数	4					-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## 其它 QDR II+ SRAM 布线准则

### 对应 T 型分支配置的 QDR II+ SRAM 拓扑和布线准则

图 2-69 和表 2-81 显示了 QDR II+ SRAM 地址和命令 T 型分支布线、终端拓扑和布线准则。

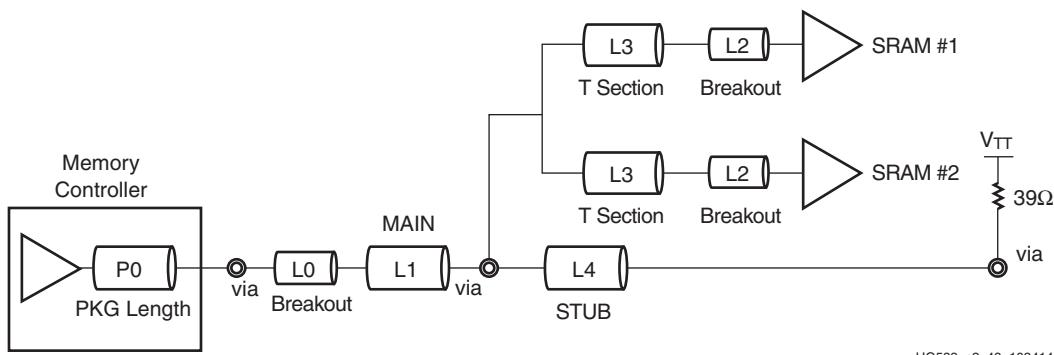


图 2-69：对应 QDR II+ SRAM 的地址和命令 T 型分支布线和终端

表 2-81：对应 QDR II+ SRAM 的地址和命令 T 型分支布线和终端

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3 (DRAM 到 DRAM)	L4 (到 RTT)	单位
走线类型	带状线	带状线	微带线	微带线	带状线	-
单端阻抗 Z <sub>0</sub>	50±10%	39±10%	60±10%	60±10%	39±10%	Ω
布线层	上层/ 下层	上层/ 下层	表面	表面	上层/ 下层	

表 2-81：对应 QDR II+ SRAM 的地址和命令 T 型分支布线和终端（续）

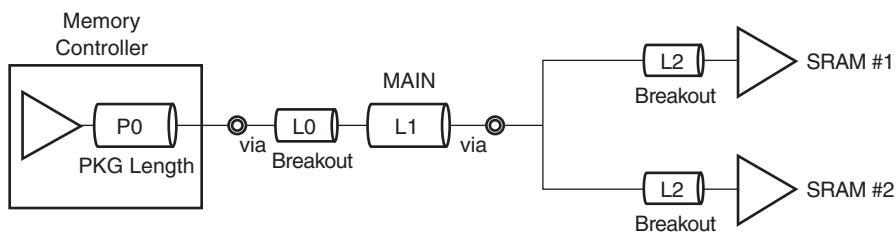
参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	L3 (DRAM 到 DRAM)	L4 (到 RTT)	单位
走线宽度	4.0	6.0	4.0	4.0	6.0	mil
走线长度	0.0~0.8/1.2(1)	<3.0	<0.4	<0.7	<0.5	英寸
地址信号、命令信号和控制信号中的间隔（最小值）	4.0	12.0	4.0	8.0	8.0	mil
距离时钟信号的间隔（最小值）	8.0	12.0	8.0	12.0	12.0	mil
距离其它组信号的间隔（最小值）	8.0	30	30	30	30	mil
最大 PCB 过孔计数			3			-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

### QDR II+ SRAM 时钟（K、K\_B 和 BWS）T 型分支布线和终端

最好为每个 SRAM 提供专用 K 和 K\_B，但如果不可行，则可选择 T 型分支拓扑。图 2-70 和表 2-82 为 QDR II+ SRAM 时钟信号定义了拓扑和布线准则。



UG583\_c2\_49\_102414

图 2-70：对应 QDR II+ SRAM 的时钟（K 和 K\_B）和 BWS T 型分支布线和终端

表 2-82：对应时钟信号的阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	单位
走线类型	带状线	带状线	微带线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$60 \pm 10\%$	$\Omega$
布线层	上层/下层	上层/下层	上层/下层	
走线宽度	4.0	6.0	4.0	mil
走线长度	$0.0 \sim 0.8/1.2^{(1)}$	<4.0	<0.7	英寸
字节内间隔（最小值）	4.0	12.0	4.0	mil
距离其它组信号的间隔（最小值）	8.0	30	30	mil
最大 PCB 过孔计数		2		-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

### QDR II+ SRAM 时钟信号和数据信号 (d/k/k\_b) 点对点布线

图 2-71 显示了 QDR II+ SRAM 时钟信号和数据信号点对点布线。

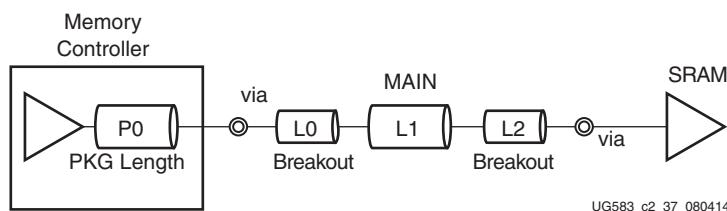


图 2-71：时钟信号和数据信号 (d/k/k\_b) 点对点布线

### QDR II+ SRAM 时钟信号和数据信号 (q/cq/cq\_b) 点对点布线

图 2-72 显示了 QDR II+ SRAM 时钟信号和数据信号点对点布线。

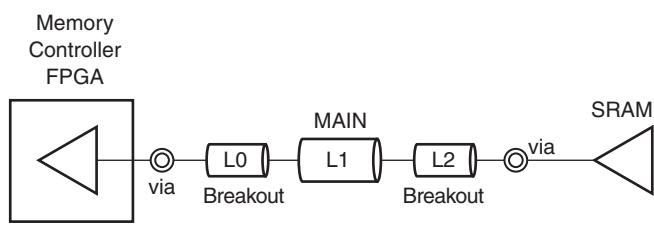


图 2-72：时钟信号和数据信号 (q/cq/cq\_b) 点对点布线

表 2-83 显示了对应时钟信号和数据信号的 QDR II+ SRAM 阻抗、长度和间隔准则。

表 2-83：对应时钟信号和数据信号的 QDR II+ SRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (SRAM 引出线)	单位
走线类型	带状线	带状线	带状线	-
d 和 q 单端阻抗 $Z_0$	50±10%	39±10%	50±10%	$\Omega$
走线宽度 (额定值)	4.0	6.0	4.0	mil
走线长度 (额定值)	0.0~0.8/1.2 <sup>(1)</sup>	0.0~4.0	0.0~0.5	英寸
字节内间隔 (最小值)	4.0	8.0	4.0	mil
字节间的间隔 (最小值)	4.0	20	4.0	mil
CQ_P/N 到其它信号的间隔	4.0	12.0	4.0	mil
K_P/N 到其它信号的间隔	4.0	12.0	4.0	mil
距离其它组信号的间隔 (最小值)	8.0	30	30	mil
最大 PCB 过孔计数		2		-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## QDR II+ SRAM 布线约束

针对 QDR II+ SRAM 接口中的每个信号组都存在 2 项约束要求：

- 最大长度/延迟约束
- 偏差约束

表 2-84 中显示了最大长度/延迟约束。

表 2-84：QDR II+ SRAM 最大长度/延迟约束

信号组	参考图示	最大长度/延迟约束
地址/命令	图 2-67	6.0 英寸 1017 ps
数据信号 P0+L0+L1+L2	图 2-72	6.0 英寸 1017 ps

重要提示：地址信号和数据信号必须与每个相应的 QDR II+ SRAM 器件的长度相匹配。



表 2-85 中列出了偏差约束。

表 2-85：QDR II+ SRAM 偏差约束

信号组	偏差约束 (ps)	偏差约束 (mil)
数据到时钟 (d 到 k, q 到 cq)	±6	±35
数据	±5	±29
T 支线	±2	±12
CMD/ADDR (CA)	±6	±35
CMD/ADDR 到 CLK (CLK 点对点和 CA 飞越式)	±6	±35
CMD/ADDR 到 CLK (CLK T 型分支和 CA 飞越式)	±34	±200
CMD/ADDR 到 CLK (CLK T 型分支和 CA T 型支线)	±6	±35
k 到 k_b	2	12
q 到 q_b	2	12

注释：

- 如需了解有关偏差规格的更多信息，请参阅“[通用存储器布线准则](#)”中的第 3-8 项。



**重要提示：**FPGA 封装飞行时间必须包含在总长约束和偏差约束中。如可设置封装延迟的最小值和最大值，请使用最小值与最大值之间的中段值。存储器器件封装飞行时间无需考虑在内，因为在这些准则中已考量了其变化。

## 对应 QDR-IV SRAM 的 PCB 准则

### 简介

本节提供了来自对应 UltraScale 架构的系统级信号完整性仿真的典型 QDR-IV SRAM 接口的电气设计准则。在本文档中使用单组件位宽为 36 的 QDR-IV 接口作为典型设计示例。



**重要提示：**必须遵循本节中的所有准则方可实现针对 QDR-IV SRAM 接口指定的最大数据率。在继续本节前，请务必先阅读“[通用存储器布线准则](#)”部分。

## QDR-IV SRAM 接口信号描述

QDR-IV SRAM 接口由时钟信号、控制信号、地址信号、命令信号和数据信号组成，如表 2-86 中所示。

表 2-86：QDR-IV SRAM 接口信号描述

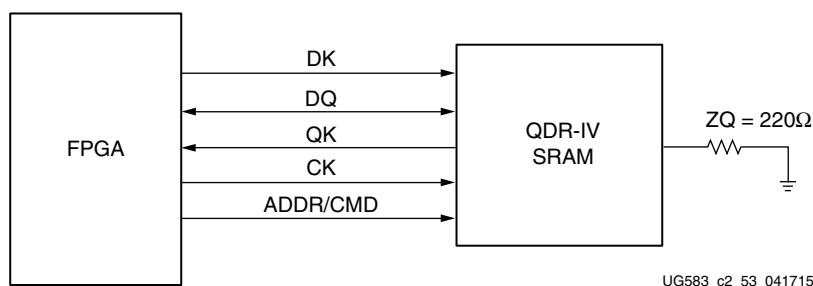
信号名称	描述
<b>时钟信号</b>	
CK/CK#	地址/命令时钟
DK/DK#	写入数据时钟
QK/QK#	读取数据时钟
<b>控制信号</b>	
ZQ	输出阻抗匹配
<b>地址信号</b>	
a[19:0]	存储器地址总线（如使用 x18 数据宽度，则为 20:0）
<b>命令信号</b>	
LD#	同步负载输入
<b>数据信号</b>	
DQ[35:0]	数据总线
<b>其它信号</b>	
VRP	240Ω 到 GND

注释：

- 实际信号列表可能因配置而异。

## 双 QDR-IV SRAM 器件的设计示例

图 2-73 显示了双 QDR-IV SRAM 器件的设计示例。



UG583\_c2\_53\_041715

图 2-73：QDR-IV SRAM 器件的设计示例

## QDR-IV 拓扑和布线准则

**重要提示：**必须遵循表中的所有规则才能达到指定的性能。这包括但不限于走线类型、宽度、间隔、阻抗和过孔计数。



## QDR-IV SRAM DQ/地址/命令布线

图 2-74 和表 2-87 定义了对应 QDR-IV SRAM DQ、地址信号和命令信号的拓扑和布线准则。

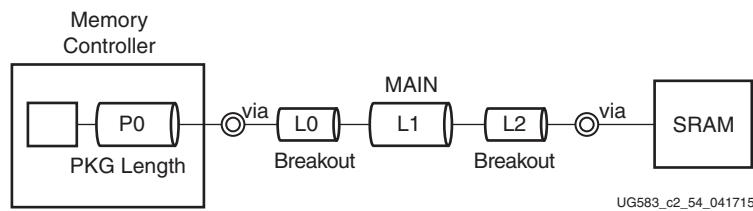


图 2-74：对应 QDR-IV SRAM 的 DQ/地址/命令布线

表 2-87：对应 DQ/地址/命令信号的 QDR-IV SRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	单位
走线类型	带状线	带状线	带状线	-
单端阻抗 $Z_0$	$50 \pm 10\%$	$39 \pm 10\%$	$50 \pm 10\%$	$\Omega$
走线宽度	4.0	6.0	4.0	mil
走线长度	$0.0 \sim 0.8/1.2^{(1)}$	$0.0 \sim 4.0$	$0.0 \sim 0.1$	英寸
地址信号、命令信号和控制信号中的间隔（最小值）	4.0	8.0	4.0	mil
距离时钟信号的间隔（最小值）	8.0	20	8.0	mil
距离其它组信号的间隔（最小值）	8.0	30	30	mil
最大 PCB 过孔计数	4 (地址/命令) 2 DQ			-

注释：

1. 请参阅“通用存储器布线准则”中的第 2 项。

## QDR-IV SRAM CK/DK/QK 布线和终端

图 2-75、图 2-76 和表 2-88 定义 QDR-IV SRAM 时钟信号的拓扑和布线准则。

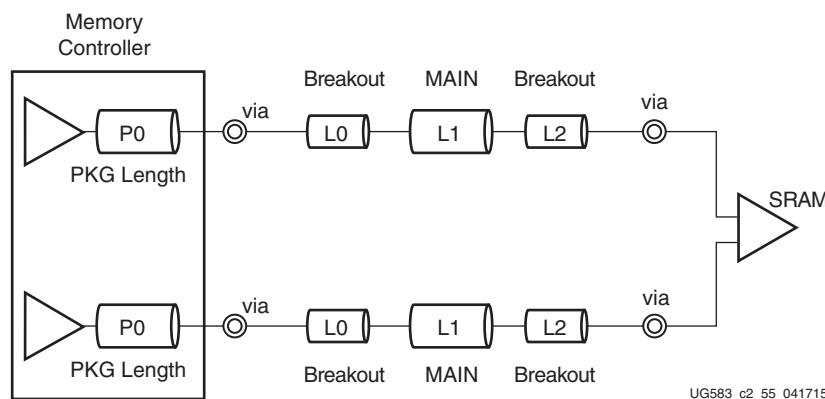


图 2-75：对应 QDR-IV SRAM 的 DK 和 CK 布线

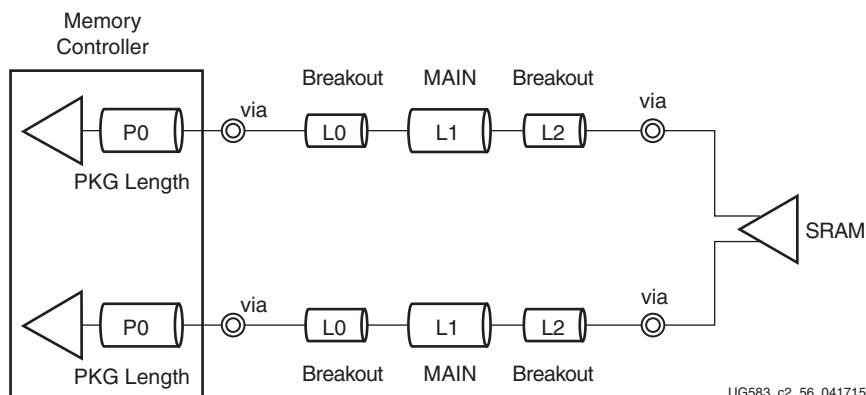


图 2-76：对应 QDR-IV SRAM 的 QK 布线

表 2-88：对应 CK/DK/QK 信号的 QDR-IV SRAM 阻抗、长度和间隔准则

参数	L0 (器件引出线)	L1 (主 PCB)	L2 (DRAM 引出线)	单位
走线类型	带状线	带状线	带状线	-
时钟差分阻抗 $Z_{\text{DIFF}}$	$86 \pm 10\%$	$76 \pm 10\%$	$86 \pm 10\%$	$\Omega$
走线宽度/间隔/宽度	4.0/4.0/4.0	6.0/6.0/6.0	4.0/4.0/4.0	mil
走线长度	0.0~0.8/1.2 <sup>(1)</sup>	0.0~3.0	0.0~0.1	英寸
地址信号、命令信号和控制信号中的间隔（最小值）	8.0	20	8.0	mil
距离其它组信号的间隔（最小值）	8.0	30	30	mil
最大 PCB 过孔计数（按信号）		2		-

注释：

1. 请参阅“[通用存储器布线准则](#)”中的第 2 项。

## QDR-IV SRAM 布线约束

针对 QDR-IV SRAM 接口中的每个信号组都存在 2 项约束要求：

- 最大长度/延迟约束
- 偏差约束

表 2-89 中显示了最大长度/延迟约束。

表 2-89：QDR-IV SRAM 最大长度/延迟约束

信号组	参考图示	最大长度/延迟约束
地址/命令 P0+L0+L1+L2	<a href="#">图 2-74</a>	6.0 英寸 1017 ps
数据信号 P0+L0+L1+L2	<a href="#">图 2-74</a>	6.0 英寸 1017 ps

表 2-90 中列出了偏差约束。

表 2-90：QDR-IV SRAM 偏差约束

信号组	偏差约束 (ps)	偏差约束 (mil)
DQ 到时钟（DQ 到 DK、DQ 到 QK）	$\pm 5$	$\pm 29$
地址/命令到 CK	$\pm 6$	$\pm 35$
DQ（最慢到最快）	2	12
地址/命令（最慢到最快）	2	12
时钟到时钟# (CK/DK/QK)	2	12
CK 到 DK	50	295
CK 到 QK	50	295

注释：

1. 如需了解有关偏差规格的更多信息，请参阅“[通用存储器布线准则](#)”中的第 3-8 项。



**重要提示：**FPGA 封装飞行时间必须包含在总长约束和偏差约束中。如可设置封装延迟的最小值和最大值，请使用最小值与最大值之间的中段值。存储器器件封装飞行时间无需考虑在内，因为在这些准则中已考量了其变化。

# 适用于 Zynq UltraScale+ RFSoC 的 PCB 准则

## 适用于 RFSoC 数字电源轨的 PDN 准则

Zynq® UltraScale+™ RFSoC 包含全新数字和模拟电路，其中每个块都具有专用电源轨。本节主要描述了对应 RFSoC 中的数字电源轨的 PDN 准则，包括软判决前向纠错 (SD-FEC) 电源轨  $V_{CCSDFEC}$ 。

### 可编程逻辑电压轨供电

本文档中的准则基于以下用例假设。

- 80% 的 CLB LUT 和寄存器以 245 MHz 运行
- 80% 的块 RAM 以 491 MHz 运行
- 80% 的 UltraRAM 以 200 MHz 运行
- 80% 的 DSP 以 491 MHz 运行
- 100% 的 MMCM 和 PLL 以 500 MHz 运行
- GTY 收发器使用率为 100%
- $V_{CCSDFEC}$  上的阶跃负载电流为 8.02A

### $V_{CCINT}$ 、 $V_{CCINT\_IO}$ 和 $V_{CCBRAM}$ 绑定在一起 (-1E、-1I、-2I 和 -2E)

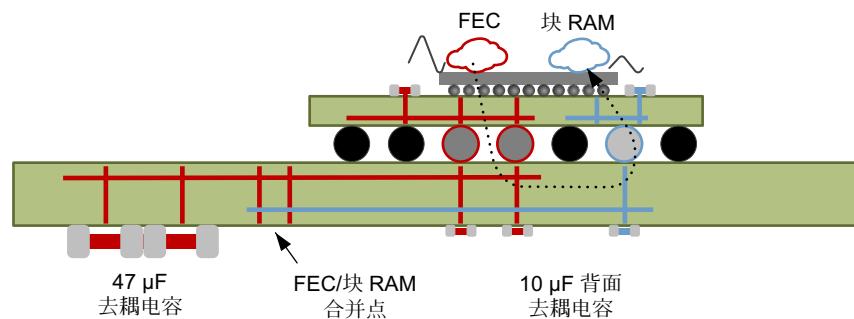
对于 -1E、-1I、-2I 和 -2E 速度等级，赛灵思建议将  $V_{CCINT}$ 、 $V_{CCINT\_IO}$  和  $V_{CCBRAM}$  连接在一起，因为这三者均以相同电压（0.85V 或 0.90V（仅限 -3 速度等级））运行。PCB 内电层区域也更便于绘制，因为  $V_{CCINT}/V_{CCINT\_IO}$  和  $V_{CCBRAM}$  可共享相同的内电层设计。 $V_{CCINT}/V_{CCINT\_IO}/V_{CCBRAM}$  的内电层设计大小应能以可靠方式提供所需电流/电源量，同时最大限度减小 IR 压降，以确保电压轨可符合数据手册规格。

### $V_{CCINT}$ 与 $V_{CCBRAM}/V_{CCINT\_IO}$ 分离 (-1LI、-2LI 和 -2LE)

对于 -1LI、-2LI 和 -2LE 速度等级， $V_{CCINT}$  能以 0.72V 工作，而  $V_{CCBRAM}/V_{CCINT\_IO}$  则能以 0.85V/0.90V 工作。因此，需要将这些电压轨分离到不同内电层上。 $V_{CCINT}$  和  $V_{CCBRAM}/V_{CCINT\_IO}$  的内电层设计大小应能提供所需的电流/电源量，同时最大限度减小 IR 压降，以确保电压轨可符合数据手册规格。

### $V_{CCSDFEC}$

$V_{CCSDFEC}$  电源轨需连接到包含  $V_{CCBRAM}$  的内电层。 $V_{CCSDFEC}$  和  $V_{CCBRAM}$  在 RFSoC 下应各自具有独立内电层，随后超出 RFSoC 覆盖范围时即可合并。[图 3-1](#) 显示了建议的内电层方法。“[PCB 去耦建议](#)”中描述了  $V_{CCSDFEC}$  的去耦电容。



X18895-061019

图3-1：对应 $V_{CCSDFEC}$ 和 $V_{CCBRAM}$ 的内电层连接建议

## $V_{CCSDFEC}$ 和移植

要在RFSoC器件之间实现无缝移植，请将 $V_{CCSDFEC}$ 管脚连接到 $V_{CCBRAM}$ ，即使不使用 $V_{CCSDFEC}$ 电路也是如此。不使用此电路时， $V_{CCSDFEC}$ 无需额外的去耦电容。

## PCB去耦建议

根据所使用的速度等级，去耦准则不尽相同，因为 $V_{CCINT}$ 、 $V_{CCINT\_IO}$ 、 $V_{CCBRAM}$ 和 $V_{CCSDFEC}$ （如适用）电源轨绑定在一起或者全部分离。

表3-1显示了Zynq UltraScale+ RFSoC的可编程逻辑电源轨的去耦准则。表3-2显示了使用 $V_{CCSDFEC}$ 时相应的 $V_{CCSDFEC}$ 和 $V_{CCBRAM}/V_{CCINT\_IO}$ 电源轨的附加去耦准则。

表3-1：Zynq UltraScale+ RFSoC的可编程逻辑电源轨去耦准则

RFSoC	$V_{CCINT}/V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(1)</sup>				$V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(1)</sup>		$V_{CCAUX}/V_{CCAUX\_IO}$ <sup>(2)</sup>		$V_{CCO}$ <sup>(3)</sup>	
	330 $\mu$ F	100 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F
XCZU21DR-FFVD1156 XQZU21DR-FFRD1156	2	6	1	1	1	1	1	1	1	1
XCZU25DR-FFVE1156 XCZU25DR-FSVE1156	1	5	1	1	1	1	1	1	1	1
XCZU25DR-FFVG1517 XCZU25DR-FSVG1517	1	5	1	1	1	1	1	1	1	1
XCZU27DR-FFVE1156 XCZU27DR-FSVE1156	2	6	1	1	1	1	1	1	1	1
XCZU27DR-FFVG1517 XCZU27DR-FSVG1517	2	6	1	1	1	1	1	1	1	1
XCZU28DR-FFVE1156 XCZU28DR-FSVE1156 XQZU28DR-FFRE1156	2	6	1	1	1	1	1	1	1	1
XCZU28DR-FFVG1517 XCZU28DR-FSVG1517 XQZU28DR-FFRG1517	2	6	1	1	1	1	1	1	1	1
XCZU29DR-FFVF1760 XCZU29DR-FSVF1760 XQZU29DR-FFRF1760	2	6	1	1	1	1	1	1	1	1
XCZU39DR-FFVF1760 XCZU39DR-FSVF1760	2	6	1	1	1	1	1	1	1	1
XCZU43DR-FFVE1156 XCZU43DR-FSVE1156	2	6	1	1	1	1	1	1	1	1
XCZU43DR-FFVG1517 XCVU43DR-FSVG1517	2	6	1	1	1	1	1	1	1	1
XCZU46DR-FFVH1760 XCZU46DR-FSVH1760	2	6	1	1	1	1	1	1	1	1
XCZU47DR-FFVE1156 XCZU47DR-FSVE1156	2	6	1	1	1	1	1	1	1	1
XCZU47DR-FFVG1517 XCZU47DR-FSVG1517	2	6	1	1	1	1	1	1	1	1
XCZU48DR-FFVE1156 XCZU48DR-FSVE1156	2	6	1	1	1	1	1	1	1	1
XCZU48DR-FFVG1517 XCZU48DR-FSVG1517	2	6	1	1	1	1	1	1	1	1

表 3-1: Zynq UltraScale+ RFSoC 的可编程逻辑电源轨去耦准则（续）

RFSoC	$V_{CCINT}/V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(1)</sup>				$V_{CCBRAM}/V_{CCINT\_IO}$ <sup>(1)</sup>		$V_{CCAUX}/V_{CCAUX\_IO}$ <sup>(2)</sup>		$V_{CCO}$ <sup>(3)</sup>	
	330 $\mu$ F	100 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F	47 $\mu$ F	10 $\mu$ F
XCZU49DR-FFVF1760	2	6	1	1	1	1	1	1	1	1
XCZU49DR-FSVF1760										

注释：

- 在对应 L 速度等级的 PCB 上，将  $V_{CCINT}$  单独与  $V_{CCBRAM}/V_{CCINT\_IO}$  连接在一起。
- $V_{CCAUX}$  与  $V_{CCAUX\_IO}$  在 PCB 上必须共享同一个内电层。
- 47  $\mu$ F 电容器可按每 4 个共享 HDIO/HPIO bank 为一组而为一。
- 电容器规格与表 1-11 中所示规格相同。

表 3-2:  $V_{CCSDFEC}$  的去耦电容数量以及用于  $V_{CCBRAM}/V_{CCINT\_IO}$  的附加电容器数量

$V_{CCSDFEC}$		$V_{CCBRAM}/V_{CCINT\_IO}$
47 $\mu$ F 0603	10 $\mu$ F 0402	10 $\mu$ F 0402
6	8	4

注释：

- 仅当使用  $V_{CCSDFEC}$  时，该表才适用。
- $V_{CCBRAM}/V_{CCINT\_IO}$  电容器用作为表 3-1 中的电容器的补充。
- 请参阅表 3-3，以了解这些电容器的连接规则。
- 电容器规格与表 1-11 中所示规格相同。

表 3-3 列出了表 3-2 中的电容器的布局规则。请参阅图 3-1，以获取参考图示。

表 3-3: 附加  $V_{CCSDFEC}/V_{CCBRAM}/V_{CCINT\_IO}$  去耦电容的布局规则

电容器	规则
47 $\mu$ F 0603	全部 6 个电容器都靠近 FPGA 覆盖范围，位于 $V_{CCSDFEC}$ 和 $V_{CCBRAM}/V_{CCINT\_IO}$ 的合并点附近。
10 $\mu$ F 0402	<ul style="list-style-type: none"> <li>其中 8 个电容器连接到 FPGA 覆盖下的 <math>V_{CCSDFEC}</math> 内电层。</li> <li>有 2 个连接到 <math>V_{CCBRAM}</math> 球形区域下的过孔电镀通孔之间。</li> <li>有 2 个连接到 <math>V_{CCINT\_IO}</math> 球形区域下的过孔电镀通孔之间。</li> </ul>

## 处理器系统电压轨的供电

赛灵思建议遵循表 1-10 中所示的处理器系统去耦准则来进行操作。

## PS-GTR 和 GTY 收发器的供电

在第 180 页的“PS-GTR 收发器接口”中提供了对于 PS-GTR 收发器的 PCB 准则。这些准则中包括去耦电容和设计检查表。

在《UltraScale 架构 GTY 收发器用户指南》(UG578) [参照 7] 的“开发板设计准则”一章中，提供了有关 GTY 收发器的 PCB 设计准则。这些准则中包括去耦电容和设计检查表。

## Zynq UltraScale+ RFSoC 的最大电流汲取

表 3-4 显示了 Zynq UltraScale+ RFSoC 的  $V_{CCINT}$  电源轨上保证按恒定 100°C 结温保持 10 年可靠运行的前提下，可持续的最大电流汲取相关信息。

表3-4：Zynq UltraScale+ RFSoC的 $V_{CCINT}$ 最大电流

器件	可能的 $V_{CCINT}$ 最大电流(A) (100°C, 10年)
XCZU21DR-FFVD1156	50
XQZU21DR-FFRD1156	50
XCZU25DR-FFVE1156	50
ZCZU25DR-FSVE1156	50
XCZU25DR-FFVG1517	50
XCZU25DR-FSVG1517	50
XCZU27DR-FFVE1156	50
XCZU27DR-FSVE1156	50
XCZU27DR-FFVG1517	50
XCZU27DR-FSVG1517	50
XCZU28DR-FFVE1156	50
XQZU28DR-FFRE1156	50
XCZU28DR-FFVG1517	50
XCZU28DR-FSVG1517	50
XQZU28DR-FFRG1517	50
XCZU29DR-FFVF1760	50
XCZU29DR-FSVF1760	50
XQZU29DR-FFRF1760	50
XCZU39DR-FFVF1760	50
XCZU39DR-FSVF1760	50
XCZU43DR-FFVE1156	50
XCZU43DR-FSVE1156	50
XCZU43DR-FFVG1517	50
XCZU43DR-FSVG1517	50
XCZU46DR-FFVH1760	50
XCZU46DR-FSVH1760	50
XCZU47DR-FFVE1156	50
XCZU47DR-FSVE1156	50
XCZU47DR-FFVG1517	50
XCZU47DR-FSVG1517	50
XCZU48DR-FFVE1156	50
XCZU48DR-FSVE1156	50
XCZU48DR-FFVG1517	50
XCZU48DR-FSVG1517	50

表3-4：Zynq UltraScale+ RFSoC的 $V_{CCINT}$ 最大电流（续）

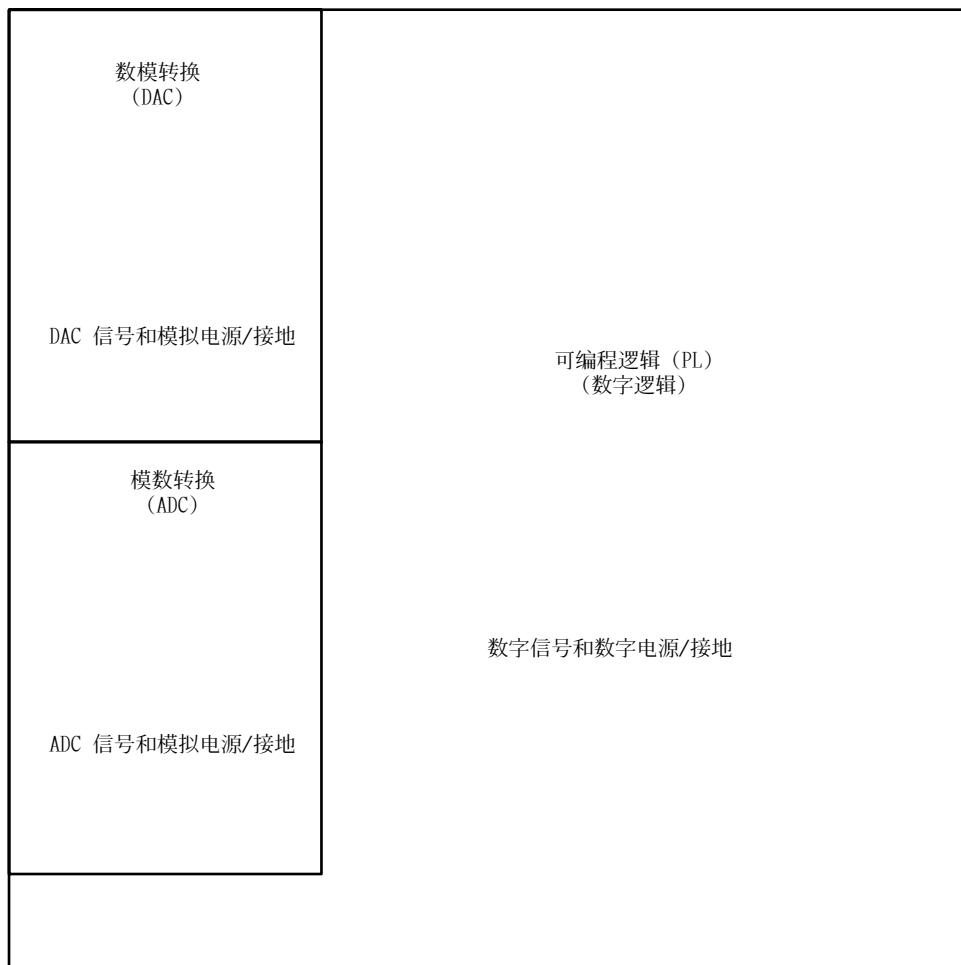
器件	可能的 $V_{CCINT}$ 最大电流(A) (100°C, 10年)
XCZU49DR-FFVF1760	50
XCZU49DR-FS VF1760	50

## ADC和DAC PCB准则

本章节提供了含模数转换(ADC)和数模转换(DAC)功能的Zynq® UltraScale+™ RFSoC布线准则。

### Zynq UltraScale+ RFSoC器件最优化和PCB设计概述

为了帮助使敏感的模拟电路尽可能保持与数字电路分离，Zynq UltraScale+ RFSoC在芯片上进行了分段，以便使模数转换(ADC)部分与数模转换(DAC)部分彼此分离，并与数字逻辑分离。图3-2显示了XCZU28DRFFVE1156 RFSoC的布局规划，其中ADC和DAC信号和管脚位置与数字可编程逻辑(PL)的位置分离。



X18569-121216

图3-2：XCZU28DR-FFVE1156布局规划

成功的 PCB 设计的总体目标是尽可能使模拟部分与外部电磁 (EM) 干扰以及数字逻辑与模拟电路产生的潜在片上 EM 干扰相隔离。

## 模拟接地至数字接地连接

虽然在 Zynq UltraScale+ RFSoC 上模拟接地与数字接地之间相互间隔，但最终两者在 PCB 上连接到一起。为了确保 Zynq UltraScale+ RFSoC 上的模拟接地层连接到数字接地层时，尽可能减小附带的噪声传输，建议的方法是使用一个通用的接地层。

将模拟接地与数字接地连接为一个通用内电层时，请遵循以下准则：

- 请勿在接地层内添加任何插槽。
- 请将数字电压调节模块 (VRM) 和电容器布局在数字电源轨附近。
- 请将射频 VRM 和电容器布局在射频电源轨附近。
- 请在射频信号组周围添加接地拼接，保持 158 mil (4.0mm) 的间距。请参阅图 3-9、图 3-10 和图 3-11。

## 选择相应的平衡转换器

平衡转换器 (balun) 通常用于连接至数据转换器的差分输入/输出，以便转换为单端信号。所选平衡转换器的带宽应大于用户应用的相关频带。这样可确保测得的 RFSoC 带宽不受平衡转换器带宽的限制。表 3-2 列出了每个数据转换器和采样时钟的 3 dB 带宽。

表 3-5：数据转换器带宽

RFSoC 信号类型	带宽 (GHz)
ADC 输入	0 - 6
DAC 输出	0 - 6
ADC 时钟输入	5
DAC 时钟输入	10

注释：

- 请参阅《Zynq UltraScale+ RFSoC 数据手册：DC 和 AC 开关特性》(DS926) [参照 5]，以便根据不同代次来获取带宽列中的确切值。

Zynq UltraScale+ RFSoC 旨在确保所有数据转换器输入和输出以及时钟输入均包含  $100\Omega$  DC 电阻（在正常工作条件下）。平衡转换器用于将含典型特征阻抗值  $50\Omega/75\Omega$  的单端信号转换为差分  $100\Omega$  系统，以满足 RFSoC 要求。客户可根据应用要求来选择采用接合线平衡转换器或带状线平衡转换器。接合线平衡转换器通常用于为数百 kHz 至数百 MHz 范围内的低频应用生成差分信号，而射频带状线平衡转换器则更适合 GHz 应用。射频带状线平衡转换器倾向于展现出带通滤波器特性，因此请谨慎选择具有正确带宽要求的平衡转换器以便满足应用要求。

在选择平衡转换器时，客户应密切关注表 3-7 中有关相应的应用带宽的平衡转换器规格建议。需要考量的对象包括：

- Anaren BD1631J50100AHF（近似带宽 1.4 GHz - 3.5 GHz）
- Anaren BD3150L50100AHF（近似带宽 3.1 GHz - 6 GHz）
- 迷你电路 TCM2-33X+（近似带宽 10 MHz - 1.4 GHz）
- 迷你电路 TC1-1-13M-75X（电缆应用）

表 3-6：平衡转换器规格建议

规格	典型结果
阻抗比	2 或 1
带宽	视应用而定

表 3-6：平衡转换器规格建议（续）

规格	典型结果
插入损耗	-1 dB 或更高
回波损耗	-15 dB 或更高
共模抑制比 (CMRR)	>30 dB <sup>(1)</sup>
振幅不平衡	<~0.5 dB
相位不平衡	<~1.5°

注释：

- 如果系统设计为通过频率规划避免二次谐波失真 (HD2)，则可放宽 CMRR。

每个 DAC 和 ADC 的射频信号链均由差分 DC 块、差分 Pi 衰减器、平衡转换器和滤波器组成，适合 4 mm 间距（包括覆盖射频信号链组件的 RF 屏蔽）。射频屏蔽应以 3 mm 间距（与用于信号走线的防护拼接过孔的间距相同）连接到 PCB 中的接地过孔并通电。不遵守此建议会导致违反串扰准则。虽然附件间距名义上为 3 mm，但允许每个连接点与其标称位置之间存在  $\pm 1$  mm 的容差。为了便于在狭小的空间内将射频屏蔽连接到 PCB，赛灵思建议使用液体感光成像 (LPI) 阻焊来覆盖射频屏蔽的内层。这可避免对位于射频屏蔽内部的组件造成潜在短路。如果将射频屏蔽层焊接到 PCB 上，赛灵思建议使用亮锡、焊料镀层或其它可与焊料结合的镀层材料对屏蔽层进行镀覆。射频屏蔽层所连接的接地过孔应为连接到所有内层接地平面层的通孔式过孔。[图 3-3](#) 中显示了此布局的示例。

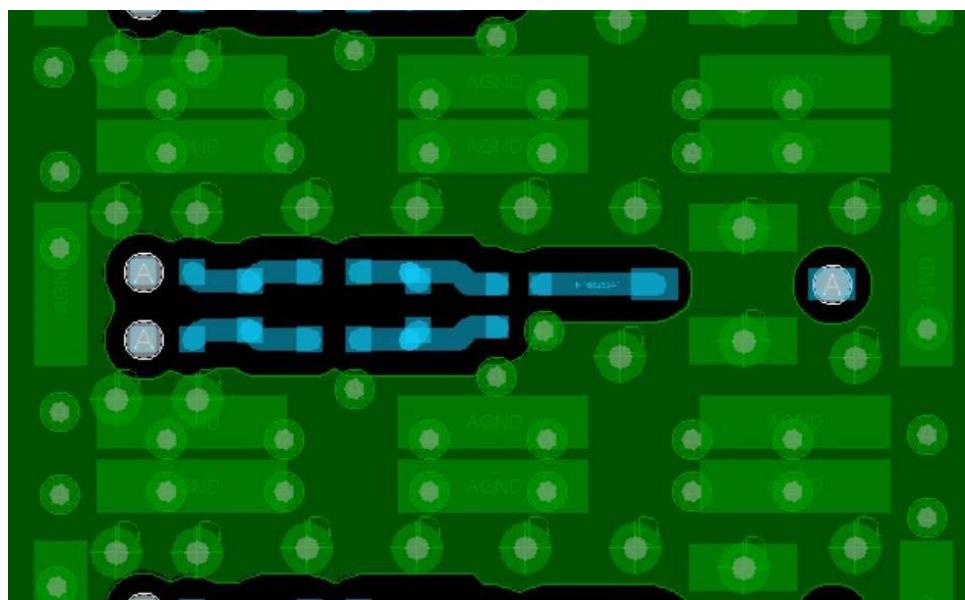
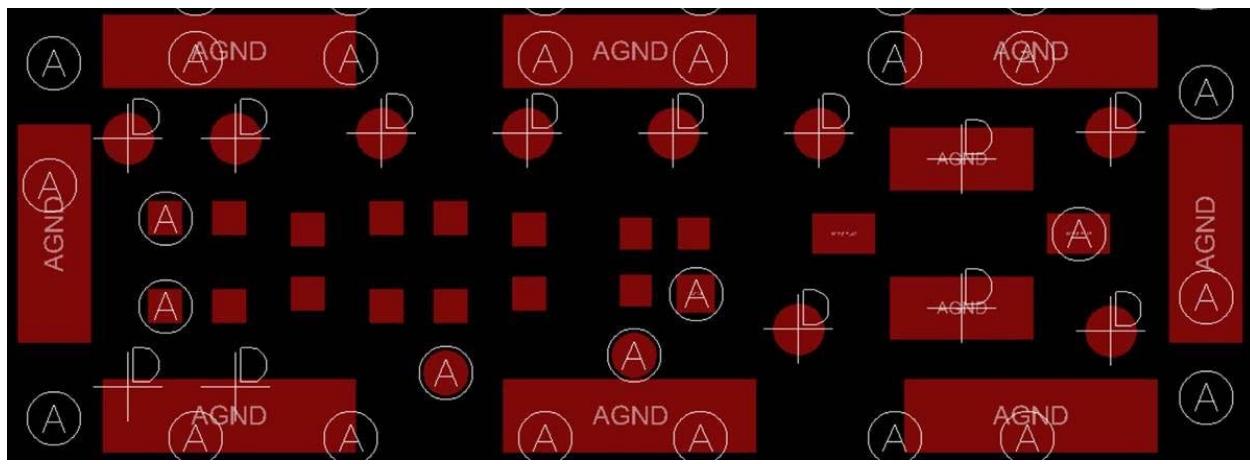


图 3-3：含 GND 拼接和 GND 内电层的平衡转换器间隔



X21265-073018

图3-4：射频屏蔽阻焊

## 建议的时钟选项

ADC 和 DAC 都可以选择采用直接射频采样时钟或者采用低频参考时钟来驱动内部 PLL。内置的内部 PLL 提供卓越的相位噪声和杂散性能，并且满足用户应用要求的可能性很高。在《Zynq UltraScale+ RFSoc 数据手册：DC 和 AC 开关特性》(DS926) [参照 5] 和参考时钟的要求中可找到有关 PLL 性能的详细信息。使用内部 PLL 可提供经济效益最高且高度集成的解决方案。如果需要非常明确的采样时钟性能，则可提供外部射频 PLL 时钟。可考虑采用诸如 Texas Instruments LMX259x 系列等器件。

## RF PLL 布局布线

建议将射频 PLL 布局到靠近 RFSoc 器件的位置。DAC RF PLL 应布局在 RFSoc 的 DAC 侧附近，而 ADC RF PLL 则应布局在 RFSoc 器件的 ADC 侧附近。应执行仿真分析，以确保 RFSoc 器件上的时钟输入振幅符合数据手册中的规格。

对于需要上拉电阻的 PLL，请确保电阻和去耦电容布局相对于 P 和 N 处于对称位置。建议将缓存的上拉电阻和去耦电容与 RF PLL 布局在同一层上，通常是第 1 层。图 3-5 显示了典型布局实现的快照。

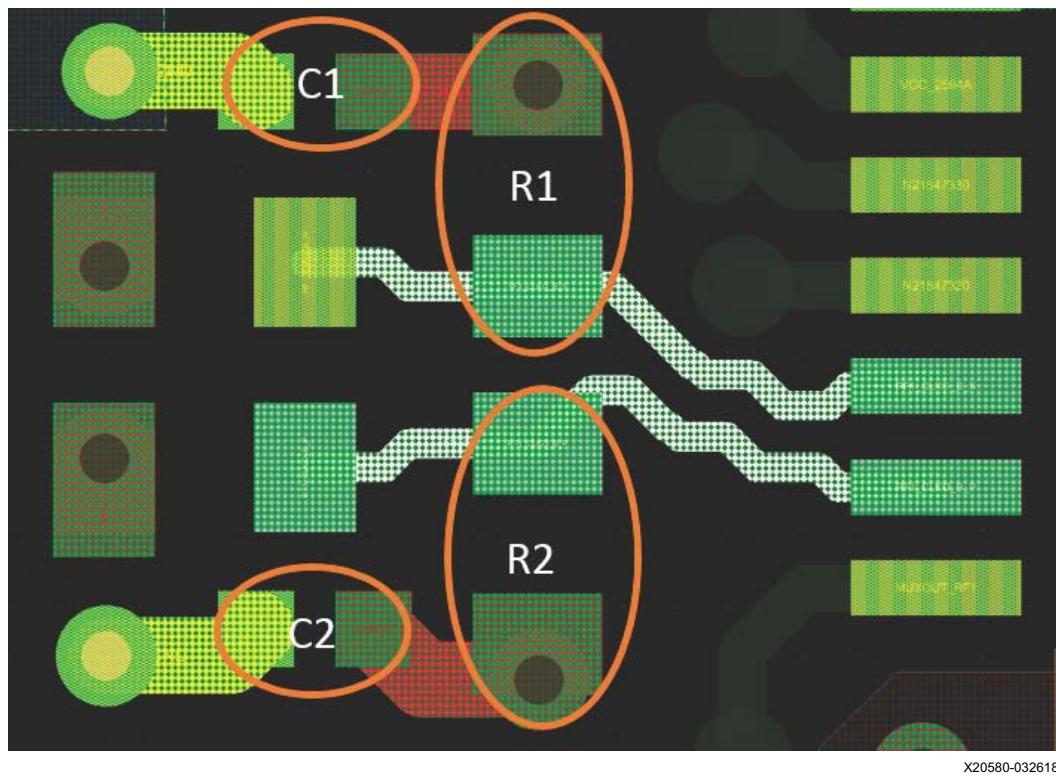


图 3-5：PLL 布局

## 模拟和时钟对布线

重要的是，使模拟信号和时钟信号尽可能保持远离任何噪音源，无论噪音源是源自外部环境还是源自 PCB 本身都是如此。以下章节显示了有助于实现最优开发板和系统性能的各项规格与建议。

为了展示最优数据转换器性能，赛灵思建议 PCB 应满足表 3-7 中所述的信号完整性要求。请参阅以下章节，以获取有关每一类规格的详细信息。

表 3-7：对应 DAC/ADC 对和时钟的信号完整性规格

类型	指标	PCB 性能要求
RFDC 信号	最高频率	6 GHz
	DIFF FEXT	-70 dBc
	COMM FEXT	-60 dBc
	DIFF NEXT	-70 dBc
	COMM NEXT	-60 dBc
	CMRR	-38 dBc
	DIFF RL	-18 dBc
	COMM RL	-15 dBc
	IL	-2.0 dB

表3-7：对应DAC/ADC对和时钟的信号完整性规格（续）

类型	指标	PCB性能要求
RFDC时钟	最高频率	10 GHz
	DIFF FEXT (DAC到ADC)	-80 dBc
	COMM FEXT (DAC到ADC)	-75 dBc
	DIFF NEXT (DAC到ADC)	-80 dBc
	COMM NEXT (DAC到ADC)	-75 dBc
	DIFF RL	-15 dBc
	COMM RL	-12 dBc
	BGA占板面积处的功耗	2 dBm

## 走线布线阻抗建议

模拟对应松散耦合，并以差分方式布线到  $100\Omega \pm 7\%$ 。

- 防护线宽度应为  $3.25H$
- P线与N线之间间隔应为  $2.5H$

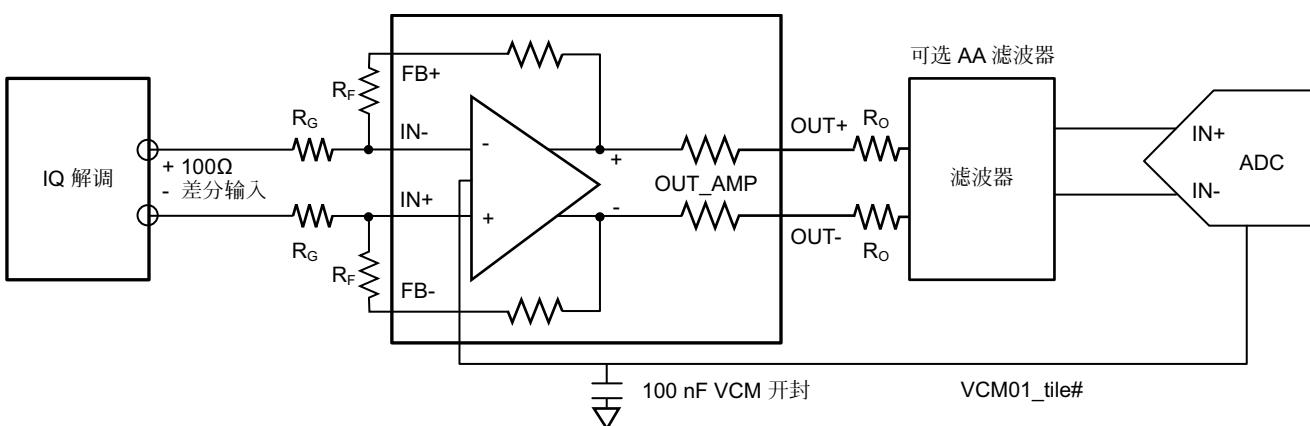
## AC/DC耦合准则

在使用AC耦合来连接数据转换器的应用中，DAC输出应采用AC耦合，并使用100 nF电容器（封装大小不超过0402）。如果需要，ADC同样可采用AC耦合，并且应使用100 nF（封装大小不超过0402）。图3-16展示了典型ADC连接电路中的AC耦合电容器的典型布局。

针对ADC和DAC也支持DC耦合。对于DAC DC耦合，存在2项约束。首先，DAC要求采用的有效终端电阻正确，即 $100\Omega$ 差分电阻。其次，DAC输出应在正确的DC共模点处产生偏差。DC共模点为2.1V，使用DAC\_AVTT = 3.0V，且使用RFSoc Gen 3。虽然可采用RFSoc Gen 1兼容模式，但这样将无法使用VOP功能。使用RFSoc Gen 1兼容模式时，共模点为1.9V（使用DAC\_AVTT = 2.5V）。请参阅《Zynq UltraScale+ RFSoc RF Data Converter LogiCORE IP产品指南》(PG269) [参照17]，以获取有关兼容模式的详细信息。

对于ADC DC耦合，ADC VCM输出应采用耦合，并使用100 nF电容器（封装大小不超过0402）。此外，输入共模电平应取自ADC VCM输出信号。

图3-6中显示了典型的ADC DC耦合配置。



X20578-032618

图3-6：典型ADC DC耦合配置

注释：仅限在DC耦合模式下才能启用VCM输出缓存。

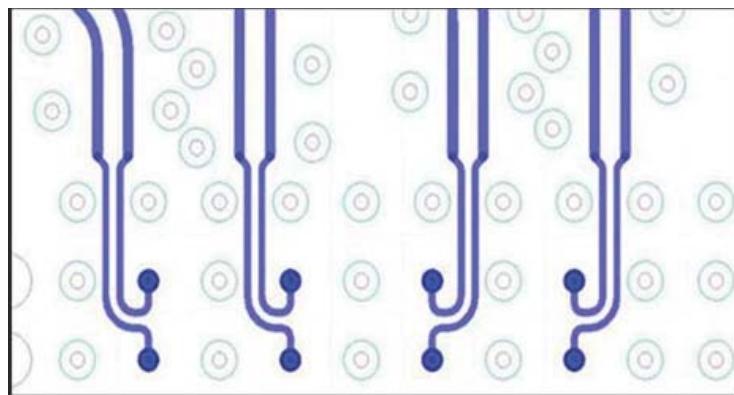
## 间隔建议

遵循以下所有PCB设计方法进行操作即可在PCB上的走线之间实现最大间隔。如果计划与上述准则存在重大差异，赛灵思建议对开发板结构执行3D EM分析，以验证应用是否可接受封装启动走线处的性能。

注释：走线间隔不足以达成以下列示的间隔建议。串扰的作用产生 $1/(1+(s/h)^2)$ 的滚降，其中， $s$ 是走线间隔， $h$ 则是介电厚度。此功能不会发生陡降，因为间隔受限，必须使用其它方法来达成建议的间隔。

请参阅表3-7以获取ADC和DAC对的间隔建议。可采用多种方法来达成最佳间隔：

- **微过孔，改进间隔达3dB：**微过孔优于反钻，原因在于无残留短截线，也不存在谐振腔。
- **更短的过孔，每5mil(0.13mm)长度可改进1dB间隔：**过孔会产生串扰，而通过尽可能缩短长度即可最大程度减少串扰。
- **差分引出线，改进间隔达3dB：**差分引出线（如图3-7中所示）优于单端引出线。从封装边沿起的78mil(2.0mm)范围内，单端引出线串扰最高，应尽量避免使用。



X19470-070617

图3-7：差分引出线示例

- **防护线，改进间隔达10 dB：**采用长度为层级高度2倍的接地防护频带走线来将每个P/N分离。确保上接地层与下接地层距离每个信号走线的边沿至少达4H。按 $118\text{ mil} \pm 39\text{ mil}$ ( $3.0\text{ mm} \pm 1\text{ mm}$ )的间隔将防护频带走线拼接到地面。所有接地拼接都应采用通孔式过孔来实现。图3-8显示了P/N对周围的防护频带拼接示例。

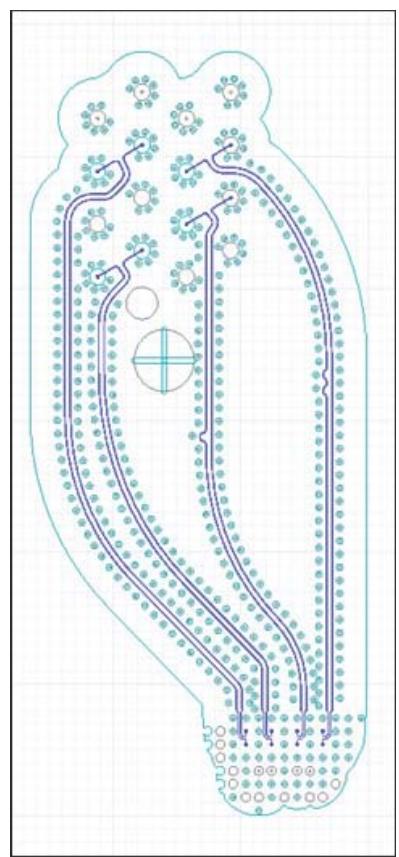
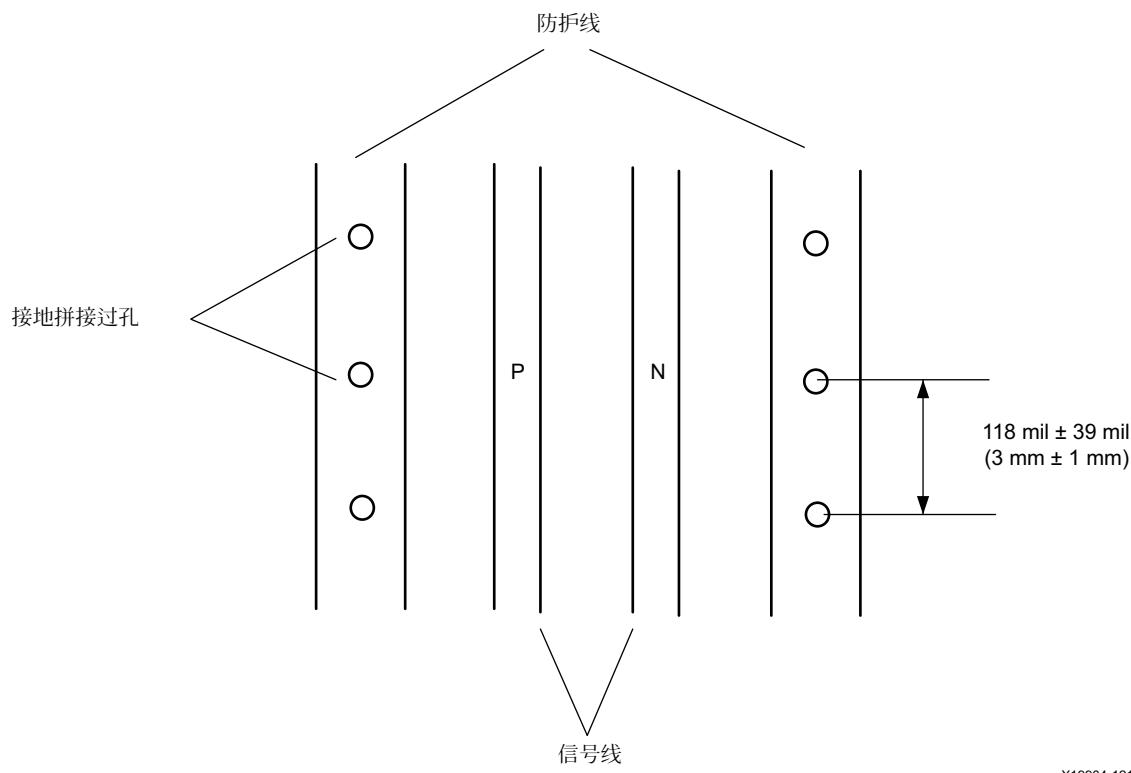


图3-8：信号对周围的接地拼接示例

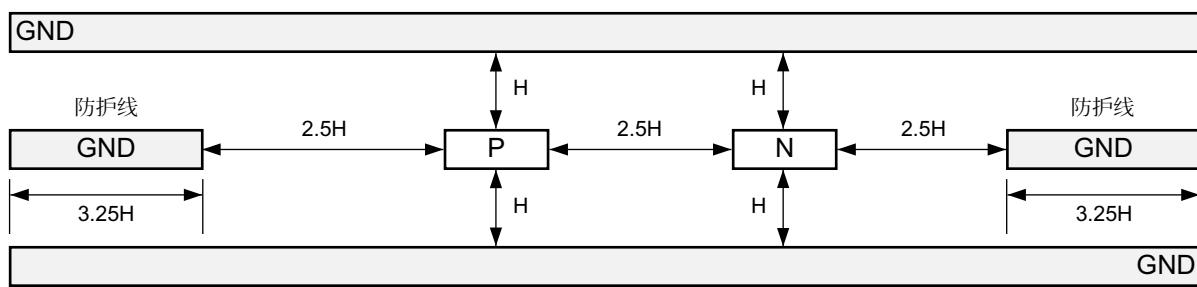
图3-9显示了防护线和接地拼接过孔的进一步的详细信息。请确保接地拼接能在RFSOC管脚周围持续，如“叠层样本”所示。



X19904-121217

图3-9：防护线和接地拼接的特写视图

图3-10显示了防护线的横截面视图。



X22756-042619

图3-10：防护线的横截面

- 焊盘内镀覆过孔 (VIPPO)，改进间隔达 5 dB：**焊盘内的镀覆式过孔优于将狗骨型线布线穿过过孔的方法，原因在于第1层上的狗骨线受到的源自PCB和外部的串扰的影响可能更严重。

## P 和 N 偏差规格

P到N的偏差总量不应超过2000 fs (2.0 ps)。此偏差规格由下列2个部分组成：

- 其中，±1000 fs (1.0 ps)源于使用仿真，其中包括RFSOC封装延迟以及PCB走线长度不匹配。

- 另 $\pm 1000\text{ fs}$ (1.0 ps)则源于制造偏差。

仿真应包含完整通道S参数分析，此分析包括RFSoc封装和PCB S参数模型。PCB应使用仿真分析进行去歪斜，以满足1000 fs规格的要求。您可与I/O/RF专家沟通，以申请获取对应ADC/DAC通道的封装S参数模型。

可通过下列方法来最大程度降低制造偏差。

- **1086机械偏光(MS)玻璃，每英寸偏差为700 - 900 fs：**机械偏光玻璃按双向偏光，从而提升均匀性。
- **NE玻璃，每英寸偏差为400 - 600 fs：**将E型玻璃替换为NE玻璃可进一步降低偏差。
- **图像旋转，每英寸偏差为500 - 100 fs：**在PCB面板上旋转图像（如图3-11所示）有助于降低面板x-y不均匀性。建议的旋转角度为12度。

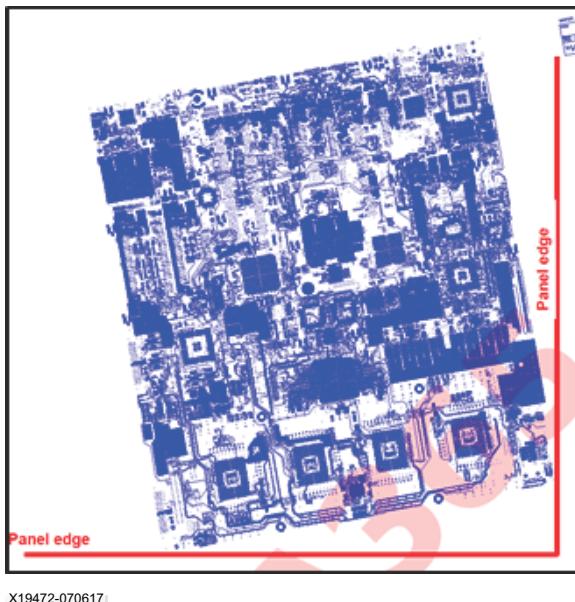


图3-11：旋转面板以补偿玻璃非均匀性

- **走线长度匹配，~150 fs：**将P线和N线长度匹配到1 mil(0.0254 mm)有助于达成进150 fs的偏差。走线长度匹配应尽可能接近任何AC耦合电容器。请参阅表3-8以了解建议的规格。

表3-8：走线长度匹配

组件	偏差类型	规格(mil)	评述
DAC/ADC数据转换器	走线对内部	$\pm 1$	
DAC/ADC时钟	走线对内部	$\pm 5$	
DAC数据转换器	信号对之间	$\pm 10$	无需与ADC匹配
ADC数据转换器	信号对之间	$\pm 10$	无需与DAC匹配
ADC时钟 <sup>(1)</sup>	走线对之间	$\pm 10$	无需与DAC时钟匹配
DAC时钟 <sup>(2)</sup>	走线对之间	$\pm 10$	无需与ADC时钟匹配

#### 注释：

1. 仅当ADC组需MTS且采用时钟直接馈送到tile时，才适用。
2. 仅当DAC组需MTS且采用时钟直接馈送到tile时，才适用。

在对弯曲180度的P/N对进行布线时，最小弯曲半径必须为3H。此距离允许在弯曲之前和之后，在内部走线的2个信号段之间进行防护线和接地拼接过孔的布局。接地拼接过孔必须布局在此内部区域中的防护线上，且最终接地过孔必

须布局在防护线靠近信号线弯曲的末端位置。图3-12显示了180度弯曲的P/N走线对（包括防护线和接地拼接过孔）的正确布线方式。

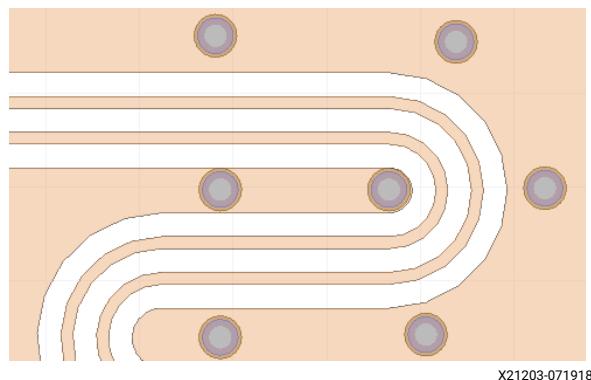


图3-12：180度弯曲的P/N走线对

如需在半径小于1mm的狭小区域内进行布线，请沿圆弧内径计算电气长度。大部分EDA工具根据弧段中心线半径来计算延迟。例如，如果走线宽度为4mil且弧段中心线半径为10mil，则信号实际遵循如下半径：  
 $10 - (4/2) = 8\text{ mil}$ 。遵循圆弧内半径的信号的作用约从10MHz开始，并保持恒定，因此即使频率提升（上限10GHz）也无需进行进一步最优化。

当P/N走线经过传输事务层时，必须针对每个信号添加2个接地过孔以便进行阻抗控制、噪声隔离和P/N偏差控制。接地过孔必须在信号过孔的1mm范围内。图3-13显示了信号层传输的过孔配置。

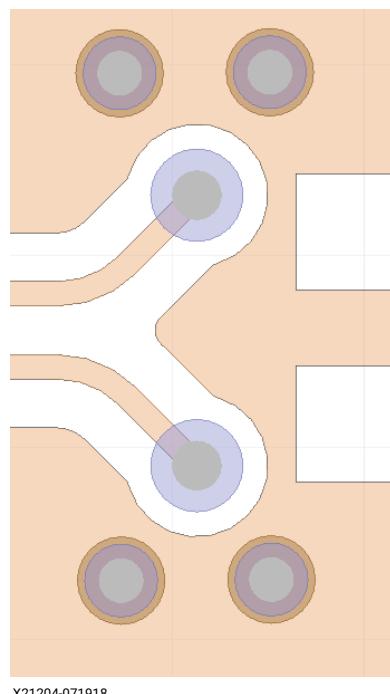


图3-13：信号层传输的过孔配置

P/N信号走线的布线位置与信号走线上方或下方的接地层中的任何反焊盘或切口之间的距离应至少达0.5H。图3-14左侧显示的是错误的信号走线布线方式。图3-14右侧显示的是正确的信号走线布线方式。



图3-14：信号走线布线方式

信号防护线必须连续无中断，并且正确完成接地拼接。防护线布线错误可能导致P/N偏差增大，且噪声易感性提升。

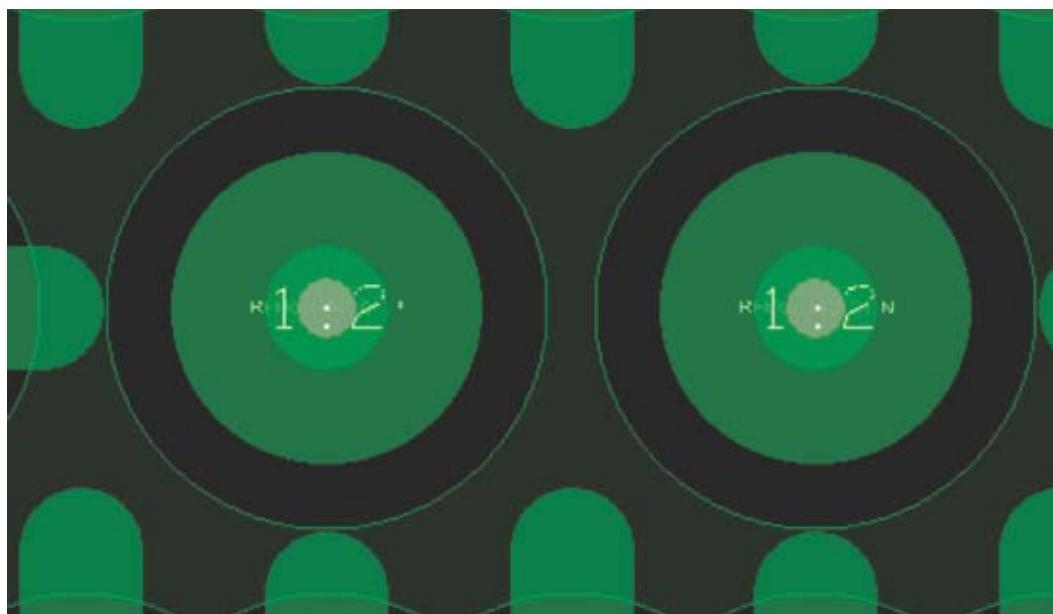
## 插入损耗建议

建议从BGA球到其平衡转换器（或类似的连接组件）之间的插入损耗优于-1.5 dB。大部分开发板材质均可按最高约6 GHz的频率实现优于-1.5 dB的插入损耗。减少插入损耗确实附带有潜在较高的成本乘数，因此，应谨慎选择合适的材料。请参阅[附录 B：材料属性和插入损耗](#)以了解基于走线宽度和频率的插入损失值。

## 回波损耗建议

建议相关带宽（例如，0-5 GHz）之间的回波损耗应优于-20 dB。可通过下列方法降低回波损耗：

- **第1层上的圆形接地反焊盘，提升5 dB：**在第1层上应针对P/N对使用圆形反焊盘，如[图3-15](#)所示。微过孔钻头直径应为5 mil，焊盘直径为25 mil且反焊盘直径为35 mil。



X20582-032618

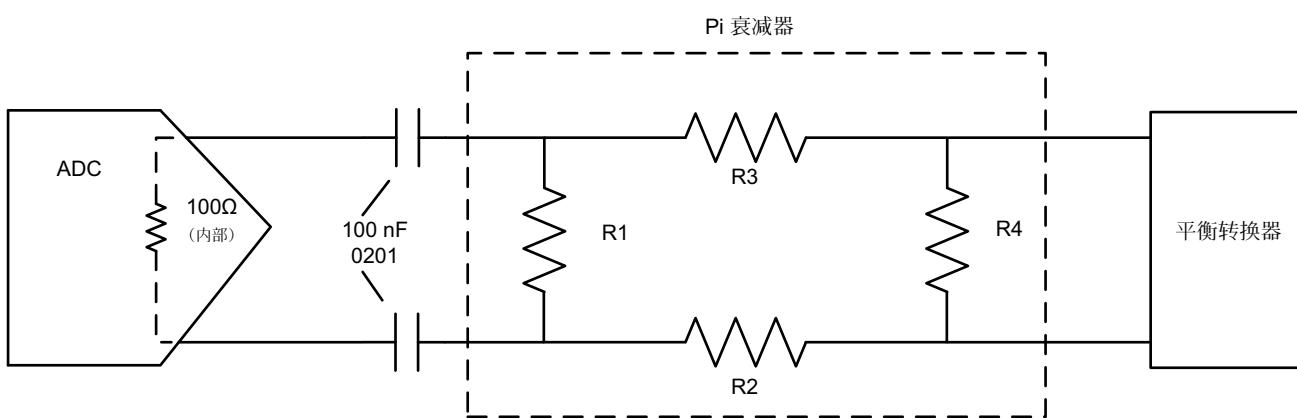
图3-15：圆形反焊盘

- 微过孔，7 dB：**反钻可能残留金属残渣，导致出现谐振腔。

**注释：**赛灵思不建议在信号层上使用接地溢流，因为这可能导致板弯曲，从而导致焊接组件上出现应变。对于第1代（Gen 1）器件，赛灵思建议添加-2 dB差分阻抗Pi衰减器以对器件RL进行最优化。此Pi网络可布局在PCB上的封装BGA球与平衡转换器之间的任意位置。请参阅图3-16。

### 用于改进第1代器件(XCZU25DR/XCZU27DR/XCZU28DR/XCZU29DR)中的回波损耗的Pi网络

赛灵思ADC和DAC都有额定片上 $100\Omega$ 差分终端，这通常足以为大部分射频应用提供足够的回波损耗性能。但对于需要优于-10 dB的回波损耗（频率上限4 GHz）的应用，赛灵思建议在PCB上布局-2 dB平衡Pi焊盘衰减器。这些Pi焊盘衰减器可布局在PCB上封装的ADC/DAC BGA球与平衡转换器之间的任意位置。图3-16中显示了差分ADC/DAC的代表性-2 dB Pi焊盘衰减器。



X19905-121217

图3-16：-2 dB Pi衰减网络 (XCZU25DR/XCZU27DR/XCZU28DR/XCZU29DR)

以下列出了组件描述以及建议的器件编号：

- $R_2 = R_3 = 11.5\Omega$  (Panasonic 器件编号 [ERJ-1GEF11R5C](#))
- $R_1 = R_4 = 866\Omega$  (Panasonic 器件编号 [ERJ-1GEF8660C](#))

赛灵思建议使用具有下列特性的离散阻抗组件：

- 0201 体型大小（或更小），以最大限度降低寄生电感。
- $\pm 1\%$  电阻容限（或更高），以最大限度减小插入损耗变化
- $100 \text{ ppm}/^\circ\text{C}$  温度系数（或更优），以最大限度减小阻抗值随温度的变化

对于 PCB 布线，针对每个信号过孔应至少存在 4 个接地过孔。应尽可能最大限度缩短过孔和组件之间的走线布线长度。将 Pi 焊盘衰减器布局在下方可最大限度减少其相互间的串扰。

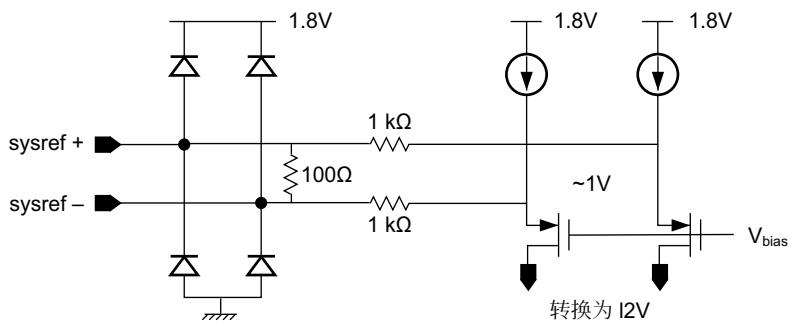
## SYSREF

在每个 Zynq UltraScale+ RFSoC 中有 1 个专用输入 SYSREF 管脚对，位于 DAC tile 0 中。此 SYSREF 信号用于多块 (multi-tile) 和多芯片 (multi-chip) 通道同步。此差分输入对被称为 Analog\_SYSREF。要在 RFSoC 中充分实现同步功能，还需要另一个 SYSREF 信号以通过一对专用时钟输入来驱动到 PL 互连结构中。这对时钟输入被称为 PL\_SYSREF。即使不使用器件中可用的所有拼块 (tile)，仍可使用多块同步功能。在此类情况下，DAC tile 0 都应为活动 tile。如果应用中要求针对 ADC 使用多块同步，那么 ADC tile 0 同样应为活动 tile。所有 DAC tile 都同步到 DAC tile 0，且所有 ADC tile 都同步到 ADC tile 0。因此对应数据转换器类型的 tile 0 必须处于活动状态。

赛灵思建议如果不启用所有 tile，则可按索引值从低到高的顺序优先采用索引较低的 tile。例如，如果使用 2 个 tile，则应启用 tile 0 和 tile 1，而禁用 tile 2 和 3。Analog\_SYSREF 还可用于分别对数字上变频器 (DUC)、数控振荡器 (NCO) 和数字下变频器 (DDO) NCO 的相位进行同步，以及用于同步每个 tile 的总体延迟（通过使用 MTS 功能）。NCO 同步是独立于 MTS 同步的流程，仅当应用中使用精细的混频器时才适用。请参阅《Zynq UltraScale+ RFSoC RF Data Converter LogiCORE IP 产品指南》(PG269) [参照 17] 中的“多转换器同步”章节，以了解有关操作和连接图的详细原理。

Analog\_SYSREF 达到  $100\Omega$  时在内部以差分方式终止。它可在 AC 耦合模式或 DC 耦合模式下使用。对于需跨多个器件执行 NCO 同步的应用，需采用 DC 耦合模式并支持在脉冲模式下生成 SYSREF 信号。请参阅《Zynq UltraScale+ RFSoC RF Data Converter LogiCORE IP 产品指南》(PG269) 以获取详细指南。请参阅《Zynq UltraScale+ RFSoC 数据手册：DC 和 AC 开关特性》(DS926) [参照 5] 以了解详细要求。

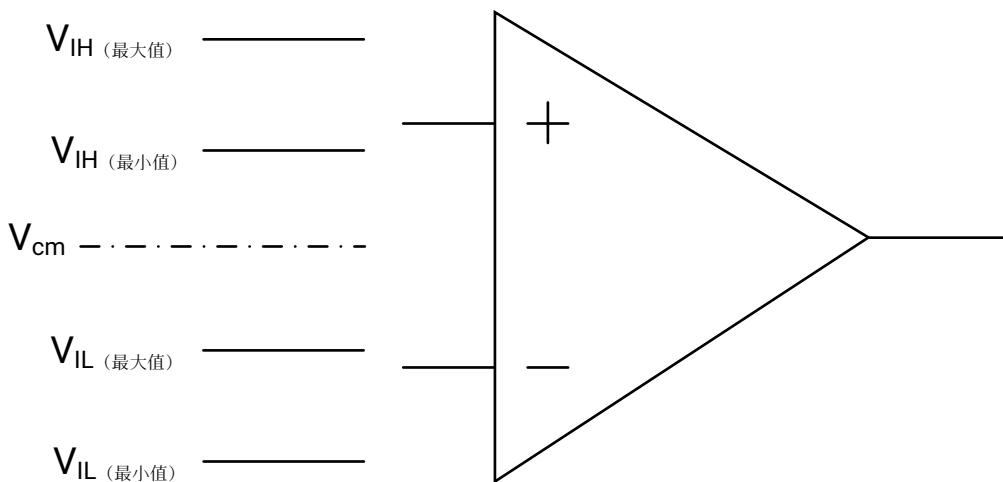
[图 3-17](#) 显示了 Analog\_SYSREF 接收器的等效电路。在图中，驱动器必须支持通过  $1\text{ k}\Omega$  电阻用作为共模电流的源端和宿端。驱动器还必须设置其自身的共模偏差。



X22059-120318

图 3-17: Analog\_SYSREF 接收器等效电路

[图 3-18](#) 显示了 Analog\_SYSREF 电平。



X22709-042219

图3-18: Analog\_SYSREF电平

对于AC耦合，SYSREF输入所设置的内部共模电压如图3-17所示。对于DC耦合，SYSREF源端驱动器必须支持通过内部 $1\text{ k}\Omega$ 电阻作为共模电流源端和宿端。SYSREF驱动器必须设置自身的共模偏差。赛灵思建议使用DC耦合避免单发时钟或间隔时钟情况下出现毛刺。

如果要将ADC tile和DAC tile与SYSREF同步，则频率必须为等式3-1的约数。

$$\text{GCD}\left(\frac{\text{DAC}_{\text{SampleRate}}}{16}, \frac{\text{ADC}_{\text{SampleRate}}}{16}\right) \quad \text{等式 3-1}$$

以下显示了SYSREF的计算方式示例。

$$\text{ADC}_{\text{SampleRate}} = 3.93216 \text{ GHz} \quad \text{等式 3-2}$$

$$\text{DAC}_{\text{SampleRate}} = 4.91520 \text{ GHz} \quad \text{等式 3-3}$$

$$\text{GCD}\left(\frac{\text{ADC}_{\text{SampleRate}}}{16}, \frac{\text{DAC}_{\text{SampleRate}}}{16}\right) = 61.44 \text{ MHz} \quad \text{等式 3-4}$$

$$?? - \text{Multiple AND } < 10 \text{ MHz} = 7.68 \text{ MHz} \quad \text{等式 3-5}$$

要完整发挥全部同步功能，PL\_SYSREF应满足以下要求：

- PL\_SYSREF的频率应与Analog\_SYSREF相同。
- PL\_SYSREF必须为连接到DAC和ADC FIFO的PL频率的约数。
- PL\_SYSREF和PL时钟必须满足建议时间和保持时间要求，以确保PL时钟可用于完成PL\_SYSREF上升沿的精确采集。
- Analog\_SYSREF和PL\_SYSREF应与RFSoC的封装管脚相位对齐。
- PL\_SYSREF与Analog\_SYSREF应使用相同的时钟质量（使用相同时钟更好）。请参阅PL GPIO电气要求，以了解耦合、电压摆幅和终端的相关信息。
- 如果MMCM用于为DAC FIFO接口和ADC FIFO接口生成最终PL时钟，则除了使用触发器来同步PL\_SYSREF采集（如以下示例所示），还应使用MMCM的0延迟（0相位）功能。

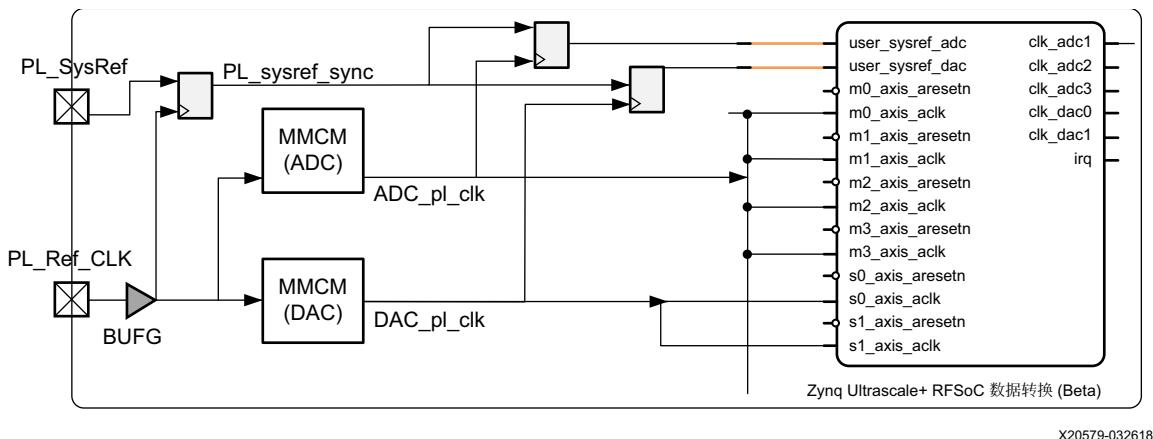


图 3-19: PL\_SYSREF 采集

## 校准电阻器

有两个单独的管脚分别用于 ADC 和 DAC 校准：

- ADC 外部电阻器：通过尽可能接近 RFSoC 管脚的  $2.49\text{ k}\Omega$  电阻器绑定到 GND。
- DAC 外部电阻器：通过尽可能接近 RFSoC 管脚的  $2.49\text{ k}\Omega$  电阻器绑定到 GND。

## 叠层样本

本章节显示了开发板最高 6 层的叠层样本。示例中的走线尺寸均为基于叠层样本的近似走线几何形状，在信号层/接地层之间使用典型介电厚度来达成  $100\Omega$  差分阻抗。客户需自行运行 SI 分析，根据其具体叠层信息同时考虑制造公差，以获取这些数值。

使用 Isola I-Tera 材料，并采用如下参数：

- 预浸材料， $h = 6.0\text{ mil}$ ,  $D_K = 3.17$ , 72%,  $2 \times 1067\text{MS}$
- 核， $h = 5.0\text{ mil}$ ,  $D_K = 3.08$ , 72%,  $2 \times 1067\text{MS}$
- $2\text{ }\mu\text{m}$  表面粗糙度（铜），以便最大程度降低插入损耗

层压前，预浸材料测量值为  $6.0\text{ mil}$ 。层压后，可能测量值为  $5.5\text{ mil}$ 。

## PCB 叠层

图 3-20 中显示了 PCB 叠层。

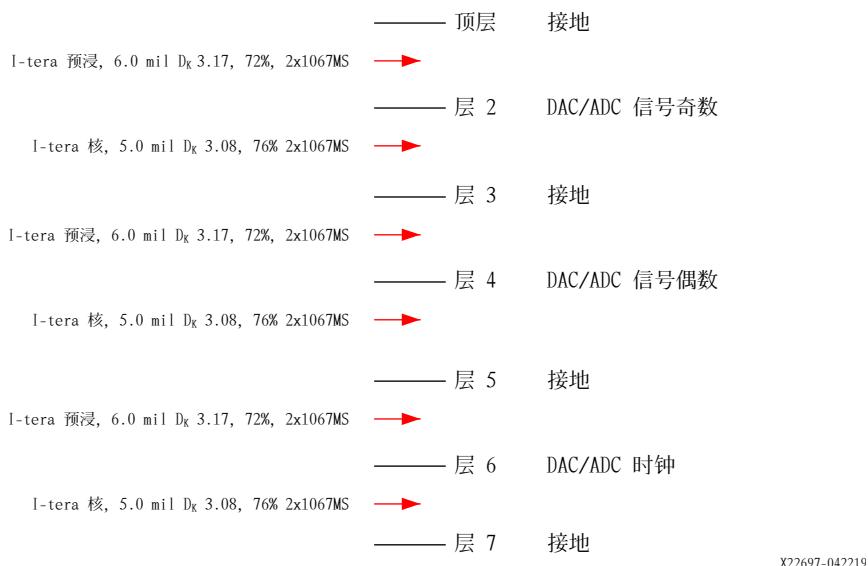


图 3-20: PCB 叠层

将 DAC 和 ADC 布线到最接近第 2 层的封装边缘（右上）处。将 DAC 和 ADC 布线到第 4 层封装中心处。如果空间允许，可将时钟信号（此叠层样本中的第 6 层）布线到 DAC/ADC 层（即此叠层样本中的第 2 层或第 4 层）上。

### BGA 区域中用于 DAC/ADC 的第 1 层（顶层）

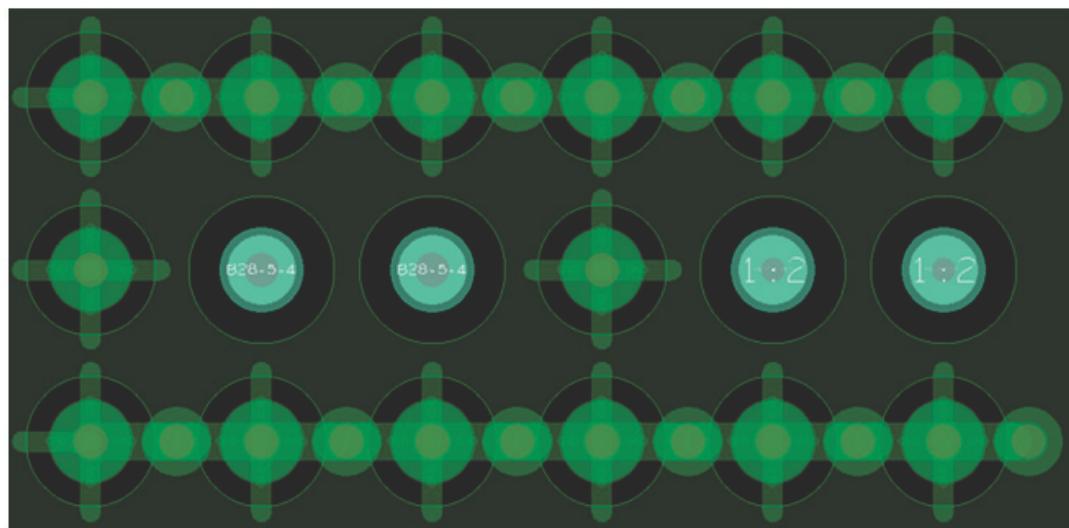


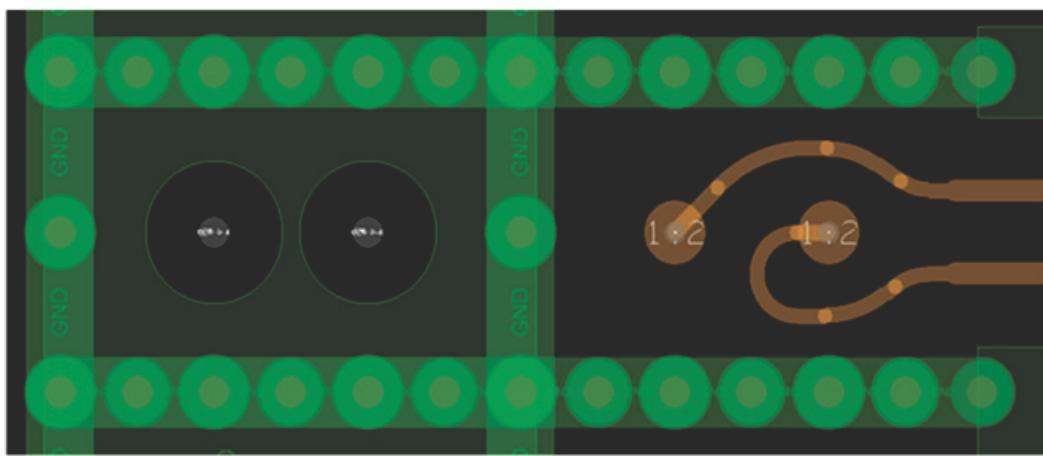
图 3-21: BGA 区域中用于 DAC/ADC 的第 1 层

指导信息：

- 连接盘焊盘 (Land pad) = 20 mil, 用于 BGA 球的信号与接地
- 用于信号的反焊盘 = 34 mil
- 用于接地的反焊盘 = 30 mil
- 用于第 2 层布线的微过孔 = 6 mil 钻孔

- 用于第4层布线的过孔 = 8 mil 钻孔（反钻）
- 在接地焊球之间按20 mil间距添加额外的水平接地过孔（请参阅图3-21）
- 接地过孔 = 8 mil 钻孔
- 用于额外接地的连接盘焊盘 = 16 mil
- 接地焊盘的热风焊盘（垂直布线时宽度为5 mil，水平布线时宽度为9 mil）

### BGA区域中用于DAC/ADC的第2层



X22699-042219

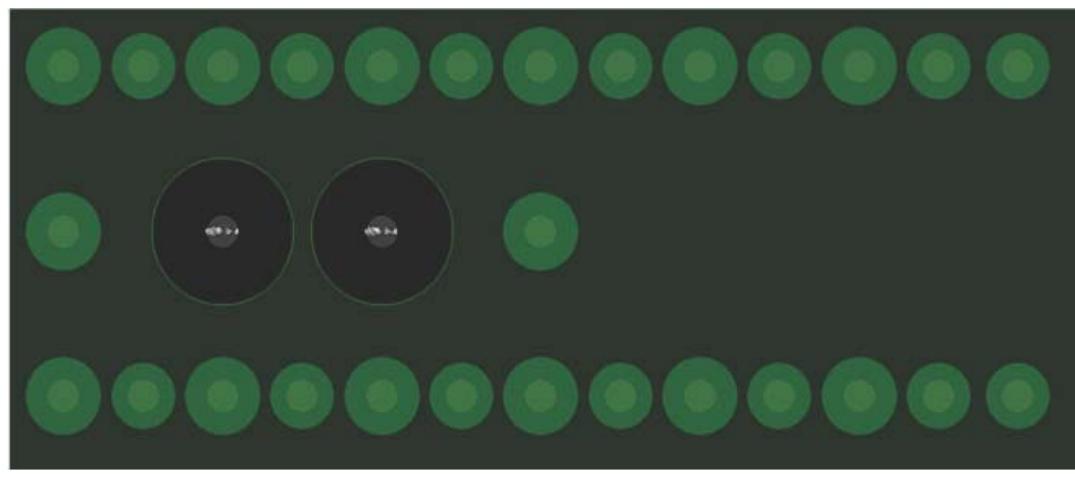
图3-22：BGA区域中用于DAC/ADC的第2层

信号P位置处于东北45°处。信号N位置处于正西处，穿过焊盘。为了将回波损耗调高至6GHz，需要长度为78 mil且宽度为4 mil的颈缩走线。将第2层上未布线的DAC和ADC中的所有未使用的焊盘移除。

P信号与N信号之间的气隙应为15 mil。接地防护线宽度应为18 mil。信号与接地之间的气隙应为15 mil。BGA区域内的走线布线应位于第1层上两个反焊盘间的中间位置处的信号线上。总结：

- 走线宽度 = 5.8 mil
- 微过孔的连接盘焊盘 = 16 mil
- 用于所有接地的连接盘焊盘 = 18 mil

### BGA区域中用于DAC/ADC的第3层



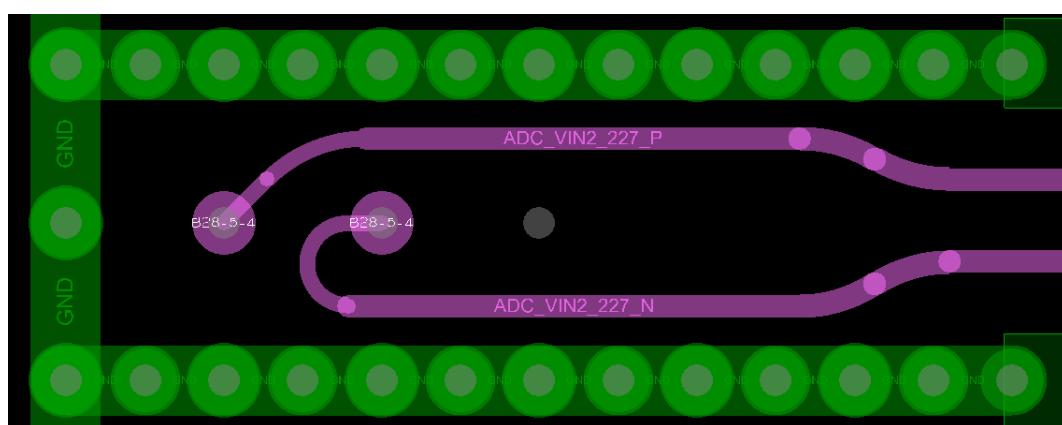
X22700-042219

图3-23：BGA区域中用于DAC/ADC的第3层

指导信息：

- 在用于第2层布线的微过孔下不应存在任何反焊盘。
- 移除所有未使用的焊盘。
- 过孔的反焊盘应为35 mil。
- 所有接地的连接盘焊盘都应为18 mil。

### BGA区域中用于DAC/ADC的第4层



X22701-043019

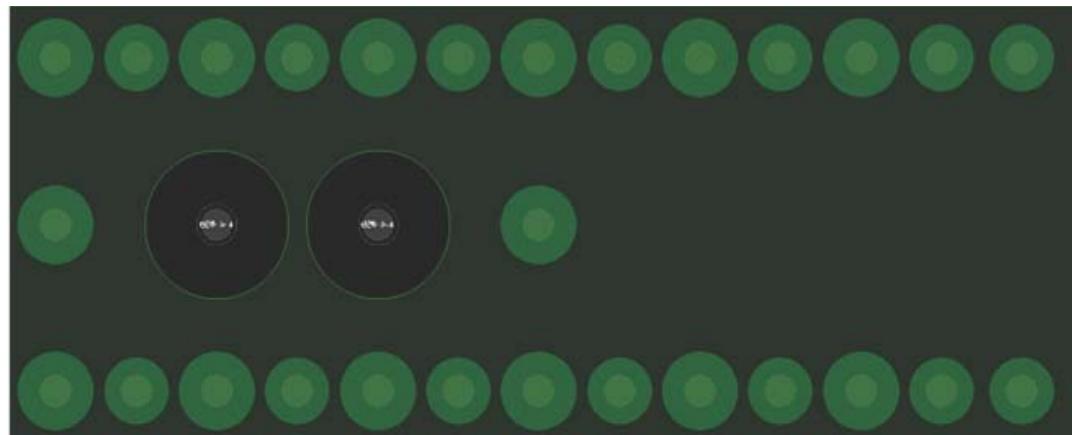
图3-24：BGA区域中用于DAC/ADC的第4层

指导信息：

- 走线宽度 = 5.8 mil。为了将回波损耗(RL)调整为-20 dB(6 GHz)，所需颈缩走线长度为42 mil，宽度为4 mil。
- 信号与接地之间的气隙 = 15 mil。P信号与N信号之间的气隙 = 15 mil。接地防护线宽度为18 mil。
- 移除所有未使用的焊盘。

- 用于所有接地的连接盘焊盘 = 18 mil。
- 用于信号过孔的连接盘焊盘 = 18 mil。

### BGA区域中用于DAC/ADC的第5层

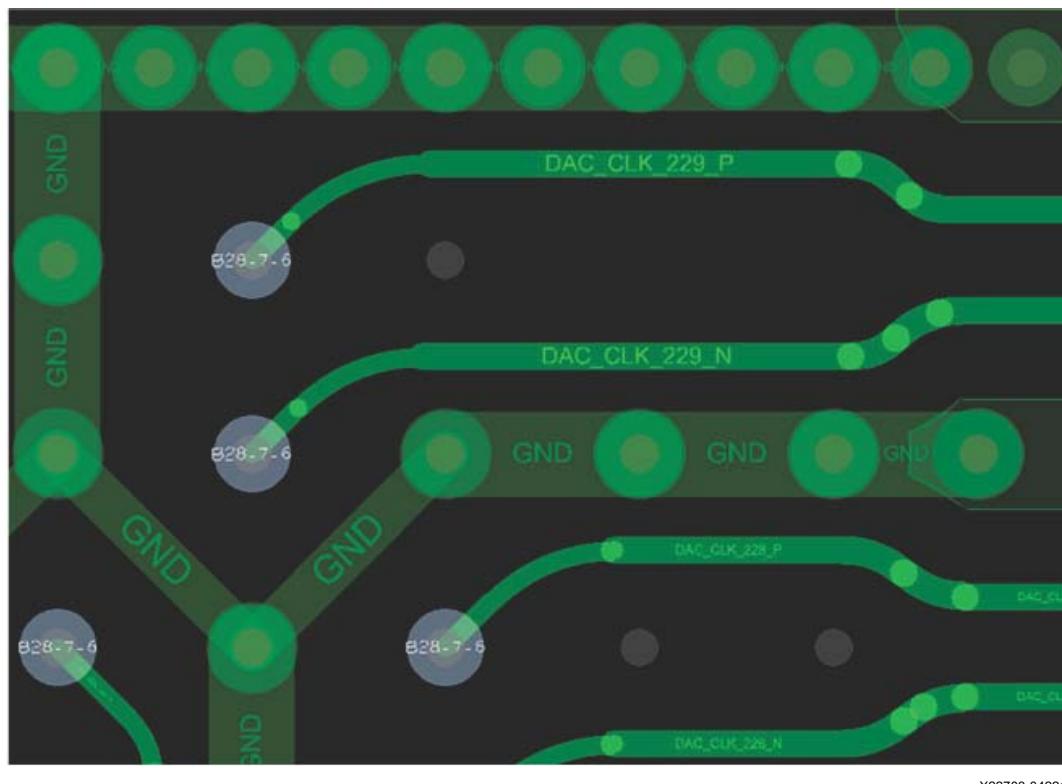


X22702-042219

图3-25：BGA区域中用于DAC/ADC的第5层

此处用于所有接地的连接盘焊盘均为18 mil。移除所有未使用的信号焊盘。

## 用于时钟布线的第6层



X22703-042219

图3-26：用于时钟布线的第6层

指导信息：

- 走线宽度为 5.8 mil。需要 40 mil 的颈缩走线才能达到 -15 dB (10 GHz) 的 RL。
- 走线间的气隙应为 15 mil。
- 信号到接地的间隙应为 15 mil。
- 接地防护线宽度应为 18 mil。

## 沿走线布线长度方向的防护线

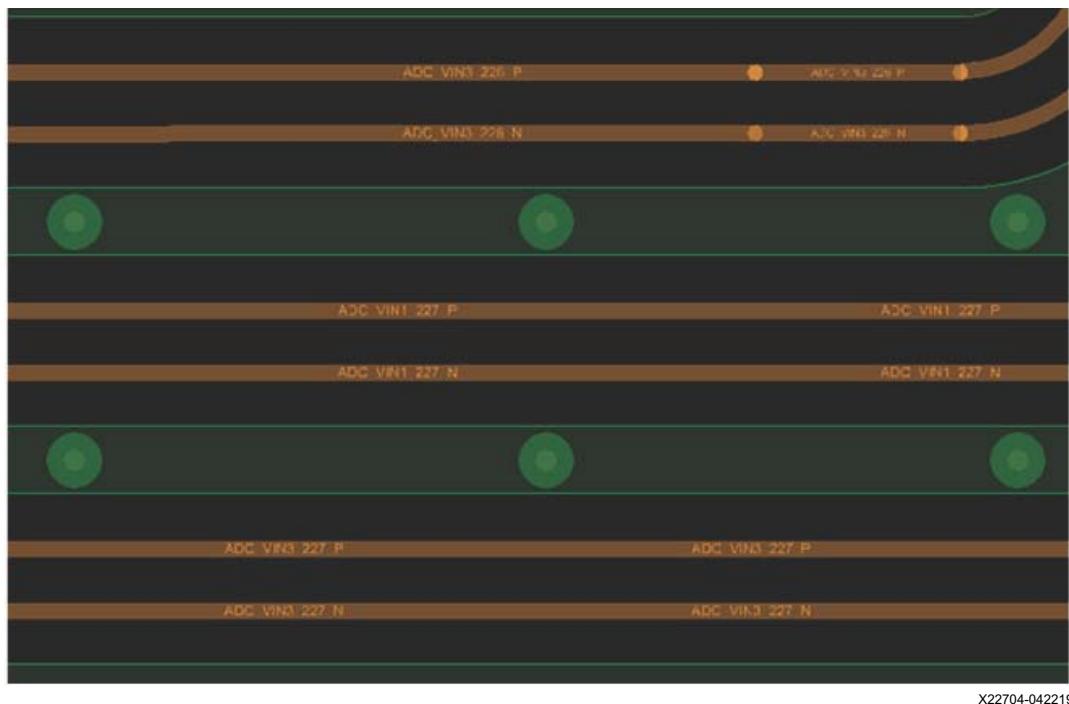


图3-27：沿走线布线长度方向的防护线

- 穿过PCB的8 mil钻孔之间，每隔4 mm宽度就必须拼接宽度为18 mil的防护线。
- 防护线距离信号走线必须至少达15 mil。
- 每个独立的接地拼接过孔距离额定值的真容限为 $\pm 1$  mm。
- 走线宽度 = 5.8 mil。

## 颈缩走线

颈缩走线用于实现20 dB(6 GHz)的回波损耗。颈缩走线的精确长度应通过仿真来定义。

## 用于 AC 耦合电容器输入和输出的第 2 层布线

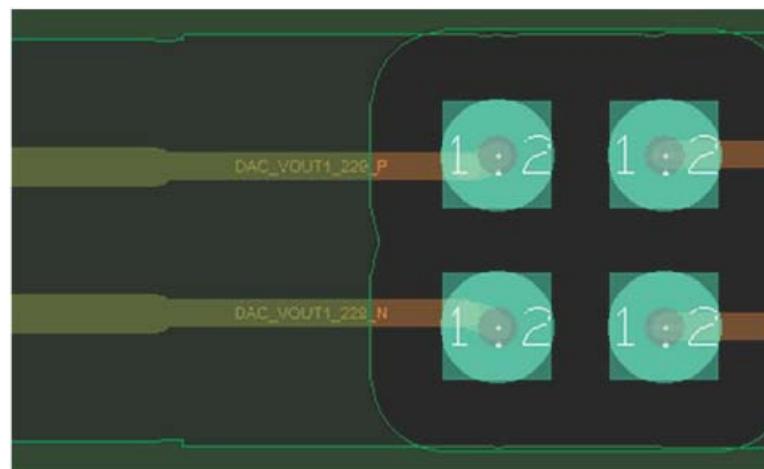


图 3-28：用于 AC 耦合电容器输入和输出的第 2 层布线

在第 2 层上进行布线时，在数据转换器与电容器之间的一侧，针对 0201 电容器需要长度为 48 mil 且宽度为 4 mil 的颈缩走线。

## 用于 AC 耦合电容器输入和输出的第 4 层布线

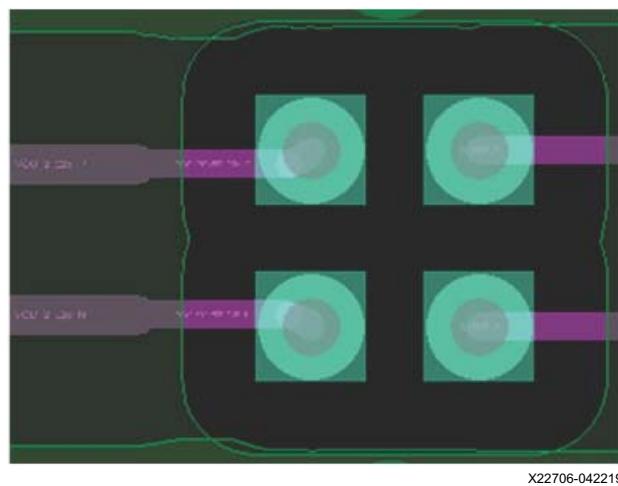


图 3-29：用于 AC 耦合电容器输入和输出的第 4 层布线

在第 4 层上进行布线时，在数据转换器与电容器之间的一侧，针对 0201 电容器需要长度为 23 mil 且宽度为 4 mil 的颈缩走线。

## 第 2 层 AC 电容器与平衡转换器之间

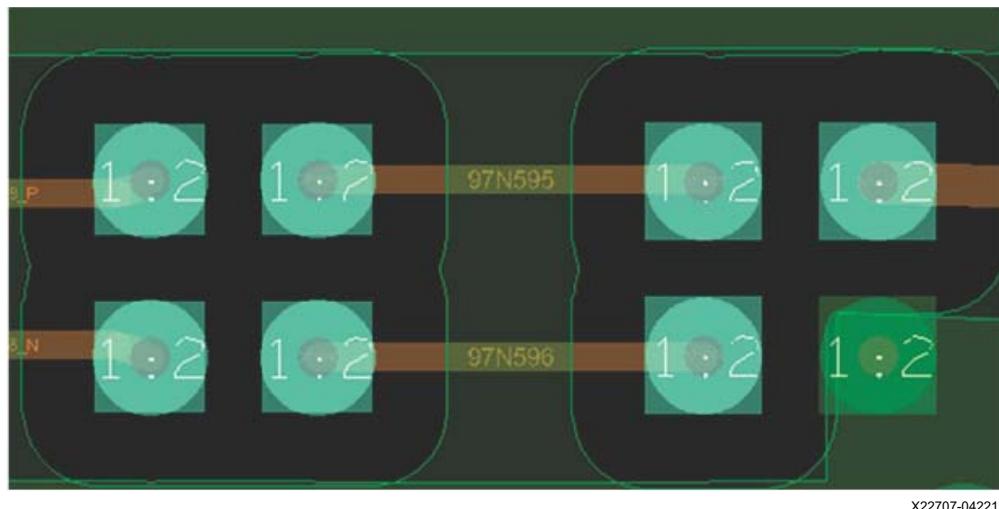


图 3-30：第 2 层 AC 电容器与平衡转换器之间

在第 2 层上进行布线时，在 0201 电容器与 Anaren 0404 平衡转换器之间需要长度为 52 mil 的颈缩走线。

## 第 4 层 AC 电容器与平衡转换器之间

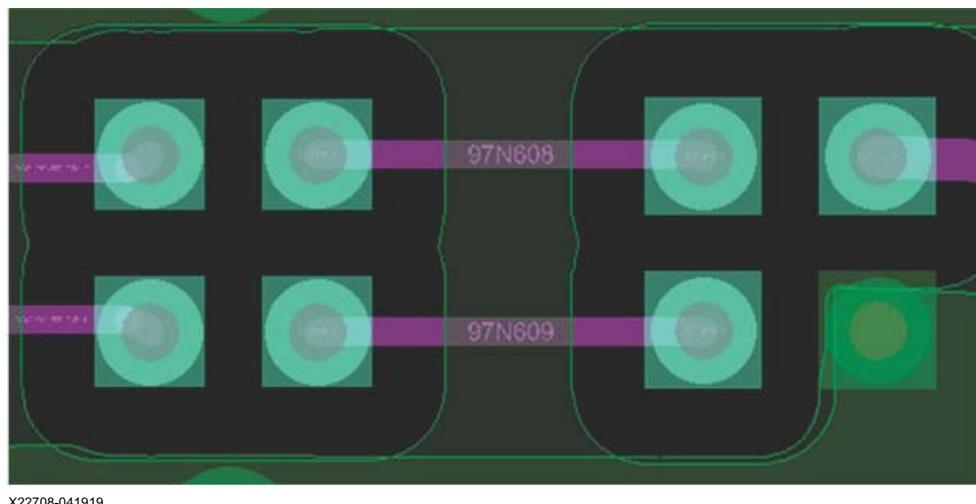


图 3-31：第 4 层 AC 电容器与平衡转换器之间

在第 4 层上进行布线时，在 0201 电容器与 Anaren 0404 平衡转换器之间需要长度为 52 mil 的颈缩走线。第 2 层和第 4 层上到平衡转换器的颈缩走线是相同的，因此可使用相同大小的射频屏蔽。

## 未使用的 ADC 和 DAC 管脚

- 所有未使用的 ADC I/O 都应接地。
- 所有未使用的 DAC 输出均可保持浮动（在输出上有一个内部下拉）。
- 所有未使用的时钟和 SYSREF 管脚均可保持浮动。

## ADC 和 DAC 电源的电源调节和去耦

图 3-32 中显示了对应各种 ADC 和 DAC 电源建议的供电方法。VCCINT\_AMS 可直接从开关调节器供电，而 ADC\_AVCC、ADC\_AVCCAUX、DAC\_AVCC、DAC\_AVCCAUX 和 DAC\_AVTT 则建议由低噪声、高电源电压抑制比 (PSRR) VRM 通过公用开关调节器来进行供电。赛灵思建议分别使用独立电源作为 ADC 电源和 DAC 电源，如图 3-32 中所示。表 3-12 和表 3-14 中记录了电容器规格。



**重要提示：**本文档中所提供的准则仅作参考。但赛灵思建议您先对开发板执行详细的仿真分析以验证各项规格，然后再投入制造。赛灵思可为使用全 3D 电磁场求解器提取的裸片和封装走线提供必要的 ADC/DAC S 参数模型，以帮助完成此项分析。您可在任何 EDA 工具（如 Keysight 提供的 ADS）内使用这些模型来执行详细的频域分析，以便逐一分析插入损耗、回波损耗、串扰性能和 PN 平衡。您可与当地 I/O/RF 专家交谈，以申请获取裸片封装模型。

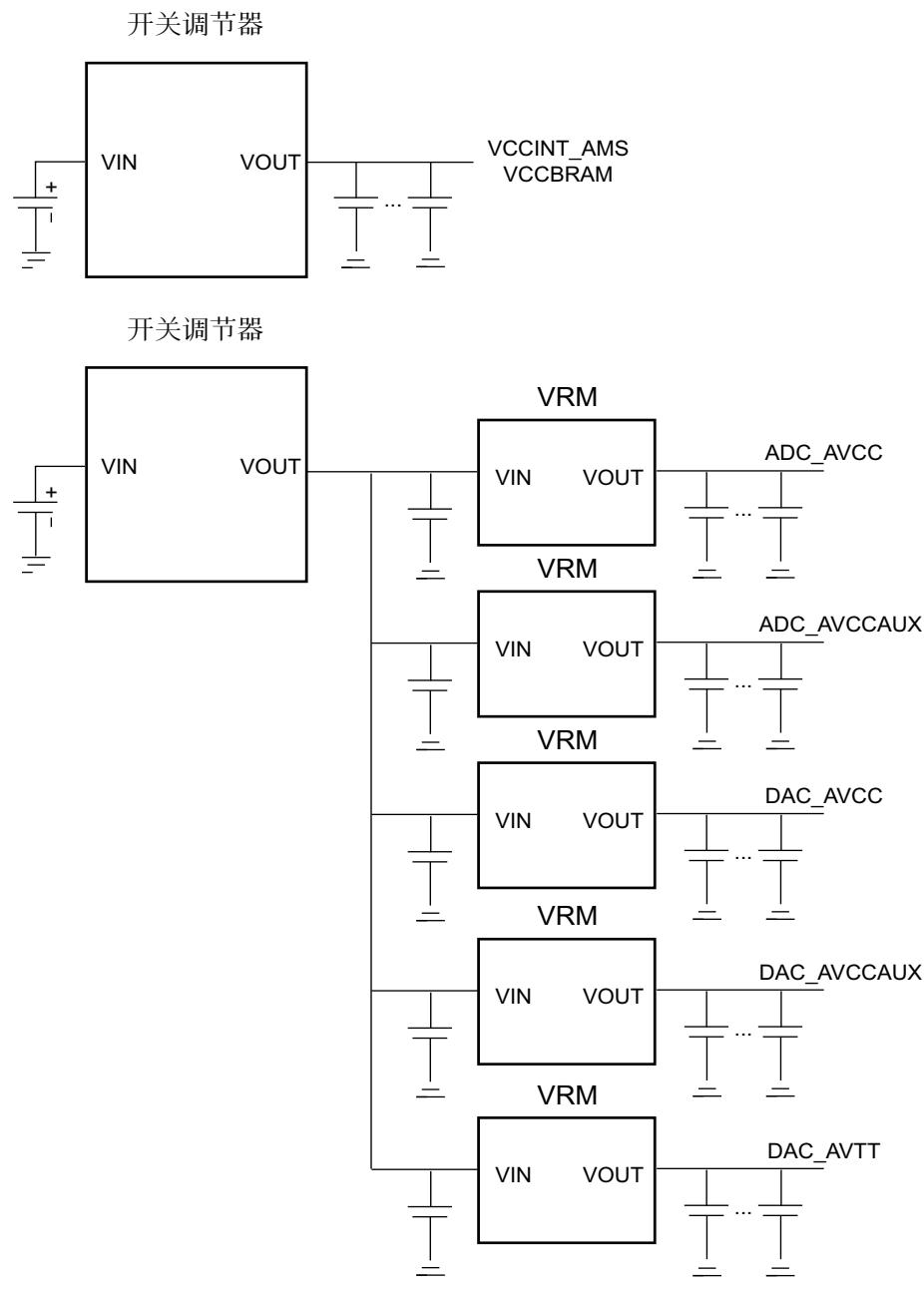


图3-32：模拟电源的电源调节

### 推荐的线性调节器

表3-10列出了赛灵思建议在ADC和DAC RFSoC电源电压轨上使用的调节器。

表 3-9：推荐的线性调节器

供应商	器件
Intersil/Renesas	ISL80101-A ISL80102 ISL80103

## ADC 和 DAC 电压供电规格

表 3-32 中列出了 ADC 和 DAC 电压供电规格。

表 3-10：ADC 和 DAC 电压供电规格<sup>(1)</sup>

电源	额定电压 (V)	容限 (%) <sup>(2)</sup>	频率范围 (MHz)	最大电压纹波 (mVpp) <sup>(3)</sup>
ADC_AVCC	0.925	±3	0.1-15	0.25
ADC_AVCCAUX	1.8	±3	0.1-15	11.03
DAC_AVCC	0.925	±3	0.1-15	0.40
DAC_AVCCAUX	1.8	±3	0.1-15	2.00
DAC_AVTT	2.5/3.0 <sup>(4)</sup>	±3	0.1-15	8.94
VCCINT_AMS	0.85	±3	0.1-15	20.00

注释：

- 如需了解最大电流相关信息，请参阅 [Xilinx Power Estimator \(XPE\) 工具](#)。
- 容限百分比对应的是馈送 VRM 的开关调节器。
- VRM 的输出。
- DAC\_AVTT 在 20 mA 模式下使用时应设置为 2.5V，在 Gen 1 和 Gen 2 中以 32 mA 模式使用时则应设置为 3.0V。赛灵思建议在 Gen 3 中将 DAC\_AVTT 设置为 3.0V 以启用 VOP 功能。请参阅《Zynq UltraScale+ RFSoC RF Data Converter LogiCORE IP 产品指南》(PG269) [参照 17]，以获取有关兼容模式的详细信息。

## ADC 和 DAC 电源轨的阻抗目标

以下去耦电容准则是根据每个 ADC/DAC 在各频率下应满足的阻抗目标指定的。表 3-11 中列出了阻抗目标。

表 3-11：ADC/DAC 电源轨的阻抗目标

电源轨名称	频率 (MHz)	阻抗目标 (mΩ)
DAC_AVCC	0.5 - 15	15
ADC_AVCC	0.5 - 15	15
DAC_AVCCAUX	0.5 - 15	65
ADC_AVCCAUX	0.5 - 15	65
DAC_AVTT	0.5 - 15	120

注释：

- 假定调节器已调节为低于 500 kHz。

## 对应 ADC 和 DAC 电源轨的去耦电容规格

表 3-12 显示了对应 ADC 和 DAC 电源轨的电容器最低规格。以下各节中概述了电容器的数量。

表 3-12：对应 ADC 和 DAC 电源轨的电容器最低规格

值 ( $\mu\text{F}$ )	外壳尺寸	ESR ( $\text{m}\Omega$ )	电容器容限	额定电压	额定温度	示例
10	1206	6	$\pm 20\%$	4V	X5R	Murata GRM31CR71C106MA12
4.7	0402	8	$\pm 20\%$	4V	X5R	Murata GRM155C80J475MEAA#
2.2	0402	7	$\pm 20\%$	4V	X5R	Murata GRT155C81C225KE13#
1.0	0402	10	$\pm 20\%$	4V	X5R	Murata GRM155R70J105MA12#
0.68	0402	10	$\pm 20\%$	4V	X5R	Murata GRM155R61A684KE15#
0.47	0402	20	$\pm 20\%$	4V	X5R	Murata GRM152D80G474ME15#

### VCCINT\_AMS 去耦及其与 VCCBRAM/VCCINT\_IO 的共享

有一个开关调节器适合此 VCCINT\_AMS，其去耦电容数量如表 3-13 所示。

注释：VCCINT\_AMS 可与 VCCINT、VCCBRAM 和 VCCINT\_IO 连接至相同的内电层，只要所有电压电平相同且符合每条电压轨的噪声规范即可。

表 3-13：VCCINT\_AMS 的电容器数量

	10 $\mu\text{F}$ (位于 RFSoc 附近)	4.7 $\mu\text{F}$ (位于 RFSoc 附近)	2.2 $\mu\text{F}$ (位于 RFSoc 下面)	1.0 $\mu\text{F}$ (位于 RFSoc 下面)
VCCINT_AMS	2	4	2	2

注释：

1. 请参阅表 3-12，以了解电容器规格。

### ADC\_AVCC、ADC\_AVCCAUX、DAC\_AVCC、DAC\_AVCCAUX 和 DAC\_AVTT 的去耦

表 3-14 中显示了 ADC 和 DAC 电源轨的电容器数量。

表 3-14：ADC 和 DAC 电源轨的电容器数量

	4.7 $\mu\text{F}$ (位于调 节器的输出处)	2.2 $\mu\text{F}$ (位于调 节器的输出处)	4.7 $\mu\text{F}$ (位于 BGA 下面)	2.2 $\mu\text{F}$ (位于 BGA 下面)	0.68 $\mu\text{F}$ (位 于 BGA 下面)	0.47 $\mu\text{F}$ (位 于 BGA 下面)
ADC_AVCC	2	2	2	3	0	0
ADC_AVCCAUX	2	2	0	2	1	1
DAC_AVCC	2	2	2	3	0	0
DAC_AVCCAUX	2	2	0	2	1	1
DAC_AVTT	2	2	0	2	1	1

注释：

1. 请参阅表 3-12，以了解电容器规格。

### 用于减少插入损耗和回波损耗的去耦电容反焊盘

建议在顶层和低层上的每个 ADC 和 DAC 去耦电容周围都放置 1 个矩形反焊盘，如图 3-33 所示。

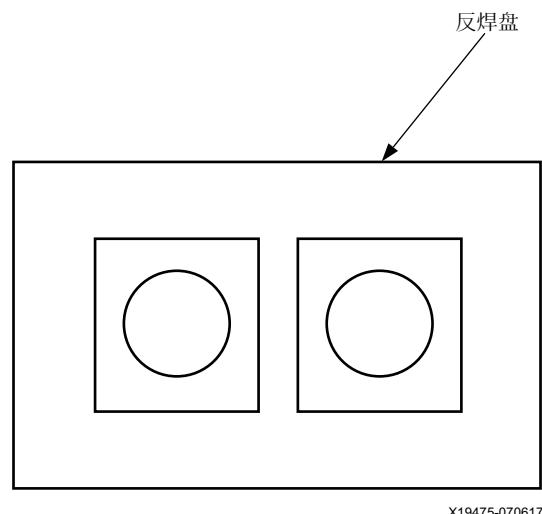


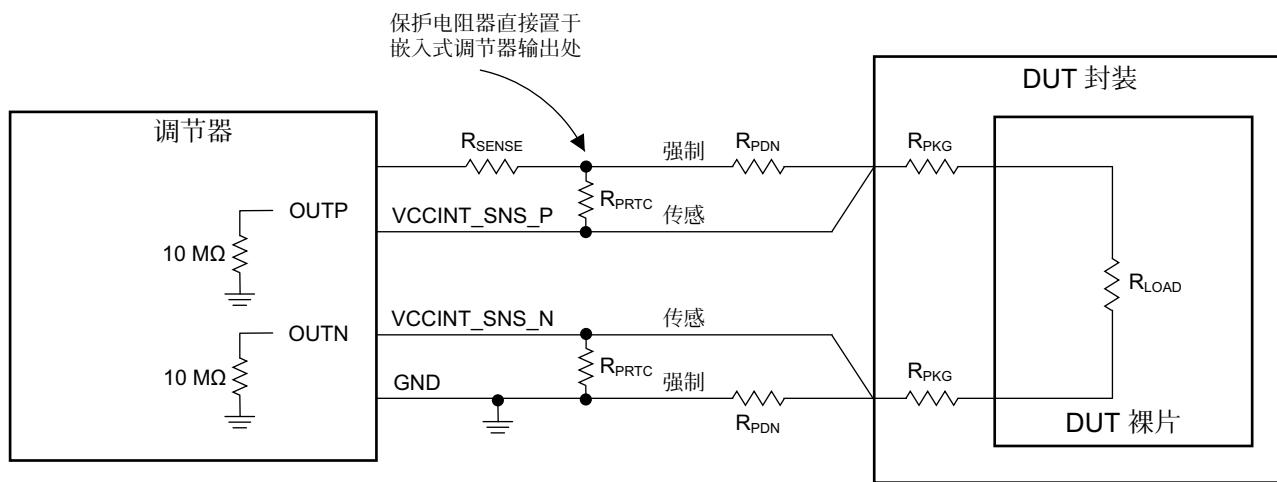
图3-33：去耦电容反焊盘

## 电压传感

为了补偿PCB IR损耗，所有ADC和DAC电压轨都需正确使用其各自调节器的传感功能，如下所示：

- ADC\_AVCC
- DAC\_AVCC
- ADC\_AVCCAUX
- DAC\_AVCCAUX
- DAC\_AVTT
- VCCINT\_AMS

传感线连接不应使用RFSoC上的专用观测孔管脚，因为所有电源管脚都应得到充分利用并连接至其相应的内电层。应改为使用“强制”解决方案，如图3-34所示。



X19544-080217

图3-34：建议的传感线电路

图3-34相关注释：

- $R_{PDN}$ : 配电网络电阻值（PCB寄生效应）。
- $R_{SENSE}$ : 离散型  $2\text{ m}\Omega$  精密传感电阻器。
- $R_{PRTC}$ : 离散型  $10\Omega$  调节器保护电阻器。

## 未使用的ADC和DAC电源管脚

- 未启用DAC时，DAC VTERM电源可绑定到VCCAUX 1.8V电源。
- 如有任何未使用的ADC或DAC tile，则应将其绑定到与相应的已用tile相同的电源。

## 通过开关调节器为RFSoC供电

如需提升效率，则可使用开关调节器电源，前提是这些电源可满足调节器要求。Monolithic Power Systems (MPS) 和 Renesas 具有可满足这些要求的调节器。如需更多信息，请联系MPS或Renesas。

# 适用于 Zynq UltraScale+ MPSoC 中的 PS 接口的 PCB 准则

本章列出了对应于 Zynq UltraScale+ MPSoC 中的 PS MIO 和 PS-GTR 接口的布局准则。

## 启动模式

- 根据所期望的设置，将启动模式管脚连接至  $4.7\text{ k}\Omega$ ，或者将上拉电阻器拉低至  $\text{VCCO\_PSIO}[3]$  或下拉至接地。
- 如需使用多种可切换的启动模式，则请将一个上拉/下拉电阻器连接至模式管脚，并在电阻器另一侧放置一个跳线，以选择上拉或下拉。
- 建议采用可轻松切换的启动模式配置，以便于调试。

## CAN

- TX/RX 与时钟之间的 PCB 和封装偏差应在  $\pm 100\text{ ps}$  范围内。
- 如果使用 CAN PHY 且其工作电压高于  $\text{VCCO\_PSIO}$ （如 5.0V），则必须实现 1 个电平移位器。

## DisplayPort

DisplayPort 是 PS-GTR 收发器接口，在第 180 页的“PS-GTR 收发器接口”中提供了对应 PS-GTR 收发器的连接规则。此外，DP\_OE、DP\_AUX\_IN 和 DP\_AUX\_OUT 信号需连接至双向 LVDS 缓存，如 Fairchild FIN1019MTC。如需获取有关连接的更多详细信息，请参阅《VESA DisplayPort 标准第 1 版》第 3.4 节中的《AUX 通道》[参照 20]。

## eMMC

- 根据 JEDEC 规范 JESD84-B451 [参照 21]，在 data[0-7] 上需要上拉电阻。
- 在 CLK、CMD 和 DATA 线路上应放置  $30\Omega$  串联电阻，且使其尽可能靠近 MIO 管脚。

## 标准和高速 SDR 接口

数据/命令与时钟之间的 PCB 和封装偏差应在  $\pm 100\text{ ps}$  范围内。

## HS200 (200 MHz) 和高速 DDR 接口

数据/命令与时钟之间的 PCB 和封装偏差应在  $\pm 50\text{ ps}$  范围内。

## 以太网 MAC RGMII

TXD/RXD[3:0] 和 CTL 到时钟延迟的延迟偏差应在  $\pm 50\text{ ps}$  范围内（包括封装时间）。

## 以太网 MAC SGMII

以太网 SGMII 是 PS-GTR 收发器接口，[第 180 页的“PS-GTR 收发器接口”](#)中提供了对应 PS-GTR 收发器的连接规则。

### I2C

- 将  $4.7\text{ k}\Omega$  上拉电阻器放置在 SCL 和 SDA 线路的远端，距离 Zynq UltraScale+ MPSoC 最远处。
- 根据所使用的特定多路复用器，可能需要电平移位器/中继器。

### JTAG

将  $4.7\text{ k}\Omega$  上拉电阻器放置在 TMS、TCK 和 TDI 线路上。

注释：并非所有第三方 JTAG 模块都受赛灵思支持。请参阅[赛灵思答复记录 6889](#)以获取更多信息。

## NAND 存储器控制器

### SDR 模式

- ALE/CE/CLE/IO[7:0] 与 WE/RE 之间的 PCB 和封装偏差应在  $\pm 100\text{ ps}$  范围内。
- 将  $4.7\text{ k}\Omega$  上拉电阻器放置在 CE 和 RB 上，置于 NAND 器件附近。

### DDR 模式 (100 MHz)

- ALE/CE/CLE 与 CLK 之间的 PCB 和封装偏差应在  $\pm 50\text{ ps}$  范围内。
- 要在模式 0 至模式 4 下工作，CLK 与 DQS 之间的 PCB 和封装偏差应在  $\pm 50\text{ ps}$  范围内。
- 要在模式 5 下以 100 MHz 工作，CLK 与 DQS 之间的 PCB 和封装偏差应为至少  $400\text{ ps} + 50\text{ ps}$ 。CLK 与 DQS 之间应存在  $400\text{ ps}$  的偏差。
- DQ 与 DQS 之间的 PCB 和封装偏差应在  $\pm 25\text{ ps}$  范围内。
- 将  $4.7\text{ k}\Omega$  上拉电阻器放置在 CE 和 RB 上，置于 NAND 器件附近。

### PCIe

PCIe 是 PS-GTR 收发器接口，在[第 180 页的“PS-GTR 收发器接口”](#)中提供了对应 PS-GTR 收发器的连接规则。

注释：请参阅《UltraScale 架构 Gen3 Integrated Block for PCI Express LogiCORE IP 产品指南》(PG156) [参照 14]，以获取有关通道分配的详细信息以及其它 PCIe 相关信息。

## PS\_INIT\_B、PS\_PROG\_B 和 PS\_DONE

- 将连接至  $4.7\text{ k}\Omega$  上拉电阻器的 PS\_INIT\_B 连接至 VCCO\_PSIO[3]。
  - PS\_INIT\_B 是漏极开路，不应在逻辑内置自检 (LBIST) 期间驱动。
- 将连接至  $4.7\text{ k}\Omega$  上拉电阻器的 PS\_PROG\_B 连接至 VCCO\_PSIO[3]。
  - PS\_PROG\_B 是漏极开路，不应在 LBIST 期间驱动。
- 将连接至  $4.7\text{ k}\Omega$  上拉电阻器的 PS\_DONE 连接至 VCCO\_PSIO[3]。



**重要提示：**建议 PS\_PROG\_B 与 PS\_POR\_B 分离。请参阅《Zynq UltraScale+ MPSoC 技术参考手册》(UG1085) [参照 23]，以获取有关 PS\_PROG\_B 和 PS\_POR\_B 的详细信息。



**重要提示：**建议限制 PS\_INIT\_B 上的外部负载，以避免造成其上升时间延迟过长（请参阅[赛灵思答复记录 70504](#)）。

## PS 参考时钟

- PS\_REF\_CLK 是单端 LVCMS 信号。
- 它可端接至具有相应串联电阻的电源或具有戴维南拆分终端的接收器侧。
- 建议对此关键信号执行信号完整性仿真。

## PS 复位（外部系统复位和 POR 复位）

- 将连接至  $4.7\text{ k}\Omega$  上拉电阻器的 PS\_SRST\_B 连接至 VCCO\_PSIO[3]，置于 Zynq UltraScale+ MPSoC 附近。
- 将连接至  $4.7\text{ k}\Omega$  上拉电阻器的 PS\_POR\_B 连接至 VCCO\_PSIO[3]，置于 Zynq UltraScale+ MPSoC 附近。
- 请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) [参照 22] 中的“电源排序”部分，以了解有关 PS\_POR\_B 上电顺序的规则。

## QSPI

- 建议时钟、数据和 SS 线路长度相匹配，这样有助于满足建立时间和保持时间要求。
- CLK 相关的 I/O[3:0] 与 SS 线路之间的 PCB 和封装延迟偏差应在  $\pm 50\text{ ps}$  范围内。
- 使时钟和数据线路保持相等可有效避免建立时间和保持时间发生意外影响。
- 强烈建议在近端（靠近 Zynq UltraScale+ MPSoC）和远端的时钟线上执行信号完整性分析。
- 为了获得最佳性能，请将走线延迟限制在  $500\text{ ps}$  以下。
- 将  $4.7\text{ k}\Omega$  上拉电阻器放置在 HOLD、WP 和 CS 线路上。
- 对于较高的 FQSPICLK1 或 FQSPICLK2 工作频率 ( $>40\text{ MHz}$ )，请保持 MIO[6] 处于未连接状态。这样才能使环回功能正常工作。

## 实时时钟

- 请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) 中的“PS RTC 晶体要求”表，以获取完整规格。
- 如果不使用实时时钟，请将 PADI 接地，并使 PADO 保持浮动。

## SATA

SATA 是 PS-GTR 收发器接口，在[第 180 页的“PS-GTR 收发器接口”](#)中提供了对应 PS-GTR 收发器的连接规则。

## SD/SDIO

- 在 CLK、CMD 和 DATA 线路上应放置  $30\Omega$  串联电阻，且使其尽可能靠近 MIO 管脚。
- 根据 Zynq UltraScale+ MPSoC 和 SD 芯片上所使用的特定电压，可能需要电平移位器。
- 异步信号 CDn 和 WPn 与 CLK 之间不存在时序约束关系。

- CDn 和 WPn 线路都应随其各自的  $4.7\text{ k}\Omega$  电阻器一起上拉至 MIO I/O 电压。使用 Micro-SD 时，无需连接 WPn 和 CDn。
- 应向电平移位器的 SD 卡上的 DAT3 添加 1 个  $10\text{ k}\Omega$  上拉电阻器。
- 根据 SD 卡 3.01 规范，使用 SDIO 0/1 电源控制信号时，使用外部  $1\text{k}\Omega$  到  $10\text{k}\Omega$  下拉电阻器可获取  $1\text{ ms}$  复位脉冲。

## SPI

- 主输出从输入 (MOSI)/主输入从输出 (MISO) 与时钟之间的 PCB 和封装偏差应在  $\pm 100\text{ ps}$  范围内。
- 请将  $4.7\text{ k}\Omega$  上拉电阻器放置在串行外设接 (SPI) 器件附近的 SS 管脚上。

## 跟踪端口接口单元

- 在 MIO 模式下操作跟踪端口接口单元 (TPIU) 时，走线时钟输出应延迟约半个时钟周期。这可在 PCB 上完成或者也可以通过调试器件 (ARM\_DSTREAM、Lauterbach 或 Agilent) 来完成。

## 三重定时器计数器

- WAVE\_OUT 与 CLK 之间的 PCB 和封装偏差应在  $\pm 100$  范围内。

## UART

- 使 MIO 走线延迟保持在  $1.30\text{ ns}$  以下。

## USB 2.0

### ULPI 接口 (60 MHz)

- PCB 和封装延迟应保持在不超过  $1.30\text{ ns}$ 。
- DATA[7:0]/DIR/NXT/STP 与 CLK 的 PCB 和封装延迟偏差应在  $\pm 100\text{ ps}$  范围内。
- 为了实现最优信号完整性，请向位于 Zynq UltraScale+ MPSoC 附近的 DATA 和 STP 线路添加 1 个  $30\Omega$  串联电阻。

## USB 3.0

USB 3.0 是 PS-GTR 收发器接口，在第 180 页的“PS-GTR 收发器接口”中提供了对应 PS-GTR 收发器的连接规则。

## 看门狗定时器

WAVE\_OUT 与 CLK 之间的 PCB 和封装偏差应在  $\pm 100$  范围内。

## PS-GTR 收发器接口

PS-GTR 收发器属于模拟电路，针对印刷电路板进行设计和实现时需要特别注意。除了解器件管脚功能外，为了使设计能够发挥最优性能，需关注器件接口连接、发射线路阻抗和布线、电源设计滤波和配电、组件选择、PCB 布局和叠层设计等问题。

下列 PS 接口都使用 PS-GTR 收发器：

- DisplayPort
- 以太网 SGMII
- PCIe
- SATA
- USB3.0

## 管脚描述和设计准则

表 4-1 和图 4-1 中详述了 PS-GTR 收发器接口的 PCB 准则。

表 4-1：PS-GTR 收发器四管脚描述

管脚	方向	描述
PS_MGTREFCLK[3:0]P PS_MGTREFCLK[3:0]N	输入（焊盘）	对应 PS-GTR 收发器的参考时钟的差分时钟输入管脚对。
PS_MGTRRXP[3:0] PS_MGTRRXN[3:0]	输入（焊盘）	RXP 和 RXN 为对应每个 PS-GTR 接收器的差分输入对。
PS_MGTRTXP[3:0] PS_MGTRTXN[3:0]	输出（焊盘）	TXP 和 TXN 为对应每个 PS-GTR 发射器的差分输出对。
PS_MGTRREF	输入（焊盘）	终端电阻器校准电路的校准输入管脚。
PS_MGTRAVCC	输入（焊盘）	MGTRAVCC 为接收器、发射器和时钟核电源。额定电压为 0.85 VDC。
PS_MGTRAVTT	输入（焊盘）	MGTRAVTT 为发射器和接收器的 I/O 电源。额定电压为 1.8 VDC。

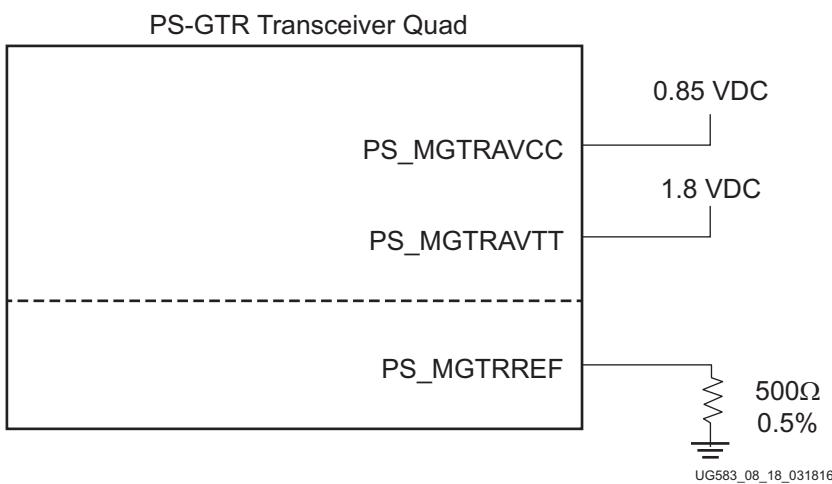


图 4-1：PS-GTR 外部电源和校准电阻器连接

图 4-1 相关注释：

- 电压值为额定值。请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) [参照 22] 以查看值和容限。

## 参考时钟

### 简介

本节主要讲解参考时钟源或振荡器的选择。振荡器具备下列特性：

- 频率范围
- 输出电压摆幅
- 抖动（确定性抖动、随机抖动、峰到峰抖动）
- 上升时间和下降时间
- 电源电压和电流
- 噪声规格
- 占空比和占空比容限
- 频率稳定性

为 PS-GTR 收发器设计选择振荡器时，可将这些特性作为选择标准。图 4-2 显示了《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) [参照 22] 的“PS-GTR 收发器”部分中所使用的单端时钟输入电压摆幅（峰峰值）的规范。此图可用于与图 4-3 中所示差分时钟输入电压摆幅计算结果进行比对。

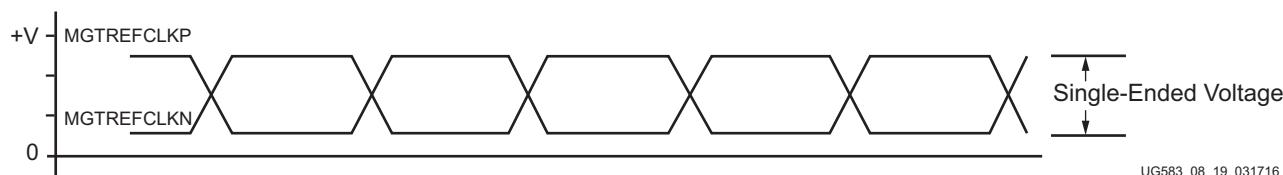


图 4-2：单端时钟输入电压摆幅（峰峰值）

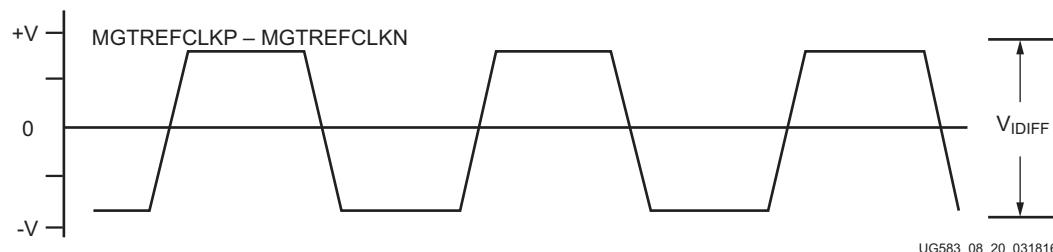


图 4-3：差分时钟输入电压摆幅（峰峰值）

图 4-4 显示了参考时钟的上升时间和下降时间规范。

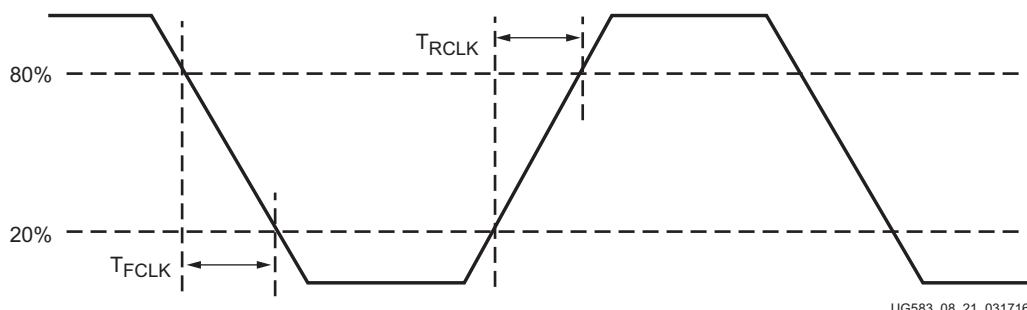


图 4-4：上升时间和下降时间

图 4-5 显示了 MGTREFCLK 输入缓存的内部详细信息。专用差分参考时钟输入管脚对 MGTREFCLKP/MGTREFCLKN 内部端接至  $100\Omega$  差分阻抗。此差分参考时钟输入对的共模电压接地或者采用额定值 0.0V。请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) 以了解确切的规格。

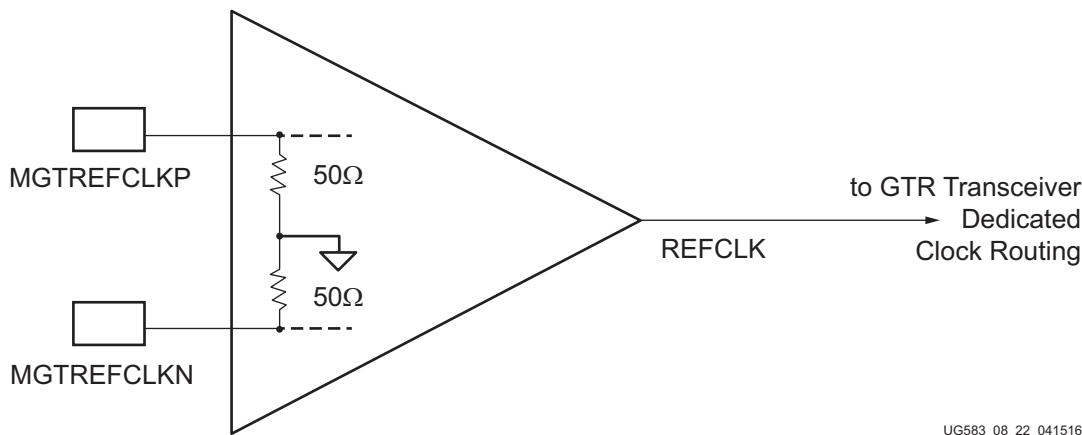


图 4-5：MGTREFCLK 输入缓存详细信息

## 参考时钟接口

### LVDS

图 4-6 显示了 LVDS、电流模式逻辑 (CML) 或高速电流导向逻辑 (HCSL) 振荡器连接到 PS-GTR 收发器的参考时钟输入的方式。

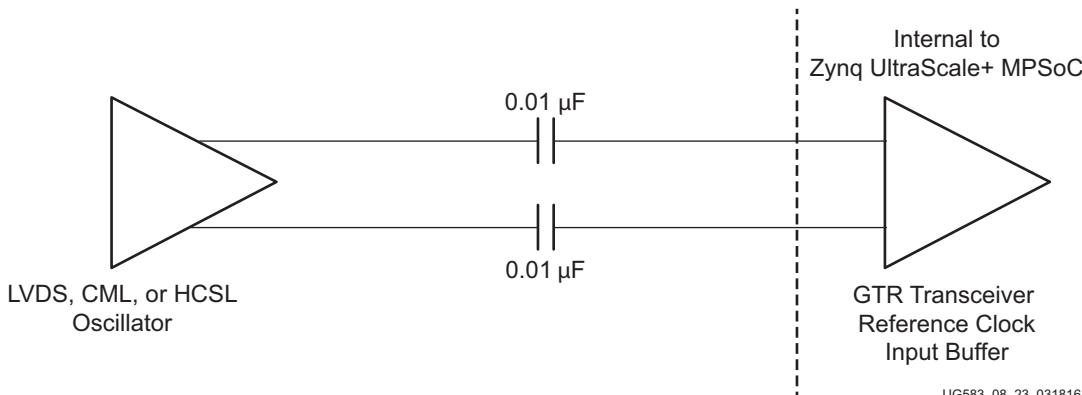


图 4-6：LVDS、CML 或 HCSL 振荡器与 Zynq UltraScale+ MPSoC PS-GTR 收发器参考时钟输入的连接方式

## LVPECL

图 4-7 显示了低压正发射极耦合逻辑 (LVPECL) 振荡器连接到 PS-GTR 收发器的参考时钟输入的方式。

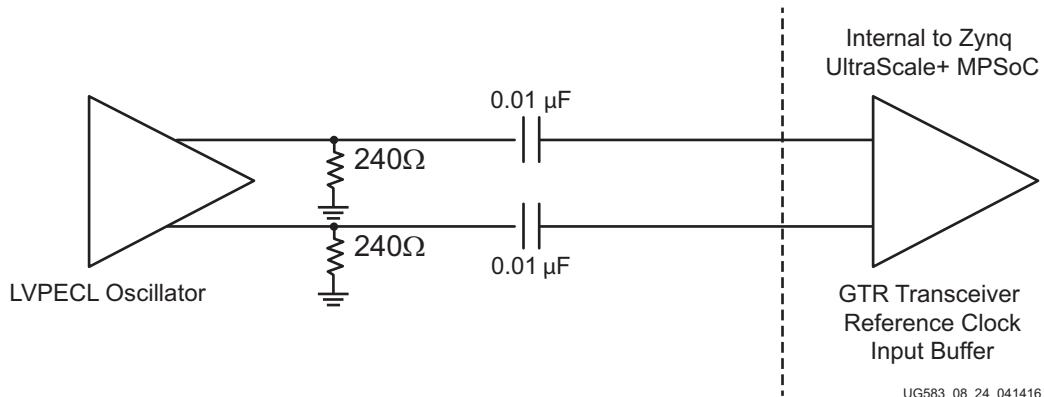


图 4-7：LVPECL 振荡器与 Zynq UltraScale+ MPSoC PS-GTR 收发器参考时钟输入的连接方式

## AC 耦合参考时钟

振荡器参考时钟输出与 PS-GTR 收发器参考时钟输入的 AC 耦合具有下列多种用途：

- 用于阻止振荡器与 PS-GTR 收发器参考时钟专用参考时钟输入管脚之间的 DC 电流（同时可减少两部分的耗电量）
- 保障共模电压独立性
- AC 耦合电容器通过片上终端构成高通滤波器，从而缓解参考时钟的漂移

为了最大程度降低噪声和功耗，源振荡器与 PS-GTR 收发器专用参考时钟输入管脚之间需要外部 AC 耦合电容器。

## 未使用的参考时钟

如果不使用参考时钟输入，则参考时钟输入管脚可保持处于未连接状态。

## 参考时钟电源

PS-GTR 收发器参考时钟输入电路由 PS\_MGTRAVCC 供电。此电源上噪声过大会对使用来自此电路的任意 PS-GTR 收发器的性能产生负面影响。

## 电源噪声

PS-GTR 收发器电源 PS\_MGTRAVCC 和 PS\_MGTRAVTT 的噪声不得高于  $10 \text{ mV}_{\text{PP}}$ （ $10 \text{ kHz}$  到  $80 \text{ MHz}$  范围内）。此电源上如有任何噪声超出此要求，则可能影响收发器性能。如果电源上的噪声小于等于此要求，则不会对收发器性能产生负面影响。

## PCB 设计检查表

表 4-2 提供的项目检查表可用于设计和复查任意 Zynq UltraScale+ MPSoC PS-GTR 收发器原理图和布局。

表 4-2：PS-GTR 的 PCB 设计检查表

管脚	建议
PS_MGTREFCLK0P PS_MGTREFCLK0N PS_MGTREFCLK1P PS_MGTREFCLK1N PS_MGTREFCLK2P PS_MGTREFCLK2N PS_MGTREFCLK3P PS_MGTREFCLK3N	<ul style="list-style-type: none"> <li>使用 AC 耦合电容器以连接至振荡器。</li> <li>有关 AC 耦合电容器的信息，请参阅第 183 页的“参考时钟接口”。LVDS 的建议值为 10 nF。</li> <li>参考时钟走线应提供足够的间隙，以消除来自相邻信号的串扰。</li> <li>参考时钟振荡器输出必须符合这些输入管脚的最小/最大输入振幅要求。请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) [参照 22] 中的“PS-GTR 收发器时钟 DC 输入电平规格”表。</li> <li>如果未使用参考时钟，请将关联的管脚对保留处于未连接状态或者接地。</li> <li>走线应布线到 <math>50\Omega</math> 单端/<math>100\Omega</math> 差分。</li> </ul>
PS_MGTRRX0 / PS_MGTRRXN0 PS_MGTRRX1 / PS_MGTRRXN1 PS_MGTRRX2 / PS_MGTRRXN2 PS_MGTRRX3 / PS_MGTRRXN3	<ul style="list-style-type: none"> <li>使用 AC 耦合电容器以连接到发射器。AC 耦合电容器的建议值为 100 nF（针对 PCI Express® 为 176 nf 到 265 nf）。</li> <li>接收器数据走线应提供足够的间隙，以消除来自相邻信号的串扰。</li> <li>如果未使用接收器，请将关联的管脚对保留处于未连接状态或者接地。</li> <li>走线匹配 P/N 至 UI 的 10%（或更低）。</li> <li>走线应布线到 <math>50\Omega</math> 单端/<math>100\Omega</math> 差分<sup>(1)</sup>。</li> </ul>
PS_MGTRTX0 / PS_MGTRTXN0 PS_MGTRTX1 / PS_MGTRTXN1 PS_MGTRTX2 / PS_MGTRTXN2 PS_MGTRTX3 / PS_MGTRTXN3	<ul style="list-style-type: none"> <li>发射器应与接收器建立 AC 耦合。AC 耦合电容器的建议值为 100 nF（针对 PCI Express® 为 176 nf 到 265 nf）。</li> <li>发射器数据走线应提供足够的间隙，以消除来自相邻信号的串扰。</li> <li>如果未使用发射器，请将关联的管脚对保留处于未连接状态或者接地。</li> <li>走线匹配 P/N 至 UI 的 10%（或更低）。</li> <li>走线应布线到 <math>50\Omega</math> 单端/<math>100\Omega</math> 差分<sup>(1)</sup>。</li> </ul>
PS_MGTRREF	<ul style="list-style-type: none"> <li>请将 <math>500\Omega</math> 0.5% 电阻器连接到此管脚，将该电阻器的另一端接地。</li> <li>如果不使用发射器，则可使其保持未连接状态或接地。</li> </ul>
PS_MGTRAVCC	<ul style="list-style-type: none"> <li>额定电压为 0.85 VDC。</li> <li>请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) [参照 22] 以查看电源电压容限。</li> <li>此电源不与其它非收发器负载共享可降低超出电源的噪声要求的可能性。</li> <li>建议采用以下滤波器： <ul style="list-style-type: none"> <li>1 个 <math>10\mu F</math> 10% 陶瓷滤波器</li> </ul> </li> <li>为了保障最佳性能，电源噪声必须低于 <math>10\text{ mV}_{pp}</math>。如果电源上的噪声小于或等于此要求，则不会对收发器性能产生负面影响。</li> <li>如果四通道内的全部 PS-GTR 收发器都未使用，则关联的电源管脚可保留处于未连接状态或接地。</li> <li>如需了解功耗相关信息，请参阅 Xilinx Power Estimator (XPE)。</li> </ul>

表 4-2：PS-GTR 的 PCB 设计检查表（续）

管脚	建议
PS_MGTRAVTT	<ul style="list-style-type: none"><li>• 额定电压为 1.8 VDC。</li><li>• 请参阅《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》(DS925) [参照 22] 以查看电源电压容限。</li><li>• 此电源不与其它非收发器负载共享可降低超出电源的噪声要求的可能性。</li><li>• 建议采用以下滤波器：<ul style="list-style-type: none"><li>◦ 1 个 10 <math>\mu</math>F 10% 陶瓷滤波器</li></ul></li><li>• 如果四通道内的全部 PS-GTR 收发器都未使用，则关联的电源管脚可保留处于未连接状态或接地。</li><li>• 如需了解功耗相关信息，请参阅 <a href="#">Xilinx Power Estimator (XPE)</a> 内的 Zynq UltraScale+ MPSoC XPower Estimator。</li></ul>

注释：

1. [USB 3.0/SuperSpeed 规格](#) 要求差分走线布线为  $90\Omega \pm 15\Omega$ 。

# 面向 MIPI D-PHY 的 PCB 布线指南

MIPI D-PHY 旨在供移动设备或器件（包括摄像头、显示器和统一协议接口）使用。仅限 Kintex UltraScale+ 和 Virtex UltraScale+ FPGA 以及 Zynq UltraScale+ MPSoC 才支持该标准。UltraScale 器件对此标准的支持符合 MIPI 联盟接口规范。典型 MIPI D-PHY 核由 4 条差分数据通道和 1 条差分时钟通道组成，如图 5-1 中所示。

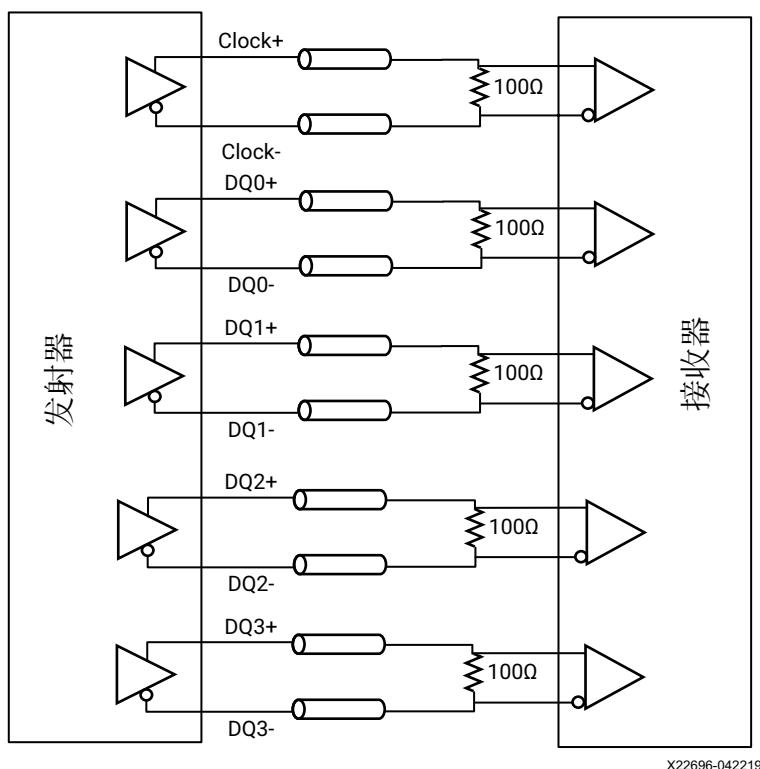


图 5-1：MIPI D-PHY 发射器和接收器路径

表 5-1 中显示了有关阻抗、走线长度、间距、偏差和终端的 MIPI D-PHY PCB 准则。

表 5-1：MIPI D-PHY PCB 走线和偏差准则

参数	规格
走线类型	带状线
差分阻抗	$95 \pm 10\% \Omega$
走线长度	$\leq 10.0$ 英寸 <sup>(1)(2)</sup>
MIPI 对内间距	2 倍走线宽度
与其它 MIPI 对的间距	5 倍走线宽度
与其它非 MIPI 对的间距	6 倍走线宽度

表 5-1：MIPI D-PHY PCB 走线和偏差准则（续）

参数	规格
每对 P/N 间的偏差	$\pm 2 \text{ ps}$
时钟与数据间的偏差	$\pm 8 \text{ ps}$
数据与数据间的偏差	$\pm 8 \text{ ps}$
接收器终端	$100\Omega$ 差分 <sup>(3)</sup>

## 注释：

1. 如果距离大于 4 英寸，则必须使用接收器均衡 (CTLE)。强烈建议对 PCB (数据到数据和数据到时钟) 进行去歪斜，即使 IP 内未使用去歪斜功能也是如此。
2. 对于更长的走线长度 (4 到 10 英寸)，可根据请求提供基准叠层。只要信道损耗保持在 9 dB 下，就可支持以 2.5 Gb/s 的速率运行。
3. 当 FPGA/MPSOC 作为接收器时，则通过 DIFF\_TERM 属性建议采用  $100\Omega$  片上终端。请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571) [参照 10] 中的 MIPI\_DPHY 部分。

# UltraScale 器件与封装之间的移植

在不同 UltraScale 器件之间进行设计移植时，需特别注意 2 个器件之间的潜在差异。请参阅以下检查表以及后续章节以获取检查表中每一项的详细说明。

## UltraScale 器件移植检查表

1. 复查引脚兼容性，包括已绑定的 bank 和未绑定的 bank。
2. 复查封装尺寸，包括高度和突出部分。
3. 复查 I/O 和收发器四通道编号和位置。
4. 复查 HPIO 到 HRIO 移植以及 HRIO 到 HPIO 移植。
5. 复查 GTH 到 GTY 以及 GTY 到 GTH 收发器移植。
6. 复查超级逻辑区域 (SLR) 边界。
7. 复查单片到堆叠硅片移植，因为它与配置 bank 有关。
8. 复查存储器接口位置以保留 bank 分组。
9. 复查 DCI 级联和内部  $V_{REF}$  要求。
10. 复查系统监控器要求和管脚差异。
11. 复查去耦电容要求。
12. 复查 PCI Express® 要求和块位置。
13. 复查 Integrated 100G Ethernet 要求和块位置。
14. 复查 Interlaken 要求和块位置。
15. 复查电源和散热要求。
16. 复查器件之间的管脚飞行时间差。

### 1. 封装之间的引脚兼容性

含相同占板面积标识码的任意 2 个封装即为引脚兼容。占板面积标识码由封装指示符代码和 BGA 管脚计数信息组成（如 A2104、B2104 或 C2104）。如果客户要求保证给定封装内任意 2 个器件之间的管脚兼容性，则应选择引脚兼容封装以确保这些器件的设计具备电气兼容性。如果从较大的器件移植到相同封装内的较小的器件，则部分 I/O 和收发器 bank 及其管脚可能在较小的器件上处于未绑定状态或者不存在。请参阅《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) [参照 9] 中的“引脚兼容性”表、“I/O bank 移植”表和“收发器四通道移植”表，以判定哪些 UltraScale 器件具备引脚兼容性以及扩展至哪些器件可能导致各 bank 变为未绑定或不存在。

### 示例

图 6-1 显示了来自《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) 的“引脚兼容性”表的片段。A1156<sup>(1)</sup> 封装中的 XCKU035 只能与 A1156 封装中的 XCKU040 和 XCKU060 兼容，与 A1517 中的任何器件都不兼容。例如，使用 A1156 封装中的 XCKU035 创建的设计与任何更大的 A1156 器件之间均可保证引脚兼容。

A1156	XCKU035	XCKU040	XCKU060
A1517	XCKU060	XCKU085	XCKU115

UG583\_c3\_14\_022515

图 6-1：引脚兼容性表的部分内容

- 
1. 为便于理解引脚兼容性和移植，封装名称中仅限最后一个字母才具有重要意义。例如，FFVA2104 与 FLVA2104 在引脚兼容和移植方面基本相同，因为最后一个字母均为“A”。

如果从较大的器件移植到相同封装内较小的器件，则可能部分 I/O 和收发器 bank 在较小的器件上处于未绑定状态或者不存在。图 6-2 显示了来自《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) [参照 9] 的“收发器四通道移植”表的片段。收发器 bank 120、121、122、220、221 和 222 在 XCVU160 和 XCVU190 C2104 器件上都存在，但这些收发器 bank 在 XCVU080、XCVU095 和 XCVU125 C2104 器件上则不可用。

Power Supply Group:	LS	LS	LS	LC	LC	LC	LC	LN	LN	LN	LN	RS	RS	RS	RC	RC	RC	RC	RC	RN	RN	RN	RN				
FFVC2104	XCVU080				124	125	126	127	128	129 RCAL	130	131								224	225 RCAL	226	227	228	229	230	231
	XCVU095																			224	225	226 RCAL	227	228	229	230	231 RCAL
FLVC2104	XCVU125				124	125 RCAL	126	127	128	129	130 RCAL	131	132	133													
	XCVU160	120 RCAL	121	122	124	125 RCAL	126	127	128	129	130 RCAL	131	132	133	220	221 RCAL	222	224	225	226 RCAL	227	228	229	230	231 RCAL	232	233

UG583\_c3\_15\_022515

图 6-2：C2104 封装内的收发器四通道可用性

## 2. 封装尺寸

UltraScale 器件的封装尺寸因封装而异，因此在系统设计中必须谨慎处理，确保长度、宽度或高度变更不会影响系统中的其它组件。某些封装也存在“突出”封装，其长度和宽度超出管脚阵列，较具有类似管脚计数的其它器件更长。如果从较小的封装移植到较大的封装，请确保保存在相应的禁区，以避免电容器或其它组件与较大的边框发生冲突。请参阅《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) 中的“机械示意图”章节，以查看各 UltraScale 器件封装的尺寸。

### 示例

根据《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) 中的“机械示意图”章节，用于 XCKU035 和 XCKU040 的 FFVA1156 封装（图 6-3）高度小于用于 XCKU060 的 FFVA1156 封装（图 6-4）。

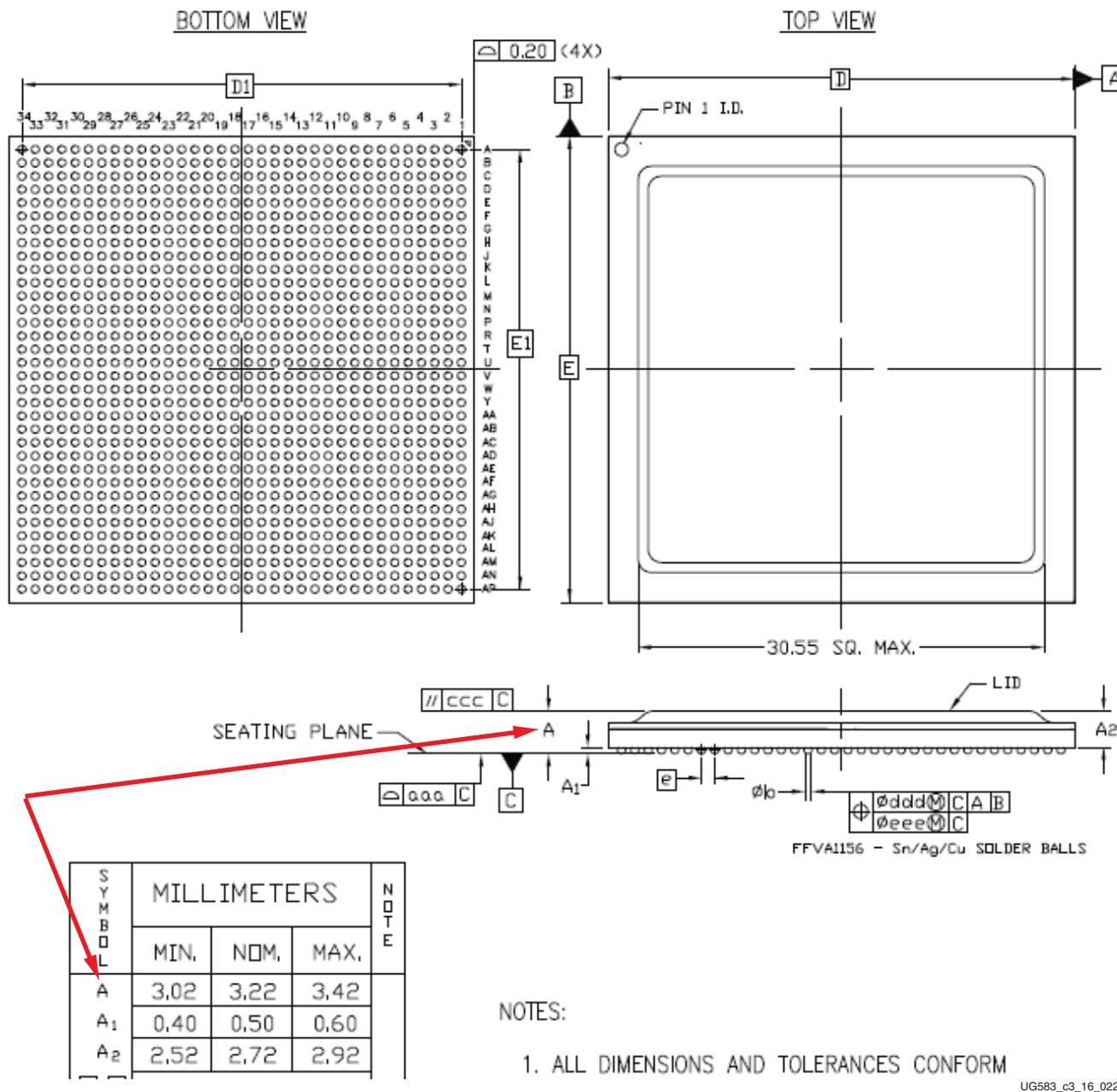


图 6-3：FFVA1156 的封装示意图部分内容（XCKU035 和 XCKU040）

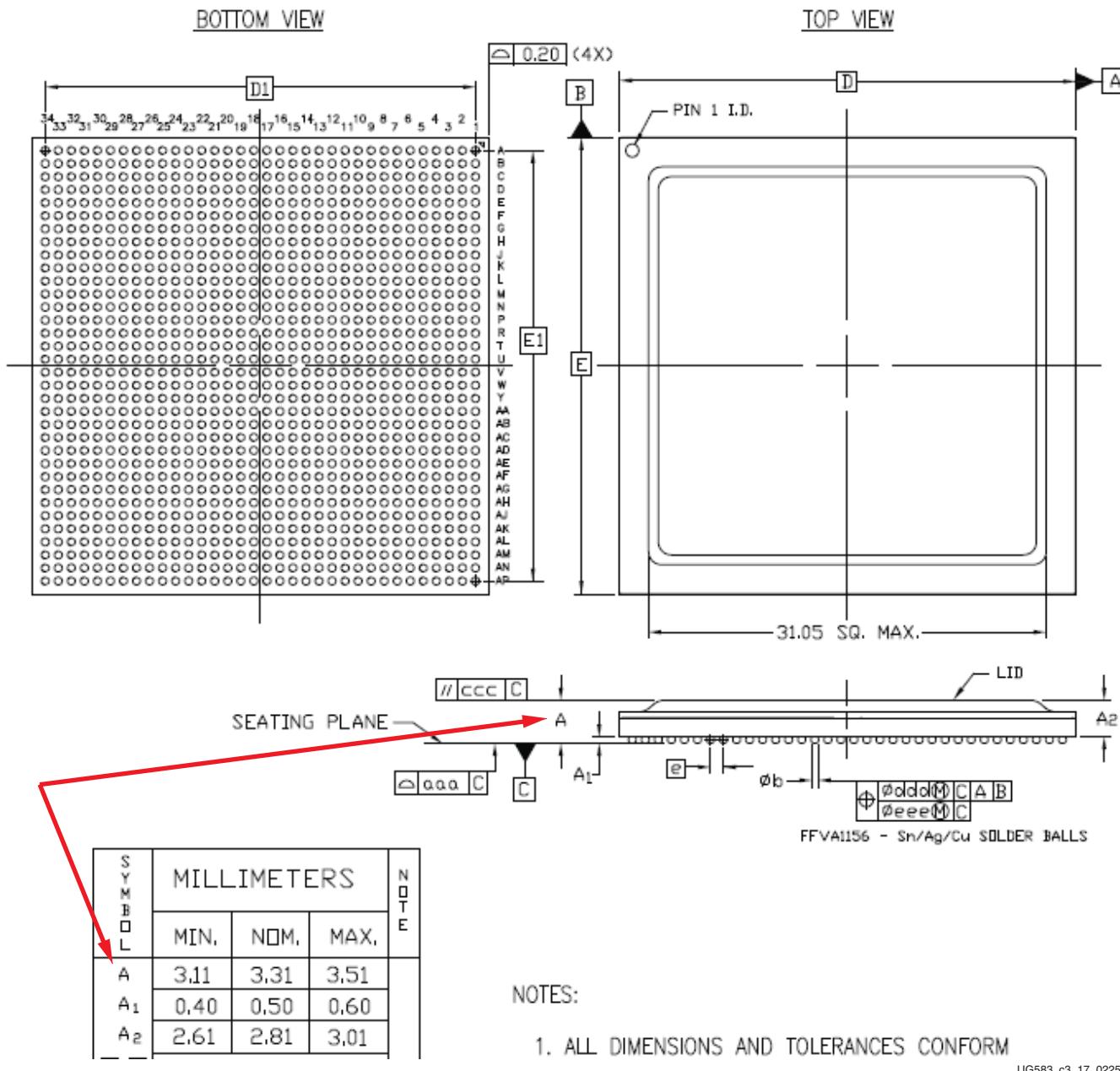


图 6-4: FFVA1156 的封装示意图部分内容 (XCKU060)

### 3. I/O bank 和收发器四通道编号

封装中具备引脚兼容性的部分 UltraScale 器件可能包含与相同封装管脚关联的不同 I/O bank 和收发器四通道编号。根据这些 bank 在裸片上的物理位置，部分多 bank 接口（例如，存储器或收发器）可能在不同器件间移植时受到影响。如果 bank 编号变更还涉及此 bank 从裸片上某一列移植到另一列，那么要求 2 个 bank 位于同一列内的多 bank 接口可能会受到影响。

请参阅《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) [参照 9] 中的“I/O bank 移植”表和“收发器四通道移植”表，以查看 bank 和收发器四通道编号差异。要判定裸片上的 bank 位置，请参阅《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) 的“裸片级 bank 编号概述”部分。

以下示例显示了下列情况下的成功移植路径：在 2 个不同器件间，两边的 bank 编号发生变更且这些 bank 位于不同列中。

#### 示例：提前规划 bank 编号变更

如图 6-5 所示，XCVU095-FFVD1517 中的 banks 69、70 和 71 连接到的管脚与 XCVU125-FLVD1517 中的 bank 71、72 和 73 连接到的管脚相同。图 6-6 确认了多 bank 接口保持不变，但每个裸片上的位置不同。在每个相应的裸片上，全部 3 个 bank 都保持连续。这将导致使用这 3 个 bank 的接口能够成功完成移植，且管脚飞行时间仅存在细微差异。

		XCVU080 XCVU095		Right						
				84	94	65	66	67	69	70
FLVD1517		XCVU125 XCKU115		Right-South					Right-North	
				84	94	65	66	67	71	72

UG583\_c3\_18\_022515

图 6-5：I/O bank 移植表的部分内容

GTY Quad 131 X0Y28-X0Y31	CMAC X0Y3	Bank 51 HP I/O	PLD[4:5] CMT MMCM[07]	Bank 71 HP I/O	PLD[0:3] CMT MMCM[15]	PCIe X0Y3	GTH Quad 231 X1Y28-X1Y31	CMAC X0Y5	Bank 53 HP I/O	PLD[8:9] CMT MMCM[09]	Bank 73 HP I/O	PLD[8:29] CMT MMCM[19]	PCIe X0Y3	GTH Quad 233 X1Y36-X1Y39	
GTY Quad 130 X0Y24-X0Y27	ILKN X0Y4	Bank 50 HP I/O	PLD[2:3] CMT MMCM[06]	Bank 70 HP I/O	PLD[28:29] CMT MMCM[14]	ILKN X1Y4	GTH Quad 230 X1Y24-X1Y27	CMAC X0Y4	Bank 52 HP I/O	PLD[16:17] CMT MMCM[08]	Bank 72 HP I/O	PLD[16:37] CMT MMCM[18]	ILKN X1Y5	GTH Quad 232 X1Y32-X1Y35	
GTY Quad 129 X0Y20-X0Y23	CMAC X0Y2	Bank 49 HP I/O	PLD[10:11] CMT MMCM[05]	Bank 69 HP I/O	PLD[29:27] CMT MMCM[13]	PCIe X0Y2	GTH Quad 229 X1Y20-X1Y23	ILKN X0Y4	Bank 51 HP I/O	PLD[14:15] CMT MMCM[07]	Bank 71 HP I/O	PLD[14:25] CMT MMCM[17]	SYSMON CFG	GTH Quad 231 X1Y28-X1Y31	
GTY Quad 128 X0Y16-X0Y19	ILKN X0Y3	Bank 48 HP I/O	PLD[0:9] CMT MMCM[04]	Bank 68 HP I/O	PLD[24:25] CMT MMCM[12]	PCIe X0Y1	GTH Quad 228 X1Y16-X1Y19	CMAC X0Y3	Bank 50 HP I/O	PLD[12:14] CMT MMCM[06]	Bank 70 HP I/O	PLD[12:34] CMT MMCM[16]	CFG	GTH Quad 230 X1Y24-X1Y27	
GTY Quad 127 X0Y12-X0Y15	CMAC X0Y1	Bank 47 HP I/O	PLD[6:7] CMT MMCM[03]	Bank 67 HP I/O	PLD[22:22] CMT MMCM[11]	ILKN X1Y2	GTH Quad 227 X1Y12-X1Y15	ILKN X0Y3	Bank 49 HP I/O	PLD[0:11] CMT MMCM[05]	Bank 69 HP I/O	PLD[0:11] CMT MMCM[15]	PCIe X0Y2	GTH Quad 229 X1Y20-X1Y23	
GTY Quad 126 X0Y8-X0Y11	ILKN X0Y1	Bank 46 HP I/O	PLD[4:5] CMT MMCM[02]	Bank 66 HP I/O	PLD[20:21] CMT MMCM[10]	SYSMON CFG	GTH Quad 226 X1Y8-X1Y11	GTY Quad 128 X0Y16-X0Y19	CMAC X0Y2	Bank 48 HP I/O	PLD[0:9] CMT MMCM[04]	Bank 68 HP I/O	PLD[28:29] CMT MMCM[14]	PCIe X0Y1	GTH Quad 228 X1Y16-X1Y19
GTY Quad 125 X0Y4-X0Y7	CMAC X0Y0	Bank 45 HP I/O	PLD[2:3] CMT MMCM[01]	Bank 65 HP I/O	PLD[18:19] CMT MMCM[09]	CFG	GTH Quad 225 X1Y4-X1Y7	GTY Quad 127 X0Y12-X0Y15	CMAC X0Y1	Bank 47 HP I/O	PLD[0:7] CMT MMCM[03]	Bank 67 HP I/O	PLD[28:27] CMT MMCM[13]	ILKN X1Y2	GTH Quad 227 X1Y12-X1Y15
GTY Quad 124 X0Y0-X0Y3	ILKN X0Y0	Bank 44 HP I/O	PLD[0:0] CMT MMCM[00]	Bank 84/94 HR I/O	PLD[6:7] CMT MMCM[08]	PCIe X0Y0 (tandem)	GTH Quad 224 X1Y0-X1Y3	GTY Quad 125 X0Y4-X0Y7	CMAC X0Y0	Bank 45 HP I/O	PLD[0:20] CMT MMCM[01]	Bank 65 HP I/O	PLD[22:23] CMT MMCM[11]	SYSMON CFG	GTH Quad 226 X1Y8-X1Y11
SLR Crossing															
GTY Quad 124 X0Y0-X0Y3	ILKN X0Y0	Bank 44 HP I/O	PLD[0:0] CMT MMCM[00]	Bank 84/94 HR I/O	PLD[6:7] CMT MMCM[08]	PCIe X0Y0 (tandem)	GTH Quad 224 X1Y0-X1Y3	ILKN X0Y0	Bank 44 HP I/O	PLD[0:0] CMT MMCM[00]	Bank 84/94 HR I/O	PLD[20:21] CMT MMCM[10]	PCIe X0Y0	GTH Quad 224 X1Y0-X1Y3	

UG583\_c3\_19\_022515

图 6-6：XCVU095 (L) 和 XCVU125 (R) bank 位置

## 4. HP/HR 移植

在较为罕见的情况下，某一器件中的 HR bank 可能在另一个引脚兼容的封装内变为 HP bank，反之亦然。如果期望在初始设计阶段进行移植，那么建议仅使用 1.8V I/O 标准，以确保从 HR bank 到 HP bank 的任何移植行为都不会受到影响。如果无法保证这一点，则请避免使用可能变为 HP bank 的 HR bank。请参阅《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) [参照 9] 中的“I/O bank 移植”表，以判定哪些 bank 可能受到影响，或者请参阅表 6-1。

表 6-1：HP bank 与 HR bank 互换

封装	bank	HP	HR
A2104	70	XCVU125	XCKU115

此外 HP 与 HR I/O 之间存在功能差异，例如，DCI 是否可用（仅限 HP）以及 I/O 标准可用性。请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571) [参照 10] 中的“HR 和 HP I/O bank”表中的“受支持的功能”，以判定每一种类型 I/O 可用的功能和 I/O 标准。

如果无法避免从 HR bank 移植到 HP bank，那么由于新 HP I/O 的输出最大值为 1.8V，因此可能需要进行电平转换。请参阅《将 7 系列 FPGA 高性能 I/O bank 与 2.5V 和 3.3V I/O 标准相连》(XAPP520) [参照 11]，其中提供了多种方法，可用于将 HP I/O 与更高电压的 I/O 相连。

## 5. GTH/GTY 收发器移植

GTH 和 GTY 收发器旨在支持管脚移植，并且具有相同的差分信号和参考时钟外合。GTY 收发器所提供的性能高于 GTH 收发器，因此具有不同的操作特性。例如，GTY 收发器能够支持最高 30.5 Gb/s 的线速率，而 GTH 收发器则可支持最高 16.375 Gb/s。如果在 GTH/GTY 收发器之间进行移植，则必须考量这些差异以及任何其它差异。请参阅《Virtex UltraScale FPGA 数据手册：DC 和 AC 开关特性》(DS893) [参照 2]、《UltraScale 架构 GTH 收发器用户指南》(UG576) [参照 6] 和《UltraScale 架构 GTY 收发器用户指南》(UG578) [参照 7] 以了解有关每一种类型的收发器的功能。

要判定移植路径是否会导致 GTH 收发器与 GTY 收发器之间发生任何交换（双向），请参阅《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) [参照 9] 中的“收发器四通道移植”表。

### 示例

图 6-7 显示了来自《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) 的“收发器四通道移植”表的片段。收发器 bank 126、127、128、131、132 和 133 在 XCKU115 A2104 器件中显示为 GTH 收发器，而对应的收发器 bank 在 XCVU080、XCVU095 和 XCVU125 A2104 器件中则为 GTY 收发器。请注意其中收发器编号的差异，这表明这些是绑定到相同管脚的不同收发器四通道（请参阅第 194 页的“3. I/O bank 和收发器四通道编号”）。

Power Supply Group:		LS	LS	LS	LN	LN	LN	RS	RS	RS	RN	RN	RN	
FFVA2104	XCVU080 XCVU095	125	126	127	128	129 RCAL	130	224	225 RCAL	226	227	228	229	230
FLVA2104	XCVU125	125 RCAL	126	127	130 RCAL	131	132	224	225	226 RCAL	227	231 RCAL	232	233
	XCKU115	126	127	128	131	132	133 RCAL	224	225	226 RCAL	227	231 RCAL	232	233

UG583\_c3\_20\_022515

图 6-7：收发器四通道移植表的部分片段（粗体表示 GTY）

### MGTRREF 和 MGTAVTTRCAL

部分 MGTRREF 和 MGTAVTTRCAL 管脚在相同封装占板面积内的不同器件中使用的标签可能略有不同。例如，根据器件，B1760 封装中的管脚 A39 标记为 MGTAVTTRCAL\_L 或 MGTAVTTRCAL\_LN。管脚功能并不会改变，但应注意标签变化。

## 6. SLR 移植

部分 UltraScale 器件是采用堆叠硅片互联 (SSI) 技术来实现的，而部分实现只能包含在单个 SLR 内。SLR 以无源硅中介层来分割。不建议跨多个 SLR 进行移植。例如，以最大数据率运行的 DDR4 接口必须包含在单个 SLR 内。请参阅第 198 页的“[8. 存储器接口移植](#)”以获取其中中介层可分割现有实现的具体示例。

《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) [参照 9] 中的 bank 图示可识别中介层所连接的 SLR。

### 示例

图 6-8 显示了对应 XCVU190 器件的 3 个 SLR，每个 SLR 间均以硅中介层分隔。

GTY Quad 133 X0Y56–X0Y59	CMAC X0Y8	Bank 53 HP I/O	PLL[28:29] CMT MMCM[14]	Bank 73 HP I/O	PLL[58:59] CMT MMCM[29]	PCIe X0Y5	GTH Quad 233 X1Y56–X1Y59
GTY Quad 132 X0Y52–X0Y55	CMAC X0Y7	Bank 52 HP I/O	PLL[26:27] CMT MMCM[13]	Bank 72 HP I/O	PLL[56:57] CMT MMCM[28]	ILKN X1Y8	GTH Quad 232 X1Y52–X1Y55
GTY Quad 131 X0Y48–X0Y51	ILKN X0Y7	Bank 51 HP I/O	PLL[24:25] CMT MMCM[12]	Bank 71 HP I/O	PLL[54:55] CMT MMCM[27]	SYSMON CFG	GTH Quad 231 X1Y48–X1Y51
GTY Quad 130 X0Y44–X0Y47	CMAC X0Y6	Bank 50 HP I/O	PLL[22:23] CMT MMCM[11]	Bank 70 HP I/O	PLL[52:53] CMT MMCM[26]	CFG	GTH Quad 230 X1Y44–X1Y47
GTY Quad 129 X0Y40–X0Y43	ILKN X0Y6	Bank 49 HP I/O	PLL[20:21] CMT MMCM[10]	Bank 69 HP I/O	PLL[50:51] CMT MMCM[25]	PCIe X0Y4	GTH Quad 229 X1Y40–X1Y43
SLR Crossing							
GTY Quad 128 X0Y36–X0Y39	CMAC X0Y5	Bank 48 HP I/O	PLL[18:19] CMT MMCM[09]	Bank 68 HP I/O	PLL[48:49] CMT MMCM[24]	PCIe X0Y3	GTH Quad 228 X1Y36–X1Y39
GTY Quad 127 X0Y32–X0Y35	CMAC X0Y4	Bank 47 HP I/O	PLL[16:17] CMT MMCM[08]	Bank 67 HP I/O	PLL[46:47] CMT MMCM[23]	ILKN X1Y5	GTH Quad 227 X1Y32–X1Y35
GTY Quad 126 X0Y28–X0Y31	ILKN X0Y4	Bank 46 HP I/O	PLL[14:15] CMT MMCM[07]	Bank 66 HP I/O	PLL[44:45] CMT MMCM[22]	SYSMON CFG	GTH Quad 226 X1Y28–X1Y31
GTY Quad 125 X0Y24–X0Y27	CMAC X0Y3	Bank 45 HP I/O	PLL[12:13] CMT MMCM[06]	Bank 65 HP I/O	PLL[42:43] CMT MMCM[21]	CFG	GTH Quad 225 X1Y24–X1Y27
GTY Quad 124 X0Y20–X0Y23	ILKN X0Y3	Bank 44 HP I/O	PLL[10:11] CMT MMCM[05]	Bank 84/94 HR I/O	PLL[40:41] CMT MMCM[20]	PCIe X0Y2 (tandem)	GTH Quad 224 X1Y20–X1Y23
SLR Crossing							
GTY Quad 123 X0Y16–X0Y19	CMAC X0Y2	Bank 43 HP I/O	PLL[08:09] CMT MMCM[04]	Bank 63 HP I/O	PLL[38:39] CMT MMCM[19]	PCIe X0Y1	GTH Quad 223 X1Y16–X1Y19
GTY Quad 122 X0Y12–X0Y15	CMAC X0Y1	Bank 42 HP I/O	PLL[06:07] CMT MMCM[03]	Bank 62 HP I/O	PLL[36:37] CMT MMCM[18]	ILKN X1Y2	GTH Quad 222 X1Y12–X1Y15
GTY Quad 121 X0Y8–X0Y11	ILKN X0Y1	Bank 41 HP I/O	PLL[04:05] CMT MMCM[02]	Bank 61 HP I/O	PLL[34:35] CMT MMCM[17]	SYSMON CFG	GTH Quad 221 X1Y8–X1Y11
GTY Quad 120 X0Y4–X0Y7	CMAC X0Y0	Bank 40 HP I/O	PLL[02:03] CMT MMCM[01]	Bank 60 HP I/O	PLL[32:33] CMT MMCM[16]	CFG	GTH Quad 220 X1Y4–X1Y7
GTY Quad 119 X0Y0–X0Y3	ILKN X0Y0	Bank 39 HP I/O	PLL[00:01] CMT MMCM[00]	Bank 59 HP I/O	PLL[30:31] CMT MMCM[15]	PCIe X0Y0	GTH Quad 219 X1Y0–X1Y3

UG583\_c3\_21\_022515

图 6-8：XCVU190 的 bank 图示，其中显示了各 SLR

## 7. 单片到堆叠硅片的移植

所有 UltraScale 器件都具有专用于 I/O bank 0 中包含的配置功能的管脚。在 bank 65（多功能配置 bank）中还有被称为多功能管脚或多用途管脚的 I/O 管脚，这些管脚可用于配置，但完成配置后则转换为普通 I/O 管脚。此外，在 SSI 器件中，bank 60 和 bank 70（如存在）中的管脚在配置期间具有与多功能管脚类似的限制。但这些 bank 中的管脚不具有任何配置功能。请参阅《UltraScale 架构配置用户指南》(UG570) [参照 12] 中的“配置详细信息”章节，以了解这些管脚的行为对您的设计所产生的影响的相关信息。

### 示例：从单片 XCKU060 移植到 A1517 封装中的 SSI XCKU115

图 6-9 显示了 XCKU060 单片器件的 bank 图示。其中圈出了多功能配置 bank (65)。图 6-10 显示了 SSI XCKU115 器件的 bank 图示。多功能配置 bank (65) 随 bank 70 一起被圈出。虽然 bank 65 才是真正的多功能配置 bank，但 bank 70 在配置期间也受到同样的限制。

GTH Quad 128 X0Y16–X0Y19	Bank 48 HP I/O	PLL[12:13] CMT MMCM[06]	Bank 68 HP I/O	PLL[22:23] CMT MMCM[11]	PCIe X0Y1	GTH Quad 228 X1Y16–X1Y19	
GTH Quad 127 X0Y12–X0Y15	Bank 47 HP I/O	PLL[10:11] CMT MMCM[05]	Bank 67 HP I/O	PLL[20:21] CMT MMCM[10]	CMAC X0Y0	GTH Quad 227 X1Y12–X1Y15	
GTH Quad 126 X0Y8–X0Y11	Bank 46 HP I/O	PLL[08:09] CMT MMCM[04]	Bank 66 HP I/O	PLL[18:19] CMT MMCM[09]	SYSMON CFG	GTH Quad 226 X1Y8–X1Y11	
Bank 25 HP I/O	PLL[02:03] CMT MMCM[01]	Bank 45 HP I/O	PLL[06:07] CMT MMCM[03]	Bank 65 HR I/O	PLL[16:17] CMT MMCM[08]	CFG	GTH Quad 225 X1Y4–X1Y7
Bank 24 HP I/O	PLL[00:01] CMT MMCM[00]	Bank 44 HP I/O	PLL[04:05] CMT MMCM[02]	Bank 64 HR I/O	PLL[14:15] CMT MMCM[07]	PCIe X0Y0 (tandem)	GTH Quad 224 X1Y0–X1Y3

UG583\_c3\_22\_022515

图 6-9：XCKU060 的 bank 图示，其中显示了多功能配置 bank 65

GTH Quad 133 X0Y36–X0Y39	Bank 53 HP I/O	PLL[26:27] CMT MMCM[13]	Bank 73 HP I/O	PLL[46:47] CMT MMCM[23]	PCIe X0Y3	GTH Quad 233 X1Y36–X1Y39	
GTH Quad 132 X0Y32–X0Y35	Bank 52 HP I/O	PLL[24:25] CMT MMCM[12]	Bank 72 HP I/O	PLL[44:45] CMT MMCM[22]	CMAC X0Y1	GTH Quad 232 X1Y32–X1Y35	
GTH Quad 131 X0Y28–X0Y31	Bank 51 HP I/O	PLL[22:23] CMT MMCM[11]	Bank 71 HP I/O	PLL[42:43] CMT MMCM[21]	SYSMON CFG	GTH Quad 231 X1Y28–X1Y31	
Bank 30 HP I/O	PLL[06:07] CMT MMCM[03]	Bank 50 HP I/O	PLL[20:21] CMT MMCM[10]	Bank 70 HR I/O	PLL[40:41] CMT MMCM[20]	CFG	GTH Quad 230 X1Y24–X1Y27
Bank 29 HP I/O	PLL[04:05] CMT MMCM[02]	Bank 49 HP I/O	PLL[18:19] CMT MMCM[09]	Bank 69 HR I/O	PLL[38:39] CMT MMCM[19]	PCIe X0Y2	GTH Quad 229 X1Y20–X1Y23
SLR Crossing							
GTH Quad 128 X0Y16–X0Y19	Bank 48 HP I/O	PLL[16:17] CMT MMCM[08]	Bank 68 HP I/O	PLL[36:37] CMT MMCM[18]	PCIe X0Y1	GTH Quad 228 X1Y16–X1Y19	
GTH Quad 127 X0Y12–X0Y15	Bank 47 HP I/O	PLL[14:15] CMT MMCM[07]	Bank 67 HP I/O	PLL[34:35] CMT MMCM[17]	CMAC X0Y0	GTH Quad 227 X1Y12–X1Y15	
GTH Quad 126 X0Y8–X0Y11	Bank 46 HP I/O	PLL[12:13] CMT MMCM[06]	Bank 66 HP I/O	PLL[32:33] CMT MMCM[16]	SYSMON CFG	GTH Quad 226 X1Y8–X1Y11	
Bank 25 HP I/O	PLL[02:03] CMT MMCM[01]	Bank 45 HP I/O	PLL[10:11] CMT MMCM[05]	Bank 65 HR I/O	PLL[30:31] CMT MMCM[15]	CFG	GTH Quad 225 X1Y4–X1Y7
Bank 24 HP I/O	PLL[00:01] CMT MMCM[00]	Bank 44 HP I/O	PLL[08:09] CMT MMCM[04]	Bank 64 HR I/O	PLL[28:29] CMT MMCM[14]	PCIe X0Y0 (tandem)	GTH Quad 224 X1Y0–X1Y3

UG583\_c3\_23\_022515

图 6-10：XCKU115 的 bank 图示，其中显示了多功能配置 bank 65 以及 bank 70

## 8. 存储器接口移植

在不同器件之间进行存储器接口移植时，重要的是验证所有管脚分配和 bank 配置限制都保持有效。例如，大多数存储器接口在每一列内都需要使用 2 个或 3 个连续 bank。此外，UltraScale 器件中的存储器接口不应跨 SLR 边界。请参阅《UltraScale 架构 FPGA 存储器 IP 产品指南》(PG150) [参照 13] 以获取有关正确生成和验证 UltraScale 存储器接口的更全面的指南。

### 示例

XCVU095 中跨 bank 47、48 和 49 的存储器接口（图 6-11）将不会移植到 XCVU125，因为在 XCVU125 中 bank 48 和 49 以 1 个 SLR 来分隔（图 6-12）。对于存储器接口，更好的选择是 bank 44、45 和 46，因为在 2 个器件上的两边 bank 都保持连续。

GTY Quad 131 X0Y28–X0Y31	CMAC X0Y3	Bank 51 HP I/O	PLL[14:15] CMT MMCM[07]	Bank 71 HP I/O	PLL[30:31] CMT MMCM[15]	PCIe X0Y3	GTH Quad 231 X1Y28–X1Y31
GTY Quad 130 X0Y24–X0Y27	ILKN X0Y4	Bank 50 HP I/O	PLL[12:13] CMT MMCM[06]	Bank 70 HP I/O	PLL[28:29] CMT MMCM[14]	ILKN X1Y4	GTH Quad 230 X1Y24–X1Y27
GTY Quad 129 X0Y20–X0Y23	CMAC X0Y2	Bank 49 HP I/O	PLL[10:11] CMT MMCM[05]	Bank 69 HP I/O	PLL[26:27] CMT MMCM[13]	PCIe X0Y2	GTH Quad 229 X1Y20–X1Y23
GTY Quad 128 X0Y16–X0Y19	ILKN X0Y3	Bank 48 HP I/O	PLL[08:09] CMT MMCM[04]	Bank 68 HP I/O	PLL[24:25] CMT MMCM[12]	PCIe X0Y1	GTH Quad 228 X1Y16–X1Y19
GTY Quad 127 X0Y12–X0Y15	CMAC X0Y1	Bank 47 HP I/O	PLL[06:07] CMT MMCM[03]	Bank 67 HP I/O	PLL[22:23] CMT MMCM[11]	ILKN X1Y2	GTH Quad 227 X1Y12–X1Y15
GTY Quad 126 X0Y8–X0Y11	ILKN X0Y1	Bank 46 HP I/O	PLL[04:05] CMT MMCM[02]	Bank 66 HP I/O	PLL[20:21] CMT MMCM[10]	SYSMON CFG	GTH Quad 226 X1Y8–X1Y11
GTY Quad 125 X0Y4–X0Y7	CMAC X0Y0	Bank 45 HP I/O	PLL[02:03] CMT MMCM[01]	Bank 65 HP I/O	PLL[18:19] CMT MMCM[09]	CFG	GTH Quad 225 X1Y4–X1Y7
GTY Quad 124 X0Y0–X0Y3	ILKN X0Y0	Bank 44 HP I/O	PLL[00:01] CMT MMCM[00]	Bank 84/94 HR I/O	PLL[16:17] CMT MMCM[08]	PCIe X0Y0 (tandem)	GTH Quad 224 X1Y0–X1Y3

UG583\_c3\_24\_022515

图 6-11：XCVU095 的 bank 图示，其中显示了连续的 bank 47、48 和 49

GTY Quad 133 X0Y36–X0Y39	CMAC X0Y5	Bank 53 HP I/O	PLL[18:19] CMT MMCM[09]	Bank 73 HP I/O	PLL[38:39] CMT MMCM[19]	PCIe X0Y3	GTH Quad 233 X1Y36–X1Y39
GTY Quad 132 X0Y32–X0Y35	CMAC X0Y4	Bank 52 HP I/O	PLL[16:17] CMT MMCM[08]	Bank 72 HP I/O	PLL[36:37] CMT MMCM[18]	ILKN X1Y5	GTH Quad 232 X1Y32–X1Y35
GTY Quad 131 X0Y28–X0Y31	ILKN X0Y4	Bank 51 HP I/O	PLL[14:15] CMT MMCM[07]	Bank 71 HP I/O	PLL[34:35] CMT MMCM[17]	SYSMON CFG	GTH Quad 231 X1Y28–X1Y31
GTY Quad 130 X0Y24–X0Y27	CMAC X0Y3	Bank 50 HP I/O	PLL[12:13] CMT MMCM[06]	Bank 70 HP I/O	PLL[32:33] CMT MMCM[16]	CFG	GTH Quad 230 X1Y24–X1Y27
GTY Quad 129 X0Y20–X0Y23	ILKN X0Y3	Bank 49 HP I/O	PLL[10:11] CMT MMCM[05]	Bank 69 HR I/O	PLL[30:31] CMT MMCM[15]	PCIe X0Y2	GTH Quad 229 X1Y20–X1Y23
SLR Crossing							
GTY Quad 128 X0Y16–X0Y19	CMAC X0Y2	Bank 48 HP I/O	PLL[08:09] CMT MMCM[04]	Bank 68 HP I/O	PLL[28:29] CMT MMCM[14]	PCIe X0Y1	GTH Quad 228 X1Y16–X1Y19
GTY Quad 127 X0Y12–X0Y15	CMAC X0Y1	Bank 47 HP I/O	PLL[06:07] CMT MMCM[03]	Bank 67 HP I/O	PLL[26:27] CMT MMCM[13]	ILKN X1Y2	GTH Quad 227 X1Y12–X1Y15
GTY Quad 126 X0Y8–X0Y11	ILKN X0Y1	Bank 46 HP I/O	PLL[04:05] CMT MMCM[02]	Bank 66 HP I/O	PLL[24:25] CMT MMCM[12]	SYSMON CFG	GTH Quad 226 X1Y8–X1Y11
GTY Quad 125 X0Y4–X0Y7	CMAC X0Y0	Bank 45 HP I/O	PLL[02:03] CMT MMCM[01]	Bank 65 HP I/O	PLL[22:23] CMT MMCM[11]	CFG	GTH Quad 225 X1Y4–X1Y7
GTY Quad 124 X0Y0–X0Y3	ILKN X0Y0	Bank 44 HP I/O	PLL[00:01] CMT MMCM[00]	Bank 84/94 HR I/O	PLL[20:21] CMT MMCM[10]	PCIe X0Y0	GTH Quad 224 X1Y0–X1Y3

UG583\_c3\_25\_022515

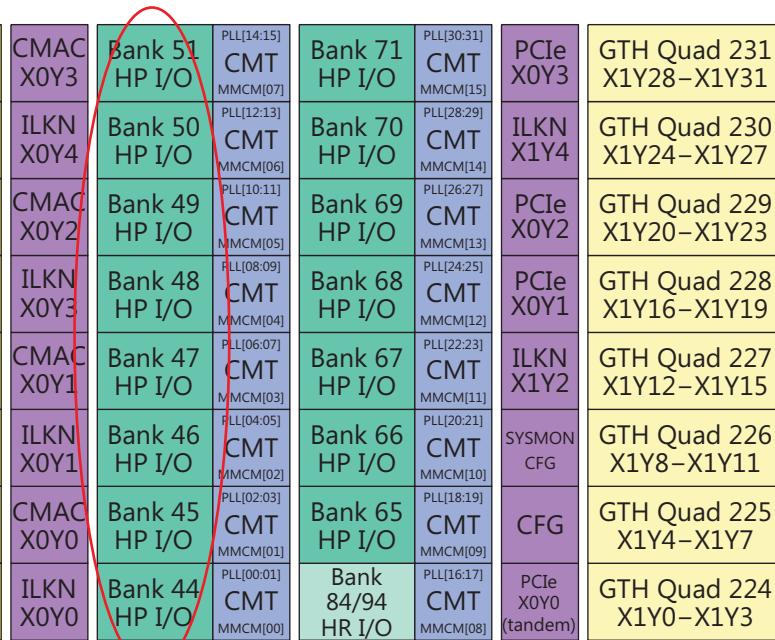
图 6-12：XCVU125 的 bank 图示，其中显示了 Bank 47、48 和 49 之间的 SLR

## 9. DCI 级联和内部 V<sub>REF</sub> 功能

DCI 级联和内部 V<sub>REF</sub> 是单一 HPIO 列中跨多个 bank 的功能。移植时，如果一个或多个 bank 移植到另一列，或者如果跨 SLR/中介层边界，则不再允许将其包含在原始 DCI 级联或内部 V<sub>REF</sub> 分组中。每个 SLR 都包含其自己的 DCI 和 V<sub>REF</sub> 电路。请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571) [参照 10] 中的“DCI 级联和内部 V<sub>REF</sub>”部分以了解有关这些功能的更多信息。

### 示例

图 6-13 突出显示了 XCVU095 中的 HPIO 列。DCI 级联或内部 V<sub>REF</sub> 可在该列中的部分或全部 bank 中使用。如果移植到 XCVU125 器件，则中介层不允许 DCI 级联或内部 V<sub>REF</sub> 在 bank 48 与 49 之间跨界，如图 6-14 所示。



GTY Quad 131 X0Y28–X0Y31	CMAC X0Y3	Bank 51 HP I/O	PLL[14:15] CMT MMCM[07]	Bank 71 HP I/O	PLL[30:31] CMT MMCM[15]	PCIe X0Y3	GTH Quad 231 X1Y28–X1Y31
GTY Quad 130 X0Y24–X0Y27	ILKN X0Y4	Bank 50 HP I/O	PLL[12:13] CMT MMCM[06]	Bank 70 HP I/O	PLL[28:29] CMT MMCM[14]	ILKN X1Y4	GTH Quad 230 X1Y24–X1Y27
GTY Quad 129 X0Y20–X0Y23	CMAC X0Y2	Bank 49 HP I/O	PLL[10:11] CMT MMCM[05]	Bank 69 HP I/O	PLL[26:27] CMT MMCM[13]	PCIe X0Y2	GTH Quad 229 X1Y20–X1Y23
GTY Quad 128 X0Y16–X0Y19	ILKN X0Y3	Bank 48 HP I/O	PLL[08:09] CMT MMCM[04]	Bank 68 HP I/O	PLL[24:25] CMT MMCM[12]	PCIe X0Y1	GTH Quad 228 X1Y16–X1Y19
GTY Quad 127 X0Y12–X0Y15	CMAC X0Y1	Bank 47 HP I/O	PLL[06:07] CMT MMCM[03]	Bank 67 HP I/O	PLL[22:23] CMT MMCM[11]	ILKN X1Y2	GTH Quad 227 X1Y12–X1Y15
GTY Quad 126 X0Y8–X0Y11	ILKN X0Y1	Bank 46 HP I/O	PLL[04:05] CMT MMCM[02]	Bank 66 HP I/O	PLL[20:21] CMT MMCM[10]	SYSMON CFG	GTH Quad 226 X1Y8–X1Y11
GTY Quad 125 X0Y4–X0Y7	CMAC X0Y0	Bank 45 HP I/O	PLL[02:03] CMT MMCM[01]	Bank 65 HP I/O	PLL[18:19] CMT MMCM[09]	CFG	GTH Quad 225 X1Y4–X1Y7
GTY Quad 124 X0Y0–X0Y3	ILKN X0Y0	Bank 44 HP I/O	PLL[00:01] CMT MMCM[00]	Bank 84/94 HR I/O	PLL[16:17] CMT MMCM[08]	PCIe X0Y0 (tandem)	GTH Quad 224 X1Y0–X1Y3

UG583\_c3\_26\_022515

图 6-13：XCVU095，显示 HPIO 列

GTY Quad 133 X0Y36–X0Y39	CMAC X0Y5	Bank 53 HP I/O	PLL[18:19] CMT MMC[09]	Bank 73 HP I/O	PLL[38:39] CMT MMC[19]	PCIe X0Y3	GTH Quad 233 X1Y36–X1Y39
GTY Quad 132 X0Y32–X0Y35	CMAC X0Y4	Bank 52 HP I/O	PLL[16:17] CMT MMC[08]	Bank 72 HP I/O	PLL[36:37] CMT MMC[18]	ILKN X1Y5	GTH Quad 232 X1Y32–X1Y35
GTY Quad 131 X0Y28–X0Y31	ILKN X0Y4	Bank 51 HP I/O	PLL[14:15] CMT MMC[07]	Bank 71 HP I/O	PLL[34:35] CMT MMC[17]	SYSMON CFG	GTH Quad 231 X1Y28–X1Y31
GTY Quad 130 X0Y24–X0Y27	CMAC X0Y3	Bank 50 HP I/O	PLL[12:13] CMT MMC[06]	Bank 70 HP I/O	PLL[32:33] CMT MMC[16]	CFG	GTH Quad 230 X1Y24–X1Y27
GTY Quad 129 X0Y20–X0Y23	ILKN X0Y3	Bank 49 HP I/O	PLL[10:11] CMT MMC[05]	Bank 69 HR I/O	PLL[30:31] CMT MMC[15]	PCIe X0Y2	GTH Quad 229 X1Y20–X1Y23
SLR Crossing							
GTY Quad 128 X0Y16–X0Y19	CMAC X0Y2	Bank 48 HP I/O	PLL[08:09] CMT MMC[04]	Bank 68 HP I/O	PLL[28:29] CMT MMC[14]	PCIe X0Y1	GTH Quad 228 X1Y16–X1Y19
GTY Quad 127 X0Y12–X0Y15	CMAC X0Y1	Bank 47 HP I/O	FLL[06:07] CMT MMC[03]	Bank 67 HP I/O	PLL[26:27] CMT MMC[13]	ILKN X1Y2	GTH Quad 227 X1Y12–X1Y15
GTY Quad 126 X0Y8–X0Y11	ILKN X0Y1	Bank 46 HP I/O	PLL[04:05] CMT MMC[02]	Bank 66 HP I/O	PLL[24:25] CMT MMC[12]	SYSMON CFG	GTH Quad 226 X1Y8–X1Y11
GTY Quad 125 X0Y4–X0Y7	CMAC X0Y0	Bank 45 HP I/O	PLL[02:03] CMT MMC[01]	Bank 65 HP I/O	PLL[22:23] CMT MMC[11]	CFG	GTH Quad 225 X1Y4–X1Y7
GTY Quad 124 X0Y0–X0Y3	ILKN X0Y0	Bank 44 HP I/O	PLL[00:01] CMT MMC[00]	Bank 84/94 HR I/O	PLL[20:21] CMT MMC[10]	PCIe X0Y0	GTH Quad 224 X1Y0–X1Y3

UG583\_c3\_27\_022515

图 6-14: XCVU125, 显示 HPIO 列

## 10. 系统监控器

每个 I/O bank 均可提供最多 16 对系统监控器差分辅助模拟输入。某些 bank 无权使用全部 16 对模拟输入，因此请谨慎选择 bank 以确保任何必要的系统监控器模拟输入对均可用于器件移植。

请参阅表 6-2 获取相关摘要信息，以了解哪些 UltraScale bank 无权使用全部 16 对差分辅助模拟输入。如未列出特定器件或 bank，则假定此 bank 有权访问全部 16 对模拟输入。

表 6-2：不可用的模拟输入对

封装	系统监控器模拟访问权限受限（bank 编号 <sup>(1)</sup> ）
D1517	XCKU115 (67) XCVU095 (67) XCVU125 (67)
B1760	XCKU115 (53) XCVU095 (51) XCVU125 (53)
B2104	XCKU115 (68) XCVU095 (68) XCVU125 (68) XCVU190 (68)
A2577	XCVU190 (66 <sup>(2)</sup> 和 68)

注释：

- 除非另有说明，否则无权使用下列模拟输入对：0、1、2、3、8、9、10 和 11。
- 无权使用任何模拟输入对。

此外，在每个器件的封装文件中可找到模拟辅助对的访问权限信息。请参阅《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) [参照 9] 中的“封装文件”章节，以获取 UltraScale 器件封装文件的链接。模拟辅助管脚的管脚名称采用 \_ADxP\_ 格式。

## 示例

图 6-15 显示了封装文件的部分内容。红框内的管脚名称部分标明了特定管脚有权访问的模拟辅助对。

Pin	Pin Name	Memory	Byte Group	Bank	I/O Type	Super Logic Region	No-Connect
T11	DXN	NA		NA	NA	NA	NA
N12	VCCADC	NA		NA	NA	NA	NA
N11	GNDADC	NA		NA	NA	NA	NA
T12	DXP	NA		NA	NA	NA	NA
R12	VREFP	NA		NA	NA	NA	NA
P11	VREFN	NA		NA	NA	NA	NA
P12	VP	NA		NA	NA	NA	NA
R11	VN	NA		NA	NA	NA	NA
K7	M0_O	NA		0	CONFIG	NA	NA
H7	M1_O	NA		0	CONFIG	NA	NA
G7	INIT_B_0	NA		0	CONFIG	NA	NA
L7	M2_O	NA		0	CONFIG	NA	NA
Y7	CFGBVS_0	NA		0	CONFIG	NA	NA
J8	PUDC_B_0	NA		0	CONFIG	NA	NA
F7	POR_OVERRIDE	NA		NA	NA	NA	NA
V7	DONE_O	NA		0	CONFIG	NA	NA
M7	PROGRAM_B_0	NA		0	CONFIG	NA	NA
L9	TDO_O	NA		0	CONFIG	NA	NA
N9	TDI_O	NA		0	CONFIG	NA	NA
N7	RDWR_FCS_B_0	NA		0	CONFIG	NA	NA
R7	D02_O	NA		0	CONFIG	NA	NA
U7	D00_MOSI_O	NA		0	CONFIG	NA	NA
P7	D03_O	NA		0	CONFIG	NA	NA
T7	D01_DIN_O	NA		0	CONFIG	NA	NA
P9	TMS_O	NA		0	CONFIG	NA	NA
U9	CCLK_O	NA		0	CONFIG	NA	NA
R9	TCK_O	NA		0	CONFIG	NA	NA
AA7	VBAT	NA		NA	NA	NA	NA
U20	IO_L24P_T3U_N10_44	3U		44	HP	NA	NA
U21	IO_L24N_T3U_N11_44	3U		44	HP	NA	NA
V21	IO_T3U_N12_44	3U		44	HP	NA	NA
P20	IO_L23P_T3U_N8_44	3U		44	HP	NA	NA
R20	IO_L23N_T3U_N9_44	3U		44	HP	NA	NA
T19	IO_L22P_T3U_N6_DBC[AD0P]44	3U		44	HP	NA	NA
T20	IO_L22N_T3U_N7_DBC[AD0N]44	3U		44	HP	NA	NA
P18	IO_L21P_T3L_N4[AD8P]44	3L		44	HP	NA	NA
P19	IO_L21N_T3L_N5[AD8N]44	3L		44	HP	NA	NA
P21	IO_L20P_T3L_N2[AD1P]44	3L		44	HP	NA	NA
R21	IO_L20N_T3L_N3[AD1N]44	3L		44	HP	NA	NA

UG583\_c3\_28\_022515

图 6-15：封装文件，其中显示了模拟对访问权限信息

## 11. 去耦电容

如果移植到新器件时预计设计不会发生更改，则可使用相同的去耦方案。如需添加逻辑，则赛灵思建议使用适用于新器件和设计的去耦方案。请参阅[第 1 章“UltraScale 器件中的配电系统”](#)以了解各 UltraScale 器件的去耦电容准则。

## 示例

图 6-16 显示了 Kintex UltraScale 去耦建议的部分内容。如果在 XCKU040-FFVA1156 中开始设计，并移植到 XCKU060-FFVA1156，预计移植中无需设计变更的情况下，请使用 XCKU040 电容器方案。如需在移植到 XCKU060 器件添加更多逻辑，那么赛灵思建议使用对应该器件的去耦方案。

Table 1-1: Kintex UltraScale Devices Power Supply Decoupling Capacitors

	$V_{CCINT}/V_{CCINT\_IO}$ <sup>(1)</sup>			$V_{CCBRAM}$		$V_{CCAUX}/V_{CCAUX\_IO}$ <sup>(2)</sup>		HRIO <sup>(3)</sup>	HPIO <sup>(3)</sup>
	680 $\mu F$ <sup>(4)</sup>	100 $\mu F$	4.7 $\mu F$	47 $\mu F$	4.7 $\mu F$	47 $\mu F$	4.7 $\mu F$	47 $\mu F$	47 $\mu F$
XCKU035-FBVA676	1	1	3	1	1	1	3	1	1
XCKU035-FBVA900	1	1	3	1	1	2	4	1	1
XCKU035-FFVA1156	1	1	3	1	1	2	5	1	1
XCKU040-FBVA676	1	2	3	1	1	1	3	1	1
XCKU040-FBVA900	1	2	3	1	1	2	4	1	1
XCKU040-FFVA1156	1	2	3	1	1	2	5	1	1
XCKU060-FFVA1156	1	2	4	1	1	2	5	1	1
XCKU060-FFVA1517	1	2	4	1	1	3	6	1	1

UG583\_c3\_28\_022615

图 6-16: Kintex 去耦电容建议的部分内容

## 12. PCI Express 移植

不同器件间的 PCI Express 通道分配可能不同。此外，不同器件间用作为串联启动的块也可能不同。请参阅《UltraScale 架构 Gen3 Integrated Block for PCI Express LogiCORE IP 产品指南》(PG156) [参照 14] 的“核管脚分配”附录，以查看 UltraScale 器件核管脚分配。

## 13. Integrated 100G Ethernet 移植

100G Ethernet IP 核是专用块，可提供 100 Gb/s MAC 和 PCS 逻辑功能。此块包含多个专用位置，位于不同器件上的不同点。此外还包含用于将这些专用块连接到特定收发器位置的具体规则，这些规则可能影响移植到其它器件的行为。此外，CAUI-4 和可切换 CAUI-10/CAUI-4 模式需 GTY 收发器。

请参阅《UltraScale 架构 Integrated Block for 100G Ethernet LogiCORE IP 产品指南》(PG165) [参照 15] 以获取有关 100G Ethernet 核的设计的更全面的指南，特别关注“收发器选择规则”部分。

## 14. Interlaken 移植

赛灵思 UltraScale 架构 Integrated IP Core for Interlaken 核是高度可配置的集成 IP 核，可支持高达 150 Gb/s 的总体带宽，用于协议逻辑传输。该核可按高达 12.5 Gb/s 的 GTH 收发器定义速率和高达 25.78125 Gb/s 的 GTY 收发器定义速率连接至串行收发器。此块包含多个专用位置，位于不同器件上的不同点。此外还包含用于将这些专用块连接到特定收发器位置的具体规则，这些规则可能影响移植到其它器件的行为。请参阅《UltraScale 架构 Integrated IP Core for Interlaken LogiCORE IP 产品指南》(PG169) [参照 16] 以获取有关在 UltraScale 器件中正确生成和验证 Interlaken 接口的更全面的指南，特别关注“收发器接口”部分。

## 15. 功耗和热性能注意事项

跨器件移植（尤其是从较小的器件移植到较大的器件）可能导致功耗上升，从而要求改善热性能管理和供电。请参阅 Xilinx Power Estimator (XPE) 工具，选择所涉及的最大器件，以便预测功耗和热性能要求。



**建议：**赛灵思建议在对封装进行热建模期间使用 Delphi 散热模型。赛灵思不建议使用双电阻器模型进行热仿真和设计，因为此模型精度和准确性较低。如需实现比 Delphi 模型更高的准确性，赛灵思可根据请求提供封装的详细模型表示法。但这可能导致占用的仿真存储器增加且运行时间延长。该热模型的用户需考量热传感器准确性、散热接口材质参数以及热解决方案的制造偏差。此外，制造偏差示例还包括来自风扇的气流容限、有关热导管和蒸汽腔的性能容限以及将翅片连接到散热器基座和表面平整度的制造偏差。

## 16. 跨封装的管脚飞行时间

即使从设计和 PCB 角度来看，2 个器件之间为引脚兼容，但跨不同器件的 FPGA 封装飞行时间仍会不同，因此需纳入考量。在 I/O 管脚分配阶段或综合后，可在 Vivado 工具内的“封装管脚 (Package Pins)”选项卡下找到飞行时间信息。考虑管脚飞行时间差异的理想策略是在移植到新器件时，对印刷电路板进行去歪斜。如果此方法不可行，则建议在最终器件上进行印刷电路板布局时，围绕长期系统性能最大化来予以考量。使用初始器件时，系统性能可能必须降速。最后方案是选择飞行时间范围的中间点并根据可作为折衷选择的值来进行板上布线，但此方法可能无法实现系统性能最大化。

### 示例

在 I/O 管脚分配阶段期间以及在综合后均可通过 Vivado 工具内的“Package Pins”选项卡来获取管脚飞行时间信息（图 6-17）。

	Available	Prohibit	Ports	I/O Std	Dir	Vcco	Bank	Bank Type	Byte Group	Type	Diff Pair	Clock	Voltage	Config	XADC	Gigabit I/O	MCB	PCI	Min Trace Dly (ps)	Max Trace Dly (ps)	IOB Alias	Site Type
↳ I/O Bank 45 (59)	41					1.200		High Perf...														
↳ I/O Bank 46 (60)	12								1.200	High Perf...												
↳ BANK46_BYTE0	1																					
↳ AY33	1									I/O ... HIGH_P...	BANK46_BYTE0	Multi...								167.44	169.13 IOB_X0...	IO_TOU_...
↳ BA33	0			c0_ddr4_dm_dbi[...]	In/Out	1.200	I/O ... HIGH_P...	BANK46_BYTE0	User...	L1P									177.1	178.84 IOB_X0...	IO_L1P...	
↳ BA34	0			c0_ddr4_dq[29]	In/Out	1.200	I/O ... HIGH_P...	BANK46_BYTE0	Multi...	L3P								190.33	192.24 IOB_X0...	IO_L3P...		
↳ BA35	0			c0_ddr4_dq[25]	In/Out	1.200	I/O ... HIGH_P...	BANK46_BYTE0	Multi...	L3N								189.67	191.58 IOB_X0...	IO_L3N...		
↳ BB34	0			c0_ddr4_pai	SS...	1.200	I/O ... HIGH_P...	BANK46_BYTE0	User...	L1N								186.89	188.76 IOB_X0...	IO_L1N...		
↳ BB35	0			c0_ddr4_dq[27]	In/Out	1.200	I/O ... HIGH_P...	BANK46_BYTE0	Multi...	L5P								184.2	186.05 IOB_X0...	IO_L5P...		
↳ BC33	0			c0_ddr4_dq[31]	In/Out	1.200	I/O ... HIGH_P...	BANK46_BYTE0	User...	L2P								169.18	170.88 IOB_X0...	IO_L2P...		
↳ BC34	0			c0_ddr4_dq[3]	DI...	1.200	I/O ... HIGH_P...	BANK46_BYTE0	Multi...	L4P								171.91	173.64 IOB_X0...	IO_L4P...		
↳ BC36	0			c0_ddr4_dq[28]	In/Out	1.200	I/O ... HIGH_P...	BANK46_BYTE0	Multi...	L5N								192.65	194.58 IOB_X0...	IO_L5N...		
↳ BD33	0			c0_ddr4_dq[30]	In/Out	1.200	I/O ... HIGH_P...	BANK46_BYTE0	User...	L2N								177.29	179.08 IOB_X0...	IO_L2N...		
↳ BD34	0			c0_ddr4_dq[3]	DI...	1.200	I/O ... HIGH_P...	BANK46_BYTE0	Multi...	L4N								180.81	182.63 IOB_X0...	IO_L4N...		
↳ BD35	0			c0_ddr4_dq[24]	In/Out	1.200	I/O ... HIGH_P...	BANK46_BYTE0	Multi...	L6P								191.15	193.07 IOB_X0...	IO_L6P...		
↳ BD36	0			c0_ddr4_dq[26]	In/Out	1.200	I/O ... HIGH_P...	BANK46_BYTE0	Multi...	L6N								191	192.91 IOB_X0...	IO_L6N...		
↳ BANK46_BYTE1	7																					
↳ BANK46_BYTE2	0																					
↳ AR34	0																					
↳ AR35	0																					
										I/O ... HIGH_P...	VCCO									VCCO_46	VCC_46	
										VDD	VREF											

图 6-17：Vivado 示例，其中显示了管脚飞行时间

# UltraScale 与 UltraScale+ FPGA 之间的移植

在不同 UltraScale FPGA 之间进行设计移植时，需特别注意 2 个 FPGA 之间的潜在差异。第 6 章“UltraScale 器件与封装之间的移植”包含有关在 UltraScale 系列产品中的常规移植注意事项的全面指南。本节旨在解决有关从 UltraScale 移植到 UltraScale+ FPGA 以及从 UltraScale+ 移植到 UltraScale+ FPGA 的其它具体注意事项。

UltraScale+ FPGA 的低层架构与 UltraScale FPGA 相同，即包含 CLB、布线资源、DSP slice 和块 RAM 的大部分 IP 都相同。《UltraScale 架构和产品简介》(DS890) [参照 19] 包含 UltraScale 和 UltraScale+ FPGA 中提供的可用资源的完整列表。

以下检查表和后续章节包含为实现最佳 UltraScale FPGA 移植结果而需复查的必要项。

---

## UltraScale+ FPGA 移植检查表

请复查第 6 章“UltraScale 器件与封装之间的移植”以了解在 UltraScale 系列产品内进行移植的常规注意事项。

1. 请复查从 UltraScale 移植到 UltraScale+ FPGA 的封装移植表。
2. 请复查 UltraScale 与 UltraScale+ FPGA 之间的电源电压差异。
3. 请复查  $V_{CCINT\_IO}$  连接要求。
4. 请复查 UltraScale 与 UltraScale+ FPGA 之间的 I/O 差异。
5. 请复查 UltraScale 与 UltraScale+ FPGA 之间的收发器差异。
6. 请复查 UltraScale+ FPGA 的相关配置详细信息。
7. 请复查存储器接口 PCB 布线准则。
8. 请复查 UltraScale+ FPGA 的新 SMBAlert 信号。
9. 请复查 UltraScale 与 UltraScale+ FPGA 之间的块 RAM/UltraRAM 容量。
10. 请复查 UltraScale+ FPGA 相关的 ESD 要求。
11. 请复查 UltraScale 与 UltraScale+ FPGA 之间的移植示例。
12. 请复查各移植场景，以便更好地了解移植过程。

### 1. 从 UltraScale 到 UltraScale+ FPGA 的封装移植

表 7-1 中列出的封装支持从 UltraScale 到 UltraScale+ FPGA 的移植。

表 7-1：UltraScale 到 UltraScale+ FPGA 移植路径（按封装）

封装	UltraScale FPGA	UltraScale+ FPGA
A676	KU035 KU040	KU3P <sup>(1)</sup> KU5P <sup>(1)</sup>
A1156	KU025 KU035 KU040 KU060 KU095	KU11P <sup>(2)</sup> KU15P <sup>(2)</sup>
C1517	KU095 <sup>(3)</sup> VU065 <sup>(3)</sup> VU080 <sup>(3)</sup> VU095 <sup>(3)</sup>	VU3P <sup>(3)</sup>
F1924	KU085 <sup>(3)</sup> KU115	VU11P <sup>(4)</sup>
A2104	KU115 VU080 <sup>(3)</sup> VU095 <sup>(3)</sup> VU125	VU5P VU7P VU9P VU13P
B2104	KU095 <sup>(3)</sup> KU115 VU080 <sup>(3)</sup> VU095 <sup>(3)</sup> VU125 VU160 VU190	VU5P VU7P VU9P VU11P VU13P
C2104	VU095 <sup>(3)</sup> VU125 VU160 VU190	VU5P VU7P VU9P VU11P VU13P
A2577	VU190	VU9P VU11P VU13P

注释：

1. A676 封装中的 KU3P 和 KU5P GTY 收发器速率上限为 16.3 Gb/s。
2. A1156 封装中的 KU11P 和 KU15P GTY 收发器速率上限为 16.3 Gb/s。
3. 单片器件，或 SSI 器件。
4. F1924 封装中的 VU11P GTY 收发器速率上限为 16.3 Gb/s。

## 2. UltraScale 与 UltraScale+ FPGA 之间的电压差异

请特别关注  $V_{CCINT}$ 、 $V_{CCINT\_IO}$ 、 $V_{CCBRAM}$  之间的电压差异以及 UltraScale 与 UltraScale+ FPGA 之间的 AVCC（表 7-2）。

表 7-2：UltraScale 与 UltraScale+ FPGA 之间的电压差异

电压	UltraScale FPGA (V)	UltraScale+ FPGA (V)
AVCC	1.0	0.9
AVTT	1.2	1.2
AVCCPLL	1.8	1.8
VCCINT (-3)	1.0	0.90
VCCINT (-2 和 -1)	0.95	0.85
VCCINT (-2L)	不适用	0.72、0.85
VCCINT (-1L)	0.90	0.72、0.85
VCCINT_IO (-3)	1.0	0.90
VCCINT_IO (-2 和 -1)	0.95	0.85
VCCINT_IO (-2L)	不适用	0.85
VCCINT_IO (-1L)	0.90	0.85
VCCBRAM (-3)	1.0	0.90
VCCBRAM (-2 和 -1)	0.95	0.85
VCCBRAM (-2L)	不适用	0.85
VCCBRAM (-1L)	0.95	0.85
VCCAUX	1.80	1.80
VCCAUX_IO	1.80	1.80

### 3. 电源电压电平和 VCCINT\_IO 连接

对于 -3、-2 或 -1 速度等级下的 UltraScale 和 UltraScale+ FPGA，需将 VCCINT\_IO 连接到 VCCINT。但对于 UltraScale+ -2L 和 -1L FPGA，需将 VCCINT\_IO 连接到 VCCBRAM。

为支持此要求，建议将表 7-3 中显示的系统与图 7-1 相结合使用。使用 -2L 或 -1L 器件时，通过相应调整 VCCBRAM 内电层大小以支持 VCCINT\_IO 的额外负载。

使用 -2 或 -1 器件时，可将 VCCINT、VCCINT\_IO 和 VCCBRAM 连接在一起，因为其相应的电压相同。使用 -2L 或 -1L 器件时，如果 VCCINT 始终以 0.85V 运行，则可将 VCCINT、VCCINT\_IO 和 VCCBRAM 连接在一起。

表 7-3：VCCINT/VCCINT\_IO/VCCBRAM 连接矩阵

	-3、-2、-1	-2L、-1L
VCCINT_IO 连接	VCCINT	VCCBRAM
VCCINT 传感线连接	与 VCCINT_IO 取平均值	与 VCCINT 建立单一连接
VCCBRAM 传感线连接	与 VCCBRAM 建立单一连接	与 VCCINT_IO 取平均值
R1	不焊接	0Ω 0603
R2	0Ω 0603	不焊接
R3	10Ω 0603	10Ω 0603
R4	10Ω 0603	不焊接
R5	不焊接	10Ω 0603
R6	10Ω 0603	10Ω 0603

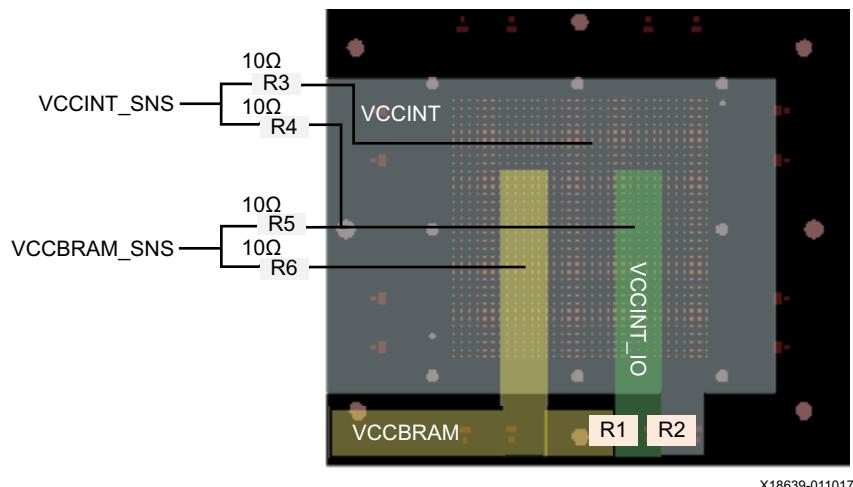


图 7-1：用于支持 VCCINT/VCCINT\_IO/VCCBRAM 连接矩阵的参考布局

## 4. 从 UltraScale 移植到 UltraScale+ FPGA 的 I/O 变更

UltraScale FPGA 中的 HPIO bank 变为 Virtex UltraScale+ FPGA 中的 HPIO bank



**重要提示：**在多种情况下可能出现在任一 UltraScale 器件中有 2 个“半”bank 对应于另一 UltraScale+ 器件中的 1 个“全”bank，反之亦然。从含“半”bank 的器件移植到含“全”bank 的器件时，请确保“半”bank 的所有  $V_{CCO}$  管脚的电压电平都与对应“全”bank 的目标电压相匹配。请参阅表 7-4 以及《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》(UG575) [参照 9] 中的“I/O bank 移植”表，以判定此情况是否适用于您的目标移植路径。

表 7-4：对应的半 bank 和全 bank

封装	半 bank	全 bank
A676	XCKU3P XCKU5P (bank 84 或 85)	XCKU035 XCKU040 (bank 64)
A1156	XCKU11P (bank 88 或 89)	XCKU025 XCKU035 XCKU040 XCKU060 XCKU095 (bank 64)
A1156	XCKU15P (bank 90 或 91)	XCKU025 XCKU035 XCKU040 XCKU060 XCKU095 (bank 64)
C1517	XCVU065 XCVU080 XCVU095 (bank 84 或 94)	XCVU3P (bank 64)

表 7-4：对应的半 bank 和全 bank（续）

封装	半 bank	全 bank
A2104	XCKU115 XCVU080 XCVU095 XCVU125 (bank 84 或 94)	XCVU5P XCVU7P XCVU9P XCVU13P (bank 64)
B2104	XCKU095 XCKU115 XCVU080 XCVU095 XCVU125 XCVU160 XCVU190 (bank 84 或 94)	XCVU5P XCVU7P XCVU9P XCVU11P XCVU13P (bank 64)
C2104	XCVU095 XCVU125 (bank 84 或 94)	XCVU5P XCVU7P XCVU9P XCVU11P XCVU13P (bank 64)

## 5. 从 UltraScale 移植到 UltraScale+ FPGA 的收发器变更

- UltraScale FPGA 中的所有 GTH 收发器都会在 Virtex UltraScale+ FPGA 中变为 GTY 收发器。
- 从 UltraScale 移植到 UltraScale+ FPGA 时，部分 GTY 收发器电压电平会发生更改，如表 7-2 中所述。
- 虽然仍可保留引脚兼容性，但相较于相同封装内的较小的裸片，部分器件可能包含 1 个或多个额外 RCAL 和 RREF 引脚。如果计划在相同封装内从较小的裸片移植到较大的裸片，赛灵思建议保留额外 RCAL 和 RREF 管脚以供后续使用，因为这些管脚均为较小器件中的 NC 管脚。
- F1924 封装的特殊例外：
  - VU11P-FLVF1924 GTY 收发器运行速率上限为 16.3 Gb/s，相比之下标准 GTY 收发器速度为 32.75 Gb/s。
  - UltraScale KU085/115 F1924 器件中有 2 个接地管脚（G9 和 G10）后续将变为 UltraScale+ VU11P F1924 器件中的 RREF (G9) 和 RCAL (G10) 管脚。在此情况下建议的设计方法是使用图 7-2 和表 7-5 中所示的原理图。使用 KU085/115 F1924 时，G9 和 G10 管脚均接地，且电阻器可保持处于未焊接状态。如果使用 VU11P 时存在 RCAL 和 RREF 管脚，则 2 个电阻器都应进行焊接。

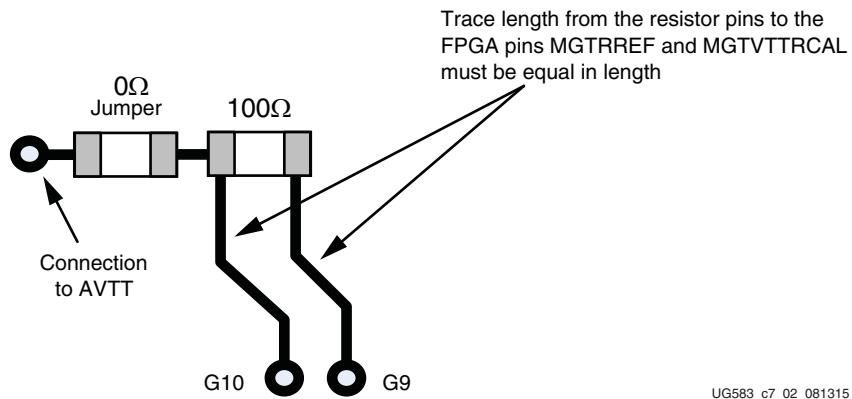


图 7-2：保留 RCAL 和 RREF 管脚以供后续 F1924 使用的原理图

表 7-5：保留 RCAL 和 RREF 管脚以供 F1924 使用

F1924	G9	G10	电阻器
KU085/KU115	GND	GND	不焊接
VU11P	MGTRREF	MGTAVTTRCAL	焊接

## 6. 配置

- UltraScale+ FPGA 不支持在 bank 0 上以 3.3V 运行：
  - 请参阅《将 7 系列 FPGA 高性能 I/O bank 与 2.5V 和 3.3V I/O 标准相连》(XAPP520) [参照 11] 以了解在高性能 I/O bank 与 2.5V/3.3V I/O 标准之间进行电平转换的方法。
- UltraScale+ FPGA 不支持主 SelectMAP 模式或主串行配置模式：
  - 可使用含外部源时钟的从 SelectMAP 代替主 SelectMAP。
  - 可使用 SPIx1 或从串行（含外部源时钟）代替主串行模式。

## 7. 存储器接口 PCB 布线

表 7-6 显示了存在单列组件移植的情况下，UltraScale+ FPGA 期望的 PL DDR4 SDRAM 性能。

表 7-6：存在单列组件的情况下，UltraScale+ FPGA 中的 DDR4 SDRAM 性能

UltraScale FPGA 中的 DDR4 数据率	$V_{CCINT} = 0.9V$	UltraScale+ $V_{CCINT} = 0.85V$	UltraScale+ $V_{CCINT} = 0.72V$
-3 (最大值 = 2667 Mb/s)	-3 (最大值 = 2667 Mb/s)	-2I、-2E、-2LE (最大值 = 2667 Mb/s)	-1E、-1I (最大值 = 2400 Mb/s)
-3 @ 2400	2400	2400	2133
-3 @ 2133	2133	2133	2133
-3 @ 1866	1866	1866	1866
-2E、-2I @ 2400	2400	2400	2133
-2E、-2I @ 2133	2133	2133	2133
-2E、-2I @ 1866	1866	1866	1866
-1、-1I @ 2133	2133	2133	2133

表 7-6：存在单列组件的情况下，UltraScale+ FPGA 中的 DDR4 SDRAM 性能（续）

UltraScale FPGA 中的 DDR4 数据 率	$V_{CCINT} = 0.9V$	UltraScale+ $V_{CCINT} = 0.85V$	UltraScale+ $V_{CCINT} = 0.72V$
	-3 (最大值 = 2667 Mb/s)	-2I、-2E、-2LE (最大值 = 2667 Mb/s)	-1E、-1I (最大值 = 2400 Mb/s)
-1、-1I @ 1866	1866	1866	1866

注释：

- 该表仅适用于 PL 存储器接口。鉴于其速度等级，PS 接口不会出现性能下降。

## 8. 系统监控器 I2C

SMBAlarm 管脚是 UltraScale+ FPGA 中的新管脚。如果在从 UltraScale 移植到 UltraScale+ FPGA 的过程中使用此功能，则必须保留对应的 UltraScale FPGA 管脚。

## 9. 块 RAM

通常随着器件密度增大，块 RAM 的数量也随之增加。但在某些 UltraScale+ 器件中，块 RAM 的数量可能小于密度较小的器件的数量。原因在于 UltraScale+ FPGA 和 MPSoC 中添加了 UltraRAM 资源。对于 UltraRAM，总比特计数相比于 UltraScale FPGA 有所增加，但可用块 RAM 数量则有所减少。赛灵思建议将存储器编码为使用块 RAM 和 UltraRAM 中都存在的功能，并使用以 UltraRAM 为目标的相应工具。

## 10. ESD 要求

UltraScale FPGA ESD 处理要求是根据 JEDEC JEP155（可通过 [www.jedec.org/standards-documents/docs/jep-155](http://www.jedec.org/standards-documents/docs/jep-155) 获取）以及行业理事会 ESD-CDM 目标等级 JEP157（可通过 [www.esdindustrycouncil.org/ic/en](http://www.esdindustrycouncil.org/ic/en) 获取）来制定的。

## 11. PCI Express

部分 UltraScale+ FPGA 仅包含 1 个 PCI 复位管脚 (PERSTN0)。PERSTN1 不可用。

## 12. 移植示例

本章节描述了 2 个用于区分复杂性的示例，以便演示评估移植的过程。

### 示例 1：在 C2104 封装内从 VU125 移植到 VU7P

图 7-3 显示了在 C2104 封装内使用 VU125 的设计的裸片级布局规划。此设计包含多个存储器接口、1 个 100G 以太网接口、1 个 Interlaken 12x12.5G 接口以及 1 个串联 PCIe 接口。每个接口所使用的 bank 按颜色区分显示，并包含相关的块位置。

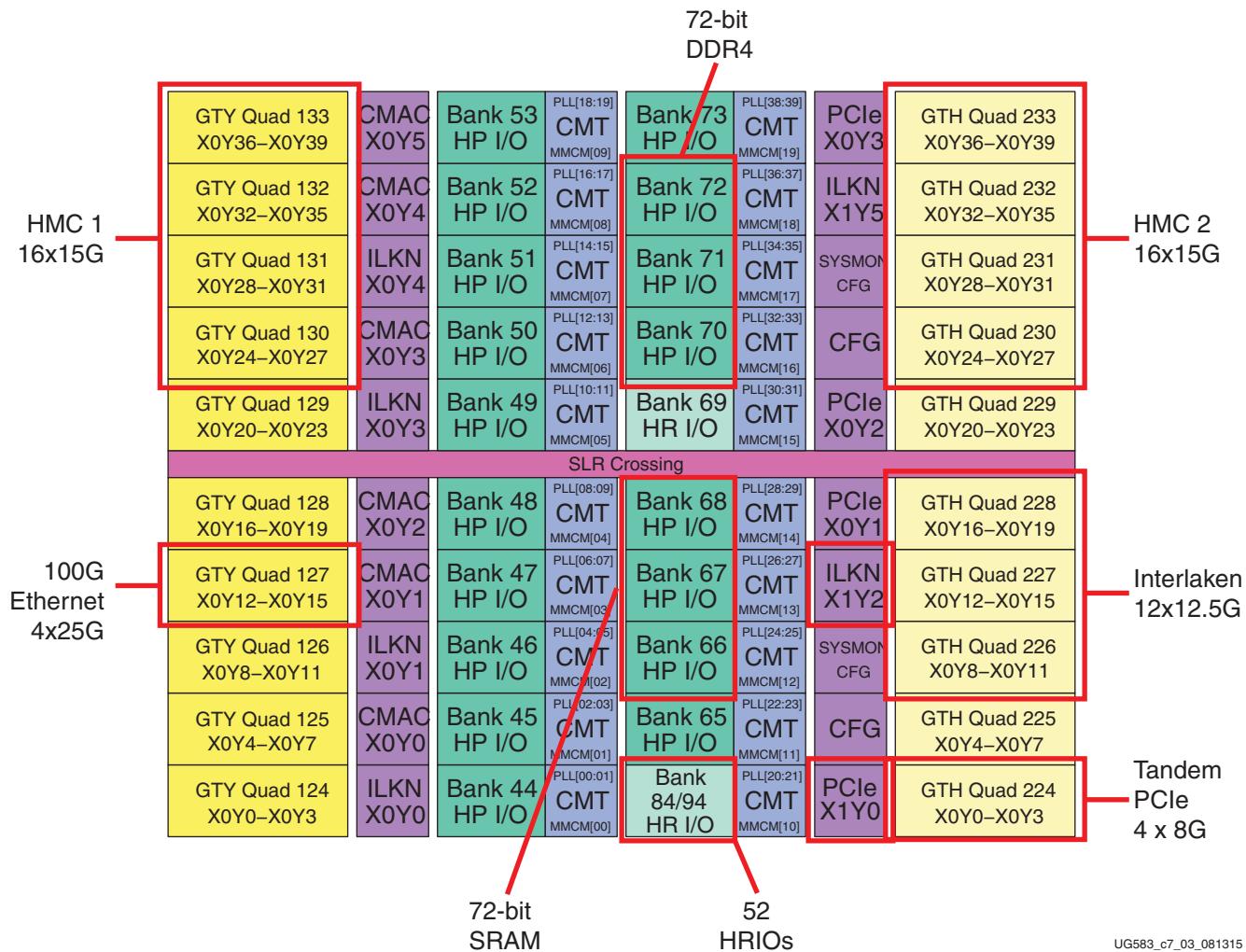


图 7-3: VU125 设计布局规划示例

UG583\_c7\_03\_081315

图 7-4 显示了如何将各接口移植到同样位于 C2104 封装内的 VU7P 器件。所有接口均可且必须映射到相同 bank（以及对应的管脚），并遵循所有块位置要求（例如，MAC、Interlaken 和 PCIe bank），且其各自在裸片上的相应位置需在同一行内。此特定示例较为简单，有 2 个器件布局规划非常接近于相等，两者具有相似的 bank 位置和块位置，且都位于相似的 SLR 边界处。

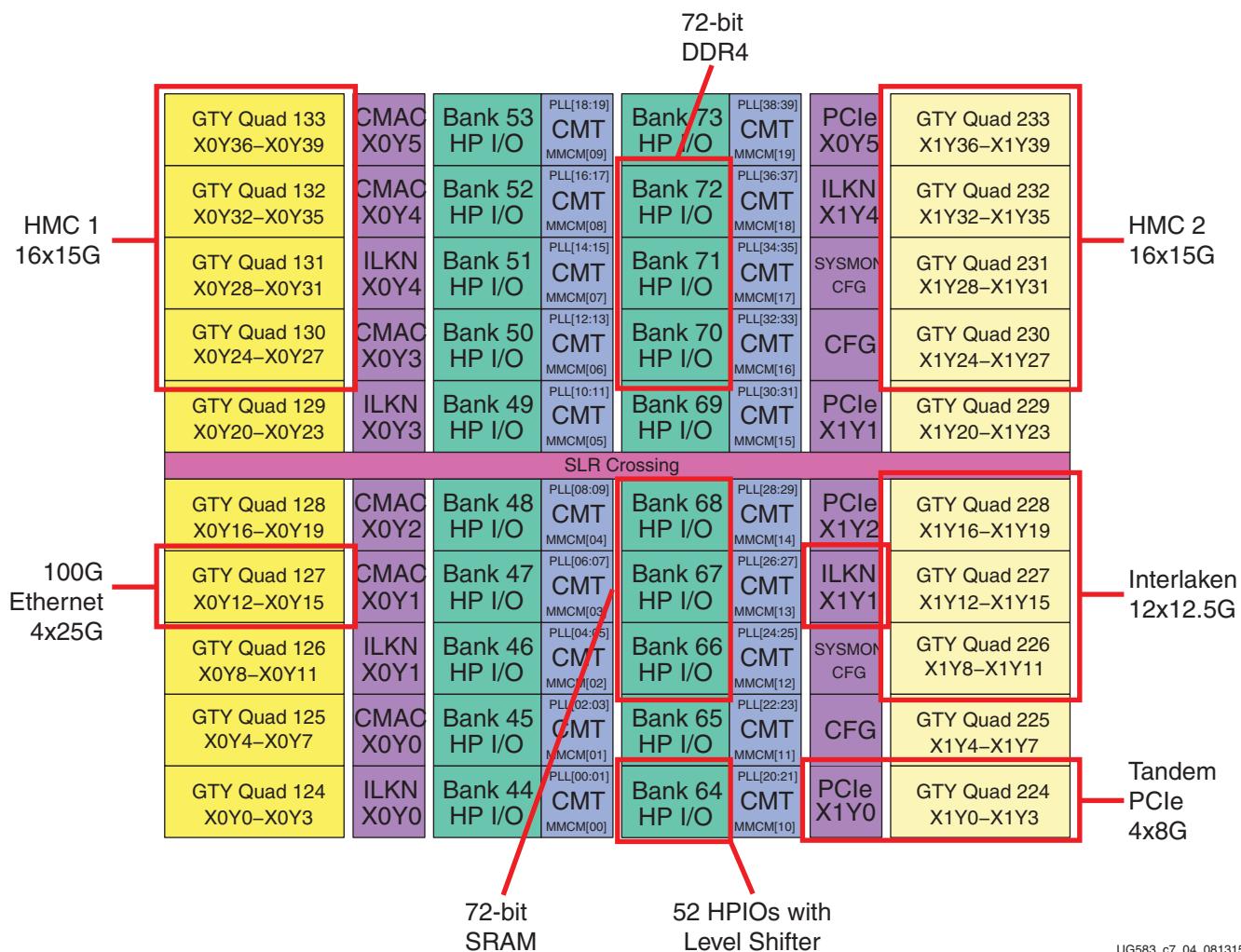


图 7-4：从 VU125 移植的 VU7P 布局规划

UG583\_c7\_04\_081315

## 示例 2：在 A2577 封装内从 VU190 移植到 VU13P

图 7-5 显示了对应在 A2577 封装内使用 VU190 器件的设计的裸片级布局规划。此设计与“[示例 1：在 C2104 封装内从 VU125 移植到 VU7P](#)”中的设计的相似之处在于，两者都包含多个存储器接口、1 个 100G 以太网接口、1 个 Interlaken 12x12.5G 接口以及 1 个串联 PCIe 接口。

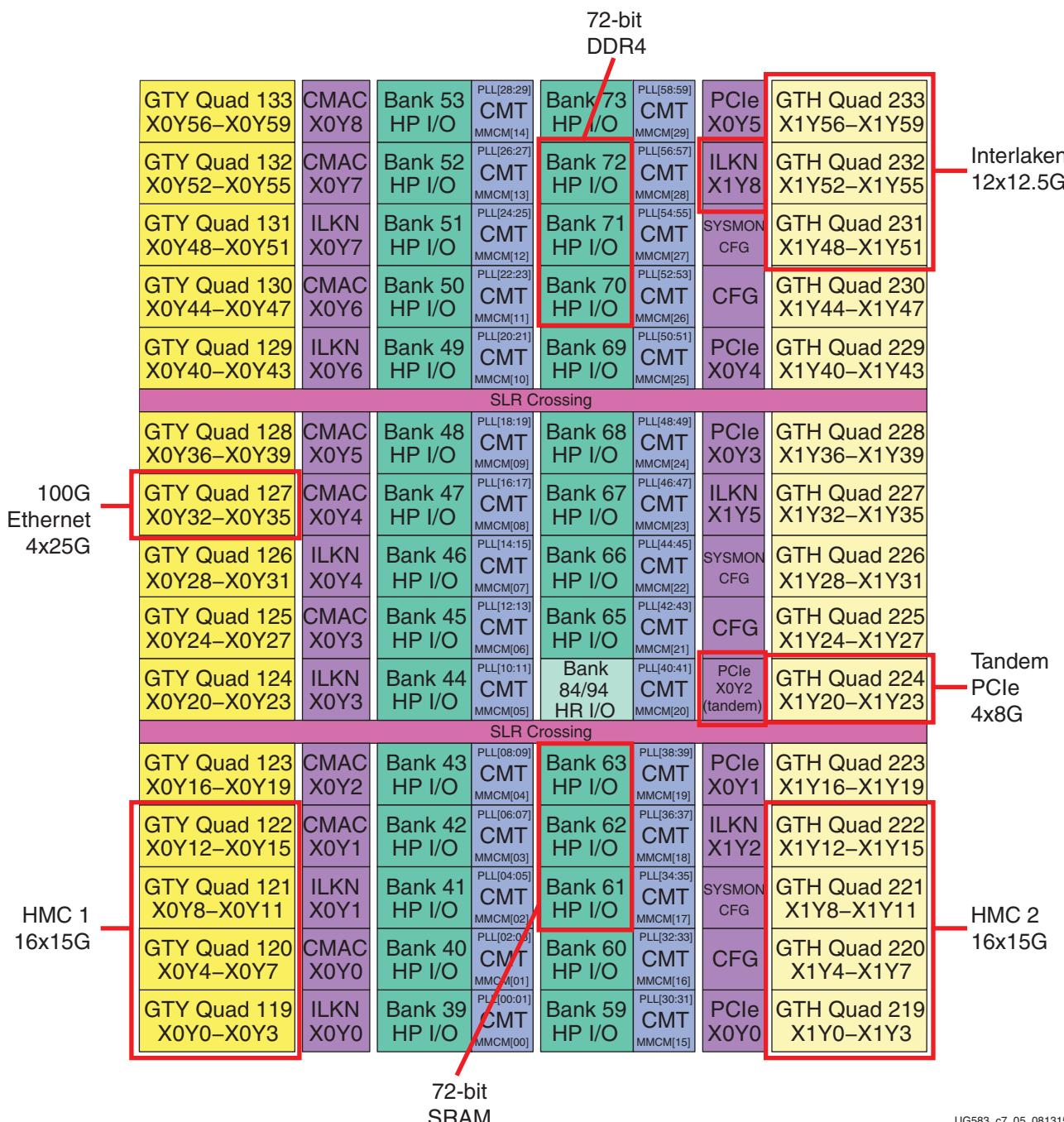


图 7-5：VU190 设计布局规划示例

UG583\_c7\_05\_081315

图 7-6 显示了如何将此设计移植到 VU13P 器件。由于器件布局规划间存在显著差异，请为各接口谨慎选择 bank。器件布局规划方面的主要区别在于 VU13P 中可用的 bank 更多、SLR 跨不同 bank 边界、2 个器件中的块位置相对其相邻 bank 的位置存在显著差异。

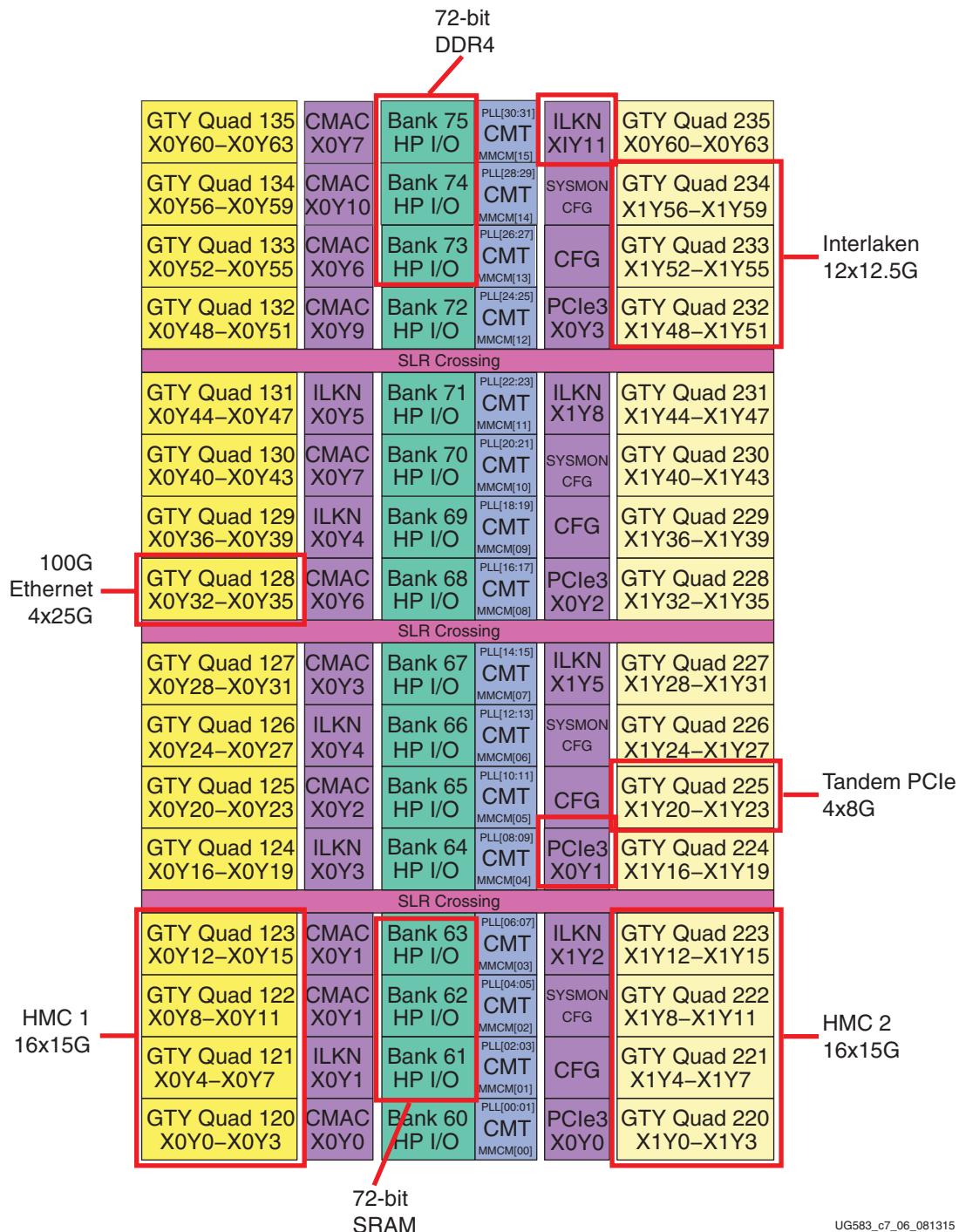


图 7-6：从 VU190 移植的 VU13P 布局规划

## 13. 移植场景

在表 7-1 中所示的 80 条路径中，并非所有移植场景的复杂程度都相同。表 7-7 简单概括了各种不同复杂程度的场景。

不同于移植到由高度为 4 行的 SLR 组成的器件，从 Kintex 或 Virtex UltraScale FPGA 可以无缝移植到内置了高度为 5 行的 SLR 的 Virtex UltraScale+ FPGA。但只要客户预先制定计划，考量成功完成转换所需的附加注意事项，即可支持所有移植路径。

从 VU095 移植到 V3P（两者均为单片器件）的过程就是一个简单且无缝移植场景的例证。同样，从 KU115、VU125、VU160 或 VU190 移植到 VU5P、VU7P 或 VU9P 也能无缝直接完成，因为这些器件都基于高度为 5 行的 SLR。移植到 VU11P 或 VU13P 则需考量一些附加注意事项，因为这些器件所含 SLR 的高度均为 4 行。

表 7-7：UltraScale 器件移植场景

封装	UltraScale FPGA	UltraScale+ FPGA	封装移植	注
C1517	KU095、VU065、VU080 和 VU095	VU3P	受支持	由于所有器件均为单片器件，因此可以轻松无缝移植。
F1924	KU085、KU115	VU11P	受支持	由于移植路径为从具有 2 SLR（5 行）的器件移植到具有 3 SLR（4 行）的器件，因此需额外谨慎对待。
A2104	VU080、VU095	VU5P、VU7P、VU9P 和 VU13P	受支持	由于移植路径为从单片器件移植到 SLR 器件，因此需额外谨慎对待。
A2104	KU115、VU125	VU5P、VU7P 和 VU9P	受支持	由于所有器件均由高度为 5 行的 SLR 组成，因此可以轻松无缝移植。
A2104	KU115、VU125	VU13P	受支持	由于移植路径为从具有 2 SLR（5 行）的器件移植到具有 3 SLR（4 行）的器件，因此需额外谨慎对待。
B2104	KU095、VU080 和 VU095	VU5P、VU7P、VU9P、VU11P 和 VU13P	受支持	由于移植路径为从单片器件移植到 SLR 器件，因此需额外谨慎对待。
B2104	KU115、VU125、VU160 和 VU190	VU5P、VU7P 和 VU9P	受支持	由于所有器件均由高度为 5 行的 SLR 组成，因此可以轻松无缝移植。
B2104	KU115、VU125、VU160 和 VU190	VU11P、VU13P	受支持	由于移植路径为从具有 2/3 SLR（5 行）的器件移植到具有 3/4 SLR（4 行）的器件，因此需额外谨慎对待。
C2104	VU095	VU5P、VU7P、VU9P、VU11P 和 VU13P	受支持	由于移植路径为从单片器件移植到 SLR 器件，因此需额外谨慎对待。
C2104	VU125、VU160 和 VU190	VU5P、VU7P 和 VU9P	受支持	由于所有器件均由高度为 5 行的 SLR 组成，因此可以轻松无缝移植。
C2104	VU125、VU160 和 VU190	VU11P 和 VU13P	受支持	由于移植路径为从具有 2/3 SLR（5 行）的器件移植到具有 3/4 SLR（4 行）的器件，因此需额外谨慎对待。
A2577	VU190	VU9P	受支持	由于所有器件均由高度为 3 到 5 行的 SLR 组成，因此可以轻松无缝移植。
A2577	VU190	VU11P 和 VU13P	受支持	由于移植路径为从具有 3 SLR（5 行）的器件移植到具有 3/4 SLR（4 行）的器件，因此需额外谨慎对待。

# Zynq UltraScale+ MPSoC 与封装之间的移植

在不同 Zynq UltraScale+ MPSoC 之间进行设计移植时，需特别注意 2 个器件之间的潜在差异。请参阅以下检查表以及后续章节以获取其中每一项的详细说明。

## Zynq UltraScale+ MPSoC 移植检查表

1. 复查引脚兼容性，包括已绑定的 bank 和未绑定的 bank。
2. 复查 I/O 和收发器四通道编号和位置。
3. 复查不同速度等级和温度等级之间的功耗差异。
4. 复查 -3 速度等级移植。
5. 复查视频编解码单元 (VCU) 移植。
6. 复查图形处理单元 (GPU) 移植。
7. 复查去耦电容要求。
8. 复查 PCI Express® 要求和块位置。
9. 复查 Integrated 100G Ethernet 要求和块位置。
10. 复查 Interlaken 要求和块位置。
11. 复查电源和散热要求。
12. 复查器件之间的管脚飞行时间差。

### 1. 封装之间的引脚兼容性

含相同占板面积标识码的任意 2 个封装即为引脚兼容。占板面积标识码由封装指示符代码和 BGA 管脚计数信息组成（如 B1156 或 C1156）。如果客户要求保证给定封装内任意 2 个器件之间的管脚兼容性，则应选择引脚兼容封装以确保这些器件的设计具备电气兼容性。如果从较大的器件移植到相同封装内的较小的器件，则部分 I/O 和收发器 bank 及其管脚可能在较小的器件上处于未绑定状态或者不存在。请参阅《Zynq UltraScale+ MPSoC 封装和管脚产品规格用户指南》(UG1075) [参照 26] 中的“引脚兼容性”表、“I/O bank 移植”表和“收发器四通道移植”表，以判定哪些 Zynq UltraScale+ MPSoC 器件具备引脚兼容性以及扩展至哪些器件可能导致各 bank 变为未绑定或不存在。

#### 示例 1

图 8-1 显示了来自《Zynq UltraScale+ MPSoC 封装和管脚产品规格用户指南》(UG1075) 的“引脚兼容性”表的片段。XZCU2CG/EG SBVA484 器件与 XCZU3CG/EG A484 器件间具有引脚兼容性，但 XCZU2CG/EG A484 器件与任何 A625 器件都不兼容，即使共享相同裸片也是如此。

Table 1-5: Footprint Compatibility

Packages	Footprint Compatible Devices	
SBVA484	XCZU2CG and XCZU2EG	XCZU3CG and XCZU3EG
SFVA625	XCZU2CG and XCZU2EG	XCZU3CG and XCZU3EG

X18640-011017

图 8-1：引脚兼容性示例

## 示例 2

图 8-2 显示了来自《Zynq UltraScale+ MPSoC 封装和管脚产品规格用户指南》(UG1075) 的“I/O bank 移植”表的片段。I/O bank 72、73 和 74 存在于 XCZU17 和 ZCU19 B1517 器件上，但这些 I/O bank 在 XCZU11 B1517 器件上不可用。

Table 1-6: I/O Bank Migration (HD Banks are Shaded) (Cont'd)

Package	Device	Package to Device I/O Mapping <sup>(1)</sup>																					Unbonded I/O Banks				
		A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	Y	Z	
FFVB1517	XCZU11			65	64	66									88	89	90			71	70	69	68	67		91	
	XCZU17			65	64	66									90	91	93	74	73	72	71	70	69	68	67		94
	XCZU19			65	64	66									90	91	93	74	73	72	71	70	69	68	67		94

X18641-011017

图 8-2：B1517 器件内的 I/O bank 移植示例

## 示例 3

图 8-3 显示了来自《Zynq UltraScale+ MPSoC 封装和管脚产品规格用户指南》(UG1075) 的“收发器四通道移植”表的片段。收发器四通道 230 和 231 存在于 XCZU11 F1517 器件上，但这些收发器四通道在 XCZU7 F1517 器件上不可用。

Power Supply Group	RS	RN	
FFVF1517	XCZU7	223 224 225 226 227 228	
	XCZU11	224 225 226 227 228 229 230 231	131, 130, 129, 128, 127

X18642-022218

图 8-3：F1517 器件内的收发器四通道移植示例

## 2. I/O bank 和收发器四通道编号

封装中具备引脚兼容性的部分 Zynq UltraScale+ MPSoC 可能包含与相同封装管脚关联的不同 I/O bank 和收发器四通道编号。根据这些 bank 在裸片上的物理位置，部分多 bank 接口（例如，存储器或收发器）可能在不同器件间移植时受到影响。如果 bank 编号变更还涉及此 bank 从裸片上某一列移植到另一列，那么要求 2 个 bank 位于同一列内的多 bank 接口可能会受到影响。

请参阅《Zynq UltraScale+ MPSoC 封装和管脚产品规格用户指南》(UG1075) [参照 26] 中的“I/O bank 移植”表和“收发器四通道移植”表，以查看 bank 和收发器四通道编号差异。要交叉引用裸片上的 bank 位置，请参阅《Zynq UltraScale+ MPSoC 封装和管脚产品规格用户指南》(UG1075) 的“裸片级 bank 编号概述”部分。

以下示例显示了下列情况下的成功移植路径：在 2 个不同器件间，两边的 bank 编号发生变更且这些 bank 位于不同列中。

## 示例：提前规划 bank 编号和位置变更

如图 8-4 所示，XCZU11-FFVB1517 器件中的 bank 88、89 和 90 连接到的管脚与 XCZU17-FFVB1517 和 XCZU19-FFVB1517 器件中的 bank 90、91 和 93 连接到的管脚相同。图 8-5 和图 8-6 显示了每个特定器件上的各 bank 的布局方式。对于 XCZU11，bank 采用连续排列，可支持含 3 个 bank 且要求这些 bank 连续的单个接口。但连接到 XCZU17 和 XCZU19 上的相同管脚的 3 个 bank 则不连续，这可能导致时差，并且对于要求 bank 连续的接口（例如，存储器接口），则可能引发设计规则问题。

Table 1-6: I/O Bank Migration (HD Banks are Shaded) (Cont'd)

Package	Device	Package to Device I/O Mapping <sup>(1)</sup>																										Unbonded I/O Banks
		A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	
FFVB1517	XCZU11	65	64	66											88	89	90				71	70	69	68	67			91
	XCZU17	65	64	66											90	91	93	74	73	72	71	70	69	68	67			94
	XCZU19	65	64	66											90	91	93	74	73	72	71	70	69	68	67			94

X18643-081518

图 8-4: B1517 的 I/O bank 移植

GTY 四通道 131 X0Y16-X0Y19	PCIE4 X0Y4	HP I/O Bank 71 T	HD I/O Bank 91	GTH 四通道 231 X0Y28-X0Y31
GTY 四通道 130 X0Y12-X0Y15	CMAC X0Y1	HP I/O Bank 70 U	HD I/O Bank 90 P	GTH 四通道 230 X0Y24-X0Y27
GTY 四通道 129 X0Y8-X0Y11 (RCAL)	ILKN X0Y0	HP I/O Bank 69 V	HD I/O Bank 89 O	GTH 四通道 229 X0Y20-X0Y23
GTY 四通道 128 X0Y4-X0Y7	PCIE4 X0Y2	HP I/O Bank 68 W	HD I/O Bank 88 N	GTH 四通道 228 X0Y16-X0Y19
GTY 四通道 127 X0Y0-X0Y3	CMAC X0Y0	HP I/O Bank 67 X	PCIE4 X1Y1	GTH 四通道 227 X0Y12-X0Y15 D [R]
PS GTR 505	PS MIO 502	HP I/O Bank 66 E	SYSMON 配置	GTH 四通道 226 X0Y8-X0Y11 C [R] (RCAL)
PS DDR 504	PS MIO 501	HP I/O Bank 65 C	配置	GTH 四通道 225 X0Y4-X0Y7 B [R]
PS CONFIG 503	PS MIO 500	HP I/O Bank 64 D	PCIE4 X1Y0 (串联)	GTH 四通道 224 X0Y0-X0Y3 A [R]

X18627-010917

图 8-5: B1517 的 XCZU11 bank 位置

GTY 四通道 134 X0Y28-X0Y31	CMAC X0Y3	HP I/O Bank 74 Q	HD I/O Bank 94	GTH 四通道 234 X0Y40-X0Y43
GTY 四通道 133 X0Y24-X0Y27	ILKN X0Y3	HP I/O Bank 73 R	HD I/O Bank 93 P	GTH 四通道 233 X0Y36-X0Y39
GTY 四通道 132 X0Y20-X0Y23	CMAC X0Y2	HP I/O Bank 72 S	ILKN X1Y2	GTH 四通道 232 X0Y32-X0Y35
GTY 四通道 131 X0Y16-X0Y19	PCIE4 X0Y4	HP I/O Bank 71 T	HD I/O Bank 91 O	GTH 四通道 231 X0Y28-X0Y31
GTY 四通道 130 X0Y12-X0Y15	CMAC X0Y1	HP I/O Bank 70 U	HD I/O Bank 90 N	GTH 四通道 230 X0Y24-X0Y27
GTY 四通道 129 X0Y8-X0Y11 (RCAL)	ILKN X0Y0	HP I/O Bank 69 V	ILKN X1Y1	GTH 四通道 229 X0Y20-X0Y23
GTY 四通道 128 X0Y4-X0Y7	PCIE4 X0Y2	HP I/O Bank 68 W	PCIE4 X1Y3	GTH 四通道 228 X0Y16-X0Y19
GTY 四通道 127 X0Y0-X0Y3	CMAC X0Y0	HP I/O Bank 67 X	PCIE4 X1Y1	GTH 四通道 227 X0Y12-X0Y15 D [R]
PS GTR 505	PS MIO 502	HP I/O Bank 66 E	SYSMON 配置	GTH 四通道 226 X0Y8-X0Y11 C [R] (RCAL)
PS DDR 504	PS MIO 501	HP I/O Bank 65 C	配置	GTH 四通道 225 X0Y4-X0Y7 B [R]
PS CONFIG 503	PS MIO 500	HP I/O Bank 64 D	PCIE4 X1Y0 (串联)	GTH 四通道 224 X0Y0-X0Y3 A [R]

X18628-010917

图 8-6: B1517 的 ZCU17 和 XCZU19 bank 位置

### 3. 不同速度等级和温度等级的功耗差异

对于可编程逻辑 (PL)，VCCINT、VCCINT\_IO 和 VCCBRAM 在不同速度等级和温度等级下可能存在不同的电压限制，如表 8-1 所示。对于处理器系统 (PS)，VCC\_PSINTFP、VCC\_PSINTLP、VCC\_PSINTFP\_DDR 和 VPS\_MGTRAVCC 在不同速度等级和温度等级下可能存在不同的电压限制，如表 8-2 所示。

表 8-1：MPSoC PL 电压矩阵（按速度等级/温度等级）

速度等级/ 温度等级	VCCINT (V)	VCCINT_IO (V)	VCCBRAM (V)
-1E	0.85	0.85	0.85
-2E	0.85	0.85	0.85
-2LE	0.72、0.85	0.85	0.85
-3E	0.90	0.90	0.90
-1I	0.85	0.85	0.85
-1LI	0.72、0.85	0.85	0.85
-2I	0.85	0.85	0.85

注释：

- VCCINT\_IO 必须连接至 VCCBRAM。

表 8-2：MPSoC PS 电压矩阵（按速度等级/温度等级）

速度等级/温度等级	VCC_PSINTFP (V)	VCC_PSINTLP (V)	VCC_PSINTFP_DDR (V)	VPS_MGTRAVCC(V)
-1E	0.85	0.85	0.85	0.85
-2LE	0.85	0.85	0.85	0.85
-3E	0.90	0.90	0.90	0.90
-1I	0.85	0.85	0.85	0.85
-1LI	0.85	0.85	0.85	0.85
-2I	0.85	0.85	0.85	0.85

注释：

- VCC\_PSINTFP\_DDR 必须连接至 VCC\_PSINTFP。

### 4. -3 速度移植

CG 器件和 XCZU2EG/XCZU3EG 在 -3 速度等级下不可用。CG 器件只能移植到非 -3 速度等级的 EG 器件或 EV 器件，以维持相似的性能。同样，EG 和 EV 器件只能移植到非 -3 速度等级的 CG 器件，以维持相似的性能。EG 器件到 EV 器件之间可移植到任意速度等级，EV 到 EG 的移植同样如此。

### 5. VCU 移植

VCU 仅限在 EV 器件下才可用。EV 器件具有多个 VCCINT\_VCU 电源管脚，对应于 CG 和 EG 器件上的接地管脚。如果从 CG 或 EG 移植到 EV 器件，那么不使用 VCU 的情况下，对应的管脚 (VCCINT\_VCU) 应保持接地。



**重要提示：**仅存在从 EV 器件移植到 CG/EG 器件的可行移植路径。要从 CG/EG 器件移植到 EV 器件，则需对 PCB 进行大幅修改，以添加对应 VCCINT\_VCU 的调节器。

## 示例：启用从 EV 到 CG/EG 器件的 VCU 移植可用的原理图/PCB 选项

图 8-7 显示了从 EV 器件移植到 CG 或 EG 器件时将 VCCINT\_VCU 接地的连接选项的原理图图示。移植路径将对 VCCINT\_VCU 调节器采用 DNP，并焊接前 2 个 DNP 电阻，以将 VCCINT\_VCU 小平面接地。要接地（针对 CG/EG 器件），请焊接 0 欧姆一侧的电阻。2 个电阻用于最大程度降低电感，并提高电流承载能力。

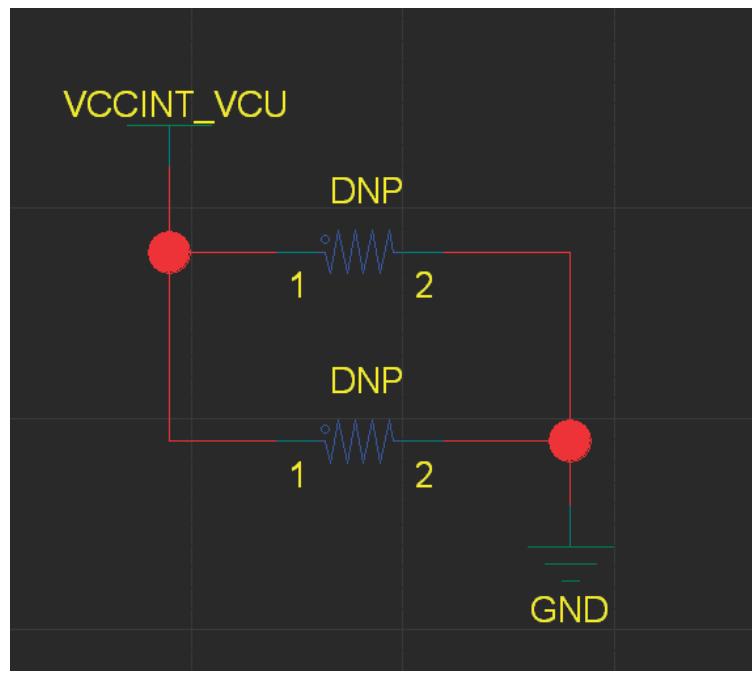


图 8-7：对应 CG/EG/EV 移植的 VCCINT\_VCU 连接选项（原理图）

## 6. GPU 移植

GPU 仅限在 EG 和 EV 器件下才可用。如果要从 EG 或 EV 器件移植到 CG 器件，则不应使用 GPU。

## 7. 去耦电容

如果移植到新器件时预计设计不会发生更改，则可使用相同的去耦方案。如需添加逻辑，则赛灵思建议使用适用于新器件和设计的去耦方案。请参阅表 1-9 以了解各 Zynq UltraScale+ MPSoC 的去耦电容准则。

## 8. PCI Express 移植

不同器件间的 PCI Express 通道分配可能不同。此外，不同器件间用作为串联启动的块也可能不同。请参阅《UltraScale+ 器件 Integrated Block for PCI Express LogiCORE IP 产品指南》(PG213) [参照 27] 中的“GT 位置”附录，以查看 GT 位置。

## 9. Integrated 100G Ethernet 移植

100G Ethernet IP 核是专用块，可提供 100 Gb/s MAC 和 PCS 逻辑功能。此块包含多个专用位置，位于不同器件上的不同点。此外还包含用于将这些专用块连接到特定收发器位置的具体规则，这些规则可能影响移植到其它器件的行为。此外，CAUI-4 和可切换 CAUI-10/CAUI-4 模式需 GTY 收发器。

请参阅《UltraScale+ 器件 Integrated 100G Ethernet Subsystem 产品指南》(PG203) [参照 28] 以获取有关 100G Ethernet 核的设计的更全面的指南，特别关注“收发器选择规则”部分。

## 10. Interlaken 移植

赛灵思 UltraScale 架构 Integrated IP Core for Interlaken 核是高度可配置的集成 IP 核，可支持高达 150 Gb/s 的总体带宽，用于协议逻辑传输。该核可按高达 12.5 Gb/s 的 GTH 收发器定义速率和高达 25.78125 Gb/s 的 GTY 收发器定义速率连接至串行收发器。此块包含多个专用位置，位于不同器件上的不同点。此外还包含用于将这些专用块连接到特定收发器位置的具体规则，这些规则可能影响移植到其它器件的行为。请参阅《Interlaken 150G LogiCORE IP 产品指南》(PG212) [参照 29] 以获取有关正确生成和验证 Interlaken 接口的更全面的指南。

## 11. 功耗和热性能注意事项

跨器件移植（尤其是从较小的器件移植到较大的器件）可能导致功耗上升，从而要求改善热性能管理和供电。请参阅 Xilinx Power Estimator (XPE) 工具，选择所涉及的最大器件，以便预测功耗和热性能要求。



**建议：**赛灵思建议在对封装进行热建模期间使用 Delphi 散热模型。Delphi 散热模型包含有关散热接口材质参数以及热解决方案的制造偏差的注意事项。制造偏差示例包括来自风扇的气流容限、有关热导管和蒸汽腔的性能容限以及将翅片连接到散热器基座和表面平整度的制造偏差。如需获取有关热处理注意事项的更多信息，请参阅《Zynq UltraScale+ MPSoC 封装和管脚产品规格用户指南》(UG1075) [参照 26] 中的“热管理策略”章节。

## 12. 跨封装的管脚飞行时间

即使从设计和 PCB 角度来看，2 个器件之间为引脚兼容，但跨不同器件的 FPGA 封装飞行时间仍会不同，因此需纳入考量。在 I/O 管脚分配阶段或综合后，可在 Vivado® 工具内找到飞行时间信息。考虑管脚飞行时间差异的理想策略是在移植到新器件时，对印刷电路板进行去歪斜。如果此方法不可行，赛灵思建议在最终器件上进行印刷电路板布局时，围绕长期系统性能最大化来予以考量。使用初始器件时，系统性能可能必须降速。最后方案是选择飞行时间范围的中间点并根据可作为折衷选择的值来进行板上布线，但此方法可能无法实现系统性能最大化。在 I/O 管脚分配阶段期间以及在综合后均可通过 Vivado 工具内的“封装管脚 (Package Pins)”选项卡来获取管脚飞行时间信息。

### 示例 1：在 I/O 管脚分配期间获取管脚飞行时间

打开 Vivado 工具并遵循下列步骤以创建 I/O 管脚分配工程：

1. 双击“Create New Project”，然后单击“Next”。
2. 选择工程名称和位置，然后单击“Next”。
3. 指定“I/O Planning Project”，然后单击“Next”。
4. 单击“Do not import I/O ports at this time”，然后单击“Next”。
5. 选择需要管脚延迟的器件，然后单击“Next”。
6. 单击“Finish”。
7. 加载工程时，请从“Project Manager”窗格中单击“Export I/O Ports”。
8. 请确保选中“CSV”，选择文件名和位置，然后单击“OK”。

生成的 CSV 文件会在“Min Trace”列和“Max Trace”列下列出所有 I/O 及其关联的管脚延迟。

## 示例 2：在综合后获取管脚飞行时间

完成综合后，请打开已综合的设计（“Synthesis > Open Synthesized Design”），然后单击“Package Pins”选项卡，如图 8-8 所示。在“Min Trace Dly”和“Max Trace Dly”列下可找到管脚延迟。

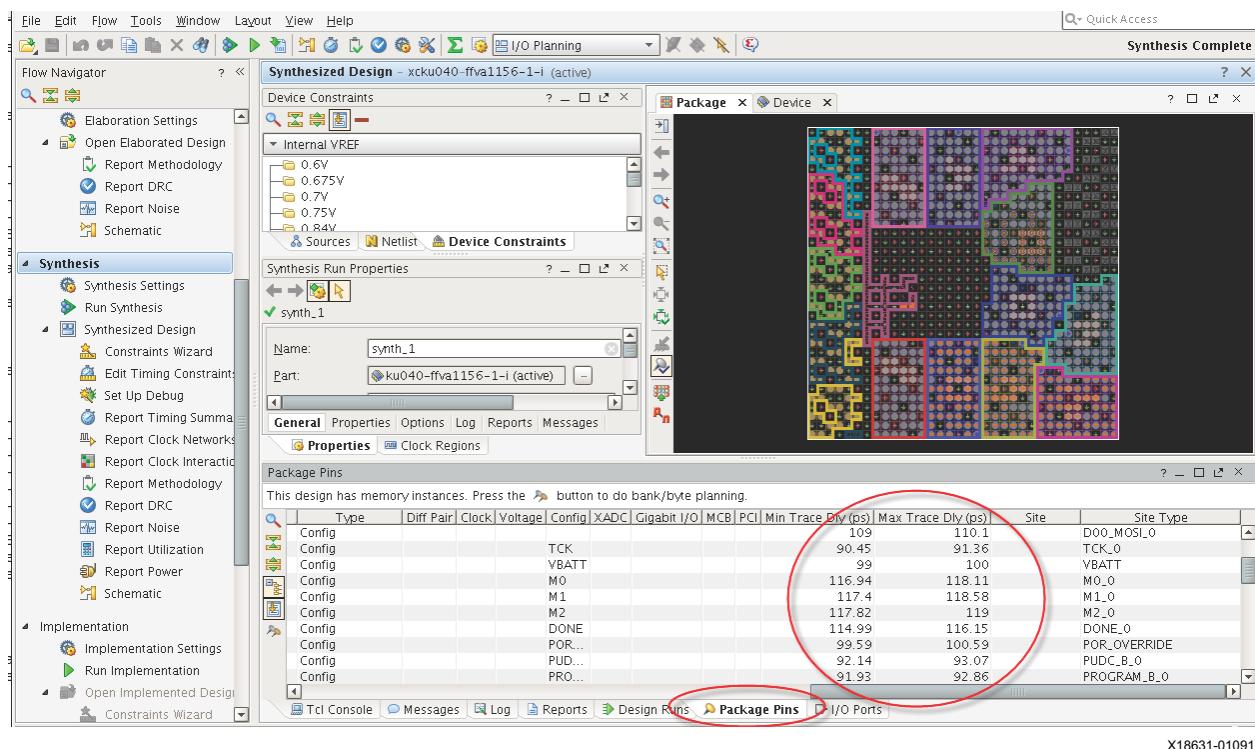


图 8-8：Vivado 工具中显示的管脚延迟

或者，可在“Tcl console”选项卡中使用 Tcl 命令 `write_csv {filename.csv}` 将 I/O 信息导出到包含管脚延迟的文件。

## 将“启用移植”功能用于 DDR4 存储器设计（Vivado 工具 2016.3）

Memory Interface Generator (MIG) 工具中为 DDR4 存储器提供了一项新功能，它支持用户通过指定从初始器件移植到其它器件的地址/命令/控制管脚延迟的差异来完成器件之间的移植准备工作。

要在 MIG 工具中启用 DDR4 移植功能，请选中“Advanced Options”选项卡中的“Enable Migration”复选框，如图 8-9 所示。

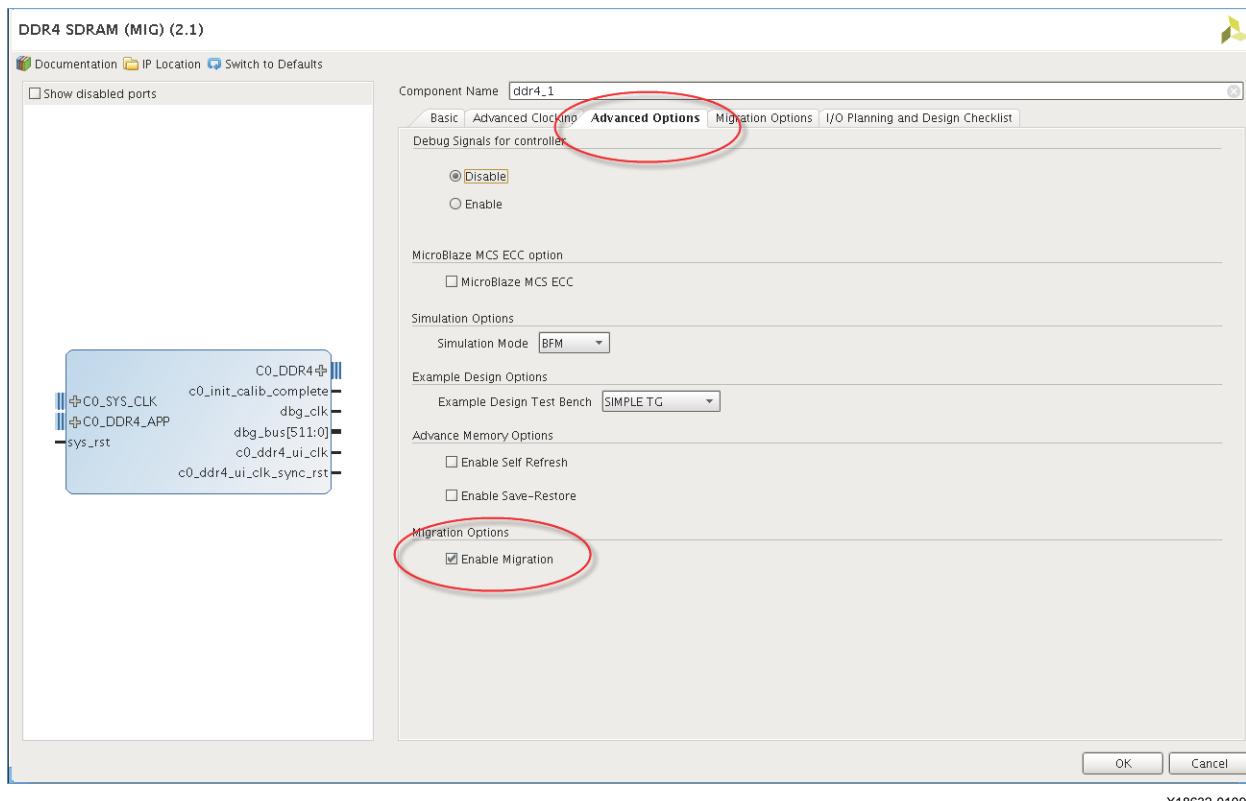


图 8-9：为 DDR4 设计选择“启用移植”功能

启用移植后，请选中“Migration Options”选项卡，并根据《UltraScale 架构 FPGA 存储器 IP 产品指南》(PG150) [参照 13] 中所述输入 2 个器件之间的相关偏差值（图 8-10）。通过“示例 1：在 I/O 管脚分配期间获取管脚飞行时间”或“示例 2：在综合后获取管脚飞行时间”即可找到有关管脚延迟的信息。输入的延迟值应为正值，介于 0 到 75 ps 之间。

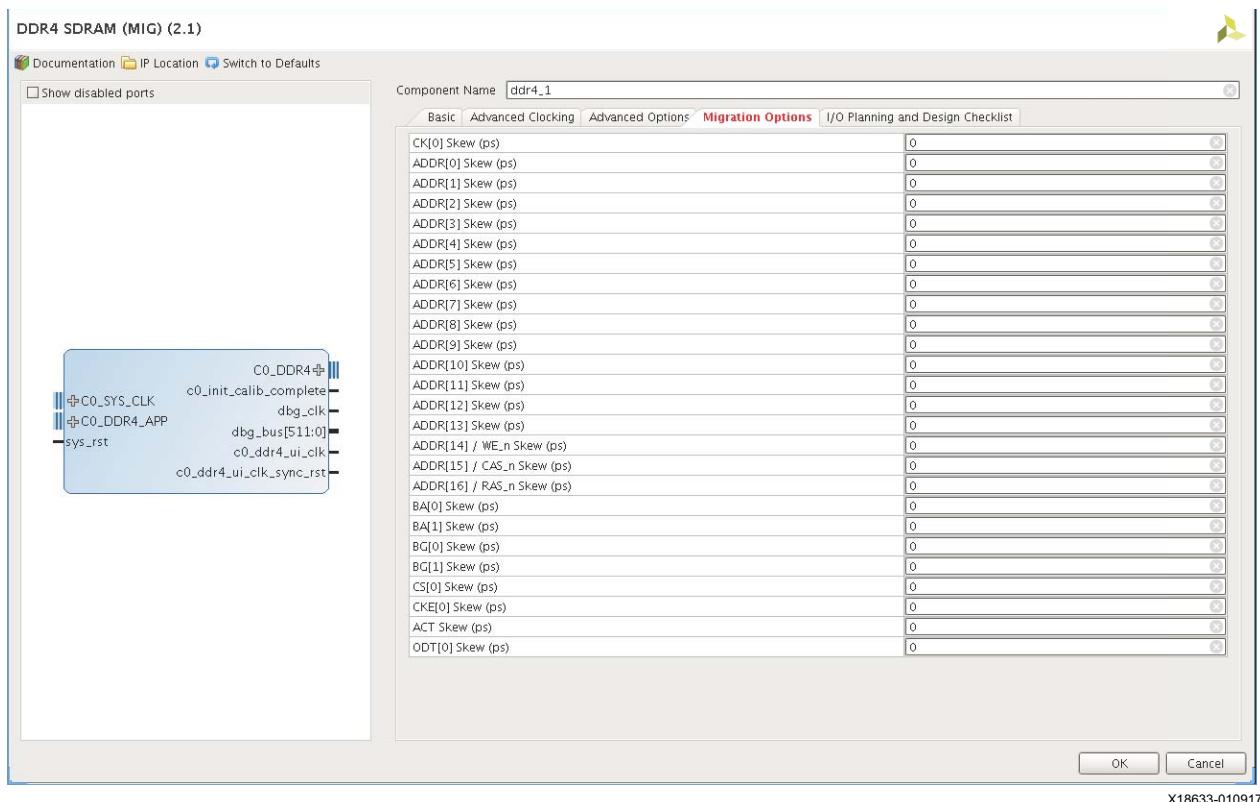


图 8-10：输入移植的管脚延迟差异

# Virtex UltraScale+ VU13P 器件与 VU27P/VU29P 器件之间的移植

VU27P 和 VU29P 器件包含更快的 GTM 收发器（支持 58 Gb/s PAM4 技术）用于替代 VU13P 中的某些 GTY 收发器位置。在 VU27P/VU29P 中添加 GTM tile 将生成影响这些器件之间的 PCB 移植路径的部分关键领域。以下各章节包含为了保障 VU13P 器件与 VU27P/VU29P 器件之间实现最优移植而需要复查的必要项目。

## 电源差异

### 全新 VCCINT\_GT 电压轨

除 VU13P 器件上已存在的电压轨外，VU27P/VU29P 器件增加了 2 条电压轨：VCCINT\_GT\_R 和 VCCINT\_GT\_L（下称为 VCCINT\_GT）。部分现有 VCCINT 球将被转换为全新的 VCCINT\_GT 球。VCCINT\_GT 针对 -3 速度等级的上电电压为 0.9V，针对所有其它速度等级则为 0.85V。VCCINT\_GT 电压轨针对除 -2LE 以外的所有其它速度等级，均可绑定到 VCCINT/VCCINT\_IO/VCCBRAM。对于 -2LE，当 VCCINT 为 0.72V 时，VCCINT\_GT 应连接到 VCCINT\_IO/VCCBRAM，而 VCCINT 则采用单独供电。

表 9-1 显示了有关 VCCINT 和 VCCINT\_IO/VCCBRAM/VCCINT\_GT 的连接矩阵。

表 9-1: VCCINT/VCCINT\_IO/VCCBRAM/VCCINT\_GT 连接矩阵

VCCINT	组合连接	独立连接
0.85V/0.90V	VCCINT VCCINT_IO VCCBRAM VCCINT_GT	-
0.72V (-2LE)	VCCINT_IO VCCBRAM VCCINT_GT	VCCINT

有 3 种移植方案可供考量，以下逐一进行了解释：

- 从 VU13P -1/-2/-3 移植到 VU27P/VU29P -1/-2/-3。

对此方案，无需针对 VCCINT 移植进行任何调整，因为 VCCINT、VCCINT\_IO、VCCBRAM 和 VCCINT\_GT 均保持处于相同电压电平（0.85V 或 0.90V）。

- 从 VU13P -2LE 移植到 VU27P/VU29P -1/-2/-3

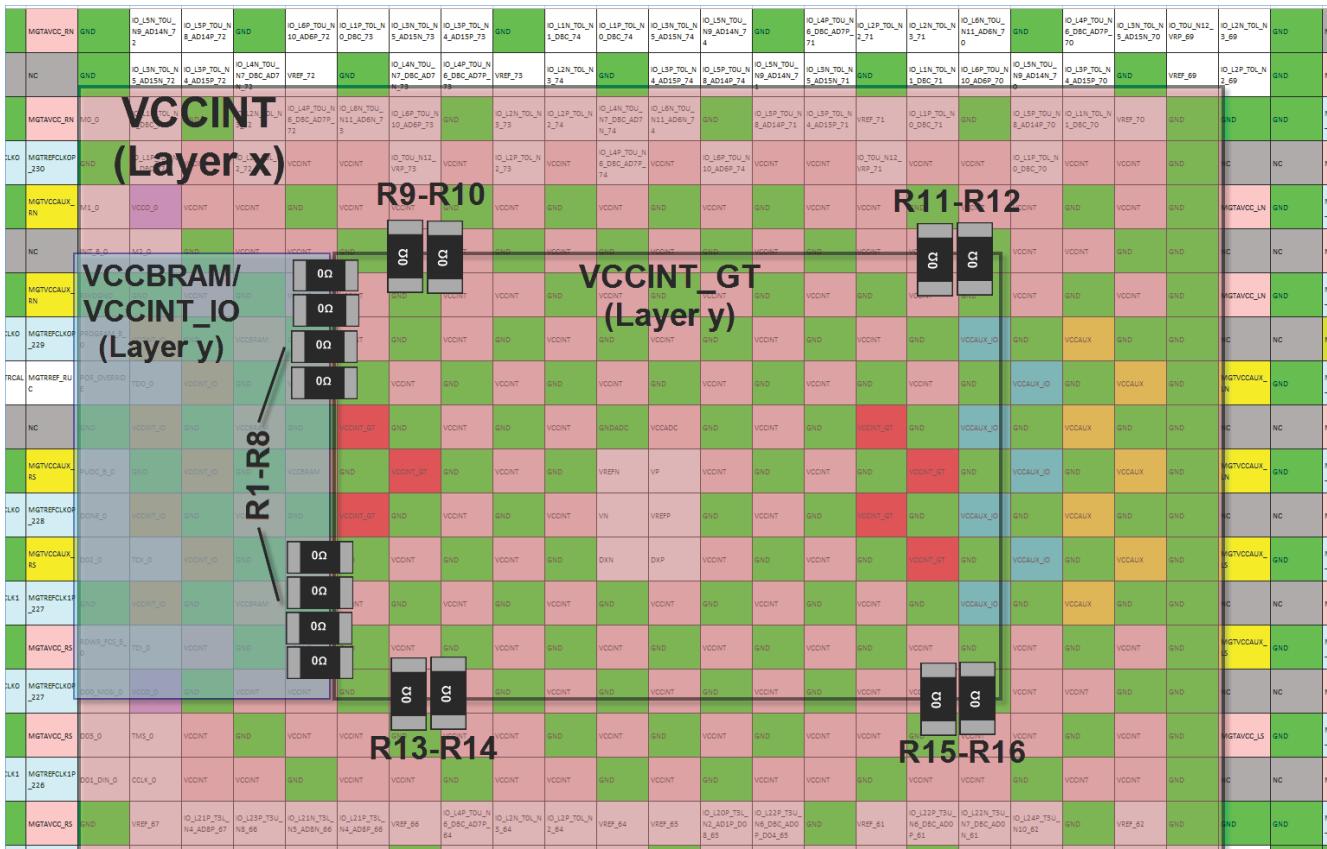
对此方案，需 2 个调节器。其中 1 个调节器用于为 VCCINT 供电，另 1 个调节器则用于为 VCCBRAM/VCCINT\_IO 供电。使用 VU13P -2LE 时，VCCINT 调节器上电电压为 0.72V，而 VCCBRAM/VCCINT\_IO 调节器上电电压则为 0.85V 或 0.90V。移植到 VU27P/VU29P -1/-2/-3 后，VCCINT 上电电压则变为 0.85V 或 0.90V，与 VCCBRAM/VCCINT\_IO 和 VCCINT\_GT 相同。赛灵思建议将 VCCINT 调节器设置为便于通过外部接口（例如，PMBus）或者使用 BOM 变更（例如，电阻器值）从 0.72V 改为 0.85V/0.90V。

### 3. 从 VU13P（任何速度等级）移植到 VU27P/VU29P -2LE

图 9-1 显示了支持此方案的布局示例。其中需要 2 个调节器，1 个用于 VCCINT，另 1 个用于 VCCBRAM/VCCINT\_IO/VCCINT\_GT。使用 VU13P 器件时，应焊接电阻器 R9-R16，而电阻器 R1-R8 则应保留处于未焊接状态。使用 VU27P/VU29P -2LE 器件时，应焊接电阻器 R1-R8 以将 VCCBRAM/VCCINT\_IO 正确连接到 VCCINT\_GT 管脚，而电阻器 R9-R16 则应保留处于未焊接状态，以便 VCCINT 保持处于 0.72V 单独供电的状态。

**注释：**该解决方案需要为 VCCINT、VCCINT\_GT 和 VCCBRAM/VCCINT\_IO 提供单独的 PCB 内电层。

PCB 上所需的 0Ω 电阻器的数量取决于电阻器件的电流耗用量和容量以及布局实现。



X20555-032218

图 9-1：对应于移植到 VU27P/VU29P-2LE 的布局移植示例

## VRM 大小调整和去耦电容数量

### VRM 大小调整

对于非 -2LE 器件，即其中所有 VCCINT、VCCBRAM、VCCINT\_IO 和 VCCINT\_GT 都位于同一内电层上，电压调节器模块 (VRM) 的功耗输出对比 VU13P 器件无需更改。但对于 -2LE 器件，VCCINT\_GT 耗电量将增加至 12W。此额外的 12W 在公用 VCCBRAM/VCCINT\_IO/

VCCINT\_GT 内电层上必须一并纳入考量。同样，VCCINT VRM 耗电量可降低约 12W。

## 去耦电容数量

对于非 -2LE 器件，VU29P 的去耦与 VU13P 完全相同。由于可用资源较少，非 -2LE 中的 VU27P 去耦量略低。但对于 -2LE 器件，VU27P 和 VU29P 所含 VCCINT 去耦电容较少，而所含 VCCBRAM/VCCINT\_IO/VCCINT\_GT 则略多。表 9-2 列出了非 -2LE 器件的去耦电容要求，而表 9-3 则列出了 -2LE 器件的电容器。

对于移植规划，请在其中包含相应数量的焊盘，以满足 VU13P 与 VU27P/VU29P 之间必需的最高去耦数量。这样即可根据 PCB 上实际使用的器件来进行选择性焊接。

表 9-2：非 2LE 器件的去耦

	VCCINT/VCCBRAM/VCCINT_IO/ VCCINT_GT <sup>(1)</sup>			VCCAUX/VCCAUX_IO		HPIO (按 bank) <sup>(2)</sup>
	680 μF	100 μF	10 μF	47 μF	10 μF	47 μF
XCVU13P-D2104	7	11	21	3	5	1
XCVU13P-A2577	7	11	21	2	3	1
XCVU27P-D2104	5	8	14	3	4	1
XCVU27P-A2577	5	8	14	2	3	1
XCVU29P-D2104	7	11	21	3	5	1
XCVU29P-A2577	7	11	21	2	3	1

注释：

- VCCINT\_GT 在 VU13P 器件上不存在。
- 单个 47 μF 电容器可与最多 4 个连接的 HPIO bank 共享。

表 9-3：-2LE 器件的去耦

	VCCINT			VCCBRAM/VCCINT_IO/ VCCINT_GT <sup>(1)</sup>			VCCAUX/VCCAUX_IO		HPIO (按 bank) <sup>(2)</sup>
	680 μF	100 μF	10 μF	680 μF	100 μF	10 μF	47 μF	10 μF	47 μF
XCVU13P-D2104	6	10	19	1	1	2	3	5	1
XCVU13P-A2577	6	10	19	1	1	2	2	3	1
XCVU27P-D2104	4	7	13	1	1	3	3	4	1
XCVU27P-A2577	4	7	13	1	1	3	2	3	1
XCVU29P-D2104	6	10	19	1	1	4	3	5	1
XCVU29P-A2577	6	10	19	1	1	4	2	3	1

注释：

- VCCINT\_GT 在 VU13P 器件上不存在。
- 单个 47 μF 电容器可与最多 4 个连接的 HPIO bank 共享。

# 封装高度和散热设计差异

## 封装高度

在 VU13P 与 VU27P/VU29P 的移植之间，D2104 封装高度不发生改变，因此，移植无需调整设计。

VU13P A2577 可在有盖版本 (FLGA2577) 和无盖版本 (FSGA2577) 内提供。VU27P/VU29P 则只能在无盖版本 (FSGA2577) 内提供。如果计划从 VU13P 移植到 VU27P/VU29P，建议使用无盖版本的 VU13P (FSGA2577)。但如果从有盖版本 VU13P (FLGA2577) 移植到 VU27P/VU29P-FSGA2577，则必须考虑调整以适应不同封装尺寸。图 9-2 显示了 FLGA2577 和 FSGA2577 封装图示。FSGA2577 的封装高度远高于 FLGA2577。

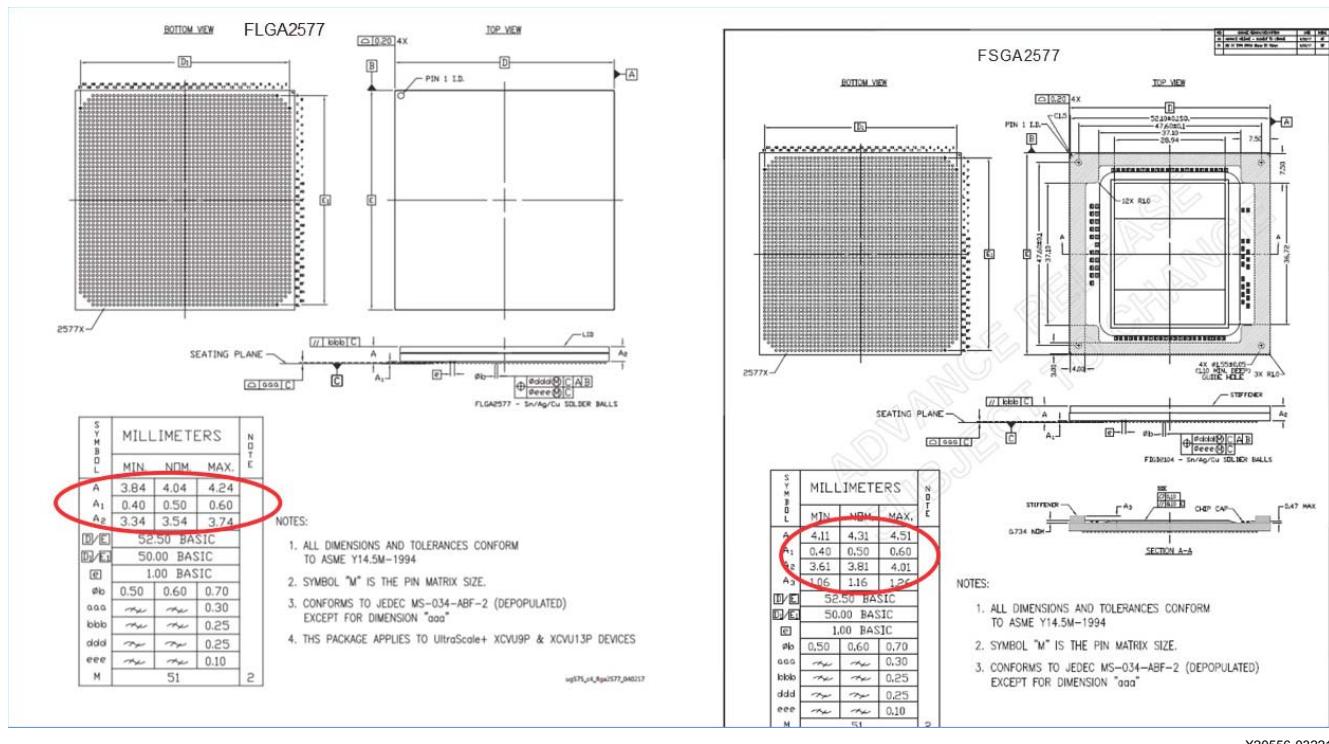


图 9-2：FLGA2577 与 FSGA2577 之间的封装尺寸差异

## 散热设计

如果从有盖 VU13P-FLGA2577 进行移植，仅限针对 VU27P/VU29P-FSGA2577 设计新的散热器。如果从无盖 VU13P-FSGA2577 移植到 VU27P/VU29P-FSGA2577，则无需进行额外的热处理调整。

## 封装飞行时间差异

在单一引脚兼容的封装内跨 2 个器件的给定信号线的传输延迟并不相同。但数据组内的偏差可控，以使数据字节内的最大偏差为  $\pm 30 \text{ ps}$ 。图 9-3 显示了这些潜在差异。为便于移植，默认情况下应假定达成 1 速度等级性能，以将此额外偏差考虑在内。请参阅表 7-6，以获取速度等级性能影响示例。

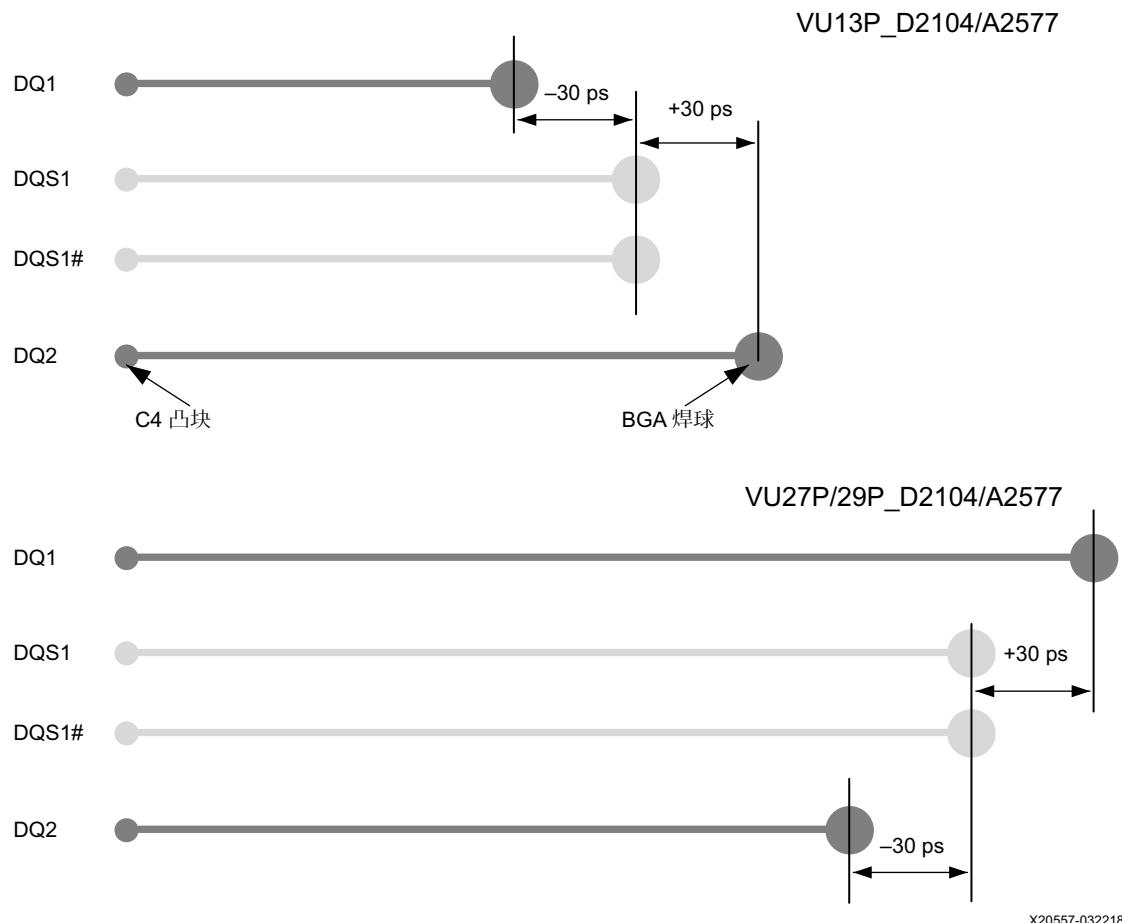


图 9-3：跨器件的偏差图示

## 绑定 bank、未绑定 bank 和四通道的差异

VU13P 和 VU29P 包含一个 VU27P 上不可用的 SLR。规划从 VU13P 移植到 VU27P 时，必须将此纳入考量。图 9-4 显示了 VU27P 上对比 VU13P 不可用的超级逻辑区域 (SLR) 示例。

GTY Quad 135 X0Y60-X0Y63 AA [LN]	CMAC X0Y11	HP I/O Bank 75 K	ILKN X1Y7	GTY Quad 235 X1Y60-X1Y63 K [RN]	GTM Dual 135 X0Y7 AA [LN]	CMAC X0Y8	HP I/O Bank 75 K	ILKN X1Y5	GTM Dual 235 X1Y7 K [RN]
GTY Quad 134 X0Y56-X0Y59 Z [LN]	CMAC X0Y10	HP I/O Bank 74 J	SYSMON Configuration	GTY Quad 234 X1Y56-X1Y59 J [RN]	GTM Dual 134 X0Y6 Z [LN]	CMAC X0Y7	HP I/O Bank 74 J	SYSMON Configuration	GTM Dual 234 X1Y6 J [RN]
GTY Quad 133 X0Y52-X0Y55 Y [LN] (RCAL)	ILKN X0Y6	HP I/O Bank 73 I	Configuration	GTY Quad 233 X1Y52-X1Y55 I [RN] (RCAL)	GTM Dual 133 X0Y5 Y [LN] (RCAL)	ILKN X0Y4	HP I/O Bank 73 I	Configuration	GTM Dual 233 X1Y5 I [RN] (RCAL)
GTY Quad 132 X0Y48-X0Y51 X [LN]	CMAC X0Y9	HP I/O Bank 72	PCIE4 X0Y3	GTY Quad 232 X1Y48-X1Y51 H [RN]	GTM Dual 132 X0Y4 X [LN]	CMAC X0Y6	HP I/O Bank 72	CMAC X0Y6	GTM Dual 232 X1Y4 H [RN]
<b>SLR Crossing</b>									
GTY Quad 131 X0Y44-X0Y47 W [LUC]	CMAC X0Y8	HP I/O Bank 71 H (Partial)	ILKN X1Y5	GTY Quad 231 X1Y44-X1Y47 G [RUC]	GTM Dual 131 X0Y3 W [LUC]	CMAC X0Y5	HP I/O Bank 71 H (Partial)	ILKN X1Y3	GTM Dual 231 X1Y3 G [RUC]
GTY Quad 130 X0Y40-X0Y43 V [LUC]	CMAC X0Y7	HP I/O Bank 70 G	SYSMON Configuration	GTY Quad 230 X1Y40-X1Y43 F [RUC]	GTM Dual 130 X0Y2 V [LUC]	CMAC X0Y4	HP I/O Bank 70 G	SYSMON Configuration	GTM Dual 230 X1Y2 F [RUC]
GTY Quad 129 X0Y36-X0Y39 U [LUC] (RCAL)	ILKN X0Y4	HP I/O Bank 69	Configuration	GTY Quad 229 X1Y36-X1Y39 E [RUC] (RCAL)	GTM Dual 129 X0Y1 U [LUC] (RCAL)	ILKN X0Y2	HP I/O Bank 69	Configuration	GTM Dual 229 X1Y1 E [RUC] (RCAL)
GTY Quad 128 X0Y32-X0Y35 T [LUC]	CMAC X0Y6	HP I/O Bank 68	PCIE4 X0Y2	GTY Quad 228 X1Y32-X1Y35 D [RUC]	GTM Dual 128 X0Y0 T [LUC]	CMAC X0Y3	HP I/O Bank 68	CMAC X1Y3	GTM Dual 228 X1Y0 D [RUC]
<b>SLR Crossing</b>									
GTY Quad 127 X0Y28-X0Y31 S [LLC]	CMAC X0Y5	HP I/O Bank 67	ILKN X1Y3	GTY Quad 227 X1Y28-X1Y31 C [RLC]	GTY Quad 127 X0Y12-X0Y15 S [LLC]	CMAC X0Y2	HP I/O Bank 67	ILKN X1Y1	GTY Quad 227 X1Y2-X1Y15 C [RLC]
GTY Quad 126 X0Y24-X0Y27 R [LLC]	CMAC X0Y4	HP I/O Bank 66 B (Partial)	SYSMON Configuration	GTY Quad 226 X1Y24-X1Y27 B [RLC]	GTY Quad 126 X0Y8-X0Y11 R [LLC]	CMAC X0Y1	HP I/O Bank 66 B (Partial)	SYSMON Configuration	GTY Quad 226 X1Y8-X1Y11 B [RLC]
GTY Quad 125 X0Y20-X0Y23 Q [LLC] (RCAL)	ILKN X0Y2	HP I/O Bank 65 C	Configuration	GTY Quad 225 X1Y20-X1Y23 A [RLC] (RCAL)	GTY Quad 125 X0Y4-X0Y7 Q [LLC] (RCAL)	ILKN X0Y0	HP I/O Bank 65 C	Configuration	GTY Quad 225 X1Y4-X1Y7 A [RLC] (RCAL)
GTY Quad 124 X0Y16-X0Y19 AF [LLC]	CMAC X0Y3	HP I/O Bank 64	PCIE4 X0Y1 (tandem)	GTY Quad 224 X1Y16-X1Y19 P [RLC]	GTY Quad 124 X0Y0-X0Y3 AF [LLC]	CMAC X0Y0	HP I/O Bank 64	PCIE4 X0Y0 (tandem)	GTY Quad 224 X1Y0-X1Y3 P [RLC]
<b>SLR Crossing</b>									
GTY Quad 123 X0Y12-X0Y15 AE [LS]	CMAC X0Y2	HP I/O Bank 63 F	ILKN X1Y1	GTY Quad 223 X1Y12-X1Y15 O [RS]	GTY Quad 123 X0Y8-X0Y11 AD [LS]	CMAC X0Y1	HP I/O Bank 62 E	SYSMON Configuration	GTY Quad 223 X1Y8-X1Y11 N [RS]
GTY Quad 122 X0Y4-X0Y7 AC [LS] (RCAL)	ILKN X0Y0	HP I/O Bank 61 D	Configuration	GTY Quad 222 X1Y4-X1Y7 M [RS] (RCAL)	GTY Quad 122 X0Y4-X0Y7 AC [LS] (RCAL)	ILKN X0Y0	HP I/O Bank 60	PCIE4 X0Y0	GTY Quad 222 X1Y4-X1Y7 A [RS] (RCAL)
GTY Quad 120 X0Y0-X0Y3 AB [LS]	CMAC X0Y0	HP I/O Bank 60	PCIE4 X0Y0	GTY Quad 220 X1Y0-X1Y3 L [RS]	GTY Quad 120 X0Y0-X0Y3 AB [LS]				GTY Quad 220 X1Y0-X1Y3 L [RS]
<b>VU13P_A2577</b>					<b>VU27P_A2577</b>				

X20558-032218

图 9-4: VU27P 上不可用的 SLR

## CMAC/PCIe 位置差异

PCIe® 硬核块在包含 GTM 双通道的任意 SLR 上都被替换为 CMAC 块。GTM 双通道不提供 PCIe 支持，但在具有 GTY 收发器的 SLR 中仍支持 PCIe。图 9-5 显示了这些差异。

VU13P FloorPlan					VU29P FloorPlan				
GTY Quad 135 X0Y60-X0Y63 AA [LN]	CMAC X0Y11	HP I/O Bank 75 K	ILKN X1Y7	GTY Quad 235 X1Y60-X1Y63 K [RN]	GTM Dual 135 X0Y11 AA [LN]	CMAC X0Y11	HP I/O Bank 75 K	ILKN X1Y7	GTM Dual 235 X1Y11 K [RN]
GTY Quad 134 X0Y56-X0Y59 Z [LN]	CMAC X0Y10	HP I/O Bank 74 J	SYSMON Configuration	GTY Quad 234 X1Y56-X1Y59 J [RN]	GTM Dual 134 X0Y10 Z [LN]	CMAC X0Y10	HP I/O Bank 74 J	SYSMON Configuration	GTM Dual 234 X1Y10 J [RN]
GTY Quad 133 X0Y52-X0Y55 Y [LN] (RCAL)	ILKN X0Y6	HP I/O Bank 73 I	Configuration	GTY Quad 233 X1Y52-X1Y55 I [RN] (RCAL)	GTM Dual 133 X0Y9 Y [LN] (RCAL)	ILKN X0Y6	HP I/O Bank 73 I	Configuration	GTM Dual 233 X1Y9 Y [LN] (RCAL)
GTY Quad 132 X0Y48-X0Y51 X [LN]	CMAC X0Y9	HP I/O Bank 72 H	PCIE4 X0Y3	GTY Quad 232 X1Y48-X1Y51 H [RN]	GTM Dual 132 X0Y8 X [LN]	CMAC X0Y9	HP I/O Bank 72 H	CMAC X0Y9	GTM Dual 232 X1Y8 H [RN]
SLR Crossing									
GTY Quad 131 X0Y44-X0Y47 W [LUC]	CMAC X0Y8	HP I/O Bank 71 H (Partial)	ILKN X1Y5	GTY Quad 231 X1Y44-X1Y47 G [RUC]	GTM Dual 131 X0Y7 W [LUC]	CMAC X0Y8	HP I/O Bank 71 H (Partial)	ILKN X1Y5	GTM Dual 231 X1Y7 G [RUC]
GTY Quad 130 X0Y40-X0Y43 V [LUC]	CMAC X0Y7	HP I/O Bank 70 G	SYSMON Configuration	GTY Quad 230 X1Y40-X1Y43 F [RUC]	GTM Dual 130 X0Y6 V [LUC]	CMAC X0Y7	HP I/O Bank 70 G	SYSMON Configuration	GTM Dual 230 X1Y6 F [RUC]
GTY Quad 129 X0Y36-X0Y39 U [LUC] (RCAL)	ILKN X0Y4	HP I/O Bank 69 F	Configuration	GTY Quad 229 X1Y36-X1Y39 E [RUC] (RCAL)	GTM Dual 129 X0Y5 U [LUC] (RCAL)	ILKN X0Y4	HP I/O Bank 69 F	Configuration	GTM Dual 229 X1Y5 E [RUC] (RCAL)
GTY Quad 128 X0Y32-X0Y35 T [LUC]	CMAC X0Y6	HP I/O Bank 68 E	PCIE4 X0Y2	GTY Quad 228 X1Y32-X1Y35 D [RUC]	GTM Dual 128 X0Y4 T [LUC]	CMAC X0Y6	HP I/O Bank 68 E	CMAC X0Y6	GTM Dual 228 X1Y4 D [RUC]
SLR Crossing									
GTY Quad 127 X0Y28-X0Y31 S [LLC]	CMAC X0Y5	HP I/O Bank 67 D	ILKN X1Y3	GTY Quad 227 X1Y28-X1Y31 C [RLC]	GTY Quad 127 X0Y12-X0Y15 S [LLC]	CMAC X0Y5	HP I/O Bank 67 D	ILKN X1Y3	GTY Quad 227 X1Y12-X1Y15 C [RLC]
GTY Quad 126 X0Y24-X0Y27 R [LLC]	CMAC X0Y4	HP I/O Bank 66 B (Partial)	SYSMON Configuration	GTY Quad 226 X1Y24-X1Y27 B [RLC]	GTY Quad 126 X0Y12-X0Y15 R [LLC]	CMAC X0Y4	HP I/O Bank 66 B (Partial)	SYSMON Configuration	GTY Quad 226 X1Y8-X1Y11 B [RLC]
GTY Quad 125 X0Y20-X0Y23 Q [LLC] (RCAL)	ILKN X0Y2	HP I/O Bank 65 C	Configuration	GTY Quad 225 X1Y20-X1Y23 A [RLC] (RCAL)	GTY Quad 125 X0Y12-X0Y17 Q [LLC] (RCAL)	ILKN X0Y2	HP I/O Bank 65 C	Configuration	GTY Quad 225 X1Y4-X1Y7 A [RLC] (RCAL)
GTY Quad 124 X0Y16-X0Y19 AF [LLC]	CMAC X0Y3	HP I/O Bank 64 B	PCIE4 X0Y1 (tandem)	GTY Quad 224 X1Y16-X1Y19 P [RLC]	GTY Quad 124 X0Y10-X0Y13 AF [LLC]	CMAC X0Y3	HP I/O Bank 64 B	PCIE4 X0Y1 (tandem)	GTY Quad 224 X1Y0-X1Y3 P [RLC]
SLR Crossing									
GTY Quad 123 X0Y12-X0Y15 AE [LS]	CMAC X0Y2	HP I/O Bank 63 F	ILKN X1Y1	GTY Quad 223 X1Y12-X1Y15 O [RS]	GTM Dual 123 X0Y3 AE [LS]	CMAC X0Y2	HP I/O Bank 63 F	ILKN X1Y1	GTM Dual 223 X1Y3 O [RS]
GTY Quad 122 X0Y8-X0Y11 AD [LS]	CMAC X0Y1	HP I/O Bank 62 E	SYSMON Configuration	GTY Quad 222 X1Y8-X1Y11 N [RS]	GTM Dual 122 X0Y2 AD [LS]	CMAC X0Y1	HP I/O Bank 62 E	SYSMON Configuration	GTM Dual 222 X1Y2 N [RS]
GTY Quad 121 X0Y4-X0Y7 AC [LS] (RCAL)	ILKN X0Y0	HP I/O Bank 61 D	Configuration	GTY Quad 221 X1Y4-X1Y7 M [RS] (RCAL)	GTM Dual 121 X0Y1 AC [LS] (RCAL)	ILKN X0Y0	HP I/O Bank 61 D	Configuration	GTM Dual 221 X1Y1 M [RS] (RCAL)
GTY Quad 120 X0Y0-X0Y3 AB [LS]	CMAC X0Y0	HP I/O Bank 60 C	PCIE4 X0Y0	GTY Quad 220 X1Y0-X1Y3 L [RS]	GTM Dual 120 X0Y0 AB [LS]	CMAC X0Y0	HP I/O Bank 60 C	CMAC X0Y0	GTM Dual 220 X1Y0 L [RS]
SLR Crossing									

X20559-032218

图 9-5：含 PCIe/GTY 的 VU13P 布局规划对比含 CMAC/GTM 的 VU29P 布局规划

## GTY/GTM 通道和时钟映射差异

在图 9-6、图 9-7、图 9-8 和图 9-9 中显示了 GTY 和 GTM 通道以及器件间的时钟映射。有关 GTY/GTM 参考时钟的主要设计项包括：

- 25G 与 50G 之间的参考时钟速率不同
  - 假定 50G 需要不同时钟
- 必须始终使用 RefClk0
- 在 VU27P/VU29P 上，RefClk1 移植到 NC
- 参考时钟不应跨 GTM 双通道共享
- 参考时钟不应跨 GTY 四通道共享
- 向移植到 GTM 四通道的每个 GTY 四通道提供局部参考时钟

VU13/VU27P – D2104 GTY/GTM TX/RX 通道，时钟映射

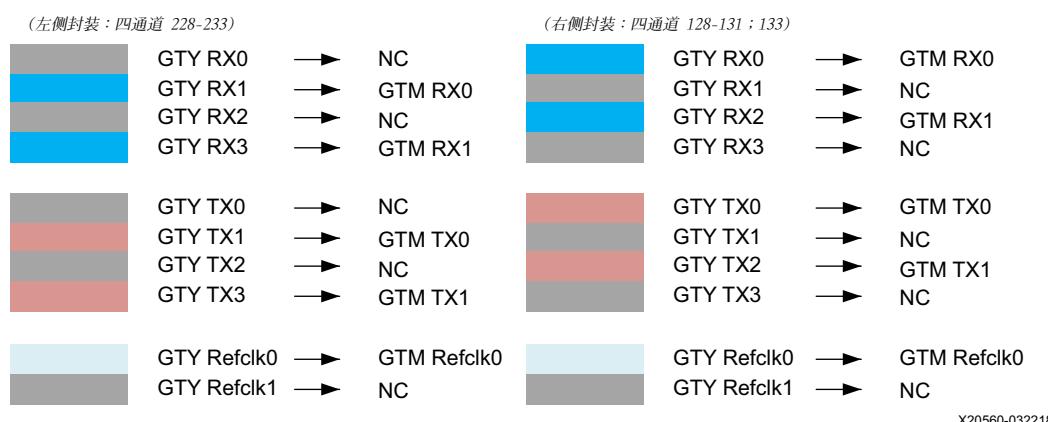


图 9-6：VU13P/VU27P D2104 GTY/GTM TX/RX 通道/时钟映射

VU13/VU29P – D2104 GTY/GTM TX/RX 通道，时钟映射

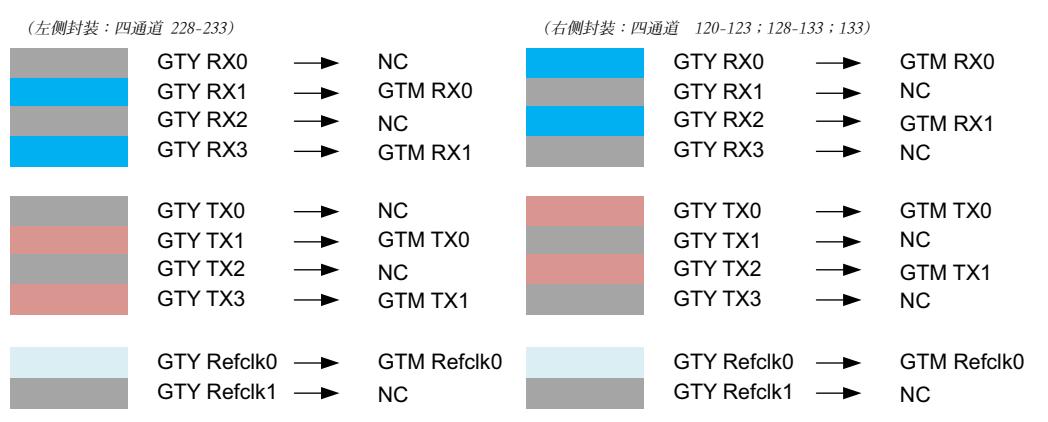


图 9-7：VU13P/VU29P D2104 GTY/GTM TX/RX 通道/时钟映射

## VU13/VU27P – A2577 GTY/GTM TX/RX 通道，时钟映射

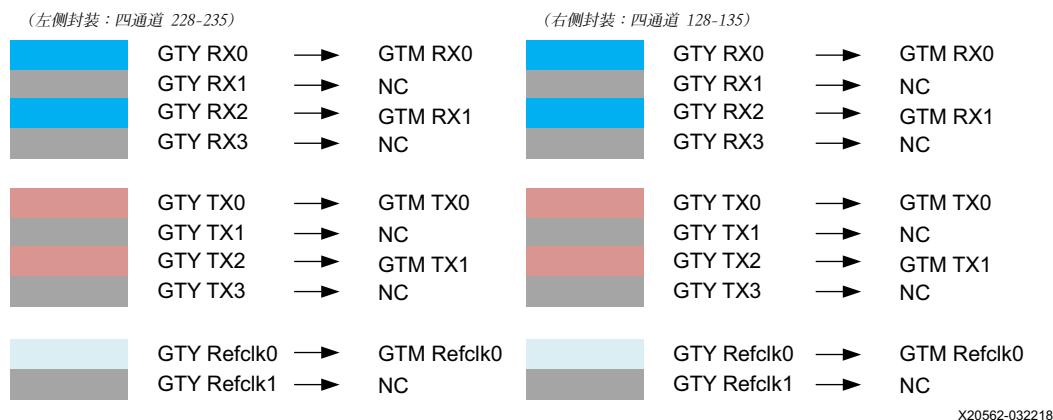


图 9-8: VU13P/VU27P A2577 GTY/GTM TX/RX 通道/时钟映射

## VU13/VU29P – A2577 GTY/GTM TX/RX 通道，时钟映射

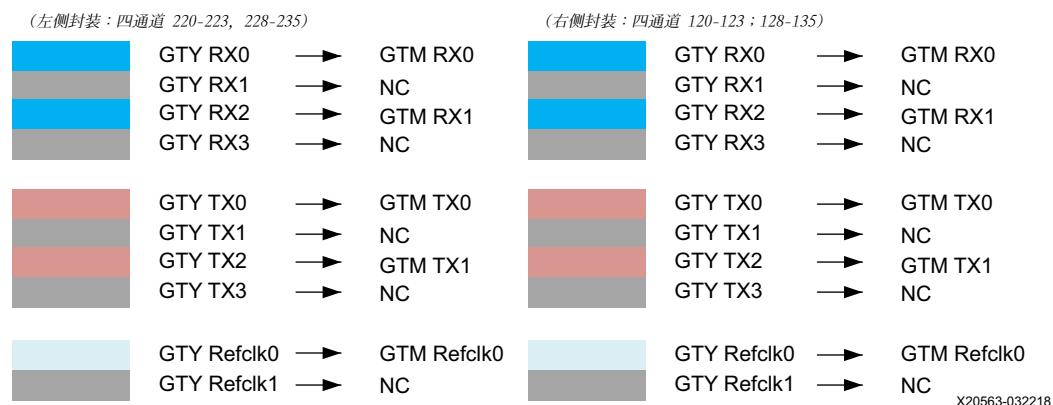
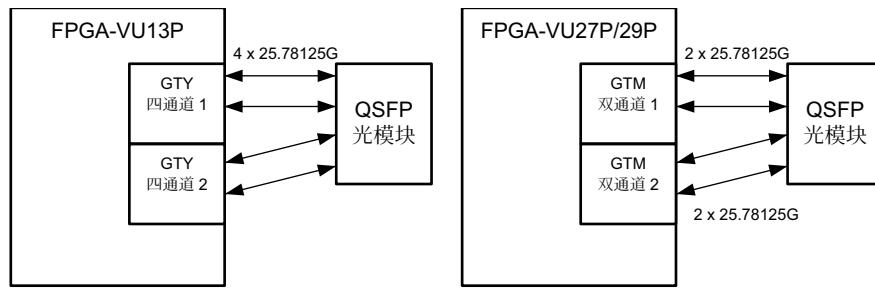


图 9-9: VU13P/VU29P A2577 GTY/GTM TX/RX 通道/时钟映射

## 100G 以太网布局准则

应采用 4 条通道跨 2 个 GTY 四通道的方式来连接到 QSFP 光模块，而非将 4 条通道全部布局在单一给定四通道内，这样可确保移植兼容性。移植到 VU27P/VU29P 的双通道架构时，未绑定的 GTY 收发器将消失。[图 9-10](#) 显示了 GTY 到 GTM 收发器映射概念。



X20564-032318

图 9-10：对应100G 以太网的 GTY 到 GTM 收发器映射

# SelectIO 信号

UltraScale 架构 SelectIO 资源属于通用 I/O 并具有多种设置可用。利用多种 I/O 标准及其数百种变化，这些 SelectIO 资源可以为 I/O 接口设计提供灵活的选择。

本章提供了有关 I/O 标准、拓扑图和终端选择的一些策略，并提供了有关仿真和测量的指导信息，以供用户制定出更详细的决策和验证。系统往往需要从更高层次（其它器件选择或标准支持）来定义要使用的 I/O 接口。如果未定义此类约束，则系统设计人员必须根据系统用途来选择 I/O 接口标准并对其进行最优化。

本章包含下列章节：

- “[接口类型](#)”
  - “[单端信号](#)”
- 

## 接口类型

为了更好地应对各种类型的接口的特殊需求，有必要首先对接口类别进行细分。这些接口可分为 2 大相关类别：

- “[单端接口和差分接口](#)”
- “[SDR 对比 DDR 接口](#)”

## 单端接口和差分接口

传统数字逻辑使用单端信号 - 这种规范用于发射信号并假定驱动器和接收器采用公用 GND。在单端接口中，根据信号相对于 GND 引用的固定电压阈值的电压电平来断言信号是否有效，即，断言信号为高电平还是低电平。当信号电压高于  $V_{IH}$  阈值时，状态即被视为高位。当信号电压低于  $V_{IL}$  阈值时，状态则被视为低位。TTL 即为单端 I/O 标准的常见示例之一。

为了达成更高的接口速度并增加噪声裕度，部分单端 I/O 标准需依赖于除 GND 以外的其它精确的专用局部基准电压。HSTL 和 SSTL 即为依靠  $V_{REF}$  来解决逻辑级数的 I/O 标准示例。 $V_{REF}$  可被视为固定比较器输入。

高性能接口通常使用差分信号 - 这种规范用于发射 2 个彼此相互引用的补充信号。在差分接口中，根据这 2 个补充信号的相对电压电平来断言信号是否有效，即，断言信号为高电平还是低电平。当 P 信号的电压高于 N 信号的电压时，其状态即被视为高电平。当 N 信号的电压高于 P 信号的电压时，其状态即被视为低电平。通常 P 信号与 N 信号摆幅相似，并且共模电压通常高于 GND。LVDS 即为差分 I/O 标准的常见示例之一。

## SDR 对比 DDR 接口

单倍数据率 (SDR) 接口与双倍数据率 (DDR) 接口之间的差异在于总线的数据信号与该总线的时钟信号之间的关系。在 SDR 系统中，数据仅寄存在时钟上升沿或下降沿上的接收器件的输入触发器上。一个完整的时钟周期即等于 1 比特时间。在 DDR 系统中，数据寄存在时钟上升沿和下降沿上的接收器件的输入触发器上。一个完整的时钟周期等于 2 比特时间。SDR 与 DDR 的差异与承载信号的 I/O 标准为单端接口还是差分接口无关。单端信号可以是 SDR 或 DDR 接口，差分接口同样可以是 SDR 或 DDR。

## 单端信号

在 UltraScale 架构 I/O 中支持各种单端 I/O 标准。要获取受支持的 I/O 标准的完整列表以及有关每一种标准的详细信息，请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571) [参照 10] 的 SelectIO 资源章节。该章节末尾的表格总结了支持 DRIVE 和 SLEW 属性、双向缓存和 DCI 选项的每一种受支持的 I/O 标准。该章节还描述了高性能 (HP) 和高量程 (HR) I/O bank 中支持的 I/O 标准。

## 模式和属性

部分 I/O 标准只能在单向模式下使用，部分 I/O 标准则可在双向模式或单向模式下使用。

部分 I/O 标准具有用于控制驱动强度和斜率的属性，并包含弱上拉或下拉和弱保持器电路（不可用作为并行端接）。驱动强度和斜率可用于调整接口以获得足够的速度，同时避免信号过驱动。弱上拉、弱下拉和弱保持器可用于确保浮动信号或三态信号上的电平处于已知或稳定状态。《UltraScale 架构 SelectIO 资源用户指南》(UG571) [参照 10] 的 SelectIO 资源章节描述了支持这些属性的标准。请参阅此用户指南以获取更多信息。

当 LVCMOS 设置为 6 mA DRIVE 和 FAST 斜率时，其输出阻抗近似值接近于  $50\Omega$ ，因此可供用作为受控阻抗驱动器的粗略近似值。传输线的弱驱动器的阻抗匹配仅为近似值，且因电压和温度而异。LVDCI 和 HSLVDCI 是真正的自适应受控阻抗驱动器，可保持更接近的阻抗匹配，不随电压和温度变化而变。

## 输入阈值

单端标准的输入电路分为 2 类：含固定输入阈值的输入电路和含由  $V_{REF}$  电压所设输入阈值的输入电路。 $V_{REF}$  的使用具有 3 大优势：

- 支持对输入阈值级别进行更严格的控制
- 消除了基准阈值对于裸片 GND 的依赖性
- 允许输入阈值彼此更接近，从而减少了对于输入接收器上的大电压摆幅信号的需求

有 2 个 1.8V I/O 标准可作为示例：LVCMOS18 和 SSTL18 Class 1。1.8V LVCMOS 的阈值设为 0.63V 和 1.17V（要求接收器上的信号摆幅至少达到完整的 540 mV 才能执行逻辑转换）。SSTL18 Class 1 的阈值设为  $V_{REF} - 0.125V$  和  $V_{REF} + 0.125V$ ，或者对于 0.9V 的额定  $V_{REF}$ ，则设为 0.775V 和 1.025V（要求接收器上的信号摆幅至少为 250 mV 才能执行逻辑转换）。由于所需摆幅降低，因此在总体链路中可以更高频率工作。驱动器端的摆幅降低意味着所需 DC 电流降低且瞬时电流降低。在基于 UltraScale 架构的器件中，基准电压可使用专用  $V_{REF}$  管脚来提供，或者也可以选择使用内部  $V_{REF}$  功能来生成。请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571) [参照 10] 的 SelectIO 资源章节，以获取有关内部  $V_{REF}$  的更多信息。如需获取有关  $V_{REF}$  去耦和所有其它电源去耦的更多信息，请参阅第 1 章“UltraScale 器件中的配电系统”。

## 拓扑图和终端

拓扑通常指的是接口中的驱动器、接收器、互连和终端的排列。单向拓扑与双向拓扑中使用的方法有所不同，因此分别处理。

根据系统要求，SelectIO 标准可在任意数量的拓扑中使用。遵循标准（SSTL、LVCMOS 等）的 SelectIO 驱动器和接收器可根据该标准的字母（由 EIA/TIA 或 JEDEC 等标准主体机构发布）来使用，或者也可以与来自其它标准或混合 I/O 的驱动器或接收器混用或匹配。I/O 标准规范可定义的项受接收器的  $V_{IL}$  和  $V_{IH}$  所限，或者它也可定义接口的每项参数，包括驱动器阻抗和斜率、PCB 走线长度和拓扑图、无源终端的值和位置、接收器件的最大输入电容，甚至是接收器的最大数量。

由设计人员根据标准适用的系统来决定标准的应用方式。在拓扑图和终端方面需制定诸多决策才能确定接口的信号完整性。最重要的是，必须通过仿真和测量来验证每个接口的信号完整性。

终端通常指的是用于维持接口中的信号完整性的阻抗匹配器件或阻抗补偿器件。虽然有许多类型的元件均可用作为终端（例如，电阻器、电容器、二极管等），但此处仅探讨电阻终端。一般情况下，电容器终端和二极管终端技术更为复杂。

## 单向拓扑图和终端

单向拓扑图的 2 个基本子集是点对点拓扑图和多点拓扑图。点对点拓扑图包含 1 个驱动器和 1 个接收器，而多点拓扑图则具有 1 个驱动和大量接收器。无论是点对点拓扑图还是多点拓扑图，都可用于定义接口的诸多重要方面，这些重要方面用于确定哪些终端策略适用以及哪些策略不适用。

### 单向点对点拓扑图

最简单的单向拓扑图即为点对点拓扑图。即，有 1 个驱动器和 1 个接收器。终端如果存在，则由位于接收器上的并联终端（图 10-1）、位于驱动上的串联终端（图 10-2）或受控阻抗驱动器（图 10-3 和图 10-4）组成。请始终使用 IBIS 仿真来判定这些终端的最优电阻值、 $V_{TT}$  电压电平和 VRP 基准电阻器。

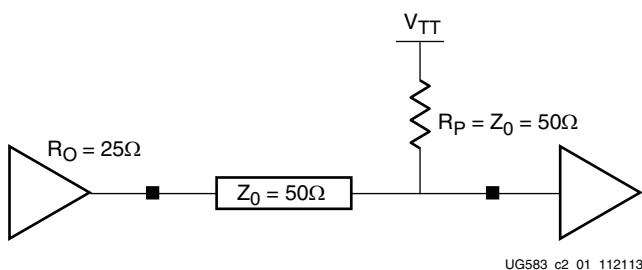


图 10-1：并联端接单向点对点拓扑图

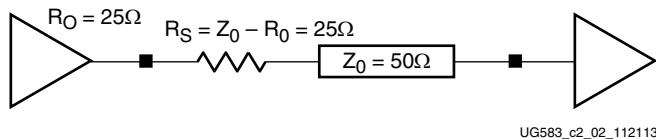


图 10-2：串联端接单向点对点拓扑图

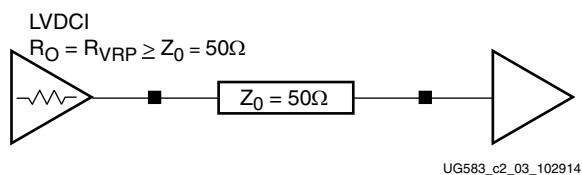


图 10-3：DCI 控制的阻抗驱动器单向点对点拓扑图

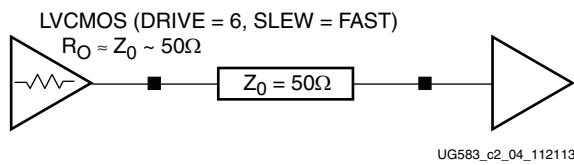


图 10-4：“弱驱动器”单向点对点拓扑图

通常，并联电阻终端 ( $R_P$ ) 的值等于其端接的传输线的特性阻抗 ( $Z_0$ )。串联电阻终端 ( $R_S$ ) 的值等于传输线的特性阻抗 ( $Z_0$ ) 减去所连接到的驱动器的输出阻抗 ( $R_O$ )。受控阻抗驱动器调整为使驱动器输出阻抗 ( $R_O$ ) 等于其端接的传输线的特性阻抗 ( $Z_0$ )。

假设传输线的特性阻抗为  $50\Omega$ ，驱动器输出阻抗 ( $R_O$ ) 为  $25\Omega$ ，则适用  $25\Omega$  串联终端（图 10-2）或  $50\Omega$  并联终端（图 10-1）。受控阻抗驱动器无论使用 DCI 来实现还是使用弱 LVCMOS 驱动器来实现，其大小都应调整为包含值为  $50\Omega$  的输出阻抗 ( $R_O$ )。该值对应于等于  $50\Omega$ （针对 DCI）的 VRP 电阻器。驱动强度为  $6\text{ mA}$  到  $8\text{ mA}$  的弱 LVCMOS 驱动器的输出阻抗约等于  $50\Omega$ （图 10-3）。

通常，当  $V_{TT}$ （连接到并联终端电阻器的电压源）等于信号电压的一半时，并联终端性能最佳。对于  $2.5\text{ V}$  信号 ( $V_{CCO} = 2.5\text{ V}$ )， $V_{TT}$  的理想值为  $1.25\text{ V}$ 。如果此电压不可用，则可使用戴维南并联终端。戴维南并联终端包含分压器，其并联等效电阻值 ( $R_{PEQ}$ ) 等于传输线的特性阻抗（一般为  $50\Omega$ ）。分压点设计为  $V_{TT}$ 。图 10-5 显示了从  $2.5\text{ V}$   $V_{CCO}$  上电的戴维南并联终端，其中包含 2 个  $100\Omega$  电阻器，生成的  $V_{TT}$  为  $1.25\text{ V}$ ，且并联等效电阻值 ( $R_{PEQ}$ ) 为  $50\Omega$ 。

相比串联终端或受控阻抗驱动器，并联终端可能有所不及，因为它耗电更大。因此，必须权衡利弊，以判定适合接口的最优终端拓扑图。

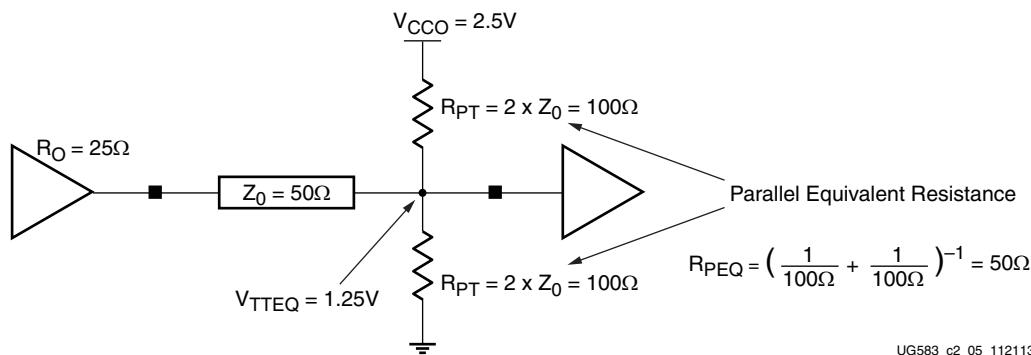


图 10-5：戴维南并联终端

表 10-1 列出了可配合单向点对点拓扑图使用的 I/O 接口类型示例。

表 10-1：适用于单向点对点拓扑图的  
I/O 接口类型示例

LV-TTL
LVCMOS
LVDCI
SSTL Class I
HSTL Class I

LV-TTL 和 LVCMOS 并不指定任何规范性的端接方法。驱动器上的串联终端或接收器上的并联终端均属于适合的考量对象。

LVDCI 暗示使用的是受控阻抗驱动器终端。在接收器上无需任何形式的终端。

每项 I/O 标准对于不同端接方法都有不同要求。在某些情况下，I/O 标准的规范可严格定义终端拓扑结构。其它标准可能并没有任何硬性要求，而只是提供终端拓扑结构示例。HSTL 即为含特定终端要求的标准的示例。HSTL Class I 属于单向 I/O 标准，建议在接收器上采用并联终端。对于 HSTL Class I，终端电压  $V_{TT}$  定义为供电电压  $V_{CC}$  的一半。设计人员最终可选择完全不使用终端，或者也可以使用其它终端，例如在驱动器上采用串联终端。在给定系统中，这种选择的优势包括：由设计人员决定通过仿真和测量来验证接收器上的信号完整性是否足够。

SSTL 标准一般并没有严格的终端拓扑结构要求。JEDEC 规范则可提供终端技术示例，此类技术一般采用较为常用的拓扑图。《UltraScale 架构 SelectIO 资源用户指南》(UG571) [参照 10] 的 SelectIO 资源章节可提供适用于每一种 I/O 标准（包括 SSTL 标准）的终端技术示例，作为有效的出发点以供考量。与 HSTL 相似，同样由设计人员决定通过仿真和测量来验证接收器上的信号完整性是否足够。

## 单向多点拓扑图

在更复杂的拓扑图中，单一驱动器即可驱动多个接收器。接收器表示由单一传输线短截线馈送的负载。从信号完整性的角度来看，在这种情况下最佳拓扑图是单一长传输线，一端为驱动器，另一端则为并联终端，接收器连接到主线（中间采用短截线）。此类拓扑图通常被称为飞越式 (flyby) 多点拓扑图。

此拓扑图有 2 个关键要素。首先是在传输线远端存在单一并联终端。不得在驱动器或受控阻抗驱动器上使用串联终端。并联终端是唯一适用于此拓扑图的终端类型。第二个关键要素是每个接收器处的连接短截线的长度。这些短截线必须尽可能短，仅在信号上升时间段内占一小段时间。通常信号上升时间为 600 ps，应使用的短截线长度不超过  $600 \text{ ps}/4 = 150 \text{ ps}$  或 0.9 英寸 (22.86 mm)。随着短截线长度增加，会导致沿传输线下行的信号阻抗不连续性增大，并显著增大信号反射。这种阻抗不连续问题会导致信号受损。随着负载数量的增加和短截线长度增加，信号将受损直至变为无法再使用。

不建议使用星形拓扑图。设计星型拓扑图并保证其信号完整性良好所涉及的限制超出了本文档的讨论范畴。

如“[单向点对点拓扑图](#)”中所述，理想的并联电阻终端的值等于其端接的传输线的特性阻抗。当  $V_{TT}$  等于信号电压的一半时，即可实现最佳性能，而当该电压不可用时，则建议使用戴维南并联终端，如上一节中所述。

[图 10-6](#) 显示了从  $V_{CCO}$  上电的戴维南并联终端，其中包含 2 个  $100\Omega$  电阻器，生成的  $V_{TT}$  为  $V_{CCO}/2$ ，且并联等效电阻值为  $50\Omega$ 。此图显示了含 1 个驱动器 (LVCMS 驱动器) 和 4 个接收器的拓扑图。该驱动器位于左侧，接收器则在  $50\Omega$  传输线上平均分布于各中点位置，右侧为 2 个  $100\Omega$  电阻器组成的戴维南并联终端。

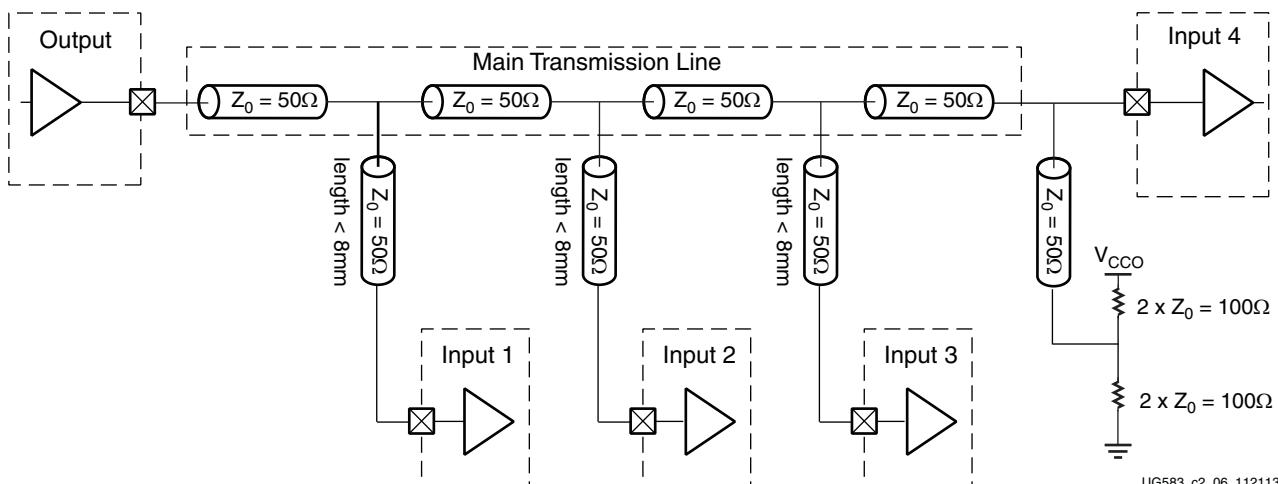


图 10-6：基本多点拓扑图

主传输线应尽可能缩短。对于大部分 I/O 标准，适用最长 20 英寸或更长的长度，前提是保持精确的走线阻抗，并避免串扰源。主传输线的中间段的长度无需相等。其相对长度可为任意值。位于主传输线上不同点的接收器可接收含不同延迟量的信号，但所有信号上升时间都类似。

从主传输线延伸到各接收器的短截线必须保持尽可能短。这些短截线越长，接收到的波形受损程度越严重。需通过仿真和测量来评估各接收器的信号完整性。

[表 10-2](#) 列出了可配合单向多点拓扑图使用的 I/O 接口类型示例。

表 10-2：适用于单向多点 I/O 拓扑图的  
I/O 接口类型示例

LV TTL
LVCMS
HSTL
SSTL

LVTTL 和 LVCMOS 并不指定任何规范性的端接方法。在较长的传输线末端适合采用并联终端作为端接方法。

## 双向拓扑图和终端

双向拓扑图的 2 个基本子集是点对点拓扑图和多点拓扑图。点对点拓扑图具有 2 个收发器（驱动器和接收器共享 1 个器件管脚），而多点拓扑图则可包含多个收发器。无论是点对点拓扑图还是多点拓扑图，都可用于定义接口的诸多要素，这些要素用于确定哪些终端策略适用以及哪些策略不适用。

### 双向点对点拓扑图

最简单的双向拓扑图为点对点拓扑图。即，有 2 个收发器通过传输线连接。由于双向接口需要在 2 个方向上以同样效率工作，因此最好采用对称拓扑图。虽然采用非对称拓扑图的设计仍可在合理范围内保持良好的信号完整性，但确保信号完整性良好的最简单方法是保持对称拓扑图。因此，链路一端使用的任何终端同样应用于该链路的另一端。串联终端（图 10-8）几乎不适合用于双向接口，因为接收方的收发器的串联电阻器会导致传入信号发生衰减。并联终端（图 10-7）几乎始终都能在 2 个接收器上实现更好的信号水平。受控阻抗驱动器无论是采用弱 LVCMOS 驱动器形式来进行严格控制还是采用 LVDCI 或 HSLVDCI 形式来进行自适应控制，都能产生良好的结果，如图 10-9 所示（以低驱动强度的 LVCMOS 驱动器来实现）。请始终使用 IBIS 仿真来判定这些终端的最优终端电阻值、 $V_{TT}$  电压电平和 VRP 基准电阻器值。

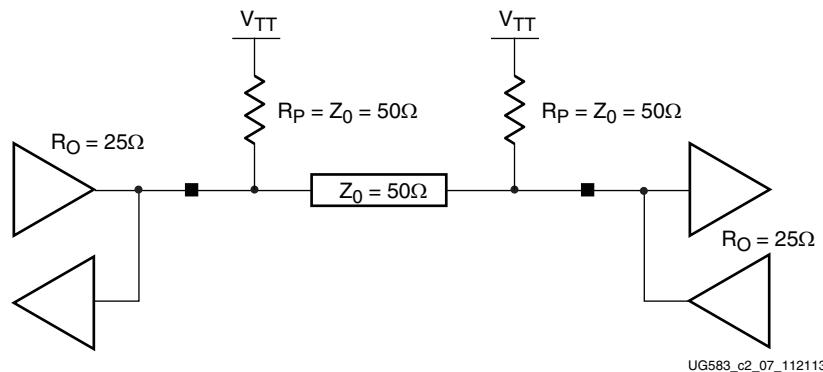


图 10-7：并联端接双向点对点拓扑图

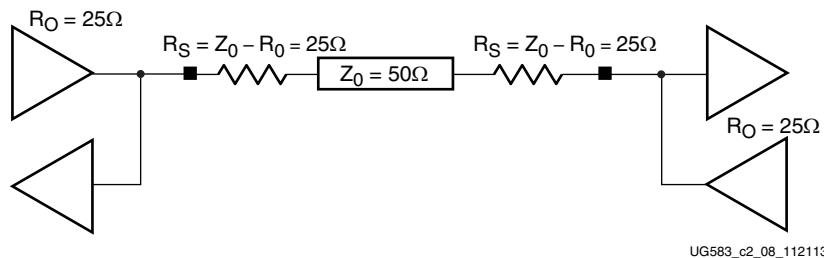


图 10-8：串联端接双向点对点拓扑图：  
不推荐

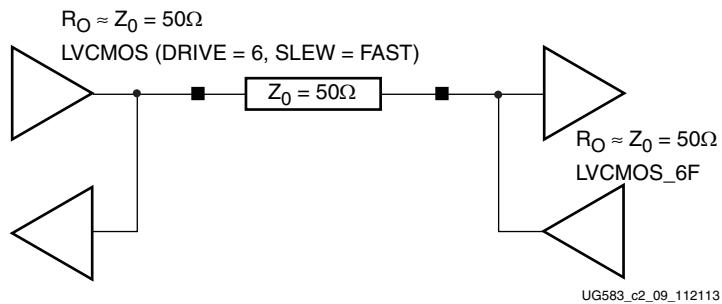


图 10-9：“弱驱动器”双向点对点拓扑图

通常，并联电阻终端 ( $R_P$ ) 的值等于其端接的传输线的特性阻抗 ( $Z_0$ )。某些接口（如 DDR2 存储器接口）使用  $75\Omega$  终端电阻器代替  $50\Omega$  以期能开启数据眼图。在此情况下，需权衡眼图高度与因阻抗不连续性而导致的少量信号反射的利弊。受控阻抗驱动器通常调整为使驱动器输出阻抗 ( $R_O$ ) 等于其端接的传输线的特性阻抗 ( $Z_0$ )。

假设传输线的特性阻抗为  $50\Omega$  且驱动器输出阻抗为  $25\Omega$ ，则适用  $50\Omega$  并联终端（图 10-7）。受控阻抗驱动器无论使用 DCI 来实现还是使用弱 LVC MOS 驱动器来实现，其大小都应调整为包含值为  $50\Omega$  的输出阻抗 ( $R_O$ )。受控阻抗驱动器的使用示例之一即 LVDCI\_15 I/O 标准。驱动强度为  $6\text{ mA}$  到  $8\text{ mA}$  的弱 LVC MOS 驱动器的输出阻抗约等于  $50\Omega$ （图 10-9）。

当  $V_{TT}$ （连接到并联终端电阻器的电压源）等于信号电压的一半时即可实现最佳并联终端性能，因为这通常是数据眼图的中心电压。对于  $2.5\text{ V}$  信号 ( $V_{CCO} = 2.5\text{ V}$ )， $V_{TT}$  的理想值为  $1.25\text{ V}$ 。如果此电压不可用，则建议使用戴维南并联终端。戴维南并联终端包含分压器，其中所含并联电阻值等于传输线的特性阻抗（一般为  $50\Omega$ ）。分压点设计为  $V_{TT}$ 。图 10-10 显示了从  $2.5\text{ V}$   $V_{CCO}$  上电的戴维南并联终端，其中包含 2 个  $100\Omega$  电阻器，生成的  $V_{TT}$  为  $1.25\text{ V}$ ，且并联等效电阻值 ( $R_{PEQ}$ ) 为  $50\Omega$ 。

相比串联终端或受控阻抗驱动器，并联终端可能有所不及，因为它耗电更大。因此，必须权衡利弊，以判定适合接口的最优终端拓扑图。

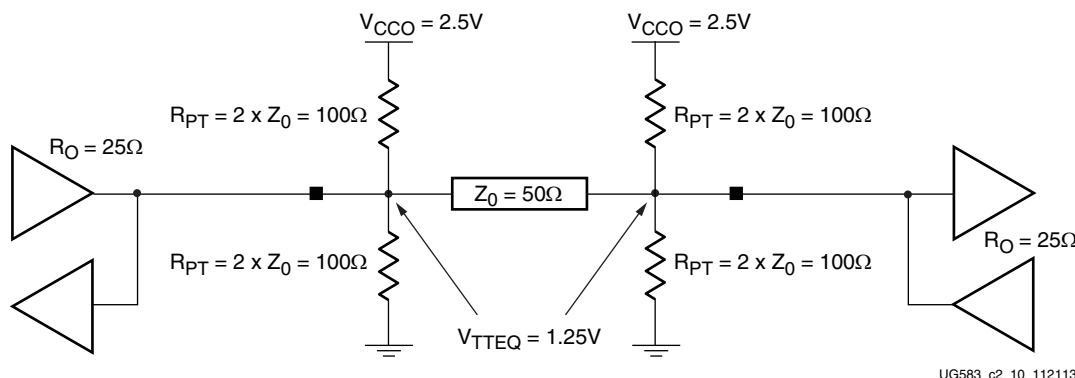


图 10-10：戴维南并联端接(双向点对点拓扑图)

表 10-3 列出了可配合双向点对点拓扑图使用的 I/O 接口类型示例。

表 10-3：适用于单向多点 I/O 拓扑图的  
双向点对点 I/O 拓扑图

LV TTL
LVC MOS
LVDCI
HSLVDCI

表 10-3：适用于单向多点 I/O 拓扑图的  
双向点对点 I/O 拓扑图

SSTL15
SSTL15 DCI
SSTL18 CLASS II
SSTL18 CLASS II DCI
HSTL CLASS II
HSTL CLASS II DCI

LVTTL 和 LVCMOS 并不指定任何规范性的端接方法。不建议对双向接口使用串联终端。并联终端和弱驱动器则都适用。

LVDCI 和 HSLVDCI 均暗示使用的是受控阻抗驱动器终端。

HSTL Class II 指定在 2 个收发器上都使用并联终端。终端电压  $V_{TT}$  定义为供电电压  $V_{CCO}$  的一半。设计人员可选择完全不使用终端，或者也可以使用其它终端。由设计人员决定通过仿真和测量来验证接收器上的信号完整性是否足够。

适用于 SSTL 的 JEDEC 规范提供了串联终端和并联终端的示例。终端电压  $V_{TT}$  定义为供电电压  $V_{CCO}$  的一半。虽然规范文档提供了用于表示位于驱动器处的串联终端示例，但重要的是明确其目的是尝试将驱动器阻抗与传输线的阻抗相匹配。由于 SSTL 的目标 UltraScale 架构的输出阻抗接近  $40-50\Omega$ ，因此无需外部电源串联终端即可实现更好的信号完整性。如果可用，这是考虑使用三态 DCI I/O 标准（即“T\_DCI”）的良好的出发点，此类标准可提供仅当输出缓存处于三态状态时才存在的内部并联终端电阻器。设计人员需仔细考量并通过谨慎的仿真和测量来选择赛灵思器件适用的 I/O 标准、驱动强度以及接口（通常为 DRAM IC）和终端拓扑图内其它器件的片上终端（ODT）选项。请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571) [参照 10] 以获取有关可用 I/O 标准和选项的更多详细信息。

## 双向多点拓扑图

在更复杂的拓扑图中，多点总线内的任意收发器均可发射到所有其它收发器。通常这些拓扑图只能以极慢的时钟速率运行，因为它们仅支持极为缓慢的信号上升时间（10 ns 到 50 ns）。虽然这在某些情况下很有用，但通常弊大于利。设计此类拓扑图并保证其信号完整性良好所涉及的限制超出了本文档的讨论范畴。

# PCB 技术基础知识

## 引言

印刷电路板 (PCB) 属于电气系统，其电气属性复杂程度取决于其中装载的离散组件和器件。PCB 设计人员能够完全掌控 PCB 的方方面面，但当前技术给几何形状以及由此产生的电气属性施加了诸多的约束和限制。以下提供的信息旨在用作为使用 FPGA 进行 PCB 设计的自由度、局限性和技巧指南。

本章包含下列章节：

- “[PCB 结构](#)”
- “[传输线](#)”
- “[回流](#)”

## PCB 结构

PCB 技术在最近几十年来并无太大变化。绝缘体衬底材料（通常为环氧玻璃复合材料 FR4）采用两侧镀铜，并通过对部分铜进行蚀刻以形成导电路径。镀铜材料层与蚀刻材料层粘合在一起形成堆叠，并在蚀刻材料中间具有额外的绝缘体材料。通过钻孔穿透堆叠。对这些孔施加电镀，从而在不同蚀刻铜层之间有选择性地形成导电连接。

虽然 PCB 技术已取得了进步，例如，材料属性、所用的堆叠层数、几何形状和钻孔技术（允许孔仅穿透部分堆叠），但 PCB 基本结构并未发生改变。通过 PCB 技术形成的结构可以总结为一组物理/电气结构：走线、内电层（或小平面）、过孔和焊盘。

## 走线

走线是物理金属条带（通常为铜），用于构成 PCB 的 X-Y 坐标上的 2 个点或多个点之间的电气连接。走线承载了这些点之间的信号。

## 内电层

内电层是覆盖整个 PCB 层的不间断金属区域。小平面是内电层的变体，它是仅覆盖 PCB 层上一小部分的不间断金属区域。通常，每个 PCB 层上存在多个小平面。内电层和小平面向 PCB 上多个点供电。作为回流发射介质，内电层和小平面在信号沿走线进行发射的过程中非常重要。

## 过孔

过孔是一小片金属，用于在 PCB 的 Z 空间内建立 2 个点或多个点之间的电气连接。过孔用于在 PCB 层之间承载信号或电流。在电镀通孔 (PTH) 技术中，过孔是通过对钻透 PCB 的孔的内表面进行电镀所形成的。在电流微过孔（也称为高

密度互连 (HDI) 中，过孔是通过使用激光烧蚀衬底材料并将电镀融化来形成的。这些微过孔最多只能穿透一到两层，但可通过堆叠或采用阶梯状来形成遍历整个板厚的过孔。

## 焊盘和反焊盘

由于 PTH 过孔在整个过孔长度范围内均有导电性，因此需要通过某种方法来选择性建立到 PCB 各层的走线、内电层和小平面的电气连接。这就是焊盘和反焊盘的功能。

焊盘是指定形状的小型铜区域。反焊盘则是去铜的指定形状小区域。焊盘既可配合过孔一起使用，也可作外层裸铜，用于装载某些表面装载型组件。反焊盘主要用于配合过孔使用。

对于走线，焊盘用于在给定层上的过孔和走线或内电层形状之间建立电气连接。为了使过孔能够与 PCB 层级上的走线建立稳固连接，必须存在焊盘以保障机械稳定性。焊盘大小必须满足钻孔公差/对齐限制。

反焊盘在内电层中使用。由于内电层和小平面覆铜在其它情况下都不间断，因此穿过铜的任何过孔都会与之建立电气连接。如果过孔无需与穿过的内电层或小平面建立电气连接，则请在该层中过孔穿透的区域中使用反焊盘去铜。

## 连接盘焊盘

为了焊接表面装载组件，外层焊盘通常被称为连接盘焊盘 (*land*) 或焊垫 (*solder land*)。要与这些焊垫建立电气连接，通常需要过孔。由于 PTH 技术的制造约束，因此几乎不可能在焊垫区域内部放置过孔。此技术改为使用一小段走线以连接到表面焊盘。连接走线的最短长度由 PCB 的最小尺寸规格确定。微过孔技术则不存在此约束，可在焊垫区域内直接放置过孔。

## 尺寸

定义 PCB 尺寸的主要因素包括 PCB 制造限制、FPGA 封装几何形状和系统合规性。另外还有面向制造的设计 (DFM) 和可靠性等其它因素，这些因素也进一步施加了更多限制，但由于这些都属于特定于应用的限制，因此在本用户指南中不做赘述。

FPGA 封装尺寸与 PCB 制造限制相结合即可以直接受限于封装的几何形状。这些因素给 PCB 设计人员施加了巨大的约束。封装球距（针对 FF 封装为 1.0 mm）可定义连接盘焊盘的布局。当前 PCB 技术的最小表面特征尺寸则可定义器件下区域内的过孔排列。最小过孔直径和过孔周围的“禁区”则由 PCB 制造商定义。这些直径限制了各过孔之间可用于对进出器件下过孔阵列的信号进行布线的空间量。这些直径定义了这些引出线走线内的最大走线宽度。PCB 制造限制对最小走线宽度和最小间距施加了约束。

用于容纳 FPGA 所需的 PCB 总层数由信号层数量和内电层数来定义。

- 信号层数由布线进出 FPGA 封装（通常基于封装的用户 I/O 总数）的 I/O 信号走线数量来定义。
- 内电层数由给 FPGA 供电以及为信号层提供基准和隔离所需的电源和接地层的数量来定义。

适用于大型 FPGA 的大部分 PCB 所含层数在 12 到 22 层范围内。

系统合规性通常用于定义板的总厚度。该属性与板的层数相结合即可定义最大层厚，从而定义信号层和内电层到其它信号层和内电层的 Z 向间距。信号走线层彼此之间的 Z 向间距会影响串扰。信号走线层到基准内电层的 Z 向间距会影响信号走线阻抗。内电层彼此之间的 Z 向间距会影响电源系统的寄生电感。

信号走线层到基准内电层的 Z 向间距（由板总厚度和板层数来定义）是走线阻抗的定义因素。而走线宽度（由 FPGA 封装球距和 PCB 过孔制造约束定义）同样是走线阻抗的定义因素。设计人员通常难以控制 FPGA 下过孔阵列区域内的走线阻抗。当走线脱离过孔阵列时，其宽度即可更改为目标阻抗的宽度（通常针对单端信号为  $50\Omega$ ）。

去耦电容布局和离散终端电阻布局也是权衡最优化方案时需要考量的领域。DFM 约束通常可用于定义 FPGA 周边无法布局离散组件的禁区（器件占板面积）。禁区的目的是保留空间以备装配或返工之用。因此，禁区外部区域就成为了组件布局争用的区域。PCB 设计人员将负责判定高优先级组件。[第 1 章“UltraScale 器件中的配电系统”](#)中描述了去耦电容的布局约束。终端电阻布局约束必须通过使用 IBIS 或 SPICE 进行信号完整性仿真来定义。

## PDS 基本原则

本章中对 PDS 的用途及其组件的属性进行了探讨。其中还对电容器布局、电容器装载、PCB 几何形状和 PCB 叠层建议等要素进行了描述。

### 噪声限制

就像系统中的器件对于当前电源系统耗用的电流量存在要求一样，对于电源清洁度同样存在要求。此清洁度要求指定了电源上存在的最大噪声量，通常将其称为纹波电压 ( $V_{\text{RIPPLE}}$ )。大部分数字器件（包括所有基于 UltraScale 架构的器件）都要求  $V_{\text{CC}}$  电源浮动范围不超过器件数据手册中记录的规格。

数字器件耗用的电量随时间而变，此变化在所有频标上都会出现，因此导致需要宽频段 PDS 来保持电压稳定性。

- 功耗的低频变化通常是由启用或禁用器件或器件大部分或者出现诸如数据流量或数据处理之类的事件所导致的。这种变化发生的时间范围介于数毫秒到数天之间。
- 功耗的高频变化是器件内部的个别开关事件所导致的。这种情况发生在时钟频标以及最初几个时钟频率谐波（上限 5 GHz）标度上。

由于器件的  $V_{\text{CC}}$  电压电平为固定值，因此功耗需求改变会表现为电流需求改变。PDS 必须适应这些电流汲取变化，并尽可能减小电源电压变化。

当器件中的电流汲取发生变化时，PDS 无法即时响应此变化。由此导致器件电压发生改变的一小段时间之后 PDS 才会响应。造成这种 PDS 延迟的两个主要原因对应于两个 PDS 主要组件：电压调节器和去耦电容。

PDS 的第一个主要组件是电压调节器。电压调节器可观测其输出电压并调整其提供的电流量，以保持输出电压恒定。大部分常用电压调节器只需几毫秒到几微秒即可完成此调整。电压调节器可在所有频率（从 DC 到数百 kHz）发生的事件有效保持输出电压恒定，具体取决于调节器（部分调节器能够有效调节低 MHz 频率）。对于在高于此范围的频率发生的瞬态事件，电压调节器响应新的电流需求级别时存在时间延迟。

例如，如果器件的电流需求在几百皮秒内增大，那么器件电压会稍稍下降，直至电压调节器经调整适应更高级别的新电流要求为止。此延迟可能持续几微妙到几毫秒。在此期间，需要另一个组件来替代调节器，以避免电压下降。

第二个 PDS 主要组件即去耦电容（也称为旁路电容器）。去耦电容可用作为器件的本地储能器。电容器无法提供 DC 电源，因为它只能存储少量电能（电压调节器可提供 DC 电源）。该本地储能器应可快速响应不断变化的电流需求。电容器能够有效使电源电压维持在数百 kHz 到数百 MHz 的频率范围内（时间范围为几毫秒到几纳秒）。离散去耦电容不可用于高于或低于此范围的频率上发生的任何事件。

例如，如果器件中的电流需求在几皮秒内增大，那么器件电压会稍稍下降，直至电容器能够向器件提供额外电荷为止。如果器件中的电流需求在此新级别保持一段时间不变（以毫秒为单位），那么与去耦电容并行工作的电压调节器电路会更改其输出以代替电容器来提供此新级别电流。

图 11-1 显示了 PDS 组件：电压调节器、去耦电容和要通电的有源器件 (FPGA)。

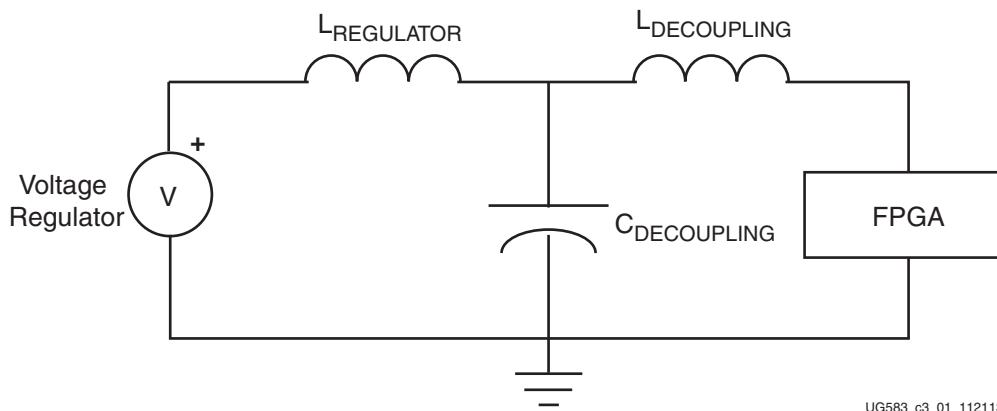


图 11-1：简化 PDS 电路

图 11-2 显示了经简化的 PDS 电路，其中所有无功组件均以频率相关电阻器来表示。

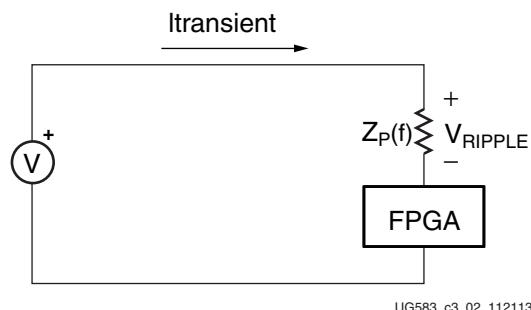


图 11-2：进一步简化的 PDS 电路

## 电感的作用

电感是导线的电气属性，通过电感改变磁场即可创造出电磁力或电压。该磁场会阻挠当前路径中的电流改变。电感正是导致电容器无法即时响应瞬态电流变化或者在高于有效范围的频率上发生的变化的原因。

电感可被视作为电荷的动量。通过导线移动的电荷代表一定量的电流。如果电流发生改变，即表示电荷移动速率发生变化。由于动量（磁场储能）与此电荷存在关联，因此电荷流动的加速或减速都需要一定的时间量和能量。电感越大，则改变时的电阻越大，电流改变所需的时间也越长。发生此改变的过程中，在电感上会产生电压。

由单一调节器和多个阶段的去耦电容组成的 PDS 可适应器件电流需求变化，并尽快响应瞬态电流，以使电压维持在指定的限制范围内。如果不满足这些电流需求，则整个器件的电源上的电压会发生改变。此变化被视为噪声。电容器电流路径中的电感应尽可能降低，因为它会阻碍去耦电容不断变化的电流需求予以快速响应的能力。

电感出现在 FPGA 与电容器之间以及电容器与电压调节器之间（请参阅图 11-2）。这些电感作为寄生电感出现在电容器中以及所有 PCB 电流路径中。重要的是，每个寄生电感都应尽可能降低。

## 电容器寄生电感

电容值通常被视为是电容器最重要的特性。在电源系统应用中，寄生电感 (ESL) 与之具有同等或更大的重要性。电容器封装尺寸（主体大小）用于确定寄生电感的数量。物理尺寸较小的电容器通常所含寄生电感比物理尺寸较大的电容器更低。

去耦电容的选择要求：

- 对于特定电容值，请选择可用的最小封装。
- 或者 -
- 对于特定封装尺寸（本质上为固定电感值），请选择该封装中可用的最高电容值。

表面装载型芯片电容器是可用的最小电容器，也是离散去耦电容的理想选择：

- 对于范围在  $100 \mu\text{F}$  到极小值（如  $0.01 \mu\text{F}$ ）内的值，通常使用陶瓷 X7R 或 X5R 型电容器。这些电容器的寄生电感和 ESR 较低，并具有可接受的温度特性。
- 对于较大的值（如  $47 \mu\text{F}$  到  $1000 \mu\text{F}$ ），通常使用钽电容。这些电容器的寄生电感较低，ESR 中等，因此其 Q 因子较低，且有效频率范围非常广。

如果钽电容器不可用或无法使用，则可使用低 ESR、低电感电解电容，前提是这些电解电容具有相似的 ESR 和 ESL 值。此外还有其它具有类似特性的新技术可供使用，如 Os-Con、POSCAP 和 Polymer-Electrolytic SMT。电解电容或钽电容通常都包含在电压调节器设计中。这些电容器被视为是电压调节器控制环路的一部分，应与电压调节器或控制固件设置相配合进行协同设计。这些电容器的 ESL 可用于设置开关调节器纹波和开关噪声的限制，以及调节器 FET 和输出电感器设计。

这样即可使任何类型的真实电容器同时具备电容特性、电感特性和电阻特性。[图 11-3](#) 显示真实电容器的寄生模型。真实电容器应作为 RLC 电路来处理，这类电路由电阻 (R)、电感 (L) 和电容器 (C) 串联构成。

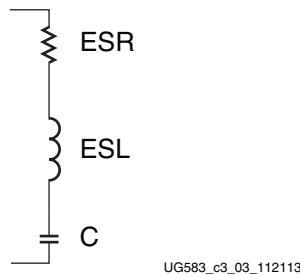


图 11-3：真实非理想电容器的寄生模型

[图 11-4](#) 显示了真实电容器的阻抗特性。此图上显示的曲线与电容器的电容和寄生电感 (ESL) 相对应。这两条曲线结合在一起形成了 RLC 电路的总阻抗特性，可通过电容器的 ESR 加以软化或锐化。

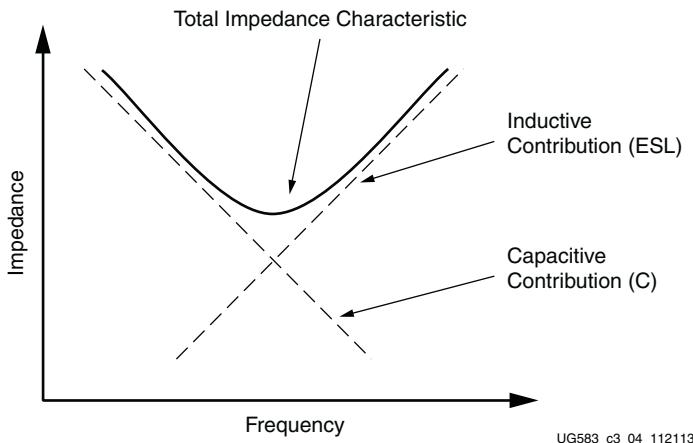


图 11-4：寄生电感对总阻抗特性的贡献

随着电容值的增大，电容曲线会向左下移动。随着寄生电感的减小，电感曲线会向右下移动。由于特定封装中电容器的寄生电感是固定的，因此特定封装中电容器的电感曲线保持固定。

在同一封装中选择不同的电容器值时，电容曲线会根据固定电感曲线上下移动，如图 11-5 所示。

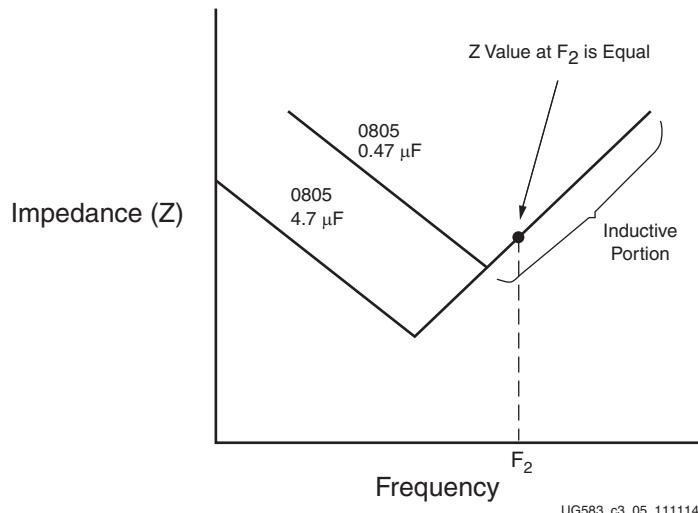


图 11-5：有效频率示例

低频电容器阻抗可通过增大电容器的值来降低；高频阻抗可通过降低电容器的电感来降低。虽然可以在固定封装中指定较高的电容值，但如果添加更多并联电容器，就无法降低固定封装中的电容器的电感。使用多个并联电容器可使寄生电感倍减，同时使电容值倍增。这样即可同时降低高频阻抗和低频阻抗。

## PCB 电流路径电感

PCB 中电流路径的寄生电感有 3 个不同的来源：

- 电容器装载
- PCB 电源和接地层
- FPGA 装载

### 电容器装载型电感

电容器装载是指 PCB 上的电容器焊垫、焊垫与过孔之间的走线（如果有）以及过孔。

根据具体的焊盘布线、过孔结构和 PCB 叠层，双端电容器的过孔、走线和电容器装载焊盘所产生的电感范围在 300 pH 至 4 nH 之间。

由于电流路径的电感与电流所经过的环路区域成比例，因此必须尽可能减小环路大小。环路由穿过单一电源内电层、向上穿过单一过孔、穿过连接至焊垫的走线、穿过电容器、穿过另一个焊垫和连接走线、向下穿过另一个过孔并进入另一个内电层的路径组成，如图 11-6 所示。

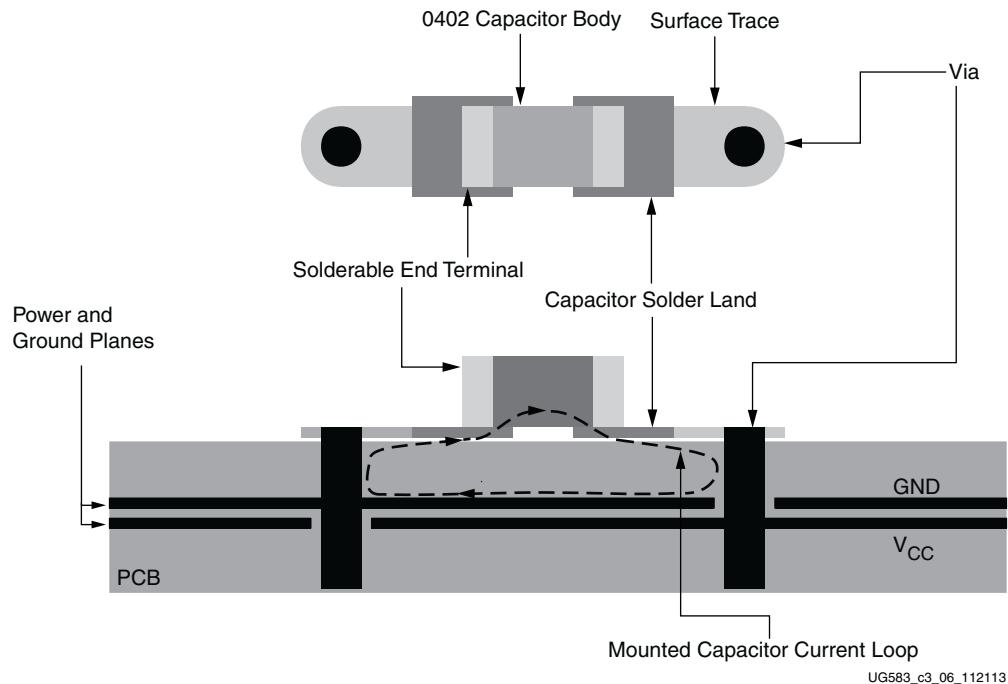


图 11-6：含电容器装载的 PCB 的剖视图示例

连接走线长度对装载的寄生电感影响巨大，如果使用该走线，则应尽可能缩短其长度并增大其宽度。尽可能不使用连接走线，且过孔应与焊垫对接。请将过孔布局在电容器焊垫的一侧，或者将过孔数量翻倍，从而进一步降低装载的寄生电感。

某些 PCB 制造工艺支持采用焊盘内过孔 (via-in-pad) 式的几何形状，这也是另一种降低寄生电感的方法。每个焊垫使用多个过孔对于超低电感电容器而言十分重要，例如反纵横比电容器，这类电容器将较宽的终端布局在电容器主体的侧面而不是两端。

PCB 布局工程师通常会尝试通过在多个电容器之间共享过孔来将更多器件压缩到一个小型区域内。无论在任何情况下都不应使用此方法。将第二个电容器连接到现有电容器过孔时，PDS 的提升非常小。为了实现更大的提升，应优化电容器的总数并改善装载过孔电感路径。

电容器装载（焊垫、走线和过孔）通常贡献的电感量与电容器本身的寄生电感相同或略多。如果不优化装载过孔结构，那么电容器可能对 PDS 完全无效。

## 内电层电感

部分电感与 PCB 电源层和接地层有关。这些内电层的几何形状决定了其电感。

电流通过在电源层与接地层中的不同点之间流动来传播（其特性类似于趋肤效应）。内电层中的电感可描述为扩散电感，并以“亨利/平方”为单位来指定。此处平方为无量纲；使用内电层的一部分的形状（而非大小）来判定电感量。

扩散电感与任何其它电感以相同方式来阻止电源层（导体）中的电流量发生改变。电感能会阻碍电容器对器件瞬态电流变化的响应能力，应尽可能降低电感。由于设计人员对于内电层的 X-Y 形状的控制能力可能受到限制，因此唯一可控的因素即扩散电感值。这是由电介质厚度决定的，电介质可将电源层与其关联的接地层分离。

对于高频配电系统，电源层和接地层成对搭配工作，其电感共存且彼此相关。电源层与接地层的间距可决定此配对的扩散电感。间距越近（电介质越薄），扩散电感越低。表 11-1 中显示了不同厚度的 FR4 电介质的扩散电感的近似值。

表 11-1：FR4 电源层与接地层三明治结构不同厚度对应的电容值和扩散电感值

电介质厚度		电感	电容	
(micron)	(mil)	(pH/square)	(pF/in <sup>2</sup> )	(pF/cm <sup>2</sup> )
102	4	130	225	35
51	2	65	450	70
25	1	32	900	140

扩散电感越低，表示  $V_{CC}$  和 GND 层间距越接近。请尽可能将  $V_{CC}$  层直接布局在 PCB 叠层中 GND 层附近。面朝  $V_{CC}$  和 GND 层有时被称为“三明治”结构。虽然在过去对于先前技术（引线框架、接合线封装）而言， $V_{CC}$  - GND 三明治结构并非必需，但快速密集型器件所涉及的高速和超大功耗要求通常都需要使用此结构。

但由于基于 UltraScale 架构的器件中存在衬底去耦电容，因此 PCB 去耦电容所需的快速瞬时电流量很有限。这意味着电介质厚度小于  $50\mu$  (2 mil) 几乎没有任何好处。在  $V_{CC}$  与 GND 层之间值为  $50\mu$  或  $75\mu$  的电介质厚度对于基于 UltraScale 架构的器件足矣。

除了提供低电感电流路径外，电源/接地层三明治结构还可提供某些高频去耦电容。随着内电层面积增大且电源层与接地层间距降低，此电容值将增大。表 11-1 中显示了每平方英寸的电容值。但由于基于 UltraScale 架构的器件中存在衬底去耦电容，随这些 PCB 电源/接地层对上升的电容量通常微不足道。

## FPGA 装载型电感

连接 FPGA 电源管脚的 PCB 焊垫和过孔 ( $V_{CC}$  和 GND) 会给总体电路增加一定量的寄生电感。对于现有 PCB 技术，焊垫几何形状和狗骨型几何形状大部分是固定的，这些几何形状的寄生电感也不会发生变化。过孔寄生电感是过孔长度和相对的电流路径彼此间距的函数。

相关过孔长度是指过孔中承载 FPGA 焊垫与关联的  $V_{CC}$  或 GND 层间的瞬时电流的那一部分。电源层与 PCB 背面之间的过孔的所有剩余部分都不会影响过孔的寄生电感，焊垫与电源层之间的过孔越短，寄生电感就越小。通过使相关  $V_{CC}$  和 GND 层尽可能保持靠近 FPGA (靠近 PCB 叠层顶部)，即可降低 FPGA 装载中的寄生过孔电感。

器件管脚分配布局可决定彼此相对的电流路径间距。电感与任何两个相对电流（例如，在  $V_{CC}$  和 GND 过孔对中的电流）都存在关联。两条相对路径之间相互电感耦合程度越高，环路的总电感就越低。因此， $V_{CC}$  与 GND 过孔应尽可能彼此靠近。

FPGA 下的过孔场具有大量  $V_{CC}$  和 GND 过孔，总电感是过孔彼此间距的函数：

- 对于核  $V_{CC}$  电源 ( $V_{CCINT}$  和  $V_{CCAUX}$ )，相对电流位于  $V_{CC}$  和 GND 对之间。
- 对于 I/O  $V_{CC}$  电源 ( $V_{CCO}$ )，相对电流位于任意 I/O 与其回流电流路径之间，无论是由  $V_{CCO}$  还是 GND 管脚承载的电流都是如此。

要降低寄生电感，请执行以下操作：

- 核  $V_{CC}$  管脚（如  $V_{CCINT}$  和  $V_{CCAUX}$ ）在管脚分配中应按交错排列方式进行布局。
- $V_{CCO}$  和 GND 管脚分布在 I/O 管脚之间。

Kintex UltraScale 和 Virtex UltraScale FPGA 管脚分配中的每个 I/O 管脚都与回流管脚相邻。

FPGA 管脚分配排列方式可决定 PCB 过孔的排列方式。PCB 设计人员无法控制相对电流路径的间距，但能够控制电容器装载电感与 FPGA 装载电感的取舍：

- 通过将电源层布局至靠近 PCB 叠层上半段并将电容器布局在顶层表面（缩短电容器的过孔长度），即可减小这两项装载电感。
- 如果将电源层布局在 PCB 叠层的下半段，则建议将电容器装载在 PCB 背面。在此情况下，FPGA 装载过孔长度已经很长，导致从顶层表面自上而下的电容器过孔长度过长，这种做法并不合适。更好的办法是利用 PCB 下侧与相关电源层之间的短距离，将电容器装载在下侧。

## PCB 叠层和层级排序

PCB 叠层中的  $V_{CC}$  和接地层布局（层级排序）对于电源电流路径的寄生电感影响巨大。在设计进程中，必须尽早考虑层级排序。

- 高优先级的电源应尽可能布局在靠近 FPGA 的位置（位于 PCB 叠层上半段）
- 低优先级的电源应布局在远离 FPGA 的位置（位于 PCB 叠层下半段）

具有高瞬态电流的电源的关联  $V_{CC}$  层应靠近 PCB 叠层的顶层表面（FPGA 侧）。这样即可缩短电流到达关联  $V_{CC}$  和 GND 层之前经过的垂直距离（ $V_{CC}$  和 GND 过孔长度）。为了降低扩散电感，在 PCB 叠层内，每个  $V_{CC}$  内电层都应具有相邻的 GND 层。趋肤效应会导致高频电流紧密耦合，而特定  $V_{CC}$  内电层相邻的 GND 层倾向于承载大部分电流以补充  $V_{CC}$  内电层中的电流。因此，相邻  $V_{CC}$  与 GND 层作为配对的内电层来处理。

并非所有  $V_{CC}$  和 GND 层对都位于 PCB 叠层的上半段内，因为制造约束通常需要在中心位置（与电介质厚度和蚀刻铜层区域相关）周围存在对称的 PCB 叠层。PCB 设计师负责选择  $V_{CC}$  和 GND 层对的优先级：高优先级对承载高瞬时电流，并布局在叠层中的高处，而低优先级对则承载较低的瞬时电流（可承受更多噪声），并布局在叠层中的下层区域内。

## 电容器有效频率

每个电容器都具有窄频带，在其中它作为去耦电容最有效。此频带位于电容器的自谐振频率  $F_{RSELF}$  中心处。部分电容器的有效频带比其它电容器更宽。电容器的 ESR 可用于判定电容器的质量 (Q) 因子，而 Q 因子则可用于判定有效频带的宽度：

- 钽电容的有效频带通常非常宽。
- 具有较低 ESR 的陶瓷芯片电容器的有效频带通常非常窄。

理想电容器仅含电容特性，而真实的非理想电容器还具有寄生电感 (ESL) 和寄生电阻 (ESR)。这些寄生电感和电阻串联工作以构成 RLC 电路（图 11-4）。RLC 电路的谐振频率即为电容器的自谐振频率。

要判定 RLC 电路的谐振频率，请使用等式 11-1：

$$F = \frac{1}{2\pi\sqrt{LC}} \quad \text{等式 11-1}$$

确定自谐振频率的另一种方法是确定等效 RLC 电路中阻抗曲线的最小点。阻抗曲线可以使用频率扫描在 SPICE 中计算或生成。请参阅第 263 页的“仿真方法”章节，以了解计算阻抗曲线的其它方法。

当系统包含电容器时，区分电容器的自谐振频率与装载的电容器的有效谐振频率  $F_{RIS}$  就显得至关重要。此频率对应于含寄生电感的电容器的谐振频率加上过孔的电感以及电容器与 FPGA 之间的连接走线。

此电容器的自谐振频率  $F_{RSELF}$ （电容器数据手册值）远高于系统中其有效的装载谐振频率  $F_{RIS}$ 。由于装载的电容器性能最为重要，因此评估电容器是否适合包含在更大的 PDS 内时，使用的是装载的谐振频率。

装载的寄生电感是由电容器自身的寄生电感与 PCB 焊垫的电感、连接走线、过孔和电源层构成的。当电容器装载在 PCB 背面时，过孔会穿过整个 PCB 叠层到达器件。对于成品厚度达 1.524 mm (60 mil) 的板，根据过孔间距，这些过孔可达约 300 pH 到 1,500 pH（电容器的装载寄生电感  $L_{MOUNT}$ ）。过孔间隔越宽、包含过孔的板越厚，则电感越高。

判定系统中电容器的总寄生电感  $L_{IS}$  的方法是将电容器的寄生电感  $L_{SELF}$  与装载的寄生电感  $L_{MOUNT}$  相加：

$$L_{IS} = L_{SELF} + L_{MOUNT} \quad \text{等式 11-2}$$

例如，在 0402 主体大小中使用 X7R 陶瓷芯片电容器的情况下：

$C = 0.01 \mu F$ （由用户选择）

$L_{SELF} = 0.9 \text{ nH}$ （电容器数据手册参数）

$F_{RSELF} = 53 \text{ MHz}$ （电容器数据手册参数）

$L_{MOUNT} = 0.8 \text{ nH}$ （基于 PCB 装载几何形状）

要判定系统内有效的寄生电感 ( $L_{IS}$ )，请加上过孔寄生电感：

$$\begin{aligned} L_{IS} &= L_{SELF} + L_{MOUNT} = 0.9 \text{ nH} + 0.8 \text{ nH} \\ L_{IS} &= 1.7 \text{ nH} \end{aligned} \quad \text{等式 11-3}$$

该示例中的值用于判定装载的电容器的谐振频率 ( $F_{RIS}$ )。使用等式 11-4：

$$F_{RIS} = \frac{1}{2\pi\sqrt{L_{IS}C}} \quad \text{等式 11-4}$$

$$F_{RIS} = \frac{1}{2\pi\sqrt{(1.7 \times 10^{-9} H) \cdot (0.01 \times 10^{-6} F)}} = 38 \times 10^6 \text{ Hz} \quad \text{等式 11-5}$$

$F_{RSELF}$  为 53 MHz，但  $F_{RIS}$  较低，为 38 MHz。将装载电感相加会导致有效频带下降。

去耦电容在其谐振频率周围的窄频带范围内最有效，选择电容器集合以构建去耦网络时，必须审查谐振频率。尽管如此，当电容器频率显著高于或低于其谐振频率时，同样可以很有效。请回想下在相同封装内具有不同值的电容器共享的相同电感曲线。如图 11-5 所示，对于沿曲线的电感部分的任意给定频率，电容器都同样有效。

## 电容器抗谐振

对于 FPGA 的 PDS 中组合使用电容器存在一个关联问题，即在 PDS 聚合阻抗中，反谐振激增。此激增的原因是 PDS 中储能元件（固有电容、离散电容器、寄生电感、电源层和接地层）的错误组合。

反谐振可能在配电系统的任何 2 个连续阶段中出现，例如，在高频 PCB 电容器和 PCB 内电层电容之间。电源层和接地层的层间电容通常具有较高的 Q 因子。如果高频 PCB 电容器同样具有较高的 Q 因子，那么高频离散电容器与内电层电容之间的交叉点可能出现高阻抗反谐振峰值。如果 FPGA 在此频率具有高瞬态电流需求（作为激励），那么可能发生较大的噪声电压。

为纠正此类问题，必须更改高频离散电容器的特性或  $V_{CC}$  和接地层的特性，否则 FPGA 活动会转移到远离谐振的其它频率。

## 电容器布局背景

为了执行去耦功能，电容器应尽可能靠近要进行去耦的器件。

FPGA 与去耦电容之间间距增加会导致电源层与接地层中的电流距离增加，并且这通常会导致器件与电容器间的电流路径的电感增大。

此电流路径的电感与环路面积成比例，环路后接电流，电流从电容器的  $V_{CC}$  侧流至 FPGA 的  $V_{CC}$  管脚，并从 FPGA 的 GND 管脚流至电容器的 GND 侧。通过减小环路面积即可减小电感。

缩短器件与去耦电容之间的距离即可减小电感，从而降低瞬时电流阻抗。受典型 PCB 尺寸所限，此侧面内电层流动重要性比 FPGA 噪声源与装载的电容器之间的相位关系的重要性更低。

FPGA 噪声源与装载的电容器之间的相位关系可决定电容器的有效性。为了使电容器在以某些频率（例如，电容器的谐振频率）提供瞬态电流时能够提高效率，基于电流从 FPGA 到电容器的距离确定的相位关系在对应时间范围内所占比例必须非常小。

电容器的布局可决定电容器与 FPGA 之间传输线互连（在此情况下，即电源层和接地层对）的长度。此互连的传输延迟是一个关键因素。

FPGA 噪声会落入某个频带范围内，而不同大小的去耦电容会负责处理不同频带。因此，电容器布局要求由每个电容器的有效频率来确定。

当 FPGA 发起电流需求变更时，会导致 PDS 电压出现微小的局部干扰（电源层和接地层中某个点）。在抵消此干扰前，去耦电容必须首先感应到电压变化。

在 FPGA 电源管脚上开始发生干扰与电容器感应到干扰的时间点之间会发生有限的时间延迟（[等式 11-6](#)）。

$$\text{时间延迟} = \frac{\text{从 } \text{FPGA} \text{ 电源管脚到电容器的距离}}{\text{信号通过 FR4 电介质传输的速度}} \quad \text{等式 11-6}$$

电介质是 PCB 上嵌入电源层的底层。

当补偿电流从电容器流向 FPGA 时，也会发生另一次延迟，持续时间相同。对于 FPGA 中的任意瞬态电流需求，在 FPGA 上确认任何释放之前，都会发生往返延迟。

- 在此期间会向 FPGA 传输可忽略的能量，且布局距离大于频率波长所需距离的四分之一。
- 传输到 FPGA 的能量会从 0%（波长四分之一处）增大到 100%（零距离处）。
- 当电容器布局仅占 FPGA 电源管脚的四分之一波长中的一小部分时，即可将能量从电容器高效传输至 FPGA。所占比例如此小的原因是因为电容器在高于其谐振频率的某些频率（较短的波长）处同样有效。

对于大部分实用型应用而言，四分之一波长的十分之一是十分合适的目标，可将电容器布局在其解耦的电源管脚波长的四十分之一范围内。波长对应于电容器的装载谐振频率  $F_{RIS}$ 。

将大量外部终端电阻或无源滤波用于收发器时，其优先级应高于去耦电容。以器件为圆心按同心圆顺序由内向外排序如下：终端电阻和收发器供电滤波应最靠近器件，其次是值最小的去耦电容，最外层则是值较大的去耦电容。

## $V_{REF}$ 稳定电容器

为保证  $V_{REF}$  供电稳定性，对应每个管脚应将一个电容器布局到尽可能靠近  $V_{REF}$  管脚的位置。使用的电容器应在 0.022  $\mu\text{F}$  - 0.47  $\mu\text{F}$  范围内。 $V_{REF}$  电容器的主要功能是降低  $V_{REF}$  节点阻抗，从而减少串扰耦合。由于无需低频能量，因此不需要更大的电容器。

仅限不使用内部  $V_{REF}$  时，这才适用。内部  $V_{REF}$  是一项 UltraScale 架构功能，在其中会生成基准电压轨。请参阅《UltraScale 架构 SelectIO 用户指南》(UG571) [参照 10] 以获取有关内部  $V_{REF}$  的更多详细信息。

## 电源整合

在 Kintex UltraScale 和 Virtex UltraScale FPGA 设计中，支持从公用 PCB 内电层为 1.8V  $V_{CCO}$  和  $V_{CCAUX}$  供电。但必须审慎考量电源噪声 - 尤其是  $V_{CCO}$  电压轨上的任何噪声都不应违反针对  $V_{CCAUX}$  供电建议的工作条件范围。请参阅数据手册以了解具体要求。

## 未连接的 $V_{CCO}$ 管脚

在某些情况下，FPGA 中的一个或多个 I/O bank 处于未使用状态（例如，当 FPGA 所含 I/O 管脚数量远超设计所需数量时）。在此类情况下，可使 bank 的关联  $V_{CCO}$  管脚保持处于未连接状态，因为这样可以腾出部分 PCB 布局约束（电源层和接地层与过孔反焊盘间空隙更少、信号进出管脚分配阵列阻碍更少、可用于其它已用内电层中的其它小平面的铜面积更多）。

使未使用的 I/O bank 的  $V_{CCO}$  管脚保持浮动会降低这些管脚以及 bank 中的 I/O 管脚上的 ESD 保护等级。为了最大限度提升未使用的 bank 中的 ESD 保护等级，该 bank 中的所有  $V_{CCO}$  管脚都应一起连接到相同电势，无论是有效的  $V_{CCO}$  电压还是浮动内电层都是如此。此外，还建议将 I/O 管脚连接到与  $V_{CCO}$  相同的电势，或者可使两者同时保持浮动。如果使用 SYSMON VAUX 输入来监控板上电压，则不建议将任意 I/O bank 的  $V_{CCO}$  管脚接地，否则可能干扰 ADC 精度。在此情况下，请将所有未使用的 I/O bank 的  $V_{CCO}$  绑定到适用于未使用的 bank 的 bank 类型的现有 I/O 电压层。

## 传输线

信号走线和基准内电层组合构成了传输线。PCB 系统中的所有 I/O 信号都通过传输线进行传输。

对于单端 I/O 接口，信号走线和基准内电层都是将信号从任一内电层发射到 PCB 上的另一内电层所必需的。对于差分 I/O 接口，传输线由 2 条走线和 1 个基准内电层组合而成。虽然对于差分信号，并非严格要求存在基准内电层，但为了在 PCB 上真正实现差分走线，此基准内电层则是不可或缺的。

PCB 系统中信号完整性是否良好取决于是否具有受控阻抗的传输线。阻抗取决于走线的几何形状和信号走线周围空间以及信号走线与基准内电层之间的空间内的电介质常数。

走线和基准内电层周围材料的电介质常数是 PCB 层压材料的属性，对于表面走线，它则是板周围气体或液体的属性。PCB 层压通常是 FR4 的变体，但也可能是外来材料。

虽然层压的电介质常数因板而异，但在单一板内通常保持稳定。因此，PCB 中的传输线的相对阻抗主要由走线几何形状和公差来定义。根据在层压织物的局部区域中是否存在玻璃，可能发生阻抗变化，但除非是在高速 (>6 Gb/s) 接口中，否则很少造成任何问题。

## 回流

回流是传输线及其信号完整性中容易被忽视的部分。不应假定信号走线本身即可构成传输线，这是错误的。信号走线中的电流在其下方基准内电层中具有相等且相反的补充电流。走线电压和走线电流与基准内电层电压和基准内电层电流的关系可定义走线和基准内电层构成的传输线的特性阻抗。虽然走线下的基准内电层连续性中断的影响相比信号走线并不严重，但传输线和共享基准内电层的任何器件的性能都会受到影响。

重要的是注意基准内电层的连续性和回流路径。基准内电层连续性中断（例如，孔、插槽或隔离分叉）会在信号走线中导致严重的阻抗中断。这也是串扰和配电系统 (PDS) 噪声的主要来源。回流路径的重要性不可低估。

---

## PCB 材料和走线

传输介质（无论是 PCB 材料还是电缆类型）的选择都会对系统性能产生巨大影响。虽然任何传输介质在千兆赫兹频率下都会出现损耗，但本章提供了一些信号衰减管理措施相关的准则，以帮助给定应用实现最优性能。

### 如何定义快速？

信号边缘包含称为谐波的频率组件。每个谐波都是信号频率的整数倍，并具有显著的振幅，其频率上限由等式 11-7 定义：

$$f \approx \frac{0.35}{T} \quad \text{等式 11-7}$$

其中：

$f$  = 频率（单位为 GHz）

$T$  = 信号上升时间 ( $T_r$ ) 或下降时间 ( $T_f$ ) 中的较小值，单位为 ns

由于 PCB 中的介电损耗与频率相关，因此必须确定相关带宽以确认 PCB 的总损耗。频率必须以工作频率开始，并扩展至等式 11-7 中的频率。例如，含 10 ps 上升时间的 10 Gb/s 信号的带宽范围为 10 GHz 到 35 GHz。

## 介电损耗

电介质中损耗的信号能量是材料特性的函数。用于描述材料的参数包括相对电容率  $\epsilon_r$ （也称为介电常数）和损耗角正切等。趋肤效应同样会以千兆赫兹范围内的线速造成能量损耗。

### 相对电容率

相对电容率用于测量电介质对于导体电容的影响。相对电容率越高，信号经过走线传输的速度越慢，且给定走线几何形状的阻抗越低。大多数情况下， $\epsilon_r$  越低越好。

虽然在所有材料中，相对电容率因频率而异，但 FR4 随频率变化范围（以  $\epsilon_r$  来表示）较大。由于  $\epsilon_r$  直接影响阻抗，FR4 走线随频率增大的阻抗值变化范围较大。虽然此变化范围在 1.125 Gb/s 下并不明显，但在 10 Gb/s 下工作时则会成为隐患。

### 损耗角正切

损耗角正切用于测量电磁能沿传输线向下传输过程中的介电损耗量。损耗角正切越低，则到达目标的能量越多，信号衰减越低。

随频率增加，能量损失的幅度也会增加，导致信号边缘频率最高的谐波承受的衰减最大。这体现为上升时间和下降时间下降。

## 趋肤效应和阻抗损耗

趋肤效应是电流优先靠近导体外表面流动的趋势。其主要原因在于较高频率的信号中的磁场将电流以垂直方向推向导体外围。

随着表面附近电流密度增大，电流穿过的有效横截面积也会降低。由于导线的有效横截面积减小，因此电阻增大。由于趋肤效应随频率增大而变得更加明显，因此阻抗损耗随信号速率而增加。

阻抗损耗对于信号的影响与损耗角正切相似。由于更高频率的谐波的振幅降低，上升时间和下降时间增大，且频率最高的谐波受到影响最大。对于 10 Gb/s 信号，使用 FR4 时，即使基本频率也会发生一定程度的衰减。

例如，宽度为 8 mil 的 1 MHz 走线的电阻约为  $0.06\Omega/\text{英寸}$ ，而 10 Gb/s 的相同走线的电阻略高于  $1\Omega/\text{英寸}$ 。在给定 10 英寸走线和 1.6V 电压摆幅的情况下，基本频率的阻抗损耗会发生 160 mV 的压降，不包括谐波中的损耗和介电损耗。

## 选择衬底材料

材料选择的目的是为特定应用实现最优性能和成本。

FR4 作为最常用的 PCB 衬底材料，可以通过精心设计的系统来提供良好的性能。如果走线长度较长或者信号速率较高，则必须使用介电损耗更低、更昂贵的衬底材料。

Nelco 之类的衬底的介电损耗较低，在千兆赫兹范围内的衰减明显减少，因此可增加 PCB 的最大带宽。在 3.125 Gb/s 下，Nelco 相比于 FR4 的优势在于增加电压摆幅裕度且走线长度更长。在 10 Gb/s 下，除非高速走线非常短，否则就需要像 Nelco 这样的低损耗电介质。

衬底材料的选择取决于高速走线的总长度以及信号速率。

在 HSPICE 仿真中可通过假设分析来评估各种衬底材料。可通过改变介电常数、损耗角正切和其它 PCB 衬底材料参数来执行评估。对于眼图质量的影响则可通过仿真的方式来证明使用更高成本的材料的合理性。还可分析其它参数（如，铜厚）的影响。

## 走线

### 走线几何形状

对于任何走线，其特性阻抗都取决于其叠层几何形状和走线几何形状。对于差分走线，紧密耦合的成对走线之间的电感和电容耦合程度同样可用于确定走线的特性阻抗。

走线阻抗的决定因素包括其与周围导体的电感和电容耦合。例如，这些导体有内电层、过孔、焊盘、连接器和其它走线，包括差分对中另一条紧密耦合的走线。衬底属性、导体属性、磁链区域以及与周围导体的距离均可用于确定耦合量从而影响最终阻抗。

2D 场解算器有助于解决这类复杂交互，以及计算走线的最终阻抗。这些工具对于验证现有走线几何形状也很实用。

走线越宽，可供电流流动的横截面积越大，从而可降低高速接口中的阻抗损耗。请使用空间约束允许范围内最宽的走线。由于走线宽度容限以绝对值来表示，更宽的走线同样可以最大程度减少制造的走线百分比变化，从而导致沿传输线长度的阻抗控制更为严格。

有时，相比于微带线，首选带状线，因为走线两侧的基准内电层可提供辐射屏蔽。微带线只能在一侧由基准内电层进行屏蔽，因为微带线在最上层和最下层运行，导致另一侧暴露在环境中。

为了实现最佳结果，建议使用 2D 或 3D 场解算器来进行验证。

### 适用于高速收发器的走线特性阻抗设计

由于收发器使用差分信号，因此最实用的走线配置为差分边缘耦合带状线和差分微带线。虽然某些背板使用差分宽侧耦合带状线配置，但并不建议将此配置用于 10 Gb/s 操作，因为 P 和 N 过孔为非对称过孔，会引发共模非理想状况。

除少数例外情况外，通道内的传输线主要使用的是  $50\Omega$  特性阻抗 ( $Z_0$ )。通常，当宽度/间距比率 (W/S) 大于 0.4 (8 mil 宽的走线对应 20 mil 间距) 时，P 信号与 N 信号之间的耦合就会影响走线阻抗。在此情况下，差分走线必须设计为采用奇模阻抗 ( $Z_{0O}$ ) 值  $50\Omega$ ，这样才能得到差分阻抗 ( $Z_{DIFF}$ ) 值  $100\Omega$ ，因为  $Z_{DIFF} = 2 \times Z_{0O}$ 。

此 W/S 比率同时必须小于 0.8，否则当  $Z_{0O}$  为  $50\Omega$  时，走线间的强耦合要求走线更窄且损耗更大。需要澄清的是，当  $Z_{0O}$  为  $50\Omega$  时，最好采用偶模阻抗 ( $Z_{0E}$ ) 值  $60\Omega$  或更低的值。

图 11-7 到图 11-10 显示了差分结构的横截面示例。

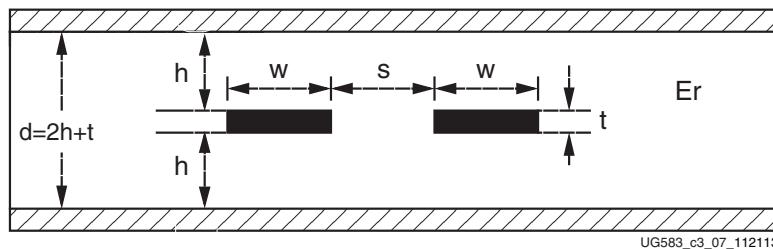


图 11-7：差分边缘耦合中置带状线

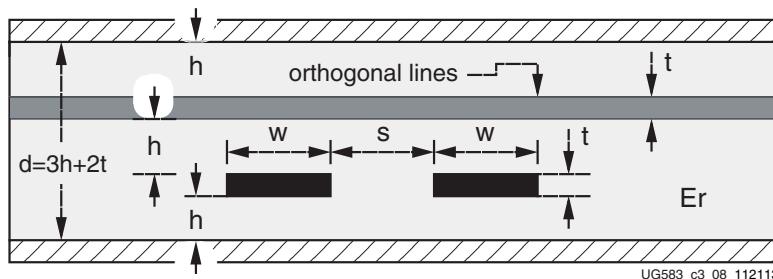


图 11-8：差分边缘耦合偏移带状线

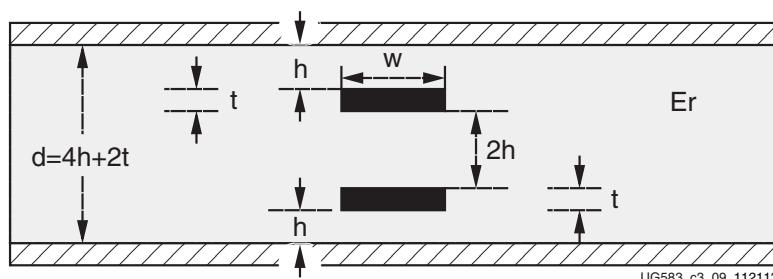


图 11-9：中置宽侧耦合带状线

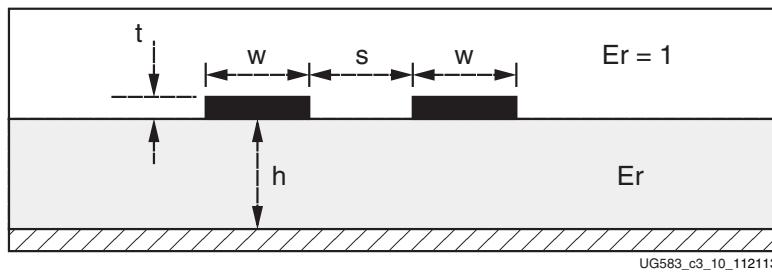


图 11-10：差分微带线

好的 PCB 制造商了解受控阻抗，并且允许通过微调线宽来生成  $Z_{00}$  值  $50\Omega$ 。此类 PCB 制造商也能提供特定 PCB 布局所需的参数。某些参数可以根据示例中总结的准则来进行计算或模拟。虽然通常在  $Z_{00}$  上存在  $\pm 10\%$  的容限，并且可以提供充足的性能，但付出额外成本来收紧容限可以提升通道性能。

## 走线布线

高速串行差分走线的布线享有最高优先级，以确保最优路径可供这些关键走线使用。这样即可减少对于弯曲和过孔的需求，并最大限度降低阻抗过渡的可能性。走线必须保持短而直，并且所含层级变化尽可能少。如需了解有关过孔影响的信息，请参阅第 278 页的“差分过孔”。

高速走线必须尽可能避免布线在其它走线附近或其它潜在噪音源附近。相邻信号平面上的走线应垂直运行，以最大程度减小串扰。

应尽可能使用带状线，最上层和最下层的带状线层也是如此，这样可以最大程度减少过孔短截线。制定叠层规划时，这些带状线层的布局必须尽可能靠近顶层和底层。

设计约束可能导致要求使用微带线作为 BGA 出口路径或者用于从过孔到连接器启动或 SMT 焊盘之间的路径。在此类情况下，微带线走线必须尽可能短。

建议采用斜接 45 度弯曲（而不是 90 度弯曲）。如果采用 90 度弯曲，那么走线的有效宽度会发生改变，这样会因基准内电层的额外导体面积的电容耦合而导致阻抗不连续。

差分走线对的两条走线长度必须匹配以消除偏差。偏差会造成共模不匹配，从而导致减少差分电压摆幅。

## 内电层分割

接地层应用作为信号的基准内电层，而不是使用噪声更大的电源层。每个基准内电层在走线长度范围内都应保持连续，因为布线穿越内电层分割处会导致阻抗不连续。在此情况下，走线阻抗会发生变化，因为它与基准内电层的耦合在内电层分割处会发生突变。

## 回流

穿越内电层分割处布线还会导致回流问题。由于第 258 页的“介电损耗”中所提到的趋肤效应，高速信号会经过走线表面附近。与此同时，回流也会经过紧密耦合的基准内电层表面附近。

由于耦合紧密，回流途径趋向于尽可能靠近承载原始信号的走线。在内电层分割处，回流路径无法再与走线保持平行，而必须改为寻找替代布线路径。

内电层分割会导致次优回流路径，增加电流环路面积，从而增大内电层分割处的走线电感，导致走线阻抗发生改变。

## 有损传输线的仿真

由于各种电路仿真器使用的建模实现不尽相同（频域技术或时域技术），因此检查模型是否准确反映实际损耗至关重要。可采用将模型与已知已发布的配置进行对比的方法来进行检查。

## 电缆

电缆属于受控阻抗传输线，因为沿电缆长度上的导线和电介质的物理尺寸为常数。质量最高的电缆在这些尺寸方面的差异很小，并且高频下的带宽较宽且损耗较低。

## 连接器

连接到电缆的连接器应具备低寄生电感、低寄生电容和低串扰特性，才能执行高带宽操作。

## 导体间的偏差

选择电缆时，请查看电缆中导线间的偏移规格。如果导线长度不匹配，那么在共模下会出现偏差从而导致直接降低眼高。

## 仿真方法

存在从简到繁的各种仿真方法可用于预测 PDS 特性。如果使用的仿真器过于复杂并占用大量时间，则难以获得准确的仿真结果。

基本集总 RLC 仿真最简单的仿真方法之一。虽然它并未将 PDS 的分布式行为纳入考量范围，但它适用于选择去耦电容值并验证这些值不会导致抗谐振过大。集总 RLC 仿真用于建立等效去耦网络的有效方法，例如，用于评估表 1-11 所示电容器的替代方案。

集总 RLC 仿真可在某一版本的 SPICE 或其它电路仿真器内执行，或者可使用诸如 MathCAD 或 Microsoft Excel 之类的数学工具来执行。Istvan Novak 在其网站上的“Tool Download”下发布了适用于集总 RLC 仿真的免费 Excel 电子表格（还有其它适用于 PDS 仿真的实用工具）：

<http://www.electrical-integrity.com>

表 11-2 还列出了一些适用于 PDS 设计和仿真的 EDA 工具供应商。这些工具的复杂程度各不相同。

表 11-2：适用于 PDS 设计和仿真的 EDA 工具

工具	供应商	网站 URL
ADS	Keysight Technologies	<a href="http://www.keysight.com">http://www.keysight.com</a>
SIwave, HFSS	Ansys	<a href="http://www.ansys.com">http://www.ansys.com</a>
Sigrity	Cadence	<a href="http://www.cadence.com">http://www.cadence.com</a>
Hyperlynx PI	Mentor	<a href="http://www.mentor.com">http://www.mentor.com</a>

# PDS 测量方法

测量方法可用于判定 PDS 是否足够。PDS 噪声测量是一项独特任务，为此已开发了许多专用技术。本节主要描述了噪声量级和噪声频谱的测量。

## 噪声量级的测量

在运行真实测试模式的设计上必须使用高带宽示波器（最低 3 GHz 示波器，含 1.5 GHz 探头或直接同轴连接）来执行噪声测量。在器件的电源管脚（称为“观测孔测量”）或者在未使用的 I/O（驱动至高电平或低电平）中执行测量。

$V_{CCINT}$  和  $V_{CCAUX}$  只能在 PCB 背面过孔处进行测量。 $V_{CCO}$  同样可采用此方式来测量，但通过测量相关 bank 中未使用的 I/O 处的静态（固定逻辑层次）信号可获得更准确的结果。

在 PCB 背面执行噪声测量时，必须考量路径中测量点与 FPGA 之间的过孔寄生值。在示波器测量中，不考量此路径中发生的任何压降。

PCB 背面过孔测量也存在潜在问题：去耦电容通常直接装载在器件下方，即电容焊垫采用表面走线直接连接到  $V_{CC}$  和 GND 过孔。由于这些电容的行为与用于高频率 AC 电流的短路类似，因此容易导致测量出现混乱。为了确保测量不会因电容器短路而受影响，请移除测量处的电容器（包括所有其它电容器以反映真实的系统行为）。

测量  $V_{CCO}$  噪声时，可在配置为逻辑 1 或逻辑 0 的驱动的 I/O 管脚处执行测量。在大多数情况下，用于此测量的 I/O 标准应与用于 bank 中其它信号的标准相同。测量静态逻辑 0 显示在受干扰对象上引发串扰（过孔场、PCB 布线、封装布线）。测量静态逻辑 1 则显示存在所有同样的串扰组件，并且在 I/O bank 的  $V_{CCO}$  信号线上存在噪声。通过将静态逻辑 1 上测得的噪声减去静态逻辑 0 上测得的噪声（时间连贯），即可观察到裸片的  $V_{CCO}$  上的噪声。为了获得准确结果，必须在相同 I/O 位置测量静态逻辑 0 和静态逻辑 1 噪声。这意味着存储来自两种逻辑状态的时域波形信息，并在后处理数学运算工具（如 MATLAB 或 Excel）中对两个波形执行减法运算。

## 示波器测量方法

有两种基本方法可用于使用示波器查看电源系统噪声，每种方法的用途不同。第一种方法用于调查所有可能的噪声事件，第二种方法则适用于识别各噪声源。

- 将示波器置于无限持续模式下，以获取一长段时间（数秒或数分钟）内的所有噪声。如果设计采用多种不同模式来运行，并且各模式下所使用的资源种类和量都不尽相同，那么应在正常运行这些不同条件和模式的情况下使用示波器获取噪声测量结果。
- 将示波器置于平均模式下，并触发已知干扰源事件。这样即可显示与干扰源事件关联的噪声量，与干扰源保持同步状态的所有事件都将在平均模式下被移除。

电源系统噪声测量应分别在几处不同 FPGA 位置执行，以确保采集所有局部噪声现象。

图 11-11 显示了在设计样本的  $V_{CCO}$  管脚上执行的平均噪声测量。在此情况下，触发器为 I/O 总线接口的时钟，此接口以 250 Mb/s 发送 1-0-1-0 模式。

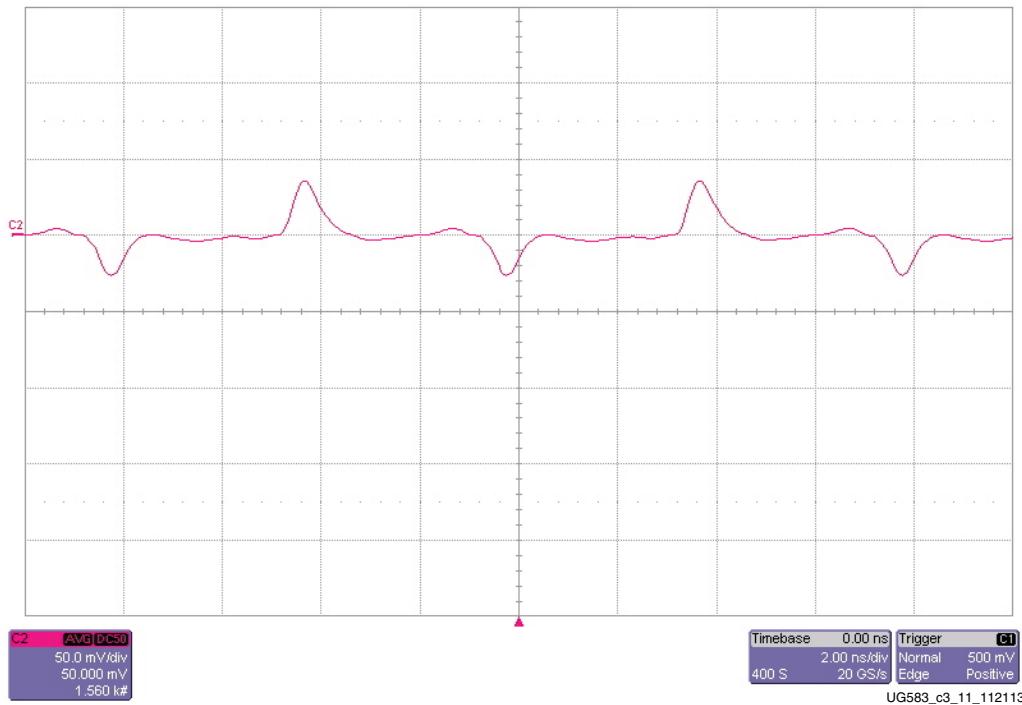


图 11-11：含多个 I/O（以 250 Mb/s 发送模式）的  $V_{CCO}$  电源的平均模式测量

图 11-12 显示了含更多种类的 I/O 活动的相同设计的无限持久噪声测量。由于无限持久测量会采集一长段时间内的所有噪声事件，包括与主干扰源关联的事件和不关联的事件，因此会显示所有电源系统漂移。

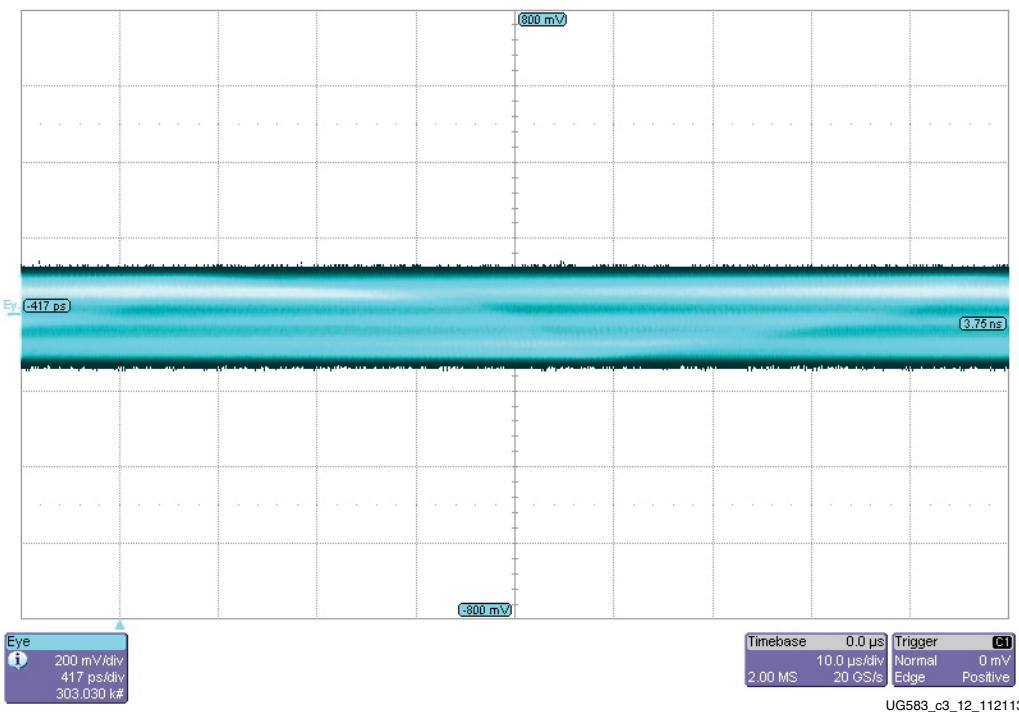


图 11-12：相同电源的无限持续测量

图 11-11 和图 11-12 中所示测量显示的是峰峰值噪声。如果峰峰值噪声位于指定的可接受电压范围（数据手册值  $V_{CC} \pm 5\%$ ）之外，则表示去耦网络不足或者 PCB 布局中存在问题。

## 噪声频谱测量

要获取必要信息以改进去耦网络，需要进行额外测量。要判定噪声所在处的频率，需要进行噪声电源频谱测量。具备 FFT 数学功能的频谱分析仪或高带宽示波器可完成此操作。

FFT 数学功能可构建到示波器中，但其中许多功能都不具备足够的解析度，因此无法清晰显示噪声频谱。或者，可从示波器采集一长串时域数据，并使用 MATLAB 或其它支持 FFT 的后处理软件来将其转换为频域。这种方法的优势在于可根据您期望处理的任意解析度来显示。如果这两种数学功能都不可用，则可通过目视检查时域波形并估算噪声中存在的各周期来近似计算噪声频率内容。

频谱分析仪是一种频域仪器，可显示其输入端电压信号的频率内容。通过使用频谱分析仪即可看到存在 PDS 不足的精确频率。

如果某一频率存在过多噪声，则表明此频率中的 PDS 阻抗过高，无法满足器件的瞬时电流需求。设计师可以使用此信息来修改 PDS，以适应特定频率下的瞬时电流需求。方法是添加具有接近噪声频率的有效频率的电容器，或者降低关键频率的 PDS 阻抗。

噪声频谱测量应采用与峰峰噪声测量相同的方式进行，即直接在设备下方进行，或在驱动至高电平或低电平的静态 I/O 处进行。频谱分析仪使用  $50\Omega$  电缆代替有源探头来执行测量。

- 有一种好方法是将测量电缆穿过同轴连接器连接到靠近器件的电源层和接地层中。此方法在大多数情况下不可用。
- 还有一种方法是将测量电缆连接到已移除的器件附近的去耦电容的焊垫上。电缆的中心导线和屏蔽线直接焊接到电容器焊垫。或者，可使用含  $50\Omega$  射频探头的探头站来接触去耦电容焊垫。

为保护频谱分析仪敏感的前端电路，请在线路中添加隔直电容或衰减器。这样即可将频谱分析仪与器件供电电压隔离。

图 11-13 提供了  $V_{CCO}$  电源噪声的噪声频谱测量示例，其中包含多个以 100 MHz 发送模式的 I/O。

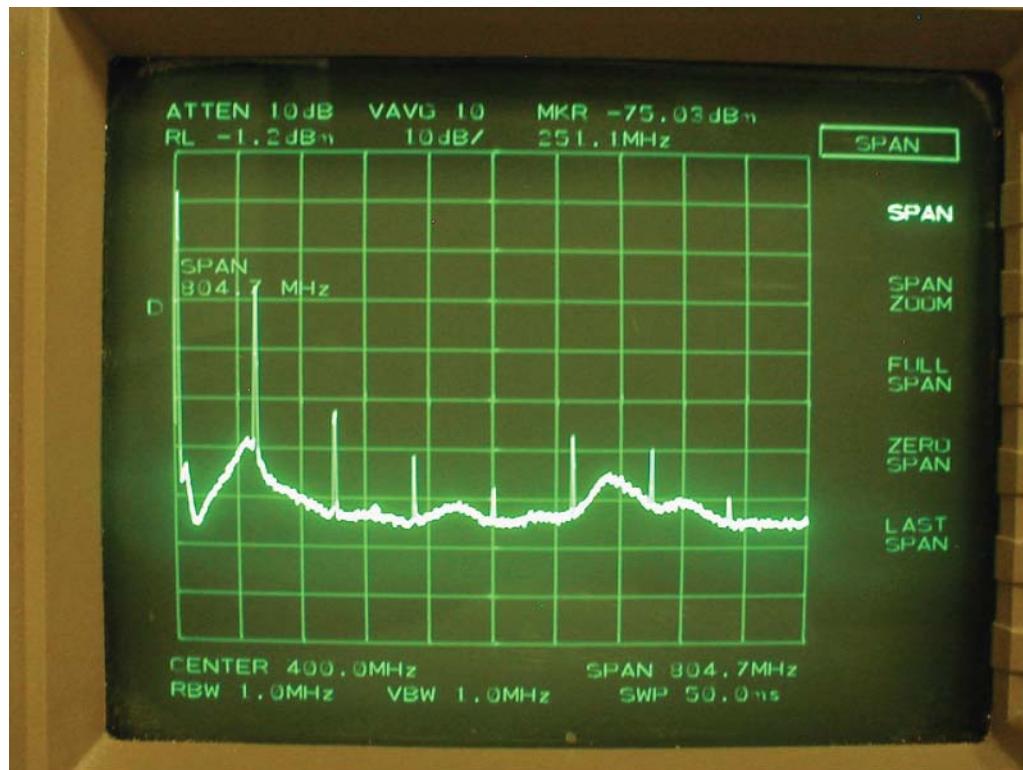


图 11-13： $V_{CCO}$  的频谱分析仪测量截屏

## 最优去耦网络设计

如需高度优化的 PDS，原型系统的测量和仿真可将此需求告知 PDS 设计。借助原型系统所生成的噪声频谱知识以及系统的电源系统阻抗知识，即可确定并适应设计的独特瞬时电流需求。

为了在不同工作条件下测量设计的噪声频谱，可使用具有 FFT 功能的频谱分析仪或示波器。电源系统阻抗可通过直接测量或仿真来确定，或者也可以通过结合这两者来确定，因为通常存在诸多变量和未知因素。

噪声频谱和阻抗都是频率的函数。通过根据每个频率点来检验这两者的商数，即可根据等式 11-8 计算瞬时电流（作为频率的函数）：

$$I(f) = \frac{V(f) \text{ From Spectrum Analyzer}}{Z(f) \text{ From Network Analyzer}} \quad \text{等式 11-8}$$

通过使用数据手册的最大电压纹波值，即可确定所有频率下的阻抗值。这样即可生成目标阻抗（作为频率的函数）。利用专门设计的电容器网络即可满足特定设计的瞬时电流需求。

---

## 故障排除

在某些情况下先完成正确的设计工作，但噪声问题仍然存在。下一节主要描述了可能的问题以及建议的解决办法。

### 可能问题 1：来自 PCB 上的其它器件的噪声过大

有时，许多器件共享接地层和/或电源层，而来自未充分去耦的器件的噪声会影响其它器件上的 PDS。此噪音的常见原因为：

- RAM 接口固有的高瞬时电流需求，这些需求源自临时周期性争用或高电流驱动器
- 大型 ASIC

当在这些器件本地测量到不可接受的噪声时，应分析本地 PDS 和组件去耦网络。

### 可能问题 2：内电层、过孔或连接走线的寄生电感

有时去耦网络电容充足，但从电容器到 FPGA 的路径中存在太多电感。

可能原因包括：

- 去耦电容连接走线几何形状或焊垫几何形状错误
- 从电容器到 FPGA 的路径过长
- - 和/或 -
- 电源过孔中的电流路径遍历的 PCB 叠层厚度异常大

如果连接走线几何形状和电容器焊垫几何形状不充足，请复查电流路径的环路电感。如果去耦电容的过孔与板上电容器焊垫间隔达数毫米，则表示电流环路面积过大。

为减小电流环路面积，过孔应直接布局在紧邻电容器焊垫的位置。切勿通过一段走线将过孔连接到焊垫。

其它几何形状改进措施包括焊盘内过孔（焊垫下的过孔，此处未显示）以及焊盘旁过孔（过孔跨接多个焊垫，而不是布局在焊垫各端）。双过孔同样可以改善连接走线几何形状和电容器焊垫几何形状。

超厚板 (> 3.2 mm 或 127 mil) 所含的过孔的寄生电感较高。

为降低寄生电感，请将关键  $V_{CC}/GND$  层三明治结构移至 FPGA 所在的顶层附近，并将电容器布局在 FPGA 所在的顶层上。

## 可能问题 3：PCB 中的 I/O 信号太强

如果优化 PDS 后， $V_{CCO}$  PDS 中的噪声仍过高，则可降低 I/O 接口斜率和/或驱动强度。此方法适用于 FPGA 的输出和输入。在严重情况下，FPGA 输入的过冲过大可能导致 IOB 锯齿二极管出现反向偏置，从而将电流注入  $V_{CCO}$  PDS。

如果在  $V_{CCO}$  上存在大量噪声，那么应降低这些接口的驱动强度，或者应使用其它终端（在输入或输出路径上）。

## 可能问题 4：I/O 信号回流穿过次优路径

I/O 信号回流也可能导致 PDS 中出现过多噪声。对于器件发射到 PCB 内（并最终进入另一个器件）的每个信号，都存在一个等效且反向的电流，从 PCB 流入器件的电源/接地系统。如果低阻抗回流路径不可用，则会使用阻抗更高的次优路径。当 I/O 信号回流流经次优路径时，在 PDS 中会引发电压变化，而串扰可能破坏信号。通过确保每个信号间隔相近且具有完整的回路即可改善此问题。

纠正次优回流路径的方法包括：

- 将信号限制在数量较少的布线层内，这些层级内具有已验证的连续回流路径。
- 为基准内电层间往来的交流电流提供低阻抗路径（在发生层级过渡的 PCB 位置使用高频去耦电容）。

# 适用于高速信号过渡的设计

通道中的每次过渡都必须设计为最大限度减小对于链路性能的负面影响。本章旨在介绍传输线每一端的接口。

传输线在其长度范围内具有已定义且受控的特性阻抗。但其连接的三维结构在单一路径上并没有轻松定义的阻抗或恒定阻抗。在 10 Gb/s 信号穿越这些结构时，需借助诸如 3D 场解算器等软件工具才能计算这些信号遇到的阻抗，而对于传输线特性阻抗的计算，则使用 2D 场解算器就足矣。

PCB 设计人员可以使用本章中的分析和示例来辅助设计此类通道。对于本章中未论及的情况，则需要进一步的仿真和分析。

---

## 电容和电感过大

大多数差分过渡都存在电容过大现象。P 路径与 N 路径彼此耦合，导致电容增大。许多过渡的频率响应都与宽频带上的集总电容器的频率响应完全相同。

根据设计，在许多情况下添加电感即可抵消此电感过大问题，但受到密度问题和物理限制影响的情况除外。虽然诸如盲孔、增大焊球间距和使用超小过孔焊盘等方法可以减小电容，但此类方法在设计中并非始终可用。

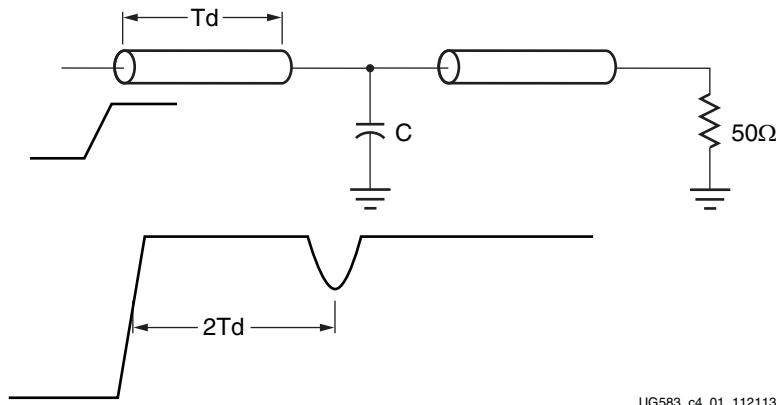
通过仿真或测量使用的时域反射法 (TDR) 技术允许设计师识别过渡中是否存在电容过大或电感过大问题。

---

## 时域反射法

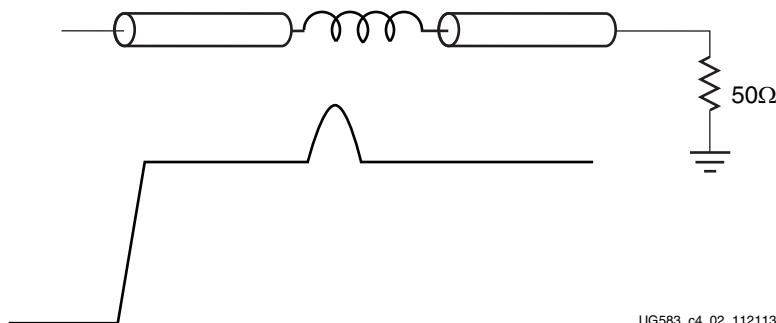
为执行 TDR 测量，将对互连结构应用阶跃输入。电压阶跃在遍历互连结构时遇到的电容过大或电感过大的位置和量级可通过观察反射信号来确定。

分流电容（请参阅图 12-1）会导致阻抗出现短暂下降，而串联电感（请参阅图 12-2）则会导致相反方向出现阻抗不连续。 $T_d$  是穿过左侧第一段传输线的传输延迟。由于阻抗不连续而导致的反射波需要  $2 * T_d$  才能返回至 TDR 端口。如果通过传输线的信号传输速度已知，即可计算沿此通道发生电容过大或电感过大的位置。



UG583\_c4\_01\_112113

图 12-1：分流电容的 TDR 特征



UG583\_c4\_02\_112113

图 12-2：串联电感的 TDR 特征

通过将过渡的 TDR 响应的已归一化区域加以集成，同样可以从 TDR 波形中提取出电容过大 ( $C$ ) 或电感过大 ( $L$ ) 的量级。电容和电感的相应等式为：

$$C = -\frac{2}{Z_0} \int_{t1}^{t2} \frac{V_{tdr}(t) - V_{step}}{V_{step}} dt \quad \text{等式 12-1}$$

$$L = 2Z_0 \int_{t1}^{t2} \frac{V_{tdr}(t) - V_{step}}{V_{step}} dt \quad \text{等式 12-2}$$

图 12-3 显示了已归一化 TDR 区域的集成。

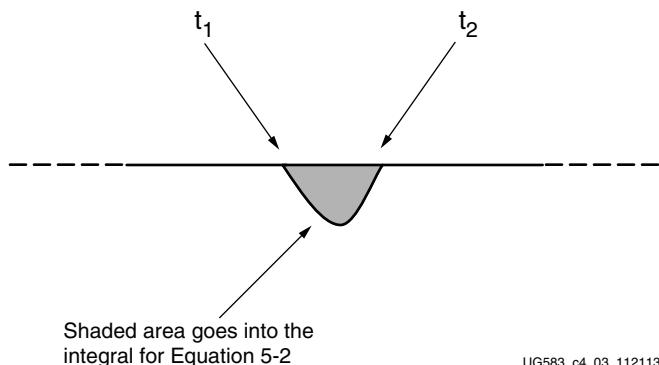


图 12-3：已归一化的 TDR 区域的集成

使用这些等式的结果对于上升时间的变化并不敏感，并且对于仿真的 TDR 测量有效，前提是首尾传输线非常接近  $50\Omega$ 。但对于实际测量，其精度非常依赖于  $Z_0$ 。

## BGA 封装

BGA 封装内的每个信号路径都经过精心设计，以实现信号完整性最优化。支持单端 I/O 的走线名义上是对应  $50\Omega$  走线阻抗而设计的。支持高速 SERDES I/O 的走线名义上是对应  $100\Omega$  差分阻抗而设计的。在设计单一路径以最优化不连续性（例如，焊球和衬底过孔）时应谨慎处理，以最大程度降低其对于信号完整性的影响。封装性能的建模和测量使用的是 3D 全波电磁解算器和矢量网络分析仪。

## SMT 焊盘

对于要求在发射器与接收器之间实现交流耦合的应用，在通道内引入 SMT 焊盘即可支持装载耦合电容。由于附近基准内电层存在的板电容，标准 SMT 焊盘所含电容过大。在图 12-4 示例中，有一段  $Z_0$  为 50W 的 5 mil 走线全部通过 3 mil 的 FR4 过渡到宽度为 28 mil 的 0402 SMT 焊盘。

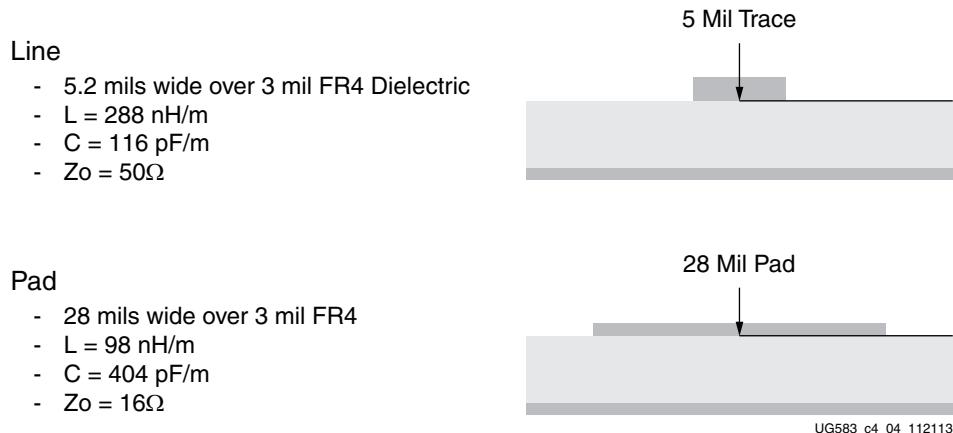


图 12-4：5 mil 走线和 28 mil 焊盘的 2D 场解算器分析

对这些尺寸使用 2D 场解算器对应 5 mil 走线可得  $Z_0$  为 50W。0402 焊盘的  $Z_0$  为 16W，因为焊盘电容过高，电阻过低，导致阻抗小于 50W。可通过下列 2 种方法来优化此过渡的性能。

第一种方法是将走线宽度改为与焊盘相同，并将接地层移至叠层更深处，以使过渡处的  $Z_0$  保持 50W 不变。此方法无需任何特殊分析，但由于 SMT 电容器主体存在边缘电容，因此可能存在错误。由于走线当前宽度为 28 mil，因此走线密度受限。

第二种方法（如图 12-5 所示）为清除焊盘下的接地层，这样即可消除因焊盘与接地层之间的板电容而导致的过量电容。此方法相比于第一种方法，支持的走线密度更大，但需要采用 3D 场解算器分析或测量和多次开发板迭代才能获得期望的性能。



图 12-5：过渡最优化

2D 场解算器示例显示只要清除焊盘占板面积下的接地层，即可实现接近 50W 的性能。3D 场解算器随后即可用于验证此结果以提升准确性。

图 12-6 显示与 2D 仿真完全相同的接地层清除结果。通过在 HFSS 内使用频域分析，利用此方法即可使回波损耗提升 20 dB (10x)。

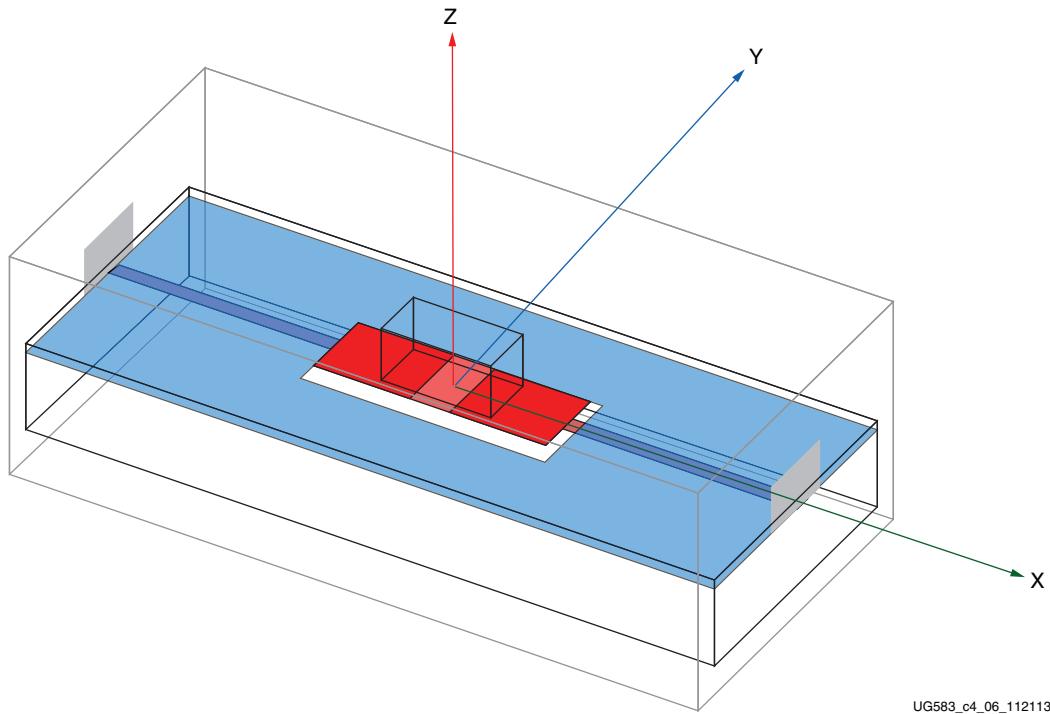


图 12-6: Ansoft HFSS 焊盘清除模型

图 12-7 显示了 0402 焊盘结构间的回波损耗比较（含线性比例）。

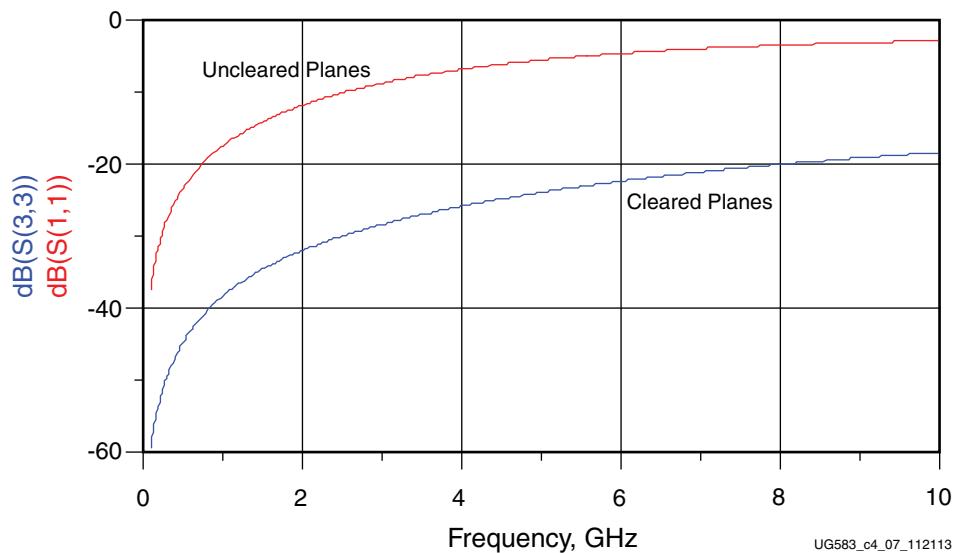


图 12-7: 0402 焊盘结构之间的回波损耗比较

图 12-8 中斜率约为 -40 dB/decade，表明与集总电容器的频率响应为良好匹配。

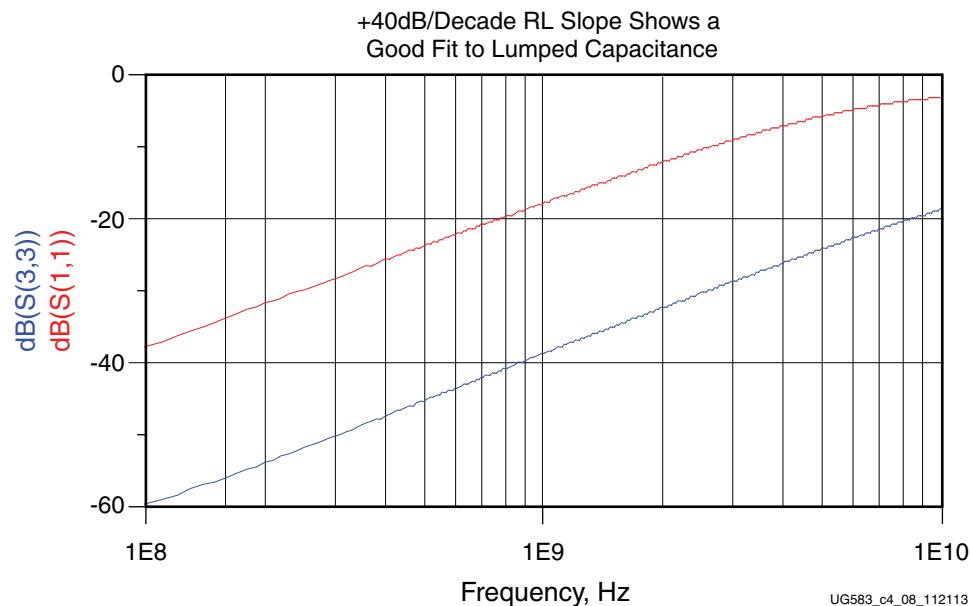


图 12-8：对数（频率）比例下 0402 焊盘结构之间的回波损耗比较

下一步，对 HFSS 中建模的过渡使用仿真测量后表明，通过对来自先前频域分析的 S 参数结果执行 TDR，即可测量此过渡的时域性能。

在图 12-9 和图 12-10 中，红色曲线对应的电容大幅骤降对应于未清除其下方接地层的 SMT 焊盘。蓝色曲线表明清除接地层后即可消除大部分过量电容。通过使用等式 12-1 和等式 12-2 即可对此改善结果加以量化。

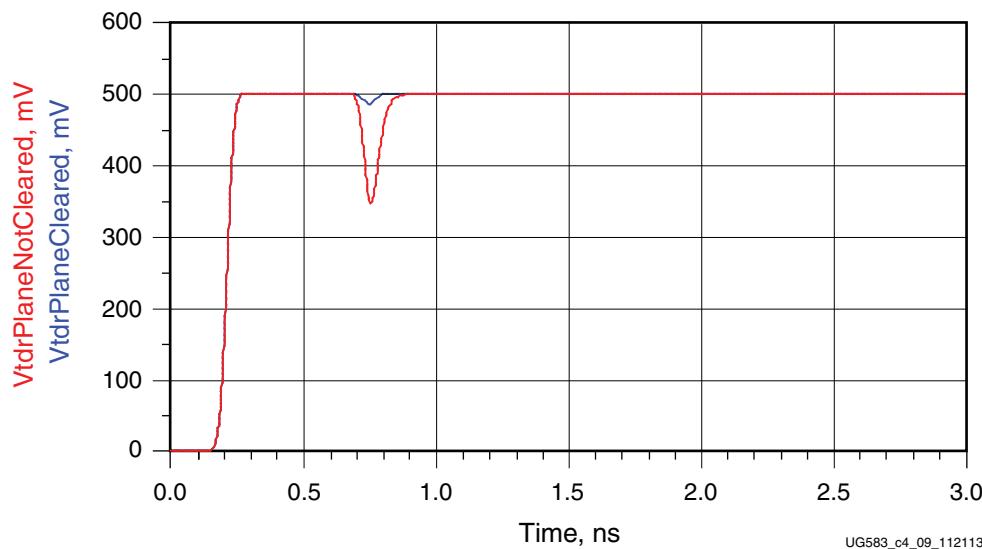


图 12-9：比较 0402 焊盘结构的 TDR 结果

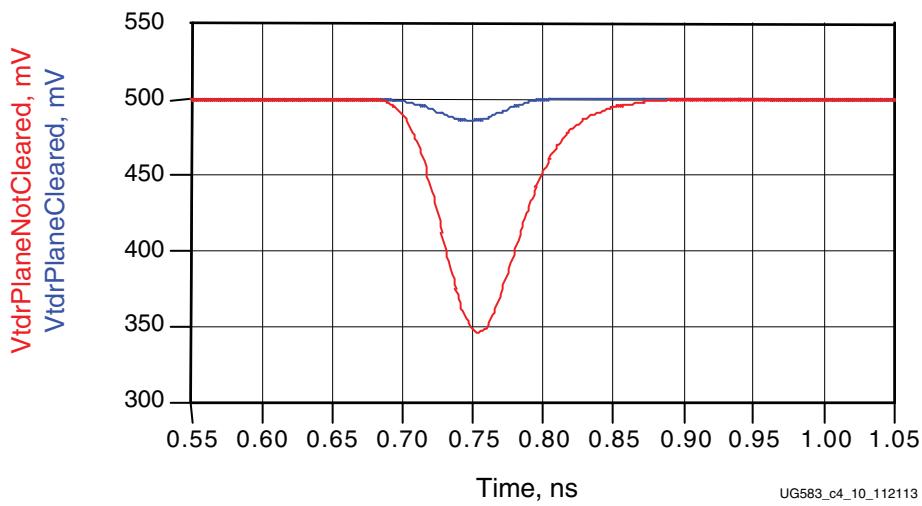


图 12-10：比较 0402 焊盘结构的 TDR 结果

如图 12-11 和图 12-12 所示，清除 SMT 焊盘下方的接地层即可显著提升 SMT 焊盘过渡的性能。过量电容降低达 15x，而回波损耗提升达 20 dB。

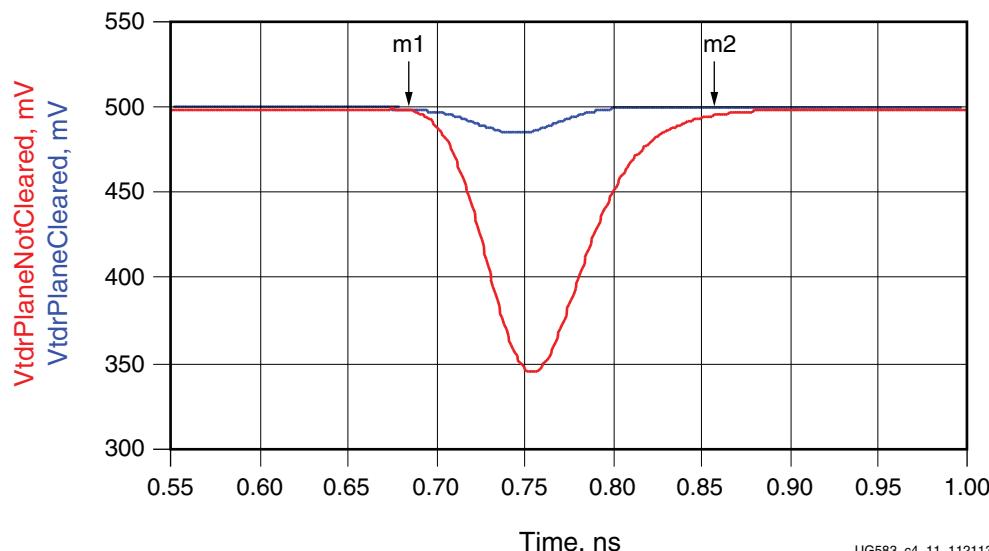


图 12-11: 840 fF 过量电容（含完整接地层）

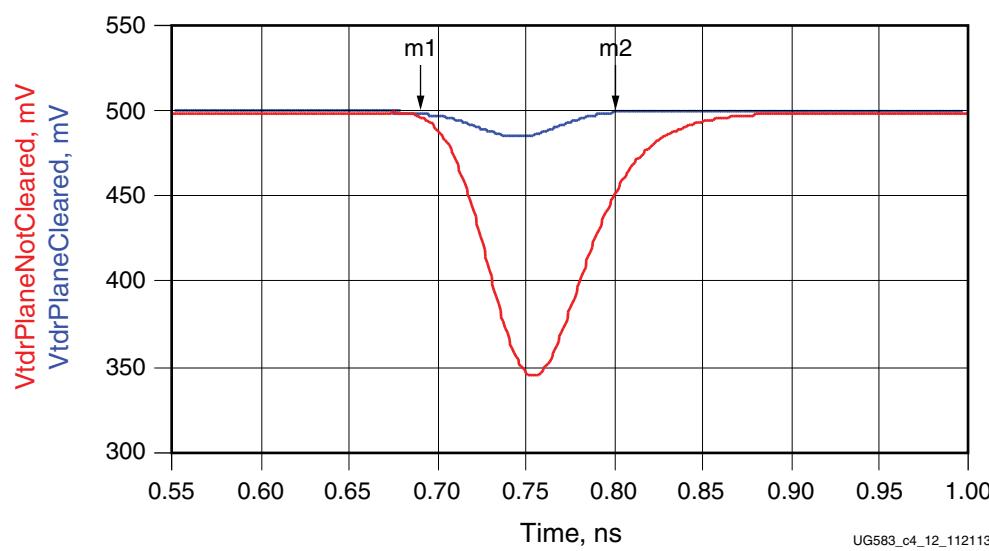


图 12-12: 57 fF 过量电容（含完整接地层）

## 差分过孔

最常见的过渡是差分过孔，其中信号对必须从上层带状线或顶层微带线过渡到下层带状线或底层微带线。

图 12-13 显示了“接地 - 信号 - 信号 - 接地 (GSSG)”型差分过孔。接地过孔连接到叠层中的每个接地层，而信号层仅含对应入口层和出口层的焊盘。

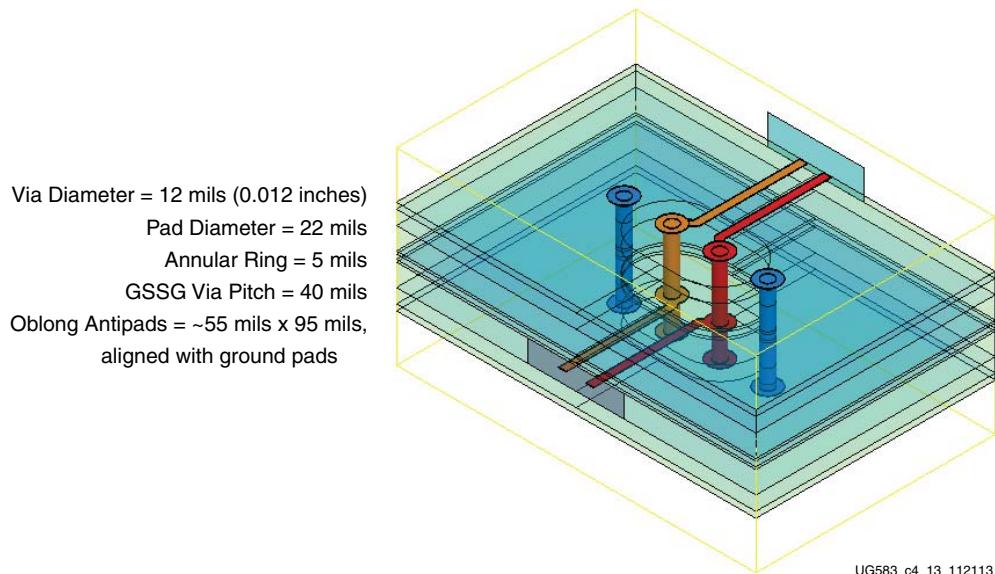


图 12-13：差分过孔设计示例

GSSG 过孔的主要优势在于它支持信号回流流入对应信号过孔附近的接地过孔，从而减少过量的电感。差分信号的 P 和 N 两半之间的信号路径也呈对称状，这对于控制由于 P/N 不平衡而导致的共模构件至关重要。

长椭圆形反焊盘可以减少过孔主体与周围内电层边缘之间的过量边缘电容。同时也可以移除未使用的焊盘。

建议使用图 12-13 中所示尺寸作为对应 80 mil 板的差分过孔设计示例。为了适应密度约束或者密度不足问题，可以相应调整其中尺寸以使各尺寸之间的比例保持不变。这种比例缩放方式可以保留差分过孔的阻抗性能，同时支持调整总体大小以便更好地适应特定应用的需求。这些最终尺寸受到制造工艺和密度约束的限制。

虽然过孔长度可稍作调整以适应厚度略高于或略低于 80 mil 示例板的需求，但更改过孔长度相对于其它尺寸的比例会影响过孔的阻抗。对于差分过孔的此配置或其它配置，最好使用 3D 场解算器工具对模型进行仿真，以确保满足性能目标。

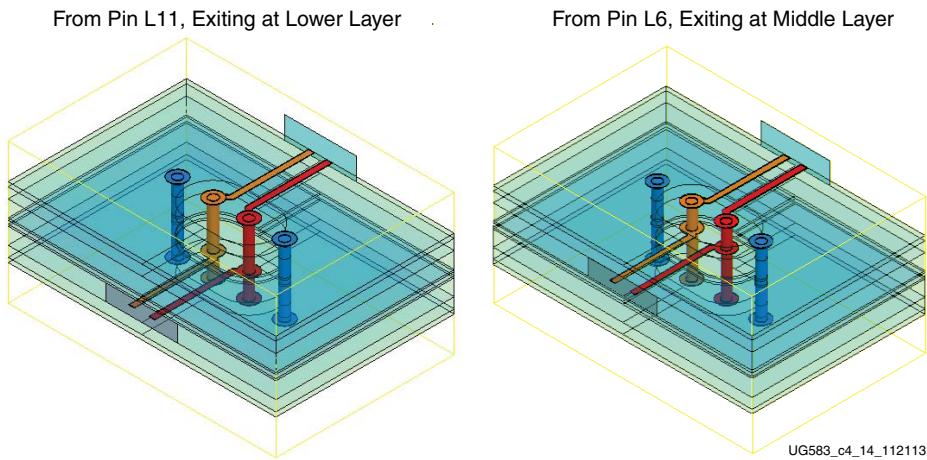


图 12-14：来自管脚 L11 和 L6 的 16 层 PCB 中的 GSSG 差分过孔

一般规则是 P 路径和 N 路径需保持相同长度以穿过过渡区域。过孔短截线长度应保持尽可能短，方法是使信号能够穿过过孔的整个长度。图 12-15 中所示的分析将共模 S 参数回波损耗 (SCC11) 与差分 (SDD11) 响应进行比较。

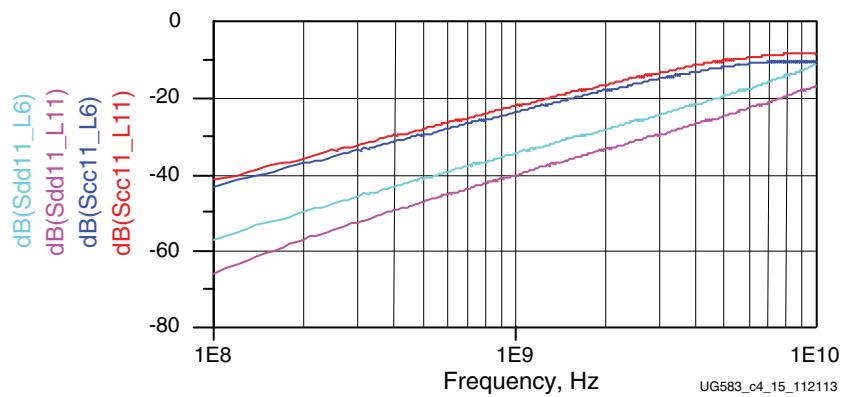


图 12-15：比较 L11 和 L6 GSSG 过孔的差分损耗和共模损耗的回波损耗仿真

如图 12-15 所示，在回波损耗方面，共模响应差 20 dB。共模响应相比差分响应差得多，这就解释了为何在进入过渡之前应尽可能降低 P/N 偏差。所谓 60/40 经验法则是指 1 GHz 下回波损耗为 40 dB，这意味着存在 60 fF 的过量电容。由于过量电容为单极响应，因此可使用简单的外推规则。例如，回波损耗变为 34 dB 就会导致过量电容加倍。由于 GSSG 过孔的卓越性能特性，即使过孔短截线较长，差分过孔电容最多也只会加倍。

## P/N 交叉过孔

某些收发器支持单独转换发射和接收信号对的极性。此功能可避免在板层面进行 P/N 信号交叉，从而显著提升信号完整性。请尽可能避免 P/N 交叉过孔，应使用收发器的极性转换功能。

## SMA 连接器

精心设计的 SMA 连接器可以缩短调试设计时间，以便在最初就能正确设计出高性能通道。需通过仿真、设计并制造出能够按 10 Gb/s 速度高效运行的 SMA 连接器，使其满足此性能目标。供应商还可提供设计服务，以确保连接器能够在特定板上高效运行。对于确保妥善控制连接器与板的匹配过程以提供指定性能而言，装配指南就显得至关重要。

赛灵思使用来自 Rosenberger 和其它精密连接器制造商的精密 SMA 连接器，这些连接器性能卓越并具有前图中所列出的各项特性。

## 背板连接器

背板连接器具有多个信号完整性问题，包括：

- P/N 信号偏差
- 串扰
- 短截线（由于存在连接器管脚）

部分连接器制造商不仅能提供有关其连接器的 S 参数、模型和布局指南，还可提供设计支持、研讨会和教程。

## 微带线/带状线弯曲

PCB 中的走线弯曲即为过渡。在通过 90° 角进行差分走线的布线时，外层走线长度大于内层走线，这会引发 P/N 不平衡。即使在单一走线内，信号电流也倾向于沿内角轨迹流动，从而进一步降低经过弯曲处的实际延迟。

为了尽可能降低 P 路径与 N 路径之间的偏差，微带线或带状线中的 90° 转角作为 2 个 45° 弯曲来布线，以提供斜角。添加凸起部也可以使走线长度匹配。图 12-16 显示了走线中的弯曲示例。

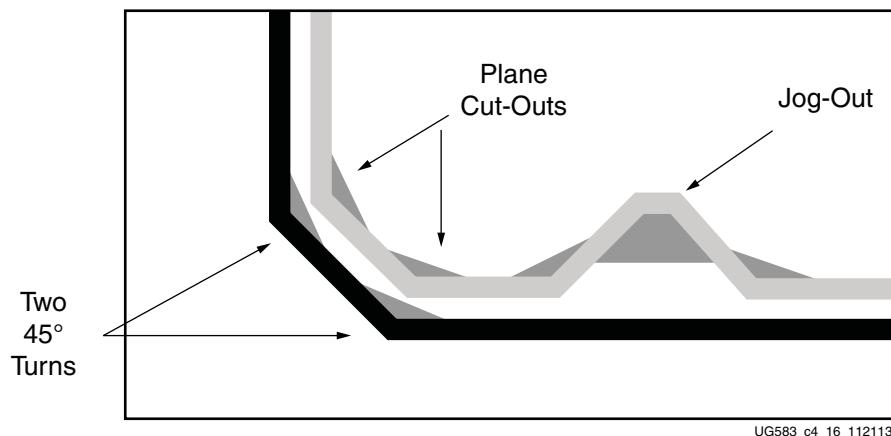


图 12-16：走线中的 90 度弯曲设计示例

转弯会导致电容增大，因为 90° 角处的走线宽度会增加 41%。对于 45° 转弯，此差异可降低至 8%。添加深度为 30 mil 的内电层切口有助于降低此过量电容。有内电层切口的情况下，走线无需增宽即可保持 50Ω。

使用凸出部和内电层切口对此斜向弯曲进行仿真时，可减少过量电容，并改善 P/N 长度和相位匹配。如果不使用凸出部，那么 P/N 长度差为 16 mil。对于 FR4 材料，16 mil 的差异表示相位差在 5 GHz 下为 4.8°，在 10 Gb/s 下则为 2.68 ps (0.0268 UI)。

图 12-17 到图 12-19 显示含凸出部的情况下，相位不匹配减少至 0.75°，含凸出部和内电层切口的情况下，则减少至 0.3°。通过结合凸出部和内电层切口所得出的仿真结果表明结构的过量电容降低至 65 fF。

设计师倾向于将线路增宽，以对特性阻抗增大加以补充，因为线路分离且耦合强度降低。但即使在不增宽线路的情况下，各转角的组合电容和凸出部仍存在过高电容，因此凸出部的未耦合段不得进行增宽。

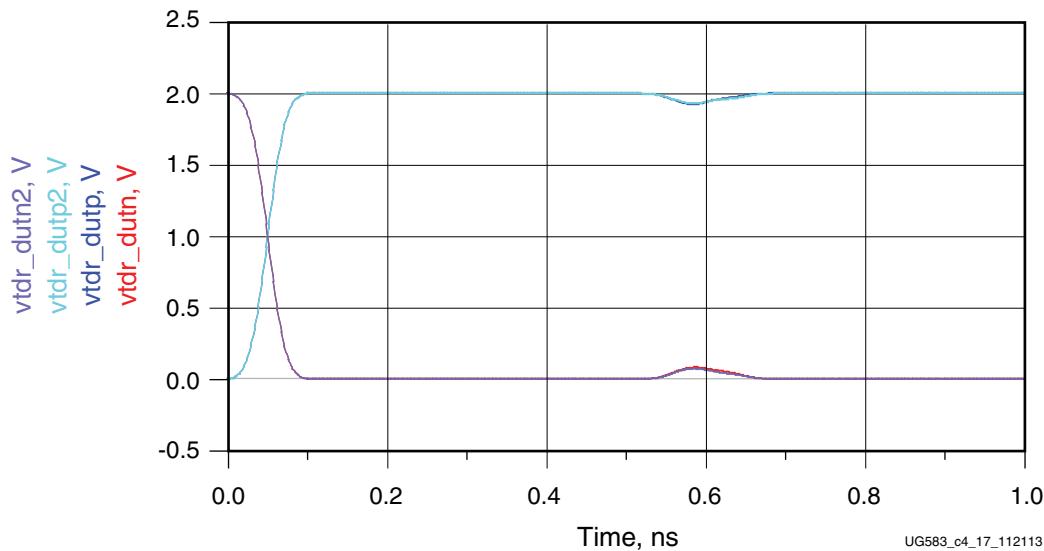


图 12-17：含凸出部的 45 度弯曲的仿真 TDR

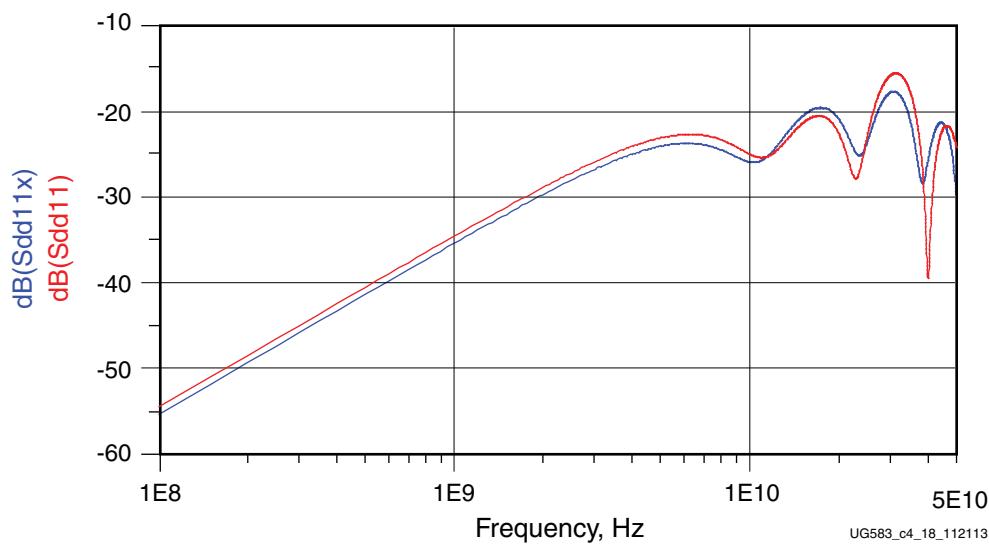


图 12-18：含凸出部的 45 度弯曲的仿真回波损耗

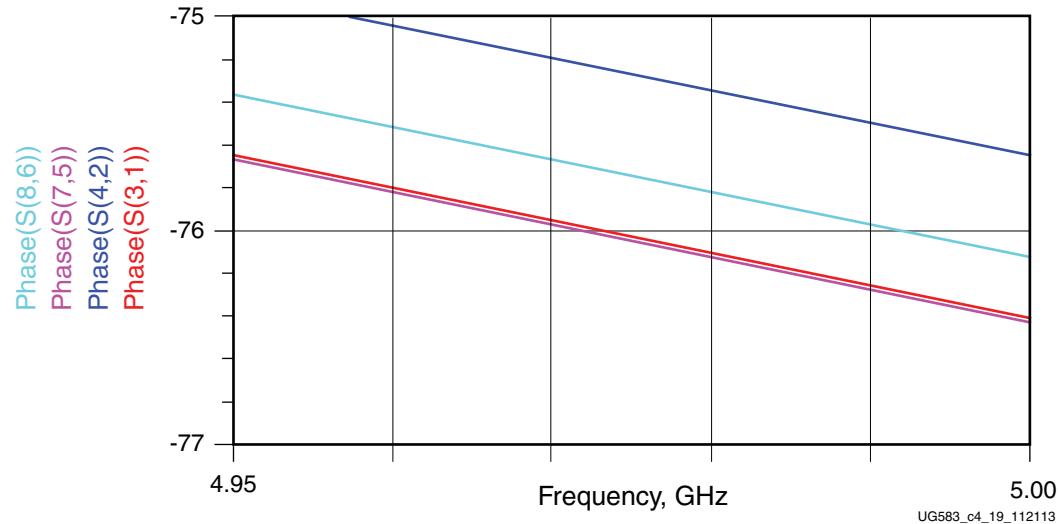


图 12-19：含凸出部的 45 度弯曲的仿真相位响应

对于较宽的走线，曲线布线也很有用，如图 12-20 所示。

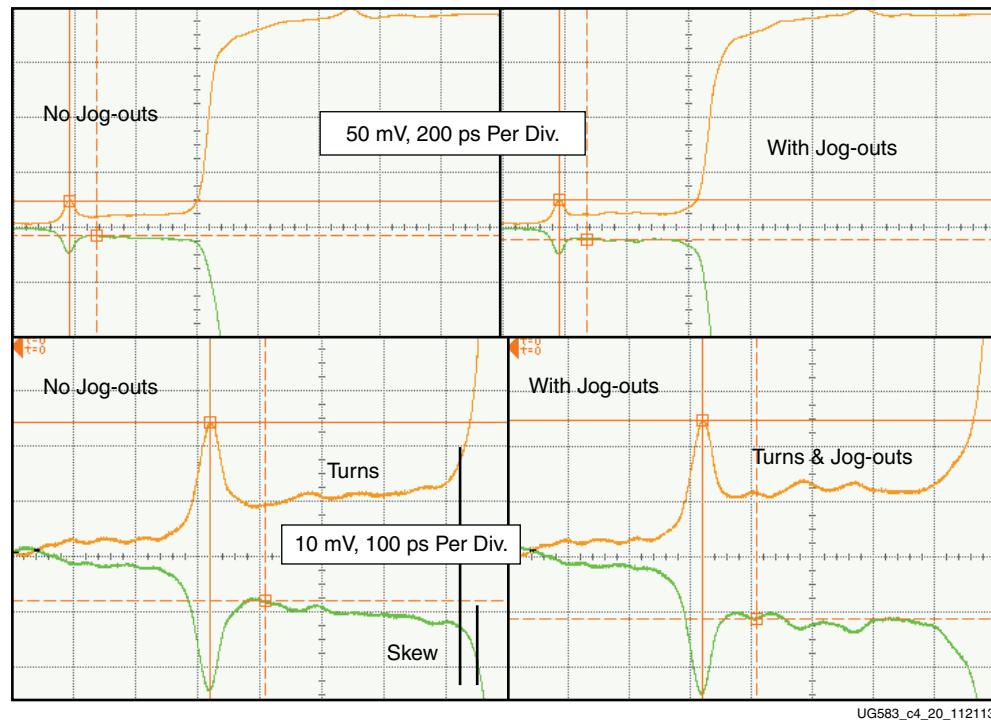


图 12-20：含凸出部和不含凸出部的 45 度弯曲的 TDR 测量结果

## 存储器降额表

第 2 章“对应存储器接口的 PCB 准则”中所述的偏差值是为了使存储器接口按最大数据率运行而计算的。如果相应的存储器接口无需按最大数据率运行，则可放宽部分偏差限制。本附录中的表格提供了根据 FPGA 速率、存储器组件速率以及系统实际运行的速度，相应的偏差值可放宽的范围。

例如，对于使用额定速率为 2133 Mb/s 的 FPGA 和额定速率为 1333 Mb/s 的存储器组件的 DDR3 DQ 到 DQS（表 A-1），以 1333 Mb/s 速率运行时，其偏差可从 10 ps 放宽到 87 ps。

注释：表 A-1 到表 A-15 中的阴影数字表示对应给定 FPGA 速率和存储器组件速率，按相应速度运行时的最大偏差（加或减）。

表 A-1: DDR3 数据到 DQS 偏差限制

FPGA 速率 (Mb/s)		存储器组件速率 (Mb/s)					
额定值	实际值	2133	1866	1600	1333	1066	800
2133	2133	10	不适用	不适用	不适用	不适用	不适用
	1866	39	26	不适用	不适用	不适用	不适用
	1600	83	70	52	不适用	不适用	不适用
	1333	146	133	114	87	不适用	不适用
	1066	150	150	150	150	146	不适用
	800	150	150	150	150	150	150
1866	1866	18	10	不适用	不适用	不适用	不适用
	1600	63	50	31	不适用	不适用	不适用
	1333	125	112	94	66	不适用	不适用
	1066	150	150	150	150	125	不适用
	800	150	150	150	150	150	150
1600	1600	36	23	10	不适用	不适用	不适用
	1333	99	86	68	40	不适用	不适用
	1066	150	150	150	134	99	不适用
	800	150	150	150	150	150	150
1333	1333	64	51	33	10	不适用	不适用
	1066	150	145	126	99	64	不适用
	800	150	150	150	150	150	150
1066	1066	99	86	68	40	10	不适用
	800	150	150	150	150	150	99

表 A-1: DDR3 数据到 DQS 偏差限制 (续)

FPGA 速率 (Mb/s)		存储器组件速率 (Mb/s)					
额定值	实际值	2133	1866	1600	1333	1066	800
800	800	150	148	130	102	67	10

注释:

- 请参阅表 2-24 和表 2-31 以获取与该表关联的原始规格。

表 A-2: DDR3 地址/命令/控制到 CK 偏差限制

FPGA 速率 (Mb/s)		存储器组件速率 (Mb/s)					
额定值	实际值	2133	1866	1600	1333	1066	800
2133	2133	8	不适用	不适用	不适用	不适用	不适用
	1866	8	8	不适用	不适用	不适用	不适用
	1600	32	32	32	不适用	不适用	不适用
	1333	77	77	77	77	不适用	不适用
	1066	119	119	119	119	119	不适用
	800	150	150	150	150	150	150
1866	1866	8	8	不适用	不适用	不适用	不适用
	1600	32	32	32	不适用	不适用	不适用
	1333	77	77	77	77	不适用	不适用
	1066	119	119	119	119	119	不适用
	800	150	150	150	150	150	150
1600	1600	32	28	8	不适用	不适用	不适用
	1333	77	77	77	77	不适用	不适用
	1066	119	119	119	119	119	不适用
	800	150	150	150	150	150	150
1333	1333	58	48	28	8	不适用	不适用
	1066	119	119	119	119	119	不适用
	800	150	150	150	150	150	150
1066	1066	119	119	101	81	8	不适用
	800	150	150	150	150	150	150
800	800	150	150	150	150	150	150

注释:

- 请参阅表 2-25 和表 2-32 以获取与该表关联的原始规格。

表 A-3: DDR4 数据到 DQS 偏差限制

FPGA 速率 (Mb/s)	运行速率 (Mb/s)	存储器组件速率 (Mb/s)						
		3200	2933	2666	2400	2133	1866	1600
2666	2666	18	16	10	不适用	不适用	不适用	不适用
	2400	38	37	31	24	不适用	不适用	不适用
	2133	64	63	57	50	46	不适用	不适用
	1866	98	96	90	83	79	66	不适用
	1600	142	141	135	128	124	110	92
2400	2400	25	23	17	10	不适用	不适用	不适用
	2133	51	49	43	36	32	不适用	不适用
	1866	84	82	77	70	65	52	不适用
	1600	129	127	121	114	110	97	79
2133	2133	29	27	21	14	10	不适用	不适用
	1866	62	61	55	48	44	30	不适用
	1600	107	105	99	92	88	75	57
1866	1866	42	40	35	28	23	10	不适用
	1600	87	85	79	72	68	55	37
1600	1600	60	58	52	45	41	28	10

注释:

1. 请参阅表 2-17 和表 2-34 以获取与该表关联的原始规格。

表 A-4: DDR4 地址/命令/控制到 CK 偏差限制

FPGA 速率 (Mb/s)	运行速率 (Mb/s)	存储器组件速率 (Mb/s)						
		3200	2933	2666	2400	2133	1866	1600
2666	2666	23	15	8	不适用	不适用	不适用	不适用
	2400	65	57	50	43	不适用	不适用	不适用
	2133	117	109	102	95	77	不适用	不适用
	1866	150	150	150	150	144	124	不适用
	1600	150	150	150	150	150	150	150
2400	2400	30	22	15	8	不适用	不适用	不适用
	2133	82	74	67	60	42	不适用	不适用
	1866	149	141	134	127	109	89	不适用
	1600	150	150	150	150	150	150	150
2133	2133	48	40	33	26	8	不适用	不适用
	1866	115	107	100	93	75	55	不适用
	1600	150	150	150	150	150	144	129
1866	1866	68	60	53	46	28	8	不适用
	1600	150	149	142	135	117	97	82

表 A-4: DDR4 地址/命令/控制到 CK 偏差限制 (续)

FPGA 速率 (Mb/s)	运行速率 (Mb/s)	存储器组件速率 (Mb/s)					
		3200	2933	2666	2400	2133	1866
1600	1600	83	75	68	61	43	23
							8

注释:

- 请参阅表 2-18 和表 2-35 以获取与该表关联的原始规格。

表 A-5: RLDRAM 3 DQ/DM 到 DK\_P/N 偏差限制

FPGA 速率 (MHz)		存储器组件速率 (MHz)			
额定值	运行速率	1200	1066	933	800
1200	1200	5	不适用	不适用	不适用
	1066	31	26	不适用	不适用
	933	65	60	45	不适用
	800	109	104	89	64
1066	1066	10	5	不适用	不适用
	933	43	38	23	不适用
	800	88	83	68	43
933	933	25	20	5	不适用
	800	70	65	50	25
800	800	50	45	30	5

注释:

- 请参阅表 2-78 以获取与该表关联的原始规格。

表 A-6: RLDRAM 3 DQ 到 QK\_P/N 偏差限制

FPGA 速率 (MHz)		存储器组件速率 (MHz)			
额定值	运行速率	1200	1066	933	800
1200	1200	5	不适用	不适用	不适用
	1066	31	6	不适用	不适用
	933	65	40	9	不适用
	800	109	84	54	13
1066	1066	30	5	不适用	不适用
	933	63	38	8	不适用
	800	108	83	53	11
933	933	60	35	5	不适用
	800	105	80	50	8
800	800	105	77	46	5

注释:

- 请参阅表 2-78 以获取与该表关联的原始规格。

表 A-7: RLDRAM 3 DK\_P/N 到 CK\_P/N 偏差限制

FPGA 速率 (MHz)		存储器组件速率 (MHz)			
额定值	运行速率	1200	1066	933	800
1200	1200	5	不适用	不适用	不适用
	1066	57	29	不适用	不适用
	933	124	96	60	不适用
	800	150	150	149	101
1066	1066	33	5	不适用	不适用
	933	100	72	36	不适用
	800	150	150	125	77
933	933	69	41	5	不适用
	800	150	130	94	46
800	800	118	89	53	5

注释:

- 请参阅表 2-78 以获取与该表关联的原始规格。

表 A-8: RLDRAM 3 ADDR/CMD 到 CK\_P/N 偏差限制

FPGA 速率 (MHz)		存储器组件速率 (MHz)			
额定值	运行速率	1200	1066	933	800
1200	1200	5	不适用	不适用	不适用
	1066	57	42	不适用	不适用
	933	124	109	74	不适用
	800	150	150	150	128
1066	1066	20	5	不适用	不适用
	933	87	72	37	不适用
	800	150	150	126	91
933	933	55	40	5	不适用
	800	144	129	94	59
800	800	90	75	40	5

注释:

- 请参阅表 2-85 以获取与该表关联的原始规格。

表 A-9: QDR II+ D 到 K\_P/N 偏差限制

FPGA 速率 (MHz)		存储器组件速率 (MHz)		
额定值	实际值	633	600	550
633	633	6	不适用	不适用
	600	27.72	27.72	不适用
	550	65.6	65.6	65.6

表 A-9: QDR II+ D 到 K\_P/N 偏差限制 (续)

FPGA 速率 (MHz)		存储器组件速率 (MHz)		
额定值	实际值	633	600	550
600	633	不适用	不适用	不适用
	600	6	6	不适用
	550	43.88	43.88	43.88
550	633	不适用	不适用	不适用
	600	不适用	不适用	不适用
	550	6	6	6

注释：

- 请参阅表 2-85 以获取与该表关联的原始规格。

表 A-10: QDR II+ Q 到 CQ\_P/N 偏差限制

FPGA 速率 (MHz)		存储器组件速率 (MHz)		
额定值	实际值	633	600	550
633	633	6	不适用	不适用
	600	27.72	27.72	不适用
	550	65.6	65.6	6
600	633	不适用	不适用	不适用
	600	6	6	不适用
	550	43.88	43.88	6
550	633	不适用	不适用	不适用
	600	不适用	不适用	不适用
	550	66	66	6

注释：

- 请参阅表 2-85 以获取与该表关联的原始规格。

表 A-11: QDR II+ 数据偏差限制

FPGA 速率 (MHz)		存储器组件速率 (MHz)		
额定值	实际值	633	600	550
633	633	5	不适用	不适用
	600	42.88	42.88	不适用
	550	64.6	64.6	64.6
600	633	不适用	不适用	不适用
	600	5	5	不适用
	550	42.88	42.88	42.88

表 A-11: QDR II+ 数据偏差限制 (续)

FPGA 速率 (MHz)		存储器组件速率 (MHz)		
额定值	实际值	633	600	550
550	633	不适用	不适用	不适用
	600	不适用	不适用	不适用
	550	5	5	5

注释:

1. 请参阅表 2-85 以获取与该表关联的原始规格。

表 A-12: QDR II+ ADDR/CMD 偏差限制

FPGA 速率 (MHz)		存储器组件速率 (MHz)		
额定值	实际值	633	600	550
633	633	6	不适用	不适用
	600	49.44	49.44	不适用
	550	125.2	125.2	125.2
600	633	不适用	不适用	不适用
	600	6	6	不适用
	550	81.76	81.76	81.76
550	633	不适用	不适用	不适用
	600	不适用	不适用	不适用
	550	6	6	6

注释:

1. 请参阅表 2-85 以获取与该表关联的原始规格。

表 A-13: 对应时钟点对点和 CA 飞越的 QDR II+ ADDR/CMD 到 CLK 偏差限制

FPGA 速率 (MHz)		存储器组件速率 (MHz)		
额定值	实际值	633	600	550
633	633	6	不适用	不适用
	600	49.44	49.44	不适用
	550	125.2	125.2	125.2
600	633	不适用	不适用	不适用
	600	6	6	不适用
	550	81.76	81.76	81.76
550	633	不适用	不适用	不适用
	600	不适用	不适用	不适用
	550	6	6	6

注释:

1. 请参阅表 2-85 以获取与该表关联的原始规格。

表 A-14：对应时钟 T 型分支和 CA 飞越的 QDR II+ ADDR/CMD 到 CLK 偏差限制

FPGA 速率 (MHz)		存储器组件速率 (MHz)		
额定值	实际值	633	600	550
633	633	34	不适用	不适用
	600	77.44	77.44	不适用
	550	153.2	153.2	153.2
600	633	不适用	不适用	不适用
	600	34	34	不适用
	550	109.76	109.76	109.76
550	633	不适用	不适用	不适用
	600	不适用	不适用	不适用
	550	34	34	34

注释：

1. 请参阅表 2-85 以获取与该表关联的原始规格。

表 A-15：对应时钟 T 型分支和 CA T 型分支的 QDR II+ ADDR/CMD 到 CLK 偏差限制

FPGA 速率 (MHz)		存储器组件速率 (MHz)		
额定值	实际值	633	600	550
633	633	6	不适用	不适用
	600	49.44	49.44	不适用
	550	125.2	125.2	125.2
600	633	不适用	不适用	不适用
	600	6	6	不适用
	550	81.76	81.76	81.76
550	633	不适用	不适用	不适用
	600	不适用	不适用	不适用
	550	6	6	6

注释：

1. 请参阅表 2-85 以获取与该表关联的原始规格。

# 材料属性和插入损耗

本附录列出了各种材料类型及其关联的特性，并提供了相关成本乘数以帮助选择最佳印刷电路板材料。

表 B-1：材料参数和成本乘数

	Rogers Corporation (Rogers_4350)	Panasonic (MEGTRON 6)	Isola Group (I-Speed)	Isola Group (FR408HRIS)	Isola Group (Standard FR4_LP)	Isola Group (Standard FR4_LP)
DK	3.48	3.49	3.25	3.65	4.4	4.4
DF	0.0057	0.006	0.0074	0.0115	0.017	0.017
表面粗糙度	0.5 μm	2 μm	2 μm	2 μm	5 μm	8 μm
铜导电率	4x10 <sup>7</sup> S/m	4x10 <sup>7</sup> S/m	4x10 <sup>7</sup> S/m	4x10 <sup>7</sup> S/m	4x10 <sup>7</sup> S/m	4x10 <sup>7</sup> S/m
成本	3.8X	3.5X	2.3X	1.7X	1.2X	1X

表 B-2：插入损耗 @ 2.4 GHz

IL @ 2.4GHz (dB/in)	Rogers Corporation (Rogers_4350)	Panasonic (MEGTRON 6)	Isola Group (I-Speed)	Isola Group (FR408HRIS)	Isola Group (Standard FR4_LP)	Isola Group (Standard FR4_LP)
W = 4 mil	-0.318	-0.469	-0.474	-0.528	-0.658	-0.692
W = 6 mil	-0.246	-0.362	-0.367	-0.422	-0.539	-0.565
W = 8 mil	-0.211	-0.302	-0.308	-0.359	-0.467	-0.488
W = 10 mil	-0.184	-0.263	-0.272	-0.323	-0.427	-0.444
W = 12 mil	-0.167	-0.233	-0.246	-0.293	-0.399	-0.414

注释：

1. 1 mil = 0.0254 mm

表 B-3：插入损耗 @ 4.0 GHz

IL @ 4GHz (dB/in)	Rogers Corporation (Rogers_4350)	Panasonic (MEGTRON 6)	Isola Group (I-Speed)	Isola Group (FR408HRIS)	Isola Group (Standard FR4_LP)	Isola Group (Standard FR4_LP)
W = 4 mil	-0.452	-0.667	-0.679	-0.765	-0.954	-1.002
W = 6 mil	-0.354	-0.518	-0.529	-0.616	-0.794	-0.829
W = 8 mil	-0.306	-0.435	-0.446	-0.531	-0.696	-0.724
W = 10 mil	-0.270	-0.381	-0.397	-0.481	-0.641	-0.665
W = 12 mil	-0.246	-0.340	-0.362	-0.440	-0.603	-0.624

注释：

1. 1 mil = 0.0254 mm

表 B-4: 插入损耗 @ 5.0 GHz

IL @ 5GHz (dB/in)	Rogers Corporation (Rogers_4350)	Panasonic (MEGTRON 6)	Isola Group (I-Speed)	Isola Group (FR408HRIS)	Isola Group (Standard FR4_LP)	Isola Group (Standard FR4_LP)
W = 4 mil	-0.531	-0.774	-0.788	-0.896	-1.126	-1.178
W = 6 mil	-0.417	-0.604	-0.618	-0.728	-0.942	-0.981
W = 8 mil	-0.362	-0.509	-0.525	-0.628	-0.831	-0.861
W = 10 mil	-0.321	-0.447	-0.467	-0.572	-0.768	-0.794
W = 12 mil	-0.294	-0.400	-0.427	-0.524	-0.724	-0.747

注释:

- 1 mil = 0.0254 mm

表 B-5: 插入损耗 @ 6.0 GHz

IL @ 6GHz (dB/in)	Rogers Corporation (Rogers_4350)	Panasonic (MEGTRON 6)	Isola Group (I-Speed)	Isola Group (FR408HRIS)	Isola Group (Standard FR4_LP)	Isola Group (Standard FR4_LP)
W = 4 mil	-0.607	-0.872	-0.890	-1.018	-1.290	-1.356
W = 6 mil	-0.479	-0.683	-0.699	-0.832	-1.085	-1.134
W = 8 mil	-0.417	-0.577	-0.596	-0.720	-0.961	-0.999
W = 10 mil	-0.370	-0.508	-0.532	-0.658	-0.891	-0.924
W = 12 mil	-0.339	-0.455	-0.487	-0.604	-0.842	-0.871

注释:

- 1 mil = 0.0254 mm

表 B-6: 插入损耗 @ 12.9 GHz

IL @ 6GHz (dB/in)	Rogers Corporation (Rogers_4350)	Panasonic (MEGTRON 6)	Isola Group (I-Speed)	Isola Group (FR408HRIS)	Isola Group (Standard FR4_LP)	Isola Group (Standard FR4_LP)
W = 4 mil	-1.099	-1.440	-1.485	-1.754	-2.307	-2.694
W = 6 mil	-0.882	-1.147	-1.191	-1.466	-1.996	-2.275
W = 8 mil	-0.775	-0.983	-1.032	-1.294	-1.792	-2.020
W = 10 mil	-0.695	-0.878	-0.932	-1.198	-1.683	-1.877
W = 12 mil	-0.642	-0.795	-0.863	-1.115	-1.607	-1.776

注释:

- 1 mil = 0.0254 mm

# 附加资源与法律声明

## 赛灵思资源

如需了解答复记录、技术文档、下载以及论坛等支持性资源，请参阅[赛灵思技术支持](#)。

如需获取赛灵思文档中使用的技术术语词汇表，请参阅[赛灵思词汇表](#)。

## 解决方案中心

如需了解设计周期各阶段有关器件、软件工具和 IP 等的技术支持，请参阅[赛灵思解决方案中心](#)。相关专题包括设计辅助、建议和故障排除提示等。

## Documentation Navigator 与设计中心

赛灵思 Documentation Navigator (DocNav) 提供了访问赛灵思文档、视频和支持资源的渠道，您可以在其中筛选搜索信息。打开 DocNav 的方法：

- 在 Vivado IDE 中，单击“Help > Documentation and Tutorials”。
- 在 Windows 中，单击“Start > All Programs > Xilinx Design Tools > DocNav”。
- 在 Linux 命令提示中输入 docnav。

赛灵思设计中心 (Xilinx Design Hubs) 提供了根据设计任务和其它话题整理的文档链接，您可以使用这些链接了解关键概念以及常见问题解答。要访问设计中心，请执行以下操作：

- 在 DocNav 中，单击“Design Hubs View”视图。
- 在赛灵思网站上，请参阅[设计中心](#)页面。

**注释：**如需了解有关 Documentation Navigator 的更多信息，请参阅赛灵思网站上的[Documentation Navigator](#) 页面。

## 参考资料

- 《Kintex UltraScale FPGA 数据手册：DC 和 AC 开关特性》(DS892)
- 《Virtex UltraScale FPGA 数据手册：DC 和 AC 开关特性》(DS893)
- 《Kintex UltraScale+ FPGA 数据手册：DC 和 AC 开关特性》(DS922)

4. 《Virtex UltraScale+ FPGA 数据手册：DC 和 AC 开关特性》 (DS923)
5. 《Zynq UltraScale+ RFSoC 数据手册：DC 和 AC 开关特性》 (DS926)
6. 《UltraScale 架构 GTH 收发器用户指南》 (UG576)
7. 《UltraScale 架构 GTY 收发器用户指南》 (UG578)
8. 《UltraScale 架构原理图查看检查表》 (XTP344)
9. 《UltraScale 与 UltraScale+ FPGA 封装和管脚产品规格》 (UG575)
10. 《UltraScale 架构 SelectIO 资源用户指南》 (UG571)
11. 《将 7 系列 FPGA 高性能 I/O bank 与 2.5V 和 3.3V I/O 标准相连》 (XAPP520)
12. 《UltraScale 架构配置用户指南》 (UG570)
13. 《UltraScale 架构 FPGA 存储器 IP 产品指南》 (PG150)
14. 《UltraScale 架构 Gen3 Integrated Block for PCI Express LogiCORE IP 产品指南》 (PG156)
15. 《UltraScale 架构 Integrated Block for 100G Ethernet LogiCORE IP 产品指南》 (PG165)
16. 《UltraScale 架构 Integrated IP Core for Interlaken LogiCORE IP 产品指南》 (PG169)
17. 《Zynq UltraScale+ RFSoC RF Data Converter LogiCORE IP 产品指南》 (PG269)
18. 《UltraScale+ FPGA 和 Zynq UltraScale+ MPSoC 原理图查看检查表》 (XTP427)
19. 《UltraScale 架构和产品简介》 (DS890)
20. VESA DisplayPort 标准第 1 版  
[www.vesa.org](http://www.vesa.org)
21. JESD84-B451，《嵌入式多媒体卡 (eMMC) 电气标准 (5.1)》  
[www.jedec.org/standards-documents/results/jesd84-b451](http://www.jedec.org/standards-documents/results/jesd84-b451)
22. 《Zynq UltraScale+ MPSoC 数据手册：DC 和 AC 开关特性》 (DS925)
23. 《Zynq UltraScale+ MPSoC 技术参考手册》 (UG1085)
24. 《利用 Zynq UltraScale+ MPSoC 管理功耗和性能》 (WP482)
25. 《UltraScale 架构系统监控器用户指南》 (UG580)
26. 《Zynq UltraScale+ MPSoC 封装和管脚产品规格用户指南》 (UG1075)
27. 《UltraScale+ 器件 Integrated Block for PCI Express LogiCORE IP 产品指南》 (PG213)
28. 《UltraScale+ 器件 Integrated 100G Ethernet Subsystem 产品指南》 (PG203)
29. 《Interlaken 150G LogiCORE IP 产品指南》 (PG212)

---

## 请阅读：重要法律提示

本文向贵司/您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用时参考。在适用法律允许的最大范围内：(1) 资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且 (2) 赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的所有类型的损失或赔偿），均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其它责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，贵司/您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向贵司/您签发的许可证中所包含的保证与支持条款的约束。赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能的用途。如果把赛灵思产品应用于此类特殊用途，贵司/您将自行承担风险和责任。请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>。

### 关于与汽车相关用途的免责声明

如将汽车产品（部件编号中含“XA”字样）用于部署安全气囊或用于影响车辆控制的应用（“安全应用”），除非有符合 ISO 26262 汽车安全标准的安全概念或冗余特性（“安全设计”），否则不在质保范围内。客户应在使用或分销任何包含产品的系统之前为了安全的目

的全面地测试此类系统。在未采用安全设计的条件下将产品用于安全应用的所有风险，由客户自行承担，并且仅在适用的法律法规对产品责任另有规定的情况下，适用该等法律法规的规定。

© 2013-2020 年赛灵思公司版权所有。Xilinx、赛灵思标识、Alveo、Artix、ISE、Kintex、Spartan、Versal、Virtex、Vivado、Zynq 及本文提到的其它指定品牌均为赛灵思在美国及其它国家的商标。“AMBA”、“AMBA Designer”、“Arm”、“ARM1176JZ-SV”、“CoreSight”、“Cortex”、“PrimeCell”、“Mali”和“MPCore”为 Arm Limited 在欧盟及其它国家的注册商标。“PCI”、“PCIe”和“PCI Express”均为 PCI-SIG 拥有的商标，且经授权使用。所有其它商标均为各自所有方所属财产。