

条款中英文版本如有歧义，概以英文版本为准。

综述

赛灵思 Virtex® UltraScale+™ FPGA 支持 -3、-2 和 -1 速度等级，其中 -3E 器件性能最高。-2LE 器件可以 0.85V 或 0.72V 的 V_{CCINT} 电压工作，并提供更低的静态功耗。使用以 $V_{CCINT} = 0.85V$ 工作的 -2LE 器件时，L 器件的速度规格与 -2I 速度等级相同。以 $V_{CCINT} = 0.72V$ 工作时，-2LE 器件的性能以及静态和动态功耗都将下降。

DC 和 AC 特性按以下温度范围来指定：扩展级 (E)、工业级 (I) 和军工级 (M)。除正常工作的温度外或者除非另行说明，否则特定速度等级的所有 DC 和 AC 电气参数都相同（即，-1 速度等级的扩展级器件的时序特性与 -1 速度等级的工业级器件相同）。但在每个温度范围内，仅限选定的速度等级和/或器件才可用。

本数据手册中的 XQ 参考信息仅适用于 XQ 加固型封装中可用的器件。请参阅《军用级 UltraScale 架构数据手册：简介》(DS895)，以获取有关 XQ 军用级器件编号、封装和订购的更多信息。

所有供电电压和结温规格均代表最差情况下的规格。所含参数为常用设计和典型应用的公用参数。

本数据手册属于 Virtex UltraScale+ FPGA 的整体文档集合的一部分，可通过赛灵思网站获取，网址为 china.xilinx.com/documentation。

DC 特性

绝对最大额定值

表 1：绝对最大额定值

标识	描述 ¹	最小值	最大值	单位
FPGA 逻辑				
V_{CCINT}	内部供电电压	-0.500	1.000	V
$V_{CCINT_IO}^2$	I/O bank 的内部供电电压	-0.500	1.000	V
V_{CCAUX}	辅助供电电压	-0.500	2.000	V
V_{CCBRAM}	块 RAM 内存的供电电压	-0.500	1.000	V
V_{CCO}	HD I/O bank 的输出驱动供电电压（仅限 VU19P）	-0.500	3.400	V
	HP I/O bank 的输出驱动供电电压	-0.500	2.000	V
$V_{CCAUX_IO}^3$	I/O bank 的辅助供电电压	-0.500	2.000	V
V_{REF}	输入参考电压	-0.500	2.000	V

表 1: 绝对最大额定值 (续)

标识	描述 ¹	最小值	最大值	单位
V _{IN} ^{4, 5, 6}	HD I/O bank 的 I/O 输入电压 (仅限 VU19P)	-0.550	V _{CCO} + 0.550	V
	HP I/O bank 的 I/O 输入电压	-0.550	V _{CCO} + 0.550	V
V _{BATT}	关键内存电池备份供电电压	-0.500	2.000	V
I _{DC}	焊盘可用输出电流	-20	20	mA
I _{RMS}	焊盘可用 RMS 输出电流	-20	20	mA
高带宽内存 (HBM)				
V _{CC_HBM}	高带宽内存的供电电压	-0.300	1.500	V
V _{CC_IO_HBM}	高带宽内存的 I/O 供电电压	-0.300	1.500	V
V _{CCAUX_HBM}	高带宽内存的辅助供电电压	-0.300	3.000	V
GTy 或 GTM 收发器⁷				
V _{CCINT_GT}	GTM 收发器中选定模块的数字供电电压	-0.500	1.000	V
V _{MGTAVCC}	收发器电路的模拟供电电压	-0.500	1.000	V
V _{MGTAVTT}	收发器终端电路的模拟供电电压	-0.500	1.300	V
V _{MGTVCCAUX}	收发器的辅助模拟四通道 PLL (QPLL) 供电电压	-0.500	1.900	V
V _{MGTREFCLK}	收发器参考时钟绝对输入电压	-0.500	1.300	V
V _{MGTAVTTRCAL}	收发器列的电阻校准电路的模拟供电电压	-0.500	1.300	V
V _{IN}	接收器 (RXP/RXN) 和发射器 (TXP/TXN) 绝对输入电压	-0.500	1.200	V
I _{DCIN-FLOAT}	接收器输入管脚 DC 耦合 RX 终端的 DC 输入电流 = 浮动 ⁸	-	10	mA
I _{DCIN-MGTAVTT}	接收器输入管脚 DC 耦合 RX 终端的 DC 输入电流 = V _{MGTAVTT}	-	10	mA
I _{DCIN-GND}	接收器输入管脚 DC 耦合 RX 终端的 DC 输入电流 = GND ⁹	-	0	mA
I _{DCIN-PROG}	接收器输入管脚 DC 耦合 RX 终端的 DC 输入电流 = 可编程 ¹⁰	-	0	mA
I _{DCOUT-FLOAT}	发射器管脚 DC 耦合 RX 终端的 DC 输出电流 = 浮动	-	6	mA
I _{DCOUT-MGTAVTT}	发射器管脚 DC 耦合 RX 终端的 DC 输出电流 = V _{MGTAVTT}	-	6	mA
系统监控器				
V _{CCADC}	GNDADC 相关的系统监控器供电电压	-0.500	2.000	V
V _{REFP}	GNDADC 相关的系统监控器参考输入	-0.500	2.000	V
温度¹¹				
T _{STG}	XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P 和 XCVU47P 的存放温度 ¹²	-55	120	°C
	所有其它器件的存放温度 (环境温度)	-65	150	°C
T _{SOL}	最大干返工焊接温度	-	260	°C
	FFVC1517、FLGF1924、FHGA2104、FHGB2104、FHGC2104、FLGA2104、FLGB2104、FLGC2104、FLVA2104、FLVB2104、FLVC2104 和 LGA2577 的最大回流焊接温度	-	245	°C
	含刚性环的无盖封装 (FIGD2104、FSGD2104、FSVH1924、FSVH2104、FSGA2577、FSVH2892、FSVA3824、FSVB3824) 的最大回流焊接温度	-	240	°C
	FFRC1517、FFRA2104、FFRB2104 和 FFRC2104 封装的最大回流焊接温度	-	225	°C

表 1: 绝对最大额定值 (续)

标识	描述 ¹	最小值	最大值	单位
T _j	XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P 和 XCVU47P 的最高结温	-	120	°C
	所有其它器件的最高结温	-	125	°C

注释:

- 如果压力超出“绝对最大额定值”下所列值, 可能导致对器件产生永久性损坏。这些只是压力额定值, 并非暗示器件能够以这些条件或超出“工作条件”下所列的任何其它条件来正常工作。长时间暴露在“绝对最大额定值”条件下可能影响器件可靠性。
- V_{CCINT_IO} 必须连接到 V_{CCBRAM}。
- V_{CCAUX_IO} 必须连接到 V_{CCAUX}。
- 始终适用较低的绝对电压规格。
- 对于 I/O 操作, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。
- 超出建议的工作条件范围运行时, 请参阅表 4 和表 5, 以了解最大过冲和下冲规格。
- 如需了解有关受支持的 GTY 收发器终端的更多信息, 请参阅《UltraScale 架构 GTY 收发器用户指南》(UG578) 或《Virtex UltraScale+ FPGA GTM 收发器用户指南》(UG581)。
- 针对 RX 终端 = 浮动, 不支持 AC 耦合操作。
- 对于 GTY 收发器, 针对 RX 终端 = GND, 不支持 DC 耦合操作。
- 针对 RX 终端 = 可编程, 不支持 DC 耦合操作。
- 如需了解焊接指南和热处理注意事项, 请参阅《UltraScale 和 UltraScale+ FPGA 封装和管脚分配产品规格》(UG575)。
- 对于具有高带宽内存 (HBM) 的器件, 存放温度对应于器件中心或顶部的外壳表面温度。如需了解测量条件, 请参阅 JESD51-2 标准。

推荐工作条件

表 2: 推荐工作条件

标识	描述 ^{1,2}	最小值	典型值	最大值	单位
FPGA 逻辑					
V _{CCINT}	内部供电电压	0.825	0.850	0.876	V
	对于 -2LE (V _{CCINT} = 0.72V) 器件: 内部供电电压	0.698	0.720	0.742	V
	对于 -3E 器件: 内部供电电压	0.873	0.900	0.927	V
V _{CCINT_IO} ³	I/O bank 的内部供电电压	0.825	0.850	0.876	V
	对于 -2LE (V _{CCINT} = 0.72V) 器件: I/O bank 的内部供电电压	0.825	0.850	0.876	V
	对于 -3E 器件: I/O bank 的内部供电电压	0.873	0.900	0.927	V
V _{CCBRAM}	块 RAM 供电电压	0.825	0.850	0.876	V
	对于 -3E 器件: 块 RAM 供电电压	0.873	0.900	0.927	V
V _{CCAUX}	辅助供电电压	1.746	1.800	1.854	V
V _{CCO} ^{4,5}	HD I/O bank 的供电电压 (仅限 VU19P)	1.140	-	3.400	V
	HP I/O bank 的供电电压	0.950	-	1.900	V
V _{CCAUX_IO} ⁶	辅助 I/O 供电电压	1.746	1.800	1.854	V
V _{IN} ⁷	I/O 输入电压	-0.200	-	V _{CCO} + 0.200	V
I _{IN} ⁸	对钳位二极管进行正向偏置时, 流经已上电 bank 或未上电 bank 中的任意管脚的最大电流	-	-	10	mA
V _{BATT} ⁹	电池电压	1.000	-	1.890	V
高带宽内存					
V _{CC_HBM}	高带宽内存 (HBM) 的供电电压	1.164	1.200	1.236	V
V _{CC_IO_HBM}	高带宽内存的 I/O 供电电压	1.164	1.200	1.236	V
V _{CCAUX_HBM}	高带宽内存的辅助供电电压	2.425	2.500	2.575	V

表 2: 推荐工作条件 (续)

标识	描述 ^{1, 2}	最小值	典型值	最大值	单位
GTy 或 GTM 收发器					
V _{CCINT_GT}	GTM 收发器中选定模块的数字供电电压	0.825	0.850	0.876	V
	对于 -3E 器件: GTM 收发器供电电压中选定模块的数字供电电压	0.873	0.900	0.927	V
V _{MGTAVCC} ¹⁰	GTy 或 GTM 收发器的模拟供电电压	0.873	0.900	0.927	V
V _{MGTAVTT} ¹⁰	GTy 或 GTM 发射器和接收器终端电路的模拟供电电压	1.164	1.200	1.236	V
V _{MGTVCCAUX} ¹⁰	收发器的辅助模拟 QPLL 供电电压	1.746	1.800	1.854	V
V _{MGTAVTTRCAL} ¹⁰	GTy 或 GTM 收发器列的电阻校准电路的模拟供电电压	1.164	1.200	1.236	V
系统监控器					
V _{CCADC}	GNDADC 相关的系统监控器供电电压	1.746	1.800	1.854	V
V _{REFP}	GNDADC 相关的系统监控器外部供电参考电压	1.200	1.250	1.300	V
温度					
T _j ¹¹	XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P 和 XCVU47P 扩展级 (E) 温度范围器件的结温工作范围 ^{12, 13, 14}	0	-	100	°C
	所有其它扩展级 (E) 温度范围器件的结温工作范围 ¹²	0	-	100	°C
	工业级 (I) 温度范围器件的结温工作范围	-40	-	100	°C
	eFUSE 编程的结温工作范围 ¹⁵	-40	-	125	°C

注释:

- 所有电压都与 GND 相关。
- 如需了解配电系统的设计, 请参阅《UltraScale 架构 PCB 设计用户指南》(UG583)。
- V_{CCINT_IO} 必须连接到 V_{CCBRAM}。
- 对于 V_{CCO_0}, 上电和配置器件推荐的最小工作电压为 1.425V。配置完成后, 会保留数据, 即使 V_{CCO} 降至 0V 也是如此。
- V_{CCO} 值包括 1.0V (仅限 HP I/O)、1.2V、1.35V、1.5V、1.8V、2.5V (仅限 HD I/O) (±5%) 和 3.3V (仅限 HD I/O) (+3/-5%)。
- V_{CCAUX_IO} 必须连接到 V_{CCAUX}。
- 始终适用较低的绝对电压规格。
- 每个 bank 不得超过总计 200 mA。
- 如果不使用电池, 请将 V_{BATT} 连接到 GND 或 V_{CCAUX}。
- 列出的每项电压都必须按《UltraScale 架构 GTy 收发器用户指南》(UG578) 或《Virtex UltraScale+ FPGA GTM 收发器用户指南》(UG581) 中所述进行滤波。
- 赛灵思建议使用系统监控器测量器件的 T_j, 如《UltraScale 架构系统监控器用户指南》(UG580) 中所述。系统监控器温度测量误差 (如表 78 中所述) 必须一并纳入设计考量。例如, 使用带有外部参考电压 1.25V 的系统监控器时, 以及当系统监控器报告 97°C 时存在测量误差 ±3°C。读数 97°C 可被视为最大值调整后 T_j (100°C - 3°C = 97°C)。
- 含速度/温度等级 -2LE 标记的器件可以 100°C 到 110°C 之间的结温在限定时间内运行。时序参数达到 110°C 时遵循的速度文件与低于 110°C 时相同, 与工作电压 (额定电压 0.85V 或低电压 0.72V) 无关。以 T_j = 110°C 运行的时间不得超过器件寿命的 1%, 并且可持续运行或者按固定时间间隔运行, 只要总时间不超过器件寿命的 1% 即可。
- 高带宽内存的建议最高工作温度为 95°C。
- 带有 HBM 并含速度/温度等级 -2LE 标记的器件可以 95°C 到 105°C 之间的结温在限定时间内运行。以 T_j = 105°C 运行 HBM 的时间不得超过器件寿命的 4.1%, 并且可持续运行或者按固定时间间隔运行, 只要总时间不超过器件寿命的 4.1% 即可, 且每次不超过 96 小时。以高于 95°C 运行 HBM 时, 刷新率必须至少达到以 95°C 运行时的刷新率的 4 倍。
- 器件配置期间 (例如, 配置期间、配置回读期间或回读 CRC 处于活动状态时), 请勿对 eFUSE 进行编程。

推荐工作条件下的 DC 特征

表 3: 推荐工作条件下的 DC 特征

标识	描述	最小值	典型值 ¹	最大值	单位
V _{DRINT}	数据保留 V _{CCINT} 电压 (低于此电压时, 配置数据可能丢失)	0.68	-	-	V
V _{DRAUX}	数据保留 V _{CCAUX} 电压 (低于此电压时, 配置数据可能丢失)	1.5	-	-	V
I _{REF}	V _{REF} 每个管脚漏电流	-	-	15	μA

表 3: 推荐工作条件下的 DC 特征 (续)

标识	描述	最小值	典型值 ¹	最大值	单位
I_L	每个管脚输入或输出漏电流 (已采样测试) ²	-	-	15	μA
C_{IN}^3	焊盘上的裸片输入电容 (HP I/O)	-	-	3.1	pF
	焊盘上的裸片输入电容 (HD I/O)	-	-	4.75	pF
I_{RPU}	$V_{IN} = 0V$ 且 $V_{CCO} = 3.3V$ 时的焊盘上拉 (选中时)	75	-	190	μA
	$V_{IN} = 0V$ 且 $V_{CCO} = 2.5V$ 时的焊盘上拉 (选中时)	50	-	169	μA
	$V_{IN} = 0V$ 且 $V_{CCO} = 1.8V$ 时的焊盘上拉 (选中时)	60	-	120	μA
	$V_{IN} = 0V$ 且 $V_{CCO} = 1.5V$ 时的焊盘上拉 (选中时)	30	-	120	μA
	$V_{IN} = 0V$ 且 $V_{CCO} = 1.2V$ 时的焊盘上拉 (选中时)	10	-	100	μA
I_{RPD}	$V_{IN} = 3.3V$ 时的焊盘上拉 (选中时)	60	-	200	μA
	$V_{IN} = 1.8V$ 时的焊盘上拉 (选中时)	29	-	120	μA
$I_{CCADCON}$	处于上电状态的 SYSMON 电路的模拟供电电流	-	-	8	mA
$I_{CCADCOFF}$	处于断电状态的 SYSMON 电路的模拟供电电流	-	-	1.5	mA
$I_{BATT}^{4,5}$	$V_{BATT} = 1.89V$ 时的电池供电电流	-	-	650	nA
	$V_{BATT} = 1.20V$ 时的电池供电电流	-	-	150	nA
I_{PFS}^6	eFUSE 编程期间的 V_{CCAUX} 额外供电电流	-	-	115	mA
HP I/O bank 中经校准的可编程片上终端 (DCI)⁷ (按 JEDEC 规格测量)					
R^9	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_40$	-10% ⁸	40	+10% ⁸	Ω
	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_48$	-10% ⁸	48	+10% ⁸	Ω
	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_60$	-10% ⁸	60	+10% ⁸	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_40$	-10% ⁸	40	+10% ⁸	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_48$	-10% ⁸	48	+10% ⁸	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_60$	-10% ⁸	60	+10% ⁸	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_120$	-10% ⁸	120	+10% ⁸	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_240$	-10% ⁸	240	+10% ⁸	Ω
HP I/O bank 中未经校准的可编程片上终端 (按 JEDEC 规格测量)					
R^9	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_40$	-50%	40	+50%	Ω
	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_48$	-50%	48	+50%	Ω
	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_60$	-50%	60	+50%	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_40$	-50%	40	+50%	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_48$	-50%	48	+50%	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_60$	-50%	60	+50%	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_120$	-50%	120	+50%	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_240$	-50%	240	+50%	Ω
HD I/O bank 中未经校准的可编程片上终端 (按 JEDEC 规格测量)					
R^9	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_48$	-50%	48	+50%	Ω
内部 V_{REF}	50% V_{CCO}	$V_{CCO} \times 0.49$	$V_{CCO} \times 0.50$	$V_{CCO} \times 0.51$	V
	70% V_{CCO}	$V_{CCO} \times 0.69$	$V_{CCO} \times 0.70$	$V_{CCO} \times 0.71$	V
差分终端	HP I/O bank 的可编程差分终端 (TERM_100)	-35%	100	+35%	Ω
n	温度二极管理想系数	-	1.026	-	-

表 3: 推荐工作条件下的 DC 特征 (续)

标识	描述	最小值	典型值 ¹	最大值	单位
r	温度二极管串联电阻	-	2	-	Ω

注释:

- 典型值是以 25°C 时的额定电压指定的。
- 对于 V_{CCO} 为 1.8V 且具有独立 V_{CCO} 电源和 V_{CCAUX_IO} 电源的 HP I/O bank, I_L 最大电流为 70 μ A。
- 此测量方式表示焊盘上的裸片电阻 (不包括封装)。
- 针对 25°C 的最差情况下的工艺指定的最大值。对于 XCVU5P、XCVU7P、XCVU9P、XCVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU35P、XCVU37P、XCVU45P 和 XCVU47P 器件, 请将该值乘以器件中超级逻辑区域 (SLR) 的数量。
- 启用电池供电式 RAM (BBRAM) 时, 会测量 I_{BATT} 。
- 器件配置期间 (例如, 配置期间、配置回读期间或回读 CRC 处于活动状态时), 请勿对 eFUSE 进行编程。
- VRP 电阻容限为 $(240\Omega \pm 1\%)$ 。
- 如果 VRP 位于其它 bank (DCI 级联) 中, 此范围将增大到 $\pm 15\%$ 。
- 片上输入终端电阻, 如需了解更多信息, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

 V_{IN} 允许的 AC 电压过冲和下冲最大值表 4: V_{IN} HD I/O Bank 允许的 AC 电压过冲和下冲最大值

AC 电压过冲 ¹	占 UI^2 的百分比 (%) (-40°C 到 100°C)	AC 电压下冲 ¹	占 UI^2 的百分比 (%) (-40°C 到 100°C)
$V_{CCO} + 0.30$	100%	-0.30	100%
$V_{CCO} + 0.35$	100%	-0.35	90%
$V_{CCO} + 0.40$	100%	-0.40	78%
$V_{CCO} + 0.45$	100%	-0.45	40%
$V_{CCO} + 0.50$	100%	-0.50	24%
$V_{CCO} + 0.55$	100%	-0.55	18.0%
$V_{CCO} + 0.60$	100%	-0.60	13.0%
$V_{CCO} + 0.65$	100%	-0.65	10.8%
$V_{CCO} + 0.70$	92%	-0.70	9.0%
$V_{CCO} + 0.75$	92%	-0.75	7.0%
$V_{CCO} + 0.80$	92%	-0.80	6.0%
$V_{CCO} + 0.85$	92%	-0.85	5.0%
$V_{CCO} + 0.90$	92%	-0.90	4.0%
$V_{CCO} + 0.95$	92%	-0.95	2.5%

注释:

- 每个 bank 不得超过总计 200 mA。
- 对应于低于 20 μ s 的 UI 。
- 对于 -1M 器件, 温度限制范围为 -55°C 到 125°C。

表 5: V_{IN} HP I/O Bank 允许的 AC 电压过冲和下冲最大值

AC 电压过冲 ¹	占 UI ² 的百分比 (%) (-40°C 到 100°C)	AC 电压下冲 ¹	占 UI ² 的百分比 (%) (-40°C 到 100°C)
$V_{CCO} + 0.30$	100%	-0.30	100%
$V_{CCO} + 0.35$	100%	-0.35	100%
$V_{CCO} + 0.40$	92%	-0.40	92%
$V_{CCO} + 0.45$	50%	-0.45	50%
$V_{CCO} + 0.50$	20%	-0.50	20%
$V_{CCO} + 0.55$	10%	-0.55	10%
$V_{CCO} + 0.60$	6%	-0.60	6%
$V_{CCO} + 0.65$	2%	-0.65	2%
$V_{CCO} + 0.70$	2%	-0.70	2%

注释:

1. 每个 bank 不得超过总计 200 mA。
2. 对应于低于 20 μ s 的 UI。
3. 对于 -1M 器件, 温度限制范围为 -55°C 到 125°C。

静态供电电流

表 6: 典型静态供电电流

标识	描述 ^{1, 2, 3}	器件	速度等级和 V_{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
I_{CCINTQ}	静态 V_{CCINT} 供电电流	XCVU3P	2384	2276	2276	2017	mA
		XCVU5P	4769	4552	4552	4034	mA
		XCVU7P	4769	4552	4552	4034	mA
		XCVU9P	7153	6828	6828	6050	mA
		XCVU11P	7567	7202	7202	6332	mA
		XCVU13P	10090	9602	9602	8442	mA
		XCVU19P	不适用	21219	21219	不适用	mA
		XCVU27P	9962	9516	9516	8449	mA
		XCVU29P	9962	9516	9516	8449	mA
		XCVU31P	2528	2406	2406	2115	mA
		XCVU33P	2528	2406	2406	2115	mA
		XCVU35P	5051	4807	4807	4226	mA
		XCVU37P	7573	7207	7207	6336	mA
		XCVU45P	5051	4807	4807	4226	mA
		XCVU47P	7573	7207	7207	6336	mA

表 6: 典型静态供电电流 (续)

标识	描述 ^{1, 2, 3}	器件	速度等级和 V _{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
I _{CCINT_IOQ}	静态 V _{CCINT_IO} 供电电流	XCVU3P	149	144	144	144	mA
		XCVU5P	298	287	287	287	mA
		XCVU7P	298	287	287	287	mA
		XCVU9P	447	431	431	431	mA
		XCVU11P	182	176	176	176	mA
		XCVU13P	243	234	234	234	mA
		XCVU19P	不适用	515	515	不适用	mA
		XCVU27P	241	232	232	232	mA
		XCVU29P	241	232	232	232	mA
		XCVU31P	747	723	723	723	mA
		XCVU33P	747	723	723	723	mA
		XCVU35P	776	750	750	750	mA
		XCVU37P	804	778	778	778	mA
		XCVU45P	776	750	750	750	mA
		XCVU47P	804	778	778	778	mA
I _{CCOQ}	静态 V _{CCO} 供电电流	所有器件	1	1	1	1	mA
I _{CCAUXQ}	静态 V _{CCAUX} 供电电流	XCVU3P	268	268	268	268	mA
		XCVU5P	535	535	535	535	mA
		XCVU7P	535	535	535	535	mA
		XCVU9P	1015	1015	1015	1015	mA
		XCVU11P	819	819	819	819	mA
		XCVU13P	1091	1091	1091	1091	mA
		XCVU19P	不适用	1662	1662	不适用	mA
		XCVU27P	1091	1091	1091	1091	mA
		XCVU29P	1091	1091	1091	1091	mA
		XCVU31P	223	223	223	223	mA
		XCVU33P	223	223	223	223	mA
		XCVU35P	444	444	444	444	mA
		XCVU37P	665	665	665	665	mA
		XCVU45P	444	444	444	444	mA
		XCVU47P	665	665	665	665	mA

表 6: 典型静态供电电流 (续)

标识	描述 1, 2, 3	器件	速度等级和 V _{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
I _{CCAUX_IOQ}	静态 V _{CCAUX_IO} 供电电流	XCVU3P	62	62	62	62	mA
		XCVU5P	124	124	124	124	mA
		XCVU7P	124	124	124	124	mA
		XCVU9P	187	187	187	187	mA
		XCVU11P	79	79	79	79	mA
		XCVU13P	105	105	105	105	mA
		XCVU19P	不适用	218	218	不适用	mA
		XCVU27P	105	105	105	105	mA
		XCVU29P	105	105	105	105	mA
		XCVU31P	27	27	27	27	mA
		XCVU33P	27	27	27	27	mA
		XCVU35P	53	53	53	53	mA
		XCVU37P	80	80	80	80	mA
		XCVU45P	53	53	53	53	mA
		XCVU47P	80	80	80	80	mA
I _{CCBRAMQ}	静态 V _{CCBRAM} 供电电流	XCVU3P	45	43	43	43	mA
		XCVU5P	90	85	85	85	mA
		XCVU7P	90	85	85	85	mA
		XCVU9P	134	128	128	128	mA
		XCVU11P	130	124	124	124	mA
		XCVU13P	174	165	165	165	mA
		XCVU19P	不适用	114	114	不适用	mA
		XCVU27P	174	165	165	165	mA
		XCVU29P	174	165	165	165	mA
		XCVU31P	43	41	41	41	mA
		XCVU33P	43	41	41	41	mA
		XCVU35P	87	83	83	83	mA
		XCVU37P	130	124	124	124	mA
		XCVU45P	87	83	83	83	mA
		XCVU47P	130	124	124	124	mA

注释:

1. 典型值是以 85°C 结温 (T_j) 的单端 SelectIO™ 资源的额定电压指定的。
2. 典型值适用于空白配置器件，此类器件无输出电流负载、无活动输入上拉电阻并且所有 I/O 引脚均处于三态浮动状态。
3. 使用 Xilinx® Power Estimator (XPE) 电子数据表工具（可从 china.xilinx.com/power 下载）可估算除此指定条件或电源以外的其他条件或电源的静态功耗。

电源排序

上电/断电电源排序

推荐上电顺序为 V_{CCINT} 、 V_{CCINT_IO}/V_{CCBRAM} 、 V_{CCAUX}/V_{CCAUX_IO} 和 V_{CCO} ，这样即可实现最低电流汲取并确保上电时 I/O 处于三态。推荐的断电顺序与上电顺序相反。如果 V_{CCINT} 和 V_{CCINT_IO}/V_{CCBRAM} 的推荐电压电平相同，那么可使用相同电源为其供电并同步执行缓升。 V_{CCINT_IO} 必须连接到 V_{CCBRAM} 。如果 V_{CCAUX}/V_{CCAUX_IO} 和 V_{CCO} 的推荐电压电平相同，那么可使用相同电源为其供电并同步执行缓升。 V_{CCAUX} 和 V_{CCAUX_IO} 必须连接在一起。 V_{CCADC} 和 V_{REF} 可随时上电，无上电顺序要求。

对于含 HBM 的器件，HBM 电源的上电/断电可晚于核电源，或者也可与之同时进行。上电顺序要求为先 V_{CCAUX_HBM} 和 V_{CCINT_IO} ，后 $V_{CC_HBM}/V_{CC_IO_HBM}$ 。 $V_{CC_IO_HBM}$ 必须连接到 V_{CC_HBM} 。 V_{CCAUX_HBM} 必须始终等于或高于 V_{CC_HBM} 。推荐的断电顺序与上电顺序相反。

为 GTY 或 GTM 收发器实现最小电流汲取的推荐上电顺序为 V_{CCINT} 、 V_{CCINT_GT} 、 $V_{MGTAVCC}$ 、 $V_{MGTAVTT}$ 或 $V_{MGTAVCC}$ 、 V_{CCINT} 、 V_{CCINT_GT} 和 $V_{MGTAVTT}$ 。针对 $V_{MGTAVCC}$ 不存在推荐的排序。 $V_{MGTAVCC}$ 和 V_{CCINT} 均可同时执行电源缓升。当 V_{CCINT} 和 V_{CCINT_GT} 处于相同的推荐工作条件下时， V_{CCINT} 和 V_{CCINT_GT} 可连接到相同的电源调节电路。当 V_{CCINT} 和 V_{CCINT_GT} 连接到不同调节电路时， V_{CCINT_GT} 必须处于推荐的工作条件范围内才能执行器件配置。推荐的断电顺序与实现最小电源汲取的上电顺序相反。如果不满足这些推荐的顺序，那么上电和断电期间从 $V_{MGTAVTT}$ 汲取的电流可能高于相应的规格。

电源要求

表 7 显示了每个 Virtex UltraScale+ FPGA 正常上电和配置所需的最低电流 (I_{CCQ} 最大值除外)。如果满足这些最低电流要求，那么当所有电源都超过其上电复位阈值电压后，器件即可上电。应用 V_{CCINT} 后，才能配置器件。完成初始化和配置后，请使用 Xilinx Power Estimator (XPE) 工具来估算这些电源的耗电量。XPE 电子数据表工具（可从 <http://china.xilinx.com/power> 下载）还可用于估算所有电源的上电电流。

表 7: 上电电流 (按器件)

器件	$I_{CCINTMIN}$	$I_{CCINT_IOMIN} + I_{CCBRAMMIN}$	$I_{CCCOMIN}$	$I_{CCAUXMIN} + I_{CCAUX_IOMIN}$	单位
XCVU3P、XQVU3P	$I_{CCINTQ} + 2000$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 670$	$I_{CCOQ} + 50$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 350$	mA
XCVU5P	$I_{CCINTQ} + 4000$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 1340$	$I_{CCOQ} + 100$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 700$	mA
XCVU7P、XQVU7P	$I_{CCINTQ} + 4000$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 1340$	$I_{CCOQ} + 100$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 700$	mA
XCVU9P	$I_{CCINTQ} + 6000$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 2010$	$I_{CCOQ} + 150$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 1050$	mA
XCVU11P、XQVU11P	$I_{CCINTQ} + 6549$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 2194$	$I_{CCOQ} + 164$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 1146$	mA
XCVU13P	$I_{CCINTQ} + 8731$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 2925$	$I_{CCOQ} + 219$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 1528$	mA
XCVU19P	$I_{CCINTQ} + 20737$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 6947$	$I_{CCOQ} + 519$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 3629$	mA
XCVU27P	$I_{CCINTQ} + 8770$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 2938$	$I_{CCOQ} + 220$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 1535$	mA
XCVU29P	$I_{CCINTQ} + 8770$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 2938$	$I_{CCOQ} + 220$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 1535$	mA
XCVU31P	$I_{CCINTQ} + 2232$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 2500$	$I_{CCOQ} + 56$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 500$	mA
XCVU33P	$I_{CCINTQ} + 2232$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 2500$	$I_{CCOQ} + 56$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 500$	mA
XCVU35P	$I_{CCINTQ} + 4424$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 3537$	$I_{CCOQ} + 111$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 882$	mA
XCVU37P	$I_{CCINTQ} + 6617$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 4574$	$I_{CCOQ} + 166$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 1264$	mA
XCVU45P	$I_{CCINTQ} + 4424$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 3537$	$I_{CCOQ} + 111$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 882$	mA
XCVU47P	$I_{CCINTQ} + 6617$	$I_{CCBRAMQ} + I_{CCINT_IOQ} + 4574$	$I_{CCOQ} + 166$	$I_{CCAUXQ} + I_{CCAUX_IOQ} + 1264$	mA

表 8: 电源缓升时间

标识	描述	最小值	最大值	单位
T_{VCCINT}	从 GND 到 95% 的 V_{CCINT} 的缓升时间	0.2	40	ms
T_{VCCINT_IO}	从 GND 到 95% 的 V_{CCINT_IO} 的缓升时间	0.2	40	ms
T_{VCCO}	从 GND 到 95% 的 V_{CCO} 的缓升时间	0.2	40	ms
T_{VCCAUX}	从 GND 到 95% 的 V_{CCAUX} 的缓升时间	0.2	40	ms
$T_{VCCBRAM}$	从 GND 到 95% 的 V_{CCBRAM} 的缓升时间	0.2	40	ms
T_{VCC_HBM}	从 GND 到 95% 的 V_{CC_HBM} 的缓升时间	0.2	40	ms
$T_{VCC_IO_HBM}$	从 GND 到 95% 的 $V_{CC_IO_HBM}$ 的缓升时间	0.2	40	ms
T_{VCCAUX_HBM}	从 GND 到 95% 的 V_{CCAUX_HBM} 的缓升时间	0.2	40	ms
$T_{MGTAVCC}$	从 GND 到 95% 的 $V_{MGTAVCC}$ 的缓升时间	0.2	40	ms
$T_{MGTAVTT}$	从 GND 到 95% 的 $V_{MGTAVTT}$ 的缓升时间	0.2	40	ms
$T_{MGTVCCAUX}$	从 GND 到 95% 的 $V_{MGTVCCAUX}$ 的缓升时间	0.2	40	ms

DC 输入电平和输出电平

V_{IL} 和 V_{IH} 为推荐的输入电压。 I_{OL} 和 I_{OH} 为对应 V_{OL} 和 V_{OH} 测试点的推荐工作条件下的保证值。仅测试选定标准。选择这些标准的目的是确保所有标准都满足其规格。所选标准按最低 V_{CCO} 进行测试，并显示相应的 V_{OL} 和 V_{OH} 电压电平。其他标准采用采样测试。

I/O 电平

表 9: HD I/O Bank 的 SelectIO DC 输入和输出电平

I/O 标准 ^{1,2}	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, 最小值	V, 最大值	V, 最小值	V, 最大值	V, 最大值	V, 最小值	mA	mA
HSTL_I	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8.0	-8.0
HSTL_I_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8.0	-8.0
HSUL_12	-0.300	$V_{REF} - 0.130$	$V_{REF} + 0.130$	$V_{CCO} + 0.300$	20% V_{CCO}	80% V_{CCO}	0.1	-0.1
LVC MOS12	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注释 3	注释 3
LVC MOS15	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注释 4	注释 4
LVC MOS18	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注释 4	注释 4
LVC MOS25	-0.300	0.700	1.700	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注释 4	注释 4
LVC MOS33	-0.300	0.800	2.000	3.400	0.400	$V_{CCO} - 0.400$	注释 4	注释 4
LV TTL	-0.300	0.800	2.000	3.400	0.400	2.400	注释 4	注释 4
SSTL12	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	14.25	-14.25
SSTL135	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	8.9	-8.9
SSTL135_II	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	13.0	-13.0
SSTL15	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	8.9	-8.9
SSTL15_II	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	13.0	-13.0
SSTL18_I	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.470$	$V_{CCO}/2 + 0.470$	8.0	-8.0
SSTL18_II	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.600$	$V_{CCO}/2 + 0.600$	13.4	-13.4

注释:

- 根据相关规格经测试所得。
- 此处标准是使用默认 I/O 标准配置指定的。欲知详情, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。
- HD I/O bank 中支持的驱动强度为 4 mA、8 mA 或 12 mA。
- HD I/O bank 中支持的驱动强度为 4 mA、8 mA、12 mA 或 16 mA。

表 10: HP I/O Bank 的 SelectIO DC 输入和输出电平

I/O 标准 ^{1,2,3}	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, 最小值	V, 最大值	V, 最小值	V, 最大值	V, 最大值	V, 最小值	mA	mA
HSTL_I	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	5.8	-5.8
HSTL_I_12	-0.300	$V_{REF} - 0.080$	$V_{REF} + 0.080$	$V_{CCO} + 0.300$	25% V_{CCO}	75% V_{CCO}	4.1	-4.1
HSTL_I_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	6.2	-6.2
HSUL_12	-0.300	$V_{REF} - 0.130$	$V_{REF} + 0.130$	$V_{CCO} + 0.300$	20% V_{CCO}	80% V_{CCO}	0.1	-0.1
LVC MOS12	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注释 4	注释 4
LVC MOS15	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注释 5	注释 5
LVC MOS18	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注释 5	注释 5
LVDCI_15	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	7.0	-7.0
LVDCI_18	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	7.0	-7.0
SSTL12	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	8.0	-8.0
SSTL135	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	9.0	-9.0
SSTL15	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	10.0	-10.0
SSTL18_I	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.470$	$V_{CCO}/2 + 0.470$	7.0	-7.0
MIPI_DPHY_DCI_LP ⁶	-0.300	0.550	0.880	$V_{CCO} + 0.300$	0.050	1.100	0.01	-0.01

注释:

1. 根据相关规格经测试所得。
2. 此处标准是使用默认 I/O 标准配置指定的。欲知详情, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。
3. 如需了解 POD10 和 POD12 DC 输入电平和输出电平, 请参阅表 11、表 16 和表 17。
4. HP I/O bank 中支持的驱动强度为 2 mA、4 mA、6 mA 或 8 mA。
5. HP I/O bank 中支持的驱动强度为 2 mA、4 mA、6 mA、8 mA 或 12 mA。
6. MIPI_DPHY_DCI 的低功耗选项。

表 11: 单端 POD10 和 POD12 I/O 标准的 DC 输入电平

I/O 标准 ^{1,2}	V_{IL}		V_{IH}	
	V, 最小值	V, 最大值	V, 最小值	V, 最大值
POD10	-0.300	$V_{REF} - 0.068$	$V_{REF} + 0.068$	$V_{CCO} + 0.300$
POD12	-0.300	$V_{REF} - 0.068$	$V_{REF} + 0.068$	$V_{CCO} + 0.300$

注释:

1. 根据相关规格经测试所得。
2. 此处标准是使用默认 I/O 标准配置指定的。欲知详情, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

表 12: 差分 SelectIO DC 输入和输出电平

I/O 标准	V _{ICM} (V) ¹			V _{ID} (V) ²			V _{ILHS} ³	V _{IHHS} ³	V _{OCM} (V) ⁴			V _{OD} (V) ⁵		
	最小值	典型值	最大值	最小值	典型值	最大值	最小值	最大值	最小值	典型值	最大值	最小值	典型值	最大值
SUB_LVDS ⁸	0.500	0.900	1.300	0.070	-	-	-	-	0.700	0.900	1.100	0.100	0.150	0.200
LVPECL	0.300	1.200	1.425	0.100	0.350	0.600	-	-	-	-	-	-	-	-
SLVS_400_18	0.070	0.200	0.330	0.140	-	0.450	-	-	-	-	-	-	-	-
SLVS_400_25	0.070	0.200	0.330	0.140	-	0.450	-	-	-	-	-	-	-	-
MIPI_DPHY_DCI_HS ⁹	0.070	-	0.330	0.070	-	-	-0.040	0.460	0.150	0.200	0.250	0.140	0.200	0.270

注释:

1. V_{ICM} 是输入共模电压。
2. V_{ID} 是输入差分电压 (Q - \bar{Q})。
3. V_{IHHS} 和 V_{ILHS} 分别属于单端输入高电压和单端输入低电压。
4. V_{OCM} 是输出共模电压。
5. V_{OD} 是输出差分电压 (Q - \bar{Q})。
6. LVDS_25 在表 18 中指定。
7. LVDS 在表 19 中指定。
8. 在 HD I/O bank 中仅支持 SUB_LVDS 接收器。
9. MIPI_DPHY_DCI 的高速选项。V_{ID} 最大值与相应标准规格相符。可接受更高的 V_{ID}，前提是同时满足 V_{IN} 规格。

表 13: HD I/O Bank 的互补差分 SelectIO DC 输入和输出电平

I/O 标准	V _{ICM} (V) ¹			V _{ID} (V) ²		V _{OL} (V) ³	V _{OH} (V) ⁴	I _{OL}	I _{OH}
	最小值	典型值	最大值	最小值	最大值	最大值	最小值	mA	mA
DIFF_HSTL_I	0.300	0.750	1.125	0.100	-	0.400	V _{CCO} - 0.400	8.0	-8.0
DIFF_HSTL_I_18	0.300	0.900	1.425	0.100	-	0.400	V _{CCO} - 0.400	8.0	-8.0
DIFF_HSUL_12	0.300	0.600	0.850	0.100	-	20% V _{CCO}	80% V _{CCO}	0.1	-0.1
DIFF_SSTL12	0.300	0.600	0.850	0.100	-	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	14.25	-14.25
DIFF_SSTL135	0.300	0.675	1.000	0.100	-	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	8.9	-8.9
DIFF_SSTL135_II	0.300	0.675	1.000	0.100	-	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	13.0	-13.0
DIFF_SSTL15	0.300	0.750	1.125	0.100	-	(V _{CCO} /2) - 0.175	(V _{CCO} /2) + 0.175	8.9	-8.9
DIFF_SSTL15_II	0.300	0.750	1.125	0.100	-	(V _{CCO} /2) - 0.175	(V _{CCO} /2) + 0.175	13.0	-13.0
DIFF_SSTL18_I	0.300	0.900	1.425	0.100	-	(V _{CCO} /2) - 0.470	(V _{CCO} /2) + 0.470	8.0	-8.0
DIFF_SSTL18_II	0.300	0.900	1.425	0.100	-	(V _{CCO} /2) - 0.600	(V _{CCO} /2) + 0.600	13.4	-13.4

注释:

1. V_{ICM} 是输入共模电压。
2. V_{ID} 是输入差分电压。
3. V_{OL} 是单端低输出电压。
4. V_{OH} 是单端高输出电压。

表 14: HP I/O Bank 的互补差分 SelectIO DC 输入和输出电平

I/O 标准 ¹	V _{ICM} (V) ²			V _{ID} (V) ³		V _{OL} (V) ⁴	V _{OH} (V) ⁵	I _{OL}	I _{OH}
	最小值	典型值	最大值	最小值	最大值	最大值	最小值	mA	mA
DIFF_HSTL_I	0.680	V _{CCO} /2	(V _{CCO} /2) + 0.150	0.100	-	0.400	V _{CCO} - 0.400	5.8	-5.8
DIFF_HSTL_I_12	0.400 × V _{CCO}	V _{CCO} /2	0.600 × V _{CCO}	0.100	-	0.250 × V _{CCO}	0.750 × V _{CCO}	4.1	-4.1
DIFF_HSTL_I_18	(V _{CCO} /2) - 0.175	V _{CCO} /2	(V _{CCO} /2) + 0.175	0.100	-	0.400	V _{CCO} - 0.400	6.2	-6.2
DIFF_HSUL_12	(V _{CCO} /2) - 0.120	V _{CCO} /2	(V _{CCO} /2) + 0.120	0.100	-	20% V _{CCO}	80% V _{CCO}	0.1	-0.1
DIFF_SSTL12	(V _{CCO} /2) - 0.150	V _{CCO} /2	(V _{CCO} /2) + 0.150	0.100	-	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	8.0	-8.0
DIFF_SSTL135	(V _{CCO} /2) - 0.150	V _{CCO} /2	(V _{CCO} /2) + 0.150	0.100	-	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	9.0	-9.0
DIFF_SSTL15	(V _{CCO} /2) - 0.175	V _{CCO} /2	(V _{CCO} /2) + 0.175	0.100	-	(V _{CCO} /2) - 0.175	(V _{CCO} /2) + 0.175	10.0	-10.0
DIFF_SSTL18_I	(V _{CCO} /2) - 0.175	V _{CCO} /2	(V _{CCO} /2) + 0.175	0.100	-	(V _{CCO} /2) - 0.470	(V _{CCO} /2) + 0.470	7.0	-7.0

注释:

- 如需了解 DIFF_POD10 和 DIFF_POD12 HP I/O bank 规格, 请参阅表 15、表 16 和表 17。
- V_{ICM} 是输入共模电压。
- V_{ID} 是输入差分电压。
- V_{OL} 是单端低输出电压。
- V_{OH} 是单端高输出电压。

表 15: 差分 POD10 和 POD12 I/O 标准的 DC 输入电平

I/O 标准 ^{1,2}	V _{ICM} (V)			V _{ID} (V)	
	最小值	典型值	最大值	最小值	最大值
DIFF_POD10	0.63	0.70	0.77	0.14	-
DIFF_POD12	0.76	0.84	0.92	0.16	-

注释:

- 根据相关规格经测试所得。
- 此处标准是使用默认 I/O 标准配置指定的。欲知详情, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

表 16: 单端和差分 POD10 和 POD12 标准的 DC 输出电平

标识	描述 ^{1,2}	V _{OUT}	最小值	典型值	最大值	单位
R _{OL}	下拉电阻	V _{OM_DC} (如表 17 中所述)	36	40	44	Ω
R _{OH}	上拉电阻	V _{OM_DC} (如表 17 中所述)	36	40	44	Ω

注释:

- 根据相关规格经测试所得。
- 此处标准是使用默认 I/O 标准配置指定的。欲知详情, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

表 17: 单端和差分 POD10 和 POD12 标准的 DC 输出电平定义

标识	描述	所有速度等级	单位
V _{OM_DC}	DC 输出中压测量电平 (对应于 IV 曲线线性)	0.8 × V _{CCO}	V

LVDS DC 规格 (LVDS_25)

在 HD I/O bank 中遵循 LVDS_25 标准。如需了解更多信息, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

表 18: LVDS_25 DC 规格

标识	DC 参数	最小值	典型值	最大值	单位
V_{CCO}^1	供电电压	2.375	2.500	2.625	V
V_{IDIFF}	差分输入电压: (Q - \bar{Q}), Q = High (\bar{Q} - Q), \bar{Q} = High	100	350	600 ²	mV
V_{ICM}	输入共模电压	0.300	1.200	1.425	V

注释:

1. HD I/O bank 中的 LVDS_25 仅支持输入。无内部终端的 LVDS_25 输入不具有 V_{CCO} 要求。只要输入电压电平不违反 I/O 引脚电压的推荐工作条件 (表 2) 规格 V_{IN} , 即可选择任意 V_{CCO} 。
2. V_{IDIFF} 最大值是针对 V_{ICM} 规格最大值指定的。如果 V_{ICM} 值较低, 那么仅限在满足推荐的工作条件和过冲/下冲 V_{IN} 规格的条件下, 才能承受较高的 V_{DIFF} 值。

LVDS DC 规格 (LVDS)

在 HP I/O bank 中遵循 LVDS 标准。如需了解更多信息, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

表 19: LVDS DC 规格

标识	DC 参数	条件	最小值	典型值	最大值	单位
V_{CCO}^1	供电电压		1.710	1.800	1.890	V
V_{ODIFF}^2	差分输出电压: (Q - \bar{Q}), Q = High (\bar{Q} - Q), \bar{Q} = High	$R_T = 100\Omega$ (Q 与 \bar{Q} 信号间)	247	350	454	mV
V_{OCM}^2	输出共模电压	$R_T = 100\Omega$ (Q 与 \bar{Q} 信号间)	1.000	1.250	1.425	V
V_{IDIFF}^3	差分输入电压: (Q - \bar{Q}), Q = High (\bar{Q} - Q), \bar{Q} = High		100	350	600 ³	mV
$V_{ICM_DC}^4$	输入共模电压 (DC 耦合)		0.300	1.200	1.425	V
$V_{ICM_AC}^5$	输入共模电压 (AC 耦合)		0.600	-	1.100	V

注释:

1. 在 HP I/O bank 中, 当 LVDS 配合仅限输入功能一起使用时, 仅限不使用内部差分终端的情况下才能将此 LVDS 置于其中 V_{CCO} 电平不同于指定电平的 bank 中。在此场景中, 必须选择 V_{CCO} 以避免输入引脚电压电平违反 V_{IN} I/O 引脚电压的推荐工作条件 (表 2) 规格。
2. V_{OCM} 和 V_{ODIFF} 值适用于 LVDS_PRE_EMPHASIS = FALSE。
3. V_{IDIFF} 最大值是针对 V_{ICM} 规格最大值指定的。如果 V_{ICM} 值较低, 那么仅限在满足推荐的工作条件和过冲/下冲 V_{IN} 规格的条件下, 才能承受较高的 V_{DIFF} 值。
4. DC 耦合配置的输入共模电压。EQUALIZATION = EQ_NONE (默认值)。
5. AC 耦合配置的外部输入共模电压规格。EQUALIZATION = EQ_LEVEL0、EQ_LEVEL1、EQ_LEVEL2、EQ_LEVEL3 和 EQ_LEVEL4。

AC 开关特性

本数据手册中所示的所有值均为根据下表中总结的 Vivado® Design Suite 中的速度规格所生成的。

表 20: 速度规格版本 (按器件)

2019.2.2	器件
1.27	XCVU3P、XCVU7P、XCVU9P、XCVU5P、XCVU11P、XCVU13P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P、XCVU47P XQVU3P、XQVU7P 和 XQVU11P
1.29	XCVU19P、XCVU27P 和 XCVU29P

开关特性是根据速度等级为基础来指定的，可指定为 Advance、Preliminary 或量产。每一种指定的开关特性定义如下：

- **Advance 产品规格：**这些规格仅基于仿真，通常在冻结器件设计规格不久后即可使用。虽然采用此项指定的速度等级被视为相对稳定且保守，但可能发生某些漏报问题。
- **Preliminary 产品规格：**这些规格基于完整工程采样 (ES) 硅片特性。采用此项指定的器件和速度等级旨在更加明确地表明期望的量产硅片性能。漏报延迟的概率相比于 Advance 数据显著降低。
- **产品规格：**一旦足够明确特定器件系列成员的量产硅片特性，即可发布这些规格以提供各种量产批次的规格与器件之间的完整关联。此类规格不存在漏报延迟，客户将收到所有后续变更的正式通知。通常速度等级按由慢到快的顺序转换到量产。

测试 AC 开关特性

内部时序参数是通过测试内部模式衍生出来的。所有 AC 开关特性均表示最差情况下的供电电压和结温条件。

要获取更具体、更精确且最差情况下的保证数据，请使用静态时序分析器报告的值和反标注来对网络列表进行仿真。除非另行说明，否则这些值适用于所有 Virtex UltraScale+ FPGA。

速度等级指定

由于每个系列成员都是不同时间生成的，不同类别间的移植完全取决于每个器件的制造工艺状态。表 21 根据速度等级来组织 Virtex UltraScale+ FPGA 的当前状态。

表 21：速度等级指定（按器件）

器件	速度等级、温度范围和 V_{CCINT} 工作电压		
	Advance	Preliminary	量产
XCVU3P			-3E ($V_{CCINT} = 0.90V$) -2E ($V_{CCINT} = 0.85V$), -2I ($V_{CCINT} = 0.85V$) -1E ($V_{CCINT} = 0.85V$), -1I ($V_{CCINT} = 0.85V$) -2LE ($V_{CCINT} = 0.85V$), -2LE ($V_{CCINT} = 0.72V$) ¹
XCVU5P			-3E ($V_{CCINT} = 0.90V$) -2E ($V_{CCINT} = 0.85V$), -2I ($V_{CCINT} = 0.85V$) -1E ($V_{CCINT} = 0.85V$), -1I ($V_{CCINT} = 0.85V$) -2LE ($V_{CCINT} = 0.85V$), -2LE ($V_{CCINT} = 0.72V$) ¹
XCVU7P			-3E ($V_{CCINT} = 0.90V$) -2E ($V_{CCINT} = 0.85V$), -2I ($V_{CCINT} = 0.85V$) -1E ($V_{CCINT} = 0.85V$), -1I ($V_{CCINT} = 0.85V$) -2LE ($V_{CCINT} = 0.85V$), -2LE ($V_{CCINT} = 0.72V$) ¹
XCVU9P			-3E ($V_{CCINT} = 0.90V$) -2E ($V_{CCINT} = 0.85V$), -2I ($V_{CCINT} = 0.85V$) -1E ($V_{CCINT} = 0.85V$), -1I ($V_{CCINT} = 0.85V$) -2LE ($V_{CCINT} = 0.85V$), -2LE ($V_{CCINT} = 0.72V$) ¹
XCVU11P			-3E ($V_{CCINT} = 0.90V$) -2E ($V_{CCINT} = 0.85V$), -2I ($V_{CCINT} = 0.85V$) -1E ($V_{CCINT} = 0.85V$), -1I ($V_{CCINT} = 0.85V$) -2LE ($V_{CCINT} = 0.85V$), -2LE ($V_{CCINT} = 0.72V$) ¹
XCVU13P			-3E ($V_{CCINT} = 0.90V$) -2E ($V_{CCINT} = 0.85V$), -2I ($V_{CCINT} = 0.85V$) -1E ($V_{CCINT} = 0.85V$), -1I ($V_{CCINT} = 0.85V$) -2LE ($V_{CCINT} = 0.85V$), -2LE ($V_{CCINT} = 0.72V$) ¹
XCVU19P	-2E ($V_{CCINT} = 0.85V$) -1E ($V_{CCINT} = 0.85V$)		

表 21: 速度等级指定 (按器件) (续)

器件	速度等级、温度范围和 V _{CCINT} 工作电压		
	Advance	Preliminary	量产
XCVU27P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V), -2I (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V), -1I (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V), -2LE (V _{CCINT} = 0.72V) ¹
XCVU29P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V), -2I (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V), -1I (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V), -2LE (V _{CCINT} = 0.72V) ¹
XCVU31P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹
XCVU33P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹
XCVU35P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹
XCVU37P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹
XCVU45P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹
XCVU47P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹
XQVU3P			-2I (V _{CCINT} = 0.85V) -1I (V _{CCINT} = 0.85V), -1M (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V), -2LE (V _{CCINT} = 0.72V) ¹
XQVU7P			-2I (V _{CCINT} = 0.85V) -1I (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V), -2LE (V _{CCINT} = 0.72V) ¹

表 21: 速度等级指定 (按器件) (续)

器件	速度等级、温度范围和 V _{CCINT} 工作电压		
	Advance	Preliminary	量产
XQVU11P			-2I (V _{CCINT} = 0.85V) -1I (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V), -2LE (V _{CCINT} = 0.72V) ¹

注释:

1. 最低功耗的 -2L 器件 (其中 V_{CCINT} = 0.72V) 在 Vivado Design Suite 中列为 -2LV。

量产硅片和软件状态

在某些情况下, 会先将某一特定系列的成员 (和速度等级) 发布到量产环境, 然后再以正确的标签 (Advance、Preliminary 和量产) 来发布速度规格。在后续速度规格发布中会纠正所有标签差异。

表 22 列出了已发布的量产级 Virtex UltraScale+ FPGA、速度等级和对应受支持的最低速度规格版本以及 Vivado 软件修订。其中列出的 Vivado 软件和速度规格均为量产所需的最低版本。所有后续发布的软件版本和速度规格均有效。

表 22: Virtex UltraScale+ FPGA 器件量产软件和速度规格发布版本

器件	速度等级和 V _{CCINT} 工作电压 ¹				
	0.90V	0.85V			0.72V
	-3	-2	-1	-2L	-2L
XCVU3P	Vivado 工具 2018.1 v1.19	Vivado 工具 2017.1 v1.10			Vivado 工具 2017.3.1 v1.16
XCVU5P	Vivado 工具 2018.1 v1.19	Vivado 工具 2017.2 v1.12			Vivado 工具 2017.3.1 v1.16
XCVU7P	Vivado 工具 2018.1 v1.19	Vivado 工具 2017.2 v1.12			Vivado 工具 2017.3.1 v1.16
XCVU9P	Vivado 工具 2018.1 v1.19	Vivado 工具 2017.2 v1.12			Vivado 工具 2017.3.1 v1.16
XCVU11P	Vivado 工具 2017.4.1 v1.18	Vivado 工具 2017.2.1 v1.13			Vivado 工具 2017.3.1 v1.16
XCVU13P	Vivado 工具 2017.4.1 v1.18	Vivado 工具 2017.2.1 v1.13			Vivado 工具 2017.3.1 v1.16
XCVU19P	不适用				不适用
XCVU27P	Vivado 工具 2019.2 v1.28	Vivado 工具 2019.1.3 v1.27			Vivado 工具 2019.2 v1.28
XCVU29P	Vivado 工具 2019.2 v1.28	Vivado 工具 2019.1.3 v1.27			Vivado 工具 2019.2 v1.28
XCVU31P	Vivado 工具 2019.1 v1.25	Vivado 工具 2018.3.1 v1.24			Vivado 工具 2018.3.1 v1.24
XCVU33P	Vivado 工具 2019.1 v1.25	Vivado 工具 2018.3.1 v1.24			Vivado 工具 2018.3.1 v1.24
XCVU35P	Vivado 工具 2019.1 v1.25	Vivado 工具 2018.3.1 v1.24			Vivado 工具 2018.3.1 v1.24
XCVU37P	Vivado 工具 2019.1 v1.25	Vivado 工具 2018.3.1 v1.24			Vivado 工具 2018.3.1 v1.24
XCVU45P	Vivado 工具 2019.1 v1.25	Vivado 工具 2019.1 v1.25			Vivado 工具 2019.1 v1.25
XCVU47P	Vivado 工具 2019.1 v1.25	Vivado 工具 2019.1 v1.25			Vivado 工具 2019.1 v1.25
XQVU3P	不适用	Vivado 工具 2018.3 v1.23			Vivado 工具 2018.3 v1.23
XQVU7P	不适用	Vivado 工具 2018.3.1 v1.23			Vivado 工具 2018.3.1 v1.23
XQVU11P	不适用	Vivado 工具 2018.3.1 v1.23			Vivado 工具 2018.3.1 v1.23

注释:

1. 空白条目表示处于 Advance 或 Preliminary 状态的器件和/或速度等级。

FPGA 逻辑性能特性

本节介绍了 Virtex UltraScale+ FPGA 中实现的一些常用功能和设计的性能特性。这些值同样遵循 [AC 开关特性](#) 节中的准则。

在以下每个 LVDS 性能表中, I/O bank 类型为高性能 (HP) 或高密度 (HD)。

在 LVDS 组件模式下:

- 对于 HP I/O bank 中的输入/输出寄存器, Vivado 工具将所有速度等级的时钟频率都限制为 312.9 MHz。
- 对于 HP I/O bank 中的 IDDR, Vivado 工具将所有速度等级的时钟频率都限制为 625.0 MHz。
- 对于 HP I/O bank 中的 ODDR, Vivado 工具将所有速度等级的时钟频率都限制为 625.0 MHz。

表 23: LVDS 组件模式性能

描述	I/O Bank 类型	速度等级和 V _{CCINT} 工作电压								单位
		0.90V		0.85V				0.72V		
		-3		-2		-1		-2		
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
LVDS TX DDR (OSERDES 4:1, 8:1)	HP	0	1250	0	1250	0	1250	0	1250	Mb/s
LVDS TX SDR (OSERDES 2:1, 4:1)	HP	0	625	0	625	0	625	0	625	Mb/s
LVDS RX DDR (ISERDES 1:4, 1:8) ¹	HP	0	1250	0	1250	0	1250	0	1250	Mb/s
LVDS RX DDR	HD	0	250	0	250	0	250	0	250	Mb/s
LVDS RX SDR (ISERDES 1:2, 1:4) ¹	HP	0	625	0	625	0	625	0	625	Mb/s
LVDS RX SDR	HD	0	125	0	125	0	125	0	125	Mb/s

注释:

1. LVDS 接收器通常与某些应用绑定以实现最佳性能。封装偏差不包含在内, 并且应通过 PCB 布线来消除。

表 24: LVDS 本机模式性能

描述 ^{1,2}	DATA_WIDTH	I/O Bank 类型	速度等级和 V _{CCINT} 工作电压								单位
			0.90V		0.85V				0.72V		
			-3		-2		-1		-2		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
LVDS TX DDR (TX_BITSLICE)	4	HP	375	1600	375	1600	375	1600	375	1400	Mb/s
	8		375	1600	375	1600	375	1600	375	1600	Mb/s
LVDS TX SDR (TX_BITSLICE)	4	HP	187.5	800	187.5	800	187.5	800	187.5	700	Mb/s
	8		187.5	800	187.5	800	187.5	800	187.5	800	Mb/s
LVDS RX DDR (RX_BITSLICE) ³	4	HP	375	1600 ⁴	375	1600 ⁴	375	1600 ⁴	375	1400 ⁴	Mb/s
	8		375	1600 ⁴	375	1600 ⁴	375	1600 ⁴	375	1600 ⁴	Mb/s
LVDS RX SDR (RX_BITSLICE) ³	4	HP	187.5	800	187.5	800	187.5	800	187.5	700	Mb/s
	8		187.5	800	187.5	800	187.5	800	187.5	800	Mb/s

注释:

1. 通过 Vivado Design Suite 提供的 [High Speed SelectIO Wizard](#) 来支持本机模式。性能值采用源同步接口。
2. PLL 设置可限制最低可允许数据速率。例如, 使用 CLKOUTPHY_MODE = VCO_HALF 的 PLL 时, 最低频率为 PLL_F_{VCOMIN}/2。
3. LVDS 接收器通常与某些应用绑定以实现最佳性能。封装偏差不包含在内, 并且应通过 PCB 布线来消除。
4. 异步接收器性能分别限制为 1300 Mb/s (针对 -3/-2 速度等级) 和 1250 Mb/s (针对 -1 速度等级)。

表 25: MIPI D-PHY 性能

描述	I/O Bank 类型	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
MIPI D-PHY 发射器或接收器	HP	1500	1500	1260	1260	Mb/s

表 26: LVDS 本机模式 1000BASE-X 支持

描述 ¹	I/O Bank 类型	速度等级和 V _{CCINT} 工作电压			
		0.90V	0.85V		0.72V
		-3	-2	-1	-2
1000BASE-X	HP	支持			

注释:

1. 1000BASE-X 支持以《适用于 CSMA/CD 访问方法和物理层面规范的 IEEE 标准》(IEEE Std 802.3-2008) 为基础。

下表提供了使用 Virtex UltraScale+ FPGA 内存 PHY 的相应内存标准的最高数据速率。请参阅[存储器接口](#)以获取受支持的内存接口标准和详细规格的完整列表。内存接口的最终性能是通过 Vivado Design Suite 中实现的完整设计来判定的，遵循《UltraScale 架构 PCB 设计用户指南》(UG583) 中的指南、电气分析和系统特性。

表 27: 内存接口的最高物理接口 (PHY) 速率

内存标准	DRAM 类型	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
DDR4	单列组件	2666	2666	2400	2400	Mb/s
	单列 DIMM ^{1,2,3}	2400	2400	2133	2133	Mb/s
	双列 DIMM ^{1,4}	2133	2133	1866	1866	Mb/s
	四列 DIMM ^{1,5}	1600	1600	1333	1333	Mb/s
DDR3	单列组件	2133	2133	2133	2133	Mb/s
	单列 DIMM ^{1,2}	1866	1866	1866	1866	Mb/s
	双列 DIMM ^{1,4}	1600	1600	1600	1600	Mb/s
	四列 DIMM ^{1,5}	1066	1066	1066	1066	Mb/s
DDR3L	单列组件	1866	1866	1866	1866	Mb/s
	单列 DIMM ^{1,2}	1600	1600	1600	1600	Mb/s
	双列 DIMM ^{1,4}	1333	1333	1333	1333	Mb/s
	四列 DIMM ^{1,5}	800	800	800	800	Mb/s
QDR II+	单列组件 ⁶	633	633	600	600	MHz
RLDRAM 3	单列组件	1200	1200	1066	1066	MHz
QDR IV XP	单列组件	1066	1066	1066	933	MHz

表 27: 内存接口的最高物理接口 (PHY) 速率 (续)

内存标准	DRAM 类型	速度等级和 V_{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
LPDDR3	单列组件	1600	1600	1600	1600	Mb/s

注释:

1. 双列直插式内存模块 (DIMM) 包括 RDIMM、SODIMM、UDIMM 和 LRDIMM。
2. 包括: 单列 1 插槽, DDP 双列, LRDIMM 双列或四列 1 插槽。
3. 对于 -3 和 -2 ($V_{CCINT} = 0.85V$) 速度等级的 DDR4 DDP 组件, 针对不少于 6 个 DDP 器件的情况, 最高数据速率为 2133 Mb/s。对于不超过 5 个 DDP 器件的情况, 针对 -3 和 -2 ($V_{CCINT} = 0.85V$) 速度等级使用单列 DIMM 数据速率。
4. 包括: 双列 1 插槽, 单列 2 插槽, LRDIMM 双列 2 插槽。
5. 包括: 双列 2 插槽, 四列 1 插槽。
6. QDRII+ 性能规格适用于突发长度 4 (BL = 4) 的实现。

FPGA 逻辑开关特性

以下 IOB 高密度 (HD) 表和 IOB 高性能 (HP) 表汇总了特定标准下的数据输入延迟调整值、终止于焊盘的输出延迟 (基于标准) 值以及三态延迟值。

- $T_{INBUF_DELAY_PAD_I}$ 是从 IOB 焊盘通过输入缓存到 IOB 焊盘的 I 引脚的延迟。此延迟因 SelectIO 输入缓存的功能而异。
- $T_{OUTBUF_DELAY_O_PAD}$ 是从 O 引脚通过 IOB 焊盘的输出缓存到 IOB 焊盘的延迟。此延迟因 SelectIO 输出缓存的功能而异。
- $T_{OUTBUF_DELAY_TD_PAD}$ 是禁用三态情况下, 从 T 引脚通过 IOB 焊盘的输出缓存到 IOB 焊盘的延迟。此延迟因输出缓存的 SelectIO 功能而异。在 HP I/O bank 中, 使用 DCITERMDISABLE 引脚时, 内部 DCI 终端开启时间始终比 $T_{OUTBUF_DELAY_TD_PAD}$ 更短。在 HD I/O bank 中, 使用 INTERMDISABLE 引脚时, 片上终端开启时间始终比 $T_{OUTBUF_DELAY_TD_PAD}$ 更短。

IOB 高密度 (HD) 开关特性

表 28: IOB 高密度 (HD) 开关特性

I/O 标准	$T_{INBUF_DELAY_PAD_I}$				$T_{OUTBUF_DELAY_O_PAD}$				$T_{OUTBUF_DELAY_TD_PAD}$				单位
	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	
	-3	-2	-1	-2	-3	-2	-1	-2	-3	-2	-1	-2	
DIFF_HSTL_I_18_F	0.873	0.978	1.058	0.978	1.510	1.574	1.718	1.966	1.160	1.160	1.271	1.515	ns
DIFF_HSTL_I_18_S	0.873	0.978	1.058	0.978	1.742	1.805	1.950	2.197	1.748	1.748	1.867	2.103	ns
DIFF_HSTL_I_F	0.873	0.978	1.058	0.978	1.563	1.611	1.762	2.003	1.313	1.313	1.417	1.668	ns
DIFF_HSTL_I_S	0.873	0.978	1.058	0.978	1.696	1.798	1.913	2.190	1.630	1.630	1.780	1.985	ns
DIFF_HSUL_12_F	0.796	0.911	0.977	0.911	1.493	1.573	1.703	1.965	1.222	1.222	1.335	1.577	ns
DIFF_HSUL_12_S	0.796	0.911	0.977	0.911	1.653	1.711	1.864	2.103	1.536	1.536	1.665	1.891	ns
DIFF_SSTL12_F	0.796	0.906	0.977	0.906	1.577	1.643	1.792	2.035	1.285	1.285	1.423	1.640	ns
DIFF_SSTL12_S	0.796	0.906	0.977	0.906	1.726	1.784	1.948	2.176	1.567	1.567	1.706	1.922	ns
DIFF_SSTL135_F	0.807	0.927	0.995	0.927	1.558	1.625	1.765	2.017	1.341	1.341	1.458	1.696	ns
DIFF_SSTL135_II_F	0.807	0.927	0.995	0.927	1.560	1.623	1.770	2.015	1.325	1.325	1.470	1.680	ns
DIFF_SSTL135_II_S	0.807	0.927	0.995	0.927	1.694	1.768	1.916	2.160	1.722	1.722	1.911	2.077	ns
DIFF_SSTL135_S	0.807	0.927	0.995	0.927	1.796	1.869	2.025	2.261	1.814	1.814	1.976	2.169	ns
DIFF_SSTL15_F	0.840	0.928	1.020	0.928	1.559	1.628	1.771	2.020	1.374	1.374	1.483	1.729	ns
DIFF_SSTL15_II_F	0.840	0.928	1.020	0.928	1.574	1.622	1.778	2.014	1.356	1.356	1.442	1.711	ns
DIFF_SSTL15_II_S	0.840	0.928	1.020	0.928	1.769	1.821	1.987	2.213	1.895	1.895	2.047	2.250	ns

表 28: IOB 高密度 (HD) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}				T _{OUTBUF_DELAY_O_PAD}				T _{OUTBUF_DELAY_TD_PAD}				单位
	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	
	-3	-2	-1	-2	-3	-2	-1	-2	-3	-2	-1	-2	
DIFF_SSTL15_S	0.840	0.928	1.020	0.928	1.752	1.824	1.977	2.216	1.743	1.743	1.907	2.098	ns
DIFF_SSTL18_II_F	0.873	0.961	1.038	0.961	1.672	1.729	1.880	2.121	1.377	1.377	1.492	1.732	ns
DIFF_SSTL18_II_S	0.873	0.961	1.038	0.961	1.748	1.796	1.965	2.188	1.616	1.616	1.800	1.971	ns
DIFF_SSTL18_I_F	0.873	0.961	1.038	0.961	1.539	1.609	1.755	2.001	1.220	1.220	1.313	1.575	ns
DIFF_SSTL18_I_S	0.873	0.961	1.038	0.961	1.728	1.786	1.942	2.178	1.677	1.677	1.836	2.032	ns
HSTL_I_18_F	0.854	0.947	1.021	0.947	1.510	1.574	1.718	1.966	1.160	1.160	1.271	1.515	ns
HSTL_I_18_S	0.854	0.947	1.021	0.947	1.742	1.805	1.950	2.197	1.748	1.748	1.867	2.103	ns
HSTL_I_F	0.748	0.856	0.900	0.856	1.563	1.611	1.762	2.003	1.313	1.313	1.417	1.668	ns
HSTL_I_S	0.748	0.856	0.900	0.856	1.696	1.798	1.913	2.190	1.630	1.630	1.780	1.985	ns
HSUL_12_F	0.712	0.780	0.867	0.780	1.493	1.573	1.703	1.965	1.222	1.222	1.335	1.577	ns
HSUL_12_S	0.712	0.780	0.867	0.780	1.653	1.711	1.864	2.103	1.536	1.536	1.665	1.891	ns
LVC MOS12_F_12	0.761	0.918	0.976	0.918	1.652	1.689	1.856	2.081	1.202	1.202	1.317	1.557	ns
LVC MOS12_F_4	0.761	0.918	0.976	0.918	1.714	1.742	1.922	2.134	1.353	1.353	1.478	1.708	ns
LVC MOS12_F_8	0.761	0.918	0.976	0.918	1.668	1.714	1.879	2.106	1.292	1.292	1.432	1.647	ns
LVC MOS12_S_12	0.761	0.918	0.976	0.918	2.019	2.073	2.247	2.465	1.581	1.581	1.717	1.936	ns
LVC MOS12_S_4	0.761	0.918	0.976	0.918	1.979	1.979	2.182	2.371	1.633	1.633	1.772	1.988	ns
LVC MOS12_S_8	0.761	0.918	0.976	0.918	2.132	2.205	2.406	2.597	1.767	1.767	1.928	2.122	ns
LVC MOS15_F_12	0.775	0.905	0.958	0.905	1.691	1.713	1.892	2.105	1.275	1.275	1.428	1.630	ns
LVC MOS15_F_16	0.775	0.905	0.958	0.905	1.665	1.722	1.881	2.114	1.260	1.260	1.407	1.615	ns
LVC MOS15_F_4	0.775	0.905	0.958	0.905	1.747	1.825	1.959	2.217	1.453	1.453	1.557	1.808	ns
LVC MOS15_F_8	0.775	0.905	0.958	0.905	1.721	1.778	1.930	2.170	1.378	1.378	1.458	1.733	ns
LVC MOS15_S_12	0.775	0.905	0.958	0.905	1.936	1.991	2.139	2.383	1.516	1.516	1.648	1.871	ns
LVC MOS15_S_16	0.775	0.905	0.958	0.905	2.172	2.172	2.389	2.564	1.707	1.707	1.888	2.062	ns
LVC MOS15_S_4	0.775	0.905	0.958	0.905	2.274	2.313	2.483	2.705	1.952	1.952	2.123	2.307	ns
LVC MOS15_S_8	0.775	0.905	0.958	0.905	2.170	2.170	2.400	2.562	1.817	1.817	1.984	2.172	ns
LVC MOS18_F_12	0.810	0.915	0.958	0.915	1.741	1.805	1.962	2.197	1.383	1.383	1.471	1.738	ns
LVC MOS18_F_16	0.810	0.915	0.958	0.915	1.698	1.785	1.917	2.177	1.338	1.338	1.446	1.693	ns
LVC MOS18_F_4	0.810	0.915	0.958	0.915	1.815	1.868	2.013	2.260	1.472	1.472	1.599	1.827	ns
LVC MOS18_F_8	0.810	0.915	0.958	0.915	1.785	1.797	1.979	2.189	1.384	1.384	1.487	1.739	ns
LVC MOS18_S_12	0.810	0.915	0.958	0.915	2.163	2.201	2.408	2.593	1.762	1.762	1.894	2.117	ns
LVC MOS18_S_16	0.810	0.915	0.958	0.915	2.102	2.173	2.362	2.565	1.702	1.702	1.834	2.057	ns
LVC MOS18_S_4	0.810	0.915	0.958	0.915	2.342	2.346	2.567	2.738	1.951	1.951	2.092	2.306	ns
LVC MOS18_S_8	0.810	0.915	0.958	0.915	2.275	2.292	2.511	2.684	1.848	1.848	2.008	2.203	ns
LVC MOS25_F_12	0.963	0.988	1.042	0.988	2.153	2.153	2.453	2.545	1.692	1.692	1.856	2.047	ns
LVC MOS25_F_16	0.963	0.988	1.042	0.988	2.105	2.105	2.406	2.497	1.623	1.623	1.786	1.978	ns
LVC MOS25_F_4	0.963	0.988	1.042	0.988	2.317	2.344	2.554	2.736	1.842	1.842	2.039	2.197	ns
LVC MOS25_F_8	0.963	0.988	1.042	0.988	2.184	2.184	2.516	2.576	1.726	1.726	1.910	2.081	ns
LVC MOS25_S_12	0.963	0.988	1.042	0.988	2.550	2.558	2.840	2.950	1.971	1.971	2.194	2.326	ns
LVC MOS25_S_16	0.963	0.988	1.042	0.988	2.449	2.449	2.740	2.841	1.852	1.852	2.063	2.207	ns
LVC MOS25_S_4	0.963	0.988	1.042	0.988	2.770	2.770	3.066	3.162	2.224	2.224	2.458	2.579	ns

表 28: IOB 高密度 (HD) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}				T _{OUTBUF_DELAY_O_PAD}				T _{OUTBUF_DELAY_TD_PAD}				单位
	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	
	-3	-2	-1	-2	-3	-2	-1	-2	-3	-2	-1	-2	
LVC MOS25_S_8	0.963	0.988	1.042	0.988	2.663	2.663	2.963	3.055	2.091	2.091	2.373	2.446	ns
LVC MOS33_F_12	1.154	1.154	1.213	1.154	2.415	2.415	2.651	2.807	1.754	1.754	1.915	2.109	ns
LVC MOS33_F_16	1.154	1.154	1.213	1.154	2.381	2.383	2.603	2.775	1.734	1.734	1.869	2.089	ns
LVC MOS33_F_4	1.154	1.154	1.213	1.154	2.541	2.541	2.765	2.933	1.932	1.932	2.135	2.287	ns
LVC MOS33_F_8	1.154	1.154	1.213	1.154	2.603	2.603	2.822	2.995	1.937	1.937	2.130	2.292	ns
LVC MOS33_S_12	1.154	1.154	1.213	1.154	2.705	2.705	3.047	3.097	2.049	2.049	2.318	2.404	ns
LVC MOS33_S_16	1.154	1.154	1.213	1.154	2.714	2.714	3.024	3.106	2.028	2.028	2.232	2.383	ns
LVC MOS33_S_4	1.154	1.154	1.213	1.154	2.999	2.999	3.340	3.391	2.320	2.320	2.610	2.675	ns
LVC MOS33_S_8	1.154	1.154	1.213	1.154	2.929	2.929	3.260	3.321	2.260	2.260	2.532	2.615	ns
LVDS_25	0.980	1.003	1.116	1.003	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	ns
LVPECL	0.980	1.003	1.116	1.003	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	ns
LVTTL_F_12	1.164	1.164	1.223	1.164	2.415	2.415	2.651	2.807	1.754	1.754	1.915	2.109	ns
LVTTL_F_16	1.164	1.164	1.223	1.164	2.464	2.464	2.732	2.856	1.750	1.750	1.986	2.105	ns
LVTTL_F_4	1.164	1.164	1.223	1.164	2.541	2.541	2.765	2.933	1.932	1.932	2.135	2.287	ns
LVTTL_F_8	1.164	1.164	1.223	1.164	2.582	2.582	2.787	2.974	1.910	1.910	2.063	2.265	ns
LVTTL_S_12	1.164	1.164	1.223	1.164	2.731	2.731	3.075	3.123	2.072	2.072	2.343	2.427	ns
LVTTL_S_16	1.164	1.164	1.223	1.164	2.714	2.714	3.024	3.106	2.028	2.028	2.232	2.383	ns
LVTTL_S_4	1.164	1.164	1.223	1.164	2.999	2.999	3.340	3.391	2.320	2.320	2.610	2.675	ns
LVTTL_S_8	1.164	1.164	1.223	1.164	2.929	2.929	3.260	3.321	2.260	2.260	2.532	2.615	ns
SLVS_400_25	0.998	1.020	1.136	1.020	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	ns
SSTL12_F	0.712	0.780	0.867	0.780	1.577	1.643	1.792	2.035	1.285	1.285	1.423	1.640	ns
SSTL12_S	0.712	0.780	0.867	0.780	1.726	1.784	1.948	2.176	1.567	1.567	1.706	1.922	ns
SSTL135_F	0.731	0.798	0.881	0.798	1.558	1.625	1.765	2.017	1.341	1.341	1.458	1.696	ns
SSTL135_II_F	0.731	0.798	0.881	0.798	1.574	1.623	1.770	2.015	1.325	1.325	1.470	1.680	ns
SSTL135_II_S	0.731	0.798	0.881	0.798	1.694	1.768	1.916	2.160	1.722	1.722	1.911	2.077	ns
SSTL135_S	0.731	0.798	0.881	0.798	1.796	1.869	2.025	2.261	1.814	1.814	1.976	2.169	ns
SSTL15_F	0.731	0.838	0.880	0.838	1.544	1.612	1.754	2.004	1.357	1.357	1.464	1.712	ns
SSTL15_II_F	0.731	0.838	0.880	0.838	1.588	1.622	1.778	2.014	1.356	1.356	1.442	1.711	ns
SSTL15_II_S	0.731	0.838	0.880	0.838	1.769	1.821	1.987	2.213	1.895	1.895	2.047	2.250	ns
SSTL15_S	0.731	0.838	0.880	0.838	1.752	1.824	1.977	2.216	1.743	1.743	1.907	2.098	ns
SSTL18_II_F	0.854	0.947	1.021	0.947	1.699	1.729	1.880	2.121	1.377	1.377	1.492	1.732	ns
SSTL18_II_S	0.854	0.947	1.021	0.947	1.748	1.796	1.965	2.188	1.616	1.616	1.800	1.971	ns
SSTL18_I_F	0.854	0.947	1.021	0.947	1.566	1.609	1.755	2.001	1.220	1.220	1.313	1.575	ns
SSTL18_I_S	0.854	0.947	1.021	0.947	1.745	1.786	1.942	2.178	1.677	1.677	1.836	2.032	ns
SUB_LVDS	0.871	1.002	1.036	1.002	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	ns

IOB 高性能 (HP) 开关特性

表 29: IOB 高性能 (HP) 开关特性

I/O 标准	T _{INBUF_DELAY_PAD_I}				T _{OUTBUF_DELAY_O_PAD}				T _{OUTBUF_DELAY_TD_PAD}				单位
	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	
	-3	-2	-1	-2	-3	-2	-1	-2	-3	-2	-1	-2	
DIFF_HSTL_I_12_F	0.288	0.394	0.402	0.394	0.410	0.423	0.443	0.423	0.514	0.553	0.582	0.553	ns
DIFF_HSTL_I_12_M	0.288	0.394	0.402	0.394	0.552	0.552	0.583	0.552	0.632	0.641	0.679	0.641	ns
DIFF_HSTL_I_12_S	0.288	0.394	0.402	0.394	0.752	0.752	0.800	0.752	0.813	0.813	0.868	0.813	ns
DIFF_HSTL_I_18_F	0.259	0.319	0.339	0.319	0.439	0.456	0.474	0.456	0.549	0.576	0.606	0.576	ns
DIFF_HSTL_I_18_M	0.259	0.319	0.339	0.319	0.563	0.570	0.603	0.570	0.636	0.653	0.692	0.653	ns
DIFF_HSTL_I_18_S	0.259	0.319	0.339	0.319	0.782	0.782	0.834	0.782	0.816	0.816	0.871	0.816	ns
DIFF_HSTL_I_DCI_12_F	0.288	0.394	0.402	0.394	0.393	0.406	0.429	0.406	0.502	0.534	0.564	0.534	ns
DIFF_HSTL_I_DCI_12_M	0.288	0.394	0.402	0.394	0.546	0.557	0.587	0.557	0.636	0.653	0.694	0.653	ns
DIFF_HSTL_I_DCI_12_S	0.288	0.394	0.402	0.394	0.755	0.755	0.806	0.755	0.842	0.842	0.907	0.842	ns
DIFF_HSTL_I_DCI_18_F	0.259	0.323	0.339	0.323	0.422	0.445	0.461	0.445	0.509	0.566	0.595	0.566	ns
DIFF_HSTL_I_DCI_18_M	0.259	0.323	0.339	0.323	0.546	0.555	0.586	0.555	0.626	0.643	0.684	0.643	ns
DIFF_HSTL_I_DCI_18_S	0.259	0.323	0.339	0.323	0.762	0.762	0.818	0.762	0.836	0.836	0.900	0.836	ns
DIFF_HSTL_I_DCI_F	0.335	0.397	0.417	0.397	0.407	0.431	0.445	0.431	0.517	0.555	0.575	0.555	ns
DIFF_HSTL_I_DCI_M	0.335	0.397	0.417	0.397	0.549	0.553	0.583	0.553	0.634	0.644	0.684	0.644	ns
DIFF_HSTL_I_DCI_S	0.335	0.397	0.417	0.397	0.767	0.767	0.823	0.767	0.848	0.848	0.912	0.848	ns
DIFF_HSTL_I_F	0.304	0.404	0.417	0.404	0.409	0.423	0.443	0.423	0.514	0.549	0.581	0.549	ns
DIFF_HSTL_I_M	0.304	0.404	0.417	0.404	0.549	0.555	0.586	0.555	0.624	0.640	0.677	0.640	ns
DIFF_HSTL_I_S	0.304	0.404	0.417	0.404	0.767	0.767	0.818	0.767	0.811	0.811	0.866	0.811	ns
DIFF_HSUL_12_DCI_F	0.320	0.381	0.400	0.381	0.411	0.425	0.443	0.425	0.520	0.558	0.586	0.558	ns
DIFF_HSUL_12_DCI_M	0.320	0.381	0.400	0.381	0.546	0.557	0.587	0.557	0.636	0.653	0.694	0.653	ns
DIFF_HSUL_12_DCI_S	0.320	0.381	0.400	0.381	0.737	0.737	0.787	0.737	0.822	0.822	0.885	0.822	ns
DIFF_HSUL_12_F	0.322	0.394	0.402	0.394	0.394	0.412	0.430	0.412	0.494	0.538	0.566	0.538	ns
DIFF_HSUL_12_M	0.322	0.394	0.402	0.394	0.552	0.552	0.583	0.552	0.632	0.641	0.679	0.641	ns
DIFF_HSUL_12_S	0.322	0.394	0.402	0.394	0.752	0.752	0.800	0.752	0.813	0.813	0.868	0.813	ns
DIFF_POD10_DCI_F	0.289	0.411	0.430	0.411	0.407	0.425	0.444	0.425	0.512	0.555	0.584	0.555	ns
DIFF_POD10_DCI_M	0.289	0.411	0.430	0.411	0.533	0.542	0.571	0.542	0.618	0.640	0.681	0.640	ns
DIFF_POD10_DCI_S	0.289	0.411	0.430	0.411	0.754	0.754	0.815	0.754	0.850	0.850	0.917	0.850	ns
DIFF_POD10_F	0.288	0.411	0.433	0.411	0.425	0.438	0.459	0.438	0.531	0.569	0.601	0.569	ns
DIFF_POD10_M	0.288	0.411	0.433	0.411	0.519	0.538	0.568	0.538	0.589	0.630	0.667	0.630	ns
DIFF_POD10_S	0.288	0.411	0.433	0.411	0.752	0.766	0.821	0.766	0.821	0.836	0.894	0.836	ns
DIFF_POD12_DCI_F	0.320	0.407	0.432	0.407	0.411	0.425	0.443	0.425	0.519	0.558	0.586	0.558	ns
DIFF_POD12_DCI_M	0.320	0.407	0.432	0.407	0.516	0.543	0.572	0.543	0.602	0.638	0.678	0.638	ns
DIFF_POD12_DCI_S	0.320	0.407	0.432	0.407	0.740	0.772	0.822	0.772	0.833	0.862	0.929	0.862	ns
DIFF_POD12_F	0.305	0.409	0.430	0.409	0.438	0.455	0.476	0.455	0.549	0.595	0.626	0.595	ns
DIFF_POD12_M	0.305	0.409	0.430	0.409	0.551	0.551	0.582	0.551	0.632	0.641	0.679	0.641	ns
DIFF_POD12_S	0.305	0.409	0.430	0.409	0.749	0.767	0.817	0.767	0.818	0.832	0.889	0.832	ns
DIFF_SSTL12_DCI_F	0.303	0.381	0.400	0.381	0.411	0.425	0.443	0.425	0.520	0.558	0.586	0.558	ns
DIFF_SSTL12_DCI_M	0.303	0.381	0.400	0.381	0.549	0.557	0.587	0.557	0.643	0.654	0.694	0.654	ns

表 29: IOB 高性能 (HP) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}				T _{OUTBUF_DELAY_O_PAD}				T _{OUTBUF_DELAY_TD_PAD}				单位
	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	
	-3	-2	-1	-2	-3	-2	-1	-2	-3	-2	-1	-2	
DIFF_SSTL12_DCI_S	0.303	0.381	0.400	0.381	0.754	0.754	0.803	0.754	0.842	0.842	0.908	0.842	ns
DIFF_SSTL12_F	0.288	0.394	0.402	0.394	0.394	0.412	0.430	0.412	0.494	0.538	0.566	0.538	ns
DIFF_SSTL12_M	0.288	0.394	0.402	0.394	0.550	0.553	0.584	0.553	0.630	0.641	0.676	0.641	ns
DIFF_SSTL12_S	0.288	0.394	0.402	0.394	0.758	0.758	0.808	0.758	0.823	0.823	0.879	0.823	ns
DIFF_SSTL135_DCI_F	0.303	0.371	0.402	0.371	0.392	0.411	0.428	0.411	0.494	0.537	0.565	0.537	ns
DIFF_SSTL135_DCI_M	0.303	0.371	0.402	0.371	0.551	0.551	0.582	0.551	0.643	0.645	0.685	0.645	ns
DIFF_SSTL135_DCI_S	0.303	0.371	0.402	0.371	0.746	0.746	0.799	0.746	0.829	0.829	0.893	0.829	ns
DIFF_SSTL135_F	0.289	0.375	0.402	0.375	0.393	0.408	0.428	0.408	0.491	0.528	0.561	0.528	ns
DIFF_SSTL135_M	0.289	0.375	0.402	0.375	0.548	0.555	0.585	0.555	0.621	0.641	0.679	0.641	ns
DIFF_SSTL135_S	0.289	0.375	0.402	0.375	0.772	0.772	0.823	0.772	0.827	0.827	0.878	0.827	ns
DIFF_SSTL15_DCI_F	0.335	0.397	0.417	0.397	0.394	0.412	0.429	0.412	0.497	0.531	0.563	0.531	ns
DIFF_SSTL15_DCI_M	0.335	0.397	0.417	0.397	0.549	0.553	0.583	0.553	0.632	0.645	0.685	0.645	ns
DIFF_SSTL15_DCI_S	0.335	0.397	0.417	0.397	0.768	0.768	0.822	0.768	0.847	0.847	0.912	0.847	ns
DIFF_SSTL15_F	0.304	0.404	0.417	0.404	0.409	0.424	0.445	0.424	0.513	0.551	0.577	0.551	ns
DIFF_SSTL15_M	0.304	0.404	0.417	0.404	0.547	0.554	0.585	0.554	0.624	0.639	0.677	0.639	ns
DIFF_SSTL15_S	0.304	0.404	0.417	0.404	0.767	0.767	0.817	0.767	0.813	0.813	0.867	0.813	ns
DIFF_SSTL18_I_DCI_F	0.256	0.320	0.336	0.320	0.422	0.445	0.461	0.445	0.540	0.566	0.595	0.566	ns
DIFF_SSTL18_I_DCI_M	0.256	0.320	0.336	0.320	0.552	0.554	0.585	0.554	0.629	0.644	0.683	0.644	ns
DIFF_SSTL18_I_DCI_S	0.256	0.320	0.336	0.320	0.762	0.762	0.818	0.762	0.837	0.837	0.899	0.837	ns
DIFF_SSTL18_I_F	0.256	0.316	0.336	0.316	0.439	0.454	0.476	0.454	0.549	0.578	0.608	0.578	ns
DIFF_SSTL18_I_M	0.256	0.316	0.336	0.316	0.567	0.571	0.603	0.571	0.535	0.652	0.692	0.652	ns
DIFF_SSTL18_I_S	0.256	0.316	0.336	0.316	0.782	0.782	0.835	0.782	0.816	0.816	0.870	0.816	ns
HSLVDCI_15_F	0.336	0.393	0.415	0.393	0.407	0.425	0.443	0.425	0.513	0.548	0.579	0.548	ns
HSLVDCI_15_M	0.336	0.393	0.415	0.393	0.548	0.552	0.581	0.552	0.635	0.644	0.684	0.644	ns
HSLVDCI_15_S	0.336	0.393	0.415	0.393	0.748	0.748	0.802	0.748	0.827	0.827	0.890	0.827	ns
HSLVDCI_18_F	0.367	0.424	0.447	0.424	0.424	0.445	0.461	0.445	0.541	0.566	0.595	0.566	ns
HSLVDCI_18_M	0.367	0.424	0.447	0.424	0.563	0.567	0.598	0.567	0.647	0.658	0.699	0.658	ns
HSLVDCI_18_S	0.367	0.424	0.447	0.424	0.761	0.761	0.817	0.761	0.836	0.836	0.900	0.836	ns
HSTL_I_12_F	0.322	0.378	0.399	0.378	0.410	0.423	0.443	0.423	0.514	0.553	0.582	0.553	ns
HSTL_I_12_M	0.322	0.378	0.399	0.378	0.551	0.551	0.582	0.551	0.632	0.642	0.679	0.642	ns
HSTL_I_12_S	0.322	0.378	0.399	0.378	0.750	0.750	0.799	0.750	0.813	0.813	0.868	0.813	ns
HSTL_I_18_F	0.258	0.322	0.339	0.322	0.439	0.456	0.474	0.456	0.549	0.576	0.606	0.576	ns
HSTL_I_18_M	0.258	0.322	0.339	0.322	0.562	0.569	0.602	0.569	0.637	0.653	0.692	0.653	ns
HSTL_I_18_S	0.258	0.322	0.339	0.322	0.781	0.781	0.833	0.781	0.816	0.816	0.871	0.816	ns
HSTL_I_DCI_12_F	0.322	0.378	0.399	0.378	0.393	0.406	0.429	0.406	0.502	0.534	0.564	0.534	ns
HSTL_I_DCI_12_M	0.322	0.378	0.399	0.378	0.551	0.556	0.586	0.556	0.644	0.654	0.694	0.654	ns
HSTL_I_DCI_12_S	0.322	0.378	0.399	0.378	0.754	0.754	0.803	0.754	0.842	0.842	0.907	0.842	ns
HSTL_I_DCI_18_F	0.258	0.321	0.339	0.321	0.422	0.445	0.461	0.445	0.509	0.566	0.595	0.566	ns
HSTL_I_DCI_18_M	0.258	0.321	0.339	0.321	0.551	0.554	0.585	0.554	0.634	0.643	0.684	0.643	ns
HSTL_I_DCI_18_S	0.258	0.321	0.339	0.321	0.761	0.761	0.817	0.761	0.836	0.836	0.900	0.836	ns

表 29: IOB 高性能 (HP) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}				T _{OUTBUF_DELAY_O_PAD}				T _{OUTBUF_DELAY_TD_PAD}				单位
	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	
	-3	-2	-1	-2	-3	-2	-1	-2	-3	-2	-1	-2	
HSTL_I_DCI_F	0.288	0.393	0.415	0.393	0.407	0.431	0.445	0.431	0.517	0.555	0.575	0.555	ns
HSTL_I_DCI_M	0.288	0.393	0.415	0.393	0.548	0.552	0.581	0.552	0.635	0.644	0.684	0.644	ns
HSTL_I_DCI_S	0.288	0.393	0.415	0.393	0.766	0.766	0.821	0.766	0.847	0.847	0.912	0.847	ns
HSTL_I_F	0.322	0.378	0.399	0.378	0.409	0.423	0.443	0.423	0.514	0.549	0.581	0.549	ns
HSTL_I_M	0.322	0.378	0.399	0.378	0.548	0.554	0.585	0.554	0.624	0.640	0.677	0.640	ns
HSTL_I_S	0.322	0.378	0.399	0.378	0.766	0.766	0.816	0.766	0.811	0.811	0.866	0.811	ns
HSUL_12_DCI_F	0.319	0.378	0.399	0.378	0.411	0.425	0.443	0.425	0.520	0.558	0.586	0.558	ns
HSUL_12_DCI_M	0.319	0.378	0.399	0.378	0.551	0.556	0.586	0.556	0.644	0.654	0.694	0.654	ns
HSUL_12_DCI_S	0.319	0.378	0.399	0.378	0.736	0.736	0.784	0.736	0.821	0.821	0.886	0.821	ns
HSUL_12_F	0.305	0.378	0.399	0.378	0.394	0.412	0.430	0.412	0.494	0.538	0.566	0.538	ns
HSUL_12_M	0.305	0.378	0.399	0.378	0.551	0.551	0.582	0.551	0.632	0.642	0.679	0.642	ns
HSUL_12_S	0.305	0.378	0.399	0.378	0.750	0.750	0.799	0.750	0.813	0.813	0.868	0.813	ns
LVC MOS12_F_2	0.443	0.512	0.555	0.512	0.657	0.672	0.692	0.672	0.862	0.898	0.922	0.898	ns
LVC MOS12_F_4	0.443	0.512	0.555	0.512	0.486	0.504	0.521	0.504	0.645	0.664	0.693	0.664	ns
LVC MOS12_F_6	0.443	0.512	0.555	0.512	0.469	0.485	0.507	0.485	0.585	0.634	0.669	0.634	ns
LVC MOS12_F_8	0.443	0.512	0.555	0.512	0.457	0.465	0.489	0.465	0.592	0.611	0.666	0.611	ns
LVC MOS12_M_2	0.443	0.512	0.555	0.512	0.687	0.708	0.727	0.708	0.889	0.916	0.945	0.916	ns
LVC MOS12_M_4	0.443	0.512	0.555	0.512	0.533	0.550	0.573	0.550	0.629	0.664	0.690	0.664	ns
LVC MOS12_M_6	0.443	0.512	0.555	0.512	0.520	0.527	0.554	0.527	0.608	0.622	0.652	0.622	ns
LVC MOS12_M_8	0.443	0.512	0.555	0.512	0.532	0.540	0.571	0.540	0.606	0.614	0.649	0.614	ns
LVC MOS12_S_2	0.443	0.512	0.555	0.512	0.767	0.767	0.803	0.767	0.981	0.990	1.024	0.990	ns
LVC MOS12_S_4	0.443	0.512	0.555	0.512	0.666	0.666	0.704	0.666	0.803	0.803	0.848	0.803	ns
LVC MOS12_S_6	0.443	0.512	0.555	0.512	0.657	0.657	0.695	0.657	0.732	0.732	0.774	0.732	ns
LVC MOS12_S_8	0.443	0.512	0.555	0.512	0.708	0.708	0.761	0.708	0.745	0.745	0.790	0.745	ns
LVC MOS15_F_12	0.368	0.414	0.445	0.414	0.485	0.500	0.522	0.500	0.584	0.647	0.682	0.647	ns
LVC MOS15_F_2	0.368	0.414	0.445	0.414	0.686	0.702	0.722	0.702	0.893	0.919	0.940	0.919	ns
LVC MOS15_F_4	0.368	0.414	0.445	0.414	0.567	0.579	0.601	0.579	0.727	0.755	0.781	0.755	ns
LVC MOS15_F_6	0.368	0.414	0.445	0.414	0.533	0.547	0.569	0.547	0.684	0.711	0.742	0.711	ns
LVC MOS15_F_8	0.368	0.414	0.445	0.414	0.500	0.518	0.538	0.518	0.635	0.686	0.703	0.686	ns
LVC MOS15_M_12	0.368	0.414	0.445	0.414	0.607	0.607	0.644	0.607	0.637	0.637	0.676	0.637	ns
LVC MOS15_M_2	0.368	0.414	0.445	0.414	0.736	0.741	0.770	0.741	0.929	0.938	0.962	0.938	ns
LVC MOS15_M_4	0.368	0.414	0.445	0.414	0.610	0.625	0.651	0.625	0.733	0.754	0.786	0.754	ns
LVC MOS15_M_6	0.368	0.414	0.445	0.414	0.564	0.576	0.604	0.576	0.655	0.674	0.710	0.674	ns
LVC MOS15_M_8	0.368	0.414	0.445	0.414	0.565	0.568	0.601	0.568	0.634	0.639	0.681	0.639	ns
LVC MOS15_S_12	0.368	0.414	0.445	0.414	0.788	0.788	0.855	0.788	0.695	0.695	0.733	0.695	ns
LVC MOS15_S_2	0.368	0.414	0.445	0.414	0.829	0.829	0.864	0.829	1.038	1.039	1.079	1.039	ns
LVC MOS15_S_4	0.368	0.414	0.445	0.414	0.687	0.687	0.725	0.687	0.813	0.813	0.851	0.813	ns
LVC MOS15_S_6	0.368	0.414	0.445	0.414	0.671	0.671	0.710	0.671	0.726	0.726	0.763	0.726	ns
LVC MOS15_S_8	0.368	0.414	0.445	0.414	0.704	0.704	0.755	0.704	0.721	0.721	0.758	0.721	ns
LVC MOS18_F_12	0.352	0.418	0.445	0.418	0.564	0.573	0.601	0.573	0.696	0.731	0.769	0.731	ns

表 29: IOB 高性能 (HP) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}				T _{OUTBUF_DELAY_O_PAD}				T _{OUTBUF_DELAY_TD_PAD}				单位
	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	
	-3	-2	-1	-2	-3	-2	-1	-2	-3	-2	-1	-2	
LVC MOS18_F_2	0.352	0.418	0.445	0.418	0.723	0.739	0.760	0.739	0.918	0.945	0.971	0.945	ns
LVC MOS18_F_4	0.352	0.418	0.445	0.418	0.598	0.609	0.630	0.609	0.749	0.778	0.802	0.778	ns
LVC MOS18_F_6	0.352	0.418	0.445	0.418	0.598	0.603	0.633	0.603	0.781	0.781	0.808	0.781	ns
LVC MOS18_F_8	0.352	0.418	0.445	0.418	0.567	0.573	0.600	0.573	0.712	0.733	0.767	0.733	ns
LVC MOS18_M_12	0.352	0.418	0.445	0.418	0.640	0.640	0.678	0.640	0.670	0.670	0.709	0.670	ns
LVC MOS18_M_2	0.352	0.418	0.445	0.418	0.785	0.798	0.822	0.798	0.986	0.991	1.016	0.991	ns
LVC MOS18_M_4	0.352	0.418	0.445	0.418	0.658	0.664	0.693	0.664	0.786	0.798	0.836	0.798	ns
LVC MOS18_M_6	0.352	0.418	0.445	0.418	0.625	0.629	0.663	0.629	0.727	0.735	0.775	0.735	ns
LVC MOS18_M_8	0.352	0.418	0.445	0.418	0.626	0.626	0.661	0.626	0.705	0.705	0.746	0.705	ns
LVC MOS18_S_12	0.352	0.418	0.445	0.418	0.795	0.795	0.861	0.795	0.683	0.683	0.721	0.683	ns
LVC MOS18_S_2	0.352	0.418	0.445	0.418	0.861	0.862	0.897	0.862	1.061	1.076	1.098	1.076	ns
LVC MOS18_S_4	0.352	0.418	0.445	0.418	0.716	0.716	0.758	0.716	0.829	0.829	0.872	0.829	ns
LVC MOS18_S_6	0.352	0.418	0.445	0.418	0.682	0.682	0.724	0.682	0.724	0.724	0.762	0.724	ns
LVC MOS18_S_8	0.352	0.418	0.445	0.418	0.707	0.707	0.760	0.707	0.709	0.709	0.745	0.709	ns
LVDCI_15_F	0.369	0.425	0.462	0.425	0.407	0.426	0.443	0.426	0.514	0.548	0.581	0.548	ns
LVDCI_15_M	0.369	0.425	0.462	0.425	0.549	0.553	0.582	0.553	0.632	0.645	0.685	0.645	ns
LVDCI_15_S	0.369	0.425	0.462	0.425	0.749	0.749	0.803	0.749	0.821	0.821	0.890	0.821	ns
LVDCI_18_F	0.367	0.414	0.447	0.414	0.422	0.441	0.459	0.441	0.541	0.560	0.589	0.560	ns
LVDCI_18_M	0.367	0.414	0.447	0.414	0.546	0.554	0.585	0.554	0.622	0.644	0.683	0.644	ns
LVDCI_18_S	0.367	0.414	0.447	0.414	0.760	0.760	0.818	0.760	0.837	0.837	0.899	0.837	ns
LVDS	0.508	0.539	0.620	0.539	0.626	0.626	0.662	0.626	960.447	960.447	960.447	960.447	ns
MIPI_DPHY_DCI_HS	0.305	0.386	0.415	0.386	0.489	0.502	0.522	0.502	不适用	不适用	不适用	不适用	ns
MIPI_DPHY_DCI_LP	8.438	8.438	8.792	8.438	0.895	0.914	0.937	0.914	不适用	不适用	不适用	不适用	ns
POD10_DCI_F	0.336	0.408	0.430	0.408	0.407	0.425	0.444	0.425	0.512	0.555	0.584	0.555	ns
POD10_DCI_M	0.336	0.408	0.430	0.408	0.533	0.542	0.571	0.542	0.618	0.640	0.681	0.640	ns
POD10_DCI_S	0.336	0.408	0.430	0.408	0.724	0.754	0.815	0.754	0.815	0.850	0.917	0.850	ns
POD10_F	0.336	0.407	0.430	0.407	0.425	0.438	0.459	0.438	0.531	0.569	0.601	0.569	ns
POD10_M	0.336	0.407	0.430	0.407	0.519	0.538	0.568	0.538	0.589	0.630	0.667	0.630	ns
POD10_S	0.336	0.407	0.430	0.407	0.752	0.766	0.821	0.766	0.821	0.836	0.894	0.836	ns
POD12_DCI_F	0.336	0.409	0.431	0.409	0.411	0.425	0.443	0.425	0.519	0.558	0.586	0.558	ns
POD12_DCI_M	0.336	0.409	0.431	0.409	0.516	0.543	0.572	0.543	0.602	0.638	0.678	0.638	ns
POD12_DCI_S	0.336	0.409	0.431	0.409	0.740	0.772	0.822	0.772	0.833	0.862	0.929	0.862	ns
POD12_F	0.336	0.409	0.431	0.409	0.438	0.455	0.476	0.455	0.549	0.595	0.626	0.595	ns
POD12_M	0.336	0.409	0.431	0.409	0.551	0.551	0.582	0.551	0.632	0.641	0.679	0.641	ns
POD12_S	0.336	0.409	0.431	0.409	0.749	0.767	0.817	0.767	0.818	0.832	0.889	0.832	ns
SLVS_400_18	0.492	0.539	0.620	0.539	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	ns
SSTL12_DCI_F	0.331	0.381	0.399	0.381	0.411	0.425	0.443	0.425	0.520	0.558	0.586	0.558	ns
SSTL12_DCI_M	0.331	0.381	0.399	0.381	0.549	0.557	0.587	0.557	0.643	0.654	0.694	0.654	ns
SSTL12_DCI_S	0.331	0.381	0.399	0.381	0.754	0.754	0.803	0.754	0.842	0.842	0.908	0.842	ns

表 29: IOB 高性能 (HP) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}				T _{OUTBUF_DELAY_O_PAD}				T _{OUTBUF_DELAY_TD_PAD}				单位
	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	0.90V	0.85V		0.72V	
	-3	-2	-1	-2	-3	-2	-1	-2	-3	-2	-1	-2	
SSTL12_F	0.320	0.403	0.403	0.403	0.394	0.412	0.430	0.412	0.494	0.538	0.566	0.538	ns
SSTL12_M	0.320	0.403	0.403	0.403	0.550	0.553	0.584	0.553	0.630	0.641	0.676	0.641	ns
SSTL12_S	0.320	0.403	0.403	0.403	0.758	0.758	0.808	0.758	0.823	0.823	0.879	0.823	ns
SSTL135_DCI_F	0.341	0.366	0.399	0.366	0.392	0.411	0.428	0.411	0.494	0.537	0.565	0.537	ns
SSTL135_DCI_M	0.341	0.366	0.399	0.366	0.551	0.551	0.582	0.551	0.643	0.645	0.685	0.645	ns
SSTL135_DCI_S	0.341	0.366	0.399	0.366	0.746	0.746	0.799	0.746	0.829	0.829	0.893	0.829	ns
SSTL135_F	0.321	0.378	0.399	0.378	0.393	0.408	0.428	0.408	0.491	0.528	0.561	0.528	ns
SSTL135_M	0.321	0.378	0.399	0.378	0.548	0.555	0.585	0.555	0.621	0.641	0.679	0.641	ns
SSTL135_S	0.321	0.378	0.399	0.378	0.772	0.772	0.823	0.772	0.827	0.827	0.878	0.827	ns
SSTL15_DCI_F	0.319	0.402	0.417	0.402	0.394	0.412	0.429	0.412	0.497	0.531	0.563	0.531	ns
SSTL15_DCI_M	0.319	0.402	0.417	0.402	0.549	0.553	0.583	0.553	0.632	0.645	0.685	0.645	ns
SSTL15_DCI_S	0.319	0.402	0.417	0.402	0.768	0.768	0.822	0.768	0.847	0.847	0.912	0.847	ns
SSTL15_F	0.320	0.371	0.400	0.371	0.393	0.408	0.428	0.408	0.494	0.530	0.556	0.530	ns
SSTL15_M	0.320	0.371	0.400	0.371	0.547	0.554	0.585	0.554	0.624	0.639	0.677	0.639	ns
SSTL15_S	0.320	0.371	0.400	0.371	0.767	0.767	0.817	0.767	0.813	0.813	0.867	0.813	ns
SSTL18_I_DCI_F	0.256	0.329	0.336	0.329	0.422	0.445	0.461	0.445	0.540	0.566	0.595	0.566	ns
SSTL18_I_DCI_M	0.256	0.329	0.336	0.329	0.552	0.554	0.585	0.554	0.629	0.644	0.683	0.644	ns
SSTL18_I_DCI_S	0.256	0.329	0.336	0.329	0.762	0.762	0.818	0.762	0.837	0.837	0.899	0.837	ns
SSTL18_I_F	0.259	0.316	0.337	0.316	0.439	0.454	0.476	0.454	0.549	0.578	0.608	0.578	ns
SSTL18_I_M	0.259	0.316	0.337	0.316	0.567	0.571	0.603	0.571	0.535	0.652	0.692	0.652	ns
SSTL18_I_S	0.259	0.316	0.337	0.316	0.782	0.782	0.835	0.782	0.816	0.816	0.870	0.816	ns
SUB_LVDS	0.508	0.539	0.620	0.539	0.658	0.660	0.692	0.660	907.387	969.863	969.863	969.863	ns

IOB 三态输出开关特性

表 30 指定了 T_{OUTBUF_DELAY_TE_PAD} 和 T_{INBUF_DELAY_IBUFDIS_O} 的值。

- T_{OUTBUF_DELAY_TE_PAD} 是启用三态的情况下（即，高阻抗状态下），从 T 引脚通过 IOB 焊盘的输出缓存到 IOB 焊盘的延迟。
- T_{INBUF_DELAY_IBUFDIS_O} 是从 IBUFDISABLE 到 O 输出的 IOB 延迟。
- 在 HP I/O bank 中，使用 DCITERMDISABLE 引脚时，内部 DCI 终端关闭时间始终比 T_{OUTBUF_DELAY_TE_PAD} 更短。
- 在 HD I/O bank 中，使用 INTERMDISABLE 引脚时，内部 IN_TERM 终端关闭时间始终比 T_{OUTBUF_DELAY_TE_PAD} 更短。

表 30: IOB 三态输出开关特性

标识	描述	速度等级和 V_{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
$T_{OUTBUF_DELAY_TE_PAD}$	T 输入到 HD I/O bank 的焊盘高阻抗	6.167	6.318	6.369	6.699	ns
	T 输入到 HP I/O bank 的焊盘高阻抗	5.330	5.330	5.341	5.330	ns
$T_{INBUF_DELAY_IBUFDIS_O}$	从 IBUFDISABLE 到 HD I/O bank 的 O 输出的 IBUF 开启时间	2.266	2.266	2.430	2.266	ns
	从 IBUFDISABLE 到 HP I/O bank 的 O 输出的 IBUF 开启时间	0.873	0.936	1.037	0.936	ns

输入延迟测量方法

下表显示了用于测量输入延迟的测试设置参数。

表 31: 输入延迟测量方法

描述	I/O 标准属性	$V_L^{1,2}$	$V_H^{1,2}$	$V_{MEAS}^{1,4}$	$V_{REF}^{1,3,5}$
LVC MOS, 1.2V	LVC MOS12	0.1	1.1	0.6	-
LVC MOS, LVDCI, HSLVDCI, 1.5V	LVC MOS15、LVDCI_15 和 HSLVDCI_15	0.1	1.4	0.75	-
LVC MOS, LVDCI, HSLVDCI, 1.8V	LVC MOS18、LVDCI_18 和 HSLVDCI_18	0.1	1.7	0.9	-
LVC MOS, 2.5V	LVC MOS25	0.1	2.4	1.25	-
LVC MOS, 3.3V	LVC MOS33	0.1	3.2	1.65	-
LVTTL, 3.3V	LVTTL	0.1	3.2	1.65	-
高速收发器逻辑 (HSTL), I 类, 1.2V	HSTL_I_12	$V_{REF} - 0.25$	$V_{REF} + 0.25$	V_{REF}	0.6
HSTL, I 类, 1.5V	HSTL_I	$V_{REF} - 0.325$	$V_{REF} + 0.325$	V_{REF}	0.75
HSTL, I 类, 1.8V	HSTL_I_18	$V_{REF} - 0.4$	$V_{REF} + 0.4$	V_{REF}	0.9
高速无终端逻辑 (HSUL), 1.2V	HSUL_12	$V_{REF} - 0.25$	$V_{REF} + 0.25$	V_{REF}	0.6
短截线串联终端逻辑 (SSTL12), 1.2V	SSTL12	$V_{REF} - 0.25$	$V_{REF} + 0.25$	V_{REF}	0.6
SSTL135 和 SSTL135 II 类, 1.35V	SSTL135, SSTL135_II	$V_{REF} - 0.2875$	$V_{REF} + 0.2875$	V_{REF}	0.675
SSTL15 和 SSTL15 II 类, 1.5V	SSTL15, SSTL15_II	$V_{REF} - 0.325$	$V_{REF} + 0.325$	V_{REF}	0.75
SSTL18, I 类和 II 类, 1.8V	SSTL18_I, SSTL18_II	$V_{REF} - 0.4$	$V_{REF} + 0.4$	V_{REF}	0.9
POD10, 1.0V	POD10	$V_{REF} - 0.2$	$V_{REF} + 0.2$	V_{REF}	0.7
POD12, 1.2V	POD12	$V_{REF} - 0.24$	$V_{REF} + 0.24$	V_{REF}	0.84
DIFF_HSTL, I 类, 1.2V	DIFF_HSTL_I_12	0.6 - 0.25	0.6 + 0.25	0 ⁶	-
DIFF_HSTL, I 类, 1.5V	DIFF_HSTL_I	0.75 - 0.325	0.75 + 0.325	0 ⁶	-
DIFF_HSTL, I 类, 1.8V	DIFF_HSTL_I_18	0.9 - 0.4	0.9 + 0.4	0 ⁶	-
DIFF_HSUL, 1.2V	DIFF_HSUL_12	0.6 - 0.25	0.6 + 0.25	0 ⁶	-
DIFF_SSTL, 1.2V	DIFF_SSTL12	0.6 - 0.25	0.6 + 0.25	0 ⁶	-
DIFF_SSTL135 和 DIFF_SSTL135 II 类, 1.35V	DIFF_SSTL135, DIFF_SSTL135_II	0.675 - 0.2875	0.675 + 0.2875	0 ⁶	-
DIFF_SSTL15 和 DIFF_SSTL15 II 类, 1.5V	DIFF_SSTL15, DIFF_SSTL15_II	0.75 - 0.325	0.75 + 0.325	0 ⁶	-
DIFF_SSTL18_I, DIFF_SSTL18_II, 1.8V	DIFF_SSTL18_I, DIFF_SSTL18_II	0.9 - 0.4	0.9 + 0.4	0 ⁶	-
DIFF_POD10, 1.0V	DIFF_POD10	0.5 - 0.2	0.5 + 0.2	0 ⁶	-

表 31: 输入延迟测量方法 (续)

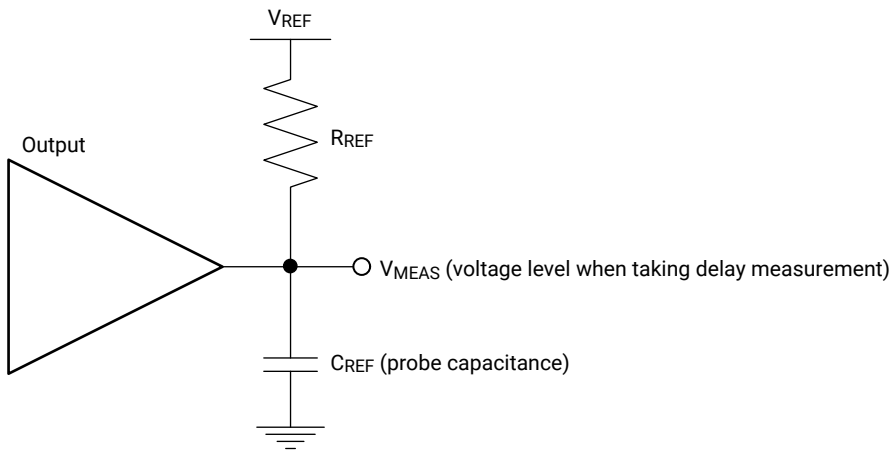
描述	I/O 标准属性	$V_L^{1,2}$	$V_H^{1,2}$	$V_{MEAS}^{1,4}$	$V_{REF}^{1,3,5}$
DIFF_POD12, 1.2V	DIFF_POD12	0.6 - 0.25	0.6 + 0.25	0 ⁶	-
低压差分信号 (LVDS), 1.8V	LVDS	0.9 - 0.125	0.9 + 0.125	0 ⁶	-
LVDS_25, 2.5V	LVDS_25	1.25 - 0.125	1.25 + 0.125	0 ⁶	-
SUB_LVDS, 1.8V	SUB_LVDS	0.9 - 0.125	0.9 + 0.125	0 ⁶	-
SLVS, 1.8V	SLVS_400_18	0.9 - 0.125	0.9 + 0.125	0 ⁶	-
SLVS, 2.5V	SLVS_400_25	1.25 - 0.125	1.25 + 0.125	0 ⁶	-
LVPECL, 2.5V	LVPECL	1.25 - 0.125	1.25 + 0.125	0 ⁶	-
MIPI D-PHY (高速) 1.2V	MIPI_DPHY_DCI_HS	0.2 - 0.125	0.2 + 0.125	0 ⁶	-
MIPI D-PHY (低功耗) 1.2V	MIPI_DPHY_DCI_LP	0.715 - 0.2	0.715 + 0.2	0 ⁶	-

- 注释:**
- 1. 对于相同电压下的 LVCMOS 标准, LVDCI/HSLVDCI 的输入延迟测量方法参数是相同的。对于对应的非 DCI 标准, 所有其他 DCI 标准的参数都是相同的。
 - 2. V_L 与 V_H 之间的输入波形开关。
 - 3. 采用 V_{REF} 典型值、最小值和最大值进行测量。报告的延迟反映的是这些测量的最差情况。列出的 V_{REF} 值均为典型值。
 - 4. 开始测量时的输入电压电平。
 - 5. 此输入电压参考值与 IBIS 模型和/或图 1 中标注的 V_{REF}/V_{MEAS} 参数无关。
 - 6. 给定的值是差分输入电压。

输出延迟测量方法

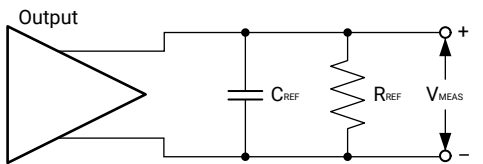
输出延迟是通过短输出走线来测量的。所有测试都使用标准终止。走线的传输延迟从最终测量结果中剔除出来单独鉴别, 因此不包含在图 1 和图 2 中所示的通用测试设置中。

图 1: 单端测试设置:



X16654-072117

图 2: 差分测试设置



X16640-072117

参数 V_{REF} 、 R_{REF} 、 C_{REF} 和 V_{MEAS} 完整描述了每一项 I/O 标准的测试条件。可通过 IBIS 仿真采用如下方法获取任意给定应用中的传输延迟的最准确的预测结果：

1. 使用来自表 32 的值将所选输出驱动仿真到通用测试设置中。
2. 将时间记录到 V_{MEAS} 内。
3. 将所选输出驱动仿真到实际 PCB 走线和负载中，使用相应的 IBIS 模型或电容值来表示负载。
4. 将时间记录到 V_{MEAS} 内。
5. 比对步骤 2 和步骤 4 的结果。延迟的增减将导致 PCB 走线实际产生传输延迟。

表 32：输出延迟测量方法

描述	I/O 标准属性	R_{REF} (Ω)	C_{REF} ¹ (pF)	V_{MEAS} (V)	V_{REF} (V)
LVC MOS, 1.2V	LVC MOS12	1M	0	0.6	0
LVC MOS, 1.5V	LVC MOS15	1M	0	0.75	0
LVC MOS, 1.8V	LVC MOS18	1M	0	0.9	0
LVC MOS, 2.5V	LVC MOS25	1M	0	1.25	0
LVC MOS, 3.3V	LVC MOS33	1M	0	1.65	0
LVTTL, 3.3V	LVTTL	1M	0	1.65	0
LVDCI, HSLVDCI, 1.5V	LVDCI_15、HSLVDCI_15	50	0	V_{REF}	0.75
LVDCI, HSLVDCI, 1.8V	LVDCI_15、HSLVDCI_18	50	0	V_{REF}	0.9
高速收发器逻辑 (HSTL), I 类, 1.2V	HSTL_I_12	50	0	V_{REF}	0.6
HSTL, I 类, 1.5V	HSTL_I	50	0	V_{REF}	0.75
HSTL, I 类, 1.8V	HSTL_I_18	50	0	V_{REF}	0.9
高速无终端逻辑 (HSUL), 1.2V	HSUL_12	50	0	V_{REF}	0.6
短截线串联终端逻辑 (SSTL12), 1.2V	SSTL12	50	0	V_{REF}	0.6
SSTL135 和 SSTL135 II 类, 1.35V	SSTL135, SSTL135_II	50	0	V_{REF}	0.675
SSTL15 和 SSTL15 II 类, 1.5V	SSTL15, SSTL15_II	50	0	V_{REF}	0.75
SSTL18, I 类和 II 类, 1.8V	SSTL18_I, SSTL18_II	50	0	V_{REF}	0.9
POD10, 1.0V	POD10	50	0	V_{REF}	1.0
POD12, 1.2V	POD12	50	0	V_{REF}	1.2
DIFF_HSTL, I 类, 1.2V	DIFF_HSTL_I_12	50	0	V_{REF}	0.6
DIFF_HSTL, I 类, 1.5V	DIFF_HSTL_I	50	0	V_{REF}	0.75
DIFF_HSTL, I 类, 1.8V	DIFF_HSTL_I_18	50	0	V_{REF}	0.9
DIFF_HSUL, 1.2V	DIFF_HSUL_12	50	0	V_{REF}	0.6
DIFF_SSTL12, 1.2V	DIFF_SSTL12	50	0	V_{REF}	0.6
DIFF_SSTL135 和 DIFF_SSTL135 II 类, 1.35V	DIFF_SSTL135, DIFF_SSTL135_II	50	0	V_{REF}	0.675
DIFF_SSTL15 和 DIFF_SSTL15 II 类, 1.5V	DIFF_SSTL15, DIFF_SSTL15_II	50	0	V_{REF}	0.75
DIFF_SSTL18, I 类和 II 类, 1.8V	DIFF_SSTL18_I, DIFF_SSTL18_II	50	0	V_{REF}	0.9
DIFF_POD10, 1.0V	DIFF_POD10	50	0	V_{REF}	1.0
DIFF_POD12, 1.2V	DIFF_POD12	50	0	V_{REF}	1.2
低压差分信号 (LVDS), 1.8V	LVDS	100	0	0 ²	0
SUB_LVDS, 1.8V	SUB_LVDS	100	0	0 ²	0
MIPI D-PHY (高速) 1.2V	MIPI_DPHY_DCI_HS	100	0	0 ²	0

表 32: 输出延迟测量方法 (续)

描述	I/O 标准属性	R_{REF} (Ω)	C_{REF} ¹ (pF)	V_{MEAS} (V)	V_{REF} (V)
MIPI D-PHY (低功耗) 1.2V	MIPI_DPHY_DCI_LP	1M	0	0.6	0

注释:

- C_{REF} 是探针的电容, 额定值为 0 pF。
- 给定的值是差分输出电压。

块 RAM 和 FIFO 开关特性

表 33: 块 RAM 和 FIFO 开关特性

标识	描述	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
最高频率						
F _{MAX_WF_NC}	块 RAM（WRITE_FIRST 和 NO_CHANGE 模式）	825	737	645	585	MHz
F _{MAX_RF}	块 RAM（READ_FIRST 模式）	718	637	575	510	MHz
F _{MAX_FIFO}	所有模式下的 FIFO（无 ECC）	825	737	645	585	MHz
F _{MAX_ECC}	ECC 配置中的块 RAM 和 FIFO（无 PIPELINE）	718	637	575	510	MHz
	ECC 配置中的块 RAM 和 FIFO（含 PIPELINE）以及 WRITE_FIRST 模式或 NO_CHANGE 模式下的块 RAM	825	737	645	585	MHz
T _{PW} ¹	最小脉冲宽度	495	542	543	577	ps
块 RAM 和 FIFO 时钟到输出延迟						
T _{RCKO_DO}	时钟 CLK 到 DOUT 输出（无输出寄存器）	0.91	1.02	1.11	1.46	ns，最大值
T _{RCKO_DO_REG}	时钟 CLK 到 DOUT 输出（含输出寄存器）	0.27	0.29	0.30	0.42	ns，最大值

注释:

- MMCM 和 PLL DUTY_CYCLE 属性应设置为 50% 以满足更高频率下的脉冲宽度需求。

UltraRAM 开关特性

《UltraScale 架构和产品数据手册: 简介》(DS890) 列出了包含此存储器的 Virtex UltraScale+ FPGA。

表 34: UltraRAM 开关特性

标识	描述	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
最高频率						
F _{MAX}	OREG_B = True 时 UltraRAM 最高频率	650	600	575	500	MHz
F _{MAX_ECC_NOPIPELINE}	OREG_B = False 且 EN_ECC_RD_B = True 时 UltraRAM 最高频率	435	400	386	312	MHz
F _{MAX_NOPIPELINE}	OREG_B = False 且 EN_ECC_RD_B = False 时 UltraRAM 最高频率	528	500	478	404	MHz
T _{PW} ¹	最小脉冲宽度	650	700	730	800	ps
T _{RSTPW}	异步复位最小脉冲宽度需 1 个周期	1 个时钟周期				

注释:

1. MMCM 和 PLL DUTY_CYCLE 属性应设置为 50% 以满足更高频率下的脉冲宽度需求。

输入/输出延迟开关特性

表 35: 输入/输出延迟开关特性

标识	描述	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
F _{REFCLK}	IDELAYCTRL 的参考时钟频率 (命令模式)	300 - 800				MHz
	在本机模式下使用含 REFCLK 的 BITSlice_CONTROL 时的参考时钟频率 (仅适用于 RX_BITSlice)	300 - 800				MHz
	在本机模式下使用含 PLL_CLK 的 BITSlice_CONTROL 时的参考时钟频率 ¹	300 - 2666.67	300 - 2666.67	300 - 2400	300 - 2400	MHz
T _{MINPER_CLK}	IODELAY 时钟的最短周期	3.195	3.195	3.195	3.195	ns
T _{MINPER_RST}	最小复位脉冲宽度	52.00				ns
T _{IDELAY_RESOLUTION/} T _{ODELAY_RESOLUTION}	IDELAY/ODELAY 链分辨率	2.1 - 12				ps

注释:

1. PLL 设置可限制最低可允许数据速率。例如, 使用 CLKOUTPHY_MODE = VCO_HALF 的 PLL 时, 最低频率为 PLL_F_{VCOMIN}/2。

DSP48 slice 开关特性

表 36: DSP48 slice 开关特性

标识	描述	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V ¹	
		-3	-2	-1	-2	
最高频率						
F _{MAX}	使用所有寄存器的情况下	891	775	645	644	MHz
F _{MAX_PATDET}	含模式检测器	794	687	571	562	MHz
F _{MAX_MULT_NOMREG}	两个寄存器相乘，无 MREG	635	544	456	440	MHz
F _{MAX_MULT_NOMREG_PATDET}	两个寄存器相乘，无 MREG，含模式检测	577	492	410	395	MHz
F _{MAX_PREADD_NOADREG}	无 ADREG	655	565	468	453	MHz
F _{MAX_NOPIPELINEREG}	无流水线寄存器（MREG 和 ADREG）	483	410	338	323	MHz
F _{MAX_NOPIPELINEREG_PATDET}	无流水线寄存器（MREG 和 ADREG），含模式检测	448	379	314	299	MHz

注释:

1. 对于以较低功耗的 V_{CCINT} = 0.72V 电压工作的器件, 跨时钟区域中心的 DSP 级联可能以低于指定 F_{MAX} 的电压工作。

时钟缓存和网络

表 37: 时钟缓存开关特性

标识	描述	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
全局时钟开关特性（包括 BUFGCTRL）						
F _{MAX}	全局时钟树的最高频率 (BUFG)	891	775	667	725	MHz
含输入分频功能的全局时钟缓存 (BUFGCE_DIV)						
F _{MAX}	含输入分频功能的全局时钟缓存的最高频率 (BUFGCE_DIV)	891	775	667	725	MHz
含时钟使能的全局时钟缓存 (BUFGCE)						
F _{MAX}	含时钟使能的全局时钟缓存的最高频率 (BUFGCE)	891	775	667	725	MHz
含时钟使能的叶时钟缓存 (BUFCE_LEAF)						
F _{MAX}	含时钟使能的叶时钟缓存的最高频率 (BUFCE_LEAF)	891	775	667	725	MHz
含时钟使能和时钟输入分频功能的 GTY 或 GTM 时钟缓存 (BUFG_GT)						
F _{MAX}	含时钟使能和时钟输入分频功能的串行收发器时钟缓存的最高频率	512	512	512	512	MHz

MMCM 开关特性

表 38: MMCM 规格

标识	描述	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
MMCM_F _{INMAX}	最高输入时钟频率	1066	933	800	933	MHz
MMCM_F _{INMIN}	最低输入时钟频率	10	10	10	10	MHz
MMCM_F _{INJITTER}	最大输入时钟周期抖动	< 时钟输入周期的 20%，或者最大值为 1 ns				
MMCM_F _{INDUTY}	输入占空比范围: 10 - 49 MHz	25-75				%
	输入占空比范围: 50 - 199 MHz	30-70				%
	输入占空比范围: 200 - 399 MHz	35-65				%
	输入占空比范围: 400 - 499 MHz	40-60				%
	输入占空比范围: > 500 MHz	45-55				%
MMCM_F _{MIN_PSCLK}	最低动态相移时钟频率	0.01	0.01	0.01	0.01	MHz
MMCM_F _{MAX_PSCLK}	最高动态相移时钟频率	550	500	450	500	MHz
MMCM_F _{VCOMIN}	最低 MMCM VCO 频率	800	800	800	800	MHz
MMCM_F _{VCOMAX}	最高 MMCM VCO 频率	1600	1600	1600	1600	MHz
MMCM_F _{BANDWIDTH}	典型情况下低 MMCM 带宽 ¹	1.00	1.00	1.00	1.00	MHz
	典型情况下高 MMCM 带宽 ¹	4.00	4.00	4.00	4.00	MHz
MMCM_T _{STATPHAOFFSET}	MMCM 输出的静态相位偏移 ²	0.12	0.12	0.12	0.12	ns
MMCM_T _{OUTJITTER}	MMCM 输出抖动	注释 3				
MMCM_T _{OUTDUTY}	MMCM 输出时钟占空比精度 ⁴	0.165	0.20	0.20	0.20	ns
MMCM_T _{LOCKMAX}	MMCM_F _{PFDMIN} 的 MMCM 最长锁定时间	100	100	100	100	μs
MMCM_F _{OUTMAX}	MMCM 最高输出频率	891	775	667	725	MHz
MMCM_F _{OUTMIN}	MMCM 最低输出频率 ^{4, 5}	6.25	6.25	6.25	6.25	MHz
MMCM_T _{EXTFDVAR}	外部时钟反馈变化	< 时钟输入周期的 20%，或者最大值为 1 ns				
MMCM_RST _{MINPULSE}	最小复位脉冲宽度	5.00	5.00	5.00	5.00	ns
MMCM_F _{PFDMAX}	相位频率检测器测得的最高频率	550	500	450	500	MHz
MMCM_F _{PFDMIN}	相位频率检测器测得的最低频率	10	10	10	10	MHz
MMCM_T _{FBDELAY}	反馈路径中的最大延迟	最大值 5 ns，或者一个时钟周期				
MMCM_F _{DPRCLK_MAX}	最高 DRP 时钟频率	250	250	250	250	MHz

注释:

- MMCM 不会对典型扩展频谱输入时钟进行滤波，因为此类时钟通常远低于带宽滤波频率。
- 静态偏移测量的是相同相位的任意 MMCM 输出之间的偏移。
- 此参数的值可在 Clocking Wizard 中使用。
- 包含全局时钟缓存。
- 计算方式为 F_{VCO}/128，假定输出占空比为 50%。

PLL 开关特性

表 39: PLL 规格

标识	描述 ¹	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
PLL_F _{INMAX}	最高输入时钟频率	1066	933	800	933	MHz
PLL_F _{INMIN}	最低输入时钟频率	70	70	70	70	MHz
PLL_F _{INJITTER}	最大输入时钟周期抖动	< 时钟输入周期的 20%，或者最大值为 1 ns				
PLL_F _{INDUTY}	输入占空比范围: 70 - 399 MHz	35-65				%
	输入占空比范围: 400 - 499 MHz	40-60				%
	输入占空比范围: > 500 MHz	45-55				%
PLL_F _{VCOMIN}	最低 PLL VCO 频率	750	750	750	750	MHz
PLL_F _{VCOMAX}	最高 PLL VCO 频率	1500	1500	1500	1500	MHz
PLL_T _{STATPHAOFFSET}	PLL 输出的静态相位偏移 ²	0.12	0.12	0.12	0.12	ns
PLL_T _{OUTJITTER}	PLL 输出抖动	注释 3				
PLL_T _{OUTDUTY}	PLL CLKOUT0、CLKOUT0B、CLKOUT1 和 CLKOUT1B 占空比精度 ⁴	0.165	0.20	0.20	0.20	ns
PLL_T _{LOCKMAX}	PLL 最长锁定时间	100				μs
PLL_F _{OUTMAX}	处于 CLKOUT0、CLKOUT0B、CLKOUT1 和 CLKOUT1B 时的 PLL 最高输出频率	891	775	667	725	MHz
	处于 CLKOUTPHY 时的 PLL 最高输出频率	2667	2667	2400	2400	MHz
PLL_F _{OUTMIN}	处于 CLKOUT0、CLKOUT0B、CLKOUT1 和 CLKOUT1B 时的 PLL 最低输出频率 ⁵	5.86	5.86	5.86	5.86	MHz
	处于 CLKOUTPHY 时的 PLL 最低输出频率	2 x VCO 模式: 1500, 1 x VCO 模式: 750, 0.5 x VCO 模式: 375				MHz
PLL_RST _{MINPULSE}	最小复位脉冲宽度	5.00	5.00	5.00	5.00	ns
PLL_F _{PFDMAX}	相位频率检测器测得的最高频率	667.5	667.5	667.5	667.5	MHz
PLL_F _{PFDMIN}	相位频率检测器测得的最低频率	70	70	70	70	MHz
PLL_F _{BANDWIDTH}	典型情况下 PLL 带宽	14	14	14	14	MHz
PLL_F _{DPRCLK_MAX}	最高 DRP 时钟频率	250	250	250	250	MHz

注释:

- PLL 不会对典型扩展频谱输入时钟进行滤波，因为此类时钟通常远低于循环滤波频率。
- 静态偏移测量的是相同相位的任意 PLL 输出之间的偏移。
- 此参数的值可在 Clocking Wizard 中使用。
- 包含全局时钟缓存。
- 计算方式为 $F_{VCO}/128$ ，假定输出占空比为 50%。

器件引脚间输出参数指南

下表中的引脚间数值是基于器件中心的时钟根布局生成的。如果所选根布局不同，那么实际引脚间数值可能变动。请查阅 Vivado Design Suite 时序报告以了解实际的引脚间数值。

表 40：无 MMCM（近端时钟区域）情况下全局时钟输入到输出延迟

标识	描述 ¹	器件	速度等级和 V _{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
以下情况下的 SSTL15 全局时钟输入到输出延迟：使用输出触发器、高压摆率、无 MMCM							
T _{ICKOF}	无 MMCM（近端时钟区域）情况下的全局时钟输入和输出触发器	XCVU3P	4.41	4.77	5.09	5.48	ns
		XCVU5P	4.41	4.77	5.09	5.48	ns
		XCVU7P	4.41	4.77	5.09	5.48	ns
		XCVU9P	4.41	4.77	5.09	5.48	ns
		XCVU11P	4.22	4.59	4.90	5.27	ns
		XCVU13P	4.22	4.59	4.90	5.27	ns
		XCVU19P	不适用	6.24	6.84	不适用	ns
		XCVU27P	4.22	4.59	4.90	5.27	ns
		XCVU29P	4.22	4.59	4.90	5.27	ns
		XCVU31P	4.22	4.59	4.90	5.27	ns
		XCVU33P	4.22	4.59	4.90	5.27	ns
		XCVU35P	4.22	4.59	4.90	5.27	ns
		XCVU37P	4.22	4.59	4.90	5.27	ns
		XCVU45P	4.22	4.59	4.90	5.27	ns
		XCVU47P	4.22	4.59	4.90	5.27	ns
		XQVU3P	不适用	4.77	5.09	5.48	ns
		XQVU7P	不适用	4.77	5.09	5.48	ns
		XQVU11P	不适用	4.59	4.90	5.27	ns

注释：

1. 该表列出了代表性的值，其中每个全局时钟输入负责驱动每个可访问列中的一个垂直时钟行，并且所有可访问 I/O 和 CLB 触发器均由单个 SLR 中的全局时钟网络进行时钟配置。

表 41: 无 MMCM (远端时钟区域) 情况下全局时钟输入到输出延迟

标识	描述 ¹	器件	速度等级和 V _{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
以下情况下的 SSTL15 全局时钟输入到输出延迟：使用输出触发器、高压摆率、无 MMCM							
T _{ICKOF_FAR}	无 MMCM（远端时钟区域）情况下的全局时钟输入和输出触发器	XCVU3P	4.90	5.33	5.69	6.24	ns
		XCVU5P	4.90	5.33	5.69	6.24	ns
		XCVU7P	4.90	5.33	5.69	6.24	ns
		XCVU9P	4.90	5.33	5.69	6.24	ns
		XCVU11P	4.40	4.79	5.11	5.54	ns
		XCVU13P	4.40	4.79	5.11	5.54	ns
		XCVU19P	不适用	7.36	8.02	不适用	ns
		XCVU27P	4.40	4.79	5.11	5.54	ns
		XCVU29P	4.40	4.79	5.11	5.54	ns
		XCVU31P	4.40	4.79	5.11	5.54	ns
		XCVU33P	4.40	4.79	5.11	5.54	ns
		XCVU35P	4.40	4.79	5.11	5.54	ns
		XCVU37P	4.40	4.79	5.11	5.54	ns
		XCVU45P	4.40	4.79	5.11	5.54	ns
		XCVU47P	4.40	4.79	5.11	5.54	ns
		XQVU3P	不适用	5.33	5.69	6.24	ns
		XQVU7P	不适用	5.33	5.69	6.24	ns
		XQVU11P	不适用	4.79	5.11	5.54	ns

注释:

1. 该表列出了代表性的值, 其中每个全局时钟输入负责驱动每个可访问列中的一个垂直时钟行, 并且所有可访问 I/O 和 CLB 触发器均由单个 SLR 中的全局时钟网络进行时钟配置。

表 42: 含 MMCM 情况下的全局时钟输入到输出延迟

标识	描述 1,2	器件	速度等级和 V _{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
以下情况下的 SSTL15 全局时钟输入到输出延迟：使用输出触发器、高压摆率、含 MMCM							
T _{ICKOFMMCMCC}	含 MMCM 情况下的全局时钟输入和输出触发器	XCVU3P	1.51	1.80	1.94	1.80	ns
		XCVU5P	1.51	1.80	1.94	1.80	ns
		XCVU7P	1.51	1.80	1.94	1.80	ns
		XCVU9P	1.51	1.80	1.94	1.80	ns
		XCVU11P	1.29	1.56	1.68	1.56	ns
		XCVU13P	1.29	1.56	1.68	1.56	ns
		XCVU19P	不适用	2.35	2.58	不适用	ns
		XCVU27P	1.29	1.56	1.68	1.56	ns
		XCVU29P	1.29	1.56	1.68	1.56	ns
		XCVU31P	1.29	1.56	1.68	1.56	ns
		XCVU33P	1.29	1.56	1.68	1.56	ns
		XCVU35P	1.29	1.56	1.68	1.56	ns
		XCVU37P	1.29	1.56	1.68	1.56	ns
		XCVU45P	1.29	1.56	1.68	1.56	ns
		XCVU47P	1.29	1.56	1.68	1.56	ns
		XQVU3P	不适用	1.80	1.94	1.80	ns
		XQVU7P	不适用	1.80	1.94	1.80	ns
		XQVU11P	不适用	1.56	1.68	1.56	ns

注释:

1. 该表列出了代表性的值, 其中每个全局时钟输入负责驱动每个可访问列中的一个垂直时钟行, 并且所有可访问 I/O 和 CLB 触发器均由单个 SLR 中的全局时钟网络进行时钟配置。
2. MMCM 输出抖动已包含在时序计算内。

表 43: 电源同步输出特征 (组件模式)

描述	速度等级和 V _{CCINT} 工作电压				单位
	0.90V	0.85V		0.72V	
	-3	-2	-1	-2	
T _{OUTPUT_LOGIC_DELAY_VARIATION} ¹	80				ps

注释:

1. 在 bank 中使用组件模式输出逻辑 (ODDRE1, OSERDESE3) 时, 传输总线中延迟不匹配。

器件引脚间输入参数指南

下表中的引脚间数值是基于器件中心的时钟根布局生成的。如果所选根布局不同，那么实际引脚间数值可能变动。请查阅 Vivado Design Suite 时序报告以了解实际的引脚间数值。

表 44: 全局时钟输入建立与保持 (含 MMCM)

标识	描述	器件	速度等级和 V _{CCINT} 工作电压				单位	
			0.90V	0.85V		0.72V		
			-3	-2	-1	-2		
与使用 SSTL15 标准的全局时钟输入信号相关的输入建立与保持时间。1, 2, 3								
T _{PSMMCMCC_VU3P}	含 MMCM 情况下的全局时钟输入和输入触发器（或锁存）	建立	XCVU3P	1.86	1.86	1.99	1.86	ns
T _{PHMMCMCC_VU3P}		保持		-0.13	-0.13	-0.13	-0.17	ns
T _{PSMMCMCC_VU5P}		建立	XCVU5P	1.86	1.86	1.99	1.86	ns
T _{PHMMCMCC_VU5P}		保持		-0.13	-0.13	-0.13	-0.17	ns
T _{PSMMCMCC_VU7P}		建立	XCVU7P	1.86	1.86	1.99	1.86	ns
T _{PHMMCMCC_VU7P}		保持		-0.13	-0.13	-0.13	-0.17	ns
T _{PSMMCMCC_VU9P}		建立	XCVU9P	1.86	1.86	1.99	1.86	ns
T _{PHMMCMCC_VU9P}		保持		-0.13	-0.13	-0.13	-0.17	ns
T _{PSMMCMCC_VU11P}		建立	XCVU11P	1.91	1.92	2.05	1.92	ns
T _{PHMMCMCC_VU11P}		保持		-0.13	-0.13	-0.13	-0.18	ns
T _{PSMMCMCC_VU13P}		建立	XCVU13P	1.91	1.92	2.05	1.92	ns
T _{PHMMCMCC_VU13P}		保持		-0.13	-0.13	-0.13	-0.18	ns
T _{PSMMCMCC_VU19P}		建立	XCVU19P	不适用	1.97	2.11	不适用	ns
T _{PHMMCMCC_VU19P}		保持		不适用	-0.11	-0.11	不适用	ns
T _{PSMMCMCC_VU27P}		建立	XCVU27P	1.91	1.92	2.05	1.92	ns
T _{PHMMCMCC_VU27P}		保持		-0.13	-0.13	-0.13	-0.18	ns
T _{PSMMCMCC_VU29P}		建立	XCVU29P	1.91	1.92	2.05	1.92	ns
T _{PHMMCMCC_VU29P}		保持		-0.13	-0.13	-0.13	-0.18	ns
T _{PSMMCMCC_VU31P}		建立	XCVU31P	1.91	1.92	2.05	1.92	ns
T _{PHMMCMCC_VU31P}		保持		-0.13	-0.13	-0.13	-0.18	ns
T _{PSMMCMCC_VU33P}		建立	XCVU33P	1.91	1.92	2.05	1.92	ns
T _{PHMMCMCC_VU33P}		保持		-0.13	-0.13	-0.13	-0.18	ns
T _{PSMMCMCC_VU35P}		建立	XCVU35P	1.91	1.92	2.05	1.92	ns
T _{PHMMCMCC_VU35P}		保持		-0.13	-0.13	-0.13	-0.18	ns
T _{PSMMCMCC_VU37P}		建立	XCVU37P	1.91	1.92	2.05	1.92	ns
T _{PHMMCMCC_VU37P}		保持		-0.13	-0.13	-0.13	-0.18	ns

表 44: 全局时钟输入建立与保持 (含 MMCM) (续)

标识	描述		器件	速度等级和 V _{CCINT} 工作电压				单位
				0.90V	0.85V		0.72V	
				-3	-2	-1	-2	
T _{PSMMCMCC_VU45P}	含 MMCM 情况下的全局时钟输入和输入触发器（或锁存） (续)	建立	XCVU45P	1.91	1.92	2.05	1.92	ns
T _{PHMMCMCC_VU45P}		保持		-0.13	-0.13	-0.13	-0.18	ns
T _{PSMMCMCC_VU47P}		建立	XCVU47P	1.91	1.92	2.05	1.92	ns
T _{PHMMCMCC_VU47P}		保持		-0.13	-0.13	-0.13	-0.18	ns
T _{PSMMCMCC_XQVU3P}		建立	XQVU3P	不适用	1.86	1.99	1.86	ns
T _{PHMMCMCC_XQVU3P}		保持		不适用	-0.13	-0.13	-0.17	ns
T _{PSMMCMCC_XQVU7P}		建立	XQVU7P	不适用	1.86	1.99	1.86	ns
T _{PHMMCMCC_XQVU7P}		保持		不适用	-0.13	-0.13	-0.17	ns
T _{PSMMCMCC_XQVU11P}		建立	XQVU11P	不适用	1.92	2.05	1.92	ns
T _{PHMMCMCC_XQVU11P}		保持		不适用	-0.13	-0.13	-0.18	ns

注释:

1. 建立时间与保持时间是根据最差情况下的条件 (工艺、电压、温度) 来测量的。建立时间是根据所使用的工艺、温度和电压均为最慢的条件下的全局时钟输入信号来测量的。保持时间是根据所使用的工艺、温度和电压均为最快的条件下的全局时钟输入信号来测量的。
2. 该表列出了代表性的值, 其中每个全局时钟输入负责驱动每个可访问列中的一个垂直时钟行, 并且所有可访问 I/O 和 CLB 触发器均由单个 SLR 中的全局时钟网络进行时钟配置。
3. 使用 IBIS 可确定使用各项标准所引发的任意占空比失真。

表 45: 采样时间范围

描述	速度等级和 V_{CCINT} 工作电压				单位
	0.90V	0.85V		0.72V	
	-3	-2	-1	-2	
$T_{SAMP_BUFG}^1$	510	610	610	610	ps
$T_{SAMP_NATIVE_DPA}^2$	100	100	125	125	ps
$T_{SAMP_NATIVE_BISC}^3$	60	60	85	85	ps

注释:

1. 此参数表示 Virtex UltraScale+ FPGA DDR 输入寄存器的总采样误差, 根据电压、温度和工艺来测量。特性描述方法使用 MMCM 来捕获 DDR 输入寄存器的操作沿。此测量对象包括: CLK0 MMCM 抖动、MMCM 准确性 (相位偏移) 和 MMCM 相移解析。这些测量方法不包括封装或时钟树偏差。
2. 此参数表示使用动态相位对齐时 RX_BITSLICE 的接收采样误差。
3. 此参数表示使用内置自校准 (BISC) 时 RX_BITSLICE 的接收采样误差。

表 46: 动态相位对齐应用的输入逻辑特性 (组件模式)

描述	速度等级和 V_{CCINT} 工作电压				单位
	0.90V	0.85V		0.72V	
	-3	-2	-1	-2	
$T_{INPUT_LOGIC_UNCERTAINTY}^1$	40				ps
$T_{CAL_ERROR}^2$	24				ps

注释:

1. Input_logic_uncertainty 会考量输入逻辑 (输入寄存器、IDDRE1 或 ISERDESE3) 的建立/保持以及所有模式相关的抖动。
2. 与基于 IDELAY 解析的量化效应相关的校准错误。必须针对每个输入引脚执行校准, 以便确保实现最优化的性能。

封装参数指南

本节中的参数提供了必要的值，以供用于计算时钟发射器和接收器数据有效时间范围的时序预算。

表 47: 封装偏差

标识	描述	器件	封装	值	单位
PKGSKEW	封装偏差 ^{1,2}	XCVU3P	FFVC1517	197	ps
		XCVU5P	FLVA2104	175	ps
			FLVB2104	225	ps
			FLVC2104	216	ps
		XCVU7P	FLVA2104	175	ps
			FLVB2104	225	ps
			FLVC2104	216	ps
		XCVU9P	FLGA2104	217	ps
			FLGB2104	275	ps
			FLGC2104	299	ps
			FSGD2104	229	ps
			FLGA2577	149	ps
		XCVU11P	FLGF1924	180	ps
			FLGB2104	216	ps
			FLGC2104	175	ps
			FSGD2104	224	ps
			FLGA2577	154	ps
		XCVU13P	FHGA2104	215	ps
			FHGB2104	259	ps
			FHGC2104	182	ps
			FIGD2104	198	ps
			FLGA2577	140	ps
		XCVU19P	FSVA3824	323	ps
			FSVB3824	246	ps
		XCVU27P	FIGD2104	198	ps
			FSGA2577	139	ps
		XCVU29P	FIGD2104	198	ps
			FSGA2577	139	ps
		XCVU31P	FSVH1924	165	ps
		XCVU33P	FSVH2104	194	ps
		XCVU35P	FSVH2104	200	ps
			FSVH2892	241	ps
		XCVU37P	FSVH2892	278	ps
		XCVU45P	FSVH2104	200	ps
			FSVH2892	241	ps
		XCVU47P	FSVH2892	278	ps
		XQVU3P	FFRC1517	176	ps
		XQVU7P	FLRA2104	175	ps
			FLRB2104	224	ps
		XQVU11P	FLRC2104	174	ps

注释:

1. 这些值表示封装中任意两个 SelectIO 资源之间的最差情况下的偏差: 从裸片焊盘到球栅的最短延迟到最长延迟。
2. 封装延迟可用于这些器件/封装组合。此信息可用于对封装进行纠偏。

GTY 收发器规格

《UltraScale 架构和产品数据手册：简介》(DS890) 列出了包含 GTY 收发器的 Virtex UltraScale+ FPGA。

GTY 收发器 DC 输入电平和输出电平

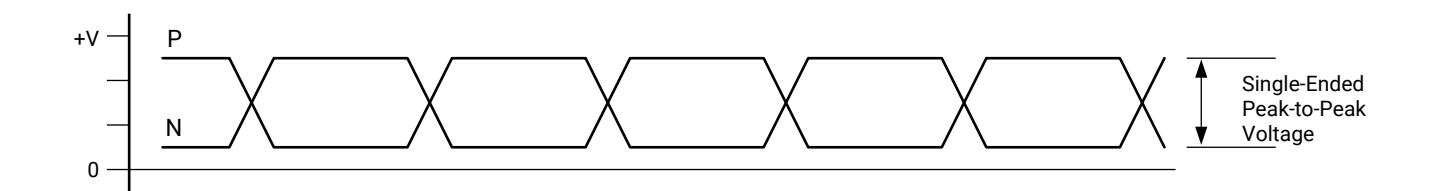
表 48 汇总了 Virtex UltraScale+ FPGA 中 GTY 收发器的 DC 规格。请参阅《UltraScale 架构 GTY 收发器用户指南》(UG578)，以获取更多详情。

表 48: GTY 收发器 DC 规格

标识	DC 参数	条件	最小值	典型值	最大值	单位
DV _{PPIN}	差分峰峰值输入电压（外部 AC 已耦合）	>10.3125 Gb/s	150	-	1250	mV
		6.6 Gb/s - 10.3125 Gb/s	150	-	1250	mV
		≤6.6 Gb/s	150	-	2000	mV
V _{IN}	单端输入电压。在参考 GND 的引脚上测量所得电压。	DC 耦合 V _{MGTAVTT} = 1.2V	-400	-	V _{MGTAVTT}	mV
V _{CMIN}	共模输入电压	DC 耦合 V _{MGTAVTT} = 1.2V	-	2/3 V _{MGTAVTT}	-	mV
DV _{PPOUT}	差分峰峰值输出电压 ¹	发射器输出摆幅设置为 11111	800	-	-	mV
V _{CMOUTDC}	共模输出电压：DC 已耦合（根据方程）	当远程 RX 终止于 GND 时	$V_{MGTAVTT}/2 - D_{VPPOUT}/4$			mV
		当远程 RX 终端浮动时	$V_{MGTAVTT} - D_{VPPOUT}/2$			mV
		当远程 RX 终止于 V _{RX_TERM} ² 时	$V_{MGTAVTT} - \frac{D_{VPPOUT}}{4} - \left(\frac{V_{MGTAVTT} - V_{RX_TERM}}{2} \right)$			mV
V _{CMOUTAC}	共模输出电压：AC 已耦合	根据方程	$V_{MGTAVTT} - D_{VPPOUT}/2$			mV
R _{IN}	差分输入电阻		-	100	-	Ω
R _{OUT}	差分输出电阻		-	100	-	Ω
T _{OSKEW}	发射器输出对（TXP 和 TXN）的配对间偏差		-	-	10	ps
C _{EXT}	推荐的外部 AC 耦合电容器 ³		-	100	-	nF

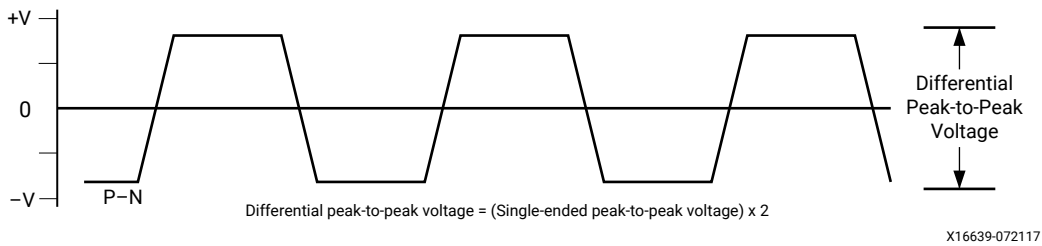
- 注释：**
- 1. 输出摆幅和预加重电平可使用《UltraScale 架构 GTY 收发器用户指南》(UG578) 中所探讨的 GTY 收发器属性来加以编程，生成的值可能低于该表中报告的值。
 - 2. V_{RX_TERM} 为远程 RX 终端电压。
 - 3. 可使用其他适当的值以符合具体协议和标准的要求。

图 3：单端峰峰值电压



X16653-072117

图 4: 差分峰峰值电压



下表汇总了 Virtex UltraScale+ FPGA 中 GTY 收发器的时钟输入/输出电平的 DC 规格。请参阅《UltraScale 架构 GTY 收发器用户指南》(UG578), 以获取更多详情。

表 49: GTY 收发器时钟 DC 输入电平规格

标识	DC 参数	最小值	典型值	最大值	单位
V _{IDIFF}	差分峰峰值输入电压	250	-	2000	mV
R _{IN}	差分输入电阻	-	100	-	Ω
C _{EXT}	所需的外部 AC 耦合电容器	-	10	-	nF

表 50: GTY 收发器时钟输出电平规格

标识	描述	条件	最小值	典型值	最大值	单位
V _{OL}	P 和 N 的输出低电压	P 和 N 信号间 R _T = 100Ω	100	-	330	mV
V _{OH}	P 和 N 的输出高电压	P 和 N 信号间 R _T = 100Ω	500	-	700	mV
V _{DDOUT}	差分输出电压 (P-N), P = 高 (N-P), N = 高	P 和 N 信号间 R _T = 100Ω	300	-	430	mV
V _{CMOUT}	共模电压	P 和 N 信号间 R _T = 100Ω	300	-	500	mV

GTY 收发器开关特性

请参阅《UltraScale 架构 GTY 收发器用户指南》(UG578), 以获取更多信息。

表 51: GTY 收发器性能

标识	描述	输出分频器	速度等级和 V _{CCINT} 工作电压								单位	
			0.90V		0.85V				0.72V			
			-3	-2	-1	-2						
F _{GTYMAX}	GTY 最高线速		32.75 ¹	28.21 ¹	25.785 ¹	28.21 ¹					Gb/s	
F _{GTYMIN}	GTY 最低线速		0.5	0.5	0.5	0.5					Gb/s	
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值		
F _{GTYCRANGE}	CPLL 线速范围 ²	1	4.0	12.5	4.0	12.5	4.0	8.5	4.0	12.5	Gb/s	
		2	2.0	6.25	2.0	6.25	2.0	4.25	2.0	6.25	Gb/s	
		4	1.0	3.125	1.0	3.125	1.0	2.125	1.0	3.125	Gb/s	
		8	0.5	1.5625	0.5	1.5625	0.5	1.0625	0.5	1.5625	Gb/s	
		16	不适用									Gb/s
		32	不适用									Gb/s

表 51: GTY 收发器性能 (续)

标识	描述	输出分频器	速度等级和 V _{CCINT} 工作电压								单位
			0.90V		0.85V				0.72V		
			-3		-2		-1		-2		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
F _{GTYQRANGE1}	QPLL0 线速范围 ³	1	19.6	32.75	19.6	28.21	19.6	25.785	19.6	28.21	Gb/s
		1	9.8	16.375	9.8	16.375	9.8	16.375	9.8	16.375	Gb/s
		2	4.9	8.1875	4.9	8.1875	4.9	8.1875	4.9	8.1875	Gb/s
		4	2.45	4.0938	2.45	4.0938	2.45	4.0938	2.45	4.0938	Gb/s
		8	1.225	2.0469	1.225	2.0469	1.225	2.0469	1.225	2.0469	Gb/s
		16	0.6125	1.0234	0.6125	1.0234	0.6125	1.0234	0.6125	1.0234	Gb/s
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
F _{GTYQRANGE2}	QPLL1 线速范围 ⁴	1	16.0	26.0	16.0	26.0	16.0	25.785	16.0	26.0	Gb/s
		1	8.0	13.0	8.0	13.0	8.0	12.5	8.0	13.0	Gb/s
		2	4.0	6.5	4.0	6.5	4.0	6.5	4.0	6.5	Gb/s
		4	2.0	3.25	2.0	3.25	2.0	3.25	2.0	3.25	Gb/s
		8	1.0	1.625	1.0	1.625	1.0	1.625	1.0	1.625	Gb/s
		16	0.5	0.8125	0.5	0.8125	0.5	0.8125	0.5	0.8125	Gb/s
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
F _{CPLL} RANGE	CPLL 频率范围		2.0	6.25	2.0	6.25	2.0	4.25	2.0	6.25	GHz
F _{QPLL0} RANGE	QPLL0 频率范围		9.8	16.375	9.8	16.375	9.8	16.375	9.8	16.375	GHz
F _{QPLL1} RANGE	QPLL1 频率范围		8.0	13.0	8.0	13.0	8.0	13.0	8.0	13.0	GHz

注释:

1. FLGF1924 封装中的 XCVU11P 器件的 GTY 收发器最大线速为 16.3 Gb/s。
2. 此处所列的值为根据公式 $(2 \times \text{CPLL_Frequency}) / \text{Output_Divider}$ 计算结果舍入所得。
3. 此处所列的值为根据公式 $(\text{QPLL0_Frequency} \times \text{RATE}) / \text{Output_Divider}$ 计算结果舍入所得，其中，当 QPLL0_CLKOUT_RATE 设置为 HALF 时 RATE 为 1，当 QPLL0_CLKOUT_RATE 设置为 FULL 时，则 RATE 为 2。
4. 此处所列的值为根据公式 $(\text{QPLL1_Frequency} \times \text{RATE}) / \text{Output_Divider}$ 计算结果舍入所得，其中，当 QPLL1_CLKOUT_RATE 设置为 HALF 时 RATE 为 1，当 QPLL1_CLKOUT_RATE 设置为 FULL 时，则 RATE 为 2。

表 52: GTY 收发器动态重新配置端口 (DRP) 开关特性

标识	描述	所有速度等级	单位
F _{GTYDRPCLK}	GTYDRPCLK 最高频率	250	MHz

表 53: GTY 收发器参考时钟开关特性

标识	描述	条件	所有速度等级			单位
			最小值	典型值	最大值	
F _{GCLK}	参考时钟频率范围		60	-	820	MHz
T _{RCLK}	参考时钟上升时间	20% - 80%	-	200	-	ps
T _{FCLK}	参考时钟下降时间	80% - 20%	-	200	-	ps
T _{DREF}	参考占空比	仅限收发器 PLL	40	50	60	%

表 54: GTY 收发器参考时钟振荡器选择相位噪声屏蔽

标识	描述 ^{1,2}	偏移频率	最小值	典型值	最大值	单位
QPLL _{REFCLKMASK}	REFCLK 频率 = 156.25 MHz 时 QPLL0/QPLL1 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-112	dBc/Hz
		100 kHz	-	-	-128	
		1 MHz	-	-	-145	
	REFCLK 频率 = 312.5 MHz 时 QPLL0/QPLL1 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-103	dBc/Hz
		100 kHz	-	-	-123	
		1 MHz	-	-	-143	
	REFCLK 频率 = 625 MHz 时 QPLL0/QPLL1 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-98	dBc/Hz
		100 kHz	-	-	-117	
		1 MHz	-	-	-140	
CPLL _{REFCLKMASK}	REFCLK 频率 = 156.25 MHz 时 CPLL 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-112	dBc/Hz
		100 kHz	-	-	-128	
		1 MHz	-	-	-145	
		50 MHz	-	-	-145	
	REFCLK 频率 = 312.5 MHz 时 CPLL 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-103	dBc/Hz
		100 kHz	-	-	-123	
		1 MHz	-	-	-143	
		50 MHz	-	-	-145	
	REFCLK 频率 = 625 MHz 时 CPLL 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-98	dBc/Hz
		100 kHz	-	-	-117	
		1 MHz	-	-	-140	
		50 MHz	-	-	-144	

注释:

- 对于该表中不包含的参考时钟频率, 请使用最接近的参考时钟频率的相位噪声屏蔽。
- 受支持的协议 (例如, PCIe) 中指定的任意参考时钟相位噪声屏蔽将取代此参考时钟相位噪声屏蔽。

表 55: GTY 收发器 PLL/锁定时间调整

标识	描述	条件	所有速度等级			单位
			最小值	典型值	最大值	
T _{LOCK}	初始 PLL 锁定。		-	-	1	ms
T _{DLOCK}	对应判定反馈均衡器 (DFE) 的时钟恢复相位捕获和调整时间	当 PLL 锁定到参考时钟后, 这表示将时钟数据恢复 (CDR) 锁定到输入中存在的时钟所需的时间。	-	50,000	37 x 10 ⁶	UI
	禁用 DFE 时对应低功耗模式 (LPM) 的时钟恢复相位捕获和调整时间		-	50,000	2.3 x 10 ⁶	UI

表 56: GTY 收发器用户时钟开关特性

标识	描述 ¹	数据宽度条件 (位)		速度等级和 V _{CCINT} 工作电压				单位
		内部逻辑	互联逻辑	0.90V	0.85V		0.72V	
				-3	-2	-1 ²	-2	
F _{TXOUTPMA}	源自 OUTCLKPMA 的 TXOUTCLK 最高频率			511.719	511.719	402.891	402.832	MHz
F _{RXOUTPMA}	源自 OUTCLKPMA 的 RXOUTCLK 最高频率			511.719	511.719	402.891	402.832	MHz
F _{TXOUTPROGDIV}	源自 TXPROGDIVCLK 的 TXOUTCLK 最高频率			511.719	511.719	511.719	511.719	MHz

表 56: GTY 收发器用户时钟开关特性 (续)

标识	描述 ¹	数据宽度条件 (位)		速度等级和 V _{CCINT} 工作电压				单位
				0.90V	0.85V		0.72V	
		内部逻辑	互联逻辑	-3	-2	-1 ²	-2	
F _{RXOUTPROGDIV}	源自 RXPROGDIVCLK 的 RXOUTCLK 最高频率			511.719	511.719	511.719	511.719	MHz
F _{TXIN}	TXUSRCLK ³ 最高频率	16	16、32	511.719	511.719	390.625	390.625	MHz
		32	32、64	511.719	511.719	390.625	390.625	MHz
		64	64、128	511.719	440.781	402.891	402.832	MHz
		20	20、40	409.375	409.375	312.500	312.500	MHz
		40	40、80	409.375	409.375	312.500	350.000	MHz
		80	80、160	409.375	352.625	322.313	352.625	MHz
F _{RXIN}	RXUSRCLK ³ 最高频率	16	16、32	511.719	511.719	390.625	390.625	MHz
		32	32、64	511.719	511.719	390.625	390.625	MHz
		64	64、128	511.719	440.781	402.891	402.832	MHz
		20	20、40	409.375	409.375	312.500	312.500	MHz
		40	40、80	409.375	409.375	312.500	350.000	MHz
		80	80、160	409.375	352.625	322.313	352.625	MHz
F _{TXIN2}	TXUSRCLK ³ 最高频率	16	16	511.719	511.719	390.625	390.625	MHz
		16	32	255.859	255.859	195.313	195.313	MHz
		32	32	511.719	511.719	390.625	390.625	MHz
		32	64	255.859	255.859	195.313	195.313	MHz
		64	64	511.719	440.781	402.891	402.832	MHz
		64	128	255.859	220.391	201.445	201.416	MHz
		20	20	409.375	409.375	312.500	312.500	MHz
		20	40	204.688	204.688	156.250	156.250	MHz
		40	40	409.375	409.375	312.500	350.000	MHz
		40	80	204.688	204.688	156.250	175.000	MHz
		80	80	409.375	352.625	322.313	352.625	MHz
		80	160	204.688	176.313	161.156	176.313	MHz

表 56: GTY 收发器用户时钟开关特性 (续)

标识	描述 ¹	数据宽度条件 (位)		速度等级和 V _{CCINT} 工作电压				单位
				0.90V	0.85V		0.72V	
		内部逻辑	互联逻辑	-3	-2	-1 ²	-2	
F _{RXIN2}	RXUSRCLK2 ³ 最高频率	16	16	511.719	511.719	390.625	390.625	MHz
		16	32	255.859	255.859	195.313	195.313	MHz
		32	32	511.719	511.719	390.625	390.625	MHz
		32	64	255.859	255.859	195.313	195.313	MHz
		64	64	511.719	440.781	402.891	402.832	MHz
		64	128	255.859	220.391	201.445	201.416	MHz
		20	20	409.375	409.375	312.500	312.500	MHz
		20	40	204.688	204.688	156.250	156.250	MHz
		40	40	409.375	409.375	312.500	350.000	MHz
		40	80	204.688	204.688	156.250	175.000	MHz
		80	80	409.375	352.625	322.313	352.625	MHz
		80	160	204.688	176.313	161.156	176.313	MHz

注释:

1. 必须按《UltraScale 架构 GTY 收发器用户指南》(UG578) 中所述来实现时钟设置。
2. 对于速度等级 -1E、-1I 和 -1M, 仅限 64 位或 80 位内部数据路径才能用于高于 12.5 Gb/s 的线速。
3. 使用变速箱时, 这些最大值对应 XCLK。如需了解更多信息, 请参阅《UltraScale 架构 GTY 收发器用户指南》(UG578) 中的“TX 异步变速箱的有效数据宽度组合”表。

表 57: GTY 收发器发射器开关特性

标识	描述	条件	最小值	典型值	最大值	单位
F _{GTYTX}	串行数据速率范围		0.500	-	F _{GTYMAX}	Gb/s
T _{RTX}	TX 上升时间	20%-80%	-	21	-	ps
T _{FTX}	TX 下降时间	80%-20%	-	21	-	ps
T _{LLSKEW}	TX 通道间偏差 ¹		-	-	500.00	ps
T _{J32.75}	总抖动 ^{2,4}	32.75 Gb/s	-	-	0.35	UI
D _{J32.75}	确定性抖动 ^{2,4}		-	-	0.19	UI
T _{J28.21}	总抖动 ^{2,4}	28.21 Gb/s	-	-	0.28	UI
D _{J28.21}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J16.375}	总抖动 ^{2,4}	16.375 Gb/s	-	-	0.28	UI
D _{J16.375}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J15.0}	总抖动 ^{2,4}	15.0 Gb/s	-	-	0.28	UI
D _{J15.0}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J14.1}	总抖动 ^{2,4}	14.1 Gb/s	-	-	0.28	UI
D _{J14.1}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J14.1}	总抖动 ^{2,4}	14.025 Gb/s	-	-	0.28	UI
D _{J14.1}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J13.1}	总抖动 ^{2,4}	13.1 Gb/s	-	-	0.28	UI
D _{J13.1}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J12.5_QPLL}	总抖动 ^{2,4}	12.5 Gb/s	-	-	0.28	UI
D _{J12.5_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI

表 57: GTY 收发器发射器开关特性 (续)

标识	描述	条件	最小值	典型值	最大值	单位
T _{J12.5_CPLL}	总抖动 ^{3,4}	12.5 Gb/s	-	-	0.33	UI
D _{J12.5_CPLL}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J11.3_QPLL}	总抖动 ^{2,4}	11.3 Gb/s	-	-	0.28	UI
D _{J11.3_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J10.3125_QPLL}	总抖动 ^{2,4}	10.3125 Gb/s	-	-	0.28	UI
D _{J10.3125_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J10.3125_CPLL}	总抖动 ^{3,4}	10.3125 Gb/s	-	-	0.33	UI
D _{J10.3125_CPLL}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J9.953_QPLL}	总抖动 ^{2,4}	9.953 Gb/s	-	-	0.28	UI
D _{J9.953_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J9.953_CPLL}	总抖动 ^{3,4}	9.953 Gb/s	-	-	0.33	UI
D _{J9.953_CPLL}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J8.0}	总抖动 ^{3,4}	8.0 Gb/s	-	-	0.32	UI
D _{J8.0}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J6.6}	总抖动 ^{3,4}	6.6 Gb/s	-	-	0.30	UI
D _{J6.6}	确定性抖动 ^{3,4}		-	-	0.15	UI
T _{J5.0}	总抖动 ^{3,4}	5.0 Gb/s	-	-	0.30	UI
D _{J5.0}	确定性抖动 ^{3,4}		-	-	0.15	UI
T _{J4.25}	总抖动 ^{3,4}	4.25 Gb/s	-	-	0.30	UI
D _{J4.25}	确定性抖动 ^{3,4}		-	-	0.15	UI
T _{J3.20}	总抖动 ^{3,4}	3.20 Gb/s ⁵	-	-	0.20	UI
D _{J3.20}	确定性抖动 ^{3,4}		-	-	0.10	UI
T _{J2.5}	总抖动 ^{3,4}	2.5 Gb/s ⁶	-	-	0.20	UI
D _{J2.5}	确定性抖动 ^{3,4}		-	-	0.10	UI
T _{J1.25}	总抖动 ^{3,4}	1.25 Gb/s ⁷	-	-	0.15	UI
D _{J1.25}	确定性抖动 ^{3,4}		-	-	0.06	UI
T _{J500}	总抖动 ^{3,4}	500 Mb/s ⁸	-	-	0.10	UI
D _{J500}	确定性抖动 ^{3,4}		-	-	0.03	UI

注释:

- 按最大线速, 针对最多四个连续发射器 (其中之一为完全填充的 GTY Quad) 使用相同 REFCLK 输入 (启用 TX 相位对齐)。
- 使用 QPLL_FBDIV = 40, 内部数据位宽为 20 位。这些值并非旨在用于协议相关兼容性判定。
- 使用 QPLL_FBDIV = 2, 内部数据位宽为 20 位。这些值并非旨在用于协议相关兼容性判定。
- 所有抖动值都是基于误码率 10^{-12} 得出的。
- CPLL 频率为 3.2 GHz 且 TXOUT_DIV = 2。
- CPLL 频率为 2.5 GHz 且 TXOUT_DIV = 2。
- CPLL 频率为 2.5 GHz 且 TXOUT_DIV = 4。
- CPLL 频率为 2.0 GHz 且 TXOUT_DIV = 8。

表 58: GTY 收发器接收器开关特性

标识	描述	条件	最小值	典型值	最大值	单位
F _{GTYRX}	串行数据速率		0.500	-	F _{GTYMAX}	Gb/s
R _{XSSST}	接收器扩展频跟踪 ¹	以 33 kHz 的频率调制	-5000	-	0	ppm
R _{XRL}	运行长度 (CID)		-	-	256	UI

表 58: GTY 收发器接收器开关特性 (续)

标识	描述	条件	最小值	典型值	最大值	单位
RXPPMTOL	数据/REFCLK PPM 偏移容限	比特率 ≤ 6.6 Gb/s	-1250	-	1250	ppm
		比特率 > 6.6 Gb/s 且 ≤ 8.0 Gb/s	-700	-	700	ppm
		比特率 > 8.0 Gb/s	-200	-	200	ppm
SJ 抖动容限 ²						
J _{T_SJ32.75}	正弦抖动 (QPLL) ³	32.75 Gb/s	0.25	-	-	UI
J _{T_SJ28.21}	正弦抖动 (QPLL) ³	28.21 Gb/s	0.30	-	-	UI
J _{T_SJ16.375}	正弦抖动 (QPLL) ³	16.375 Gb/s	0.30	-	-	UI
J _{T_SJ15.0}	正弦抖动 (QPLL) ³	15.0 Gb/s	0.30	-	-	UI
J _{T_SJ14.1}	正弦抖动 (QPLL) ³	14.1 Gb/s	0.30	-	-	UI
J _{T_SJ13.1}	正弦抖动 (QPLL) ³	13.1 Gb/s	0.30	-	-	UI
J _{T_SJ12.5}	正弦抖动 (QPLL) ³	12.5 Gb/s	0.30	-	-	UI
J _{T_SJ11.3}	正弦抖动 (QPLL) ³	11.3 Gb/s	0.30	-	-	UI
J _{T_SJ10.32_QPLL}	正弦抖动 (QPLL) ³	10.32 Gb/s	0.30	-	-	UI
J _{T_SJ10.32_CPLL}	正弦抖动 (CPLL) ³	10.32 Gb/s	0.30	-	-	UI
J _{T_SJ9.953_QPLL}	正弦抖动 (QPLL) ³	9.953 Gb/s	0.30	-	-	UI
J _{T_SJ9.953_CPLL}	正弦抖动 (CPLL) ³	9.953 Gb/s	0.30	-	-	UI
J _{T_SJ8.0}	正弦抖动 (CPLL) ³	8.0 Gb/s	0.42	-	-	UI
J _{T_SJ6.6}	正弦抖动 (CPLL) ³	6.6 Gb/s	0.44	-	-	UI
J _{T_SJ5.0}	正弦抖动 (CPLL) ³	5.0 Gb/s	0.44	-	-	UI
J _{T_SJ4.25}	正弦抖动 (CPLL) ³	4.25 Gb/s	0.44	-	-	UI
J _{T_SJ3.2}	正弦抖动 (CPLL) ³	3.2 Gb/s ⁴	0.45	-	-	UI
J _{T_SJ2.5}	正弦抖动 (CPLL) ³	2.5 Gb/s ⁵	0.30	-	-	UI
J _{T_SJ1.25}	正弦抖动 (CPLL) ³	1.25 Gb/s ⁶	0.30	-	-	UI
J _{T_SJ500}	正弦抖动 (CPLL) ³	500 Mb/s ⁷	0.30	-	-	UI
SJ 抖动容限 (含压力眼图) ²						
J _{T_TJSE3.2}	总抖动 (含压力眼图) ⁸	3.2 Gb/s	0.70	-	-	UI
J _{T_TJSE6.6}		6.6 Gb/s	0.70	-	-	UI
J _{T_SJSE3.2}	正弦抖动 (含压力眼图) ⁸	3.2 Gb/s	0.10	-	-	UI
J _{T_SJSE6.6}		6.6 Gb/s	0.10	-	-	UI

注释:

1. 使用 RXOUT_DIV = 1、2 和 4。
2. 所有抖动值都是基于误码率 10^{-12} 得出的。
3. 注入的正弦抖动频率为 80 MHz。
4. CPLL 频率为 3.2 GHz 且 RXOUT_DIV = 2。
5. CPLL 频率为 2.5 GHz 且 RXOUT_DIV = 2。
6. CPLL 频率为 2.5 GHz 且 RXOUT_DIV = 4。
7. CPLL 频率为 2.0 GHz 且 RXOUT_DIV = 8。
8. 启用 RX 均衡器的组合抖动。DFE 已禁用。

GTY 收发器电气兼容性

《UltraScale 架构 GTY 收发器用户指南》(UG578) 包含推荐的使用模式, 旨在确保符合下表中所列协议的要求。收发器向导为这些用例以及协议相关特性提供了推荐设置。

表 59: GTY 收发器协议列表

协议	规格	串行速率 (Gb/s)	电气兼容性
CAUI-4	IEEE 802.3-2012	25.78125	兼容
28 Gb/s 背板	CEI-25G-LR	25-28.05	兼容
Interlaken	OIF-CEI-6G、OIF-CEI-11GSR 和 OIF-CEI-28G-MR	4.25-25.78125	兼容
100GBASE-KR4	IEEE 802.3bj-2014 和 CEI-25G-LR	25.78125	兼容 ¹
100GBASE-CR4	IEEE 802.3bj-2014 和 CEI-25G-LR	25.78125	兼容 ¹
50GBASE-KR4	IEEE 802.3by-2014, CEI-25G-LR	25.78125	兼容 ¹
50GBASE-CR4	IEEE 802.3by-2014 和 CEI-25G-LR	25.78125	兼容 ¹
25GBASE-KR4	IEEE 802.3by-2014, CEI-25G-LR	25.78125	兼容 ¹
25GBASE-CR4	IEEE 802.3by-2014, CEI-25G-LR	25.78125	兼容 ¹
OTU4 (OTL4.4) CFP2	OIF-CEI-28G-VSR	27.952493-32.75	兼容
OTU4 (OTL4.4) CFP	OIF-CEI-11G-MR	11.18-13.1	兼容
CAUI-10	IEEE 802.3-2012	10.3125	兼容
nPPI	IEEE 802.3-2012	10.3125	兼容
10GBASE-KR ²	IEEE 802.3-2012	10.3125	兼容
SFP+	SFF-8431 (SR 和 LR)	9.95328-11.10	兼容
XFP	INF-8077i 4.5 修订版	10.3125	兼容
RXAUI	CEI-6G-SR	6.25	兼容
XAUI	IEEE 802.3-2012	3.125	兼容
1000BASE-X	IEEE 802.3-2012	1.25	兼容
5.0G 以太网	IEEE 802.3bx (PAR)	5	兼容
2.5G 以太网	IEEE 802.3bx (PAR)	2.5	兼容
HiGig、HiGig+ 和 HiGig2	IEEE 802.3-2012	3.74、6.6	兼容
QSGMII	QSGMII v1.2 (Cisco System ENG-46158)	5	兼容
OTU2	ITU G.8251	10.709225	兼容
OTU4 (OTL4.10)	OIF-CEI-11G-SR	11.180997	兼容
OC-3/12/48/192	GR-253-CORE	0.1555-9.956	兼容
PCIe Gen1、2 和 3	PCI Express Base 3.0	2.5、5.0 和 8.0	兼容
SDI ³	SMPTE 424M-2006	0.27-2.97	兼容
UHD-SDI ³	SMPTE ST-2081 6G 和 SMPTE ST-2082 12G	6 和 12	兼容
混合内存立方体 (HMC)	HMC-15G-SR	10、12.5 和 15.0	兼容
MoSys 带宽引擎	CEI-11-SR 和 CEI-11-SR (已超频)	10.3125、15.5	兼容
CPRI	CPRI_v_6_1_2014-07-01	0.6144-12.165	兼容
无源光纤网络 (PON)	10G-EPON、1G-EPON、NG-PON2、XG-PON 和 2.5G-PON	0.155-10.3125	兼容
JESD204a/b	OIF-CEI-6G、OIF-CEI-11G	3.125-12.5	兼容
Serial RapidIO	RapidIO 规格 3.1	1.25-10.3125	兼容
DisplayPort	DP 1.2B CTS	1.62-5.4	兼容 ³
光纤通道	FC-PH-4	1.0625-14.025	兼容
SATA Gen1、2 和 3	串行 ATA 修订版 3.0 规格	1.5、3.0 和 6.0	兼容
SAS Gen1、2 和 3	T10/BSR INCITS 519	3.0、6.0 和 12.0	兼容
SFI-5	OIF-SFI5-01.0	0.625 - 12.5	兼容

表 59: GTY 收发器协议列表 (续)

协议	规格	串行速率 (Gb/s)	电气兼容性
Aurora	CEI-6G、CEI-11G-LR	所有速率	兼容

注释:

1. 奈奎斯特区域内发生 25 dB 损失 (无 FEC)。
2. 发射器的转换时间比 IEEE Std 802.3-2012 规格更快。
3. 本协议需要外部电路才能实现兼容。

GTM 收发器规格

《UltraScale 架构和产品数据手册：简介》(DS890) 列出了包含 GTM 收发器的 Virtex UltraScale+ FPGA。

GTM 收发器 DC 输入电平和输出电平

表 60 汇总了 Virtex UltraScale+ FPGA 中 GTM 收发器的 DC 规格。请参阅《Virtex UltraScale+ FPGA GTM 收发器用户指南》(UG581)，以获取更多详情。

表 60: GTM 收发器 DC 规格

标识	DC 参数	条件	最小值	典型值	最大值	单位
DV _{PPIN}	差分峰峰值输入电压（外部 AC 已耦合）	PAM4	600	-	800	mV
		NRZ	150	-	900	mV
DV _{PPOUT}	差分峰峰值输出电压 ¹	发射器输出摆幅设置为 11111	800	-	-	mV
V _{CMOUTAC}	共模输出电压：AC 已耦合	根据方程	$V_{MGTAVTT} - DV_{PPOUT}/2$			mV
R _{IN}	差分输入电阻		-	100	-	Ω
R _{OUT}	差分输出电阻		-	100	-	Ω
T _{OSKEW}	发射器输出对（TXP 和 TXN）的配对间偏差		-	-	10	ps
C _{EXT}	推荐的外部 AC 耦合电容器 ³		-	100	-	nF

- 注释:**
- 1. 输出摆幅和预加重电平可使用《Virtex UltraScale+ FPGA GTM 收发器用户指南》(UG581) 中所探讨的 GTM 收发器属性来加以编程，生成的值可能低于该表中报告的值。
 - 2. V_{RX_TERM} 为远程 RX 终端电压。
 - 3. 可使用其它适当的值以符合具体协议和标准的要求。

图 5: 单端峰峰值电压

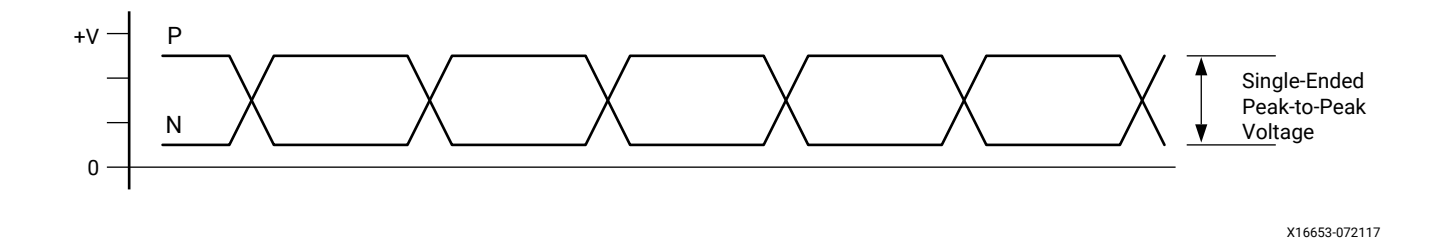
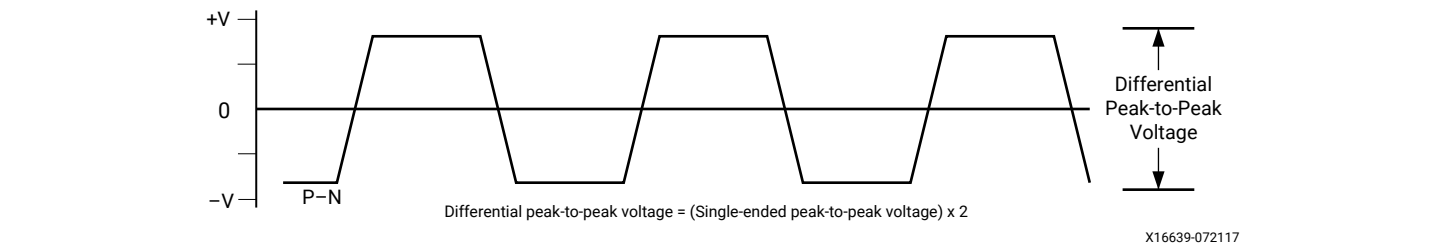


图 6: 差分峰峰值电压



下表汇总了 Virtex UltraScale+ FPGA 中 GTM 收发器的时钟输入/输出电平的 DC 规格。请参阅《Virtex UltraScale+ FPGA GTM 收发器用户指南》(UG581)，以获取更多详情。

表 61: GTM 收发器时钟 DC 输入电平规格

标识	DC 参数	最小值	典型值	最大值	单位
V _{IDIFF}	差分峰峰值输入电压	250	-	2000	mV
R _{IN}	差分输入电阻	-	100	-	Ω
C _{EXT}	所需的外部 AC 耦合电容器	-	10	-	nF

GTM 收发器开关特性

请参阅《Virtex UltraScale+ FPGA GTM 收发器用户指南》(UG581)，以获取更多信息。

表 62: GTM 收发器性能

标识	描述 ^{1,2}	输出分频器	速度等级和 V _{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
			最大值	最大值	最大值	最大值	
F _{GTMPAM4MAX}	GTM 收发器 PAM4 最高线速	1	58.00	56.42	53.20	56.42	Gb/s
F _{GTMPAM4MIN}	GTM 收发器 PAM4 最低线速	1	39.20	39.20	39.20	39.20	Gb/s
F _{GTMPAM42MAX}	GTM 收发器 PAM4 最高线速	2	29.00	28.21	26.60	28.21	Gb/s
F _{GTMPAM42MIN}	GTM 收发器 PAM4 最低线速	2	20.60	20.60	20.60	20.60	Gb/s
F _{GTMNRZMAX}	GTM 收发器 NRZ 最高线速	1	29.00	28.21	26.60	28.21	Gb/s
F _{GTMNRZMIN}	GTM 收发器 NRZ 最低线速	1	19.60	19.60	19.60	19.60	Gb/s
F _{GTMNRZ2MAX}	GTM 收发器 NRZ 最高线速	2	14.50	14.105	13.30	14.105	Gb/s
F _{GTMNRZ2MIN}	GTM 收发器 NRZ 最低线速	2	10.30	10.30	10.30	10.30	Gb/s

注释:

- 对于 PAM4，从 F_{GTMPAM42MAX} 到 39.2 Gb/s 的数据速率不可用。
- 对于 NRZ，从 F_{GTMNRZ2MAX} 到 19.6 Gb/s 的数据速率不可用。

表 63: GTM 收发器动态重新配置端口 (DRP) 开关特性

标识	描述	所有速度等级	单位
F _{GTMDRPCLK}	GTM DRPCLK 最高频率	250	MHz

表 64: GTM 收发器参考时钟开关特性

标识	描述	条件	所有速度等级			单位
			最小值	典型值	最大值	
F _{GCLK}	参考时钟频率范围		60	-	820	MHz
T _{RCLK}	参考时钟上升时间	20% - 80%	-	200	-	ps
T _{FCLK}	参考时钟下降时间	80% - 20%	-	200	-	ps
T _{DREF}	参考占空比	仅限收发器 PLL	40	50	60	%

表 65: GTM 收发器参考时钟振荡器选择相位噪声屏蔽

标识	描述 ^{1,2}	偏移频率	最小值	典型值	最大值	单位
LCPLL _{REFCLKMASK}	REFCLK 频率 = 156.25 MHz 时 LCPLL 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-112	dBc/Hz
		100 kHz	-	-	-128	
		1 MHz	-	-	-145	
	REFCLK 频率 = 312.5 MHz 时 LCPLL0 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-103	dBc/Hz
		100 kHz	-	-	-123	
		1 MHz	-	-	-143	
	REFCLK 频率 = 625 MHz 时 LCPLL0 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-98	dBc/Hz
		100 kHz	-	-	-117	
		1 MHz	-	-	-140	

注释:

- 对于该表中不包含的参考时钟频率, 请使用最接近的参考时钟频率的相位噪声屏蔽。
- 受支持的协议中指定的任意参考时钟相位噪声屏蔽将取代此参考时钟相位噪声屏蔽。

表 66: GTM 收发器 PLL/锁定时间调整

标识	描述	条件		所有速度等级			单位
				最小值	典型值	最大值	
T _{LOCK}	初始 PLL 锁定	53.125 Gb/s 线速 (含 156.25 MHz REFCLK)		-	-	3	ms
		所有其它条件下		-	-	5.7	ms
T _{DLOCK}	时钟恢复相位捕获时间和调整时间	PAM4 (<39 Gb/s)	短距 (IL < 12db)	-	5.90×10 ¹⁰	-	UI
			长距 (IL ≥ 12db)	-	3.05×10 ⁹	-	UI
		PAM4 (≥39 Gb/s)	短距 (IL < 12db)	-	3.67×10 ¹⁰	-	UI
			长距 (IL ≥ 12db)	-	6.09×10 ⁹	-	UI
		NRZ		-	6.09×10 ⁹	-	UI

表 67: GTM 收发器用户时钟开关特性

标识	描述 ¹		数据宽度条件 (位)		速度等级和 V _{CCINT} 工作电压				单位
					0.90V	0.85V		0.72V	
			内部逻辑	互联逻辑	-3	-2	-1	-2	
F _{TXOUTPMA}	源自 OUTCLKPMA 的 TXOUTCLK 最高频率				453.13	440.78	415.63	440.78	MHz
F _{RXOUTPMA}	源自 OUTCLKPMA 的 RXOUTCLK 最高频率				453.13	440.78	415.63	440.78	MHz
F _{TXOUTPROGDIV}	源自 TXPROGDIVCLK 的 TXOUTCLK 最高频率				725.00	705.25	665.00	705.25	MHz
F _{RXOUTPROGDIV}	源自 RXPROGDIVCLK 的 RXOUTCLK 最高频率				725.00	705.25	665.00	705.25	MHz
F _{TXIN}	TXUSRCLK 最高频率	PAM4	80	80	725.00	705.25	665.00	705.25	MHz
			128	128	453.13	440.78	415.63	440.78	MHz
			80	160	725.00	705.25	665.00	705.25	MHz
			128	256	453.13	440.78	415.63	440.78	MHz
		NRZ	64	64	453.13	440.78	415.63	440.78	MHz
			64	128	453.13	440.78	415.63	440.78	MHz
F _{RXIN}	RXUSRCLK 最高频率	PAM4	80	80	725.00	705.25	665.00	705.25	MHz
			128	128	453.13	440.78	415.63	440.78	MHz
			80	160	725.00	705.25	665.00	705.25	MHz
			128	256	453.13	440.78	415.63	440.78	MHz
		NRZ	64	64	453.13	440.78	415.63	440.78	MHz
			64	128	453.13	440.78	415.63	440.78	MHz
F _{TXIN2}	TXUSRCLK2 最高频率	PAM4	80	80	725.00	705.25	665.00	705.25	MHz
			128	128	453.13	440.78	415.63	440.78	MHz
			80	160	362.50	352.63	332.50	352.63	MHz
			128	256	226.56	220.39	207.81	220.39	MHz
		NRZ	64	64	453.13	440.78	415.63	440.78	MHz
			64	128	226.56	220.39	207.81	220.39	MHz
F _{RXIN2}	RXUSRCLK2 最高频率	PAM4	80	80	725.00	705.25	665.00	705.25	MHz
			128	128	453.13	440.78	415.63	440.78	MHz
			80	160	362.50	352.63	332.50	352.63	MHz
			128	256	226.56	220.39	207.81	220.39	MHz
		NRZ	64	64	453.13	440.78	415.63	440.78	MHz
			64	128	226.56	220.39	207.81	220.39	MHz

注释:

1. 必须按《Virtex UltraScale+ FPGA GTM 收发器用户指南》(UG581) 中所述来实现时钟设置。

表 68: GTM 收发器发射器开关特性

标识	描述	条件		最小值	典型值	最大值	单位
F _{GTMPAMTX}	发射器 PAM4 串行数据速率范围			20.6	-	F _{GTMPAMMAX}	Gb/s
F _{GTMNRZTX}	发射器 NRZ 串行数据速率范围			10.3	-	F _{GTMNRZMAX}	Gb/s
T _{SLEW}	TX 压摆率			-	4.76×10 ⁴	-	V/μs
T _{J4U58_PAM4}	TX 无关联抖动 @10 ⁻⁴	PAM4	58 Gb/s	-	-	0.118	UI
T _{EOJ58_PAM4}	TX 奇偶抖动 ¹			-	-	0.019	UI
T _{J4U56.5_PAM4}	TX 无关联抖动 @10 ⁻⁴	PAM4	56.5 Gb/s	-	-	0.118	UI
T _{EOJ56.5_PAM4}	TX 奇偶抖动 ¹			-	-	0.019	UI
T _{J4U53.125_PAM4}	TX 无关联抖动 @10 ⁻⁴	PAM4	53.125 Gb/s	-	-	0.118	UI
T _{EOJ53.125_PAM4}	TX 奇偶抖动 ¹			-	-	0.019	UI
T _{J4U48_PAM4}	TX 无关联抖动 @10 ⁻⁴	PAM4	48 Gb/s	-	-	0.118	UI
T _{EOJ48_PAM4}	TX 奇偶抖动 ¹			-	-	0.019	UI
T _{J4U40_PAM4}	TX 无关联抖动 @10 ⁻⁴	PAM4	40 Gb/s	-	-	0.118	UI
T _{EOJ40_PAM4}	TX 奇偶抖动 ¹			-	-	0.019	UI
T _{J4U28.21_PAM4}	TX 无关联抖动 @10 ⁻⁴	PAM4	28.21 Gb/s	-	-	0.118	UI
T _{EOJ28.21_PAM4}	确定性抖动 ¹			-	-	0.019	UI
T _{J4U20.6_PAM4}	TX 无关联抖动 @10 ⁻⁴	PAM4	20.6 Gb/s	-	-	0.118	UI
T _{EOJ20.6_PAM4}	TX 奇偶抖动 ¹			-	-	0.019	UI
T _{J29_NRZ}	总抖动 ^{1,2}	NRZ	29 Gb/s	-	-	0.28	UI
D _{J29_NRZ}	确定性抖动 ^{1,2}			-	-	0.17	UI
T _{J28.21_NRZ}	总抖动 ^{1,2}	NRZ	28.21 Gb/s	-	-	0.28	UI
D _{J28.21_NRZ}	确定性抖动 ^{1,2}			-	-	0.17	UI
T _{J26.5625_NRZ}	总抖动 ^{1,2}	NRZ	26.5625 Gb/s	-	-	0.28	UI
D _{J26.5625_NRZ}	确定性抖动 ^{1,2}			-	-	0.17	UI
T _{J25.78125_NRZ}	总抖动 ^{1,2}	NRZ	25.78125 Gb/s	-	-	0.28	UI
D _{J25.78125_NRZ}	确定性抖动 ^{1,2}			-	-	0.17	UI
T _{J24_NRZ}	总抖动 ^{1,2}	NRZ	24 Gb/s	-	-	0.28	UI
D _{J24_NRZ}	确定性抖动 ^{1,2}			-	-	0.17	UI
T _{J19.6_NRZ}	总抖动 ^{1,2}	NRZ	19.6 Gb/s	-	-	0.28	UI
D _{J19.6_NRZ}	确定性抖动 ^{1,2}			-	-	0.17	UI

注释:

1. 使用 LCPLL_FBDIV = 40, 内部数据位宽为 80 位。这些值并非旨在用于协议相关兼容性判定。
2. NRZ 抖动值是基于误码率 10⁻¹² 得出的。

表 69: GTM 收发器接收器开关特性

标识	描述	条件	最小值	典型值	最大值	单位
F _{GTMPAMRX}	接收器 PAM4 串行数据速率范围		20.6	-	F _{GTMPAM4MAX}	Gb/s
F _{GTMNRZRX}	接收器 NRZ 串行数据速率范围		10.3	-	F _{GTMNRZ4MAX}	Gb/s
R _{XRL}	运行长度 (CID)		-	-	128	UI
R _{XPMTOL}	数据/REFCLK PPM 偏移容限		-200	-	200	ppm
SJ 抖动容限 2.3.1						
J _{T_SJ58_PAM4}	正弦抖动	PAM4 58 Gb/s	0.07	-	-	UI
J _{T_SJ56.5_PAM4}	正弦抖动	PAM4 56.5 Gb/s	0.07	-	-	UI
J _{T_SJ53.125_PAM4}	正弦抖动	PAM4 53.125 Gb/s	0.07	-	-	UI
J _{T_SJ48_PAM4}	正弦抖动	PAM4 48 Gb/s	0.07	-	-	UI
J _{T_SJ39.2_PAM4}	正弦抖动	PAM4 39.2 Gb/s	0.07	-	-	UI
J _{T_SJ29_PAM4}	正弦抖动	PAM4 29 Gb/s	0.07	-	-	UI
J _{T_SJ20.6_PAM4}	正弦抖动	PAM4 20.6 Gb/s	0.07	-	-	UI
J _{T_SJ29_NRZ}	正弦抖动	NRZ 29 Gb/s	0.3	-	-	UI
J _{T_SJ25.78125_NRZ}	正弦抖动	NRZ 25.78125 Gb/s	0.3	-	-	UI
J _{T_SJ19.6_NRZ}	正弦抖动	NRZ 19.6 Gb/s	0.3	-	-	UI
J _{T_SJ15_NRZ}	正弦抖动	NRZ 15.0 Gb/s	0.3	-	-	UI
J _{T_SJ10.3_NRZ}	正弦抖动	NRZ 10.3 Gb/s	0.3	-	-	UI

注释:

1. PAM4 值是基于误码率 10^{-6} 测量所得。
2. NRZ 值都是基于误码率 10^{-12} 得出的。
3. 注入的正弦抖动频率为 10 MHz。

GTM 收发器电气兼容性

《Virtex UltraScale+ FPGA GTM 收发器用户指南》(UG581) 包含推荐的使用模式，旨在确保符合下表中所列协议的要求。收发器向导为这些用例以及协议相关特性提供了推荐设置。

表 70: GTM 收发器协议列表

协议	规格	调制	串行速率 (Gb/s)	电气兼容性
400GAUI-8	IEEE 802.3bs 120D/120E	PAM4	53.125	兼容
200GAUI-4	IEEE 802.3bs 120D/120E	PAM4	53.125	兼容
100GAUI-2	IEEE 802.3cd 135G/135F	PAM4	53.125	兼容
50GAUI-1	IEEE 802.3cd 135G/135F	PAM4	53.125	兼容
200GBASE-KR2	IEEE 802.3cd 137	PAM4	53.125	兼容
200GBASE-CR2	IEEE 802.3cd 136A	PAM4	53.125	兼容
100GBASE-KR2	IEEE 802.3cd 137	PAM4	53.125	兼容
100GBASE-CR2	IEEE 802.3cd 136A	PAM4	53.125	兼容
50GBASE-KR	IEEE 802.3cd 137	PAM4	53.125	兼容
50GBASE-CR	IEEE 802.3cd 136A	PAM4	53.125	兼容
CAUI-4	IEEE 802.3bm 83D/83E	NRZ	25.78125	兼容
50GAUI-2	IEEE 802.3cd 135D/135E	NRZ	26.5625	兼容
LAUI-2	IEEE 802.3cd 135B/135C	NRZ	25.78125	兼容
25GAUI-1	IEEE 802.3cd 109A/109B	NRZ	27.78125	兼容
100GBASE-KR4	IEEE 802.3bj 93.8	NRZ	25.78125	兼容
100GBASE-CR4	IEEE 802.3bj 92A	NRZ	25.78125	兼容
25GBASE-KR	IEEE 802.3by 111	NRZ	25.78125	兼容
25GBASE-CR	IEEE 802.3by 110	NRZ	25.78125	兼容
XLPI	IEEE 802.3 86A	NRZ	10.3125	兼容
40GBASE-CR4	IEEE 802.3 85A	NRZ	10.3125	兼容
10GBASE-SR/LR	SFF8431	NRZ	10.3125	兼容
10GBASE-KR	IEEE 802.3 72	NRZ	10.3125	兼容
CEI-56G-VSR/MR/LR-PAM4	通用电气 (I/O) CEI 4.0	PAM4	39.2-58	兼容
CEI-25G/28G-VSR/MR/LR	通用电气 (I/O) CEI 4.0	NRZ	19.9-28.1	兼容
CEI-11G-SR/MR/LR	通用电气 (I/O) CEI 4.0	NRZ	10.3-11.2	兼容
10G-15G 背板功能	背板上的 10G NRZ 接口，位于 IEEE 802.3 Clause 72 定义的高置信区域内	NRZ	15	兼容
28.21G PAM4 背板	插入损失 @ Nyquist (7.05 GHz)，BER < 10e ⁻¹⁷ 且含 FEC	PAM4	28.21	兼容
58G PAM4 背板	IEEE 802.3bj 标准背板和铜缆，速率为 58 Gb/s（含 RS (544, 514) FEC 时为 35 dB）	PAM4	58	兼容
OTU4 光学模块 NRZ 光学器件 7% FEC	针对 CFP2、CFP4 和 QSFP28 光学器件的 100G OTU4 和 OTUCn 需求，OIF-CEI28-VSR	NRZ	28.21	兼容
OTU4 光学模块 PAM4 光学器件 7% FEC	100G QSFP56 和 OIF-CEI56-VSR	PAM4	56.4	兼容
Interlaken 25.78125G	OIF-CEI-25G-MR @ 20 dB 损失	NRZ	25.78125	兼容
Interlaken 12.5G	OIF-CEI-11G-SR（扩展）	NRZ	12.5	兼容
CPRI 48G PAM4	光纤通道数据路径和单通道 FEC，在逻辑内采用 64b/66b 编码实现客户目标	PAM4	48	兼容

表 70: GTM 收发器协议列表 (续)

协议	规格	调制	串行速率 (Gb/s)	电气兼容性
CPRI 24G、12G 和 10.1G NRZ	CPRI_v_6_1_2014-07-01	NRZ	24、12	兼容

注释:

- 需锁定才能根据通道来引用, 并且需要通过器件逻辑中的过采样逻辑才能捕获较慢的自动协商。

Interlaken 集成接口块

如需获取有关使用 Interlaken 集成接口块的解决方案的更多信息和相关文档, 请参阅 [UltraScale+ Interlaken](#)。《UltraScale 架构和产品数据手册: 简介》(DS890) 列出了每个 Virtex UltraScale+ FPGA 中的块数量。本节描述了以下 Interlaken 配置。

- 12 x 12.5 Gb/s 协议和通道逻辑模式 (表 71)。
- 6 x 25.78125 Gb/s 和 6 x 28.21 Gb/s 协议和通道逻辑模式 (表 72)。
- 12 x 25.78125 Gb/s 仅限通道逻辑模式 (表 73)。

仅限使用 12 x 12.5 Gb/s Interlaken 配置时才支持 FLGF1924 封装中的 Virtex UltraScale+ FPGA。请参阅 [FGTYMAX](#) 最大线速。

表 71: Interlaken 12 x 12.5 Gb/s 协议和通道逻辑模式设计的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压								单位
		0.90V		0.85V				0.72V		
		-3		-2		-1		-2		
F _{RX_SERDES_CLK}	接收串行器/解串器时钟	195.32		195.32		195.32		195.32		MHz
F _{TX_SERDES_CLK}	发射串行器/解串器时钟	195.32		195.32		195.32		195.32		MHz
F _{DRP_CLK}	动态重新配置端口时钟	250.00		250.00		250.00		250.00		MHz
		最小值 ¹	最大值	最小值 ¹	最大值	最小值 ¹	最大值	最小值 ¹	最大值	
F _{CORE_CLK}	Interlaken 核时钟	300.00	322.27	300.00	322.27	300.00	322.27	300.00	322.27	MHz
F _{LBUS_CLK}	Interlaken 本地总线时钟	300.00	322.27	300.00	322.27	300.00	322.27	300.00	322.27	MHz

注释:

- 这些值是处于最高通道性能时的最低时钟频率。

表 72: Interlaken 6 x 25.78125 Gb/s 和 6 x 28.21 Gb/s 协议和通道逻辑模式设计的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压								单位
		0.90V		0.85V				0.72V		
		-3 ¹		-2 ¹		-1		-2		
F _{RX_SERDES_CLK}	接收串行器/解串器时钟	440.79		440.79		不适用		402.84		MHz
F _{TX_SERDES_CLK}	发射串行器/解串器时钟	440.79		440.79		不适用		402.84		MHz
F _{DRP_CLK}	动态重新配置端口时钟	250.00		250.00		不适用		250.00		MHz
		最小值 ²	最大值	最小值 ²	最大值	最小值	最大值	最小值 ²	最大值	
F _{CORE_CLK}	Interlaken 核时钟	412.50 ³	479.20	412.50 ³	479.20	不适用		412.50	429.69	MHz
F _{LBUS_CLK}	Interlaken 本地总线时钟	300.00 ⁴	349.52	300.00 ⁴	349.52	不适用		300.00	349.52	MHz

注释:

1. 仅限在 -2 (V_{CCINT} = 0.85V) 和 -3 (V_{CCINT} = 0.90V) 速度等级中才支持 6 x 28.21 模式。
2. 这些值是处于最高通道性能时的最低时钟频率。
3. 针对 6 x 28.21 Gb/s 协议, CORE_CLK 最小值为 451.36 MHz。
4. 针对 6 x 28.21 Gb/s 协议, LBUS_CLK 最小值为 330.00 MHz。

表 73: Interlaken 12 x 25.78125 Gb/s 仅限通道逻辑模式设计的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
F _{RX_SERDES_CLK}	接收串行器/解串器时钟	402.84	402.84	不适用	不适用	MHz
F _{TX_SERDES_CLK}	发射串行器/解串器时钟	402.84	402.84	不适用	不适用	MHz
F _{DRP_CLK}	动态重新配置端口时钟	250.00	250.00	不适用	不适用	MHz
F _{CORE_CLK}	Interlaken 核时钟	412.50	412.50	不适用	不适用	MHz
F _{LBUS_CLK}	Interlaken 本地总线时钟	349.52	349.52	不适用	不适用	MHz

100G 以太网 MAC 和 PCS 的集成接口块

如需获取有关使用集成 100 Gb/s 以太网块的解决方案的更多信息和相关文档, 请参阅 [UltraScale+ Integrated 100G Ethernet MAC/PCS](#)。《UltraScale 架构和产品数据手册: 简介》(DS890) 列出了每个 Virtex UltraScale+ FPGA 中的块数量。

表 74: 100G 以太网设计的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
CAUI-10 模式						
F _{TX_CLK}	发射时钟	390.625	390.625	322.266	322.266	MHz
F _{RX_CLK}	接收时钟	390.625	390.625	322.266	322.266	MHz
F _{RX_SERDES_CLK}	接收串行器/解串器时钟	390.625	390.625	322.266	322.266	MHz
F _{DRP_CLK}	动态重新配置端口时钟	250.00	250.00	250.00	250.00	MHz
CAUI-4、CAUI-4 + RS-FEC 和 RS-FEC 转码旁路模式						
F _{TX_CLK}	发射时钟	390.625	322.266	322.266	322.266	MHz
F _{RX_CLK}	接收时钟	390.625	322.266	322.266	322.266	MHz
F _{RX_SERDES_CLK}	接收串行器/解串器时钟	390.625	322.266	322.266	322.266	MHz
F _{DRP_CLK}	动态重新配置端口时钟	250.00	250.00	250.00	250.00	MHz

PCI Express 设计的集成接口块

如需获取有关 PCI Express® 设计的更多信息和相关文档, 请参阅 [PCI Express](#)。《UltraScale 架构和产品数据手册: 简介》(DS890) 列出了每个 Virtex UltraScale+ FPGA 中的块数量。含 HBM 的器件混用 PCIE4 块和 PCIE4C 块。PCIE4C 块已扩充, 新增了 CCIX 协议支持和额外时序增强功能, 使 PCIE4C 块能够在 V_{CCINT} = 0.72V 时运行 Gen3 x16。

表 75: 基于 PCIE4 的 PCI Express 设计的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
F _{PIPECLK}	管道时钟最高频率	250.00	250.00	250.00	250.00	MHz
F _{CORECLK}	核时钟最高频率	500.00	500.00	500.00	250.00	MHz
F _{DRPCLK}	DRP 时钟最高频率	250.00	250.00	250.00	250.00	MHz
F _{MCAPICLK}	MCAP 时钟最高频率	125.00	125.00	125.00	125.00	MHz

表 76: 基于 PCIE4C 的 PCI Express 设计和 CCIX 设计的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
F _{PIPECLK}	管道时钟最高频率	250.00	250.00	250.00	250.00	MHz
F _{CORECLK}	核时钟最高频率	500.00	500.00	500.00	500.00	MHz
F _{CORECLKCCIX}	CCIX TL 接口时钟最高频率	500.00	500.00	500.00	不适用	MHz
F _{DRPCLK}	DRP 时钟最高频率	250.00	250.00	250.00	250.00	MHz
F _{MCAPICLK}	MCAP 时钟最高频率	125.00	125.00	125.00	125.00	MHz

高带宽存储器控制器

《UltraScale 架构和产品数据手册: 简介》(DS890) 列出了含集成高带宽存储器 (HBM) 的 Virtex UltraScale+ FPGA。

表 77: 高带宽存储器控制器的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
F _{HBM_REF_CLK}	HBM 控制器参考时钟最高频率	450.00	450.00	450.00	450.00	MHz
F _{ACLK}	AXI 接口时钟最高频率	450.00	450.00	400.00	400.00	MHz
F _{APB}	高级外设总线 (APB) 时钟最高频率	100.00	100.00	100.00	100.00	MHz
F _{HBM}	连接至 DRAM 的 HBM 最高线速接口	1800	1800	1600	1800	Mb/s

系统监控器规格

表 78: 系统监控器规格

参数	标识	注释/条件	最小值	典型值	最大值	单位
V _{CCADC} = 1.8V ±3%, V _{REFP} = 1.25V, V _{REFN} = 0V, ADCCLK = 5.2 MHz, T _j = -40°C 到 100°C, T _j = 40°C 时的典型值						
ADC 准确性 ¹						
分辨率			10	-	-	比特
积分非线性 ²	INL		-	-	±1.5	LSB
差分非线性	DNL	无缺失代码, 保证独立	-	-	±1	LSB
偏移误差		已启用偏移校准	-	-	±2	LSB
增益误差			-	-	±0.4	%
采样率			-	-	0.2	MS/s
RMS 代码噪声		外部 1.25V 参考	-	-	1	LSB
		片上参考	-	1	-	LSB
扩展级温度的 ADC 准确性						
分辨率		T _j = -55°C 到 125°C	10	-	-	比特
积分非线性 ²	INL	T _j = -55°C 到 125°C	-	-	±1.5	LSB
差分非线性	DNL	无缺失代码, 保证独立 T _j = -55°C 到 125°C	-	-	±1	
模拟输入 ²						
ADC 输入范围		单极操作	0	-	1	V
		双极操作	-0.5	-	+0.5	V
		单极共模范围 (FS 输入)	0	-	+0.5	V
		双极共模范围 (FS 输入)	+0.5	-	+0.6	V
最大外部通道输入范围		这些范围内设置的相邻通道不应破坏相邻通道的测量值	-0.1	-	V _{CCADC}	V
片上传感器准确性						
温度传感器错误 ^{1,3}		T _j = -55°C 到 125°C (含外部 REF)	-	-	±3	°C
		T _j = -55°C 到 110°C (含内部 REF)	-	-	±3.5	°C
		T _j = 110°C 到 125°C (含内部 REF)	-	-	±5	°C

表 78: 系统监控器规格 (续)

参数	标识	注释/条件	最小值	典型值	最大值	单位
电源传感器错误 ⁴		供电电压 0.72V 到 1.2V $T_j = -40^{\circ}\text{C}$ 到 100°C (含外部 REF)	-	-	± 0.5	%
		供电电压 0.72V 到 1.2V $T_j = -55^{\circ}\text{C}$ 到 125°C (含外部 REF)	-	-	± 1.0	%
		所有其他供电电压 $T_j = -40^{\circ}\text{C}$ 到 100°C (含外部 REF)	-	-	± 1.0	%
		所有其他供电电压 $T_j = -55^{\circ}\text{C}$ 到 125°C (含外部 REF)	-	-	± 2.0	%
		供电电压 0.72V 到 1.2V $T_j = -40^{\circ}\text{C}$ 到 100°C (含内部 REF)	-	-	± 1.0	%
		供电电压 0.72V 到 1.2V $T_j = -55^{\circ}\text{C}$ 到 125°C (含内部 REF)	-	-	± 2.0	%
		所有其他供电电压 $T_j = -40^{\circ}\text{C}$ 到 100°C (含内部 REF)	-	-	± 1.5	%
		所有其他供电电压 $T_j = -55^{\circ}\text{C}$ 到 125°C (含内部 REF)	-	-	± 2.5	%
转换率 ⁵						
转换时间 (连续)	t_{CONV}	ADCCLK 循环次数	26	-	32	循环次数
转换时间 (事件)	t_{CONV}	ADCCLK 循环次数	-	-	21	循环次数
DRP 时钟频率	DCLK	DRP 时钟频率	8	-	250	MHz
ADC 时钟频率	ADCCLK	派生自 DCLK	1	-	5.2	MHz
DCLK 占空比			40	-	60	%
SYSMON 参考 ⁶						
外部参考	V_{REFP}	外部供电参考电压	1.20	1.25	1.30	V
片上参考		接地 V_{REFP} 引脚到 AGND, $T_j = -40^{\circ}\text{C}$ 到 100°C	1.2375	1.25	1.2625	V
		接地 V_{REFP} 引脚到 AGND, $T_j = -55^{\circ}\text{C}$ 到 125°C	1.225	1.25	1.275	V

注释:

- 通过启用 ADC 自动偏移校准功能即可消除 ADC 偏移误差。此处的值是针对启用该功能的情况指定的。
- 请参阅《UltraScale 架构系统监控器用户指南》(UG580) 中的“模拟输入”部分。
- 从 PMBus 接口直接读取温度时, 由于 PMBus 应用所使用的传递函数, SYSMON 存在 $+4^{\circ}\text{C}$ 偏差。例如, 通过 PMBus 接口读取温度时, 外部 REF 温度传感器误差范围从 $\pm 3^{\circ}\text{C}$ 变为 $+1^{\circ}\text{C}$ 到 $+7^{\circ}\text{C}$ 。
- 通过启用自动偏移和增益校准功能即可消除电源传感器偏移误差和增益误差。此处的值是针对启用该功能的情况指定的。
- 请参阅《UltraScale 架构系统监控器用户指南》(UG580) 中的“调整获取稳定时间”部分以了解相关信息。
- 只要参考电压不同于额定 $V_{\text{REFP}} = 1.25\text{V}$ 和 $V_{\text{REFN}} = 0\text{V}$, 就会导致与理想传递函数产生偏差。这也会影响内部传感器测量值 (例如, 温度和电源) 的准确性。但对于外部比率型应用, 允许参考值存在 $\pm 4\%$ 的变化范围。

SYSMON I2C/PMBus 接口

表 79: SYSMON I2C 快速模式接口开关特性

标识	描述 ¹	最小值	最大值	单位
T _{SMFCKL}	SCL 低电平时间	1.3	-	μs
T _{SMFCKH}	SCL 高电平时间	0.6	-	μs
T _{SMFCKO}	SDAO 时钟到输出延迟	-	900	ns
T _{SMFDCK}	SDAI 建立时间	100	-	ns
F _{SMFCLK}	SCL 时钟频率	-	400	kHz

注释:

1. 测试条件是根据 LVCMOS 1.8V I/O 标准配置的。

表 80: SYSMON I2C 标准模式接口开关特性

标识	描述 ¹	最小值	最大值	单位
T _{SMSCKL}	SCL 低电平时间	4.7	-	μs
T _{SMSCKH}	SCL 高电平时间	4.0	-	μs
T _{SMSCKO}	SDAO 时钟到输出延迟	-	3450	ns
T _{SMSDCK}	SDAI 建立时间	250	-	ns
F _{SMSCLK}	SCL 时钟频率	-	100	kHz

注释:

1. 测试条件是根据 LVCMOS 1.8V I/O 标准配置的。

配置开关特性

表 81: 配置开关特性

标识	描述		速度等级和 V _{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
上电时序特性							
T _{PL}	XCVU19P 的程序时延		12	12	12	12	ms, 最大值
	所有其它器件的程序时延		8.5	8.5	8.5	8.5	ms, 最大值
T _{POR}	上电复位 (最大 40 ms 缓升速率)		65	65	65	65	ms, 最大值
			0	0	0	0	ms, 最小值
	含 POR 覆盖的上电复位 (最大 2 ms 缓升速率)		15	15	15	15	ms, 最大值
			5	5	5	5	ms, 最小值
T _{PROGRAM}	程序脉冲宽度		250	250	250	250	ns, 最小值
CCLK 输出 (主模式)							
T _{ICCK}	来自 INIT_B 的主 CCLK 输出延迟		150	150	150	150	ns, 最小值
T _{MCCKL} ¹	主 CCLK 时钟低电平时间占空比		40/60	40/60	40/60	40/60	%, 最小值/最大值
T _{MCCKH}	主 CCLK 时钟高电平时间占空比		40/60	40/60	40/60	40/60	%, 最小值/最大值
F _{MCCK}	主 BPI (x8/x16) SPI (x1/x2/x4) CCLK 频率	XCVU3P、XQVU3P、 XCVU5P、XCVU7P、 XQVU7P 和 XCVU9P	125	125	125	100	MHz, 最大值
	主 SPI (x1/x2/x4) CCLK 频率	XCVU11P、 XQVU11P、 XCVU13P、 XCVU19P、 XCVU27P、 XCVU29P、 XCVU31P、 XCVU33P、 XCVU35P、 XCVU37P、XCVU45P 和 XCVU47P	125	125	125	100	MHz, 最大值
	主 BPI (x8/x16) SPI (x8) CCLK 频率	XCVU11P、 XQVU11P、 XCVU13P、 XCVU19P、 XCVU27P、 XCVU29P、 XCVU31P、 XCVU33P、 XCVU35P、 XCVU37P、XCVU45P 和 XCVU47P	125	125	125	60	MHz, 最大值
F _{MCCK_START}	配置启动时的主 CCLK 频率		2.7	2.7	2.7	2.7	MHz, 典型值
F _{MCCKTOL}	有关额定 CCLK 的主模式频率容限		±15	±15	±15	±15	%, 最大值
CCLK 输入 (从模式)							
T _{SCCKL}	从 CCLK 时钟最短低电平时间		2.5	2.5	2.5	2.5	ns, 最小值
T _{SCCKH}	从 CCLK 时钟最短高电平时间		2.5	2.5	2.5	2.5	ns, 最小值

表 81: 配置开关特性 (续)

标识	描述		速度等级和 V_{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
F _{SCCK}	从串行/ 从 SelectMAP CCLK 频率	XCVU3P、XQVU3P、 XCVU5P、XCVU7P、 XQVU7P 和 XCVU9P	125	125	125	100	MHz, 最大值
	从串行 CCLK 频率	XCVU11P、 XQVU11P、 XCVU13P、 XCVU19P、 XCVU27P、 XCVU29P、 XCVU31P、 XCVU33P、 XCVU35P、 XCVU37P、 XCVU45P、XCVU47P	125	125	125	100	MHz, 最大值
	从 SelectMAP CCLK 频率	XCVU11P、 XQVU11P、 XCVU13P、 XCVU19P、 XCVU27P、 XCVU29P、 XCVU31P、 XCVU33P、 XCVU35P、 XCVU37P、 XCVU45P、XCVU47P	125	125	125	60	MHz, 最大值
EMCCLK 输入 (主模式)							
T _{EMCCKL}	外部主 CCLK 低电平时间		2.5	2.5	2.5	2.5	ns, 最小值
T _{EMCCKH}	外部主 CCLK 高电平时间		2.5	2.5	2.5	2.5	ns, 最小值
F _{EMCCK}	外部主 CCLK 频率	XCVU3P、XQVU3P、 XCVU5P、XCVU7P、 XQVU7P 和 XCVU9P	125	125	125	100	MHz, 最大值
		XCVU11P、 XQVU11P、 XCVU13P、 XCVU19P、 XCVU27P、 XCVU29P、 XCVU31P、 XCVU33P、 XCVU35P、 XCVU37P、 XCVU45P、XCVU47P	125	125	125	60	MHz, 最大值

表 81: 配置开关特性 (续)

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2		
内部配置访问端口							
F _{ICAPCK}	内部配置访问端口 (ICAPE3)	XCVU3P、XQVU3P	200	200	200	150	MHz，最大值
	访问整个器件的主 SLR ICAPE3	XCVU5P、XCVU7P、XQVU7P、XCVU9P、XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P 和 XCVU47P	125	125	125	125	MHz，最大值
	访问本地 SLR 的 SLR ICAPE3	XCVU5P、XCVU7P、XQVU7P、XCVU9P、XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P 和 XCVU47P	200	200	200	150	MHz，最大值
从串行模式编程开关							
T _{DCCK} /T _{CCKD}	D _{IN} 建立/保持		3.0/0	3.0/0	3.0/0	4.0/0	ns，最小值
T _{CCO}	D _{OUT} 时钟到输出		8.0	8.0	8.0	9.0	ns，最大值
SelectMAP 模式编程开关							
T _{SMDCK} /T _{SMCKD}	D[31:00] 建立/保持	XCVU3P、XQVU3P、XCVU5P、XCVU7P、XQVU7P 和 XCVU9P	4.0/0	4.0/0	4.0/0	5.0/0	ns，最小值
		XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P、XCVU47P	4.5/0	4.5/0	4.5/0	8.0/0	ns，最小值

表 81: 配置开关特性 (续)

标识	描述		速度等级和 V _{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
T _{SMCSCCK} /T _{SMCCKCS}	CSL_B 建立/保持	XCVU3P、XQVU3P、XCVU5P、XCVU7P、XQVU7P 和 XCVU9P	4.0/0	4.0/0	4.0/0	5.0/0	ns, 最小值
		XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P、XCVU47P	4.5/0	4.5/0	4.5/0	7.5/0	ns, 最小值
T _{SMWCCK} /T _{SMCCKW}	RDWR_B 建立/保持	XCVU3P、XQVU3P、XCVU5P、XCVU7P、XQVU7P 和 XCVU9P	10.0/0	10.0/0	10.0/0	11.0/0	ns, 最小值
		XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P、XCVU47P	11.0/0	11.0/0	11.0/0	17.0/0	ns, 最小值
T _{SMCKCSO}	CSO_B 时钟到输出 (需要 330Ω 上拉电阻)	XCVU3P、XQVU3P、XCVU5P、XCVU7P、XQVU7P 和 XCVU9P	7.0	7.0	7.0	7.0	ns, 最大值
		XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P、XCVU47P	7.0	7.0	7.0	10.0	ns, 最大值
T _{SMCO}	回读中的 D[31:00] 时钟到输出	XCVU3P、XQVU3P、XCVU5P、XCVU7P、XQVU7P 和 XCVU9P	8.0	8.0	8.0	8.0	ns, 最大值
		XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P、XCVU47P	8.0	8.0	8.0	10.0	ns, 最大值

表 81: 配置开关特性 (续)

标识	描述		速度等级和 V _{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
F _{RBCK}	回读频率	XCVU3P、XQVU3P、XCVU5P、XCVU7P、XQVU7P 和 XCVU9P	125	125	125	100	MHz，最大值
		XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P、XCVU47P	125	125	125	60	MHz，最大值
边界扫描端口时序规格							
T _{TAPTCK} /T _{TCKTAP}	TMS 和 TDI 建立/保持	XCVU3P、XQVU3P	3.0/2.0	3.0/2.0	3.0/2.0	3.0/2.0	ns，最小值
		XCVU5P、XCVU7P、XQVU7P、XCVU9P、XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P 和 XCVU47P	8.5/2.0	8.5/2.0	8.5/2.0	8.5/2.0	ns，最小值
T _{TCKTDO}	TCK 下降沿到 TDO 输出	XCVU3P、XQVU3P	7.0	7.0	7.0	7.0	ns，最大值
		XCVU5P、XCVU7P、XQVU7P、XCVU9P、XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P 和 XCVU47P	15.0	15.0	15.0	15.0	ns，最大值
F _{TCK}	TCK 频率	XCVU3P、XQVU3P	66	66	66	66	MHz，最大值
		XCVU5P、XCVU7P、XQVU7P、XCVU9P、XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P 和 XCVU47P	20	20	20	20	MHz，最大值

表 81: 配置开关特性 (续)

标识	描述		速度等级和 V _{CCINT} 工作电压				单位
			0.90V	0.85V		0.72V	
			-3	-2	-1	-2	
BPI 主闪存模式编程开关							
T _{BPICCO}	A[28:00]、RS[1:0]、FCS_B、FOE_B、FWE_B、ADV_B 时钟到输出		10	10	10	10	ns, 最大值
T _{BPIDCC} /T _{BPICCD}	D[15:00] 建立/保持	XCVU3P、XQVU3P、XCVU5P、XCVU7P、XQVU7P 和 XCVU9P	4.0/0	4.0/0	4.0/0	5.0/0	ns, 最小值
		XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P、XCVU47P	4.5/0	4.5/0	4.5/0	8.0/0	ns, 最小值
SPI 主闪存模式编程开关							
T _{SPIDCC} /T _{SPICCD}	D[3:00] 建立/保持		3.0/0	3.0/0	3.0/0	4.0/0	ns, 最小值
T _{SPIDCC} /T _{SPICCD}	D[7:04] 建立/保持	XCVU3P、XQVU3P、XCVU5P、XCVU7P、XQVU7P 和 XCVU9P	4.0/0	4.0/0	4.0/0	5.0/0	ns, 最小值
		XCVU11P、XQVU11P、XCVU13P、XCVU19P、XCVU27P、XCVU29P、XCVU31P、XCVU33P、XCVU35P、XCVU37P、XCVU45P、XCVU47P	4.5/0	4.5/0	4.5/0	8.0/0	ns, 最小值
T _{SPICCM}	MOSI 时钟到输出		8.0	8.0	8.0	8.0	ns, 最大值
T _{SPICCM2}	D[04] 时钟到输出		10.0	10.0	10.0	10.0	ns, 最大值
T _{SPICCF2}	FCS2_B 时钟到输出		10.0	10.0	10.0	10.0	ns, 最大值
DNA 端口开关							
F _{DNACK}	DNA 端口频率		200	200	200	175	MHz, 最大值
STARTUPE3 端口							
T _{USRCCLKO}	STARTUPE3 USRCCLKO 输入端口到 CCLK 管脚输出延迟		0.25/6.00	0.25/6.50	0.25/7.50	0.25/9.00	ns, 最小值/最大值
T _{DO}	DO[3:0] 端口到 D03-D00 管脚输出延迟		0.25/6.70	0.25/7.70	0.25/8.40	0.25/10.00	ns, 最小值/最大值
T _{DTS}	DTS[3:0] 端口到 D03-D00 管脚三态延迟		0.25/6.70	0.25/7.70	0.25/8.40	0.25/10.00	ns, 最小值/最大值
T _{FCSBO}	FCSBO 端口到 FCS_B 管脚输出延迟		0.25/6.90	0.25/7.50	0.25/8.40	0.25/9.80	ns, 最小值/最大值
T _{FCSBTS}	FCSBTS 端口到 FCS_B 管脚三态延迟		0.25/6.90	0.25/7.50	0.25/8.40	0.25/9.80	ns, 最小值/最大值
T _{USRDONEO}	USRDONEO 端口到 DONE 管脚输出延迟		0.25/8.60	0.25/9.40	0.25/10.50	0.25/12.10	ns, 最小值/最大值

表 81: 配置开关特性 (续)

标识	描述	速度等级和 V_{CCINT} 工作电压				单位
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	
$T_{USRDNETS}$	USRDNETS 端口到 DONE 管脚三态延迟	0.25/8.60	0.25/9.40	0.25/10.50	0.25/12.10	ns, 最小值/最大值
T_{DI}	D03-D00 管脚到 DI[3:0] 端口输入延迟	0.5/2.6	0.5/3.1	0.5/3.5	0.5/4.0	ns, 最小值/最大值
$F_{CFGMCLK}$	STARTUPE3 CFGMCLK 输出频率	50	50	50	50	MHz, 典型值
$F_{CFGMCLKTOL}$	STARTUPE3 CFGMCLK 输出频率容限	±15	±15	±15	±15	%, 最大值
T_{DCL_MATCH}	指定在启动循环中停止, 直至断言数控阻抗 (DCI) 匹配信号为止	4	4	4	4	ms, 最大值

注释:

- 如果 CCLK 源自含“除以 1”设置的 EMCCLK 管脚, 那么外部 EMCCLK 必须满足此占空比要求。

修订历史

日期	版本	修订版说明
2020 年 3 月 13 日	1.15	已在表 7 中更新 XCVU19P 的上电电流值。 在表 62 中, 已更新注释 2。 在表 81 中已为 XCVU19P 添加程序时延 (T_{PL})。
2019 年 11 月 25 日	1.14	已将表 20、表 21 和表 22 更新至量产版本: 使用 Vivado Design Suite 2019.2 v1.28 的 -3E、-2LE ($V_{CCINT} = 0.85V$) 和 -2LE ($V_{CCINT} = 0.72V$) 速度/电压等级的 XCVU27P 和 XCVU29P 器件以及所有封装
2019 年 9 月 30 日	1.13	已将表 20、表 21 和表 22 更新至量产版本: 使用 Vivado Design Suite 2019.1.3 v1.27 的处于 -1E、-1I、-2E 和 -2I 速度/电压等级的 XCVU27P 和 XCVU29P 器件以及所有封装 使用 Vivado Design Suite 2019.1 v1.25 的处于 -3E、-2E、-2LE、-1E ($V_{CCINT} = 0.85V$) 和 -2LE ($V_{CCINT} = 0.72V$) 速度/电压等级的 XCVU47P 和 XCVU49P 器件 在表 60 中已删除 GTM 收发器针对 DC 耦合操作的支持。在表 60、表 62、表 68 和表 69 中已更新 PAM4 和 NRZ 规格。已更新表 66 中的规格。在表 68 中, 已删除针对 TX 通道间偏差和 TX 相位对齐的支持。已移除《GTM 收发器时钟输出电平规格》表。已修改 GTM 收发器电气兼容性表。
2019 年 8 月 21 日	1.12	在 FSVA3824 和 FSVB3824 封装中相应处已添加 XCVU19P 器件。 在表 51 中已提高 QPLL0 -1 ($V_{CCINT} = 0.85V$) 输出分频器 1 的最高线速, 并且已更新注释 3 和注释 4。 已修改表 62: GTM 收发器性能和 GTM 收发器电气兼容性表。
2019 年 7 月 19 日	1.11	已更新表 20、表 21 和表 22, 新增 XCVU45P 和 XCVU47P 器件, 已将所有速度文件版本更新至 Vivado Design Suite 2019.1.1 v1.26, Vivado Design Suite 2019.1 v1.25 中的 -3 ($V_{CCINT} = 0.90V$) 速度/电压等级的 XCVU31P、XCVU33P、XCVU35P 和 XCVU37P 器件已更新至量产版本。 在表 1 中新增 FFRC1517、FFRA2104、FFRB2104 和 FFRC2104 封装的最大回流焊接温度 (T_{SOL}) 值。 在表 3 中已更新注释 4。 在上电/断电电源排序中已更新 GTM 顺序。

日期	版本	修订版说明
2019 年 4 月 26 日	1.10	<p>已更新表 20、表 21 和表 22，Vivado Design Suite 中的以下器件已更新至量产版本。</p> <p>XCVU31P: 2018.3.1 v1.24 (-2E、-2LE、-1E ($V_{CCINT} = 0.85V$) 和 -2LE ($V_{CCINT} = 0.72V$))</p> <p>XCVU33P: 2018.3.1 v1.24 (-2E、-2LE、-1E ($V_{CCINT} = 0.85V$) 和 -2LE ($V_{CCINT} = 0.72V$))</p> <p>XCVU37P: 2018.3.1 v1.24 (-2E、-2LE、-1E ($V_{CCINT} = 0.85V$) 和 -2LE ($V_{CCINT} = 0.72V$))</p> <p>XCVU39P: 2018.3.1 v1.24 (-2E、-2LE、-1E ($V_{CCINT} = 0.85V$) 和 -2LE ($V_{CCINT} = 0.72V$))</p> <p>XQVU3P: 2018.3 v1.23</p> <p>XQVU7P: 2018.3.1 v1.23</p> <p>XQVU11P: 2018.3.1 v1.23</p> <p>在表 1 中，已修改 T_{STG}。</p> <p>在表 2 中，新增注释 14。</p> <p>在表 7 中已更新 VU3xP 值。</p> <p>在 FPGA 逻辑性能特性中已新增 LVDS 组件模式注释。</p>
2019 年 1 月 4 日	1.9	<p>新增 XCVU27P 和 XCVU29P 器件。还新增了 GTM 收发器规格。</p> <p>已更新表 7: 上电电流 (按器件) 中的计算方式</p> <p>在表 20 中已将速度规格版本 (按器件) 更新至 Vivado Design Suite 2018.3。</p> <p>在表 19 中已更新 V_{IDIFF} 描述。</p> <p>在表 56 中，已更新注释 2。</p> <p>在表 75: 基于 PCIe4 的 PCI Express 设计的最高性能中以及注释 1、注释 2 和注释 3 中已移除 PCI Express Gen4 支持。在表 76: 基于 PCIe4C 的 PCI Express 设计和 CCIX 设计的最高性能中，已移除注释 1、2、3、4 和 5。</p>
2018 年 8 月 1 日	1.8	<p>在表 6 中新增 XCVU3xP 数据。</p> <p>在表 20 中已将速度规格版本 (按器件) 更新至 Vivado Design Suite 2018.2.1。</p> <p>在表 24 中，新增有关 LVDS RX DDR 最大数据的注释 4。</p> <p>在表 74 中，已将计算所得值从 322.223 修改为 322.266。</p>
2018 年 6 月 18 日	1.7	<p>在表 51 中已修改速度等级 -1 ($V_{CCINT} = 0.85$) F_{GTYMAX}，这导致表 56 中的值一并发生修改，并新增注释 2。</p> <p>在表 77 中已修改 F_{ACLK} 并新增 F_{HBM}。</p>
2018 年 4 月 9 日	1.6	<p>在整个数据手册中新增 XCVU31P、XCVU33P、XCVU35P 和 XCVU37P 器件。在表 1、表 2、表 6、上电/断电电源排序部分、表 7、表 8 和表 77 中新增高带宽内存规格。</p> <p>已更新表 20、表 21 和表 22，Vivado Design Suite 2018.1 v1.19 中的以下器件已更新至量产版本。</p> <p>XCVU3P: -3E ($V_{CCINT} = 0.90V$)</p> <p>XCVU5P: -3E ($V_{CCINT} = 0.90V$)</p> <p>XCVU7P: -3E ($V_{CCINT} = 0.90V$)</p> <p>XCVU9P: -3E ($V_{CCINT} = 0.90V$)</p> <p>新增表 43 和表 46。在表 45 中新增注释 2 和注释 3。已修改表 74，新增特定模式规格，并移除注释 1。新增表 76。</p>
2018 年 2 月 7 日	1.5	<p>已更新表 20、表 21 和表 22，Vivado Design Suite 2017.4.1 v1.18 中的以下器件已更新至量产版本。</p> <p>XCVU11P: -3E ($V_{CCINT} = 0.90V$)</p> <p>XCVU13P: -3E ($V_{CCINT} = 0.90V$)</p> <p>在表 40、表 41、表 42 和表 44 中已修改部分 -3E ($V_{CCINT} = 0.90V$) 速度文件。</p> <p>在表 48 中已修改 D_{VPPOUT} 控制信号。</p>
2017 年 11 月 28 日	1.4	<p>在表 1 中，已更正系统监控器部分的最低电压。</p> <p>已更新表 20、表 21 和表 22，Vivado Design Suite 2017.3.1 中的所有 -2LE ($V_{CCINT} = 0.85V$) 和 -2LE ($V_{CCINT} = 0.72V$) 器件/速度/温度等级均已更新至量产版本。</p> <p>在表 35 中已修改 F_{REFCLK} 描述。</p> <p>在表 40、表 41、表 42 和表 44 中已修改部分 -3E 和 -2LE ($V_{CCINT} = 0.72V$) 速度文件，在表 47 中新增封装值。</p> <p>在表 51 中已修改 $F_{GTYQRANGE2}$ -1 速度等级最小值。在表 81 中新增 $T_{SPICCM2}$ 和 $T_{SPICCF2}$。</p>
2017 年 10 月 2 日	1.3	<p>已更新表 1 以包含 T_{SOL} 最大值</p> <p>已更新表 20、表 21 和表 22 (对应干返工和回流焊接)，Vivado Design Suite 2017.2.1 中的以下器件/速度/温度等级已更新至量产版本。</p> <p>XCVU11P: -2E、-2I、-1E 和 -1I</p> <p>XCVU13P: -2E、-2I、-1E 和 -1I</p> <p>在表 29 中，已修改 $DIFF_SSTL135_S$、$DIFF_SSTL15_DCI_S$、$DIFF_SSTL15_S$、$DIFF_SSTL18_I_DCI_S$ 和 $DIFF_SSTL18_I_S$ 的 $T_{OUTBUF_DELAY_O_PAD}$ -2 (V_{CCINT} for dry r = 0.85V) 值。</p> <p>在表 29、表 40、表 41 和表 42 中已修改部分 -3E 和 -2LE ($V_{CCINT} = 0.72V$) 速度文件。</p>

日期	版本	修订版说明
2017 年 6 月 27 日	1.2	<p>已更新表 20、表 21 和表 22，Vivado Design Suite 2017.2 中的以下器件/速度/温度等级已更新至量产版本。</p> <p>XCVU5P: -2E、-2I、-1E 和 -1I</p> <p>XCVU7P: -2E、-2I、-1E 和 -1I</p> <p>XCVU9P: -2E、-2I、-1E 和 -1I</p> <p>在表 2 中已更新注释 12 以作澄清。在表 3 中，已从 I_{RPU} 和 I_{RPD} 移除不受支持的电压 (2.5V 和 3.3V)。在表 27 中新增注释 3。在表 29、表 30、表 40、表 41、表 42 和表 44 中已修改 -3E 和 -2LE ($V_{CCINT} = 0.72V$) 速度文件。在表 31 的“输入延迟测量方法”部分中已移除以下 II 类 I/O 标准: SSTL135_II、SSTL15_II、SSTL18_II、DIFF_SSTL135_II、DIFF_SSTL15_II 和 DIFF_SSTL18_II。在表 34 中已更新 F_{MAX} 标识名称和值。在表 36 中新增注释 1。在表 75 中新增注释 3。在表 81 中，已更新 F_{MCKCK}、F_{SCCK}、F_{EMCKCK}、F_{ICAPCK}、$T_{SMDCKCK}$、$T_{SMCKCKD}$、$T_{SMCKCSO}$、T_{SMCO}、F_{RBCKCK}、T_{BPIDCC}、T_{BPICCD} 和 T_{SPIDCC}、T_{SPICCD} 的 -2LE ($V_{CCINT} = 0.72V$) 规格。</p>
2017 年 4 月 19 日	1.1	<p>已更新综述中的说明。在表 1 中，已更新注释 6，新增数据，并新增注释 7、注释 8 和注释 9。在表 2 到表 7 中已更新并新增数据。</p> <p>已移除 -1LI 速度等级。</p> <p>已更新表 20、表 21 和表 22，在 Vivado Design Suite 2017.1 中以下速度等级的 XCVU3P 器件已更新至量产版本: -2E、-2I、-1E 和 -1I。</p> <p>已更新表 19。在表 21 中新增注释 1。已更新表 23、表 24、表 29、表 30、表 31、表 33、表 34 和表 35。新增表 25。在表 38 中新增 $MMCM_{F_{DPRCLK_MAX}}$，在表 39 中新增 $PLL_{F_{DPRCLK_MAX}}$。在表 40、表 41、表 42 和表 44 中，已更新至 Vivado Design Suite 2017.1。在表 45 和表 47 中新增数据。已更新 GTY 收发器规格部分。已修改 Interlaken 集成接口块部分。已更新系统监控器规格部分，针对各表新增注释。已更新配置开关特性部分。在表 2 和表 3 中已移除“eFUSE 编程条件”表，并新增规格。已更新“关于与汽车相关用途的免责声明”。</p>
2016 年 4 月 20 日	1.0	初始赛灵思版本。

请阅读：重要法律提示

本文向贵司/您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用参考。在适用法律允许的最大范围内：（1）资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且（2）赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的任何类型的损失或赔偿），均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其他责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，贵司/您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向贵司/您签发的许可证中所包含的保证与支持条款的约束。赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能的用途。如果把赛灵思产品应用于此类特殊用途，贵司/您将自行承担风险和责任。请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>。

关于与汽车相关用途的免责声明

如将汽车产品（部件编号中含“XA”字样）用于部署安全气囊或用于影响车辆控制的应用（“安全应用”），除非有符合 ISO 26262 汽车安全标准的安全概念或冗余特性（“安全设计”），否则不在质保范围内。客户应在使用或分销任何包含产品的系统之前为了安全的目的全面地测试此类系统。在未采用安全设计的条件下将产品用于安全应用的所有风险，由客户自行承担，并且仅在适用的法律法规对产品责任另有规定的情况下，适用该等法律法规的规定。