

# 基于 FPGA 的 DDR3 用户接口设计

潘一飞 余海 南京理工大学 电子工程与光电技术学院 江苏南京 210094

## 【文章摘要】

本文详细介绍了在 Xilinx Virtex-6 系列 FPGA 中使用 MIG3.7 IP 核实现高速率 DDR3 芯片控制的设计思想和设计方案。针对高速实时数字信号处理中大容量采样数据通过 DDR3 存储和读取的应用背景,设计和实现了适用于该背景的控制状态机,并对控制时序作了详尽的分析。系统测试结果表明,该设计满足大容量数据的高速率存储和读取要求。

## 【关键词】

DDR3 控制; IP 核; FPGA; 高速实时数字信号处理

## 0 引言

随着软件无线电思想的提出和 FPGA 技术的不断发展,高速实时数字信号处理已经成为 FPGA 的一个重要课题,高速的采样频率带来的是大容量的存储数据。在存储芯片领域,DDR3 以较低的功耗,较快的存储速度,较高的存储容量和较低的价格迅速占领市场;同时在绘制 PCB 版图时,DDR2 对信号完整性的要求比较高,在很多地方都要求 T 型连接;而 DDR3 引入了 write leveling 的模块,专门用于各个模块间时钟的对齐,因此可以采用菊花链的连接方式,大大方便了 PCB 互联设计。因此,在 FPGA 中使用 DDR3 进行大容量数据的存储是一种趋势。

本文基于 Xilinx 公司的 Virtex-6 芯片,针对高速实时数字信号处理中大容量采样数据通过 DDR3 存储和读取的应用背景,利用官方提供的 IP 核完成了用户接口设计,并在该芯片上完成了验证和实现。目前,该方案已经在某雷达系统的高速数据缓存中得到了应用。

## 1 系统模型

现假定背景是数字信号处理,由 FPGA 和 DSP 共同完成, FPGA 主要负责数据的实时检测和初步处理,同时负责采集和存储原始数据。DSP 主要负责信号的进一步处理。DSP 的实时处理能

力有限,那么就需要 FPGA 把感兴趣时间段的数据存储下来,再由 DSP 一包一包地从中读取并进一步处理。其基本框图如下:

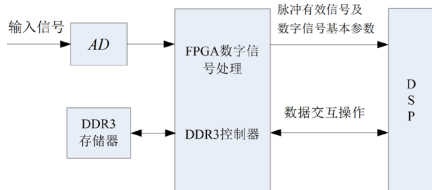


图1 系统背景框图

在这里我们主要讨论 DDR3 的控制,提取感兴趣的模块可以得到简化的框图:

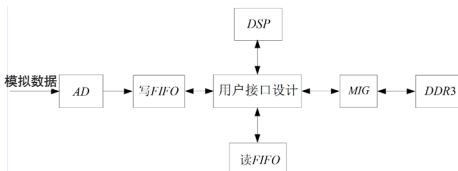


图2 DDR3 用户接口设计整体框图

用户接口设计是整个系统的核心,对整个系统进行调度和控制。当接收到 DSP 写命令的时候,该设计开启写 FIFO 缓存功能,将对应数据按照 MIG 的时序要求写入 DDR3;当接收到 DSP 读命令的时候,该设计按照要求产生对应的 MIG 读时序,控制数据进入读 FIFO,进而完成后续操作。

## 2 MIG 时序要求

Xilinx MIG v3.7 IP 核的一般写命令操作时序如下图所示:

由以上时序图可以得到连续写命令的控制要点:

1) 当 app\_rdy(DDR3 核准备好信号)和 app\_en(DDR3 核使能信号)同时拉高的时候,写命令和写地址有效。

2) 当 app\_wdf\_rdy(DDR3 写 FIFO

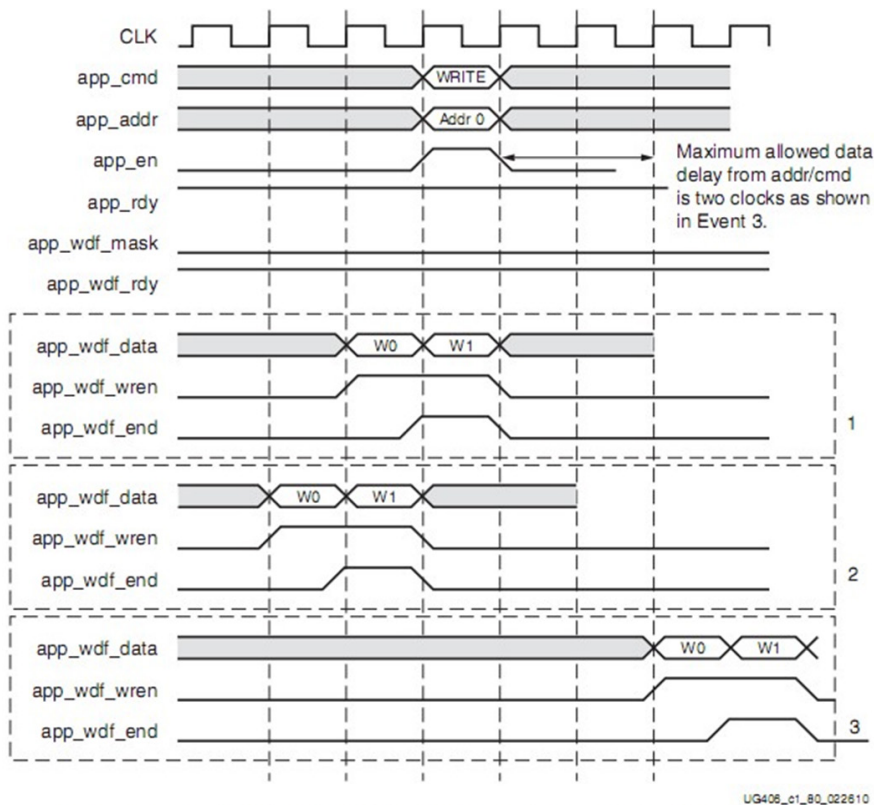


Figure 1-58: UI Write Timing Diagram (Memory Burst Type = BL8)

图3 MIG 用户接口的时序要求(突发长度为8)

准备好信号)和 app\_wdf\_en(DDR3 写 FIFO 使能信号)同时拉高的时候,写入数据有效。

3)突发长度为 8 时每两个控制周期对应一组突发数据,则每写入两个数据就要给出一个 app\_wdf\_end(帧尾信号)。

4)写命令与写数据的操作时序要在两个时钟周期以内。

### 3 用户接口设计及时序分析

由上面 MIG 操作时序要求提出基于等待的写命令写数据同时发送机制。这种方式有一个好处:数据基本不会留在 DDR3 的 FIFO 里面,这样,就不用考虑 app\_wdf\_rdy 会拉低的情况,方便了写数据的操作,提高了时钟利用率。其基本思路如下图所示:

由上图设计的状态机所得的时序如下图所示:

时刻①写等待状态,此时检测到 ADFIFO 为空,因此保持写等待状态。

时刻②检测到 ADFIFO 非空,于是读使能拉高,下一个状态为写数据状态。

时刻③已进入写数据状态,此时检测 adata\_valid(ADFIFO 数据有效信号),因为读使能拉高到读数据有效有一个时钟的延时,因此当检测到 adata\_valid 有效再使得 adfifornden(ADFIFO 读使能)拉低的话,读使能已经有效了两个时钟了。此时并没有检测到 ADFIFO 数据有效信号,状态不变继续检测。

时刻④检测到读数据有效,说明两个时钟周期的读使能信号已经发出,于是读使能拉低,同时拉高 app\_wdf\_wren(DDR 核写使能信号),将对应数据发出。

因为有两个时钟的有效数据,时刻⑤ adata\_valid 依然拉高,继续写入数据;此时检测到 burst\_cnt(帧尾计数标志)为高,给出帧尾信号,同时 app\_en(核使能信号)拉高,准备发送写命令,下一个状态为写命令状态。

时刻⑥已进入写命令状态,这时 app\_en 已经拉高,只要检测到 app\_rdy(核准备好信号)拉高,说明对应地址的写命令已经发出。时刻⑥检测到 app\_rdy 为低,状态不变,继续检测。

经过连续几个时钟周期的等待后,时刻⑦检测到 app\_rdy 为高,说明对应地址的写命令已经发出,地址自动加一,同时 app\_en 信号拉低,再次进入写等待状态。

时刻①到时刻⑦详细描述了当接受到 DSP 写命令时用户接口设计对各个端

口的时序操作,可见与 MIG 要求时序相符。

读命令的发送和写命令的发送类似,也比较简单,在此不再赘述。

### 4 结论

使用 Xilinx 公司生产的 Virtex-6 芯片进行验证,采样速率为 1Ghz,采样位宽为 12 位,扩展成 16 位后进行存储,DDR3 内部以 1067M 处理速度,32 位

的处理带宽进行存储,写数据时从地址全 0 写到地址全 1,读数据时也从地址全 0 读到全 1,经对比无误,说明该控制器能够较好地高速读写操作。

### 【参考文献】

- [1] 余超,段登平,王建宇,李国通.软件无线电宽带高中频采样的 A/D 特性分析[J].电讯技术,2004,44(5)

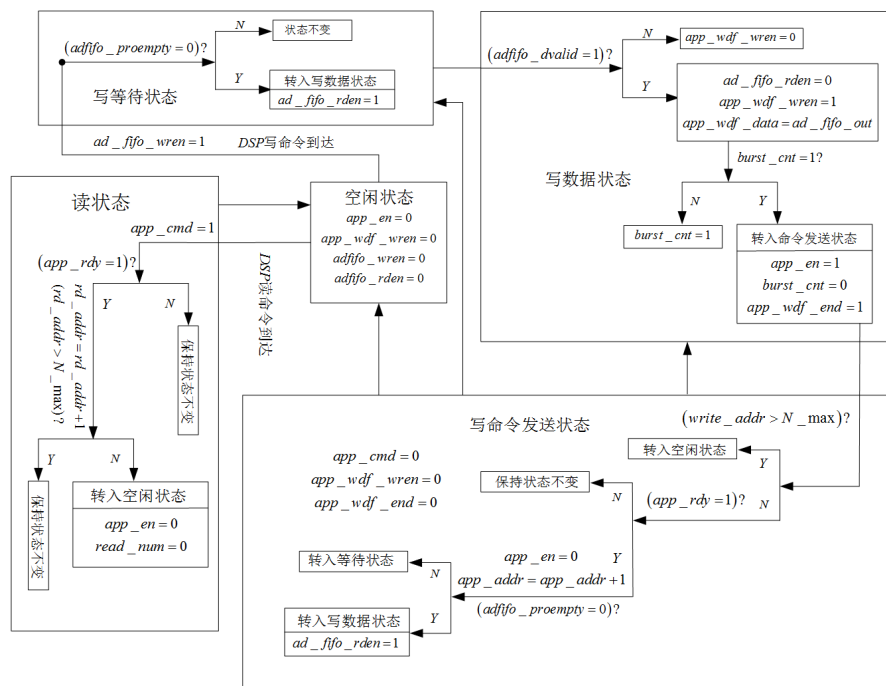


图4 基于 MIG 的用户接口设计基本框图

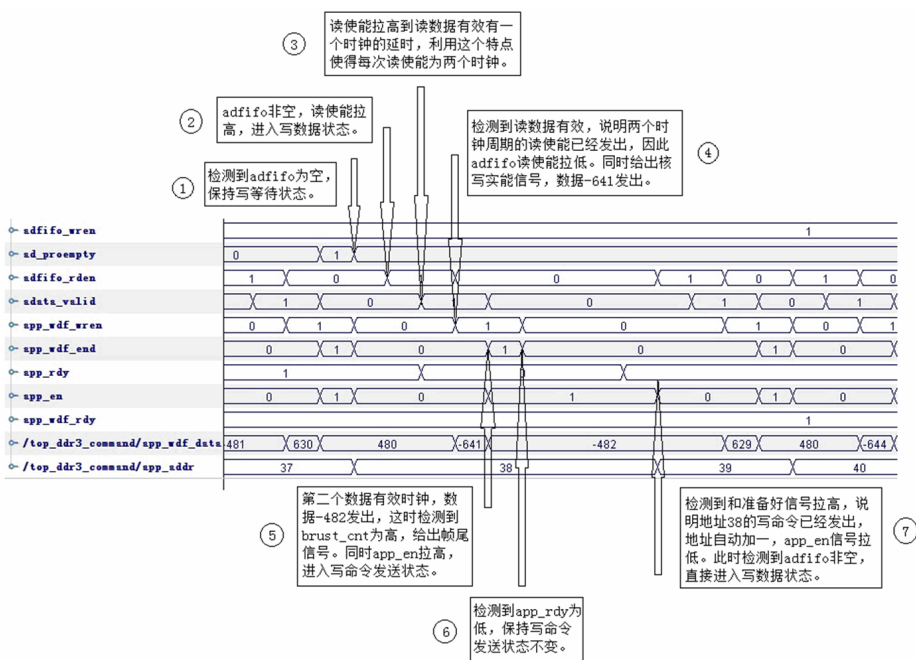


图5 用户设计时序图

任意的复杂运动。对于直线运动,又将其分解最小直线单位运动,由 X 轴方向和 Y 轴方向运动的合成。由以上信息我们总结出:可以选择步进基本单位为 0.5 厘米。

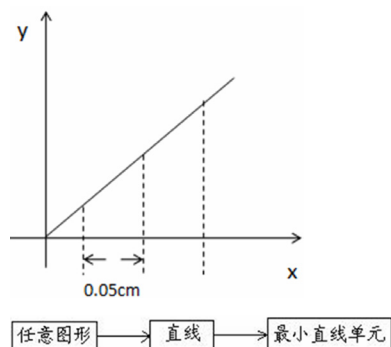


图 3.2 Divide & Conquer 策略示意图

设目的坐标为  $E(x_0, y_0)$ , 已知直线由原点出发, 故斜率  $k = \frac{y_0}{x_0}$ , 每次  $x$  的步进值为 0.5cm。则最小直线单元的终点坐标表达式为:

$$\begin{cases} x_{i+1} = x_i + 0.5 \\ y_{i+1} = y_i + k \cdot 0.5 \end{cases}$$

得到每个最小直线单元的坐标后, 根据点到点运动的算法即可求出每次电机所需输出的脉冲个数。从而画出每个最小

直线单元, 由最小直线单元构成原点到目标坐标的直线。

每完成一个最小直线单位的运动, 都要重新计算当前到达点和目标点的斜率, 向目标点做最小直线单位运动移动, 此单位运动移动要在当前点的实际坐标基础上进行, 这样的好处是不会累计误差, 同时可以平滑锯齿现象, 这种方法我们称之为追击的算法, 通常在用最小直线单位运动组成一条长直线运动时采用此方法。

### 3.4 画圆运动算法分析

悬挂运行控制系统的设计, 要求悬挂物可以画一个圆, 这里, 我们采用微分曲线直线逼近的方法画圆。第一步, 先将圆周采用等分的方式画为  $N$  份, 然后再将每小份弧线段等效为直线段来画出, 其中  $N$  越大, 曲线就会越光滑。

在这个设计中, 我们设所画圆的半径为固定的 25 厘米, 圆心的坐标为  $(x_0, y_0)$ , 取  $(x, y)$  为圆周上的任意一点, 由此我们可以确定所画圆的方程为:  $(x-x_0)^2 + (y-y_0)^2 = 25^2$ , 我们采用圆的参数方程:  $X = x_0 + 25 \sin \theta$ ,  $Y = y_0 + 25 \cos \theta$ ,  $(x_0, y_0)$  为圆心坐标。则:

$$\begin{cases} x_i = x_0 + 25 \cos(\theta + h \cdot i) \\ y_i = y_0 + 25 \sin(\theta + h \cdot i) \end{cases}$$

这样, 推出参数  $\theta$  则是唯一与圆的坐标有关的参数, 因此, 使角度  $\theta$ , 以某一设

定的角度步长  $h$  来累加, 在周期  $[\theta, \theta + 2\pi]$  内, 使  $\theta + q \times h$  发生变化, 在这里累加值是  $q$ , 这样就可以采样到圆上均匀的点。

显然, 角度步长  $h$  越小, 控制就会更精确, 在圆周上取得点也就越多。但如果我们直接使用该方程来求圆上点的坐标, 算法则会比较复杂。

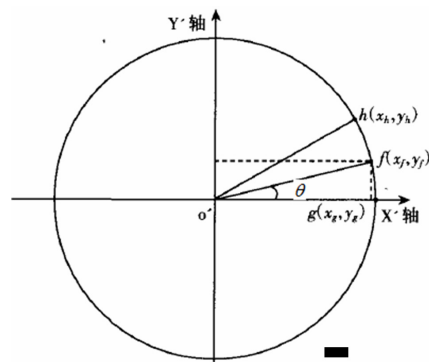


图 3.3 画圆算法示意图

### 【参考文献】

- [1] 李新钊, 胡春雪, 钱建松《悬挂控制系统》凌阳科技教育推广中心 2006
- [2] 李艳坤, 张大伟, 卢云龙, 郑铭颖《悬挂控制系统》西安电子科技大学 2006

### 《接 010 页

- [2] 张碧峰, 郭英. 数字中频正交采样及其 FPGA 实现[J]. 电讯技术, 2011, 51(2)
- [3] 李燕春. 高速信号处理终端设备的设计[J]. 电讯技术, 2011, 51(8)
- [4] 肖汉波. 高速 PCB 设计中信号完整性的仿真与分析[J]. 电讯技

术, 2006, 46(5)

- [5] Xilinx Co Ltd. Virtex-6 FPGA Memory Interface Solutions User Guide [EB/OL]. 2011, V3.7. [http://www.xilinx.com/support/documentation/ip\\_documentation/ug406.pdf](http://www.xilinx.com/support/documentation/ip_documentation/ug406.pdf)
- [6] 冯维萍. 电子产品设计过程中消

除干扰信号的 PCB 布线技巧[J]. 电讯技术, 2003, 43(3):

- [7] Xilinx Co Ltd. Virtex-6 FPGA Memory Interface Solutions [EB/OL]. 2011, V3.7. [http://www.xilinx.com/support/documentation/ip\\_documentation/ds186.pdf](http://www.xilinx.com/support/documentation/ip_documentation/ds186.pdf)

### 《接 021 页

统的制冷制热效率。

(4) 水泵安装注意防积水;

(5) 加深回渗池深度, 提高地表水回渗压力, 加装回渗管道, 或加大回渗池面积, 加快地表水回渗速度。

### 5 总结

通过本次地下水小型空调系统设计施工, 可以看出该地下水空调系统结构简单, 设备采购成本低廉, 日常使用维护费用低, 节约用电, 提高能效等优点, 在周边地区具有一定的推广性。但也应注意地下水回灌问题, 长期抽取地下水不及时回

灌会造成地表塌陷, 同时, 国家目前对地下水资源管理较严, 抽取与回灌地下水均收取费用, 也在一定程度上制约了该系统的推广与普及。

### 【参考文献】

- [1] 刘铁铸. 地下水空调技术与应用[J]. 上海地质, 1995, (1).
- [2] 赵贤兵, 李芳芹. 地下水空调系统的几个问题及节能研究[J]. 节能, 2001, (4).
- [3] 祝耀升, 方志泉. 地下水节能空调技术[J]. 能源工程,

1991, (12).

- [4] 傅允准, 曹国海, 等. 冷冻水温度变化对空调供冷的影响分析及对策[J]. 沈阳建筑工程学院学报, 2004, (1).
- [5] 郭小波, 马捷. 中国地下含水层储能技术及其发展[J]. 能源研究与信息, 1999, (4).

### 【作者简介】

谢晓明, 男, 1974 年 7 月生, 江西省电子信息技师学院, 讲师, 电子技术、光电技术