

# 基于FPGA的DDR2 PHY层控制器设计

魏腾飞

(西安电子科技大学, 西安, 710000)

**摘要:** 由于DDR2颗粒成本低, 数据带宽高, PCB相对设计比较容易等特点。目前仍广泛应用于需要数据缓存的各个地方。本文介绍了一种使用灵活, 可扩展性强的DDR2 PHY层控制器, 通过分析实际的应用环境, 只要添加少量的代码, 就可以得到一个性能和面积比最优的IP CORE控制器。

**关键词:** DDR2; 控制器; FPGA; IP CORE

## DDR2 PHY Layer Controller Ddesign Based on the FPGA

Wei Tengfei

(Xidian University, Xi' an 710000)

**Abstract:** DDR2 particles of low cost, high data bandwidth, PCB relatively easy design features. There is still widely used in various places in need of data cache. This article describes a method of using the flexibility, scalability DDR2 PHY layer controller, through the analysis of the actual application environment, as long as the addition of a small amount of code, you can get a performance and area than the optimal IP CORE controller.

**Keywords:** DDR2; controller; FPGA; IP CORE

### 0 引言

目前由于DDR2成本低, PCB设计和信号完整性设计的相对容易, 所以仍广泛使用。DDR2和以前传统的SDRAM不同, DDR2采用双倍数据速率接口, 也就是说在相同的系统时钟频率下DDR2的接口数据速率是SDRAM的两倍。而且由于DDR2接口工作频率较高, 所以DDR2的数据线一般是每8bit就有一位独立的数据采样信号DQS。这样就能较好的满足数据采样的建立和保持时间。而且DDR2颗粒的工作时钟使用差分时钟线, 能够减少共模干扰和时钟的抖动, 提高了时钟信号的质量。

在一般的工程应用中, 基本使用的是xilinx或Altear公司的FPGA。各自都提供有DDR2控制器的IP CORE, 其使用也比较简便。但是在一些特定的应用环境下, 并不能达到最优的效果。而且IP CORE内部代码是不可见的。由此考虑到, 设计一个DDR2 PHY层控制器, 把和DDR2控制相关的逻辑, 全都放在PHY层。而最底层的DDIO和上层的应用逻辑, 则可以根据实际情况来设计。这样, 使得逻辑的代码修改量减小, 提高了重用性。下面就Altera的Cyclone系列的FPGA来介绍设计的相关重点。

### 1 DDR2 PHY层控制器的整体结构分析和设计

DDR2 PHY层控制器主要由命令解释逻辑, DDR2控制逻辑和DDIO逻辑三部分构成。其中DDIO逻辑, 由于各个系列的IOB结构有所不同, 需要根据器件, 并由工具生成。在Altera的Cyclone系列中DDIO逻辑的IP CORE使用是免费的。本着使用简便, 和接口信号少的原则, DDR2 PHY层控制器的整体结构如图1。

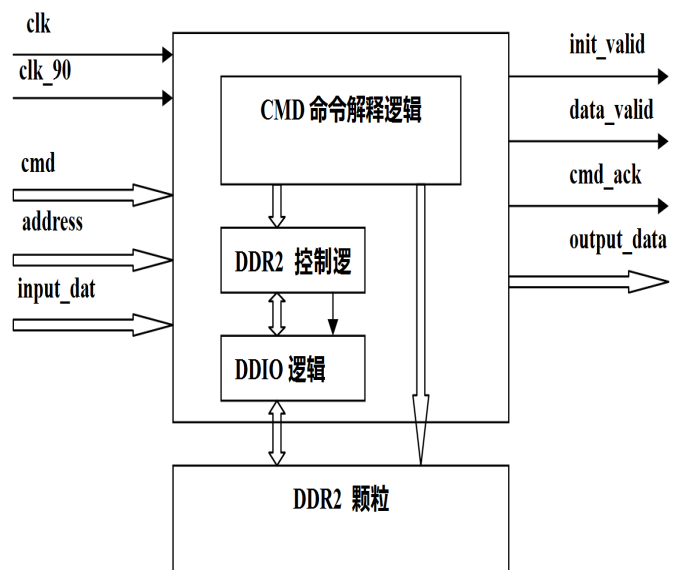


图1 DDR2 PHY层控制器的整体结构

控制器的信号介绍, 整个系统的时钟由clk和clk\_90输入, clk和clk\_90同频, 但是clk\_90的相位超前clk相位为90度。一般有FPGA内的PLL锁相环提供这两路时钟信号。Cmd信号是控制整个逻辑的命令线由3bit组成, 命令包括: NOP, BANK\_ACTIVE, DDR2\_INIT, AUTO\_REFRESH, WRITE, READ和PRECHARGE\_ALL。具体的对应关系见表1。address是控制器的地址输入线, 位数由DDR2颗粒的容量决定。input\_data是数据的输入端。init\_valid信号输出高电平表示DDR2颗粒初始化完成可以进行其他

操作。data\_valid 信号输出高电平表示 output\_data 输出数据线上的数据有效。cmd\_ack 信号为高表示控制器正在执行当前命令。为低表示当前命令完成,并进入到 NOP 状态。

表1 命令对应的二进制代码

NOP	BANK_ACTIVE	DDR2_INIT	AUTO_REFRESH	WRITE	READ	PRECHARGE_ALL
3'b000	3'b001	3'b010	3'b011	3'b100	3'b110	3'b111

## 2 DDR2 PHY 层控制器的设计与实现

### 2.1 DDR2 PHY 层控制器的 DDIO 实现

DDIO 接口逻辑是连接 FPGA 和 DDR2 之间的桥梁。它完成如下功能:数据输入,通过特有的 DQS 信号采样。数据输出,并产生相应的 DQS 信号。实现数据速率的转换。因为在系统时钟频率和 DDR2 颗粒数据位宽一定的情况下, FPGA 内部一般是单沿数据处理的,而 DDR2 是双沿采样,所以如果 DDR2 颗粒的数据位宽为 16bit 的情况下,那么转换到 FPGA 内部就形成了一拍 32bit 的数据位宽。

在 Altera 的 Quartus 中的 MegaWizard Plug 先生成 8bit 的 DDIO 和 1bit 的 DDIO\_OUT 的例化模块。具体结构如图 2。

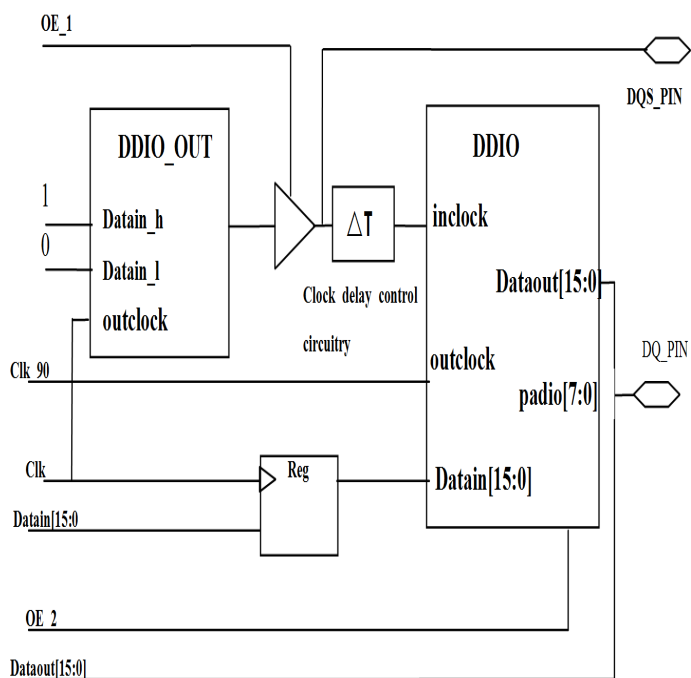


图 2 DDR PHY 控制器接口图

其中的 Clock delay control circuitry 是 Cyclone 系列 FPGA 内部的一个固件逻辑。固定连接在一个 PIN 上面,所以在分配 PIN 的时候,要把 DQS 分配在有延时功能的 PIN 上面。Cyclone 系列构成的高数据速率的 DDIO 接口,在写周期时,其 DQS 信号是由 DDR2 PHY 控制器产生的,而 DQS 的边沿和 DQ 数据组的中心对齐。在读周期时,其 DQS 信号是由 DDR2 颗粒产生的,而 DQS 的边沿和 DQ 数据组的边沿对齐。这个要特别注意。因此在读周期时, DQS

通过 FPGA 内部的 Clock delay control circuitry 模块,将 DQS 的边沿和 DQ 数据组的中心对齐,实现 DQ 数据组的采样。在写周期时, DQS 的边沿和 DQ 数据组的边沿相差 90 相位移,所以要用超前 90 度的 Clk\_90 来打 DQ 数据,而用 clk 来输出 DQS,这样就实现了 DQS 的边沿和 DQ 数据组的中心对齐。

### 2.2 DDR2 PHY 层控制器的逻辑实现

本逻辑是整个 DDR2 PHY 层控制器的核心,所有操作 DDR2 颗粒的工作,都由其完成。在应用本控制器前,需要根据 DDR2 颗粒器件的数据手册,来设置一些合适的参数才能正常工作。包括上电延时,用来等待时钟信号稳定 POWER\_UP\_DELAY 延时,空操作到预充电的 NOP\_TO\_PRE\_DELAY 延时, tRCD, tRP, tMRD, tRFC, MRS, EMRS 等。由于本控制器使用了 verilog 的 parameter 来定义。使得参数可以任意修改,来应用在多种 DDR2 器件上面。DDR2 大部分的不同器件的参数是一样的,有时只是,不同厂家的参数稍有不同而已。从而使得模块的灵活性增强。参数的设置如下:

```
parameter SYSTEM_CLOCK_PERIOD = 10;//10ns
parameter POWER_UP_DELAY = 200000;//200us
parameter NOP_TO_PRE_DELAY= 400;//400ns
parameter tRCD= 2;//20ns
parameter tRP= 2;//20ns
parameter tMRD= 2;//2 个时钟
parameter tRFC= 8;
parameter MRS= 13'b000010_010_0_001;
parameter EMRS= 13'b000000000000_0_0;
```

SYSTEM_CLOCK_PERIOD	DDR2 PHY 控制器最小工作周期, 根据工具软件的综合结果确定。此处设为 10ns (频率为 100MHz), 单位 ns。
POWER_UP_DELAY	上电延时时间, 及上电后等待时钟稳定后在进行其他的操作。一般情况下设置为手册上得 200us, 单位 ns。
NOP_TO_PRE_DELAY	空操作到预充电之间的延时周期个数。
tRCD	行激活到读写操作的延时, 此处为 2 个时钟周期。
tRP	预充电命令的执行时间, 此处为 2 个时钟周期。
tMRD	加载模式寄存器需要的时间, 此处为 2 个时钟周期。
tRFC	自动刷新操作需要的时间, 此处为 8 个时钟周期。
MRS	模式寄存器设置, 设置 CAS Latency、BT 及 burst length。
EMRS	扩展模式寄存器, 设置成 DS 为 normal 模式, DLL 为使能。

表 1 配置参数的说明

以上参数都是参考 DDR2 芯片手册设定的, 本例参考 MT46V16M16 的器件手册设置的。在使用过程当中如果想将 tRFC 改为 90ns 而系统时钟改为 125MHz, 其他不变时, 那么只需这样例化即可:

```
ddr_ctrl#(.tRFC(90),.SYSTEM_CLOCK_PERIOD(8))u_ddr_ctrl(,,,,,);
```

这样根据具体的 DDR2 的器件,来例化一个可用的 PHY 层控制器。

DDR2 PHY 层控制器是由一个状态机来控制运行的,通过当前的命令和当前的状态来决定下一步的操作。而且为了提高时钟频率和满足时序要求,控制器中用了流水线。当在连续读或连续写的时候,流水线内部逻辑的处理速度达到时钟频率。但是单次操作时效率会有所降低,所以因尽量多使用连续的读写操作来达到较高的数据吞吐速率。下图介绍了 DDR2 PHY 层控制器的状态跳转图 3,表 2 为各状态的描述表。

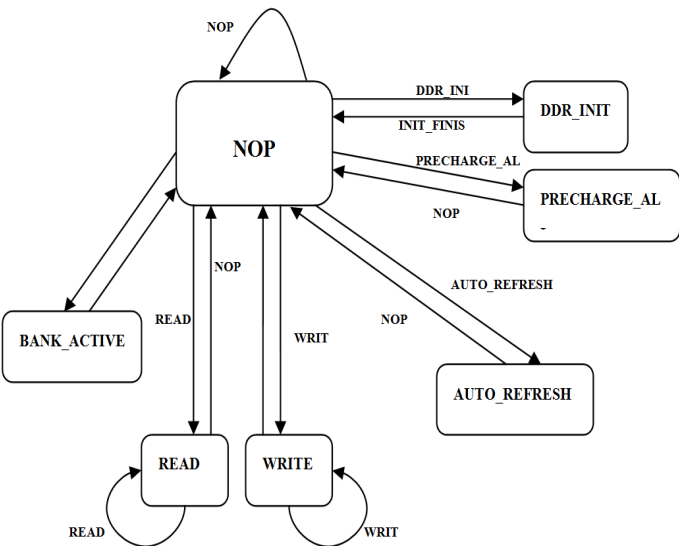


图 3 DDR2 PHY 层控制逻辑状态跳转图

如图 3 所示,这里主要介绍 NOP, AUTO\_REFRESH, READ 和 WRITE。NOP 是控制器的空闲状态。在没有其他操作的时候,应该给出 NOP 命令使控制器跳入空闲状态。好处是在 NOP 状态下,DDR2 颗粒的 nCS 为高,没有选中 DDR2 颗粒,这样可以降低部分功耗。在 READ 和 WRITE 时,控制器输入或输出的数据长度,由 READ 和 WRITE 命令给定的时钟周期个数决定。例如 READ 命令给出的 2 个时钟周期,那么就会执行 2 个读命令, WRITE 命令同理。唯一的区别是在 READ 命令中,由于使用了流水线,所以读出的数据有效必须由 data\_valid 信号来指示。即在发出 READ 命令后,当 data\_valid 信号为高时表示控制器的输出数据线的数据是有效的,可以进行采样。AUTO\_REFRESH 为刷新命令,最好跟据具体的应用情况来安排 AUTO\_REFRESH 命令的发出周期和发起时间。但是在某些应用中甚至可以不用 AUTO\_REFRESH 命令。比如在一些视频图像数据缓冲的应用中,数据只是在 DDR2 中临时存储,但很快就会被取走,写入和取走的间隔小于 64ms。在这样的应用中,就可以不用 AUTO\_REFRESH 命令。这样不但简化了 DDR2 的操作,也使得 DDR2 的数据吞吐的可用带宽提高。

下面介绍 DDR2 PHY 层控制器的读写时序。仿真是在 modelsim6.0 下进行的行为仿真。DDR2 用的是 Micron SDRAM DDR2 的 BFM(MT46V16M16),此 BFM 带有状态命令打印,可以实时的在命令行里看到 BFM 的状态,比较方便。在进行读写时,提前要激活 BANK。图省略了 BANK 的激活。

3 结论

本文介绍的 DDR2 PHY 层控制器, 在 Cyclone II 系列的 FPGA 上使用,占用的资源情况和性能如下表 3:

DDR_INIT	在系统上电复位后,发出 DDR_INIT 命令执行 DDR 的初始化,完成后自动跳转到 NOP 空闲状态。由 init_valid 信号输出为高表示初始化完成。
PRECHARGE_ALL	当发出预充电 PRECHARGE_ALL 命令后,控制器执行预充电,完成后自动跳转到 NOP 空闲状态。由 cmd_ack 信号输出为低表示完成,为高表示正在执行。
AUTO_REFRESH	当发出刷新 AUTO_REFRESH 命令后,控制器执行刷新,完成后自动跳转到 NOP 空闲状态。由 cmd_ack 信号输出为低表示完成,为高表示正在执行。
BANK_ACTIVE	当发出行激活 BANK_ACTIVE 命令后,控制器执行行激活,完成后自动跳转到 NOP 空闲状态。由 cmd_ack 信号输出为低表示完成,为高表示正在执行。
NOP	当发出 NOP 命令后,控制器不对 DDR2 颗粒任何其它操作,只是将 nCS 拉高。而且在控制器执行完其他的命令后会自动跳转到 NOP 空闲状态。
READ	当发出读 READ 命令后,控制器执行读操作。由 cmd_ack 信号输出为低表示完成,为高表示正在执行。要结束读操作,只需在最后一个读周期发出一个 NOP 命令即可。
WRITE	当发出写 WRITE 命令后,控制器执行写操作。由 cmd_ack 信号输出为低表示完成,为高表示正在执行。要结束写操作,只需在最后一个写周期发出一个 NOP 命令即可。

表 2 状态的描述表

(下转第 263 页)



券电子化，至今已有十余年的发展历史。从现阶段的情况来看，证券市场电子处理水平较高，在世界上也处在领先地位，其中证券的电子化就是其重要基础。实践可以证明，我国证券市场的快速发展、高效健康的运行有赖于证券电子化所发挥的重要功能，证券电子化给我国证券市场的发展带来了生机。如此看来我国证券电子化是适应客观发展需要的，是较为稳定和成熟的，大量的实践经验在十几年的发展过程中积淀了下来。此时，在总结实践经验的基础上对证券电子化立法进行逻辑的预设和规律的探究，通过市场调查研究和理论论证的方法，使立法活动顺利开展。

有人认为我国证券电子化立法时机未到，此时立法为时过早。原因是证券电子化的技术条件，特别是计算机、网络、交易方式一直在发展变化，在其运行过程中还有很多实践和理论问题尚未解决。笔者对上述意见持否定的态度，其理由为：证券电子化交易在电子商务交易的大背景下，是信息时代下的产物，是信息经济的组成部分。信息的特点就是快速发展、瞬息万变，所以对信息化立法就要具有超前性，延迟的信息不是一条好信息，若立法是建立在把每一个问题都弄透的基础上的，这不仅会增加立法成本，更会落后于信息经济，因为那时所制定的法律刚出台就已经过时了，那样的立法将永远跟不上信息的发展，难以有效的规范市场。电子化证券市场在中国运行了十多年，阻碍证券电子交易发展的直接因素便是缺乏证券电子商务法律所带来的不确定性和可期待性。

3.1.2 域外立法以及国际组织制定的示范法与建议为我国立法提供了借鉴

2001 年我国加入 WTO 后，不仅在贸易市场融入了全球贸易领域，在金融市场特别是证券市场也转入了国际化轨道，所以境外成熟市场的立法可以供我国证券电子化立法借鉴与参考。

目前，证券的发行和交易在全球范围内基本实现了电子化，从开户和登记到清算和交收的一整套流程都是以电子化进行的。前文已经提到，国外在推动证券电子化的同时一般会修改或配套制定法律。例如，法国《1982 年金融法》、英国 1995 年制定的《证券电子化法》（2001 年修订）、德国《中央证券存管和簿记交付法》、冰岛《存管法》等法律。这些法律在境外的证券电子化市场中已较为成熟，对促进市场发展取得了颇大的成效。我们可以根据具有中国特色的证券市场针对性的对其借鉴与参考，取其精华去其糟粕。

3.1.3 电子商务单行立法及电子商务的发展为证券电子化立法营造了良好环境

在证券电子化的电子交易环境下，具有虚拟、匿名、“多对多”等特点，与传统证券业务中的“一对一”交易方式不同，难以确认电子数据的归属、难以认证投资者的身份等问题，成了电子化立法的技术障

碍。然而，一些中国民营企业的崛起，电子商务技术的迅猛发展逐渐消除这个技术障碍，给电子化立法的技术环境带来了福音。此外，《电子签名法》的颁布，作为电子商务领域的单行立法，给电子商务法律大背景下的证券电子化立法加上了砝码。

我国关于电子商务的立法原来只能在《合同法》中找出一些渊源，即《合同法》承认了数据电文形式的存在、确定了电子商务合同的成立地点并规定了电子商务合同的到达时间。而 2004 年第 10 届全国人大常委会第 11 次会议通过了《电子签名法》，并于 2005 年 4 月 1 日起开始实行。其内容除了总则与附则以外，规定了电子签名与认证、数据电文、法律责任三个方面的问题。《电子签名法》为我国电子商务立法进程开创了新纪元，为证券电子化立法提供了良好的法律环境，证券电子化法作为电子商务法律大体系下的一员，应该与《电子签名法》做到协调一致。

3.2 立法技术层面之可行性

商法的精神内涵是其价值的实现，而外在的表达方式和技巧体现的是技术。一部法律的制定，虽然首先要体现价值的优先性，但仅仅提倡其法制的精神内涵，缺乏对立法技术或法律适用技术的表达与应用，必定会使整部法律逻辑混乱，纸上谈兵，实际操作性不强，使得调整功能无法实现，架空商法的目的。

自改革开放以来，我国一直在为建立立法型法制社会而努力，已经颁布了数百部法律，构建了较为齐全的法制体系。在这些立法过程中，我国的立法技术愈发高超。

然而，要想通过完美的法律体系来解决所有的证券市场监管问题，也是不可能做到的。法律对每一市场监管环节都面面俱到的话，既增加了立法成本，也是毫无必要，没有任何可行性的。在立法中确立的法律体系在追求完备性的同时，应该留下一定的弹性空间。从一个角度讲，过于细碎的规定往往经不起市场环境的变化，很容易过时从而带来被信息技术发展超越的风险。从另一个角度讲，过于抽象和原则性的规定缺乏可操作性，往往发挥不出应有的功能。因此，在立法上正确的做法应是既有严密而精细的规定，又可以留下一定的弹性空间，给市场中的当事人一定的意思自治以及给行政部门一定的补充权力。证券电子化立法所要依据的重要基础现行法律《证券法》就较好地体现了这种认识。因此可以说证券电子化立法在立法技术层面也具有可行性。

作者简介

刘卿涛(1987 年 11 月 22 日-)，男，江苏苏州人，法学硕士，河海大学法学院民商法学硕士研究生。研究方向：公司法、证券法

(上接第 5 页)

System fMAX (MHz)	170MHz
Total LEs	264
Total registers	168
M4K RAM Blocks	0
PLL	1

表 3 资源占用和性能表

可以看出它的资源占用率是比较少的，而且工作频率也较高。而 Altear 的 DDR and DDR2 SDRAM Controllor 9.0 版本的 IP

CORE 在 Cyclone II 系列上使用频率为 167MHz。在实际的项目应用中，操作简便，性能良好。应用在不同的 DDR2 器件上只需修改参数即可应用。加快了项目的进度。

参考文献

[1] Altera. Cyclone III Device Handbook, 2010.  
[2] Altera. Quartus II 12.0 手册, 2012.  
[3] XILINX. 针对 Spartan-3 FPGA 的 DDR22 SDRAM 存储器接口, 2011.  
[4] Micron. Double Data. Rate SDRAM, 2010