



Sistemas Digitais

Sistemas Sequenciais

Estruturas elementares de memória

Departamento de Electrónica, Telecomunicações e Informática
Universidade de Aveiro

Adaptado de R. Katz, "Contemporary Logic Design" e de
J. Wakerly, "Digital Design Principles & practices"



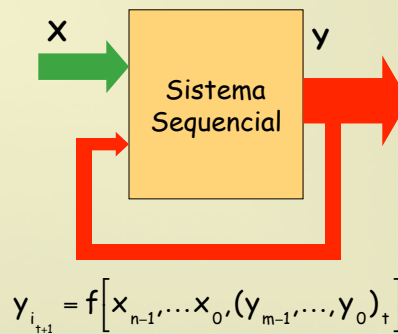
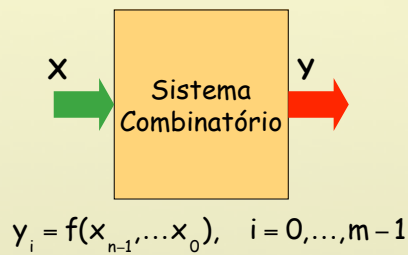
Sumário

- Lógica Sequencial
 - Realimentação
 - Memória
 - Conceito de estado
- Estruturas elementares de memória
 - Latch
 - Flip-Flop
- Abordagens
 - Estrutural
 - Temporal
 - Analítica



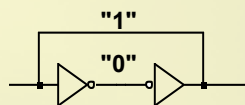
Lógica Sequencial versus Combinatória

- Sem realimentação
- Saída depende apenas da entrada actual
- Realimentação (Feedback)
- Saída depende das entradas actuais mas também da informação passada (Memória)

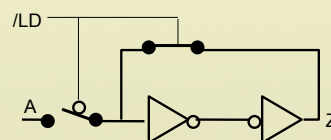


Estruturas elementares de memória

- Inversores em cascata constituem uma célula de memória estática



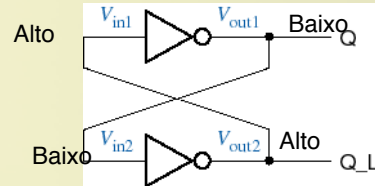
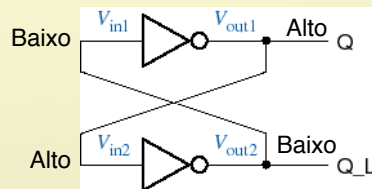
- Problema: Escrita de informação?
- Solução: Quebra selectiva da realimentação





Bi-Estável

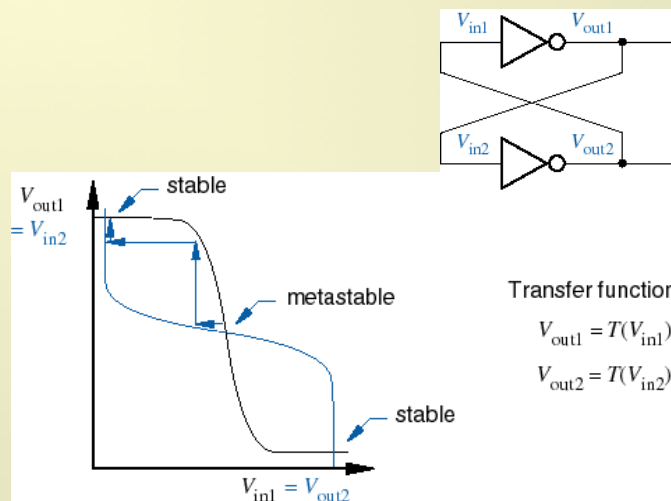
- Forma usual de apresentação da cascata de inversores



- Em regime estável a variável Q designa-se como variável de estado do elemento de memória
- 2 pontos de funcionamento estável com saídas complementares
- Zona de meta-estabilidade



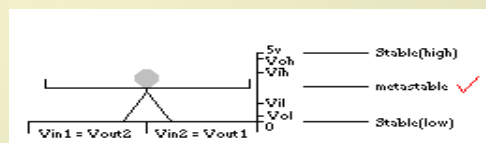
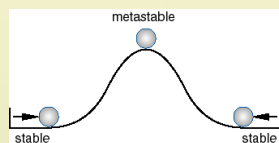
Estabilidade e Meta-estabilidade





Meta-estabilidade: analogias mecânicas

- Meta-estabilidade: estado seguinte é imprevisível e depende de estímulos aleatórios como o ruído eléctrico



Latch SR

- Portas NOR cruzadas
 - Entradas para forçar saída a "0" (Reset) ou a "1" (Set)

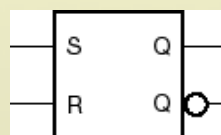
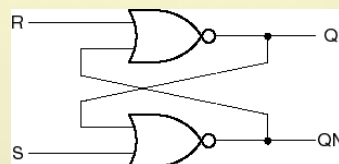
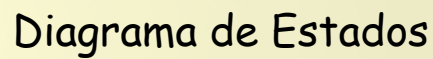
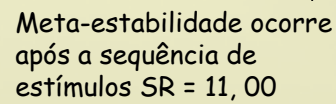
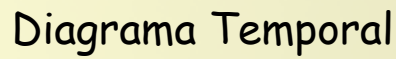


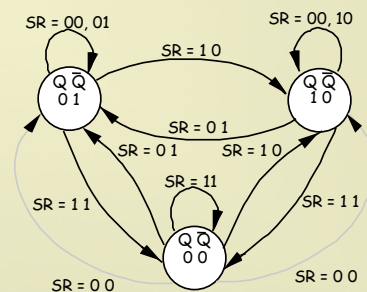
Tabela de Transição

S	R	Q	QN	
0	0	last Q	last QN	HOLD
0	1	0	1	RESET
1	0	1	0	SET
1	1	0	0	

Estado proibido



- Na prática o estado (Q_i/Q_j) = 11 é muito difícil de ser observado
- Retorno ambíguo ao estado 0-1 ou 1-0

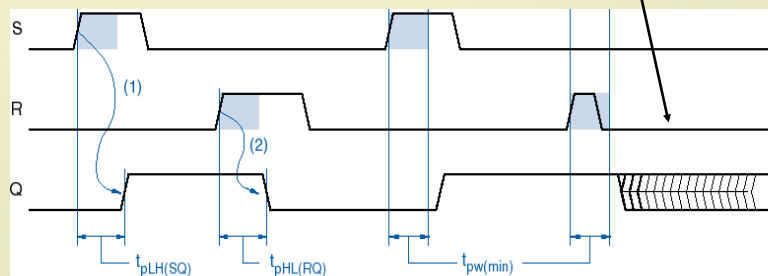




Parâmetros temporais na latch SR

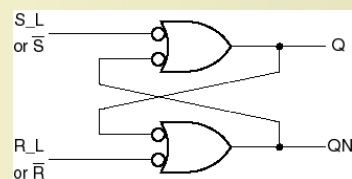
- Tempos de propagação
- Largura mínima de pulso

Meta-estabilidade pode ocorrer se o impulso (aqui, R) não atingir a largura mínima!

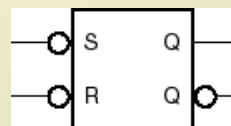


Latch S-R com portas NAND

- Exercício:
 - Compare com a latch SR - NOR
 - Elabore o diagrama de estados



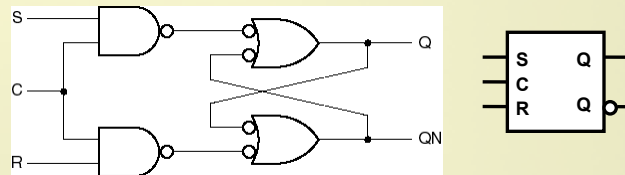
S_L	R_L	Q	QN
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last QN





Latch S-R com Enable (C)

- O sinal de *enable* (C) "abre" e "fecha" o acesso aos sinais de *set* e *reset*. Quando C=1 dizemos que a Latch está aberta

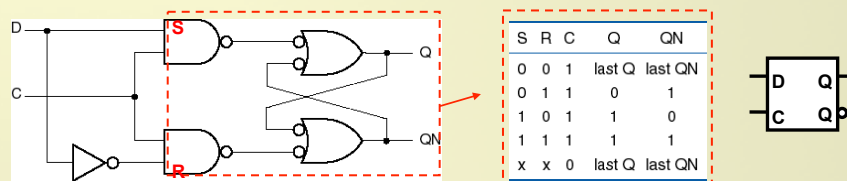


S	L	R	L	Q	QN
0	0	1	1	1	
0	1	1	1	0	
1	0	0	0	1	
1	1	last Q	last QN		

S	R	C	Q	QN
0	0	1	last Q	last QN
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
x	x	0	last Q	last QN



Latch D



S	R	C	Q	QN
0	0	1	last Q	last QN
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
x	x	0	last Q	last QN

Tabela de Transição

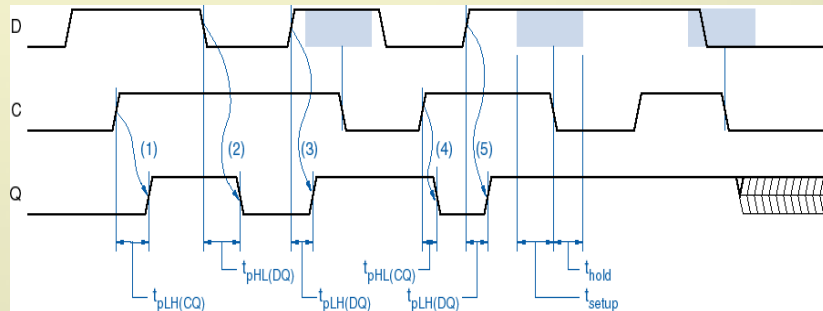
C	D	Q	QN
1	0	0	1
1	1	1	0
0	x	last Q	last QN

Quando $C = 1$ $Q = D$
"Transparent latch"



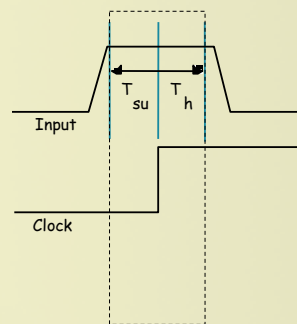
Latch D - Parâmetros temporais

- Tempos de propagação:
 - Enable para saída
 - Entrada para a saída
- Tempos de *setup* e *hold*



Clock, Setup time e Hold time

- Relógio (Clock):
 - Evento periódico, que desencadeia uma alteração no estado do elemento de memória
 - flanco de subida, flanco de descida, nível alto, nível baixo
- Tempo de Setup (T_{su})
 - Tempo mínimo antes do clock dentro do qual entradas devem permanecer estáveis
- Tempo de Hold
 - Tempo mínimo depois do clock dentro do qual as entradas devem permanecer estáveis



Janela de estabilidade. Quando não respeitada pode levar a situações de meta-estabilidade



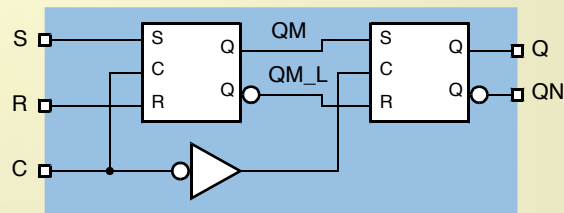
Latches vs. Flip-flops

- Latch:
 - analisa as suas entradas continuamente e muda as suas saídas em qualquer instante, independente de qualquer sinal de relógio.
- Flip-flop:
 - normalmente analisa as suas entradas e muda as suas saídas apenas em instantes determinados por um sinal de relógio.



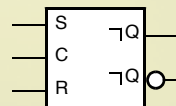
Arquitecturas Master-Slave

- F/F SR Master-Slave



S	R	C	Q	QN
x	x	0	last Q	last QN
0	0	1	last Q	last QN
0	1	1	0	1
1	0	1	1	0
1	1	1	undef.	undef.

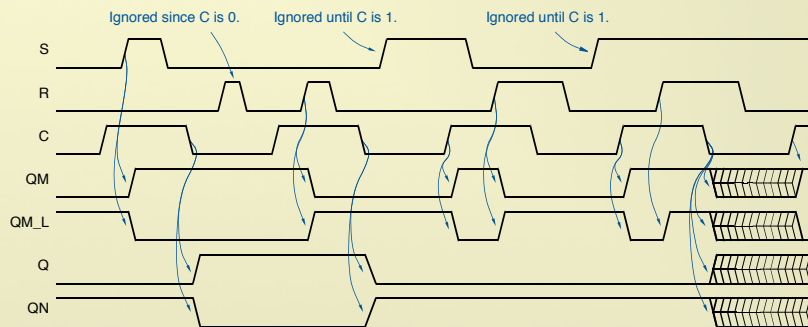
Estímulos proibidos





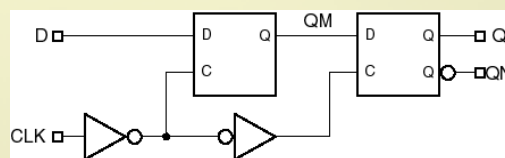
Arquitecturas Master-Slave

- F/F SR Master-Slave: diagrama temporal

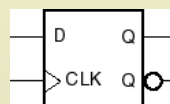


Flip-flop D (edge-triggered)

- Arquitetura master-slave (não confundir com F/F master-slave)
- Saída altera-se no flanco do relógio

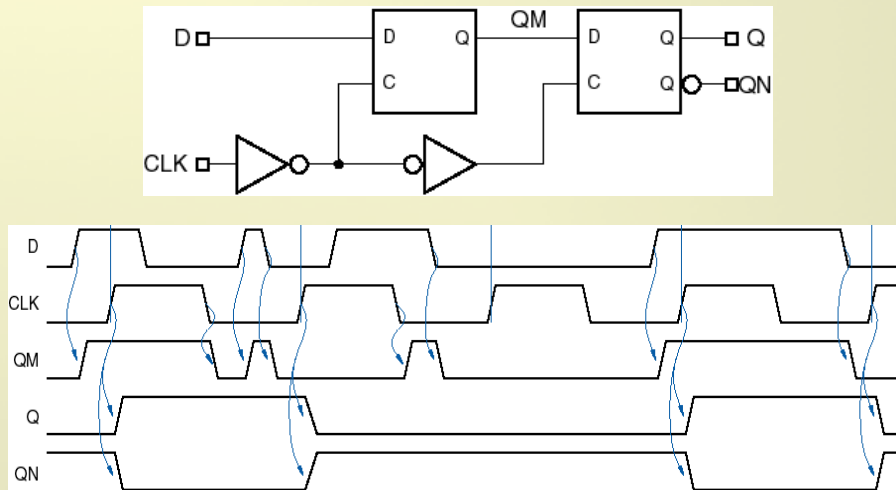


D	CLK	Q	QN
0		0	1
1		1	0
x	0	last Q	last QN
x	1	last Q	last QN

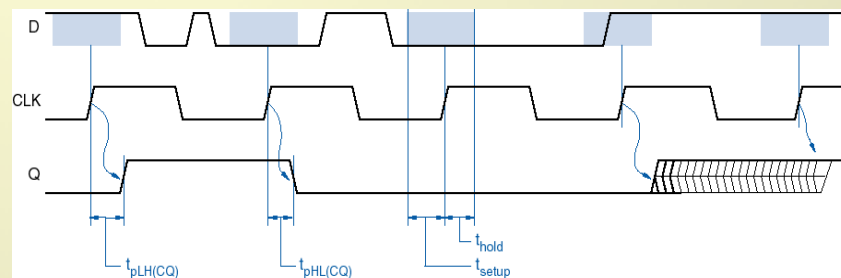




F/F D: diagrama temporal



F/F D: parâmetros temporais

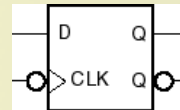


Meta-estabilidade por violação de setup e/ou hold time



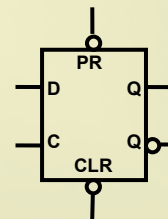
Variantes do Flip-flop D

- Negative Edge-Triggered



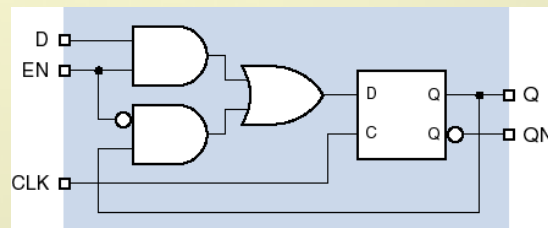
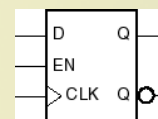
- Entradas assíncronas PRESET e CLEAR

- PRESET: Força estado do F/F a "1" independentemente do relógio
- Clear Força a estado do F/F a "0" independentemente do relógio



Variantes do Flip-flop D

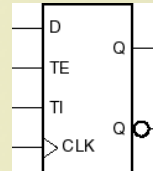
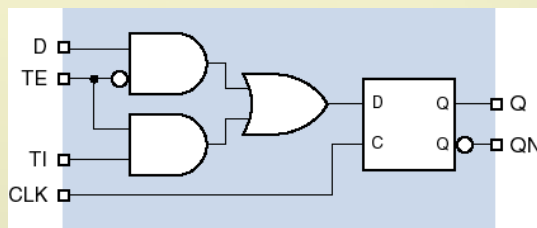
- F/F Edge-Triggered com enable
- Exercício
 - explique o papel da entrada de enable





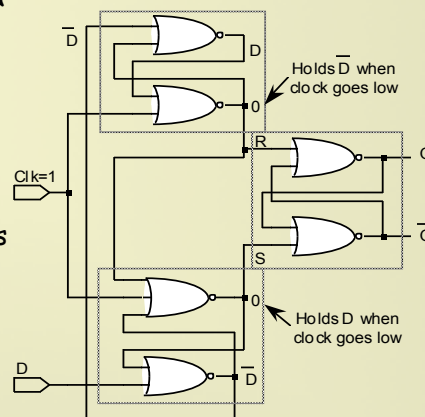
Variantes do Flip-flop D

- F/F Edge-Triggered com entrada de teste (Scan F/F)
- Exercício
 - explique o papel da entrada de teste



Exercício

- Verifique que o circuito da figura é F/F D negative edge-triggered
- Sugestão:
 - Análise quando $CK = 1$
 - Análise quando $CK = 0$
 - Desenhe diagramas temporais dos vários sinais do circuito

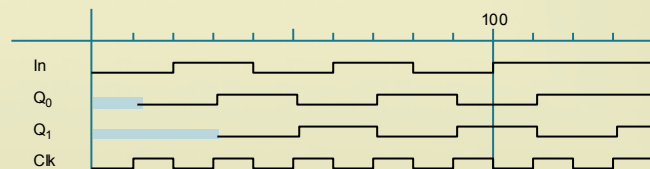
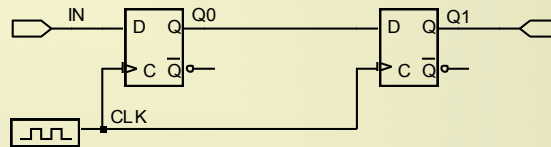




Flip-Flops D em cascata

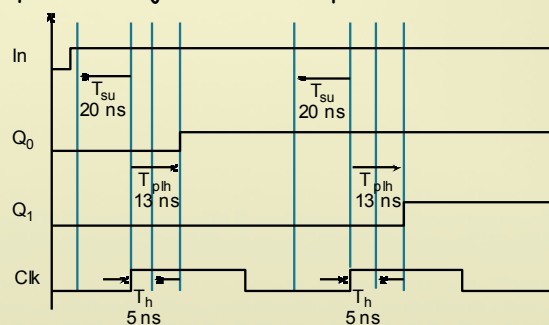
- Flip-Flops D em cascata constituem um bloco importante em lógica sequencial:
 - o registo de deslocamento (shift register):

Novo valor entregue ao 1º andar enquanto o 2º andar recebe o valor corrente do 1º



Flip-Flops D em cascata

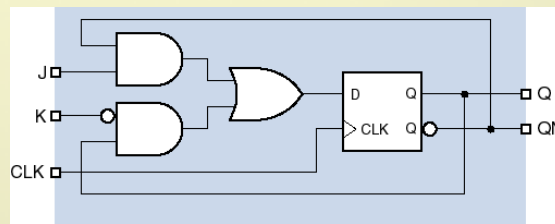
- Funcionamento viabilizado por correcta articulação dos parâmetros temporais
 - Atrasos de propagação excedem largamente os hold times;
 - Isto garante que o andar seguinte "guarda" o valor corrente antes que este seja substituído por um novo valor





Outros Fflops: JK

- Exercício: Deduza a tabela de transições do circuito

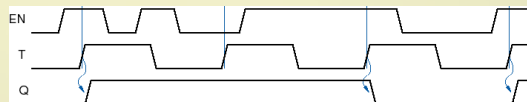
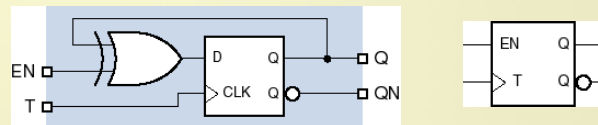


J	K	CLK	Q	QN
x	x	0	last Q	last QN
x	x	1	last Q	last QN
0	0	1	last Q	last QN
0	1	1	0	1
1	0	1	1	0
1	1	1	last QN	last Q



Outros Fflops: T

- T = Toggle



- Exercício:
 - Elabore o diagrama de estados
 - Elabore a tabela de transição



Caracterização analítica

- Equação Característica

- Tomando o estado seguinte como função booleana do estado presente e das entradas de excitação duma latch/flip-flop chegamos à respectiva equação característica
- Exemplos a partir das tabelas de transição

$\begin{array}{c c} & SR \\ \hline Q & \end{array}$	00	01	11	10
0	0	0	x	1
1	1	0	x	1

$$Q^+ = S + QR$$

$\begin{array}{c c} & JK \\ \hline Q & \end{array}$	00	01	11	10
0	0	0	1	1
1	1	0	0	1

$$Q^+ = \bar{Q}J + Q\bar{K}$$



Caracterização analítica

- Equação Característica

- Exemplos a partir das tabelas de transição

$\begin{array}{c c} & D \\ \hline Q & \end{array}$	0	1
0	0	1
1	0	1

$$Q^+ = D$$

$\begin{array}{c c} & T \\ \hline Q & \end{array}$	0	1
0	0	1
1	1	0

$$Q^+ = T \oplus Q$$

- Exercício: a partir das equações características dos f/f SR, JK, D e T elabore os respectivos diagramas de estado



Tabelas de Excitação

- Para cada latch/flip-flop importa saber que estímulos devem ser aplicados para induzir uma determinada mudança de estado.
- A partir dos diagramas de estado constroem-se as tabelas de excitação

$Q \rightarrow Q^+$	SR	JK	D	T
$0 \rightarrow 0$	0 X	0 X	0	0
$0 \rightarrow 1$	1 0	1 X	1	1
$1 \rightarrow 0$	0 1	X 1	0	1
$1 \rightarrow 1$	X 0	X 0	1	0



Latch vs Flip-Flop

- Comportamento Entrada/Saída de Latches e Flipflops

Tipo	Amostragem das entradas	Validade das saídas
Latch	Sempre	Atraso de propagação desde a alteração da entrada
Latch com Clock (C)	$C = 1$	Atraso de propagação desde a alteração da entrada
F/F Pos. Edge T.	$C=0$ para $C=1$ $T_{su} + T_h$	Atraso de propagação desde a flanco ascendente do relógio
F/F Neg.. Edge T.	$C=1$ para $C=0$ $T_{su} + T_h$	Atraso de propagação desde a flanco descendente do relógio
F/F M. Slave	$C=1$ $T_{su} + T_h$	Atraso de propagação desde a flanco descendente do relógio