



UNIVERZITET U SARAJEVU
ELEKTROTEHNIČKI FAKULTET
ODSJEK ZA TELEKOMUNIKACIJE

Sintetizator frekvencija

ZAVRŠNI RAD
- PRVI CIKLUS STUDIJA -

Student:
Habib Sarajlić

Mentor:
Doc. dr Pamela Njemčević

Sarajevo,
septembar 2019.

Sažetak

U ovom radu je opisan princip rada frekvencijskog sintetizatora (*Direct Digital Synthesizer*) i način njegove realizacije. Projektovanje sintetizatora frekvencija je urađeno u dvije faze. Prva faza obuhvata simulacije u softverskom alatu Simulink i analizu dobijenih rezultata. Simulacijom različitih modela sintetizatora frekvencija su utvrđene osobine svakog modela, te prednosti i mane, na osnovu čega su odabrani parametri sklopa koji daju najbolji SNR za najmanju kompleksnost sklopa. Druga faza projektovanja sintetizatora frekvencija predstavlja dizajn elemenata sintetizatora u *VHDL* jeziku pomoću softverskog alata Quartus. Glavni izazov u dizajnu sintetizatora frekvencija u *FPGA* tehnologiji će biti minimizacija *lookup* tabele uz zadržavanje odgovarajućeg SNRa na izlazu sintetizatora frekvencija.

Ključne riječi: Sintetizator frekvencija, DDS, Direct Digital Synthesizer, FPGA, VHDL, Quartus, Simulink.

Abstract

This paper describes the principle of operation of a frequency synthesizer (Direct Digital Synthesizer) and the method of its realization. The design of the frequency synthesizer is done in two phases. The first phase involves simulations in the Simulink software tool and analysis of the results obtained. Simulating different models of frequency synthesizer determines the characteristics of each model, its advantages and disadvantages, on the basis of which the circuit parameters were selected to give the best SNR for the lowest circuit complexity. The second phase of frequency synthesizer design is the design of synthesizer elements in VHDL using the Quartus software tool. The main challenge in the design of frequency synthesizers in FPGA technology will be to minimize the lookup table while maintaining the proper SNR at the output of the frequency synthesizer.

Keywords: Frequency synthesizer, DDS, Direct Digital Synthesizer, FPGA, VHDL, Quartus, Simulink.

Univerzitet u Sarajevu
Elektrotehnički fakultet
Odsjek za telekomunikacije
doc. dr Pamela Njemčević, dipl.el.ing

Tema za završni rad

studenata I ciklusa studija koji studiraju na ETF-u u skladu sa principima Bolonjskog procesa
na Odsjeku za telekomunikacije (ak.g. 2018/19)

Tema: Sintetizator frekvencija

Tematika:

Jedna od osnovnih komponenata svakog modernog telekomunikacijskog sistema je i sintetizator frekvencija. Sintetizator frekvencija ima zadatku da na osnovu signala iz stabilnog oscilatora generiše veliki broj frekvencija na svom izlazu.

Postavka zadatka:

Student ima zadatku da kratko opiše princip rada frekvencijskog sintetizatora i načine njegove realizacije. Za odabranu realizaciju sintetizatora frekvencija potrebno je izvršiti projektovanje jednog sintetizatora frekvencija, te po mogućnosti istu realizirati na dostupnoj opremi u laboratoriji za radiotehniku.

Koncept i metode rješavanja:

Za potrebe projektovanja samog sistema studentu se preporučuje korištenje Simulink ili Quartus razvojnog okruženja. Dok se za praktičnu realizaciju preporučuje korištenje dostupne opreme u laboratoriji za radiotehniku. Rad se okvirno sastoji iz dva dijela, i to teorijskog i praktičnog dijela. U teorijskom dijelu student će opisati princip rada sintetizatora frekvencija, te dati prijedlog jedne njegove realizacije. U praktičnom dijelu rada student će pokušati realizirati model sintetizatora opisan u teorijskom dijelu.

Literatura:

- [1] M. Rice, Digital Communications: A Discrete-Time Approach, Prentice Hall, New Jersey, 2008
- [2] I.Kostić, Radiotehnički sklopovi i arhitekture – Problemi, rešenja i komentari. Akademска misao, Beograd, 2013.

doc. dr Pamela Njemčević, dipl. ing. el.

Izjava o autentičnosti radova

Završni rad I ciklusa studija

Ime i prezime: Habib Sarajlić

Naslov rada: Sintetizator frekvencija

Vrsta rada: Završni rad Prvog ciklusa studija

Broj stranica: 27

Potvrđujem:

- da sam pročitao dokumente koji se odnose na plagijarizam, kako je to definirano Statutom Univerziteta u Sarajevu, Etičkim kodeksom Univerziteta u Sarajevu i pravilima studiranja koja se odnose na I i II ciklus studija, integrirani studijski program I i II ciklusa i III ciklus studija na Univerzitetu u Sarajevu, kao i uputama o plagijarizmu navedenim na web stranici Univerziteta u Sarajevu;
- da sam svjestan univerzitetskih disciplinskih pravila koja se tiču plagijarizma;
- da je rad koji predajem potpuno moj, samostalni rad, osim u dijelovima gdje je to naznaceno;
- da rad nije predat, u cjelini ili djelimično, za stjecanje zvanja na Univerzitetu u Sarajevu ili nekoj drugoj visokoškolskoj ustanovi;
- da sam jasno naznačio prisustvo citiranog ili parafraziranog materijala i da sam se referirao na sve izvore;
- da sam dosljedno naveo korištene i citirane izvore ili bibliografiju po nekom od preporučenih stilova citiranja, sa navođenjem potpune reference koja obuhvata potpuni bibliografski opis korištenog i citiranog izvora;
- da sam odgovarajuće naznačio svaku pomoć koju sam dobio pored pomoći mentora i akademskih tutora/ica.

Sarajevo, septembar 2019.

Potpis:

Habib Sarajlić

Sadržaj

Popis slika	v
Popis tabela	vi
1 Uvod	1
2 Analiza rada i simulacija DDS modela sintetizatora frekvencija	2
2.1 Analiza rada DDS modela sintetizatora frekvencija	2
2.1.1 Fazni akumulator	3
2.1.2 Kvantizator	5
2.1.3 <i>Dithering</i>	6
2.1.4 Generator Gausovog šuma	7
2.1.5 <i>Lookup</i> tabela	9
2.1.6 Simetrija sinusnog valnog oblika	9
2.2 Definisanje parametara DDS modela sintetizatora frekvencija	10
2.3 Simulink model sintetizatora frekvencija	10
2.4 Analiza rezultata simulacije	11
3 Praktična realizacija i mjerena	14
3.1 Potrebna oprema i šema spajanja	14
3.2 AD/DA konvertor	15
3.3 Elementi sintetizatora frekvencija u FPGA izvedbi	17
3.3.1 Sklop za selekciju frekvencije	17
3.3.2 Fazni akumulator	18
3.3.3 Kvantizator	18
3.3.4 Sklop za <i>dithering</i> i generator šuma	19
3.3.5 Sklop za generisanje ulaza u <i>lookup</i> tabelu u cilju iskorištenja simetrije sinusa . .	19
3.3.6 <i>Lookup</i> tabela	20
3.4 Rezultati i mjerena	21
4 Zaključak	24
Prilozi	25
A	26
A.1 Dio datasheeta Altera AD/DA kartice	26
Literatura	27

Popis slika

2.1	Blok shema <i>DDS</i> modela sintetizatora frekvencija	2
2.2	Vizualizacija vrijednosti u faznom akumulatoru	4
2.3	Blok šema faznog akumulatora	4
2.4	Signal na izlazu faznog akumulatora. $f_{out} = 1MHz$	4
2.5	Signal na izlazu faznog akumulatora. $f_{out} = 10MHz$	5
2.6	Blok shema <i>DDS</i> modela sintetizatora frekvencija	6
2.7	Greška kvantizacije bez <i>ditheringa</i>	7
2.8	Greška kvantizacije sa <i>ditheringom</i>	7
2.9	Generator pseudoslučajne (PN) sekvence	8
2.10	Autokorelacijska funkcija PN sekvence dužine u ovisnosti od parametra N	8
2.11	Blok šema sintetizatora frekvencija sa iskorištavanjem simetrije sinusa	10
2.12	Shema sintetizatora frekvencija bez <i>ditheringa</i>	10
2.13	SNR za različite vrijednosti parametara W i D dobijen pokretanjem simulacije modela prikazanog na slici 2.12.	11
2.14	Shema sintetizatora frekvencija sa <i>ditheringa</i>	11
2.15	Spektar signala frekvencije $f = 430kHz$ bez <i>ditheringa</i> . $SNR = 36dB$	12
2.16	Spektar signala frekvencije $f = 430kHz$ sa <i>ditheringom</i> . $SNR = 43dB$	12
2.17	Vremenski oblik signala frekvencije $f = 430kHz$ bez <i>ditheringa</i>	13
2.18	Vremenski oblik signala frekvencije $f = 430kHz$ sa <i>ditheringom</i>	13
3.1	Šema spajanja komponenti FPGA sintetizatora frekvencija	15
3.2	Prikaz <i>AD/DA</i> konvertora	15
3.3	Blok šema <i>AD/DA</i> konvertora	15
3.4	Sklop za <i>debouncing</i>	18
3.5	Sklop za selekciju frekvencije nakon sinteze	18
3.6	Izgled faznog akumulatora nakon sinteze <i>VHDL</i> koda	18
3.7	Kvantizator u <i>FPGA</i> izvedbi. MSB 23. bit i 6.bit	19
3.8	Sklop za dithering nakon sinteze	19
3.9	D-flip flop nakon sinteze	19
3.10	<i>FPGA</i> izvedba sklopa za iskorištenje simetrije sinusa.	20
3.11	Dio <i>lookup</i> tabele koji određuje stanje izlaznog MSB bita	20
3.12	Altera kartica i PicoScope	21
3.13	Mjerenje parametara signala na izlazu sintetizatora frekvencija	21
3.14	Vremenski oblik signala frekvencije $f = 430 kHz$	22
3.15	Spektar signala frekvencije $f = 430 kHz$ bez upotrebe <i>ditheringa</i> . $SNR = 32 dB$	22
3.16	Spektar signala frekvencije $f = 430 kHz$ sa upotrebotom <i>ditheringa</i> . $SNR = 40.3 dB$	23
3.17	Spektar signala frekvencija sa korakom $f_{korak} = 10 kHz$ i uključenom opcijom <i>hold max</i> na analizatoru spektra	23
A.1	Šema spajanja DAC na Altera AD/DA kartici	26

Popis tabela

2.1	Trobitni <i>unsigned</i> zapis uzoraka faze	5
2.2	Tabela primitivnih polinoma	9
2.3	Parametri za simulaciju <i>DDS</i> sintetizatora frekvencija	10
3.1	Parametri za praktičnu realizaciju <i>DDS</i> sintetizatora frekvencija	14
3.2	Opis važnijih oznaka na ploči AD/DA konvertora	16
3.3	Kratkospojnici	17
3.4	Pregled korištenih prekidača	17

Poglavlje 1

Uvod

Sintetizator frekvencija je elektronski sklop koji generiše opseg frekvencija iz jedne referentne frekvencije. Sintetizatori frekvencija koriste se na mnogim modernim uređajima kao što su radio prijemnici, televizori, mobilni telefoni, radiotelefoni, voki-tokiji, satelitski prijemnici i GPS sistemi. Za generisanje frekvencija sintezator može koristiti tehnike [1]:

- umnožavanja frekvencija,
- podjele frekvencija,
- direktnu digitalnu sintezu (*DDS*) i
- PLL petlje.

Stabilnost i tačnost frekvencije na izlazu sintetizatora odnosi se na stabilnost i tačnost frekvencije referentnog oscilatora. Zbog toga sintetizatori frekvencija zahtijevaju referentne signale stabilne i tačne frekvencije poput onih koje generiše kristalni oscilator.

U ovom radu fokus će biti na projektovanju sintetizatora frekvencija zasnovanog na direktnoj digitalnoj sintezi i to na *FPGA* tehnologiji. Field-Programmable Gate Array (*FPGA*) je integrirani krug koji je dizajniran da bude konfigurisan od strane kupca ili dizajnera nakon proizvodnje. Otuda i termin "field-programmable". Konfiguracija *FPGA* općenito se specificira korištenjem jezika za opis hardvera HDL (*Hardware Description Language*).

FPGA sadrži niz programabilnih logičkih blokova i hijerarhiju rekonfigurabilnih interkonekcija koji omogućavaju blokovima da budu spojeni tako da možemo imati mnogo logičkih krugova koji mogu biti ožičeni u različitim konfiguracijama. Logički blokovi se mogu konfigurisati za izvođenje složenih kombinacijskih funkcija. U većini *FPGA*-ova logički blokovi uključuju i memorijske elemente, koji mogu biti jednostavnii flip-flopovi ili kompletniji blokovi memorije.

FPGA čip, Cyclone EP4CE115, ugrađen na razvojnoj ploči Altera DE2-115 sadrži 114.480 logičkih elemenata (LE) i najveći je od ponuđenih u Cyclone IV E seriji. Posjeduje RAM brzine do 3,9 Mbps i 266 multiplikatora. Pored toga, potrošnja ovog čipa je znatno smanjena u odnosu na prethodne generacije Cyclone čipova. Ovaj čip ćemo koristiti za potrebe praktične realizacije frekvencijskog sintetizatora. Digitalno-analogna (DA) konverzija će biti realizovana pomoću 14-bitne analogno-digitalne/digitalno-analogne (AD/DA) Altera kartice sa brzinom od 250 Msps (Mega Samples Per Second).

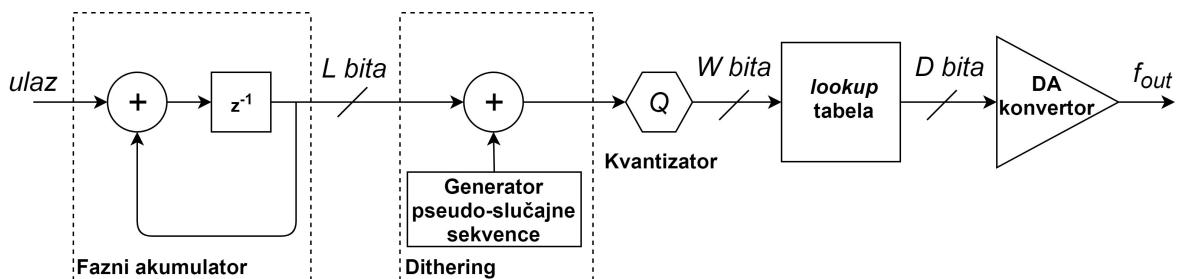
Poglavlje 2

Analiza rada i simulacija DDS modela sintetizatora frekvencija

2.1 Analiza rada DDS modela sintetizatora frekvencija

Slika 2.1 prikazuje DDS model sintetizatora frekvencija. DDS model sintetizatora frekvencija se sastoji iz 5 primarnih dijelova, i to [2]:

- faznog akumulatora,
- sklopa za smanjenje uticaja parazitnih komponenti u spektru signala,
- kvantizatora,
- *lookup* tabele i
- DA konvertora.



Slika 2.1: Blok shema DDS modela sintetizatora frekvencija

Sintetizator frekvencija na svom izlazu treba da generiše sinusni signal u opsegu frekvencija od f_{min} do f_{max} . Odnos minimalne i maksimalne frekvencije na izlazu DDS modela sintetizatora frekvencija definiše broj bita L kojim su uzorci faze na izlazu iz faznog akumulatora predstavljeni. Odnos minimalne i maksimalne frekvencije na izlazu sintetizatora frekvencija je često velik jer se sintetizatori frekvencija obično koriste kako bi se generisao veliki broj frekvencija na širokom opsegu [1]. Uzorci na izlazu faznog akumulatora predstavljaju trenutnu vrijednost faze sinusnog signala i oni se pretvaraju u trenutnu vrijednost amplitude signala pomoću *lookup* tabele koja sadrži unaprijed izračunate vrijednosti amplitude sinusnog signala. Razlog za implementaciju sintetizatora na bazi *lookup* tabele jeste relativno veliko vrijeme koje je potrebno za računanje vrijednosti uzorka amplitude sinusnog signala [2]. Vrijednost amplitude signala se zatim pretvara u analogni signal pomoću DA konvertora. Broj uzorka *lookup* tabele eksponencijalno raste sa brojem bita kojim su predstavljeni uzorci faze na izlazu faznog akumulatora.

Veličina *lookup* tabele značajno doprinosi kompleksnosti i cijeni sklopa te je istu potrebno smanjiti. Taj proces obavlja kvantizator koji veličinu uzorka na izlazu iz faznog akumulatora prilagođava veličini *lookup* tabele. Proces kvantizacije dovodi do pojave neželjenih komponenti u spektru signala.

Postoje tri osnovne metode za smanjenje uticaja neželjenih komponenti u spektru signala [2]:

1. *Error Feedforward*,
2. *Dithering* i
3. *Error Feedback*.

U ovom radu će se koristiti *dithering* metoda za smanjivanje uticaja neželjenih komponenti u spektru signala.

2.1.1 Fazni akumulator

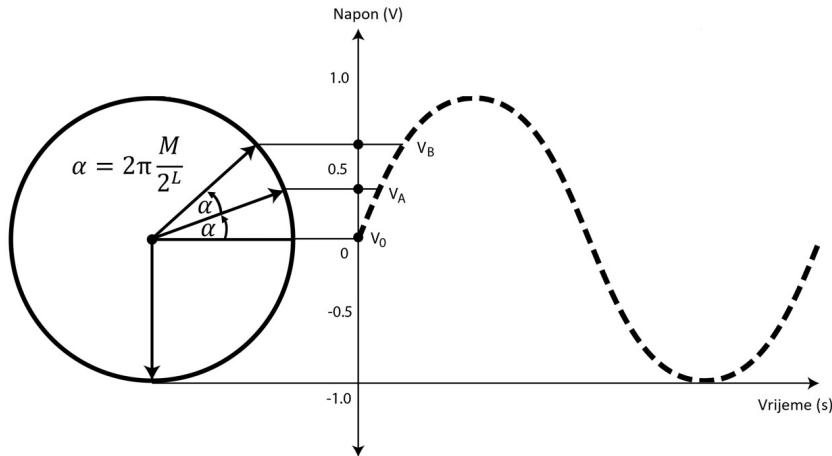
Da bismo razumjeli osnovnu funkciju faznog akumulatora, vizualizirajmo oscilacije sinusnog talasa kao vektor koji se okreće oko faznog kruga (vidi sliku 2.2). Svaka tačka na faznom krugu odgovara ekvivalentnoj tački na ciklusu sinusnog vala. Rotacijom vektora oko centra faznog kruga, koji ujedno predstavlja trenutnu vrijednost faze sinusnog signala, te računanjem sinusa tog ugla dobijamo sinusni valni oblik. Jedna rotacija vektora oko centra, konstantnom brzinom, rezultira jednim potpunim ciklom izlaznog sinusnog talasa. Fazni akumulator daje jednakom raspoređene ugaone vrijednosti koje prate linearno okretanje vektora oko centra. Sadržaj faznog akumulatora odgovara tačkama na ciklusu izlaznog sinusnog talasa. Što je korak M koji vektor prelazi na faznom krugu (slika 2.2) veći, to je frekvencija sinusnog signala veća. Frekvencija izlaznog signala faznog akumulatora se može odrediti kao $f_{out} = \frac{M}{2^L} f_c$, gdje je f_c frekvencija referentnog oscilatora (*clock*). Kako je riječ o diskretnom sistemu, ukupan broj mogućih vrijednosti faze u faznom akumulatoru je konačan i zavisi od broja bita korištenih za reprezentaciju uzorka faznog akumulatora. Uzorci faze su uniformno raspodijeljeni na intervalu $(0, \frac{2\pi}{2^L})$. Fazni akumulator generiše novi uzorak faze svako $T = 1/f_c$ sekundi koji je pomjeren za $2\pi \frac{M}{2^L}$ radijana u odnosu na prethodni uzorak. Što je veća frekvencija *clocka* ili korak M to će frekvencija signala na izlazu faznog akumulatora biti veća. Preciznost faznog akumulatora ovisi o frekventnoj rezoluciji sintetizatora frekvencija i određuje se kao:

$$2^{L-1} = \frac{f_{max}}{f_{min}}, \quad (2.1)$$

gdje je f_{max} najveća frekvencija koju želimo generisati, f_{min} najmanja frekvencija koju želimo generisati.

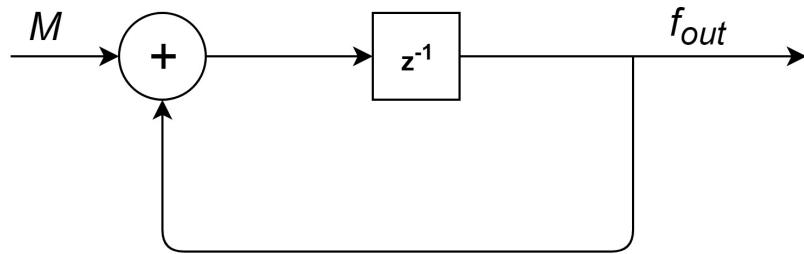
Kao primjer uzet ćemo sintetizator frekvencija sa maksimalnom frekvencijom $f_{max} = 200MHz$ i rezolucijom $0,1Hz$. Tada je:

$$2^{L-1} = \frac{200 \times 10^6}{10^{-1}} = 2 \times 10^9 \rightarrow L = 32. \quad (2.2)$$



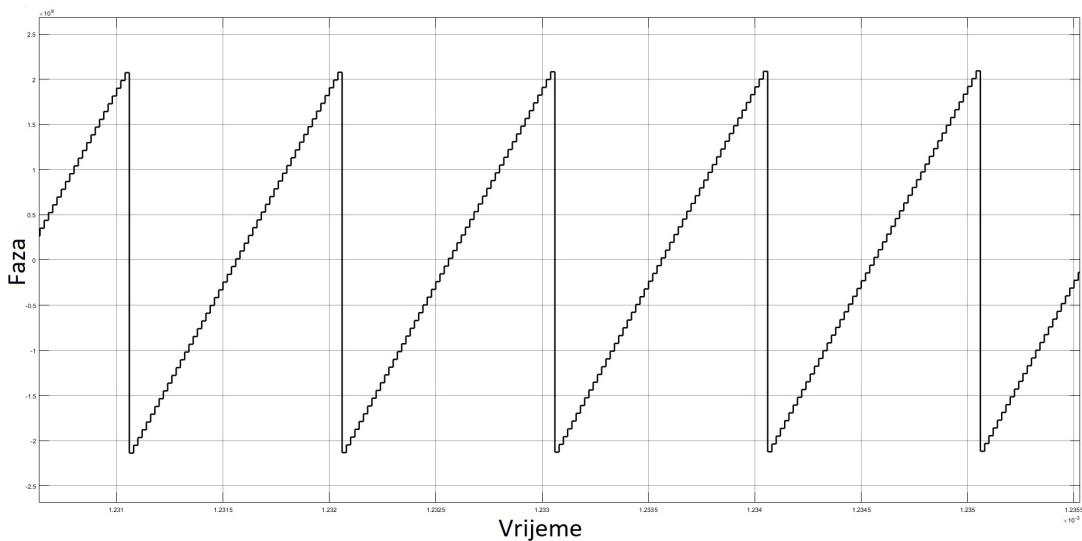
Slika 2.2: Vizualizacija vrijednosti u faznom akumulatoru

Opisana funkcionalnost faznog akumulatora se može relativno jednostavno realizirati. Realizacija faznog akumulatora se u osnovi sastoji od sumatora i elementa za kašnjenje kako prikazuje slika 2.3.



Slika 2.3: Blok šema faznog akumulatora

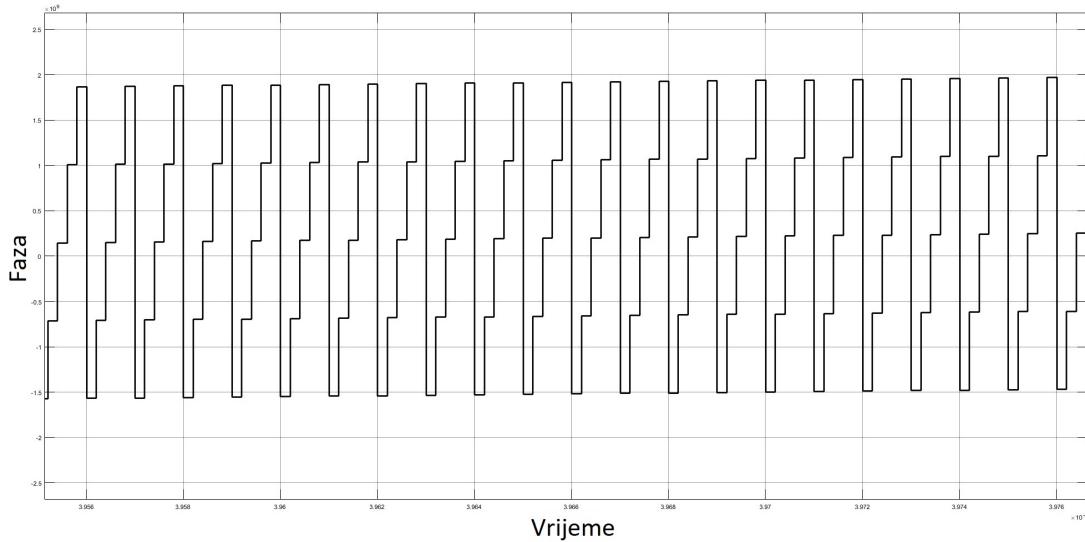
Na slici 2.4 je prikazan signal na izlazu faznog akumulatora za $M = 85,899 \cdot 10^6$ pri $L = 32$. Izlazna frekvencija signala je $f_{out} = 1MHz$.



Slika 2.4: Signal na izlazu faznog akumulatora. $f_{out} = 1MHz$

Na slici 2.5 je prikazan signal na izlazu faznog akumulatora za $M = 858,99 \cdot 10^6$ pri $L = 32$. Izlazna

frekvencija signala je $f_{out} = 10MHz$. Možemo uočiti da povećanjem vrijednosti koraka M dobijamo signal veće frekvencije, ali i sa manjim brojem uzoraka po periodu izlaznog signala.



Slika 2.5: Signal na izlazu faznog akumulatora. $f_{out} = 10MHz$

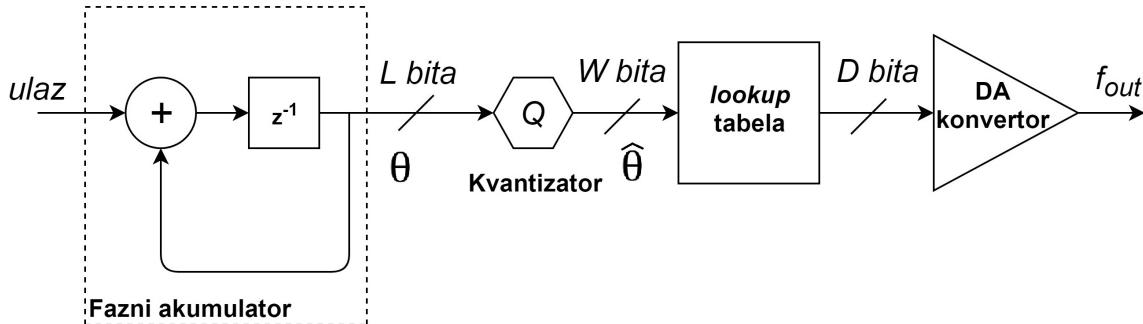
Najčešći način za predstavljanje uzoraka faze u faznom akumulatoru jeste *unsigned* zapis cijelih brojeva. L -bitni *unsigned* zapis cijelog broja se može predstaviti kao $b_0b_1\dots b_{L-1}$. Primamljiva osobina ove metode zapisa uzoraka u faznom akumulatoru jeste način na koji dolazi do *overflowa*, odnosno, do prekoračenja vrijednosti. Možemo primjetiti da dodavanjem nekog broja na maksimalnu vrijednost u faznom akumulatoru dobijamo isti broj umanjen za jedan, odnosno, možemo uočiti da vrijednosti dobijene kontinuiranim sabiranjem brojeva (npr. 1+1+1+..) imaju osobinu periodičnosti. U tabeli 2.1 je prikazan *unsigned* zapis cijelih brojeva.

Binarni zapis	Ekvivalentna vrijednost
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

Tabela 2.1: Trobitni *unsigned* zapis uzoraka faze

2.1.2 Kvantizator

Kvantizator je sklop koji L bitni signal iz faznog akumulatora transformiše u W bitni signal. Proces kvantizacije je neophodan kako bi se smanjila veličina *lookup* tabele. *Lookup* tabela iz prethodnog primjera bi bez kvantizacije imala $2^L = 2^{32} = 4,294,967,296$ zapisa po $D = (14 - 1)$ bita, odnosno $6.5GB$, što je praktično nemoguće realizovati. Pomenuta transformacija se može realizirati odsijecanjem manje značajnih bita što dovodi do pojave neželjenih komponenti u spektru signala, što posljedno narušava SNR. Neželjene spektralne komponente su produkt fazne greške $\delta\theta(n) = \theta(n) - \hat{\theta}(n)$.



Slika 2.6: Blok shema DDS modela sintetizatora frekvencija

Kada je ulaz u kvantizator signal sa konstantnim faznim povećanjem, fazna greška $\delta\theta(n)$ nije slučajna, već je periodična rampa [2]. Kao takva, njen spektar je diskretan i predstavlja izvor parazitnih spektralnih komponenti u spektru sinusnog signala. Lokacija neželjenih komponenti u spektru signala je određena periodom rampe. Amplitude su određene koeficijentima Fourierovog reda i najveća normalizovana amplituda je $A = 2^{-W}$ [2]. Jedan od načina za smanjenje amplitude parazitnih komponenti u spektru signala jeste proces *ditheringa* koji će biti detaljno objašnjen u nastavku.

2.1.3 Dithering

Dithering je tehnika dodavanja pseudo-slučajne sekvene u DDS-u za smanjenje determinističkih neželjenih komponenti u spektru signala. Dodavanjem pseudo-slučajne sekvene u DDS-u, randomizira se greška kvantizacije, čime se smanjuju parazitne komponente u spektru signala i povećava SNR [2]. Analizom grafika 2.7 i 2.8 možemo uočiti da kod procesa kvantizacije bez upotrebe *ditheringa* greška je periodičnog karaktera te se kao takva manifestuje u vidu parazitnih spektralnih linija sa relativno velikom energijom u spektru signala. Signal greške kod procesa kvantizacije sa upotrebom *ditheringa* je randomiziran te je ravnomjerno raspodijeljen na sve komponente u spektru signala, odnosno, energija koju ima vektor greške se ravnomjerno rasporedi po svim spektralnim komponentama. *Dithering* za posljedicu ima virtualno povećanje parametra W za 2 bita [2].

Maksimalna vrijednost amplitute generatora Gausovog šuma treba da bude jednaka amplitudi najveće parazitne komponente u spektru signala, tj. $A = 2^{-W}$, gdje W predstavlja broj bita kvantizatora (pod uslovom da vrijednosti na izlazu faznog akumulatora uzimaju vrijednosti u intervalu $[-1, +1]$) [2]. U modelu sintetizatora koji ćemo mi koristiti vrijednosti na izlazu faznog akumulatora uzimaju vrijednosti na segmentu $[0, 2^L]$ i cijelobrojne su vrijednosti (*unsigned* zapis cijelih brojeva). Da bi model sa *ditheringom* bio ispravan, vrijednost amplitute $A = 2^{-W}$ Gausovog šuma koja vrijedi za uzorce u intervalu $[-1, +1]$ je potrebno prilagoditi cijelobrojnim vrijednostima iz segmenta $[0, 2^L]$. Vrijednost maksimalne amplitute Gausovog šuma za naš model možemo odrediti na sljedeći način:

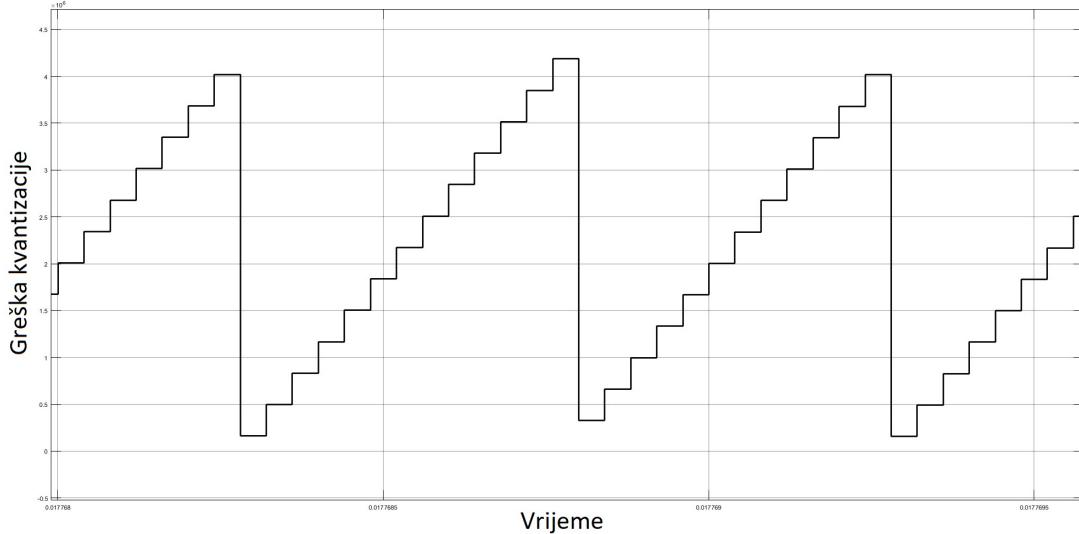
$$\frac{A_x}{A_{\max \text{ cijelobrojno}}} = \frac{A_{\text{generatora decimalno}}}{A_{\max \text{ decimalno}}} \quad (2.3)$$

gdje su:

- A_x - vrijednost amplitute Gausovog generatora šuma u *unsigned* zapisu cijelih brojeva,
- $A_{\max \text{ cijelobrojno}}$ - najveća vrijednost cijelog broja u *unsigned* zapisu cijelih brojeva i iznosi 2^L ,
- $A_{\text{generatora decimalno}}$ - vrijednost amplitute Gausovog generatora šuma u decimalnom zapisu brojeva kojeg je autor knjige [2] koristio i iznosi $A = 2^{-W}$,
- $A_{\max \text{ decimalno}}$ - najveća vrijednost u decimalnom zapisu brojeva kojeg je autor knjige [2] koristio i iznosi 1.0.

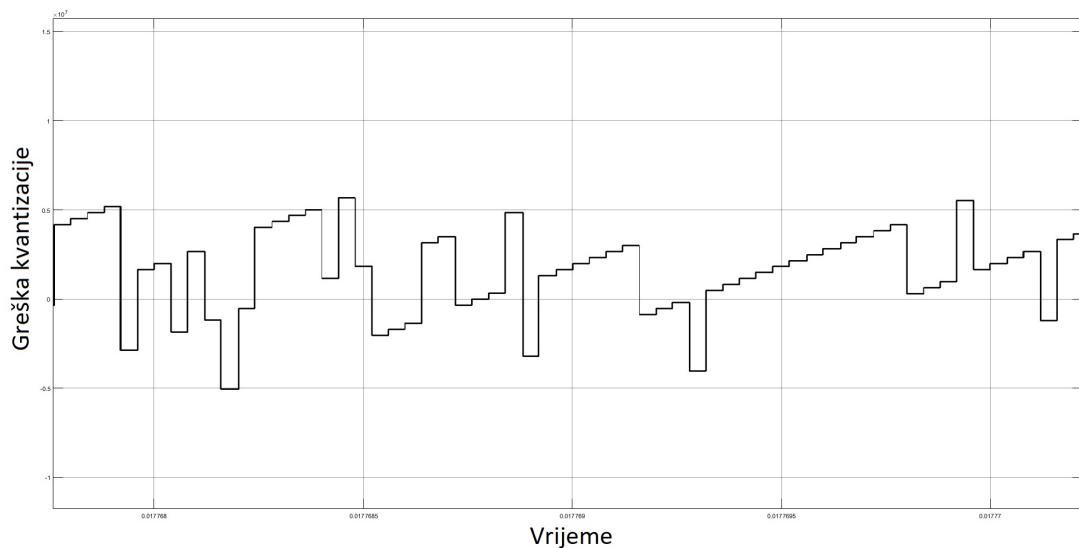
Koristeći relaciju iznad možemo odrediti amplitudu generatora Gausovog šuma za naš model sintetizatora frekvencija:

$$A_x = \frac{2^{-W}}{2^0} 2^L = 2^{L-W}. \quad (2.4)$$



Slika 2.7: Greška kvantizacije bez *ditheringa*

Na slici 2.7 možemo vidjeti da je greška kvantizacije periodičnog karaktera. Sa upotrebom *ditheringa* greška je randomizirana i nema osobinu periodičnosti što možemo zaključiti posmatrajući grafik na slici 2.8. Spektralna karakteristika šuma koji se dodaje na uzorce faze treba da bude ravna, odnosno, da u svom spektru ima zastupljene sve frekvencijske komponente. Jedan od takvih šumova je Gausov (bijeli) šum.

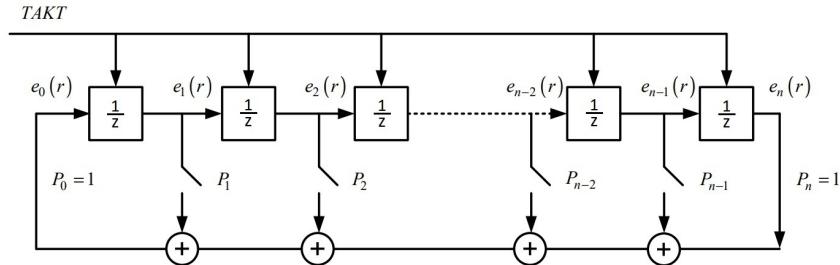


Slika 2.8: Greška kvantizacije sa *ditheringom*

2.1.4 Generator Gausovog šuma

Gausov šum će biti realizovan kao generator pseudo slučajne sekvene koji se sastoji od *shift* registara sa povratnom spregom kao što je prikazano na slici 2.9. Autokorelacijska funkcija ovakvo generisanog

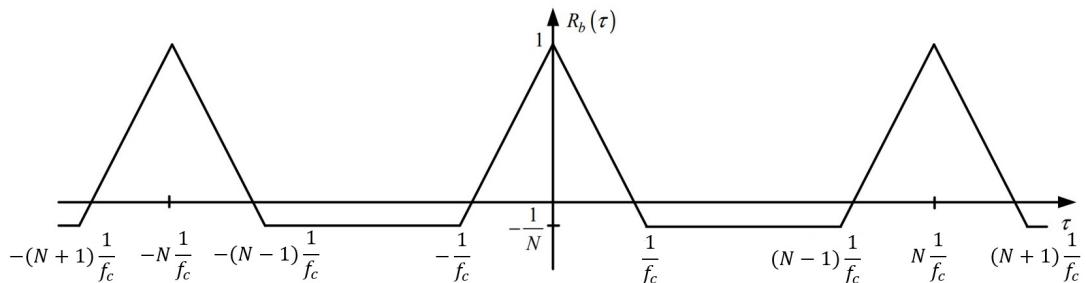
signala je prikazana na slici 2.10. Analizom slike 2.10 možemo uočiti da je ovakav signal slabo korelisan te da se za velike N autokorelacijska funkcija približava *delta* funkciji. Spektralna karakteristika ovakvog signala je ravna na pojasu frekvencija $(0, f_c)$ [3] što je sasvim dovoljno za upotrebu ovakvog generatora šuma u procesu *ditheringa*.



Slika 2.9: Generator pseudoslučajne (PN) sekvene

Generator PN sekvene se sastoji od n D-flip flopova i sabirača po modulu 2 (XOR kola). Početno stanje u generatoru PN sekvene ne smije biti sastavljen od nula (zabranjeno stanje), pa je maksimalan broj različitih stanja registra jednak $2^n - 1$, gdje je n broj shift registara. Karakteristični ili generatorski polinom PN sekvene je: $P_n \cdot D^n + P_{n-1} \cdot D^{n-1} + \dots + P_2 \cdot D^2 + P_1 \cdot D + I = 0$, gdje su sa P_k označena stanja prekidača, a D operator kašnjenja.

Kako bismo generisali sekvencu sa periodom N , tj. sekvencu maksimalne dužine, generatorski polinom mora biti primitivan [4]. U tabeli 2.2 su prikazani primitivni polinomi Galooovog polja reda od 1 do 20.



Slika 2.10: Autokorelacijska funkcija PN sekvene dužine u ovisnosti od parametra N

Stepen (n)	Dužina sekvence ($N = 2^n - 1$)	Primitivni polinom
1	1	$x + 1$
2	3	$x^2 + x + 1$
3	7	$x^3 + x + 1$
4	15	$x^4 + x + 1$
5	31	$x^5 + x^2 + 1$
6	63	$x^6 + x + 1$
7	127	$x^7 + x + 1$
8	255	$x^8 + x^7 + x^2 + x + 1$
9	511	$x^9 + x^4 + 1$
10	1023	$x^{10} + x^3 + 1$
11	2047	$x^{11} + x^2 + 1$
12	4095	$x^{12} + x^6 + x^4 + x + 1$
13	8191	$x^{13} + x^4 + x^3 + x + 1$
14	16383	$x^{14} + x^{10} + x^6 + x + 1$
15	32767	$x^{15} + x + 1$
16	65535	$x^{16} + x^{12} + x^3 + x + 1$
17	131071	$x^{17} + x^3 + 1$
18	262143	$x^{18} + x^7 + 1$
19	524287	$x^{19} + x^5 + x^2 + x + 1$
20	1048575	$x^{20} + x^3 + 1$

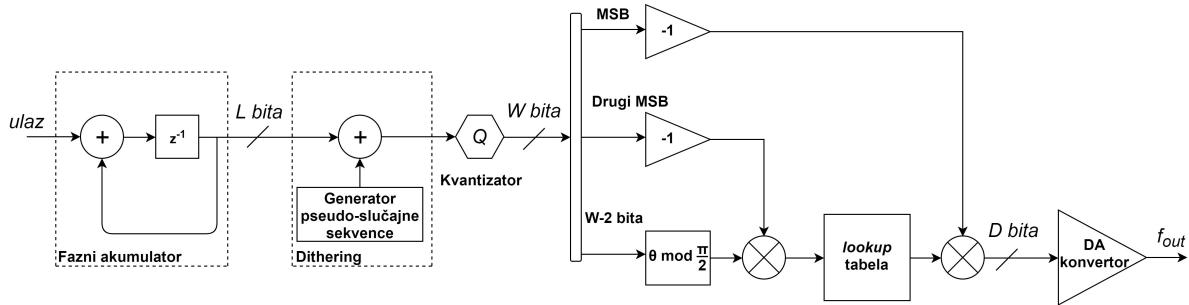
Tabela 2.2: Tabela primitivnih polinoma

2.1.5 *Lookup* tabela

Lookup tabela sadrži niz unaprijed izračunatih vrijednosti pomoću neke matematičke funkcije i predstavlja preslikavanje ulaznih vrijednosti u izlazne vrijednosti po nekom definisanom pravilu. Argument te funkcije predstavlja jednu vrijednost iz skupa svih vrijednosti koje se mogu pojaviti na ulazu *lookup* tabele. Kako je riječ o diskretnom skupu vrijednosti ulaznog signala, odnosno, broj različitih vrijednosti koje se mogu pojaviti na ulazu *lookup* tabele je konačan, to je i niz vrijednosti u *lookup* tabeli konačan. Cilj ovog rada jeste generisanje sinusnog signala željene frekvencije, pa će vrijednosti u *lookup* tabeli biti vrijednosti funkcije $\sin(\theta)$, gdje je θ trenutna vrijednost faze na ulazu *lookup* tabelu.

2.1.6 Simetrija sinusnog valnog oblika

Kako bismo smanjili broj zapisa u *lookup* tabeli, iskoristit ćemo osobinu *overflowa unsigned* zapisa cijelih brojeva i osobinu simetrije sinusa. Na prvi pogled, sinus je simetričan u odnosu na x osu, gdje je pozitivna poluperioda identična negativnoj. Ako u *lookup* tabelu zapišemo samo pozitivne vrijednosti sinusa i ako uspijemo predznak izvući iz uzorka na izlazu iz faznog akumulatora, što je u našem slučaju MSB, tada smanjujemo veličinu *lookup* tabele 2 puta. Analizom valnog oblika sinusnog signala možemo zaključiti da cijeli sinus možemo napraviti koristeći samo vrijednosti sinusa u intervalu $(0, \frac{\pi}{2})$. Iskorištavanjem ove osobine sinusnog signala veličinu *lookup* tabele možemo smanjiti 4 puta.



Slika 2.11: Blok šema sintetizatora frekvencija sa iskorištanjem simetrije sinusa

2.2 Definisanje parametara DDS modela sintetizatora frekvencija

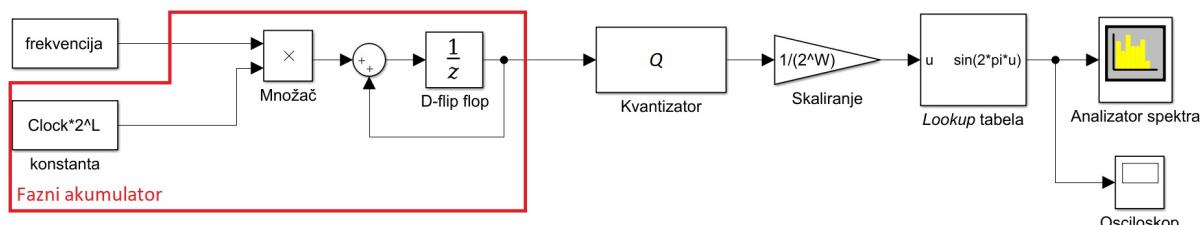
Za potrebe analize rada DDS modela sintetizatora frekvencija razvit ćeemo funkcionalan model sintetizatora u Simulinku. Simulacijom sintetizatora frekvencija utvrdit ćeemo kako parametri L , W , D i A utiču na SNR na izlazu sintetizatora. Maksimalni odnos SNRa DA konvertora koji će biti korišten za praktičnu realizaciju iznosi 60 dB [5] i to će predstavljati osnovno ograničenje pri izboru parametara. Frekvencija oscilatora f_c određuje maksimalnu frekvenciju koju možemo generisati. Poštujući Nyquistov teorem ona iznosi $f_{max} = f_s/2 = f_c/2 = 25\text{ MHz}$ [6]. Za minimalnu frekvenciju koju sklop može generisati ćemo uzeti $f_{min} = 10\text{ Hz}$. Korištenjem relacije (2.1) možemo odrediti parametar L i on iznosi $L = 23$ bita. Parametar W će biti izabran nakon simulacije sintetizatora frekvencija tako da ograničenje po pitanju SNRa DA konvertora bude ispoštovano. Parametri koje ćemo koristiti za simulaciju su dati u tabeli ispod.

Fazni akumulator L [bit]	Kvantizator W [bit]	DA konvertor D [bit]	Generator šuma A [bit]	Frekvencija clocka f_c [MHz]
23	6 do 18	8 do 16	$L - W$	50

Tabela 2.3: Parametri za simulaciju DDS sintetizatora frekvencija

2.3 Simulink model sintetizatora frekvencija

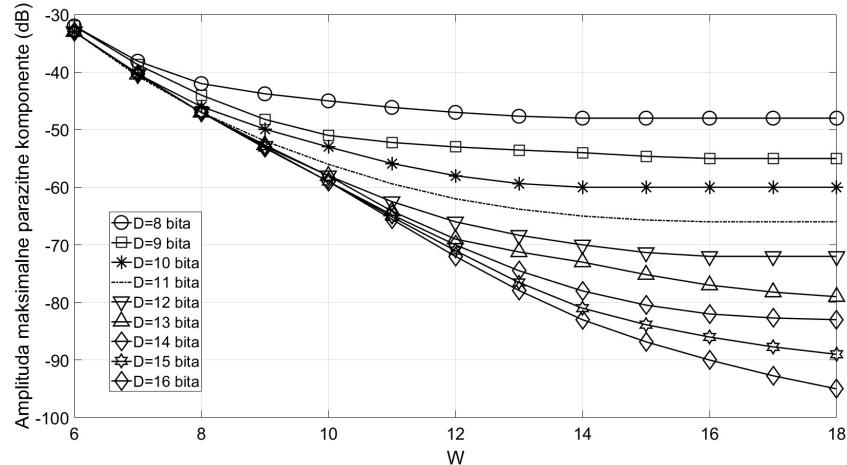
Koristeći shemu priказанu na slici 2.1 kreirat ćemo Simulink model sintetizatora frekvencija. Kako bismo došli do zaključka na koji način proces kvantizacije dovodi do pojave neželjenih komponenti u spektru signala, u ovom modelu ćemo izostaviti proces *ditheringa*. Simulink model sintetizatora frekvencija bez procesa *ditheringa* prikazan je na slici 2.12.



Slika 2.12: Shema sintetizatora frekvencija bez *ditheringa*

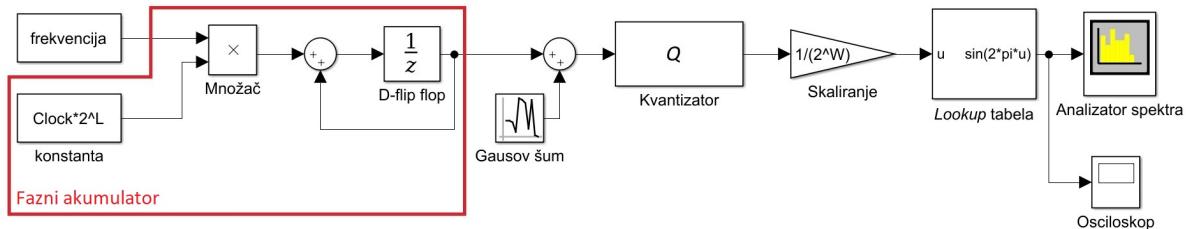
Mijenjanjem parametara W i D koji predstavljaju broj bita korišten za reprezentaciju broja kvantizacijskih nivoa i vrijednosti izlazne riječi iz *lookup* tabele respektivno dolazimo do grafika koji predstavlja

vezu između SNRa i spomenutih parametara na slici 2.13.



Slika 2.13: SNR za različite vrijednosti parametara W i D dobijen pokretanjem simulacije modela prikazanog na slici 2.12.

Nakon analize sintetizatora frekvencija bez procesa *ditheringa* analizirajmo sintetizator frekvencija sa *ditheringom* prikazanog na slici 2.14.



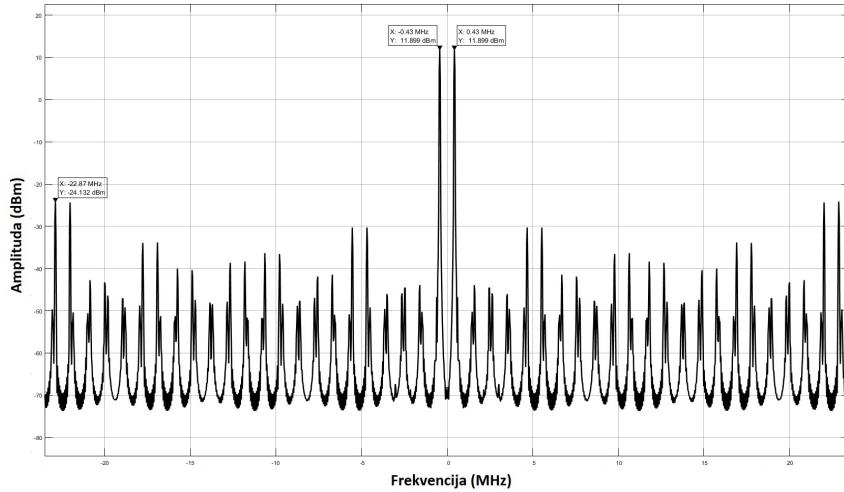
Slika 2.14: Shema sintetizatora frekvencija sa *ditheringom*

Parametri generatora Gausovog šuma u modelu 2.14 su:

- srednja vrijednost signala: 0,
- varijansa signala: $Var(A) = \bar{A}^2 - \bar{A}^2 = (2^{L-W})^2 = 2^{2(L-W)}$.

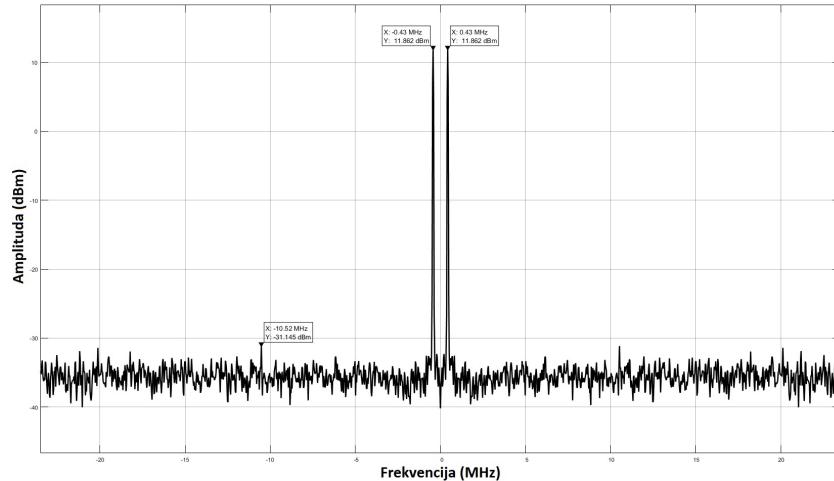
2.4 Analiza rezultata simulacije

Pokretanjem simulacije modela prikazanog na slici 2.12 u spektru signala uočavamo značajno prisustvo neželjenih komponenti koje su posljedica kvantizacije signala na izlazu iz faznog akumulatora. Na slici 2.15 je prikazan spektar signala frekvencije $f = 430\text{kHz}$ sa parametrima $L = 23$, $W = 6$ i $D = 14$ bita.



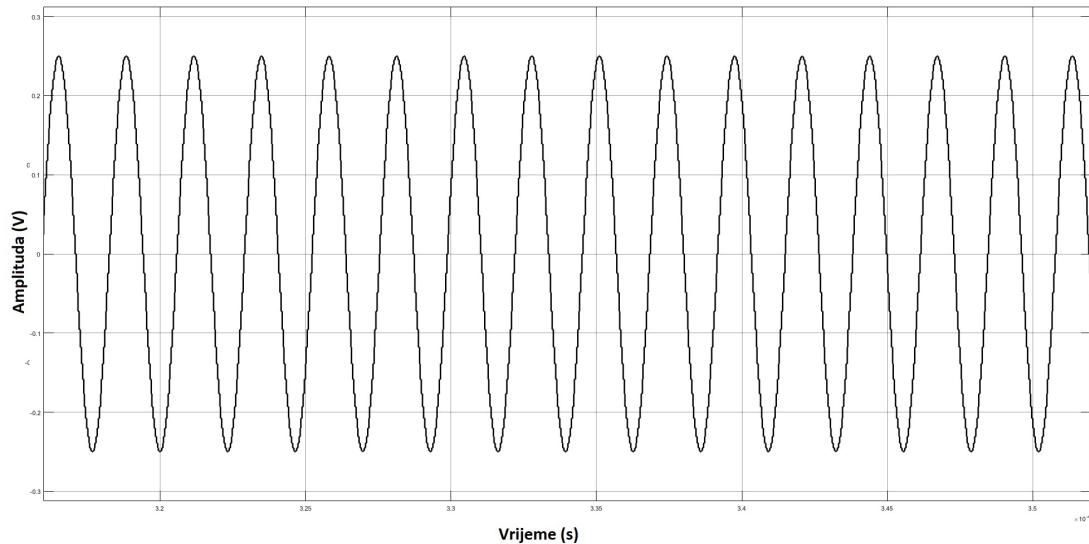
Slika 2.15: Spektar signala frekvencije $f = 430\text{kHz}$ bez *ditheringa*. $\text{SNR} = 36\text{dB}$

Pokretanjem simulacije modela sa *ditheringom* prikazanog na slici 2.14 u spektru signala uočavamo manje prisustvo neželjenih spektralnih komponenti, odnosno dobitak SNR-a od 7 dB . Možemo zaključiti da upotreba *ditheringa* za efekat ima virtuelno povećanje broja bita kojim su predstavljeni uzorci faze, W , što znači da za isti SNR možemo smanjiti veličinu *lookup* tabele za $2^2 = 4$ puta. Na slici 2.16 je prikazan spektar signala frekvencije $f = 430\text{kHz}$ sa parametrima $L = 23$, $W = 6$ i $D = 14$ bita uz korištenje *ditheringa*.

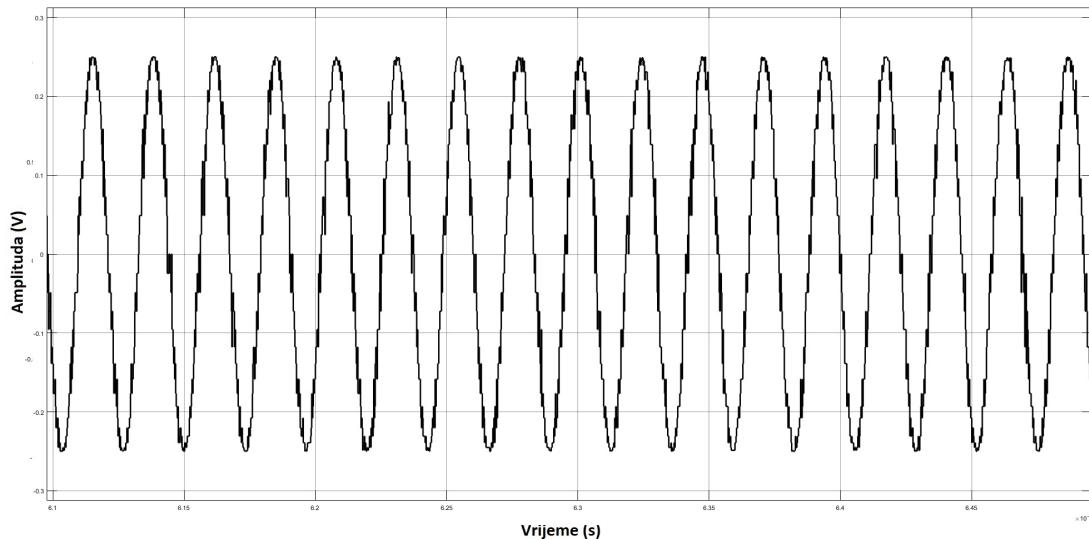


Slika 2.16: Spektar signala frekvencije $f = 430\text{kHz}$ sa *ditheringom*. $\text{SNR} = 43\text{dB}$

Posmatrajući grafik prikazan na slici 2.13 možemo zaključiti da se SNR drastično povećava sa povećanjem broj bita korištenih za predstavljanje vrijednosti faze nakon procesa kvantizacije W , i povećanjem broja bita izlazne riječi *lookup* tabele.



Slika 2.17: Vremenski oblik signala frekvencije $f = 430kHz$ bez *ditheringa*



Slika 2.18: Vremenski oblik signala frekvencije $f = 430kHz$ sa *ditheringom*

Analizom rezultata simulacije u frekventnom i vremenskom domenu možemo zaključiti da SNR signala na izlazu sintetizatora zavisi od broja bita korištenih za reprezentaciju:

- vrijednosti faze u faznom akumulatoru,
- vrijednosti amplitude Gausovog šuma,
- broja nivoa na izlazu iz kvantizatora i
- izlazne riječi iz *lookup* tabele.

Poglavlje 3

Praktična realizacija i mjerena

Cilj DDS sintetizatora frekvencija jeste generisanje sinusnog signala željene frekvencije koristeći isključivo tehnike digitalne obrade signala. U prethodnom poglavlju smo detaljno objasnili princip rada digitalnog sintetizatora frekvencija i uočili parametre koji utiču na odnos signal-šum sinusnog signala. U ovom poglavlju ćemo predstaviti praktičnu realizaciju sintetizatora frekvencija. Analizom slike 2.13 uočavamo da je maksimalan broj bita, poštujući ograničenja SNRa DA konvertora, $W = 10$ bita. Kako korištenje *ditheringa* za posljedicu ima povećanje parametra W za 2 bita, odnosno povećanje SNRa za maksimalno 12dB (vidi sliku 2.13), broj bita W sada postaje $W = 8$ bita (maksimalni SNR sa *ditheringom* i dalje ostaje *60 dB*). S obzirom da realne komponente pri procesu starenja gube svojstva, te dolazi do povećanja faktora šuma sklopa [7], možemo očekivati da je maksimalni odnos SNRa na izlazu DA konvertora manji od *60 dB*. Zbog navedenog problema, za parametar W ćemo uzeti $W = 6$ bita, te je sada maksimalni SNR koji možemo očekivati (uz korištenje *ditheringa*) *45 dB*. Vrijednost maksimalne amplitute šuma ćemo odrediti koristeći relaciju 2.4 i ona iznosi $A = 2^{17}$, odnosno broj bita za predstavljanje uzorka šuma je 17. Parametri koje ćemo koristiti za realizaciju sintetizatora frekvencija su prikazani u tabeli 3.1

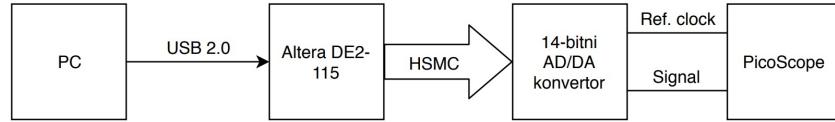
Fazni akumulator L [bit]	Kvantizator W [bit]	DA konvertor D [bit]	Generator šuma $(L - W)$ [bit]	Generatorski polinom $f(x)$	Frekvencija <i>clocka</i> f_c [MHz]
23	6	14	17	$x^{17} + x^3 + 1$	50

Tabela 3.1: Parametri za praktičnu realizaciju DDS sintetizatora frekvencija

3.1 Potrebna oprema i šema spajanja

Za praktičnu realizaciju sintetizatora frekvencija potrebna je sljedeća oprema:

- Altera DE2-115 Developement and Education Board,
- Altera AD/DA Data Conversion Card,
- PicoScope PCSU1000,
- Računar sa instaliranim softverskim alatom Altera Quartus II Web Edition 13.0sp1,
- USB 2.0 kabal,
- 2 koaksijalna kabla karakteristične impedanse 50Ω sa SMA konektorima.

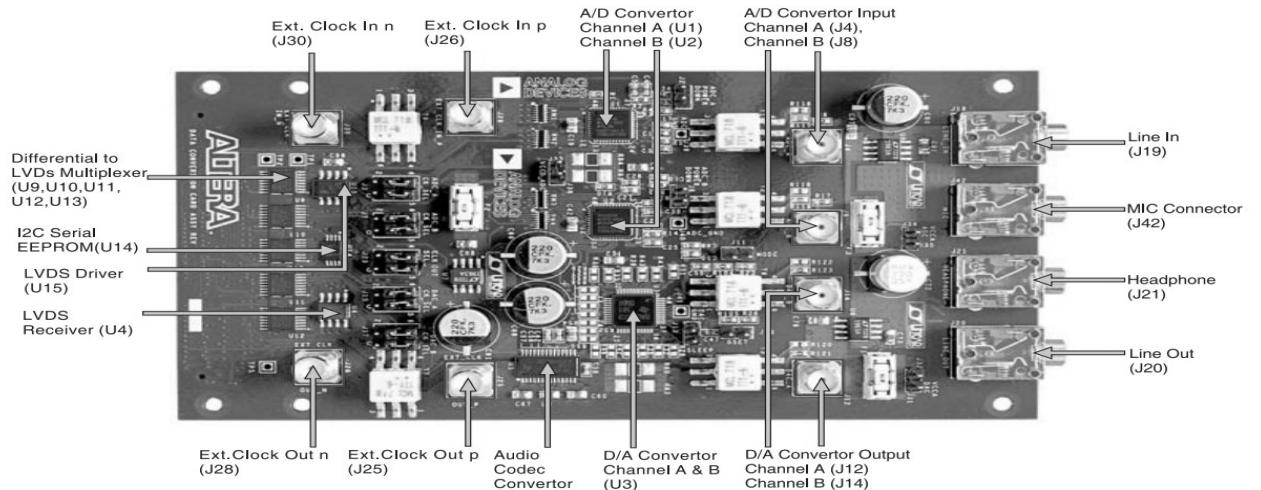


Slika 3.1: Šema spajanja komponenti FPGA sintetizatora frekvencija

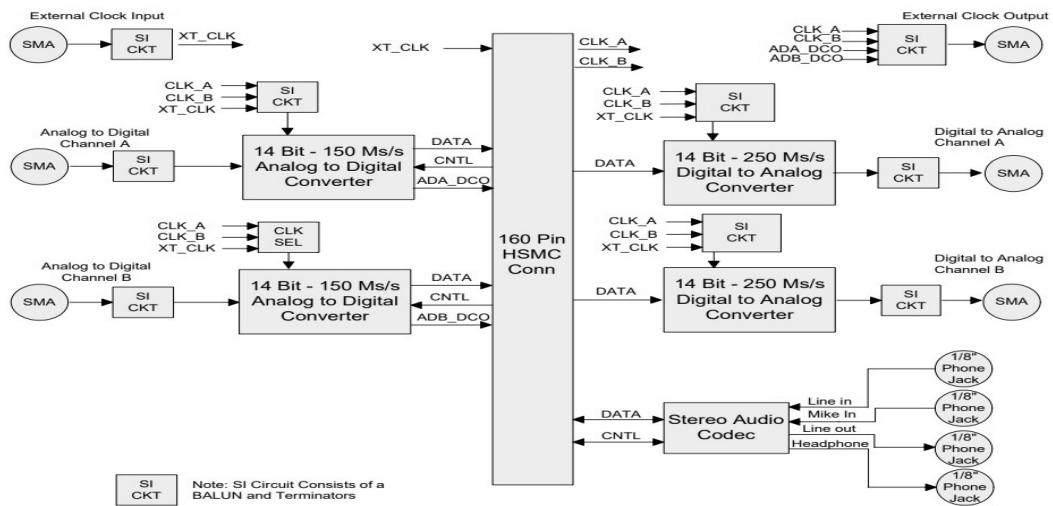
Nakon spajanja šeme i upisivanja programa u *FPGA* chip potrebno je izvršiti konfiguraciju *DA* konvertora.

3.2 AD/DA konvertor

Na slici 3.2 je prikazan izgled *AD/DA* konvertora koji ćemo koristiti za realizaciju sintetizatora frekvencija. Obzirom da Altera *AD/DA* kartica sadrži 2 *AD* i 2 *DA* konvertora, mi ćemo za ovaj rad iskoristiti samo 1 *DA* konvertor. Sa slike 3.2 vidimo da se SMA konektor, označen sa J12, koristi kao izlaz iz *DA* konvertora (kanal A). U tabeli 3.2 su dodatno pojašnjene oznake na ploči.



Slika 3.2: Prikaz AD/DA konvertora



Slika 3.3: Blok šema AD/DA konvertora

Oznaka na ploči	Naziv	Opis
J3 (Kanal A) J7 (Kanal B)	Selekcija izvora clocka za AD konvertor	Kontroliše koji od 3 ulazna clock signala (FPGA clock, A, B, ili eksterni SMA clock, će biti povezani na AD konvertor
J2 (Kanal A) J6 (Kanal B)	Kratkospojnik za gašenje kanala A/B	Kontroliše da li će AD konvertor biti upaljen ili ugašen
J15 (Kanal A) J17 (Kanal B)	Selekcija izvora clocka za DA konvertor	Kontroliše koji od 3 ulazna clock signala (FPGA clock, A, B, ili eksterni SMA clock, će biti povezani na DA konvertor
J11	Kratkospojnik za izbor moda	Kontroliše da li će DA konvertor raditi u dual bus modu ili interleaved modu
J10	Kratkospojnik za postavljanje pojačanja	Kontroliše da li će pojačanje DA konvertora biti postavljeno sa jednim ili 2 otpornika
J13	Kratkospojnik za odbir sleep moda	Kontroliše da li će DA konvertor biti upaljen ili ugašen
J23	Kratkospojnik za odbir izvora izlaznog clocka	Selektuje koji od 4 ulazna clocka (FPGA clock A, B, ili AD converter Data Clock Output) je rutiran na SMA clock out (J28)
J26 (Externi ulazni clock -p) J30 (Externi ulazni clock -n)	SMA konektori za externi ulazni clock	SMA konektori za diferencijalni ulazni clock
J25 (Externi ulazni clock -p) J28 (Externi ulazni clock -n)	SMA konektori za externi ulazni clock	SMA konektori za diferencijalni ulazni clock
U1 (Kanal A) U2 (Kanal B)	AD konvertor	Analog Devices AD8254. 14bit, 150MS/s Analog to Digital converter
J4 (Kanal A) J8 (Kanal B)	SMA ulazi za AD konvertor	SMA konvertori koji su spojeni na ulaz AD konvertora
U3 (Kanal A i B)	DA konvertor	Texas Instruments DAC5672. 14 bit, 175 MS/s Digital to Analog converter
J12 (Kanal A) J14 (Kanal B)	SMA izlazi iz DA konvertora	SMA konvertori koji su spojeni na izlaz DA konvertora
U5	Audio CODEC	Texas Instruments TLV320AK23. Stereo Audio CODEC, 96KHz, with integrated headphone amplifier

Tabela 3.2: Opis važnijih oznaka na ploči AD/DA konvertora

Da bi DA konvertor, označen sa U3, bio pravilno podešen, potrebno je pravilno pozicionirati kratkospojnike na ploči. U tabeli 3.3 su date pozicije kratkospojnika koji će omogućiti pravilan rad DA konvertora.

Kratkospojnik	Pozicija	Opis
J15 (Kanal A)	Pinovi 3 i 5, Pinovi 4 i 6	Izbor FPGA_CLK_A_P i FPGA_CLK_A_N kao clocka za DA konvertor
J11	OFF	Dual bus mode
J10	OFF	Pojačanje kanala A i B je podešeno preko Rset.
J13	OFF	DA konvertor upaljen.
J23	Pinovi 3 i 5, Pinovi 4 i 6	Izbor FPGA_CLK_A_P i FPGA_CLK_A_N kao izlaznog clocka

Tabela 3.3: Kratkospojnici

U tabeli 3.4 su prikazani korišteni prekidači i njihova funkcija.

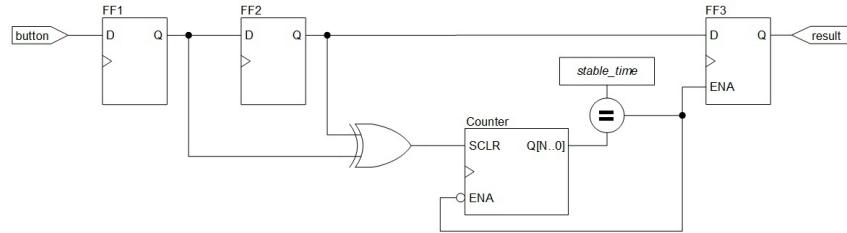
Prekidač	Funkcija
KEY 0	Taster za reset sklopa
KEY 1	Taster za smanjivanje frekvencije
KEY 3	Taster za povećavanje frekvencije
SW 0	Prekidač za uključivanje ditheringa

Tabela 3.4: Pregled korištenih prekidača

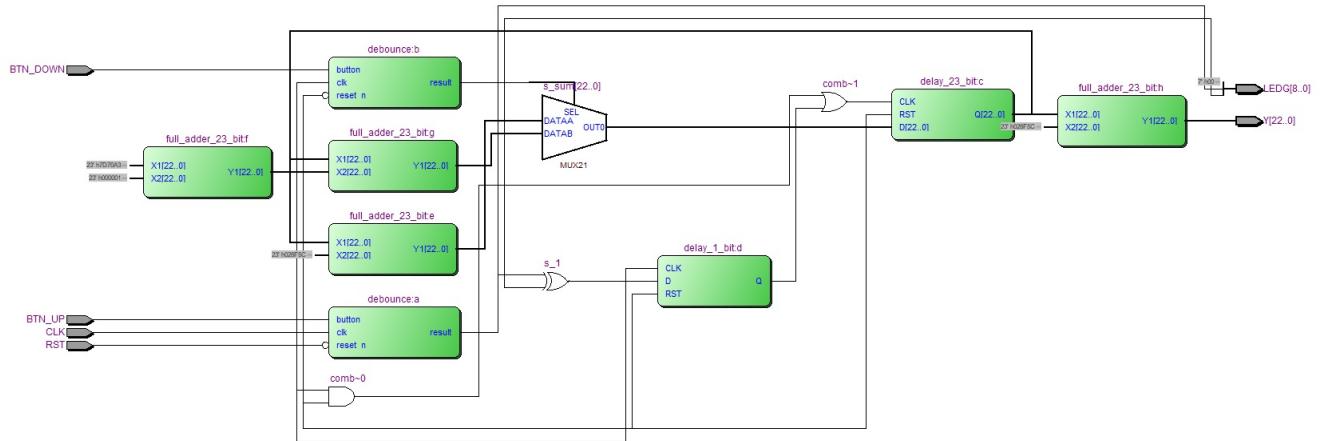
3.3 Elementi sintetizatora frekvencija u FPGA izvedbi

3.3.1 Sklop za selekciju frekvencije

Korištenje mehaničkih tastera za korisničku interakciju sa elektronskim uređajima je sveprisutna praksa. Međutim, nakon pritiska pomenutih tastera, kontakti često odskaču ili se odbijaju jedan od drugog (*bouncing*) prije nego što uđu u stabilno stanje te na taj način proizvede kratkotrajni niz impulsa i lažnih stanja koje elektronski skloovi mogu protumačiti kao ispravno stanje te pogrešno reagovati. Zbog neželjenih efekata realnih tastera sklop sadrži kolo za *debouncing* za svaki taster koji će isfiltrirati lažne impulse te na svom izlazu dati pravo stanje prekidača. Blok šema koja opisuje rad kola za *debouncing* je prikazana na slici 3.4. Kolo za selekciju frekvencije koristi D-flop flop kao memorijski element za čuvanje vrijednosti trenutne frekvencije. Sljedeća vrijednost frekvencije (vrijednost nakon pritiska tastera za povećanje/smanjenje frekvencije) se formira pomoću 2 sabirača. Izlaz prvog sabirača je vrijednost frekvencije veća za vrijednost inkrementa definisanog u kodu od trenutne frekvencije, a izlaz drugog sabirača je vrijednost frekvencije manja za vrijednost inkrementa od trenutne frekvencije. Jedan od izlaza ova dva sumatora se dovodi na ulaz D-flip flopa kao sljedeća vrijednost frekvencije, odnosno vrijednost frekvencije nakon pritiska tastera. 23 bitni 2x1 multipleks određuje koja od vrijednosti će biti poslana na ulaz D-flip flopa pomoću stanja tastera. Signal *clocka* za D-flip flop je formiran kao *xor* vrijednost stanja tastera 1 i tastera 2. Kada je bilo koji taster pritisnut, na ulaz D-flip flop je stanje logičke 1 (*rising edge* u trenutku pritiska tastera) i D-flip flop na svoj izlaz proslijedi novu vrijednost frekvencije. Važno je napomenuti da je signal *clocka* za D-flip flop zakašnjen za jedan sistemski takt kako bi se vrijednost na izlazu multipleksera potpuno formirala te kako ne bi došlo do proslijedivanja netačne vrijednosti na izlaz D-flip flopa.



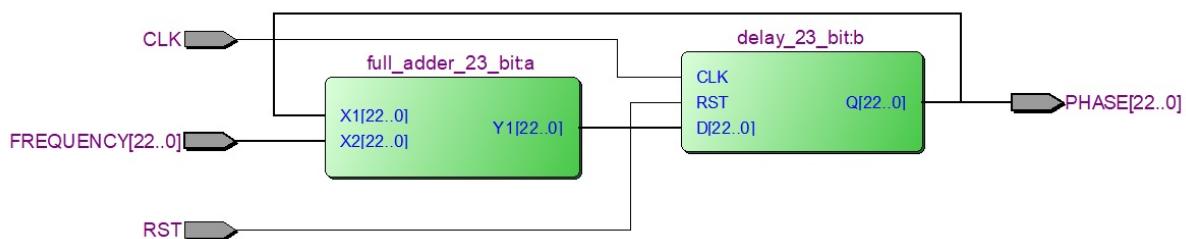
Slika 3.4: Sklop za *debouncing*



Slika 3.5: Sklop za selekciju frekvencije nakon sinteze

3.3.2 Fazni akumulator

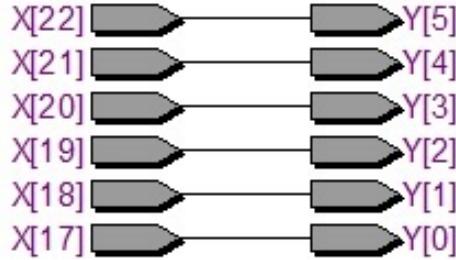
Fazni akumulator na FPGA čipu ćemo realizovati koristeći L bitne D-flip flopove i L bitni puni sumator. Možemo uočiti da su za predstavljanje ulazne i izlazne riječi faznog akumulatora iskorištena 23 bita, te da memorjski element osim osnovnih signala ima i signal reset koji služi za pravilnu inicijalizaciju memorije pri pokretanju sklopa. Element za kašnjenje je realizovan kao D-flip flop koji reaguje na uzlaznu ivicu *clock* signala, tj. na svoj izlaz proslijedi izračunati uzorak faze svako $T_c = 1/f_c$.



Slika 3.6: Izgled faznog akumulatora nakon sinteze VHDL koda

3.3.3 Kvantizator

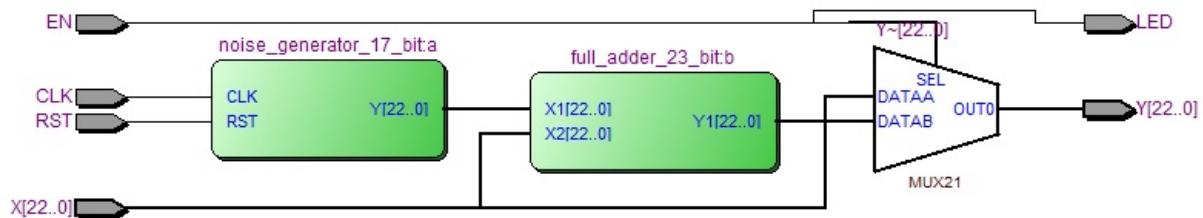
Kvantizator diskretne sekvence na izlazu faznog akumulatora najlakše je izvesti odsijecanjem manje značajnih bita. Praktična realizacija predstavlja fizičko smanjenje sabirnice sa L raspoloživih linija na W raspoloživih linija, zanemarujući manje značajne bite. U nastavku je prikazana *FPGA* izvedba kvantizatora koji 23 bitne uzorke na izlazu iz faznog akumulatora pretvara u 6 bitne uzorke.



Slika 3.7: Kvantizator u *FPGA* izvedbi. MSB 23. bit i 6.bit

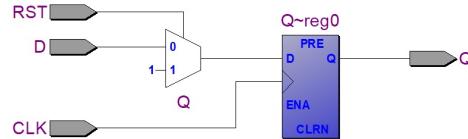
3.3.4 Sklop za *dithering* i generator šuma

Sklop za *dithering* se sastoji od sabirača i izvora šuma. Sklop za *dithering* je prikazan na slici 3.8.



Slika 3.8: Sklop za dithering nakon sinteze

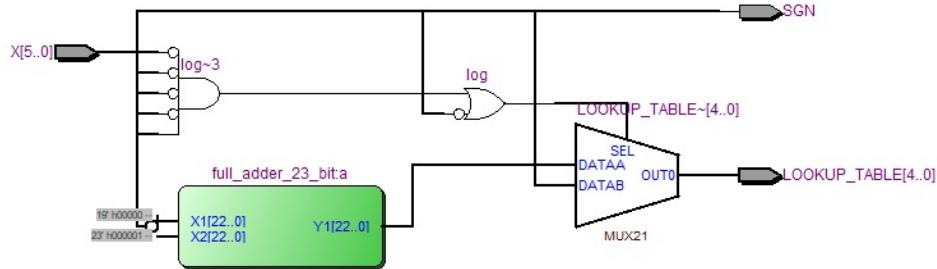
U našem slučaju, generator šuma treba da ima $L - W = 17$ D-flip flopova povezanih u seriju sa povratnom spregom definisanom polinomom $x^{17} + x^3 + 1$ koji čine jedan *shift* registar. D-flip flop je prikazan na slici 3.9.



Slika 3.9: D-flip flop nakon sinteze

3.3.5 Sklop za generisanje ulaza u *lookup* tabelu u cilju iskorištenja simetrije sinusa

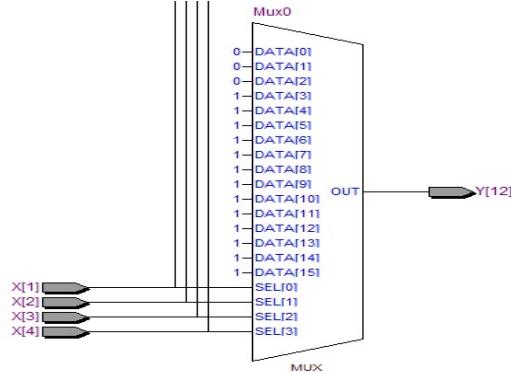
U nastavku je prikazana VHDL izvedba sklopa za iskorištanje simetrije sinusa u cilju redukcije veličine *lookup* tabele. Sklop vrši izdvajanje MSB bita koji predstavlja predznak sinusa. Na osnovu drugog MSB bita se od testerastog signala na ulazu u ovaj sklop formira pilasti signal koji se šalje u *lookup* tabelu. Na ovaj način smo izvršili redukciju veličine *lookup* tabele.



Slika 3.10: *FPGA* izvedba sklopa za iskorištenje simetrije sinusa.

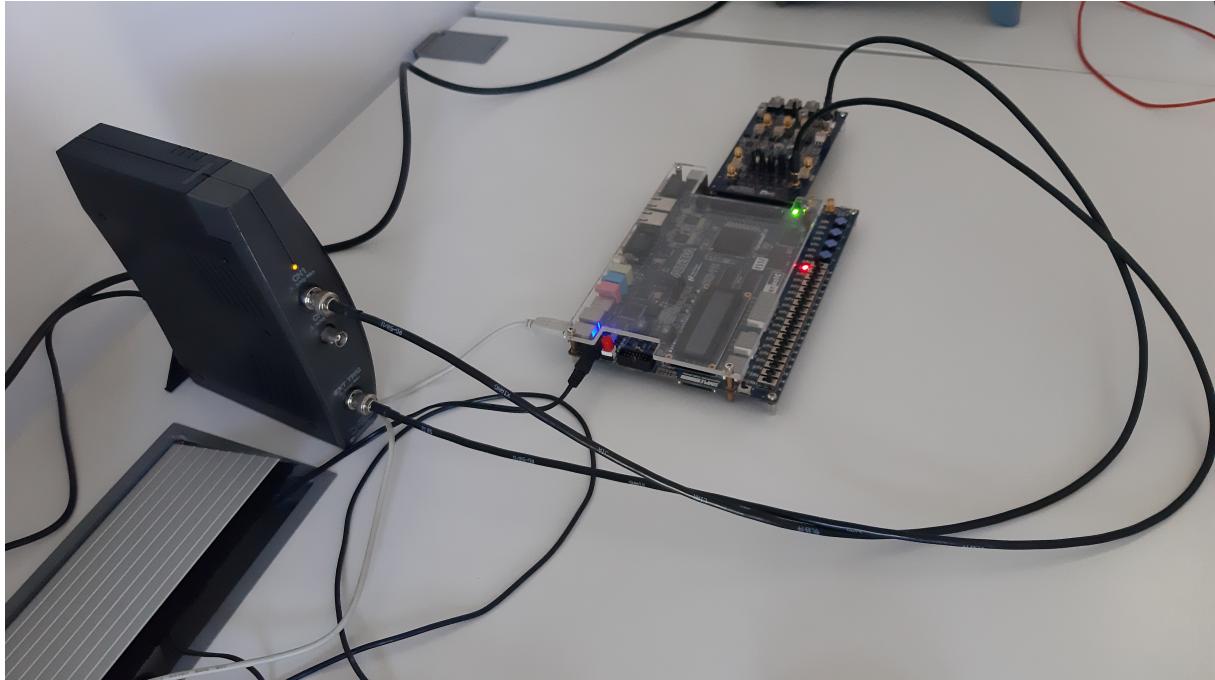
3.3.6 Lookup tabela

Lookup tabela je formirana kao kombinacija multipleksera od kojih svaki multiplekser određuje stanje jednog bita izlaznog signala [8]. U *lookup* tabeli se nalaze unaprijed izračunati uzorci sinusnog signala u intervalu od $[0, \pi/2]$. Broj uzoraka *lookup* tabele je $2^{(W-2)} + 1 = 17$.



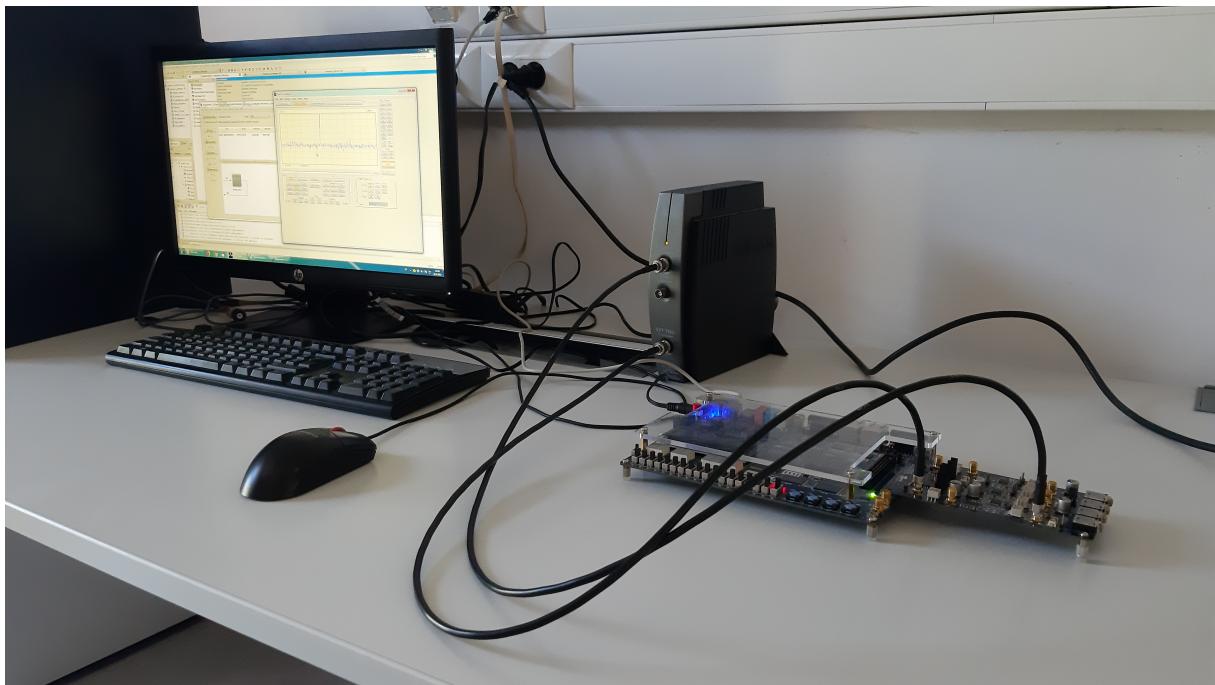
Slika 3.11: Dio *lookup* tabele koji određuje stanje izlaznog MSB bita

3.4 Rezultati i mjerena



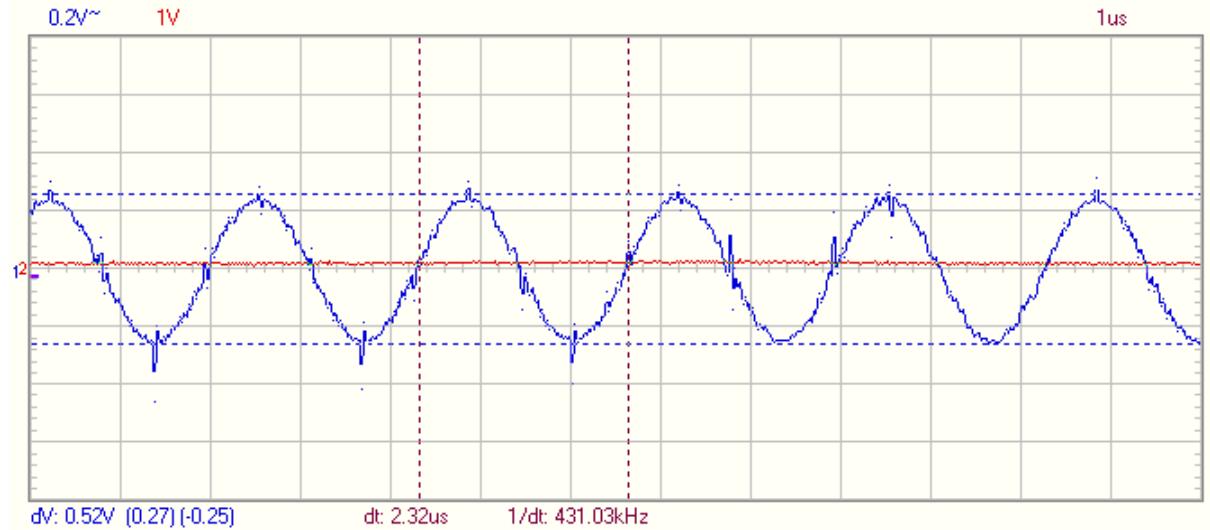
Slika 3.12: Altera kartica i PicoScope

Proces mjerena prikazan je na slici 3.13.

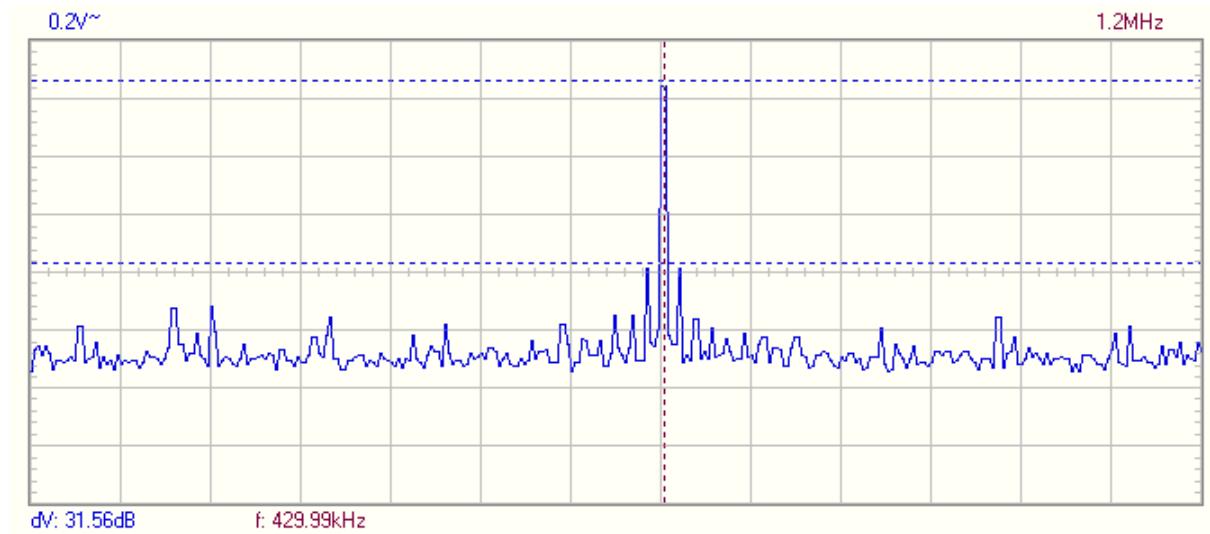


Slika 3.13: Mjerenje parametara signala na izlazu sintetizatora frekvencija

Mjerenjem signala na izlazu sintetizatora frekvencija dolazimo do sljedećih grafika za signal u vremenskom domenu 3.14 i signal u frekventnom domenu 3.15 na frekvenciji $f = 430$ kHz bez upotrebe *ditheringa*.



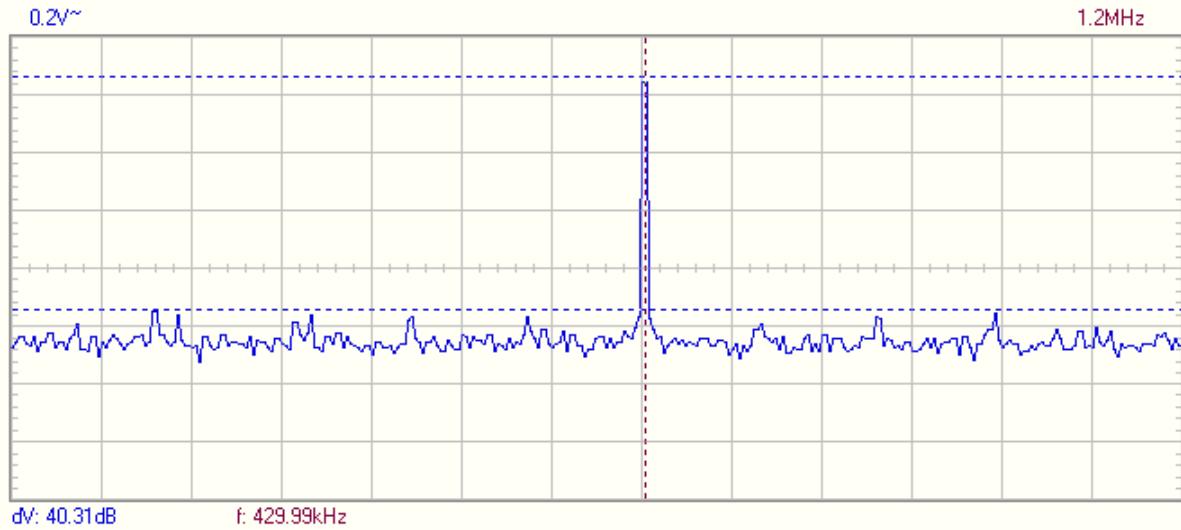
Slika 3.14: Vremenski oblik signala frekvencije $f = 430 \text{ kHz}$



Slika 3.15: Spektar signala frekvencije $f = 430 \text{ kHz}$ bez upotrebe *ditheringa*. $\text{SNR} = 32 \text{ dB}$

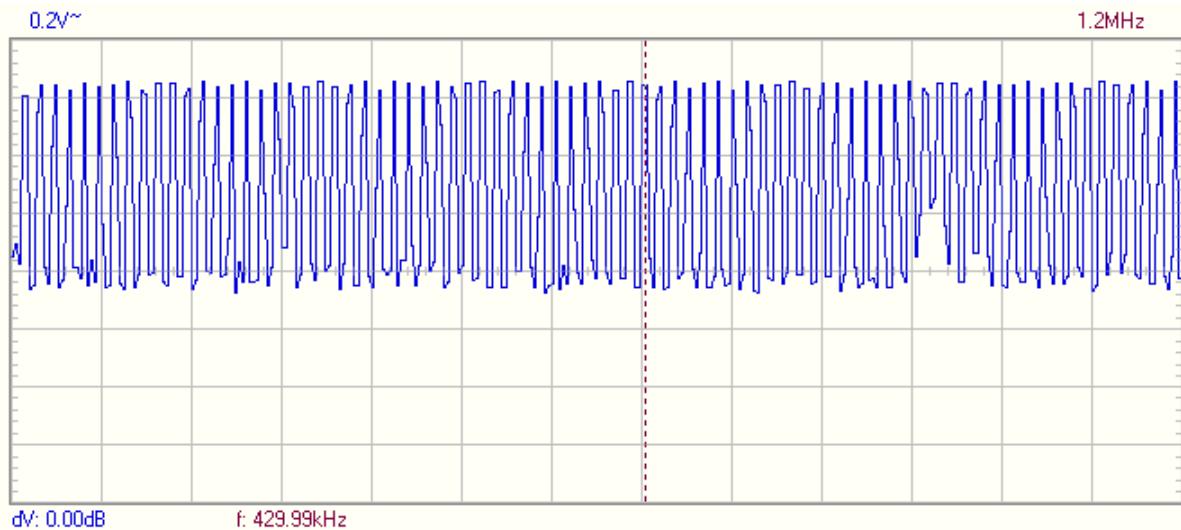
Na slici 3.15 je prikazan spektar signala dobijen snimanjem signala na izlazu sintetizatora frekvencija bez upotrebe *ditheringa*. Možemo uočiti da je SNR u ovom slučaju 32 dB te da je najveća komponenta u spektru na frekvenciji $f = 430 \text{ kHz}$. Ovaj rezultat je očekivan jer smo kroz simulaciju dobili SNR za 2 dB manji od izmjerenoj. Spektar očekivanog signala je prikazan na slici 2.15.

Nakon uključivanja generatora šuma, dolazi do povećanja SNRa za 8.3 dB te smanjenja amplitude parazitnih komponenti u spektru signala. Na slici 3.16 je prikazan spektar signala frekvencije $f = 430 \text{ kHz}$ sa procesom *ditheringa*. Dobitak SNRa u praktičnom modelu se za 2.7 dB razlikuje od modela u Simulinku (slika 2.16), što je posljedica nesavršenosti komponenti korištenih za realizaciju sintetizatora frekvencija.



Slika 3.16: Spektar signala frekvencije $f = 430$ kHz sa upotrebom *ditheringa*. $SNR = 40.3$ dB

Sljedeće što je potrebno uraditi jeste testirati mogućnost sintetizatora frekvencija da generiše frekvencije u intervalu (f_{min}, f_{max}) sa korakom f_{korak} koji je ujedno jednak najmanjoj frekvenciji koju sintetizator može generisati i iznosi $f_{korak} = f_{min} = 10\text{kHz}$. Da bi prikazali frekvencije koje sintetizator frekvencija može generisati podesit ćemo spektralni analizator da koristi opciju *hold max* i mijenjati izlaznu frekvenciju sintetizatora. Na ovaj način dolazimo do grafika na slici 3.17.



Slika 3.17: Spektar signala frekvencija sa korakom $f_{korak} = 10$ kHz i uključenom opcijom *hold max* na analizatoru spektra

Analizom rezultata mjerena možemo zaključiti da postoje relativno mala odstupanja izmijerenog SNRa od SNRa dobijenog simulacijom. Dalje, možemo zaključiti da je izlazna frekvencija jednaka očekivanoj i pored toga možemo vidjeti da naš sintetizator može tačno generisati frekvencije sa definisanim korakom.

Poglavlje 4

Zaključak

U prvoj fazi ovog rada je detaljno pristupljeno analizi rada sintetizatora frekvencija. Ustanovljeno je da veći broj bita faznog akumulatora rezultuje većoj frekventnoj rezoluciji signala koji ovaj sklop može da generiše. Povećanje frekventne rezolucije za posljedicu ima eksponencijalno povećanje kompleksnosti *lookup* tabele. Dalje, kao potencijalno rješenje navedenog problema je viđeno u procesu kvantizacije koji će značajno smanjiti veličinu *lookup* tabele ali i SNR signala zbog pojave neželjenih komponenti u spektru signala. Kompromis između male kompleksnosti *lookup* tabele i dobrog SNRa je viđeno u upotrebi *ditheringa*. Zaključeno je da dodavanjem šuma odgovarajuće amplitude prije procesa kvantizacije ima za posljedicu virtuelnog povećanja broja kvantizacijskih nivoa, odnosno, povećanja SNRa. Nakon simulacije DDS modela sintetizatora frekvencija u Simulinku, pronađena je veza između SNRa i parametara sklopa.

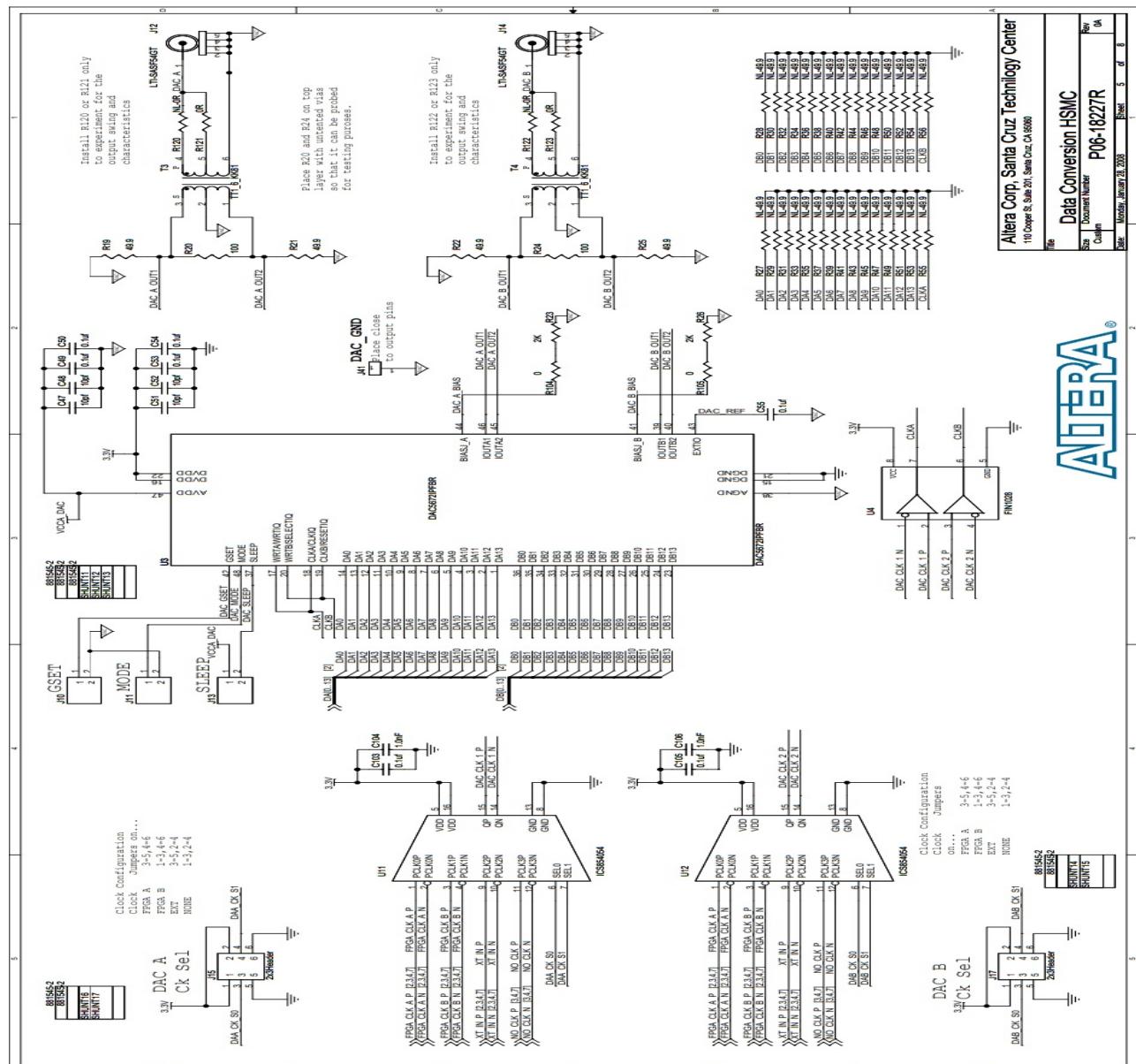
U drugoj fazi rada je pristupljeno dizajnu elemenata DDSa u VHDL jeziku za opis hardvera. Korišten je hijerarhijski pristup dizajnu elemenata koji je omogućio da jednostavnu upotrebu kreiranih elementa u složenijim strukturama bez da ih se mora ponovno dizajnirati ili kopirati već napisani kod. Posebna pažnja je posvećena *debouncingu* tastera kako bi se povećala stabilnost sklopa. Nakon testiranja sklopa su uočene loše šumne karakteristike izlaznog signala. Analizom datasheeta Altera AD/DA kartice i šeme spajanja prikazane u prilogu A.1 zaključeno je da čip DA konvertora zahtijeva vremensku razliku između rastuće ivice *clock* signala i *data* signala. Rješenje ovog problema je viđeno u invertovanju *clocka* kojim se generišu uzorci sinusa, i na ovaj način je postignuta vremenska razlika od $T_{diff} = T_c/2 = 20nS$, što je sasvim dovoljno za ispravan rad DA konvertora.

Nakon završetka dizajna i rješavanja uočenih problema sa mehaničkim tasterima i radom DA konvertora je snimljen vremenski oblik i spektar signala na izlazu sintetizatora frekvencija. Uočeno je da je SNR za 2 do 3 dB manji od teorijskog SNRa. Posljedica toga jeste starenje realnih komponenti i kontakata na HSMC konektoru kojim je povezana Altera AD/DA kartica sa FPGA čipom. Mijenjanjem frekvencije je uočena tačnost izlazne frekvencije, odnosno, mogućnost sklopa da precizno generiše frekvencije sa definisanim korakm.

Prilozi

Prilog A

A.1 Dio datasheet Altera AD/DA kartice



Slika A.1: Šema spajanja DAC na Altera AD/DA kartici

Literatura

- [1] A. Chenakin, Frequency Synthesizers: Concept to Product. Artech House Boston, 2010.
- [2] M. Rice, Digital Communications: A Discrete-Time Approach. Upper Saddle River, New Jersey 07458: Pearson Prentice Hall, 2008.
- [3] IEEE Transactions on Biomedical Engineering - Call for Papers. IEEE, 2004.
- [4] U. Jetzek, Galois Fields, Linear Feedback Shift Registers and their Applications. Carl Hanser Verlag, München, 2018.
- [5] Instruments, T. Dac5672 14-bit 275 msps digital-to-analog converter, dostupno na: <http://www.ti.com/lit/ds/symlink/dac5672.pdf>
- [6] M. Ahić-Đokić, Signali i sistemi. Elektrotehnički fakultet Sarajevo ISBN 978-9958-629-36-5, 2002.
- [7] I. Kostić, Radiotehnički sklopovi i arhitekture - Problemi i rješenja i komentari. Akademska misao, Beograd, 2013.
- [8] Volnei A. Pedroni, Circuit Design with VHDL. MIT Press, 2019.