

# [FAQ11002]如何配置DSI时钟频率

## [DESCRIPTION]

计算DSI数据速率的方式，以及如何配置时钟clk的方式

## [KEYWORD]

dsi、data rate、mipi clk

## [SOLUTION]

1、DSI vdo mode下的数据速率data\_rate的大致计算公式为：

$$\text{Data rate} = (\text{Height} + \text{VSA} + \text{VBP} + \text{VFP}) * (\text{Width} + \text{HSA} + \text{HBP} + \text{HFP}) * \text{total\_bit\_per\_pixel} * \text{frame\_per\_second} / \text{total\_lane\_num}$$

2、DSI cmd mode下的数据速率data\_rate的大致计算公式为：

$$\text{Data rate} = \text{width} * \text{height} * 1.2 * \text{total\_bit\_per\_pixel} * \text{frame\_per\_second} / \text{total\_lane\_num}$$

参数注释：

data\_rate ： 表示的是数据速率

width, height ： 屏幕分辨率

VSA VBP VFP ：DSI vdo mode的vertical porch配置参数

HSA HBP HFP ：DSI vdo mode的horizontal porch配置参数

total\_bit\_per\_pixel ：表示的是一个pixel需要用几个bit来表示，比如RGB565的话就是16个bit

frame\_per\_second ：就是我们通常看到的fps，叫做帧率，表示每秒发送多少个帧，一般是60帧每秒

total\_lane\_num ：表示的是data lane的对数。

3、DSI采用的是双边采样，则clk等于数据速率的一半，因此： $\text{clk} = \text{data\_rate} / 2$   
有两种配置clk的方式，第一种方式配置四个参数得到，第二种配置方式直接配置频率，建议采用第二种。

第一种方式，通过div分频倍频实现，各个平台略有差异，但是原理基本一致，请参考porting guide，如下举例89平台：

params->dsi.pll\_div1 = ; //配置范围为0, 1, 2, 3的时候，对应的div1\_real等于1, 2, 4, 4

params->dsi.pll\_div2 = ; //配置范围为0, 1, 2, 3的时候，对应的div2\_real等于1, 2, 4, 4

params->dsi.fbk\_div = ; //范围 0..63

params->dsi.fbk\_sel = ; //配置范围为0, 1, 2, 3的时候，对应的fbk\_sel\_real等于1, 2, 4, 4

输出频率 =  $26\text{MHz} * (\text{fbk\_div} + 1) * (2 * \text{fbk\_sel\_real}) / (\text{div1\_real} * \text{div2\_real})$

第二种方式，直接配置clk大小：

params->dsi.PLL\_CLOCK = LCM\_DSI\_6589\_PLL\_CLOCK\_234; //这里举例89平台，使用一个宏，表示配置的clk等于234MHz。但是在89之后的平台，使用直接配置一个频率数字的方式，比如params->dsi.PLL\_CLOCK = 234，表示234MHZ)

4、在lcm porting过程中，这些参数都定义在lcm\_drv.h文件中的LCM\_DSI\_PARAMS结构体中，随着平台的发展，或许有所不同，但是基本原理都是一致的，如何配置clk的大小，请先根据自己的帧率、像素格式、porch值、屏的分辨率、data lane对

数等计算出data\_rate，然后计算出clk。