

第二十一章 IIS 总线接口

21.1 概述

当前很多音频系统以CD的形式，数字音频带，数字音频处理器和数字TV音响，在市场上吸引消费者。S3C2440A的Inter-IC Sound (IIS)总线接口作为一个编解码接口连接外部 8/16 位立体声音频解码IC用于迷你碟机和可携式应用。IIS总线接口支持IIS总线数据格式和 MSB-justified数据格式。该接口对FIFO的访问采用了DMA模式取代了中断。它可以在同一时间接收和发送数据。

模块图

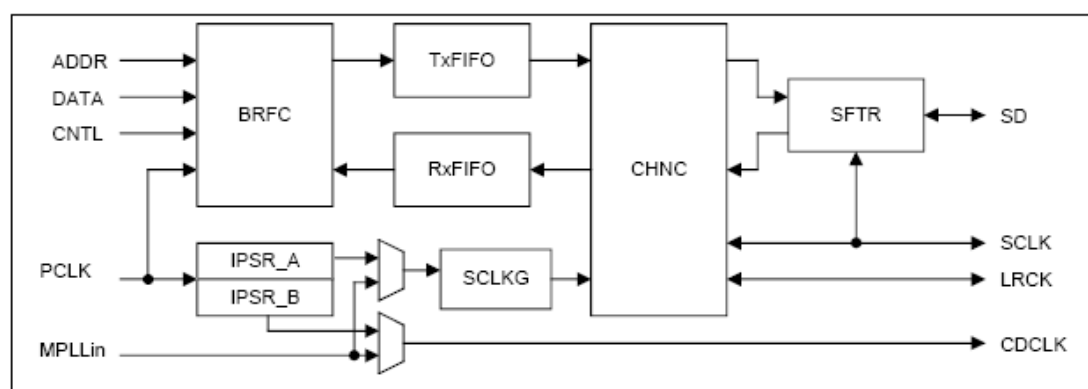


Figure 21-1. IIS-Bus Block Diagram

21.2 功能描述

总线接口，寄存器组 and 状态机 (BRFC)：总线接口逻辑和 FIFO 访问由状态机控制。

5 位双预定标器 (IPSR)：一个预定标器用于 IIS 总线接口的主时钟发生器，另外一个用作外部编解码时钟发生器。

64 位 FIFO (Tx FIFO 和 Rx FIFO)：在发送数据传输时，数据写到 Tx FIFO；在接收数据传输时，从 Rx FIFO 读取数据。

主 IISCLK 发生器 (SCLKG)：在主设备模式，串行位时钟是从主时钟生成。

通道发生器和状态机 (CHNC)：IISCLK 和 iislrck 是由通道状态机生成并控制。

15 位移位寄存器 (SFTR)：在发送模式下并行数据移位成串行数据输出，在接收模式下串行数据输入移位成并行数据。

21.3 发送接收模式

通常传输

IIS 控制寄存器对于发送接收 FIFO 有一个 FIFO 准备标志位。当 FIFO 准备发送数据时，如果 FIFO 非空，FIFO 准备标志位置 1。如果 FIFO 为空，FIFO 准备标志位置 0。当接收 FIFO 非满，对于接收 FIFO 的 FIFO 准备标志位置 1。其指出 FIFO 准备好接收数据。如果接收 FIFO 为满，FIFO 准备标志置 0。这些标志用于决定 CPU 读写 FIFO 的时间。用这种方法当 CPU 在访问发送接收 FIFO 时，串行数据能被发送和接收。

DMA 传输

在此模式下，发送或接收 FIFO 对 DMA 控制器是可访问的。在发送或接收模式下的 DMA 服务请求是由 FIFO 准备标志自动执行。

发送和接收模式

在此模式下 IIS 总线接口可以同时接收和发送数据。

21.4 音频串行接口格式

21.4.1 IIS 总线格式

IIS 总线有四线包括串行数据输入（IISDI），串行数据输出（IISDO），左右通道选择（IISLRCK）和串行位时钟（IISCLK）。生成 IISLRCK 和 IISCLK 的设备是主设备。

串行数据以 2 的补码发送，MSB(Most Significant Bit 最高位)先发。因为发送器和接收器可能有不同的字长，MSB（最高位）先发。发送器不必知道接收器可以处理多少位，接收器也不必知道会收到多少位。

当系统字长大于发生器的字长，字为了数据发送而被截断（最低位被置 0）。如果接收器接收大于其字长的位，在 LSB（最低位）后的位被忽略。另外，如果接收器收到的位数小于其字长，缺少的位被置 0。因此 MSB 有一个固定的位置，而 LSB 的位置取决于字长。只要 IISLRCK 发送改变，发送器在一个时钟周期内发送下一个字的 MSB。

由发送器发送的串行数据可以和时钟信号的下降沿和上升沿同步。但是，串行数据必须在串行时钟信号的上升沿锁存到接收器。因此当同步上升沿的数据发送时有一些限制。

左右通道选择线指出了正在发送的通道。IISLRCK 可以在串行时钟的下降沿或上升沿被改变，当时其不需要对称。在从设备，信号在串行时钟的下降沿或上升沿被锁存。在 MSB 被发送，IISLRCK 线改变一个时钟周期。此允许发送器导出用于建立发送的串行数据同步时序。此外，其使能接收存储前一个字且为下一个字的接收清除输入。

21.4.2 MSB JUSTIFIED 格式

MSB JUSTIFIED 总线格式在结构上和 IIS 总线格式。唯一和 IIS 总线格式的区别，MSB JUSTIFIED 格式实现了只要 IISLRCK 改变，发送器总是发送下一个字的 MSB。

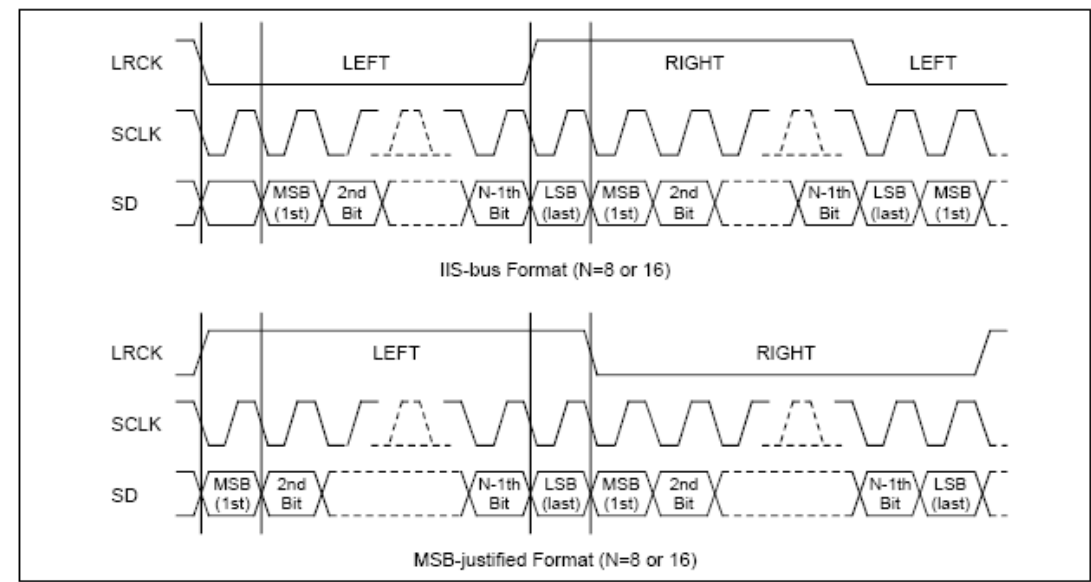


Figure 21-2. IIS-Bus and MSB (Left)-justified Data Interface Formats

21.4.3 采样频率和主设备时钟

主设备时钟频率（PCLK 或 MPLLIn）可以在如表 21-1 所示的采样频率中选择。因为主设备时钟由 IIS 预分频器（预定标器）产生，预分频器（预定标器）的值和主设备时钟类型（256 或 384fs）应该合适确定。

串行位时钟频率类型可以由每个通道的串行位和如表 21-2 所示的主设备时钟中来选择。

表 21-1CODEC 时钟（CODECLK=256 或 384fs）

IISLRCK (fs)	8.000	11.025	16.000	22.050	32.000	44.100	48.000	64.000	88.200	96.000
CODECLK (MHz)	256fs									
	2.0480	2.8224	4.0960	5.6448	8.1920	11.2896	12.2880	16.3840	22.5792	24.5760
	384fs									
	3.0720	4.2336	6.1440	8.4672	12.2880	16.9344	18.4320	24.5760	33.8688	36.8640

表 21-2 可用串行位时钟频率（IISCLK=16 或 32 或 48fs）

Serial bit per channel	8-bit	16-bit
Serial clock frequency (IISCLK)		
@CODECLK = 256fs	16fs, 32fs	32fs
@CODECLK = 384fs	16fs, 32fs, 48fs	32fs, 48fs

21.5 IIS 总线接口特殊寄存器

- (1) IIS 控制寄存器 (IISCON)
- (2) IIS 模式寄存器 (IISMOD)
- (3) IIS 预定标器寄存器 (IISPSR)
- (4) IIS FIFO 控制寄存器 (IISFCON)
- (5) IIS FIFO 寄存器 (IISFIFO)

21.5.1 IIS 控制寄存器

IIS CONTROL REGISTER (IISCON)

寄存器	地址	读写	描述	复位值
IISCON	0x55000000 (Li/HW, Li/W, Bi/W) 0x55000002 (Bi/HW)	R/W	IIS控制寄存器	0x100

IISCON	位	描述	初始值
Left/Right channel index (Read only)	[8]	0 = Left 1 = Right	1
Transmit FIFO ready flag (Read only)	[7]	0 = Empty 1 = Not empty	0
Receive FIFO ready flag (Read only)	[6]	0 = Full 1 = Not full	0
Transmit DMA service request	[5]	0 = Disable 1 = Enable	0
Receive DMA service request	[4]	0 = Disable 1 = Enable	0
Transmit channel idle command	[3]	在空闲模式下IISLRCK是非激活 (Pause Tx)。 0 = Not idle 1 = Idle	0
Receive channel idle command	[2]	在空闲模式下IISLRCK是非激活 (Pause Rx)。 0 = Not idle 1 = Idle	0
IIS prescaler	[1]	0 = Disable 1 = Enable	0
IIS interface	[0]	0 = Disable (stop) 1 = Enable (start)	0

注:

- (1) IISCON 寄存器对每个字节都是可访问的, 字单元在大小端模式下使用 STRB/STRH/STR 和 LDRB/LDRH/LDR 或 char/short int/int 类型指针。
- (2) (Li/HW/W): Little/HalfWord/Word
(Bi/HW/W): Big/HalfWord/Word

21.5.2 IIS 模式寄存器

IIS MODE REGISTER (IISMOD)

寄存器	地址	读写	描述	复位值
IISMOD	0x55000004 (Li/HW, Li/W, Bi/W) 0x55000006 (Bi/HW)	R/W	IIS模式寄存器	0x0

IISMOD	位	描述	初始值
Master Clock Select	[9]	主设备时钟选择 0 = PCLK 1 = MPLLIn	0
Master/slave mode select	[8]	0 = 主设备模式 (IISLRCK和IISCLK是输出模式)。 1 = 从设备模式 (IISLRCK和IISCLK是输入模式)。	0
Transmit/receive mode select	[7:6]	00 = No transfer 01 = Receive mode 10 = Transmit mode 11 = Transmit and receive mode	00
Active level of left/right channel	[5]	0 = Low for left channel (High for right channel) 1 = High for left channel (Low for right channel)	0
Serial interface format	[4]	0 = IIS compatible format 1 = MSB (Left)-justified format	0
Serial data bit per channel	[3]	0 = 8-bit 1 = 16-bit	0
Master clock frequency select	[2]	0 = 256fs 1 = 384fs (fs: sampling frequency)	0
Serial bit clock frequency select	[1:0]	00 = 16fs 01 = 32fs 10 = 48fs 11 = N/A	0

21.5.3 IIS 预定标器寄存器

IIS PRESCALER REGISTER (IISPSR)

寄存器	地址	读写	描述	复位值
IISPSR	0x55000008 (Li/HW, Li/W, Bi/W) 0x5500000A (Bi/HW)	R/W	IIS预定标器寄存器	0x0

IISPSR	位	描述	初始值
Prescaler control A	[9:5]	数据值: 0 ~ 31 注: 预定标器A生成用于内部模块的主设备时钟且除数因子是N+1。	00000
Prescaler control B	[4:0]	数据值: 0 ~ 31 注: 预定标器B生成用于外部模块的主设备时钟且除数因子是N+1。	00000

21.5.4 IIS FIFO 控制寄存器

IIS FIFO CONTROL REGISTER (IISFCON)

寄存器	地址	读写	描述	复位值
IISFCON	0x5500000C (Li/HW, Li/W, Bi/W) 0x5500000E (Bi/HW)	R/W	IIS FIFO控制寄存器	0x0

IISFCON	位	描述	初始值
Transmit FIFO access mode select	[15]	0 = Normal 1 = DMA	0
Receive FIFO access mode select	[14]	0 = Normal 1 = DMA	0
Transmit FIFO	[13]	0 = Disable 1 = Enable 0	0
Receive FIFO	[12]	0 = Disable 1 = Enable 0	0
Transmit FIFO data count (Read only)	[11:6]	Data count value = 0 ~ 32	000000
Receive FIFO data count (Read only)	[5:0]	Data count value = 0 ~ 32	000000

21.5.5 IIS FIFO 寄存器

IIS FIFO REGISTER (IISFIFO)

IIS 总线接口包含两个 64 位的 FIFO 用于发送和接收模式。每个 FIFO 有 16 宽 32 长的表，其允许 FIFO 不管有效数据大小对每个半字单元操作数据。接收和发送 FIFO 访问通过 FIFO 入口进行，进入地址是 0x55000010。

寄存器	地址	读写	描述	复位值
IISFIFO	0x55000010 (Li/HW, Li/W, Bi/W) 0x55000012 (Bi/HW)	R/W	IIS FIFO寄存器	0x0

IISFIFO	位	描述	初始值
FENTRY	[15:0]	对于IIS的发送/接收数据	0x0