

# 第五章

## 内存控制器

### 概述

S3C2440A 内存控制器为外部记忆存取提供被需要的内存控制信号。

S3C2440A 有下列特征：

- 大/小模式（通过软件选择）
- 地址空间：每个内存控制器接口128M（所有内存控制器接口为1GB/8）
- 除内存控制器接口0(16/32-bit)以外所有内存控制器接口的可编程访问大小(8/16/32-bit)
- 8个内存控制器接口
  - 6个为ROM, SRAM, 等。
  - 剩余的2个为ROM, SRAM, SDRAM, 等
- 具有 7 个固定内存控制器接口起始地址
- 具有一个起始地址可调,可编程大小的内存控制器接口
- 所有内存控制器接口具有可编程的存取周期
- 等待外部扩充总线周期
- SDRAM支持自动更新和掉电模式

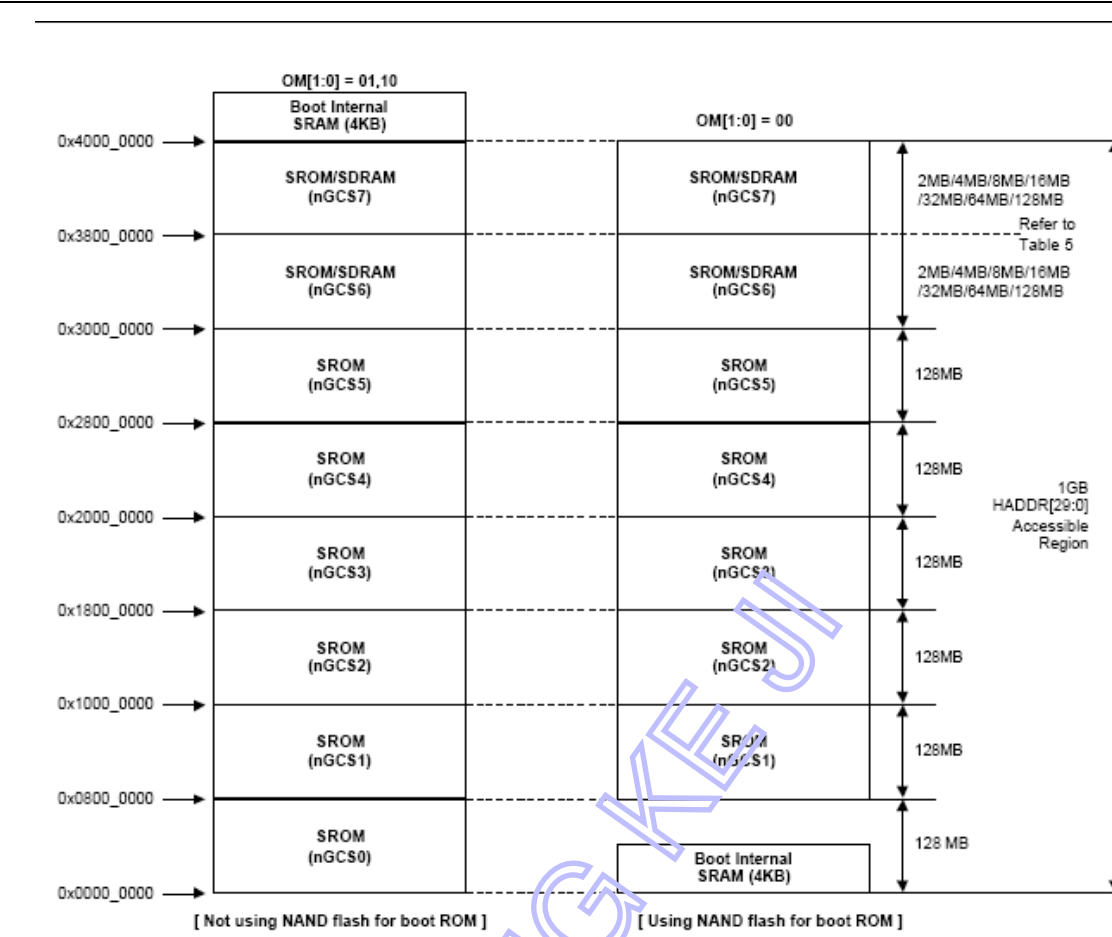


图 5-1. S3 C2440 A 复置后的内存映象

注意  
SROM 代表ROM或 SRAM 型内存控制器  
表 5-1 接口6/7的地址

Address	2MB	4MB	8MB	16MB	32MB	64MB	128MB
Bank 6							
Start address	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000
End address	0x301F_FFFF	0x303F_FFFF	0x307F_FFFF	0x30FF_FFFF	0x31FF_FFFF	0x33FF_FFFF	0x37FF_FFFF
Bank 7							
Start address	0x3020_0000	0x3040_0000	0x3080_0000	0x3100_0000	0x3200_0000	0x3400_0000	0x3800_0000
End address	0x303F_FFFF	0x307F_FFFF	0x30FF_FFFF	0x31FF_FFFF	0x33FF_FFFF	0x37FF_FFFF	0x3FFF_FFFF

注意:接口 6 和 7 内存大小必须相同

功能描述

接口 0 的总线宽度

BANK0 (nGCS 0) 的数据总线应该与一个宽度为16位或32位的总线一起设定。因为接口 0作为引导ROM接口 (映像至 0 x 0000\_0000), BANK0 的总线宽度应该被决定在第一个ROM访问之前, 它将会依赖OM[1:0] 的逻辑电平

OM1 (Operating Mode 1)	OM0 (Operating Mode 0)	Booting ROM Data width
0	0	Nand Flash Mode
0	1	16-bit
1	0	32-bit
1	1	Test Mode

SRAM/SDRAM 内存连接地址

MEMORY ADDR. PIN	S3C2440A ADDR. @ 8-bit DATA BUS	S3C2440A ADDR. @ 16-bit DATA BUS	S3C2440A ADDR. @ 32-bit DATA BUS
A0	A0	A1	A2
A1	A1	A2	A3
...	...	...	...

SDRAM 接口地址连接例子

表 5-2 SDRAM 接口地址结构例子

Bank Size	Bus Width	Base Component	Memory Configuration	Bank Address
2MByte	x8	16Mbit	(1M x 8 x 2Bank) x 1	A20
	x16		(512K x 16 x 2B) x 1	
4MB	x16		(1M x 8 x 2B) x 2	A21
	x16		(1M x 8 x 2B) x 2	
8MB	x16	16Mb	(2M x 4 x 2B) x 4	A22
	x32		(1M x 8 x 2B) x 4	
	x8	64Mb	(4M x 8 x 2B) x 1	A[22:21]
	x8		(2M x 8 x 4B) x 1	
	x16		(2M x 16 x 2B) x 1	A22
	x16		(1M x 16 x 4B) x 1	A[22:21]
	x32		(512K x 32 x 4B) x 1	
	x32	128Mb	(2M x 4 x 2B) x 8	A23
16MB	x8		(8M x 4 x 2B) x 2	
	x8		(4M x 4 x 4B) x 2	
	x16		(4M x 8 x 2B) x 2	
	x16		(2M x 8 x 4B) x 2	
	x32		(2M x 16 x 2B) x 2	
	x32		(1M x 16 x 4B) x 2	
	x8		(4M x 8 x 4B) x 1	
	x16		(2M x 16 x 4B) x 1	
32MB	x16	64Mb	(8M x 4 x 2B) x 4	A24
	x16		(4M x 4 x 4B) x 4	A[24:23]
	x32		(4M x 8 x 2B) x 4	A24
	x32		(2M x 8 x 4B) x 4	A[24:23]
	x16	128Mb	(4M x 8 x 4B) x 2	
	x32		(2M x 16 x 4B) x 2	
	x8	256Mb	(8M x 8 x 4B) x 1	
	x16		(4M x 16 x 4B) x 1	
64MB	x32	128Mb	(4M x 8 x 4B) x 4	A[25:24]
	x16	256Mb	(8M x 8 x 4B) x 2	
	x32		(4M x 16 x 4B) x 2	
	x8	512Mb	(16M x 8 x 4B) x 1	
128MB	x32	256Mb	(8M x 8 x 4Bank) x 4	A[26:25]
	x8	512Mb	(32M x 4 x 4B) x 2	
	x16		(16M x 8 x 4B) x 2	
	x32		(8M x 16 x 4B) x 2	

### nWAIT 引脚运算

如果WAIT位（BWCON中的WSn位）允许符合每个内存控制器接口，nOE 持续时间将被外部的nWAIT引脚延长，那么这个内存控制器接口是有效的。nWAIT 从  $t_{acc}-1$  被检查。在 nWAIT为高电平之后的下一个时钟nOE 将被重新设定。 nWE 和nOE有相同的关系统式。

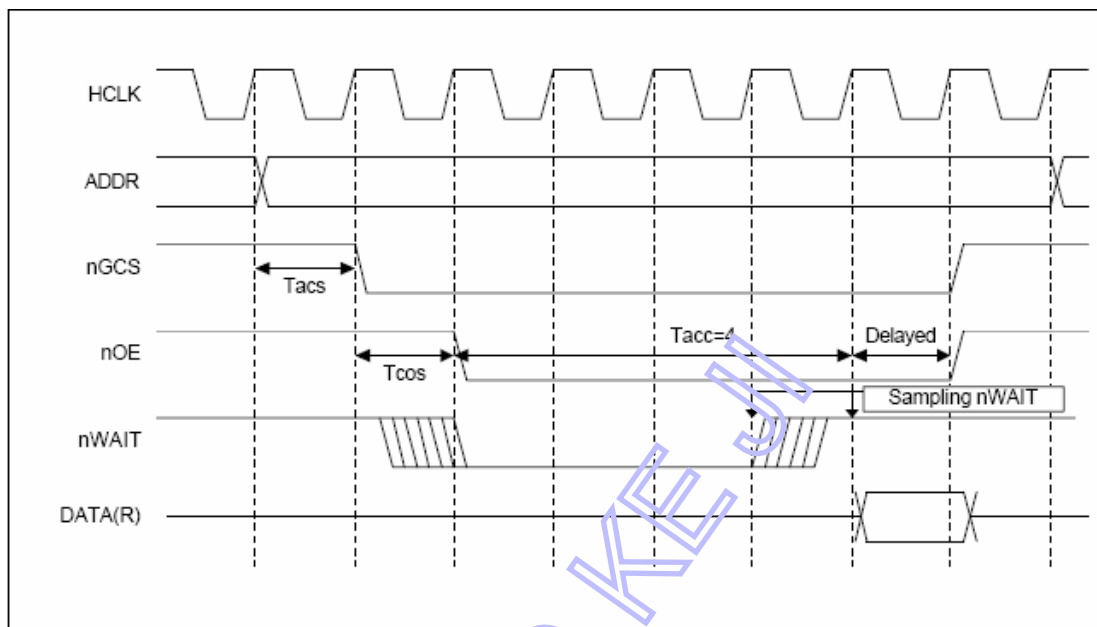


图 5-2. S3C2440A 外部nWAIT的时序表 ( $t_{acc}=4$ )

### nXBREQ/nXBACK引脚运算

如果 nXBREQ 有效， S3 C2440 A 将会通过降低 nXBACK 做出反应。 如果 nXBACK=L， 地址/ 数据总线和内存控制信号达到 Hi-Z 态， 如表 1-1 所显示. nXBREQ 是无效， 则 nXBACK 也将无效

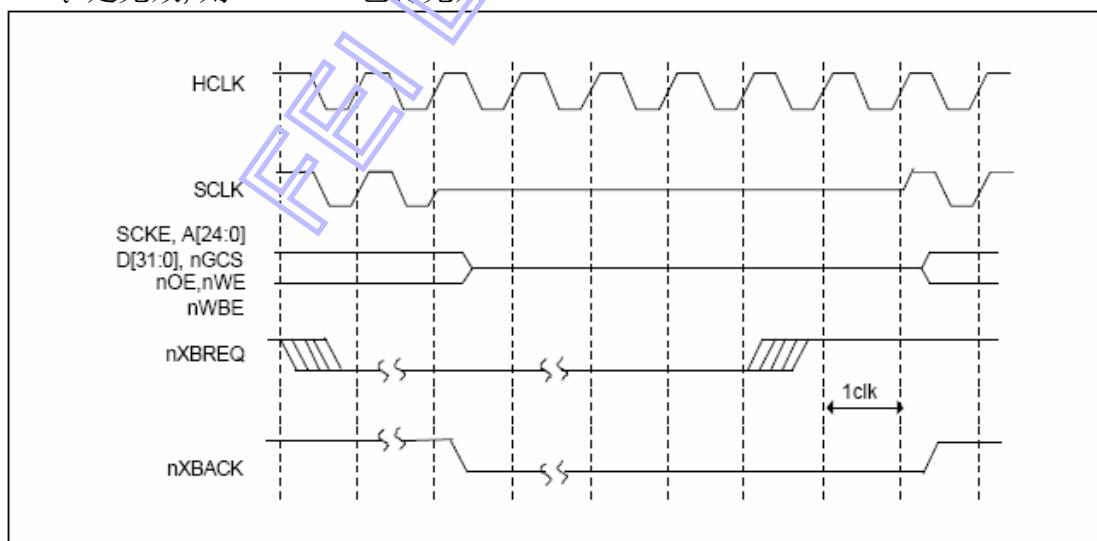


图 5-3. S3 C2440 A nXBREQ/nXBACK 时序图

ROM存储接口举例

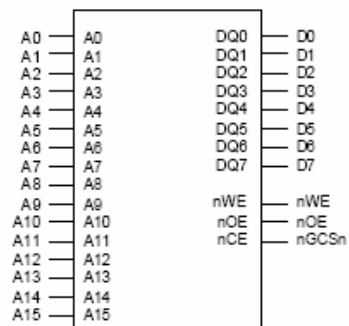


图5-4 8位ROM的存储器接口

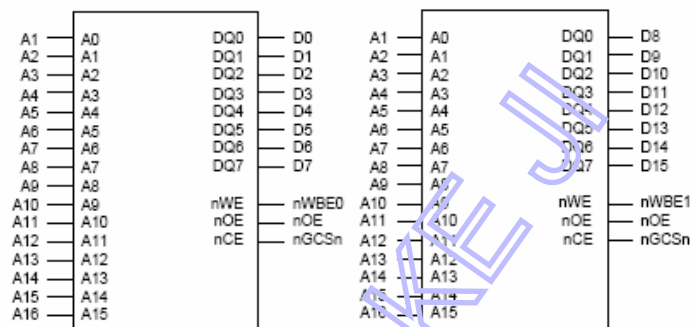


图5-5 2片8位ROM存储器接口

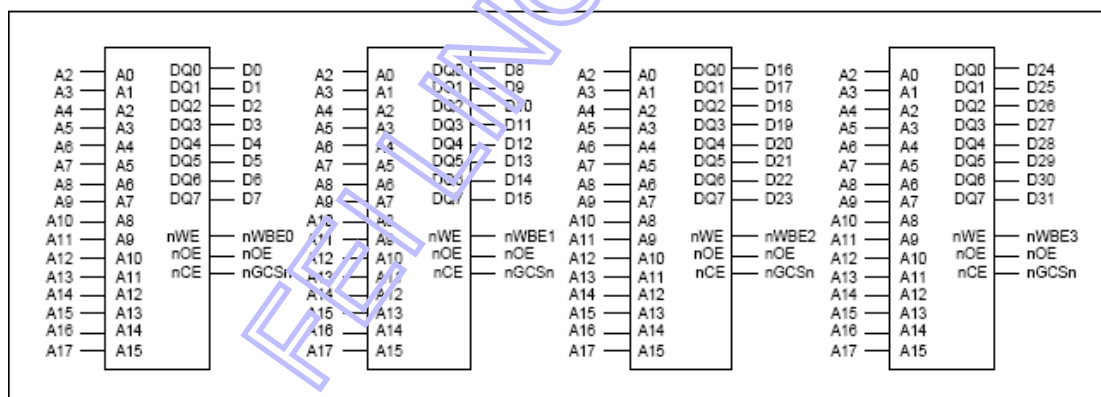


图5-6 4片8位ROM存储器接口

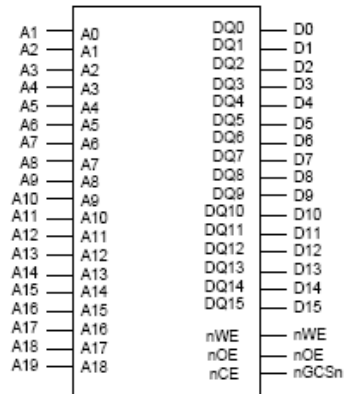


图5-7 16位ROM存储器接口

SRAM存储器接口举例

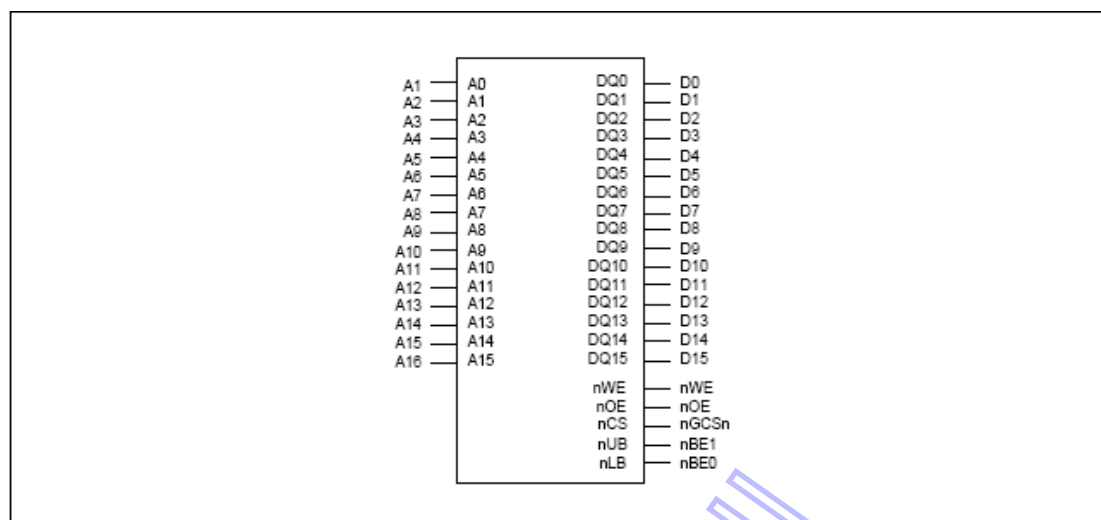


图5-8 16位SRAM存储器接口

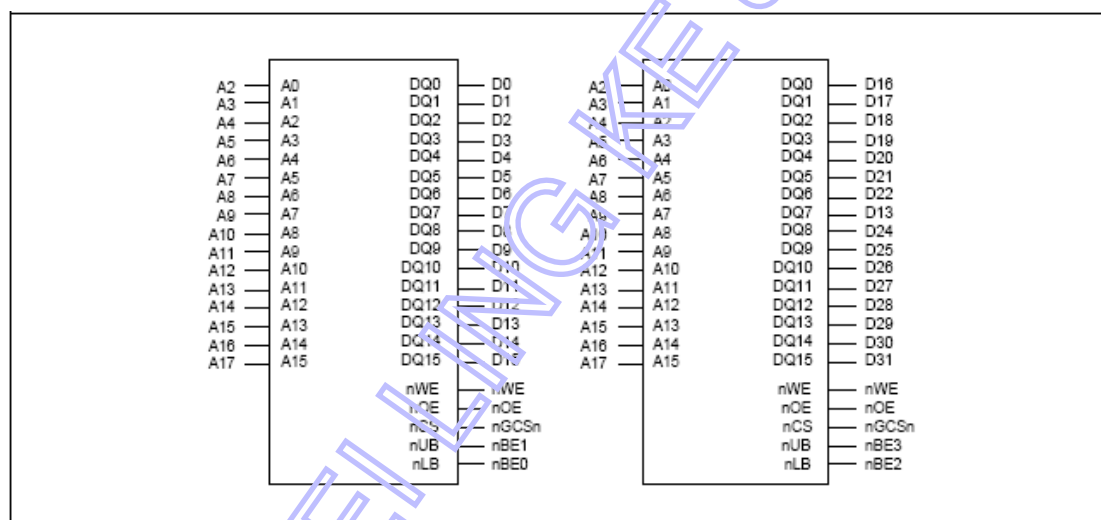


图5-9 2片16位SRAM存储器接口

SDRAM存储器接口举例

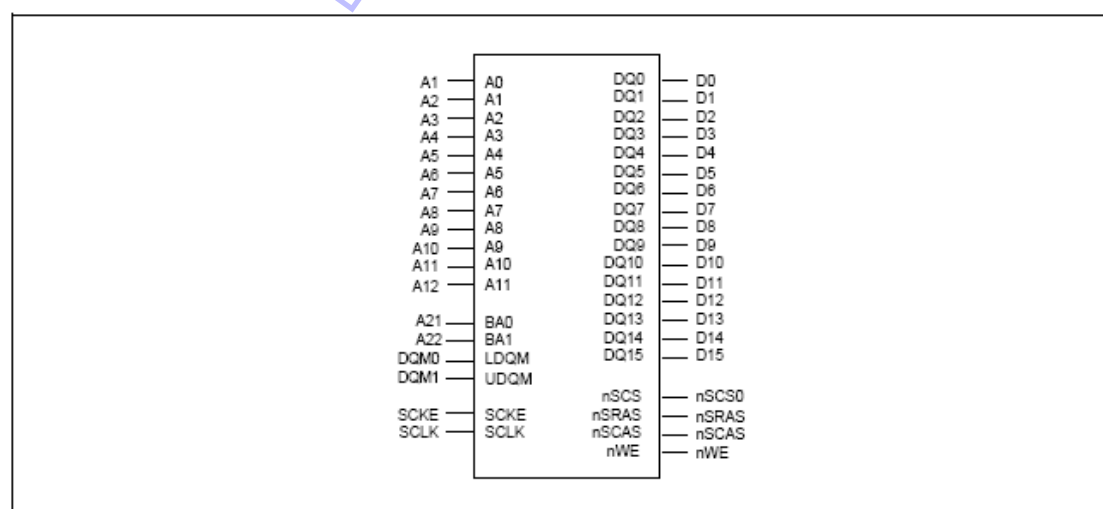


图5-10 16位SDRAM存储器接口(4Mx16, 4banks)

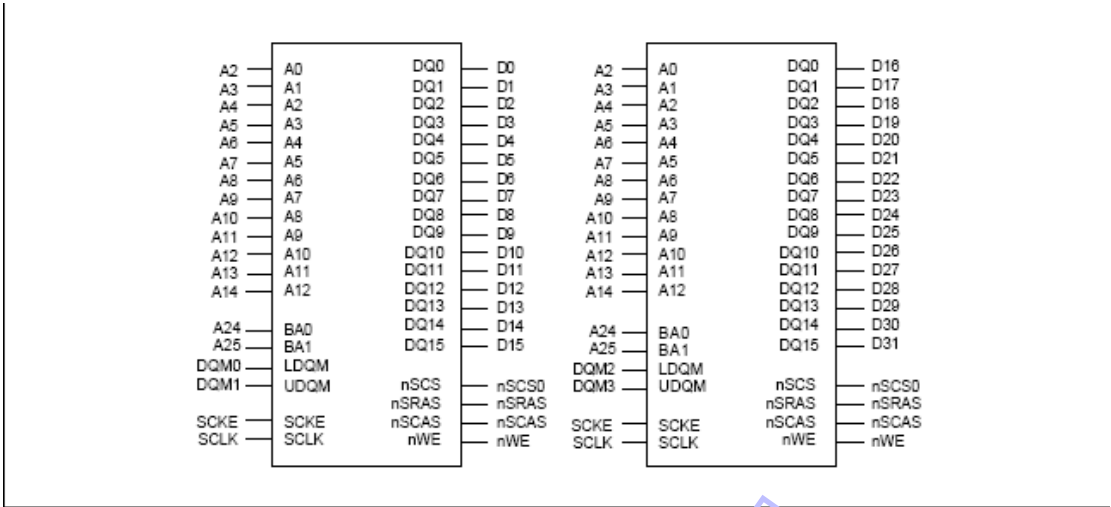


图5-11 2片16位SDRAM存储器接口(4Mx16x4Bank \* 2ea)

注意

SDRAM的接口地址配置参考表5-2

可编程的访问周期

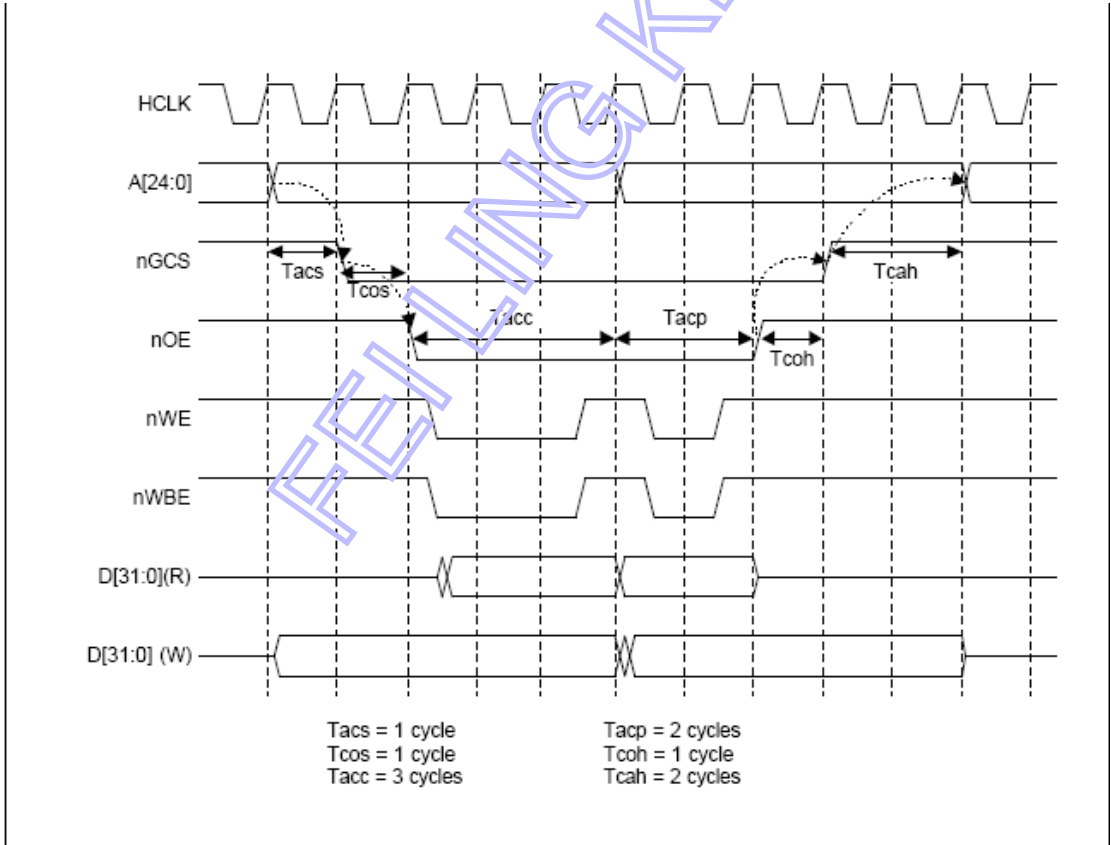


图5-12 S3C2410A nGCS时序图

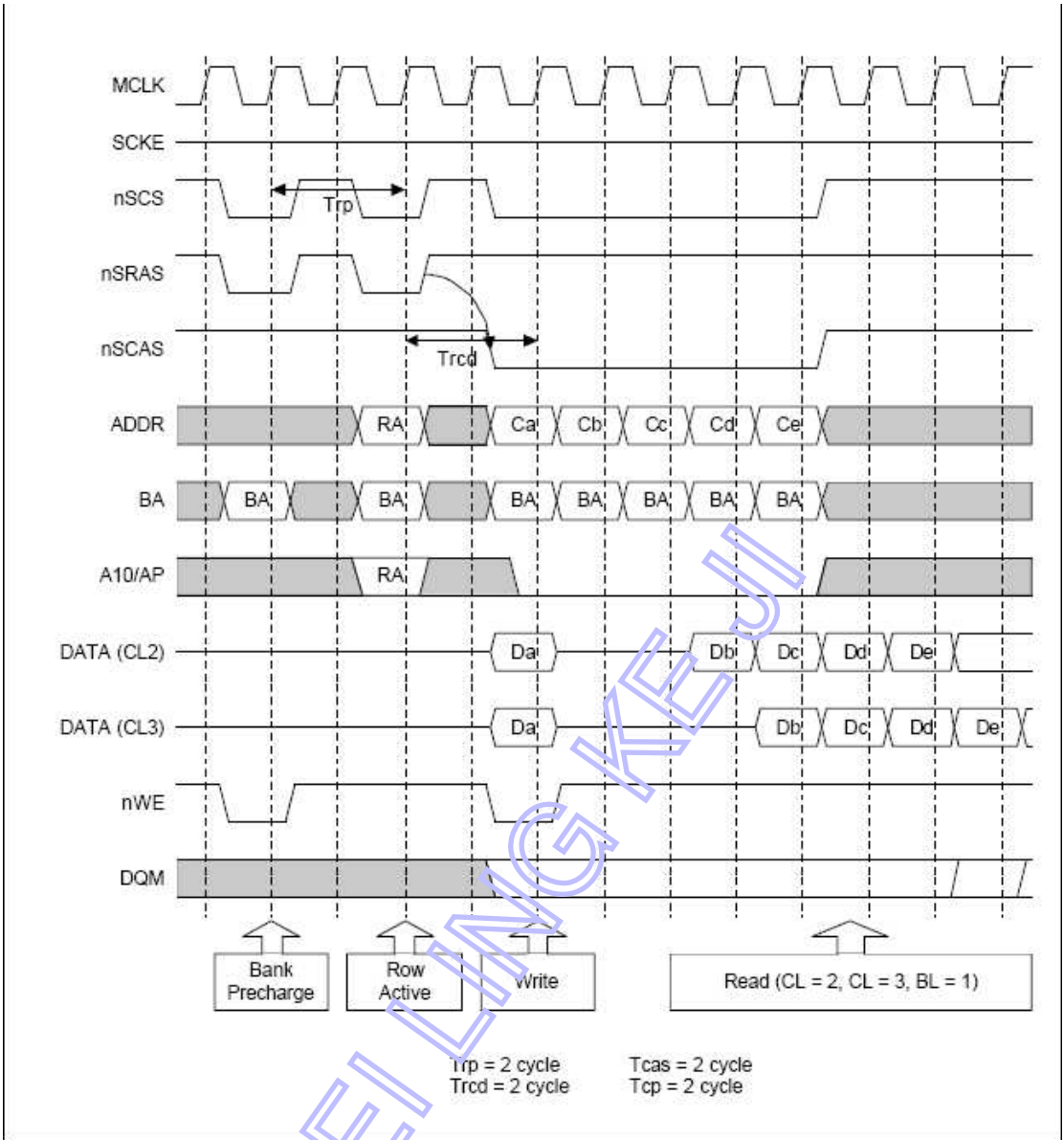


图5-13 S3C2410A SDRAM时序图

总线宽度和WAIT控制寄存器(BWSCON)

寄存器	地址	R/W	描述	复位值
BWSCON	0x48000000	R/W	总线宽度和状态控制寄存器	0x000000

BWSCON	位	描述	初始状态
ST7	[31]	决定SRAM映射在bank7时, 是否使用UB/LB 0 =不使用 UB/LB (引脚对应 nWBE[3:0]) 1 =使用UB/LB (引脚对应nBE[3:0])	0
WS7	[30]	决定bank7的WAIT状态. 0 =WAIT禁止; 1 =WAIT使能	0



DW7	[29:28]	决定bank7的数据总线宽度. 00 = 8-位, 01 = 16-位, 10 = 32-位, 11 = 保留	0
ST6	[27]	决定SRAM映射在bank6时, 是否使用UB/LB 0 = 不使用UB/LB (引脚对应nWBE[3:0]) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS6	[26]	决定bank6中的WAIT状态. 0 = WAIT停止; 1 = WAIT使能	0
DW6	[25:24]	决定bank6的数据总线宽度. 00 = 8-位, 01 = 16-位, 10 = 32-位, 11 = 保留	0
ST5	[23]	决定SRAM映射在bank5时, 是否使用UB/LB 0 = 不使用UB/LB (引脚对应nWBE[3:0]) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS5	[22]	决定bank5中的WAIT状态. 0 = WAIT停止; 1 = WAIT使能	0
DW5	[21:20]	决定bank5的数据总线宽度. 00 = 8-位, 01 = 16-位, 10 = 32-位, 11 = 保留	0
ST4	[19]	决定SRAM映射在bank4时, 是否使用UB/LB 0 = 不使用UB/LB (引脚对应nWBE[3:0]) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS4	[18]	决定bank4中的WAIT状态. 0 = WAIT停止; 1 = WAIT使能	0
DW4	[17:16]	决定bank4的数据总线宽度. 00 = 8-位, 01 = 16-位, 10 = 32-位, 11 = 保留	0
ST3	[15]	决定SRAM使用bank3的. 0 = 不使用UB/LB (引脚对应nWBE[3:0]) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS3	[14]	决定bank3中的WAIT状态. 0 = WAIT停止; 1 = WAIT使能	0
DW3	[13:12]	决定bank3的数据总线宽度. 00 = 8-位, 01 = 16-位, 10 = 32-位, 11 = 保留	0
ST2	[11]	决定SRAM使用bank2的. 0 = 不使用UB/LB (引脚对应nWBE[3:0]) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS2	[10]	决定bank2中的WAIT状态. 0 = WAIT停止; 1 = WAIT使能	0
DW2	[9:8]	决定bank3的数据总线宽度. 00 = 8-位, 01 = 16-位, 10 = 32-位, 11 = 保留	0
ST1	[7]	决定SRAM使用bank1的. 0 = 不使用UB/LB (引脚对应nWBE[3:0]) 1 = Using UB/LB (引脚对应 nBE[3:0])	0
WS1	[6]	决定bank1中的WAIT状态. 0 = WAIT停止; 1 = WAIT使能	0
DW1	[5:4]	决定bank1的数据总线宽度. 00 = 8-位, 01 = 16-位, 10 = 32-位, 11 = 保留	0

DW0	[2:1]	显示bank0的数据总线宽度（只读）， 01 = 16-位, 10 = 32位，通过OM[1:0]引脚来选择状态	0
Reserved	[0]		0

注意：

1. 在这个存储控制器中的所有类型的主时钟都符合总线时钟  
例如，SRAM 的 HCLK 就是相同的总时钟，SDRAM的SCLK 也是。  
在这一个章里，一个时钟就是一个总线时钟。
2. nBE[3:0]是nWBE[3:0]和nOE的与讯号。

#### BANK控制寄存器(BANKCONN: NGCS0-NGCS5)

寄存器	地址	R/W	描述	复位值
BANKCON0	0x48000004	R/W	Bank 0 控制寄存器	0x0700
BANKCON1	0x48000008	R/W	Bank 1 控制寄存器	0x0700
BANKCON2	0x4800000c	R/W	Bank 2 控制寄存器	0x0700
BANKCON3	0x48000010	R/W	Bank 3 控制寄存器	0x0700
BANKCON4	0x48000014	R/W	Bank 4 控制寄存器	0x0700
BANKCON5	0x48000018	R/W	Bank 5 控制寄存器	0x0700

BANKCONn	位	描述	初始状态
Tacs	[14:13]	在nGCSn起效之前，地址信号的建立时间： 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tcos	[12:11]	在nOE起效之前，片选的建立时间 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tacc	[10:8]	访问周期 000 = 1 clock 001 = 2 clocks 010 = 3 clocks 011 = 4 clock 100 = 6 clocks 01 = 8 clocks 110 = 10 clocks 111 = 14 clocks NOTE: 如果启用了nWAIT信号，Tacc将大于或等于4 clocks.	111
Tcoh	[7:6]	nOE之后，片选的保持时间： 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	000
Tcah	[5:4]	nGCSn之后，地址信号的保持时间： 00 = 0clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tacp	[3:2]	Page模式的访问周期（在Page模式下） 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks 11 = 6 clocks	00

PMC	[1:0]	Page 模式配置 00 = 正常 (1 data) 01 = 4 data 10 = 8 data 11 = 16 data	00
-----	-------	---	----

**BANK控制寄存器(BANKCONn: nGCS6-nGCS7)**

Register	Address	R/W	Description	Reset Value
BANKCON6	0x4800001C	R/W	Bank 6 control register	0x18008
BANKCON7	0x48000020	R/W	Bank 7 control register	0x18008

BANKCONn	位	描述	初始状态
MT	[16:15]	决定bank6和bank7的存储器类型 00 = ROM或SRAM 01 = 保留 (不使用) 10 = 保留 (不使用) 11 = Sync.DRAM	11
<b>存储器类型 = ROM or SRAM [MT=00] (15-bit)</b>			
Tacs	[14:13]	nGCSn起效之前, 地址信号的建立时间: 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tcos	[12:11]	nOE起效之前, 片选的建立时间: 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tacc	[10:8]	访问周期 000 = 1 clock 001 = 2 clocks 010 = 3 clocks 011 = 4 clocks 100 = 6 clocks 101 = 8 clocks 110 = 10 clocks 111 = 14 clocks	111
Tcoh	[7:6]	NOE之后, 片选持续时间 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tcah	[5:4]	nGCSn之后, 地址信号保持时间 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tacp	[3:2]	Page模式下的访问周期 (Page模式下) 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks 11 = 6 clocks	00
PMC	[1:0]	Page模式配置 00 = 正常 (1 data) 01 = 4数据连续访问 10 = 8数据连续访问 11 = 16数据连续访问	00
<b>存储器类型 = SDRAM [MT=11] (4-bit)</b>			

Trcd	[3:2]	RAS 到CAS 延迟 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks	10
SCAN	[1:0]	列地址位数 00 = 8-bit 01 = 9-bit 10 = 10-bit	00

## 刷新控制存储器

寄存器	地址	R/W	描述	复位值
REFRESH	0x48000024	R/W	SDRAM刷新控制存储器	0xac0000

刷新	位	描述	初始状态
REFEN	[23]	SDRAM刷新使能 0 = 停止 1 =使能 (自我/自动 刷新)	1
TREFMD	[22]	SDRAM 刷新模式 0 = 自动刷新 1 = 自我刷新 在自我刷新模式下, SDRAM控制信号被置于适当的电平。	0
Trp	[21:20]	SDRAM RAS 预充电时间 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks 11 = 不支持	10
Tsrc	[19:18]	SDRAM半行周期时间 00 = 4 clocks 01 = 5 clocks 10 = 6 clocks 11 = 7 clocks SDRAM's 行周期时间(Trc) = Tsrc + Trp 如果Trp=3 clocks和Tsrc=7 clocks, Trc = 3 + 7 = 10 clocks	11
Reserved	[17:16]	不使用	00
Reserved	[15:11]	不使用	0000
Refresh Counter	[10:0]	SDRAM刷新计数器值. 刷新时间 = (2 <sup>11</sup> -刷新计数器值 +1)/HCLK Ex)如果刷新时间是15.6 us , HCLK是60MHz, 刷新时间计算如下: 刷新时间 = 2 <sup>11</sup> + 1 - 60x15.6 = 1113	0

## BANKSIZE寄存器

寄存器	地址	R/W	描述	复位值
BANKSIZE	0x48000028	R/W	可灵活设置的bank尺寸寄存器	0x0

BANKSIZE	位	描述	初始状态
BURST_EN	[7]	ARM 内核猝发操作使能 0 = 禁止猝发操作 1 = 使能猝发操作	0
Reserved	[6]	不使用	0
SCKE_EN	[5]	SCKE 使能控制 0 = SDRAM SCKE 禁止 1 = SDRAM SCKE 使能	0
SCLK_EN	[4]	只有在SDRAM访问周期期间, SCLK才使能, 这样做是可以减少功耗。当SDRAM不被访问时, SCLK变成低电平 0 = SCLK总是激活 1 = SCLK只有在访问期间 (推荐的) 激活	0
Reserved	[3]	不使用	0
BK76MAP	[2:0]	BANK6/7的存储空间分布 010 = 128MB/128MB 001 = 64MB/64MB 000 = 32M/32M 111 = 16M/16M 110 = 8M/8M 101 = 4M/4M 100 = 2M/2M	010

## SDRAM 模式寄存器组寄存器 (MRSR)

寄存器	地址	R/W	描述	复位值
MRSRB6	0x4800002C	R/W	模式寄存器组寄存器 bank6	xxx
MRSRB7	0x48000030	R/W	模式寄存器组寄存器 bank7	xxx

MRSR	位	描述	初始状态
Reserved	[11:10]	不使用	-
WBL	[9]	写脉冲串长度 0: 脉冲 (固定) 1: 保留	x
TM	[8:7]	测试方式 00: 模式寄存器组 (固定) 01, 10 和 11: 保留	xx

<b>CL</b>	[6:4]	CAS 等待时间 000 = 1 时钟, 010 = 2时钟, 011=3 时钟 其他:保留	xxx
<b>BT</b>	[3]	脉冲串类型 0: 时序 (固定) 1: 保留	x
<b>BL</b>	[2:0]	脉冲串长度 000: 1 (固定 其他: 保留	xxx

注意：当代码在SDRAM中运行的时候， MRSR 寄存器不能被重新配置。

重要的声明：在休眠模态中， sdram 必须进入 sdram的动刷新模式

FEELING KEYJU