

第二十章 IIC 总线接口

20.1 概述

S3C2440A RISC 微处理器可以支持多主设备 IIC 总线串行接口。专用串行数据线（SDA）和串行时钟线（SCL）承载总线主设备和连接 IIC 总线的外围设备之间的信息。SDA 和 SCL 线都是双向的。

在多主设备 IIC 总线模式下，多个 S3C2440A 微处理器可以从从属设备接收或发送串行数据。主设备 S3C2440A 可以初始化和终止一个基于 IIC 总线的数据传输。在 S3C2440A 中的 IIC 总线使用标准总线仲裁步骤。

为了控制多主设备 IIC 总线操作，这些值必须写入以下寄存器：

- 多主设备 IIC 总线控制寄存器（IICCON）
- 多主设备 IIC 总线控制状态寄存器（IICSTAT）
- 多主设备 IIC 总线接收发送数据移位寄存器（IICDS）
- 多主设备 IIC 总线地址寄存器（IICADD）

当 IIC 总线是空闲的，SDA 和 SCL 线应该都是高电平。SDA 从高到低的变化能够初始化一个开始条件。当 SCL 保持稳定在高电平下，SDA 从低到高的变化可以初始化一个停止条件。

开始和停止条件都是由主设备生成。在第一个字节中的一个 7 位的地址值可以决定一个由主设备选择的从设备，其地址值在开始条件初始化后被放到总线上。第 8 位决定的是传输方向（读或写）。

放到 SDA 线上的每个数据字节总共应该是 8 位。在总线传输期间，该字节可以被无限制的发送或接收。数据发送总是先对 MSB，每个字节应该紧跟一个应答位（ACK）。

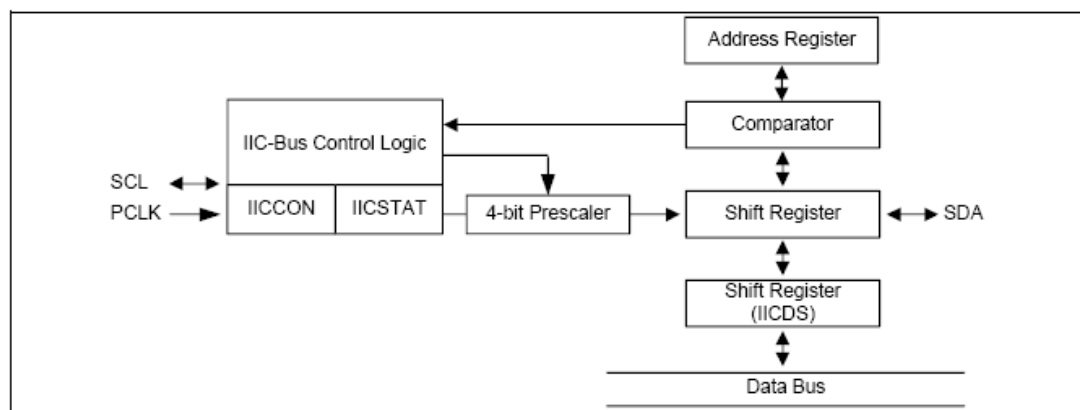


Figure 20-1. IIC-Bus Block Diagram

20.1.1 IIC 总线接口

S3C2440A 的 IIC 总线接口有四个操作模式

- 主设备发送模式
- 主设备接收模式
- 从设备发送模式
- 从设备接收模式

这些操作模式间功能关系将在下面描述。

20.1.2 开始和停止条件

当 IIC 总线接口是不活动，其通常是在从设备模式。换言之，接口在检测到 SDA 线上的开始条件之间一直处于从设备模式（开始条件可以被初始化，当 SCL 时钟信号是高电平是 SDA 线下跳变）。当接口状态变为主设备模式，在 SDA 线上的数据传输被初始化且 SCL 信号生成。

开始条件可以通过 SDA 线传输一个字节串行数据，一个停止条件可以终止一个数据传输。停止条件是当 SCL 是高电平时，SDA 线从低电平到高电平的跳变。开始和停止条件都是由主设备生成。当开始条件生成，IIC 总线忙。停止条件将使 IIC 总线空闲。

当一个主设备初始化开始条件，它应该发送一个从地址来停止从设备。一个字节的地址域包含 7 位地址和一位传输方向指示（说明读写）。如果位 8 是 0，说明是写操作。如果位 8 是 1 说明是数据读请求。

主设备通过发送停止条件来完成一个传输操作。如果主设备想继续到总线的数据传输，他应该生成另一个开始条件和从地址。用这个方法，读写操作可以在不同形式下执行。

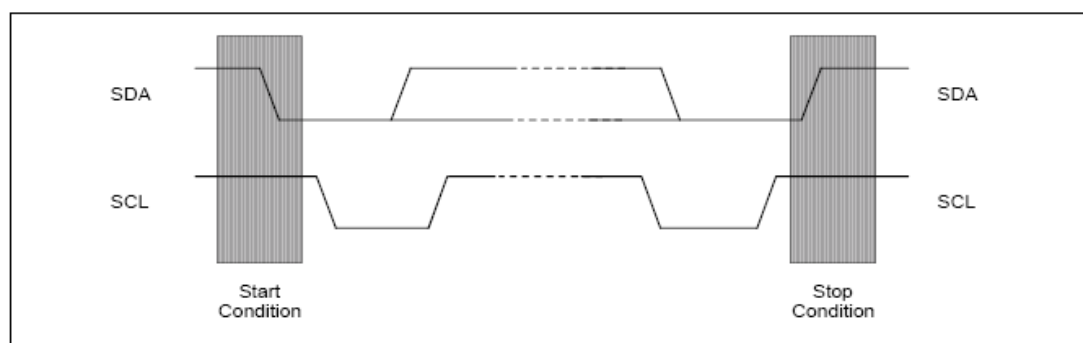


Figure 20-2. Start and Stop Condition

20.1.3 数据传输格式

每个放到 SDA 线上的字节应该是 8 位长度。该字节应该被无限制的传输。紧接着开始条件的第一个字节应该有一个地址区域。当 IIC 在主设备模式下操作，地址区域应该由主设备发送。每个字节后面应该紧跟一个应答位（ACK）。串行数据的 MSB 位和地址总是先发送。

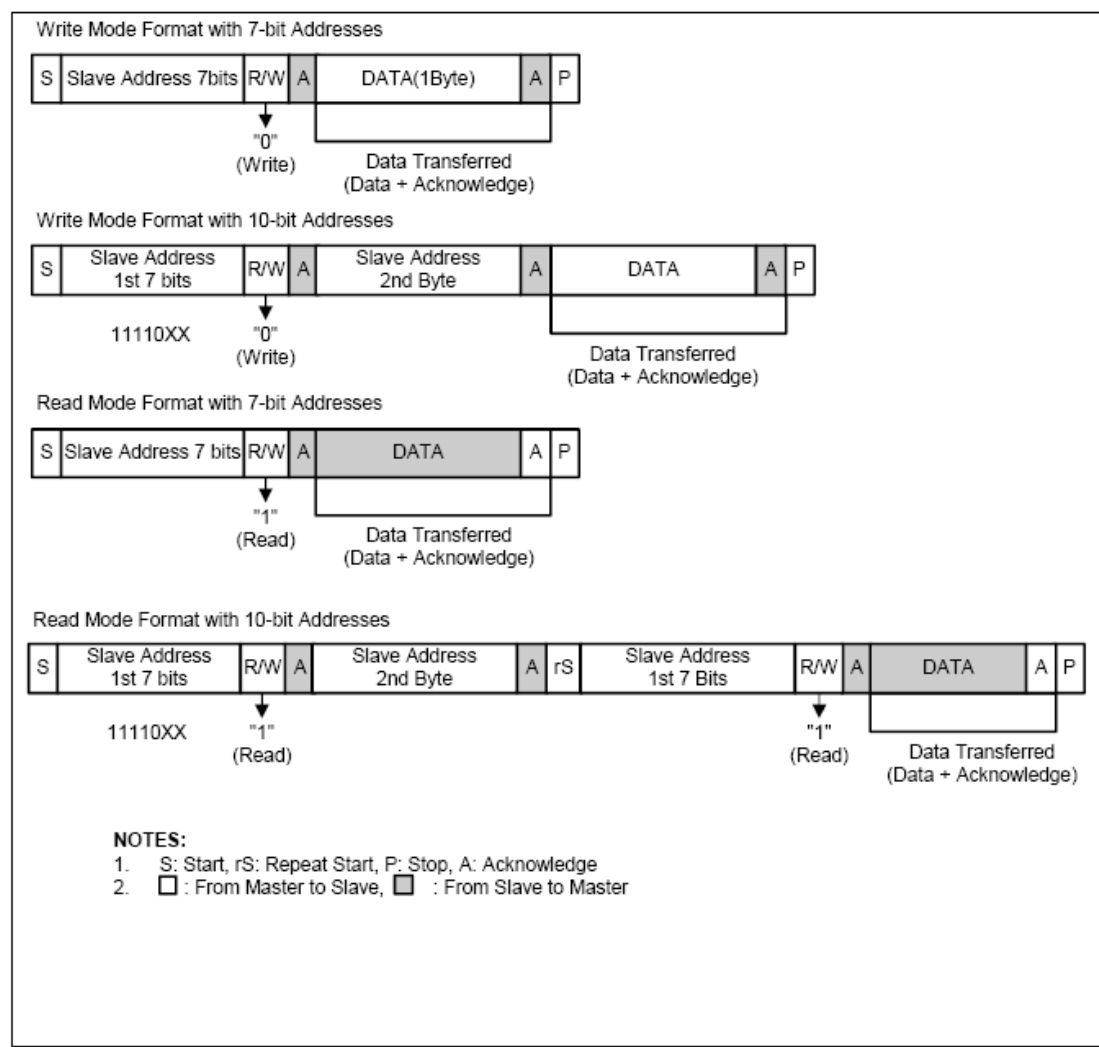


Figure 20-3. IIC-Bus Interface Data Format

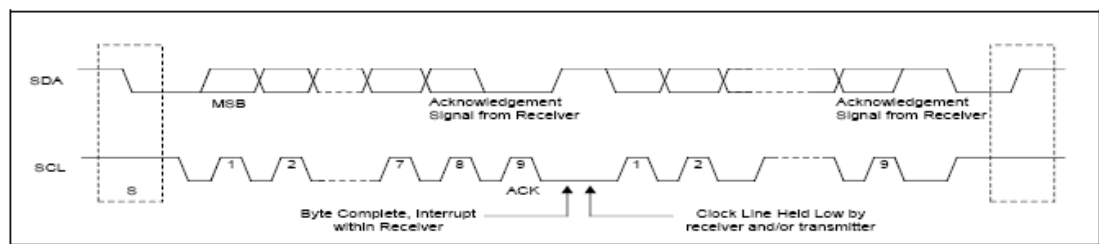


Figure 20-4. Data Transfer on the IIC-Bus

20.1.4 ACK 信号传输

为了完成一个字节的传输操作，接收器应该发送一个 ACK 位给发送器。ACK 脉冲应该出现在 SCL 线的第九个时钟。一个字节数据传输需要 8 个时钟。主设备生成传输 ACK 位所需的时钟脉冲。

发送器应该在接收到 ACK 时钟脉冲以后通过拉高 SDA 线释放 SDA 线。接收器也应该在 ACK 时钟脉冲期间拉低 SDA 线，以至于在第九个 SCL 脉冲为高电平期间 SDA 保持低电平。

ACK 位发送功能可以通过软件（IICSTAT）使能或使无效。但是在 SCL 第九个时钟的 ACK 脉冲是用于完成一个字节数据传输。

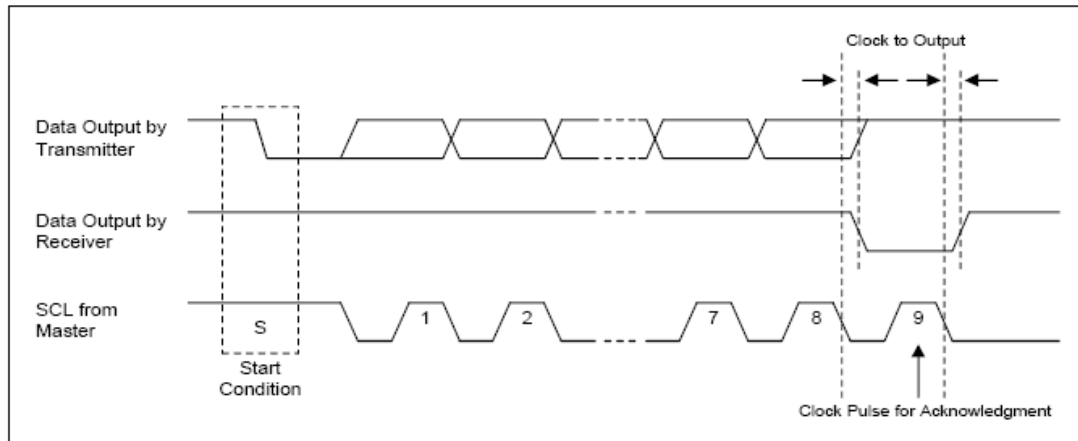


Figure 20-5. Acknowledge on the IIC-Bus

20.1.5 读写操作

在发送模式下，如果数据传输后，IIC 总线接口会等待直到 IIC 总线数据移位寄存器（IICDS）收到一个新数据。在新数据写入寄存器之前，SCL 线将保持低电平，然后在数据写入后释放。S3C2440A 应该保持中断来识别当前数据发送是否完成。在 CPU 收到中断请求以后，它应该再写一个新数据到 IICDS 寄存器。

在接收模式下，当数据收到后，IIC 总线接口应该等待直到 IICDS 寄存器被读取。在一个新数据被读出之前，SCL 线应该保持低电平，在数据被读出后再释放。S3C2440A 应该保持中断来识别当前数据接收是否完成。在 CPU 收到中断请求以后，它应该从 IICDS 寄存器读取数据。

20.1.6 总线仲裁步骤

仲裁是为了避免两个主设备在总线上对 SDA 线的争夺。如果一个设置 SDA 线位高电平的主设备发现了另一个设置 SDA 线为低电平的主设备，它将无法初始化一个数据传输，因为总线当前电平不满足它自己设定的电平。仲裁过程将展开知道 SDA 线位变为高电平。

但是，当主设备同时拉低 SDA 线，每个主设备应该估计是否控制器是分配给自己。对于估计的目的是每个主设备应该检测地址位。当每个主设备生成从属设备地址时，它也应该侦测 SDA 线上的地址位，因为 SDA 线更可能拉低而不是变高。假定一个主设备生成一个低电平信号作为第一个地址位，而另一个主设备保持高电平。在这种情况下，两个主设备都会侦测到总线上是低电平，因为在低电平状态优先于高电平状态。如果这种情况发生，产生低电平的主设备应该获得控制权而产生高电平的主设备应该放弃总线控制权。如果两个设备都产生一个低电平作为地址的第一个位，则应该再仲裁第二个地址位。仲裁会一直继续直到最后一个地址位。

20.1.7 中止条件

如果一个从接收器不能应答从属设备地址的确认，它应该保持 SDA 线的电平为高。在这种情况下，主设备应该生成一个停止条件并中止传输。

如果主设备的接收器也参与了被中止的传输，它应该通过在从从设备收到最后数据字节后取消 ACK 信号的生成，给从设备传输操作的最后发信号。从设备发送器应该释放 SDA 线以允许主设备产生一个停止条件。

20.1.8 配置 IIC 总线

为了控制串行时钟（SCL）的频率，4 位的预定标器值可以通过 IICCON 寄存器来被编程。IIC 总线接口地址是存储在 IIC 总线地址寄存器（IICADD）中。（默认情况下，IIC 总线接口地址有一个未知值）

20.1.9 每个模式下的操作流程图

以下步骤必须在任何 IIC 接收发送操作之前被执行。

- (1) 如果需要，写自己从属地址到 IICADD 寄存器。
- (2) 设置 IICCON 寄存器
 - (a) 使能中断
 - (b) 定义 SCL 期间
- (3) 设置 IICSTAT 寄存器来使能串行输出。

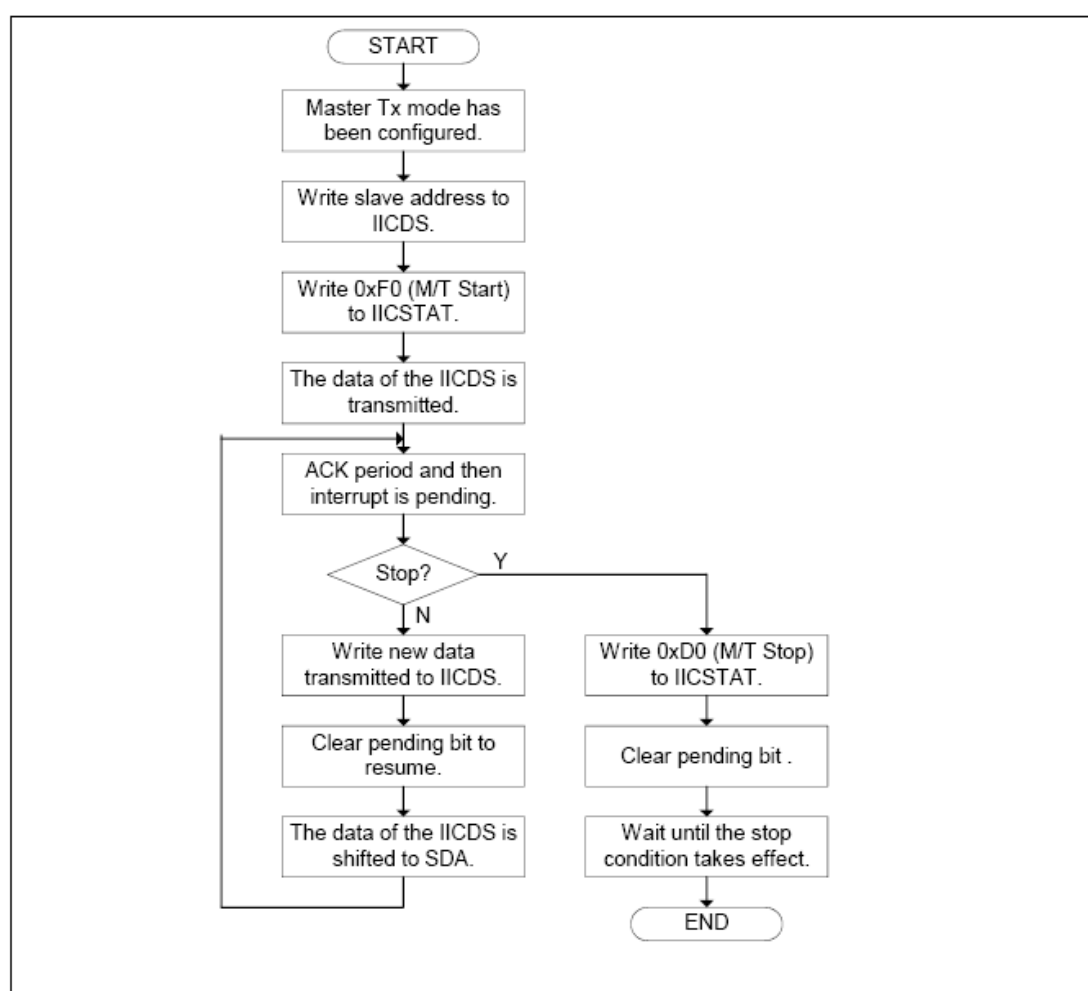


Figure 20-6 Operations for Master/Transmitter Mode

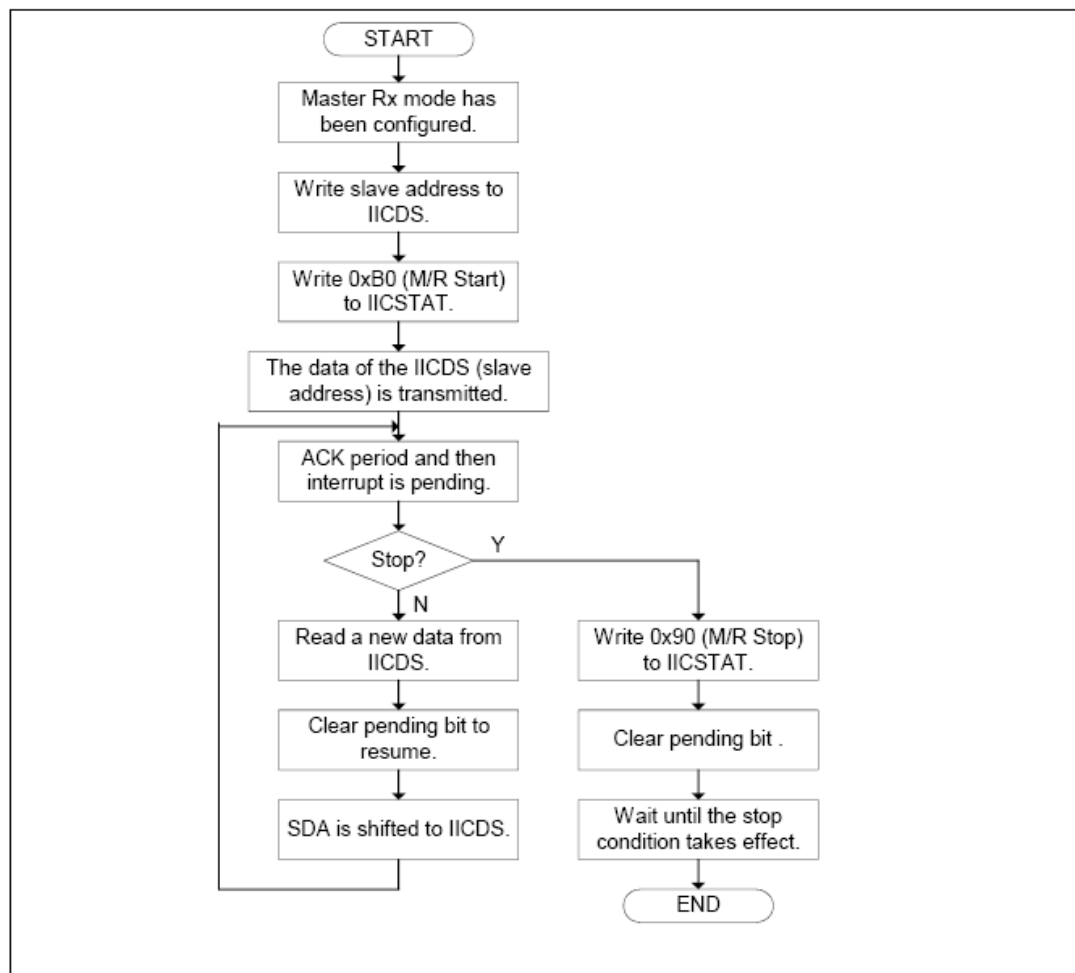


Figure 20-7 Operations for Master/Receiver Mode

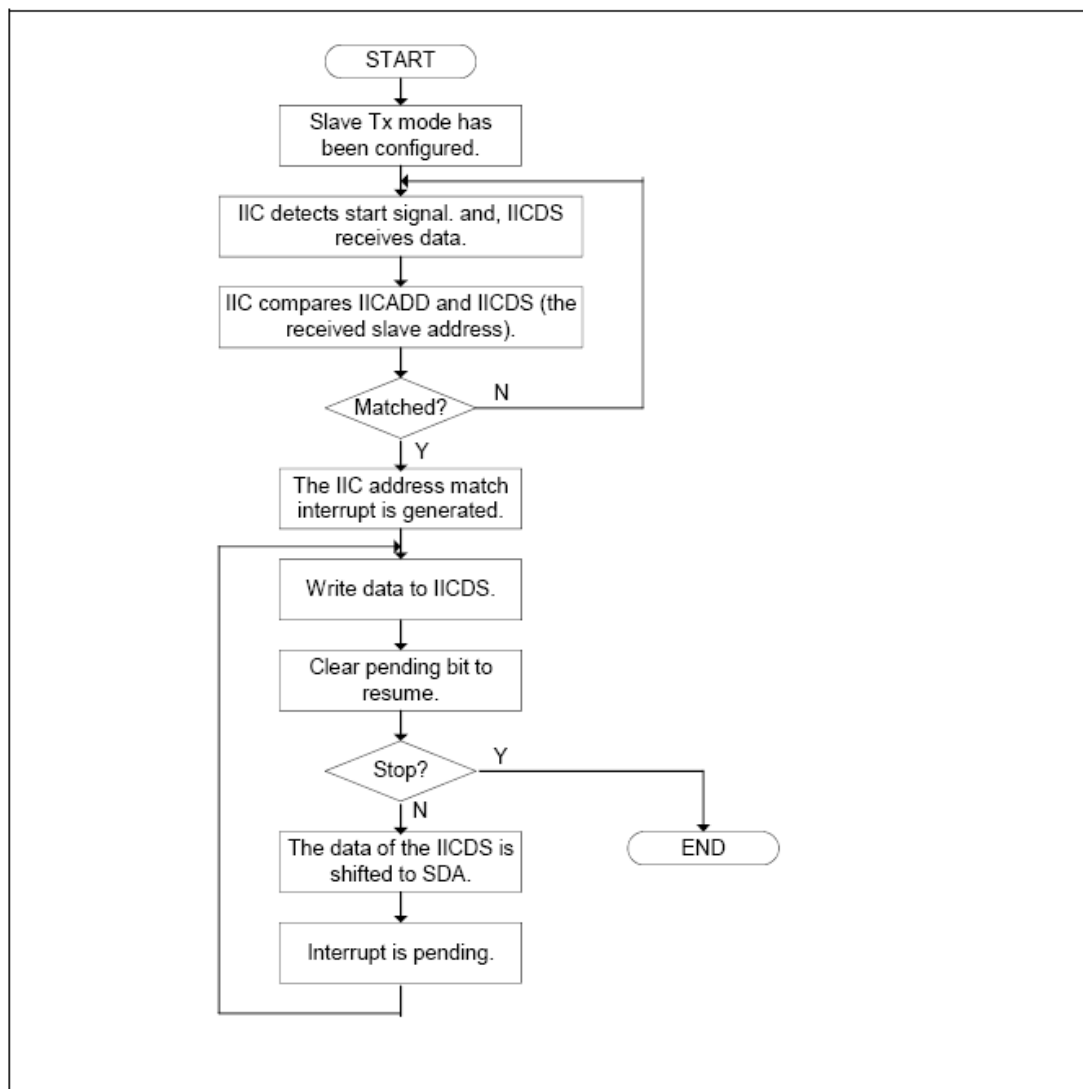


Figure 20-8 Operations for Slave/Transmitter Mode

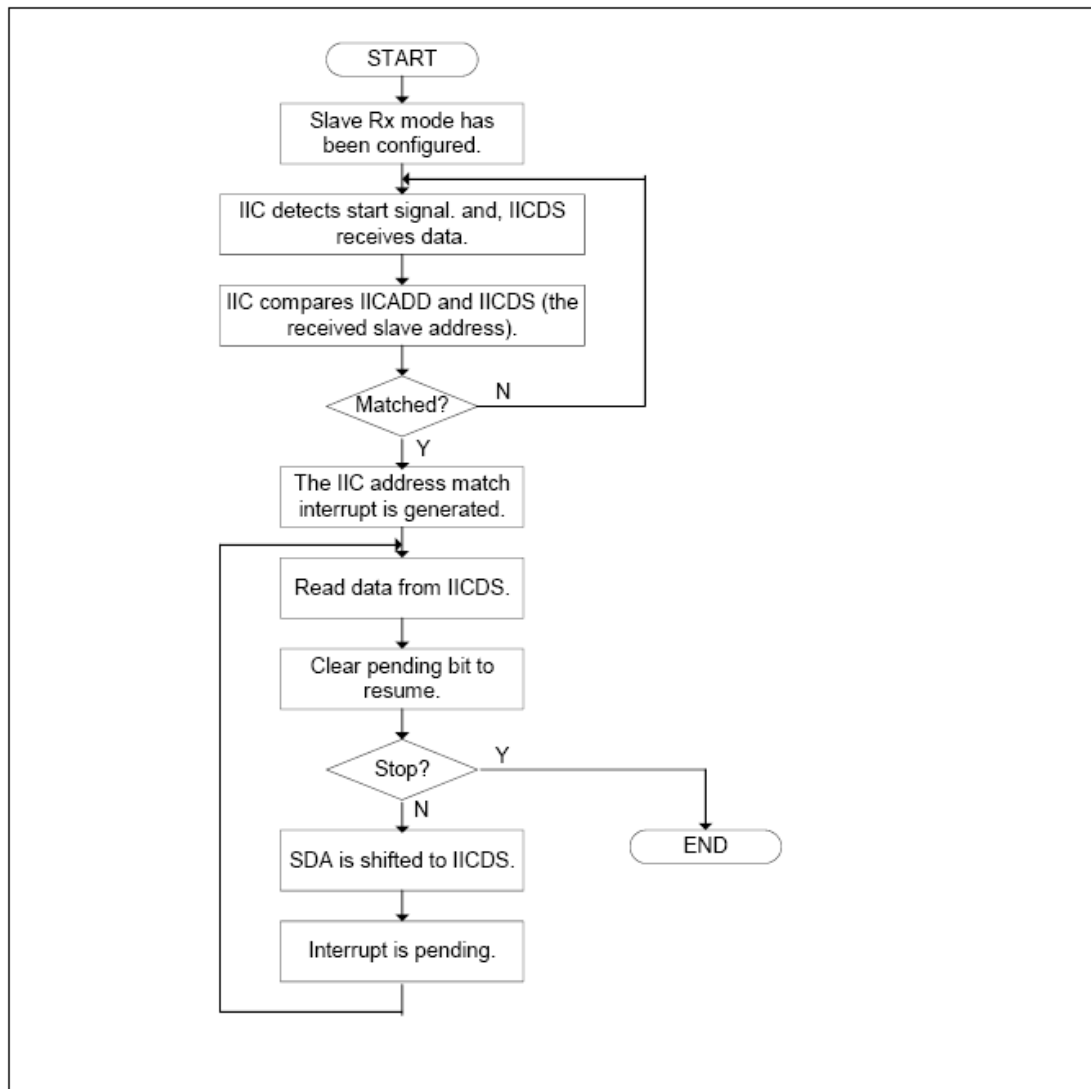


Figure 20-9 Operations for Slave/Receiver Mode

20.2 IIC 总线接口特殊寄存器

- (1) 多主设备 IIC 总线控制寄存器 (IICCON)
- (2) 多主设备 IIC 总线控制状态寄存器 (IICSTAT)
- (3) 多主设备 IIC 总线地址寄存器 (IICADD)
- (4) 多主设备 IIC 总线接收发送数据移位寄存器 (IICDS)
- (5) 多主设备 IIC 总线线路控制寄存器 (IICLC)

20.2.1 多主设备 IIC 总线控制寄存器

MULTI-MASTER IIC-BUS CONTROL REGISTER (IICCON)

寄存器	地址	读写	描述	复位值
IICCON	0x54000000	R/W	IIC总线控制寄存器	0xX

IICCON	位	描述	初始值
Acknowledge generation ⁽¹⁾	[7]	IIC总线应答使能位 0: 无效 1: 有效 在发送模式下, IICSDA在应答时间内是空闲 在接收模式下, IICSDA在应答时间内是L	0
Tx clock source selection	[6]	IIC总线传输时钟预定标器源时钟选择位 0: IICCLK = f _{PCLK} /16 1: IICCLK = f _{PCLK} /512	0
Tx/ Rx Interrupt ⁽⁵⁾	[5]	IIC总线接收发送中断使能位 0: 无效 1: 有效	0
Interrupt pending flag ⁽²⁾⁽³⁾	[4]	IIC总线接收发送中断挂起标志。该位不能被写 1。当该位写 1, IICSDA为L且IIC停止。为了恢复操作, 清 0 该位。 0: (1) 无中断挂起 (读) (2) 清除挂起条件&恢复操作 (写) 1: (1) 中断挂起 (读) (2) N/A (写)	0
Transmit clock value ⁽⁴⁾	[3:0]	IIC总线发送时钟预定标器。 IIC总线发送时钟频率由该 4 位预定标器的值决定, 根据以下公式: Tx clock = IICCLK/(IICCON[3:0]+1)	UDF

注:

- (1) 接口 EEPROM, 在读取最后数据之前应答生成设置为无效, 目的是在接收模式下生成停止条件。
- (2) IIC 总线中断出现
 - 1) 当一个字节发送或接收操作完成
 - 2) 当一个 general call 或从设备地址匹配出现
 - 3) 如果总线仲裁失败
- (3) 为了在 IICSDA 上升沿之前调整 IICSDA 的建立时间, IICDS 必须在清除 IIC 中断挂起位之前写。
- (4) IICCLK 由 IICCON[6]决定。发送时钟在 SCL 跳变时间内改变。当 IICCON[6]=0, IICCON[3:0]=0x0 或 0x1 是没用的。
- (5) 如果 IICCON[5]=0, IICCON[4]没有正确操作。因此推荐设置 IICCON[5]=1, 景观你

没有使用 IIC 中断。

20.2.2 多主设备 IIC 总线控制状态寄存器

MULTI-MASTER IIC-BUS CONTROL/STATUS REGISTER (IICSTAT)

寄存器	地址	读写	描述	复位值
IICSTAT	0x54000004	R/W	IIC总线控制状态寄存器	0x0

IICSTAT	位	描述	初始值
Mode selection	[7:6]	IIC总线主从接收发送模式选择位 00：从接收模式 01：从发送模式 10：主接收模式 11：主发送模式	00
Busy signal status / START STOP condition	[5]	IIC总线忙状态位 0：（读）不忙 1：（读）忙 （写）停止信号生成 （写）开始信号输出 在开始信号后，IICDS中的数据自动被传输。	0
Serial output	[4]	IIC总线数据输出使能位。 0：无效Rx/Tx 1：有效Rx/Tx	0
Arbitration status flag	[3]	IIC总线仲裁过程状态标志位 0：总线仲裁成功 1：在串行IO中总线仲裁失败	0
Address-as-slave status flag	[2]	IIC总线address-as-slave状态标志位 0：当检测到开始或停止条件，该位被清除 1：收到的从设备地址和IICADD中的地址匹配	0
Address zero status flag	[1]	IIC总线地址 0 状态标志位 0：当检测到开始或停止条件，该位被清除 1：收到的从地址是 00000000b	0
Last-received bit status flag	[0]	IIC总线最后收到位状态标志位 0：最后收到位是 0（收到ACK） 1：最后收到位是 1（未收到ACK）	0

20.2.3 多主设备 IIC 总线地址寄存器

MULTI-MASTER IIC-BUS ADDRESS REGISTER (IICADD)

寄存器	地址	读写	描述	复位值
IICADD	0x54000008	R/W	IIC总线地址寄存器	0xXX

IICADD	位	描述	初始值
Slave address	[7:0]	从IIC总线锁存的 7 位从设备地址。 当串行输出使能=0，IICADD是写使能。不管当前串行输出使能位（IICSTAT中）设置，IICADD的值可以在任何时间读取。 Slave address : [7:1] Not mapped : [0]	XXXXXXXX

20.2.4 多主设备 IIC 总线接收发送数据移位寄存器

MULTI-MASTER IIC-BUS TRANSMIT/RECEIVE DATA SHIFT REGISTER (IICDS)

寄存器	地址	读写	描述	复位值
IICDS	0x5400000C	R/W	IIC总线发送接收数据移位寄存器	0xXX

IICDS	位	描述	初始值
Data shift	[7:0]	对于IIC总线发送接收操作的 8 位数据移位寄存器。 当在IICSTAT寄存器中的串行输出使能=1，IICDS是写使能。不管当前串行输出使能位（IICSTAT中）设置，IICDS的值应该可以在任何时间读取	XXXXXXXX

20.2.5 多主设备 IIC 总线线路控制寄存器

MULTI-MASTER IIC-BUS LINE CONTROL REGISTER (IICLC)

寄存器	地址	读写	描述	复位值
IICLC	0x54000010	R/W	IIC总线多主设备线路控制寄存器	0x00

IICLC	位	描述	初始值
Filter Enable	[2]	IIC总线滤波器使能位。 当SDA接口作为输入操作，该位应该是高电平。过滤器可以避免在连个PCLK期间干扰出现错误 0：滤波器无效 1：滤波器有效	0
SDA output delay	[1:0]	IIC总线SDA线路延时长度选择位 SDA线按以下时钟时间（PCLK）的延时 00： 0 clocks 01： 5 clocks 10： 10 clocks 11： 15 clocks	00