



**UNIVERSIDADE FEDERAL DE PELOTAS
CENTRO DE ENGENHARIAS
CURSOS DE ENGENHARIA ELETRÔNICA
DISCIPLINA SISTEMAS DIGITAIS I**

**Desenvolvimento de um projeto de
sistema digital em linguagem VHDL**

FELIPE G DE LEON

TURMA M1 - 1º SEMESTRE 2017

Distribuição dos Projetos por aluno

15102796	FELIPE GARCIA DE LEON	1
----------	-----------------------	---

A segunda avaliação do semestre consiste no desenvolvimento de um projeto de sistema digital em linguagem VHDL, e a respectiva validação do mesmo em software. Os projetos devem ser desenvolvidos segundo a metodologia RTL, baseada em parte de controle (máquina de estados) e parte operativa. Além dos códigos VHDL, uma representação gráfica da parte de controle e da parte operativa do sistema deve ser enviada. A avaliação será realizada através da análise da funcionalidade do projeto resultante. Aspectos como clareza e organização dos códigos serão avaliados. O desenvolvimento do projeto durante o horário das aulas também será considerado na avaliação.

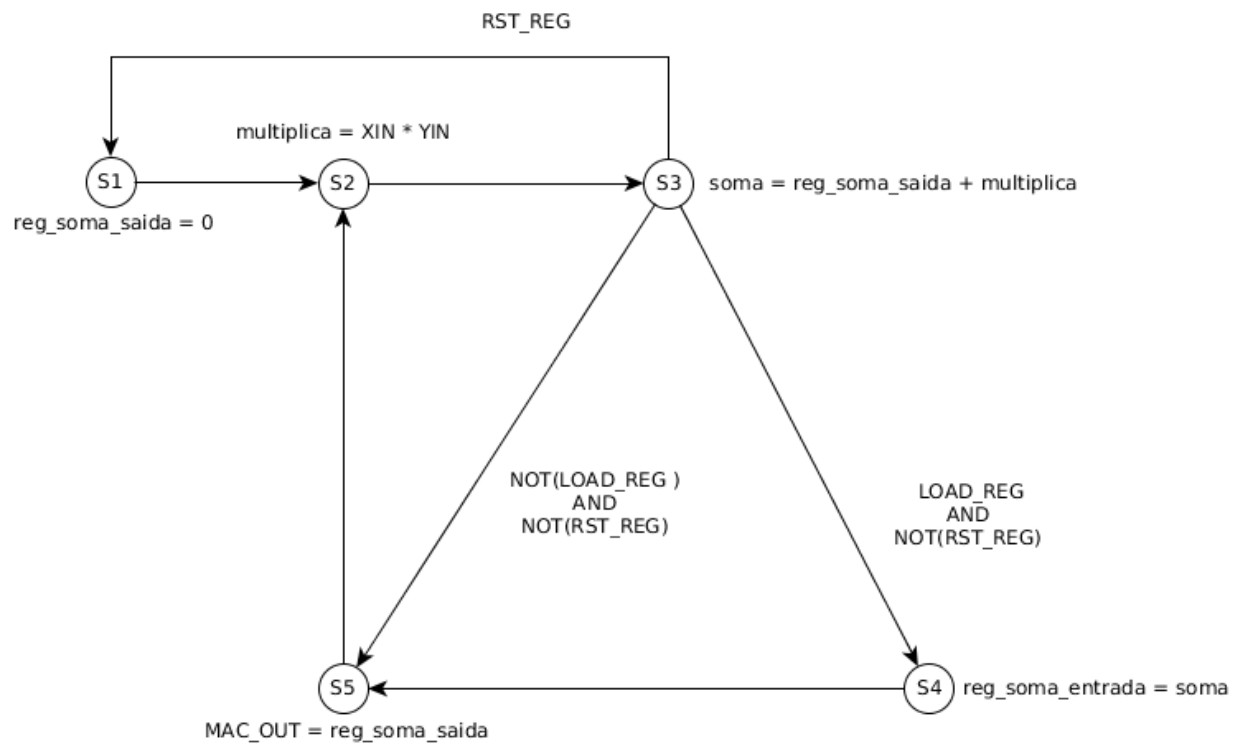
O trabalho é individual (cópias terão a nota reduzida). A data para entrega do projeto é 15/08/2016. Atrasos na entrega não serão permitidos, resultando em nota zero na avaliação.

Projetos:

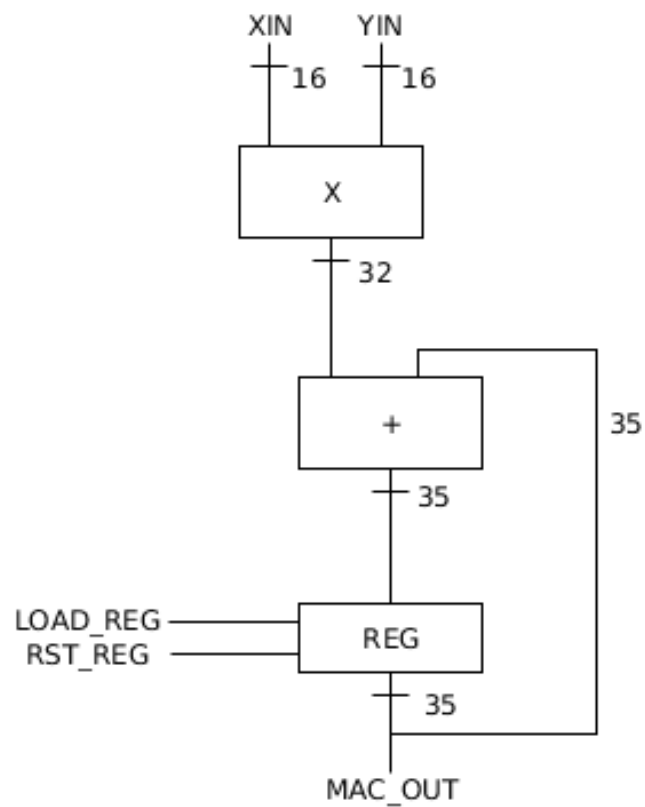
1. Projeto de uma arquitetura MAC (somador/acumulador) de 16 bits. Fazer duas implementações desta arquitetura: a) uma estrutura com e sem pipeline; b) uma estrutura utilizando memórias RAM e ROM, multiplexador e contador. Realizar uma comparação de desempenho entre elas.

a) Estrutura MAC sem pipeline

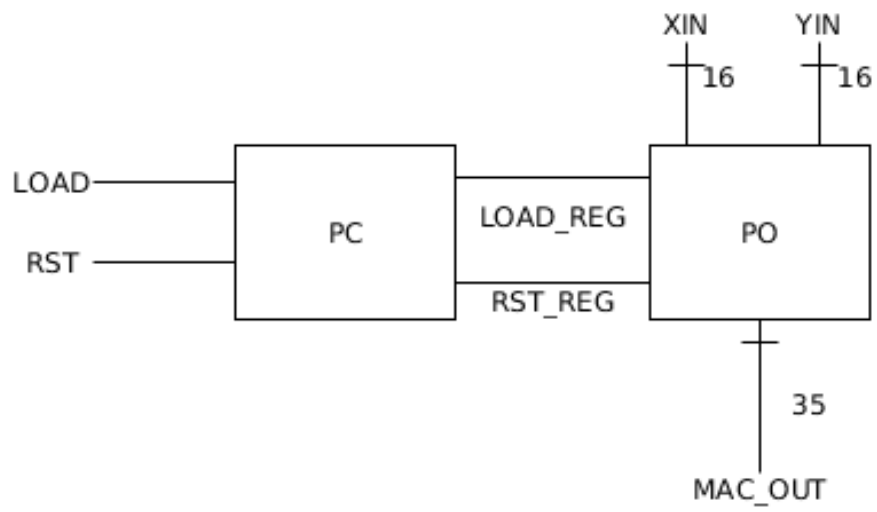
1) Diagrama máquina de estados MAC OP



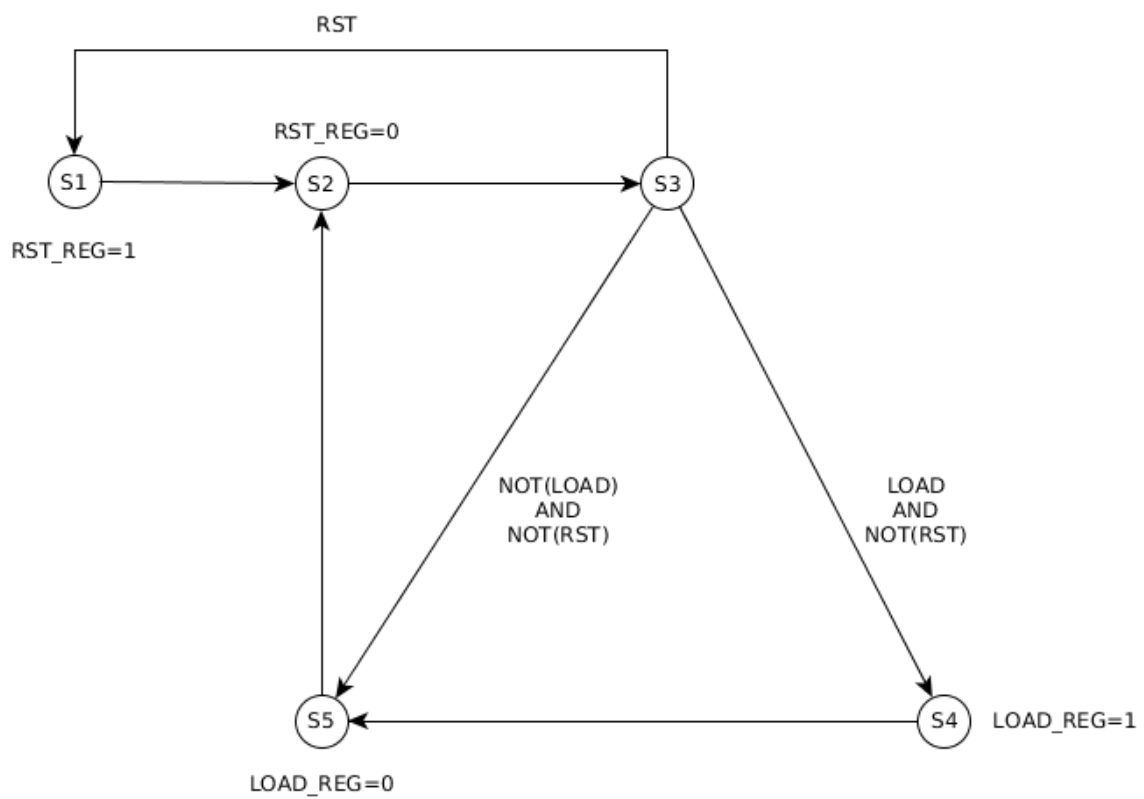
2) Diagrama de blocos MAC OP



3) Diagrama de blocos MAC PC-PO



4) Diagrama máquina de estados MAC PC



MAC assíncrono, multiplicador somador sem pipeline descrição:

O objetivo deste circuito é demonstrar a funcionalidade básica de um MAC, utilizando sincronismo assíncrono.

O funcionamento básico, quando a entrada **RST** zera o registrador “resetando” a contagem da saída do MAC para '0', o bloco multiplicador tem um tempo de execução de 20 μ s, o bloco somador 10 μ s e o registrador 0.2 μ s, com um tempo total de execução por instrução de 30.2 μ s, as entradas XIN e YIN são utilizadas pelo multiplicador, a entrada LOAD funciona como uma chave de execução que quando ativa o resultado dos cálculos é apresentado na saída do circuito a cada ciclo de 30.2 μ s, no momento que este sinal de entrada esta desativado o circuito não acumula valores e mostra o último resultado obtido em sua saída.

Abaixo a demonstração gráfica dos testes do código vhdl para o MAC sem pipeline:

Gráfico #1 MAC sem pipeline

Fácil visualização da execução da acumulação a cada pulso de 30.2 μ s, cursores foram adicionados pra visualizar facilmente o valor de cada passo.

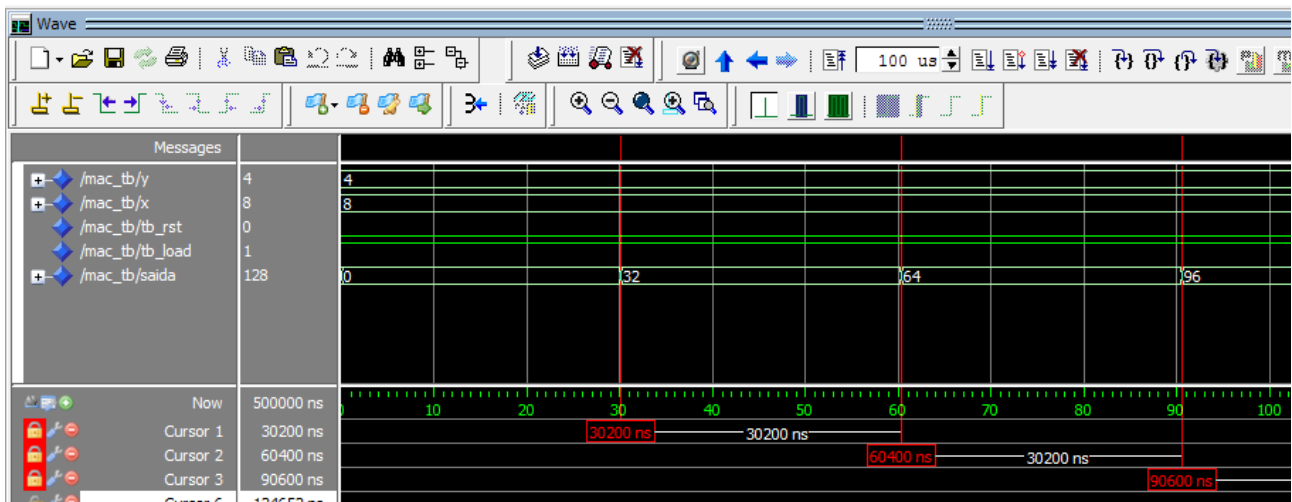


Gráfico #2 MAC sem pipeline

Esta segunda imagem é para demonstrar o funcionamento das entradas RST e LOAD, com o LOAD em '0' em 200 μ s a acumulação para e fica constante em "192", em 270 μ s quando RST é '1' o resultado da acumulação zera, o valor permanece assim enquanto o valor de RST e LOAD não muda, após a entrada RST zerar e a entrada LOAD voltar a ser '1' em 310 μ s o resultado da primeira acumulação aparece na saída posteriormente após 22.2 μ s o circuito volta a acumular, este primeiro passo demonstra que mesmo sem o resultado mudar na saída o bloco somador e multiplicador estão executando, posteriormente a contagem volta a acumular a cada 30.2 μ s como esperado e assim segue caso não tenha mudança nas entradas.

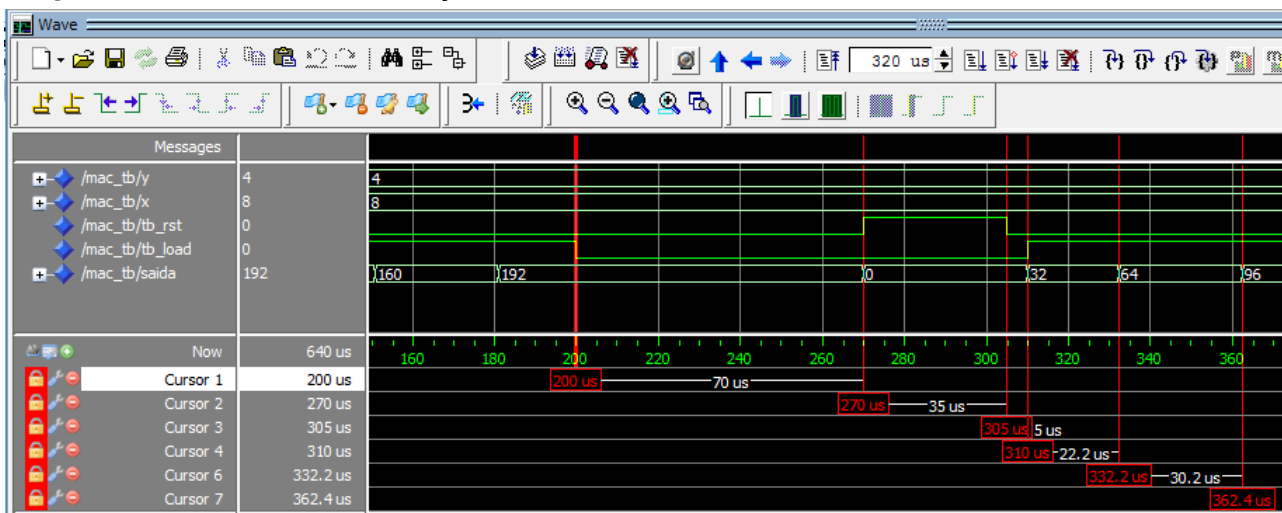
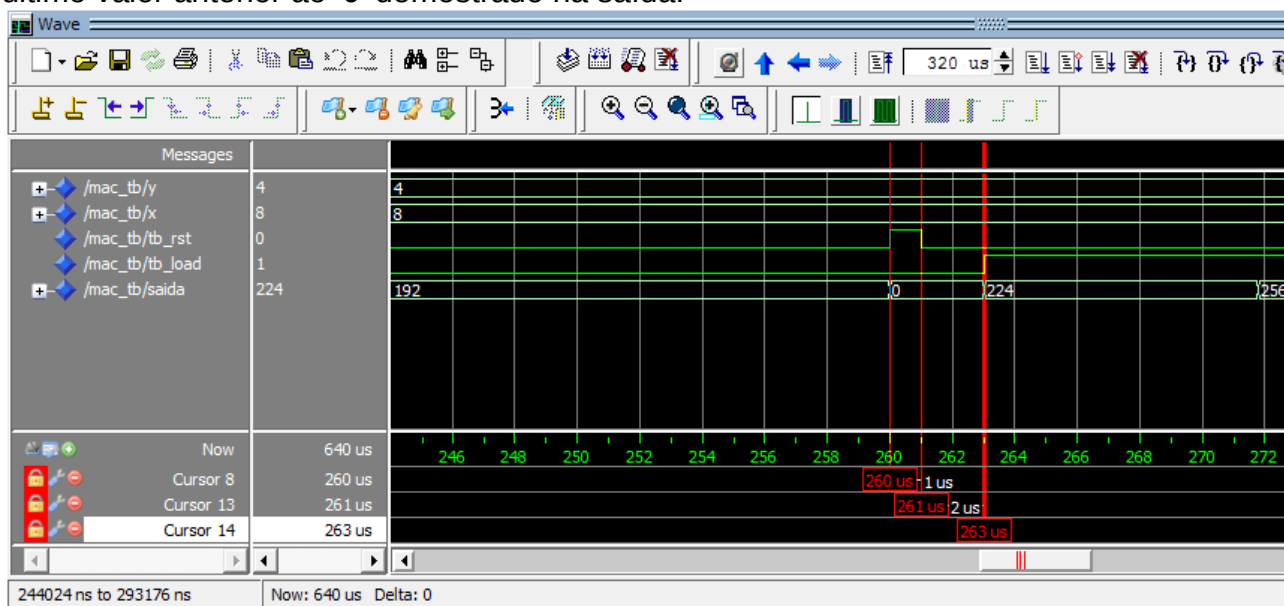


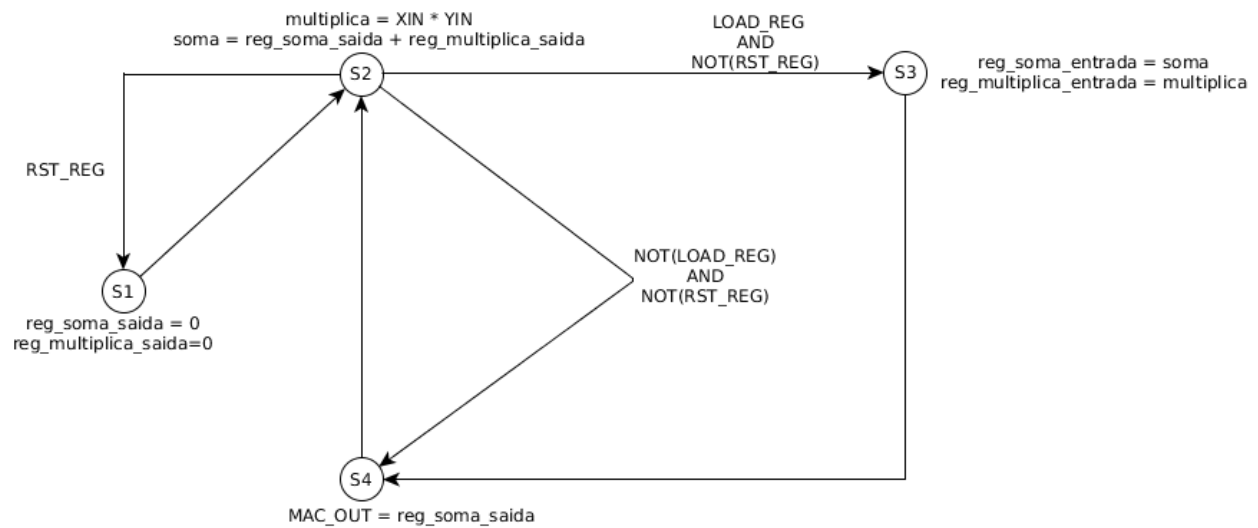
Gráfico #3 MAC sem pipeline, análise da limitação do circuito:

Devido este circuito ser assíncrono e simples em termos de funcionalidade, o mesmo tem um limite, sua entrada RST tem de permanecer em '1' por um tempo maior que um ciclo de 30.2 μ s caso isso não ocorra é possível que o valor de entrada da soma que vem do registrador não seja percebido pelo bloco de soma e a contagem continue a partir do último valor anterior ao '0' demonstrado na saída.

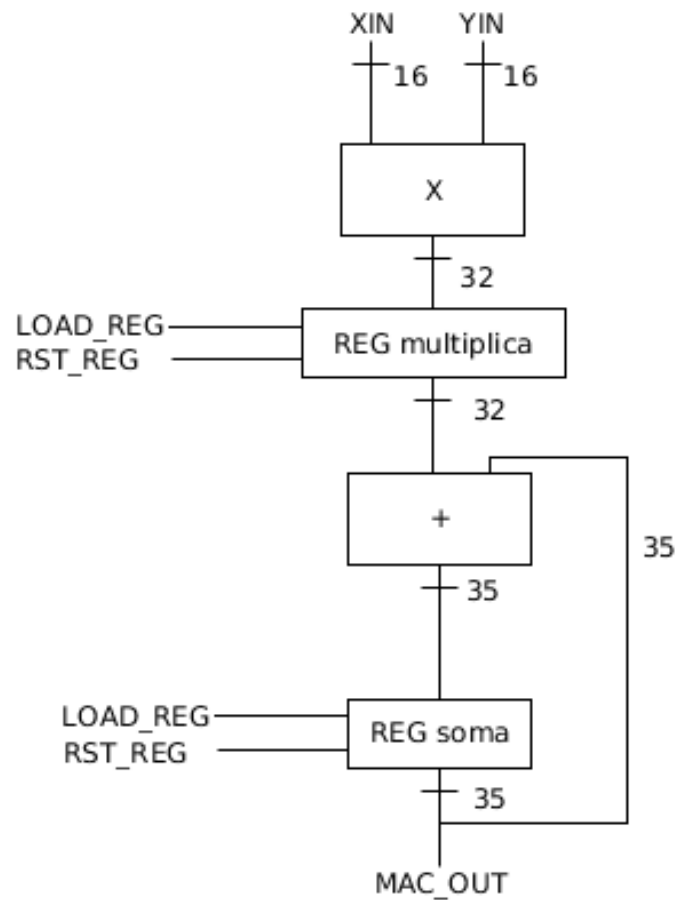


a) Estrutura MAC com pipeline

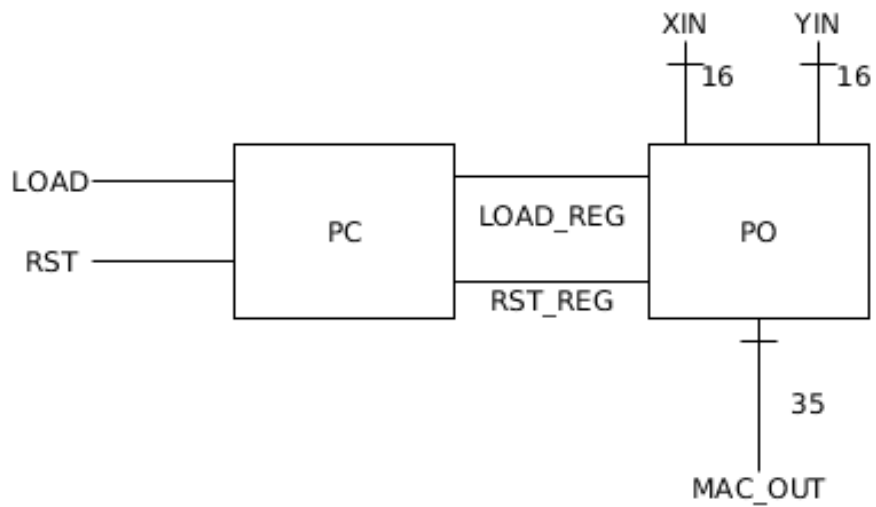
1) Diagrama máquina de estados MAC com pipeline OP



2) Diagrama de blocos MAC com pipeline OP

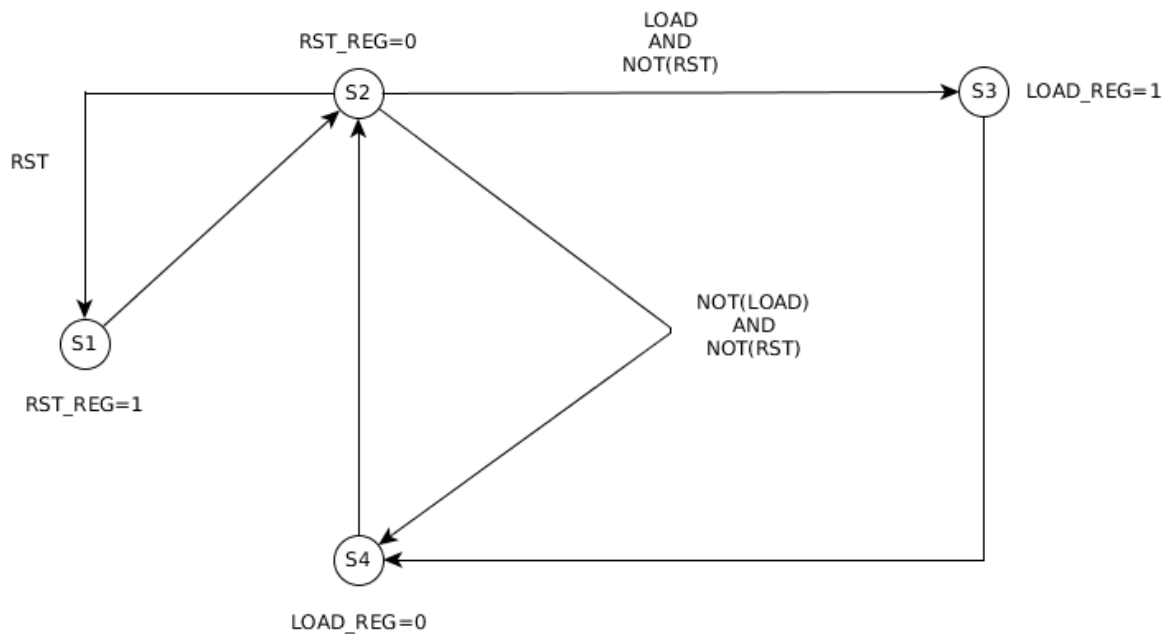


3) Diagrama de blocos MAC com pipeline PC-PO



Obs.: em relação ao diagrama do MAC sem pipeline não existe diferença em relação ao com pipeline pois os registradores estão sincronizados em relação ao sinal de LOAD_REG e RST_REG.

4) Diagrama máquina de estados MAC com pipeline PC



MAC assíncrono, multiplicador somador com pipeline descrição:

O objetivo deste circuito é demonstrar a funcionalidade básica de um MAC, utilizando sincronismo assíncrono e um nível de pipeline.

O funcionamento básico, quando a entrada **RST** zera o registrador “resetando” a contagem da saída do MAC para '0', o bloco multiplicador e o somador tem um tempo de execução simultâneo de 20 μ s e os registrador 0.2 μ s simultâneos, com um tempo total de execução por instrução de 20.2 μ s (após a latência inicial da primeira contagem), as entradas XIN e YIN são utilizadas pelo multiplicador, a entrada LOAD funciona como uma chave de execução que quando ativa o resultado dos cálculos é apresentado na saída dos registrados e por consequência na saída do circuito, no momento que este sinal de entrada esta desativado o circuito não acumula valores e mostra o ultimo resultada obtido em sua saída.

Abaixo a demonstração gráfica do teste do código vhdl para o MAC com pipeline:

Gráfico #1 MAC com pipeline

Exatamente como estudado na teoria, o primeiro resultado só é computado após um ciclo total de 40.4 μ s que é a soma de um tempo de execução de uma soma mais uma multiplicação e dois registradores ou seja todos componentes deste circuito, após o primeiro resultado ser afetado pela latência inicial, os resultados seguintes tem um ciclo de 20.2 μ s exatamente como o esperado, cursores foram adicionados pra visualizar facilmente o valor de cada passo.

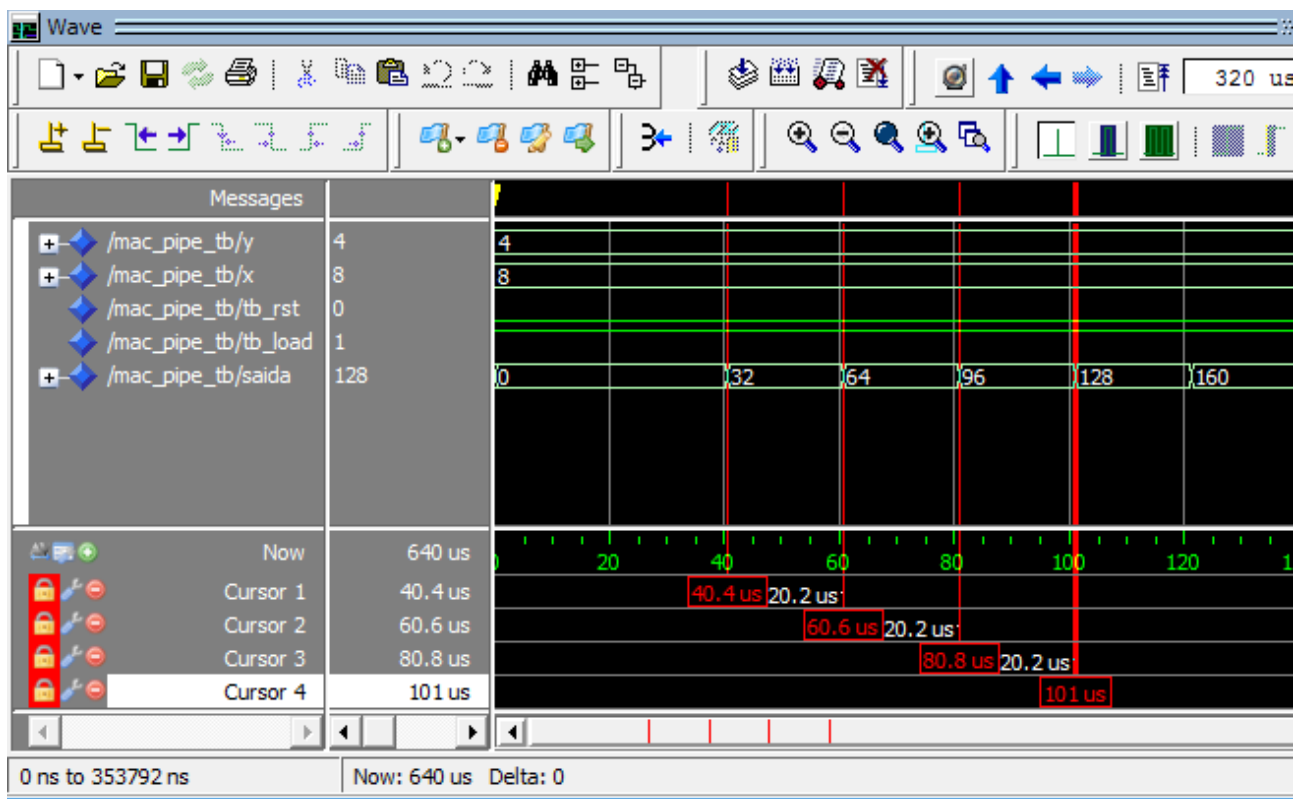


Gráfico #2 MAC com pipeline

Esta segunda imagem é para demonstrar o funcionamento das entradas RST e LOAD, quando o LOAD é '0' em 200 μ s a acumulação para e fica constante em "256", em 285 μ s quando RST é '1' o resultado da acumulação zera, o valor permanece assim enquanto o valor de RST e LOAD não muda, após a entrada RST zerar e a entrada LOAD ir para '1' em 310 μ s o resultado da primeira acumulação aparece na saída posteriormente após 13.2 μ s o circuito volta a acumular, este primeiro passo demonstra que mesmo sem o resultado aparecer na saída o bloco somador e multiplicador estão executando, posteriormente a contagem volta a acumular a cada 20.2 μ s como esperado.

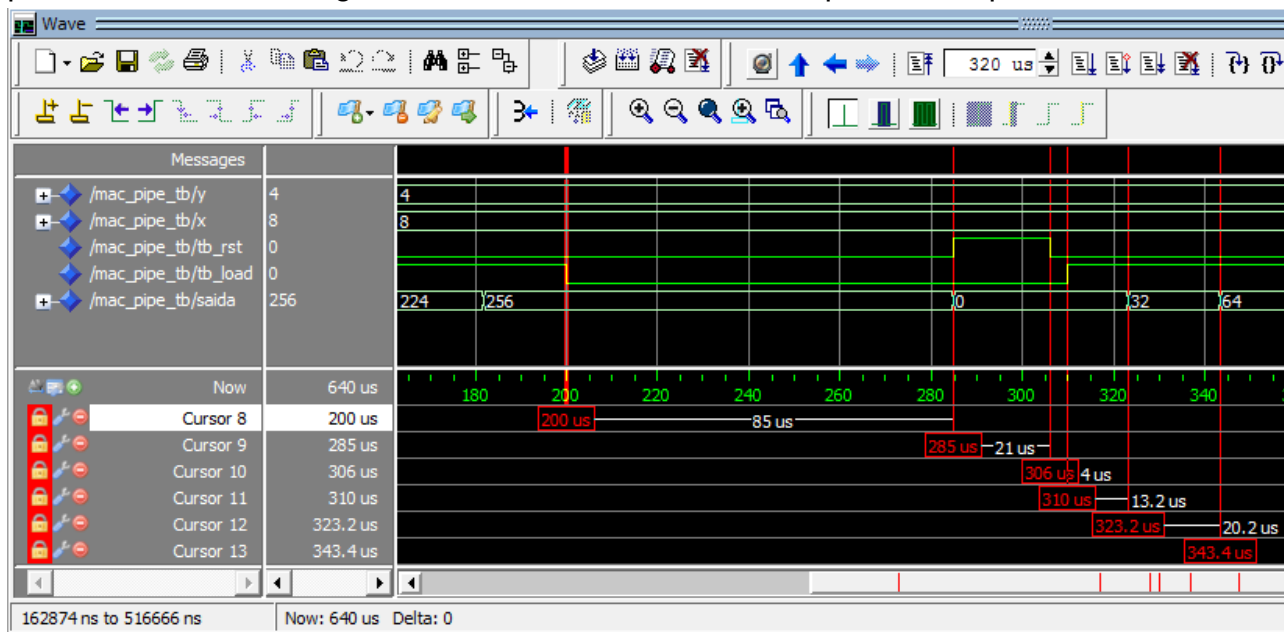
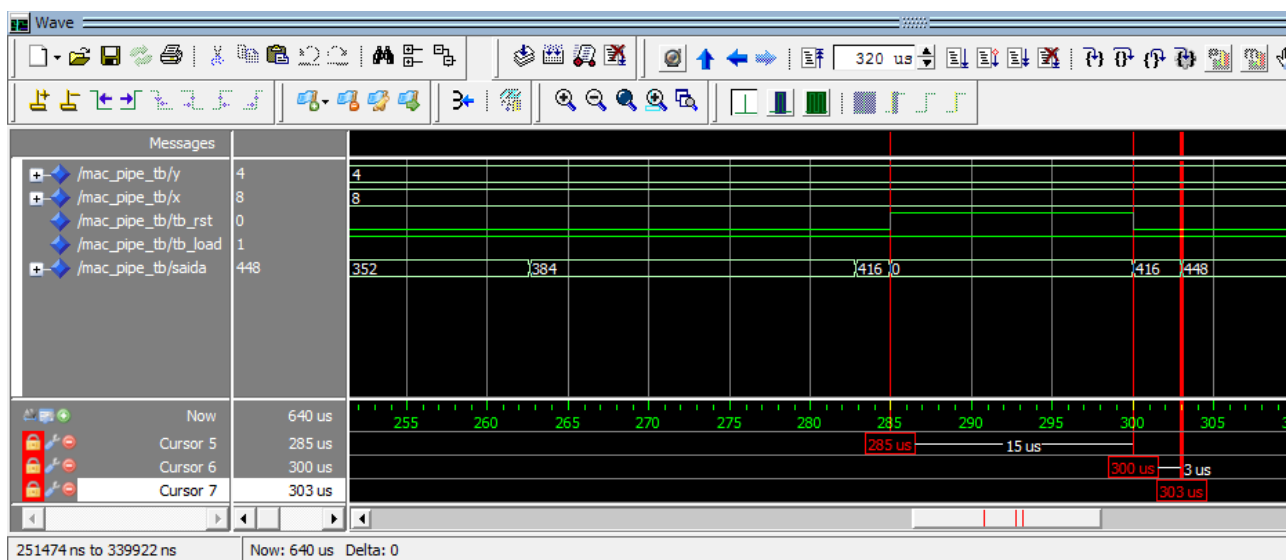


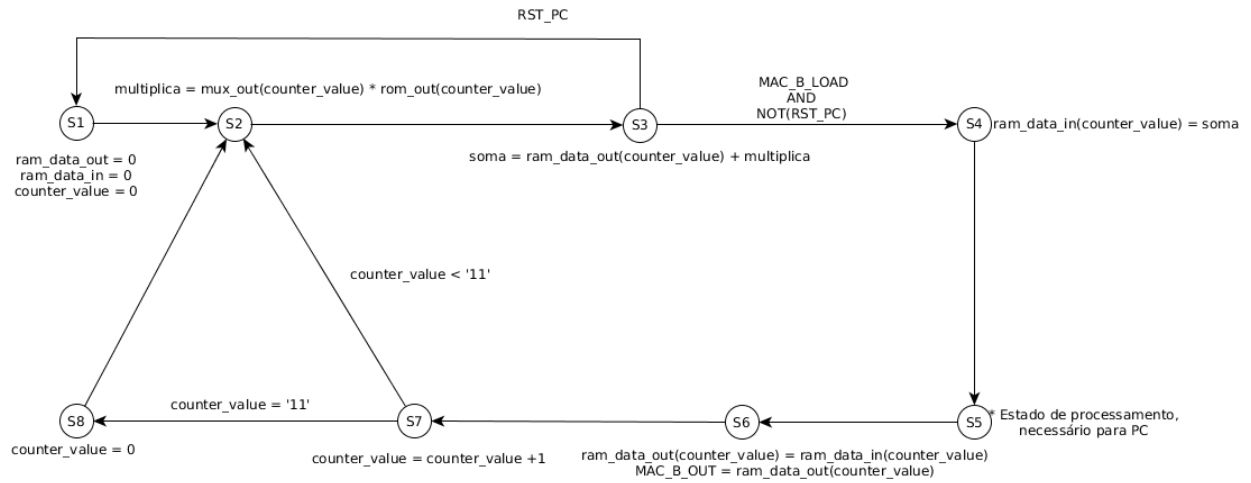
Gráfico #3 MAC com pipeline, análise da limitação do circuito:

Devido este circuito ser assíncrono e simples em termos de funcionalidade, o mesmo tem um limite que a entrada RST tem de permanecer em '1' por um tempo maior que um ciclo de 20.2 μ s caso isso não ocorra é possível que o valor da soma não resete e a contagem continue a partir do ultimo valor anterior ao '0' da saída.

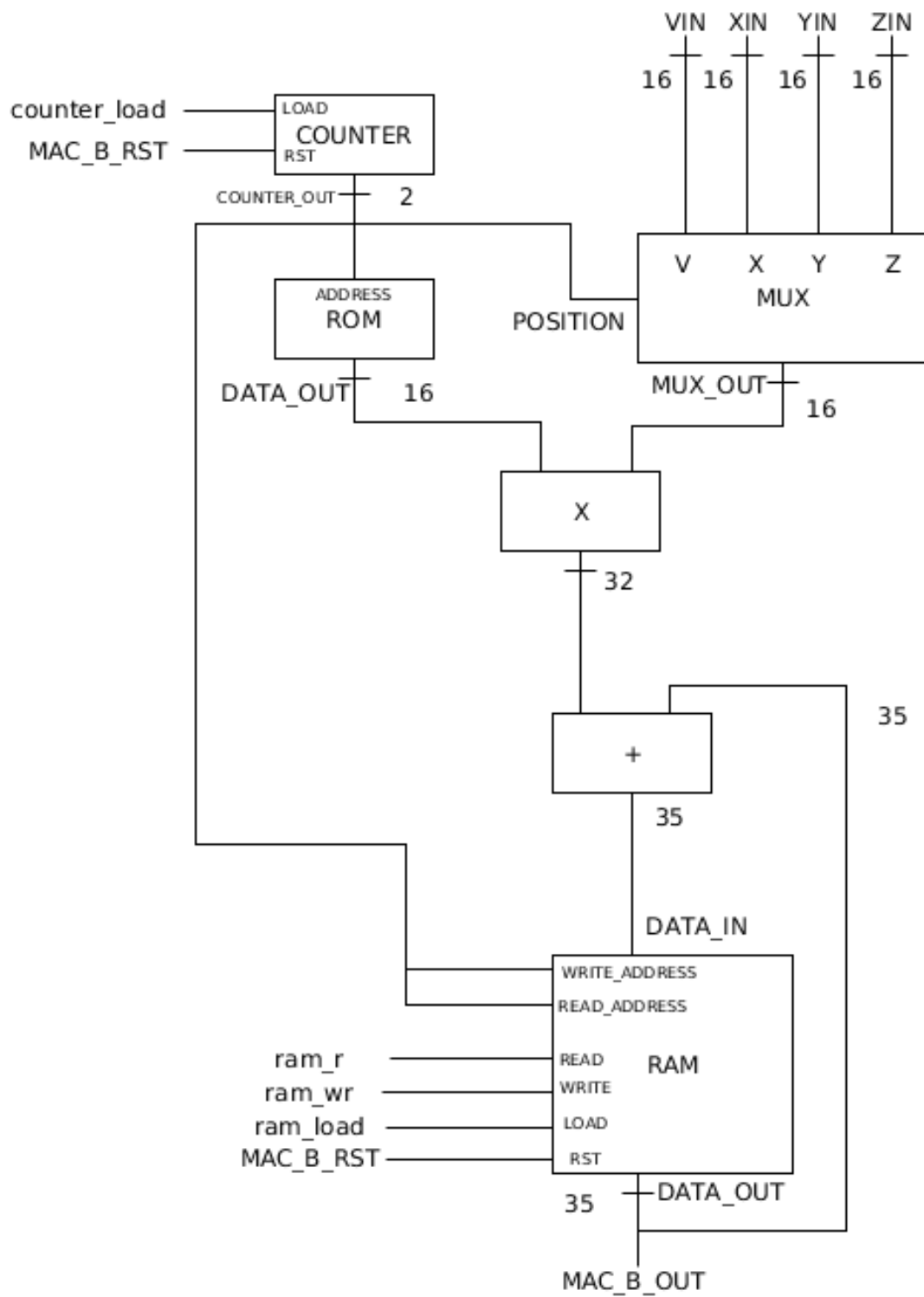


a) Estrutura MAC sem pipeline, utilizando memórias RAM e ROM, multiplexador e contador.

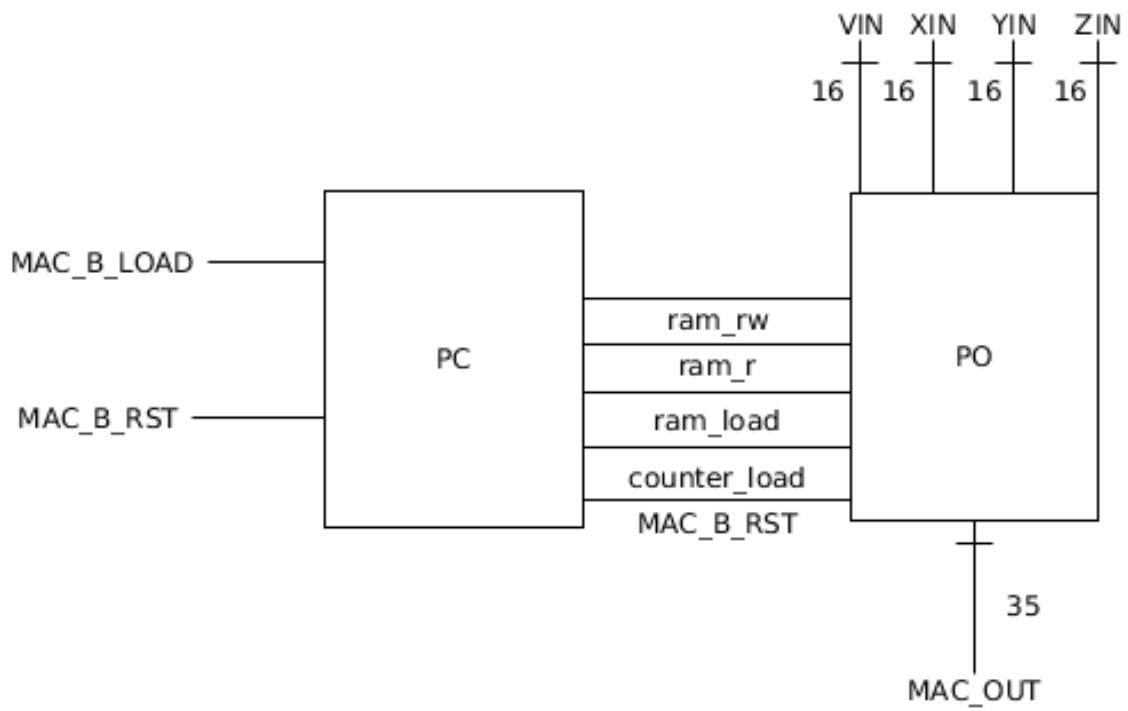
1) Diagrama máquina de estados MAC com pipeline OP



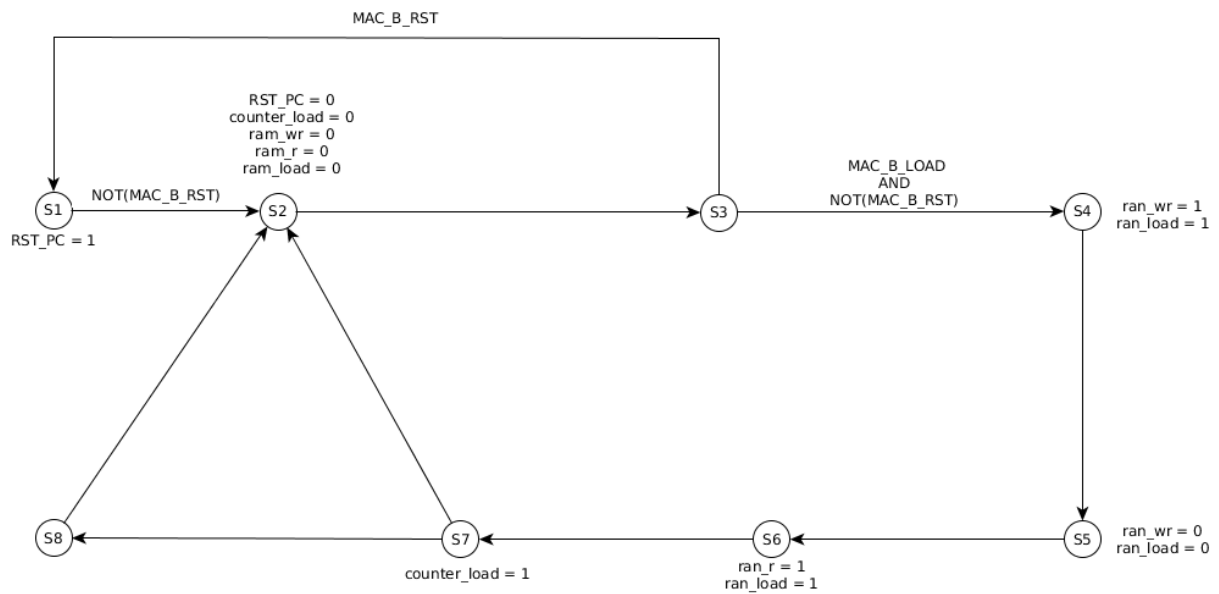
2) Diagrama de blocos MAC com pipeline OP



3) Diagrama de blocos MAC com pipeline PC-PO



4) Diagrama máquina de estados MAC com pipeline PC



MAC assíncrono sem pipeline, utilizando memórias RAM e ROM, multiplexador e contador.

O objetivo deste circuito é demonstrar a funcionalidade básica de um MAC, utilizando sincronismo assíncrono e memórias RAM e ROM, multiplexador e contador.

O funcionamento básico, quando a entrada **RST** for ativada em '1' todos valores de entrada e saída da RAM e do contador zera, assim a saída do circuito também zera, o bloco multiplicador tem um tempo de execução de 20 μ s, o bloco somador 10 μ s e a RAM 0.2 μ s, com um tempo total de execução por instrução de 30.2 μ s mais os tempos de load internos de 0.1 ps que foi utilizado apenas para que o processo funcionasse, o contador neste circuito funciona como um seletor, utilizado para selecionar o canal do MUX e o endereço das memórias, as entradas do MUX são as entradas de valores do sistema, a cada ciclo a multiplicação recebe o valor selecionado do MUX e da ROM, após o calculo finalizar a soma utiliza o valor atual da saída da RAM e soma com o valor atual da multiplicação, este valor é carregado para entrada da RAM, o sistema carrega o valor na RAM ativa o contador para este somar '+1' e o ciclo retorna para a partir da multiplicação em um loop infinito ate que as entradas RST ou LOAD mudem.

Abaixo a demonstração gráfica dos testes do código vhdl para o MAC sem pipeline:

Gráfico #1 MAC sem pipeline, utilizando memórias RAM e ROM, multiplexador e contador.

Fácil visualização da execução da acumulação a cada pulso de 30.2 μ s, cursores foram adicionados pra visualizar facilmente o valor de cada passo.

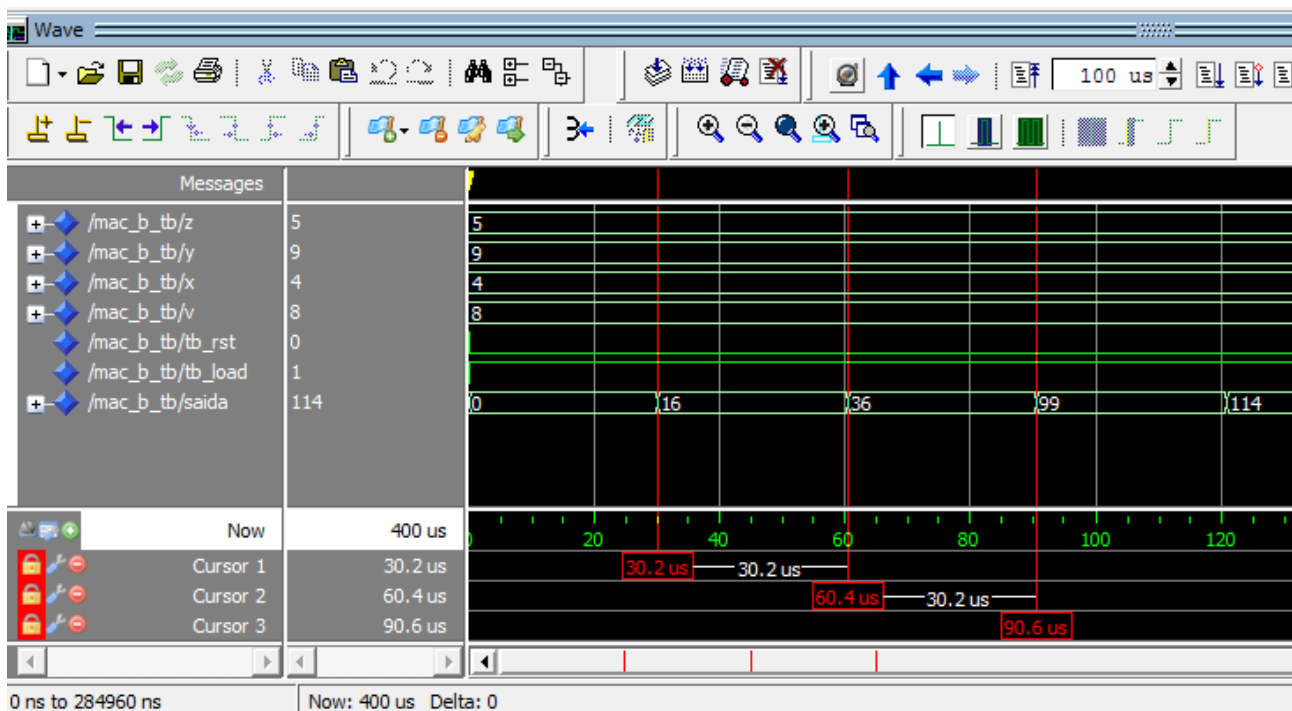


Gráfico #2 MAC sem pipeline, utilizando memórias RAM e ROM, multiplexador e contador.

Esta segunda imagem é para demonstrar o funcionamento das entradas RST e LOAD, com o LOAD em '0' em 200 μ s a acumulação para e fica constante em "192", em 300 μ s quando RST é '1' o resultado da acumulação zera, o valor permanece assim enquanto o valor de RST e LOAD não muda, após a entrada RST zerar e a entrada LOAD voltar a ser '1' em 310 μ s o resultado da primeira acumulação aparece na saída posteriormente após 2.2 μ s o circuito volta a acumular, este primeiro passo demonstra que mesmo sem o resultado mudar na saída o bloco somador e multiplicador estão executando, posteriormente a contagem volta a acumular a cada 30.2 μ s como esperado e assim segue caso não tenha mudança nas entradas.

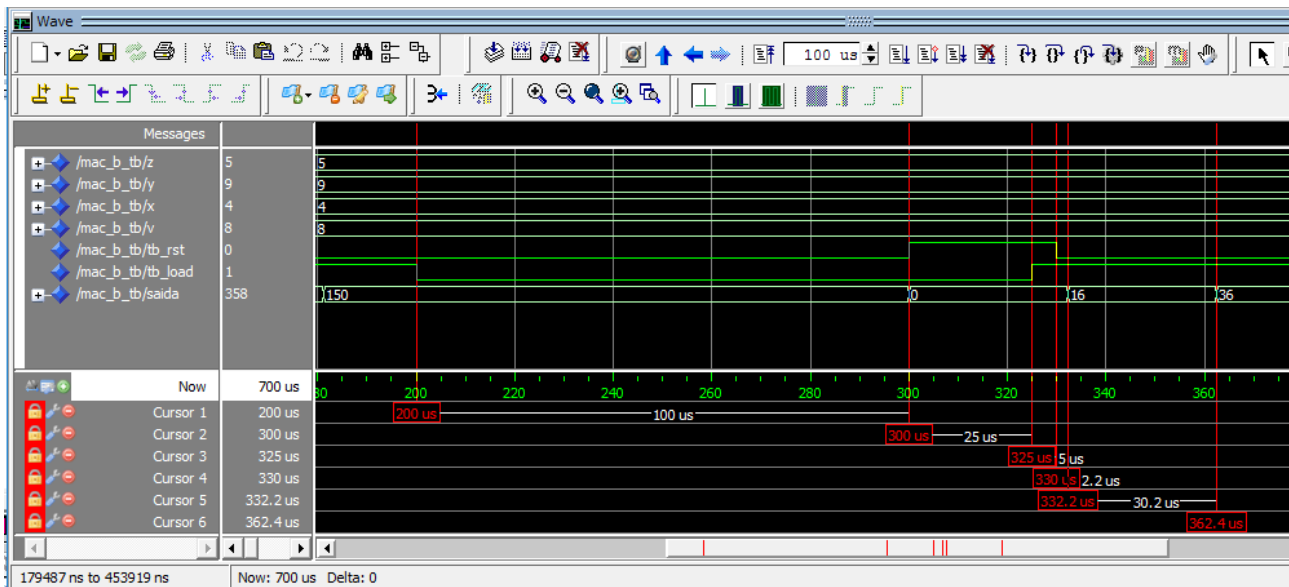
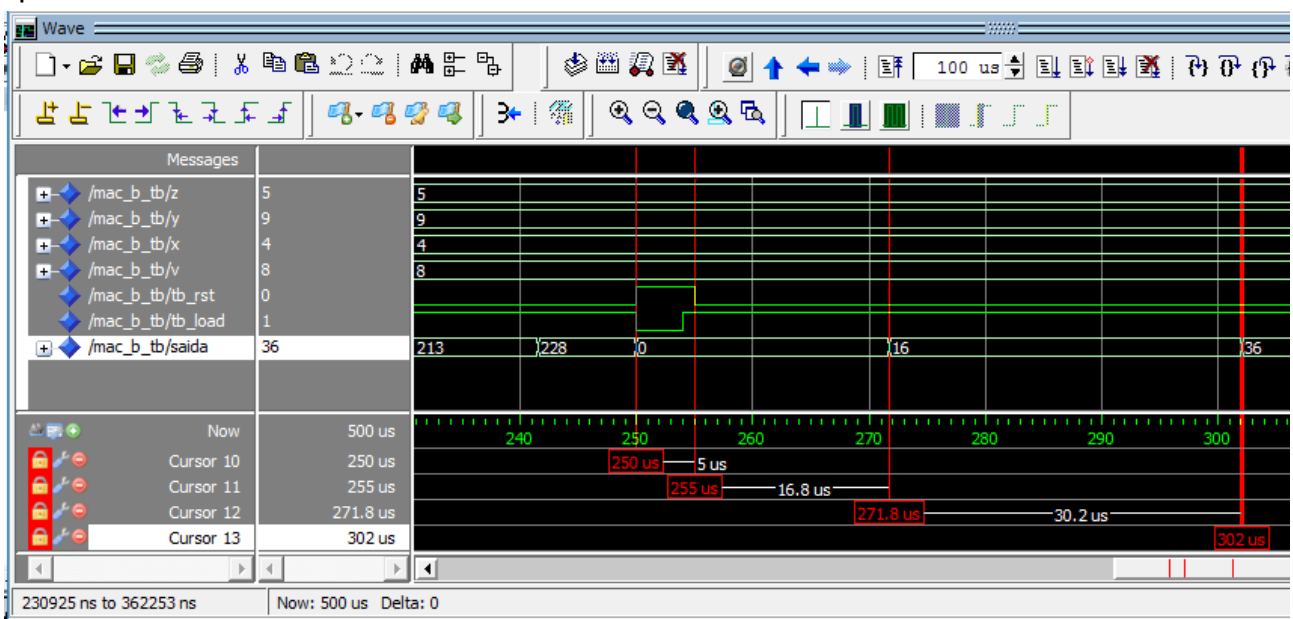


Gráfico #3 MAC sem pipeline, utilizando memórias RAM e ROM, multiplexador e contador.

Esta versão do MAC não demonstrou limitação no tempo de duração do pulso de RST como as anteriores. Abaixo foi executado um resete com uma duração de 5 μ s logo após uma mudança do acumulador, e é possível verificar que isto não causou alteração dos próximos resultados.



Comparação de desempenho entre as versões.

A comparação entre o primeiro MAC sem pipeline e o segundo com pipeline é exatamente o que se esperava em reação a teoria, uma diminuição do tempo de execução por instrução, mostrando que adicionando um registrador e executando simultaneamente dois blocos se obtêm um circuito mais eficiente em termos de tempo para se obter as repostas.

A comparação entre o primeiro MAC sem pipeline e como o MAC sem pipeline utilizando memórias RAM e ROM, multiplexador e contador em termos de performance mostrou que não se tem ganhos de desempenho é claro mantendo os valores de tempo nas mesmas escalas para o tempo de registro para o registrador e a RAM.

Caso se utilizasse um pipeline no MAC sem pipeline, utilizando memórias RAM e ROM, multiplexador e contador, o resultado seria o mesmo em termos de tempo do MAC com pipeline.

O que vale ressaltar é que se em termos de desempenho temos o mesmo resultado, em termos de confiabilidade o MAC sem pipeline, utilizando memórias RAM e ROM, multiplexador e contador obteve o melhor resultado pois como é possível verificar pelos gráficos este foi o único que demonstrou controle e resposta absoluta em relação as entradas de RST e LOAD, porém a complexidade de implementar um circuito tendo de criar mais componentes têm de se levar em conta, a complexidade deste MAC foi bem maior.

Assim é possível concluir que os resultados obtidos nas simulações é satisfatório e de comum acordo com as teorias vistas em sala de aula, também é possível verificar que modificações na escolha dos componentes utilizados pelo circuito e sua configuração pode resultar na melhor eficiência e confiabilidade deste.