

UFPel – Centro de Engenharias
Engenharia Eletrônica e Engenharia de Controle e Automação
Sistemas Digitais I – Código: 1420009
Segunda avaliação

A segunda avaliação do semestre consiste no desenvolvimento de um projeto de sistema digital em linguagem VHDL, e a respectiva validação do mesmo em software. Os projetos devem ser desenvolvidos segundo a metodologia RTL, baseada em parte de controle (máquina de estados) e parte operativa. Além dos códigos VHDL, uma representação gráfica da parte de controle e da parte operativa do sistema deve ser enviada. A avaliação será realizada através da análise da funcionalidade do projeto resultante. Aspectos como clareza e organização dos códigos serão avaliados. O desenvolvimento do projeto durante o horário das aulas também será considerado na avaliação.

O trabalho é individual (cópias terão a nota reduzida). A data para entrega do projeto é 15/08/2016. Atrasos na entrega não serão permitidos, resultando em nota zero na avaliação.

Projetos:

1. Projeto de uma arquitetura MAC (somador/acumulador) de 16 bits. Fazer duas implementações desta arquitetura: a) uma estrutura com e sem pipeline; b) uma estrutura utilizando memórias RAM e ROM, multiplexador e contador. Realizar uma comparação de desempenho entre elas.
2. Projeto do algoritmo da equação diferencial de 2ª ordem mostrada abaixo. A implementação deve ser feita com 8 bits nas formas combinacional, sequencial e com pipeline. Utilizar 4 ciclos (estados) e fazer uma comparação entre elas.

Enquanto ($x < a$)

{
 $fx = x + dx$;
 $fu = u - (4 * x * u * dx) - (4 * y * dx)$;
 $fy = y + (u * dx)$
}

3. Projeto de um filtro FIR de 8 taps de 8 bits. Implementar três estruturas: sequencial, semi-sequencial e paralela. Realizar uma comparação entre as arquiteturas.

$$Y(n) = \sum_{k=0}^{N-1} X(n-k) \cdot H(k) \text{ ou } \sum_{k=0}^{N-1} X(k) \cdot H(n-k)$$

4. Projeto de um filtro FIR de 4 taps de 4 bits. Implementar a estrutura com

somador (full-adder) e com multiplicador desloca e soma na forma sequencial.

$$Y(n) = \sum_{k=0}^{N-1} X(n-k) \cdot H(k) \text{ ou } \sum_{k=0}^{N-1} X(k) \cdot H(n-k)$$

5. Projeto de um divisor de 16 bits segundo o algoritmo abaixo.

