۱- (۱۰٪) در یک ترانزیستور NMOS تخلیه‌ای، مقدار $V_{DS}=0.4V$ است و در ناحیه‌ی خطی کار می‌کند. اگر جریان درین به ازای $V_{GS} = 1V$ برابر 4mA و به ازای $V_{GS}= -1V$ برابر 2mA باشد، مقدار ولتاژ آستانه چقدر است؟

۲- (۳۰٪) در جدول زیر نتایج تعدادی از اندازه‌گیری‌های ولتاژ و جریان یک ترانزیستور NMOS در دمای اتاق آورده شده است. با استفاده از این داده‌ها مقادیر خواسته شده را محاسبه کنید. از اثر DIBL صرف‌نظر کنید.

الف) ولتاژ آستانه (V_{T0})

ب) mobility الکترون (μ_n)

ج) ضریب اثر بدنه (γ)

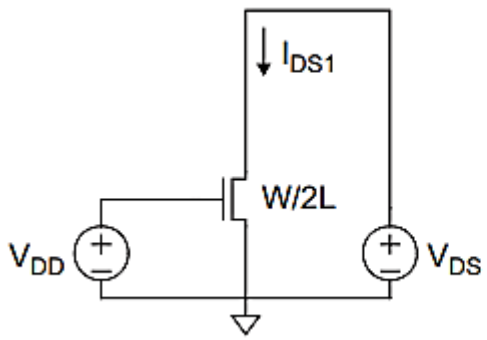
$$\frac{W}{L} = 1\,, \qquad t_{ox} = 345\ \text{Å}\,, \qquad \varepsilon_{ox} = 3.9 \times 8.85 \times 10^{-14}\,\frac{F}{cm}$$
$$|2\phi_F| = |\phi_S| = 0.64\ V$$

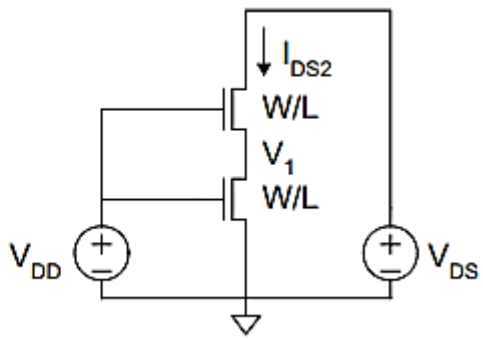
V_{GS} (V)	V_{DS} (V)	V_{SB} (V)	I_D (μA)
4	4	0	256
5	5	0	441
4	4	2.6	144
5	5	2.6	256

۳- (۲۰٪) نشان دهید جریان گذرنده از دو ترانزیستور یکسان با اتصال سری، برابر با جریان گذرنده از یک ترانزیستور با طول دو برابر است.

الف) برای سادگی با توجه به شکل زیر تنها در حالتی که ترانزیستورها در ناحیه‌ی خطی باشند، ثابت کنید $I_{DS1}=I_{DS2}$ است.

ب) اگر از اثر بدنه صرف نظر نشود، آیا این دو جریان همچنان با یکدیگر برابر باقی می‌مانند؟ توضیح دهید.





۴- (۱۰٪) فرض کنید یک ترانزیستور در فناوری 0.18μm دارای $V_T= 0.5V$ و $V_{GS}=1.8\ V$ است. اگر طول کانال 200 nm و $E_C=6\times10^4\ V/cm$ باشد، ولتاژ اشباع V_{DSAT} را محاسبه کنید (از مدل تقریبی اول ارائه شده در اسلایدهای درس استفاده کنید).

۵- (۱۰٪) جریان subthreshold leakage را برای یک گیت NAND دو ورودی با ورودی‌های A=B=0 به دست آورید. از اثر بدنه و DIBL صرف نظر کنید.

*راهنمایی: ابتدا ولتاژ درین ترانزیستورهای *NMOS* را محاسبه نمایید.

$$\beta_n = 2\beta_p = 1\frac{mA}{V^2}, \qquad n = 1.0\,, \qquad |V_t| = 0.4\,V$$

۶- (۲۰٪) الف) تغییرات دما چه تأثیری بر پارامترهای ترانزیستور غیر ایده‌آل می‌گذارد؟

ب) سه مورد از اثرات غیرایده‌آل کوچک‌تر شدن ابعاد ترانزیستورها را نام ببرید و توضیح دهید که چگونه بر عملکرد تأثیر می‌گذارند.