۱- مقدمه

هدف از این تمرین کامپیوتری، آشنایی با بخش هایی از نرم افزار Cadence Virtuoso است؛ از جمله طراحی شماتیک مدارها، ساخت سمبل از مدار، تحلیل زمانی، طراحی جانمایی (Layout) و Post Simulation.

- تمامی بخش‌های این تمرین باید با استفاده از کتابخانه‌ی تکنولوژی 0.18um(TSMC18rf) انجام شوند.
- ولتاژ تغذیه‌ی تمامی مدارها (VDD) برابر با 1.8V درنظر گرفته شود.

۲- طراحی گیت های پایه

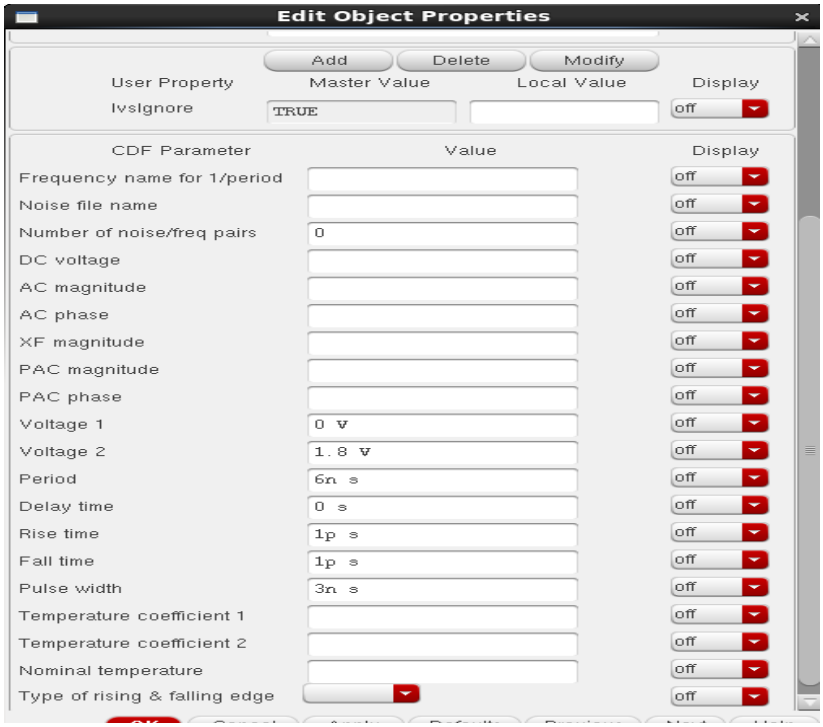
در این بخش گیت‌های Inverter, AND, NAND, XOR, MUX 2:1 را طبق شماتیک‌های داده شده طراحی کنید. (نام فایل شماتیک گیت‌ها باید مانند نام‌های جدول ۱ باشد.)

- از ترانزیستورهای NMOS 2V, PMOS 2V از کتابخانه استفاده کنید.
- طول همه‌ی ترانزیستور ها را L = 180nm در نظر بگیرید.
- عرض ترانزیستورها را طبق جدول (۱) در نظر بگیرید.

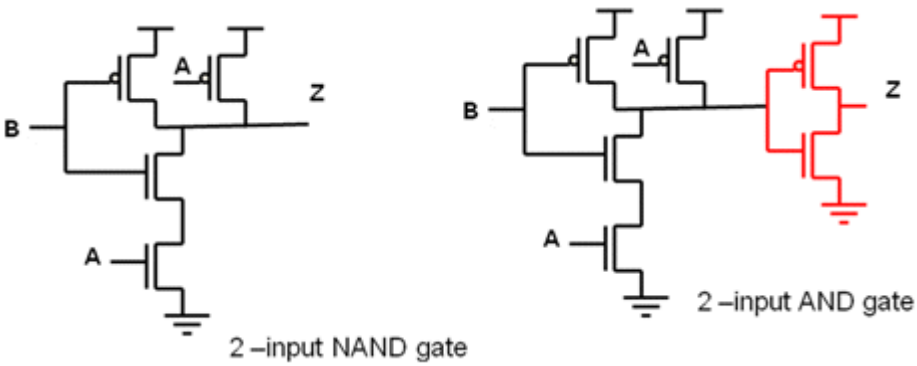
جدول ۱: ابعاد ترانزیستور های گیت های پایه

Gate	W_{NMOS}	W_{PMOS}
INV	$1\ \mu m$	$2\ \mu m$
NAND, AND	$2\ \mu m$	$2\ \mu m$
XOR	$2\ \mu m$	$4\ \mu m$
MUX	$2\ \mu m$	$4\ \mu m$

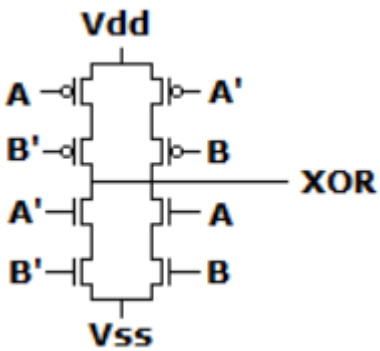
- برای تمامی گیت‌ها سمبل بسازید. (برای ساخت سمبل در شماتیک مدار خود باید برای تمام ورودی‌ها از پورت ورودی و برای خروجی‌ها از پورت خروجی استفاده کنید و برای منابع تغذیه مانند VDD و GND از پورت ورودی-خروجی استفاده کنید.)
- یک فایل شماتیک به نام CA1_Q1_test بسازید و از چهار گیت طراحی‌شده نمونه بگیرید و به کمک شبیه‌سازی زمانی از عملکرد درست گیت‌ها مطمئن شوید.
- برای تست می‌توانید از منابع ولتاژ پالس (Vpulse) به عنوان بیت ۱ استفاده کنید (شکل ۱).



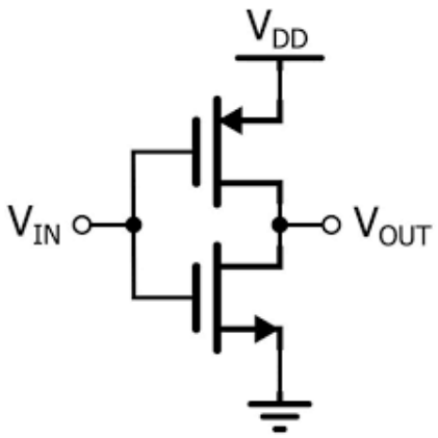
شکل ۱: تنظیمات منبع ولتاژ پالس



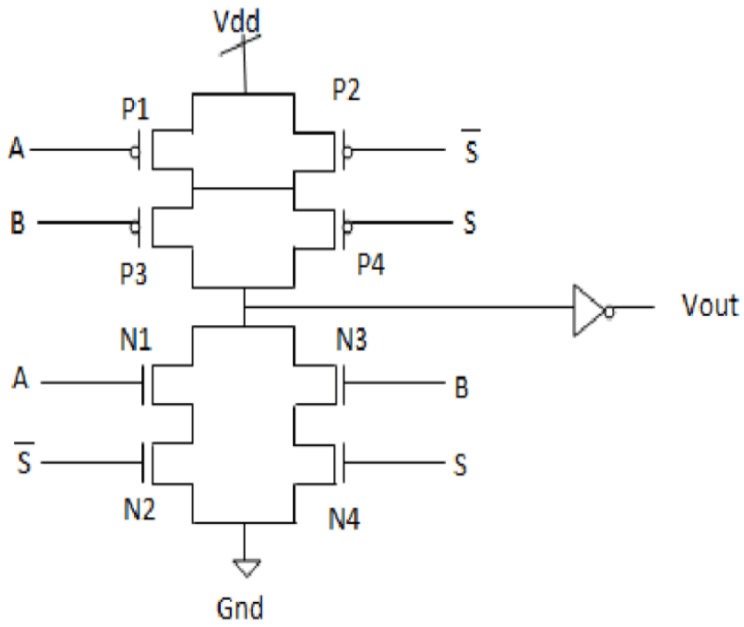
شکل ۲: شماتیک گیت AND و NAND



شکل ۳: شماتیک گیت XOR



شکل ۵: شماتیک اینورتر



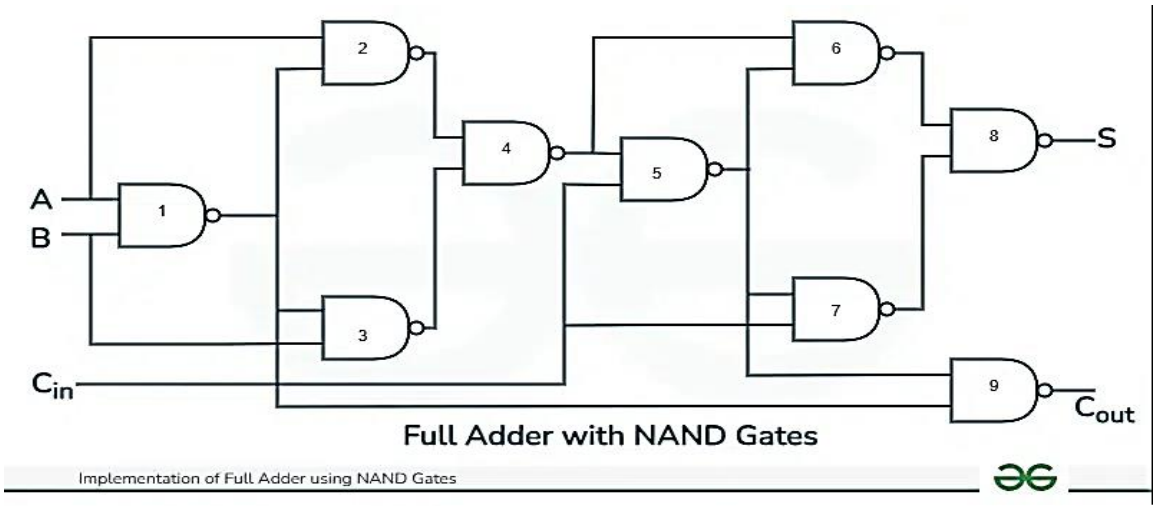
شکل ۴: شماتیک مالتی پلکسر

- برای تولید معکوس یک سیگنال (مثلاً در XOR و MUX) می‌توانید از اینورتری که طراحی کردید نمونه گرفته و ورودی مورد نیاز را ایجاد کنید.
- تمامی حالت‌های تست به همراه تصویر مدارها و سمبل آن‌ها و شماتیکی که برای تست استفاده کردید باید در گزارش کار شما موجود باشد.

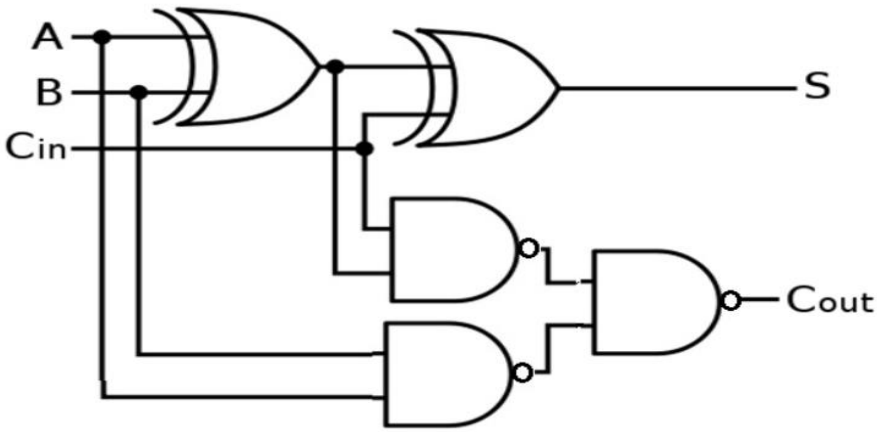
۳- طراحی و مقایسه ساختار های تمام جمع کننده

در این بخش با استفاده از سه ساختار جمع‌کننده، جمع‌کننده‌های ۴ بیتی ساخته و عملکرد آن‌ها را از نظر تأخیر انتشار Carry و Sum و همچنین توان مصرفی با یکدیگر مقایسه کنید (برای راحتی کار طبق مراحل زیر پیش بروید).

- ابتدا برای هر یک از دو جمع‌کننده‌ی زیر شماتیک مداری را با استفاده از گیت‌های بخش قبل در نرم‌افزار رسم کرده و سمبل یک FA تک‌بیتی را هم برای هر کدام به صورت جداگانه طراحی کنید (سمبل باید سه ورودی A و B و Cin و دو خروجی Cout و Sum را داشته باشد).

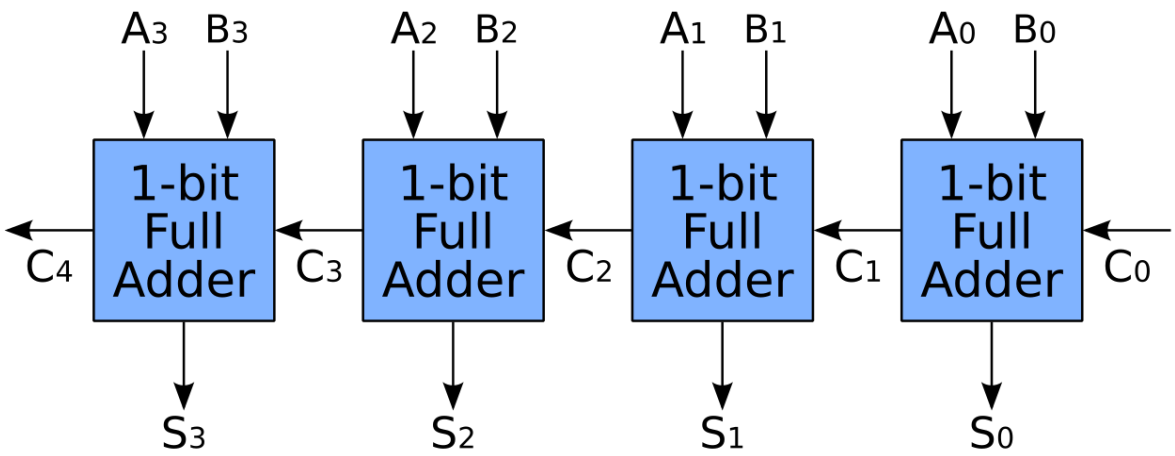


شکل ۶: ساختار تمام‌جمع‌کننده‌ی اول



شکل ۷: ساختار تمام‌جمع‌کننده دوم

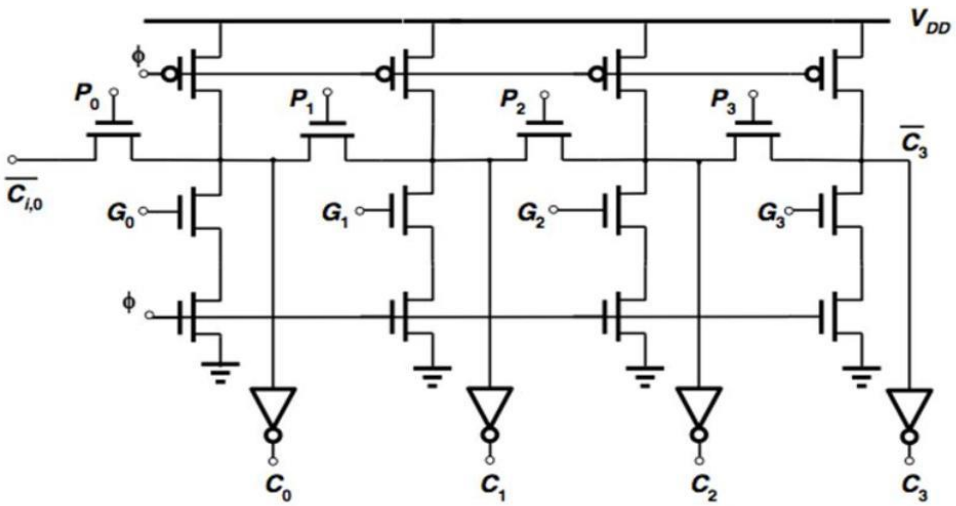
- با استفاده از ساختار Ripple Carry Adder، جمع‌کننده‌ی ۴ بیتی بسازید (یک جمع‌کننده‌ی ۴ بیتی با استفاده از ساختار شکل ۶ و یک جمع‌کننده‌ی ۴ بیتی با استفاده از ساختار شکل ۷).



شکل ۸: ساختار Ripple Carry Adder

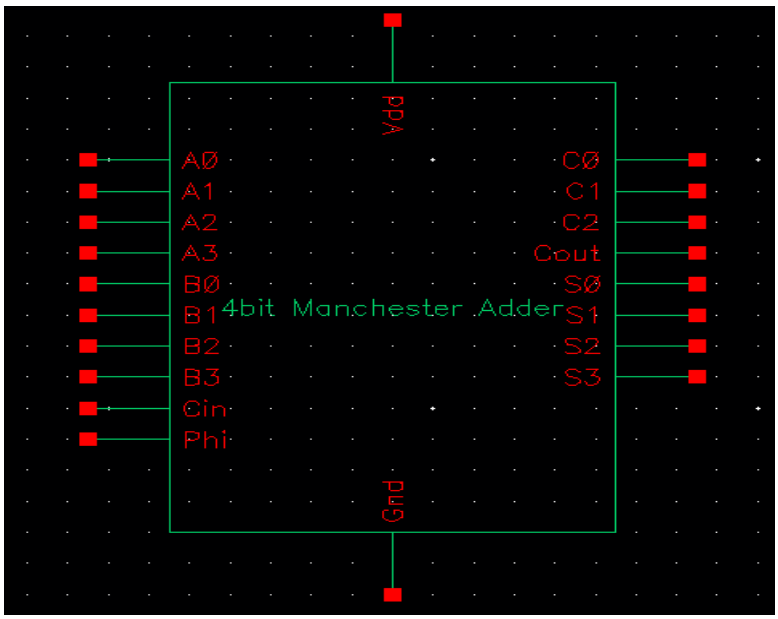
➢ شکل ۹ ساختار مدار Manchester Carry Chain را نشان می‌دهد. به کمک این ساختار Carry هر طبقه را ایجاد کنید.

- گیت‌های سازنده‌ی سیگنال‌های Generate(G) به کمک اینورترهای dynamic ایجاد شده است. در این اینورترها بر خلاف اینورترهای استاتیک که در بخش اول طراحی کردید، خروجی همواره به منابع VDD و GND متصل نیست و داده بر روی خازن گره‌ی خروجی ذخیره می‌شود. این گیت‌ها فقط در زمانی که سیگنال کلاک برابر ۱ است نمونه‌برداری را انجام می‌دهند و در بقیه‌ی زمان‌ها خروجی به ولتاژ تغذیه متصل و اصطلاحاً پیش‌شارژ (Precharge) می‌شود. از مزیت‌های گیت‌های dynamic می‌توان به تعداد ترانزیستور کمتر (مساحت اشغالی کمتر)، سرعت کارکرد بالاتر و خازن پارازیتی کمتر اشاره کرد.
- سیگنال‌های P به کمک ساختار Pass Transistor ایجاد شده‌اند.
- سیگنال‌های P برابر با حاصل XOR بیت‌های ورودی هستند؛ یعنی P0 حاصل XOR بیت‌های A0 و B0 است.
- سیگنال‌های G برابر با حاصل AND بیت‌های ورودی هستند.
- برای تولید بیت های Sum، سیگنال‌های P را با Carry طبقه‌ی قبل XOR کنید. به عنوان مثال S3 از XOR شدن P3 با C2 ساخته می‌شود.



شکل ۹: ساختار Manchester Carry Chain

- در نهایت برای هر سه ساختار جمع‌کننده‌ی ۴ بیتی سمبل بسازید (باید Carry تولید شده در تمام طبقات را به عنوان خروجی تعریف کنید).



شکل ۱۰: سمبل Manchester Adder

- یک فایل شماتیک به نام CA1_Q2_test ساخته و از سه جمع‌کننده‌ی طراحی‌شده نمونه بگیرید.
- ورودی‌های زیر را به مدار اعمال کرده و برای هر جمع‌کننده در یک صفحه خروجی های Carry را نشان دهید (C0,C1,C2,C3) و در یک صفحه خروجی‌های Sum را نشان دهید (S0,S1,S2,S3).
- از تنظیمات و زمان‌بندی منبع پالس شکل ۱ به عنوان بیت ۱ استفاده کنید.
- زمان شبیه‌سازی را برابر با 8ns در نظر بگیرید.
- درباره‌ی عملکرد کلی جمع‌کننده و علت خروجی‌های دیده شده در هر حالت ورودی توضیح دهید. (یک جمع‌کننده‌ی کلی را در نظر بگیرید. نیازی نیست برای هر سه جمع‌کننده توضیح دهید)
- بیشترین تأخیر انتشار Carry و Sum برای هر حالت از ورودی‌ها را در هر سه جمع‌کننده گزارش کنید.
- برای محاسبه‌ی تأخیر انتشار می‌توانید از Create Marker (پرچم قرمزرنگ) استفاده کنید و نقاط برخورد نمودارها با نصف ولتاژ تغذیه را به دست آورده و از روی آن تأخیر را محاسبه کنید.

- در ساختار Manchester Adder سیگنال ϕ برای پیش‌شارژ کردن گره‌های مدار به VDD استفاده می‌شود تا هیچ یک از گره‌های مدار شناور نباشند. بنابراین برای عملکرد درست این مدار باید ابتدا ϕ را صفر کرده تا تمامی گره‌ها شارژ شوند و بعد از آن عملیات جمع کردن شروع شود. بدین

منظور از منبع پالسی با تنظیمات زیر برای ϕ استفاده کنید که به مدت 1ns ϕ را صفر نگه می‌دارد و بعد از آن این سیگنال ۱ شده و مدار حالت جمع‌کننده را خواهد داشت. بنابراین برای محاسبه‌ی تأخیرهای این جمع‌کننده باید زمانی که ϕ صفر بوده را از لحظه‌ی برخورد با نصف ولتاژ تغذیه کم کنید.

شکل ۱۱: تنظیمات منبع ولتاژ متصل به ϕ

- برای محاسبه‌ی توان مصرفی باید برای هر جمع‌کننده از یک منبع تغذیه‌ی جدا استفاده کنید و در حوزه‌ی زمان جریان گذرنده از این منبع ولتاژ را رسم کنید. سپس با انتخاب سیگنال و رفتن به ماشین حساب نرم‌افزار و با انتخاب تابع Average میانگین جریان گذرنده از تغذیه به شما نمایش داده می‌شود. با ضرب کردن این جریان در مقدار ولتاژ تغذیه، توان مصرفی به دست می‌آید.
- در قالب یک جدول بیشترین تأخیر انتشار Sum و Carry و همچنین توان مصرفی سه ساختار را با یکدیگر مقایسه کنید.
- برای تست مدار ها سه ورودی زیر را اعمال کنید:

1. A = 1111, B =0000, Cin = 1
2. A = 0111, B = 0000, Cin = 1
3. A = 0111, B = 0001, Cin = 0

- توضیح دهید که در هر دسته از ورودی‌ها تأخیر تولید Sum بیشتر است یا Carry.

۴- طراحی Layout گیت XOR

برای گیت XOR طراحی‌شده در بخش اول، Layout رسم کنید و تست‌های DRC,LVS,PEX را برای آن انجام دهید. پس از قبول شدن طراحی در همه‌ی تست‌ها، شبیه‌سازی Post Layout را انجام داده و خروجی‌ها را با مدل ایده‌آل مقایسه کنید و علت تفاوت را بیان کنید.

- برای انجام این قسمت حتماً از فایل 1fF استفاده کنید.
- برای اتصال گیت ترانزیستورهای NMOS و PMOS که متصل به یک ورودی هستند، می‌توانید از پلی‌سیلیکون استفاده کنید. اما در واقعیت چون تأخیر ایجاد شده در اثر مسیرهای پلی‌سیلیکون زیاد است، بر روی پلی‌سیلیکون کانتکت قرار داده و همه‌ی اتصالات را با Metal انجام می‌دهند.
- عکس مقاومت‌ها و خازن‌های پارازیتی‌ای که از تست PEX به دست آمده‌اند را در گزارش کار بیاورید.

۵- نکات کلی گزارش کار

- فایل خود را با نام CA1_StudentID بر روی سایت بارگذاری کنید.
- اگر در انجام هر یک از قسمت‌های تمرین کامپیوتری فرض اولیه‌ای را در نظر گرفته‌اید، حتماً مفروضات خود را در گزارش کار ذکر کنید (دقت کنید که مفروضات شما نباید به گونه‌ای باشند که ساختار کلی سوال را عوض کنند).
- بخش قابل توجهی از نمره‌ی این تمرین به گزارش کار آن اختصاص دارد؛ لذا برای نوشتن آن زمان کافی اختصاص دهید.
- صفحه‌ی اول گزارش کار باید سربرگ رسمی دانشکده باشد. گزارش کار باید شامل فهرست و شماره‌ی صفحه بوده و تمامی قسمت‌های آن به صورت تایپ‌شده باشد. تمامی تصاویر باید دارای زیرنویس و تمامی جداول دارای بالانویس باشند.
- قبل از انجام تمرین کامپیوتری حتماً فایل نمره‌بندی پیوست‌شده را مطالعه فرمایید. برای دریافت نمره‌ی هر بخش از تمرین باید اطلاعات خواسته شده‌ی آن بخش کاملاً در گزارش کار شما موجود باشد.

موفق باشید.

پیوست:

بخش	نمره
طراحی شماتیک گیت‌های پایه	**۱۰ نمره (هر گیت ۲ نمره)**
طراحی سمبل گیت‌های پایه	**۵ نمره (هر گیت ۱ نمره)**
طراحی فایل تست، شبیه‌سازی، تست و اطمینان از صحت عملکرد گیت‌های پایه	**۱۵ نمره (هر گیت ۳ نمره)**
طراحی شماتیک جمع‌کننده‌ها	**۵ نمره جمع‌کننده اول** **۵ نمره جمع‌کننده دوم** **۱۰ نمره جمع‌کننده سوم**
طراحی سمبل جمع‌کننده‌ها	**۶ نمره (هر گیت ۲ نمره)**
طراحی فایل تست، شبیه‌سازی، تست و اطمینان از صحت عملکرد جمع‌کننده‌ها و محاسبه‌ی تاخیرها	**۱۸ نمره (نشان دادن سیگنال‌های Carry و Sum هر ۳ جمع کننده)** **۱۰ نمره توضیحات عملکرد جمع‌کننده** **۱۵ نمره محاسبه تاخیر های هر ۳ جمع‌کننده** **۶ نمره جدول مقایسه ۳ جمع‌کننده**
محاسبه‌ی توان مصرفی	**۱۵ نمره (هر جمع‌کننده ۵ نمره)**
طراحی Layout	**۵ نمره طراحی Layout** **۱۵ نمره تست‌های PEX, LVS, DRC** **۱۰ نمره Post Simulation**
مجموع	**۱۵۰ نمره**