

实验三 算术逻辑单元（ALU）的设计与实现

实验目的

- 1. 了解算术逻辑单元的功能。
- 2. 掌握算术逻辑单元的结构与实现。
- 3. 进一步熟练掌握 Logisim 、Modelsim、Vivado 软件和 Verilog 硬件描述语言的使用。

实验原理

1. ALU

算术逻辑单元（Arithmetic/Logic Unit , ALU）是现代计算机的核心部件之一。其内部由算术和逻辑操作部件组合而成，可以实现整数加、减等算术运算和与、或等逻辑运算。

一个典型的算术逻辑单元由两路 N 位输入、一路 N 位输出、一组功能选择信号和一些标志位（flag）组成。两路 N 位输入数据作为参与运算的两个操作数，输入到 ALU 中，通过改变功能选择信号，控制 ALU 对两操作数进行不同的算术或逻辑运算操作，并将 N 位的结果输出，与结果一同输出的还有运算产生的标志位，例如运算结果为零的标记信号 Z（zero）与运算结果溢出的标记信号 O（over）、进位标志 C（CY）、符号位 S（SF）等，如图 2-1 所示。

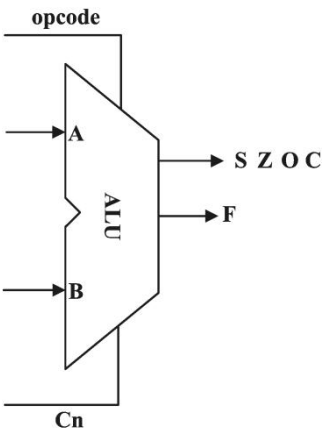


图 2-1ALU 模块示意图

在本次实验中，我们把输入和输出的数据长度定为 4 位，数据输入命名为 A、B，数据输出为 F，功能控制信号输入为 opcode，进位输入为 Cn，只产生结果为零的 zero 标志位。

2. 功能控制

功能控制信号 opcode 的定义如表 2-1 所示。例如：opcode=0001，运算器实现加法运算。

表 3- 1 ALU 控制信号定义

opcode	ALU 运算
0000	MOV
0001	ADD
0010	ADDC
0011	SUB
0100	SUBB

0101	AND
0110	OR
0111	NOT
1000	XOR
1001	INC
1010	DEC

实验内容

1. 基础实验。用实验调试软件验证 ALU 的功能，并操作分析、记录结果。

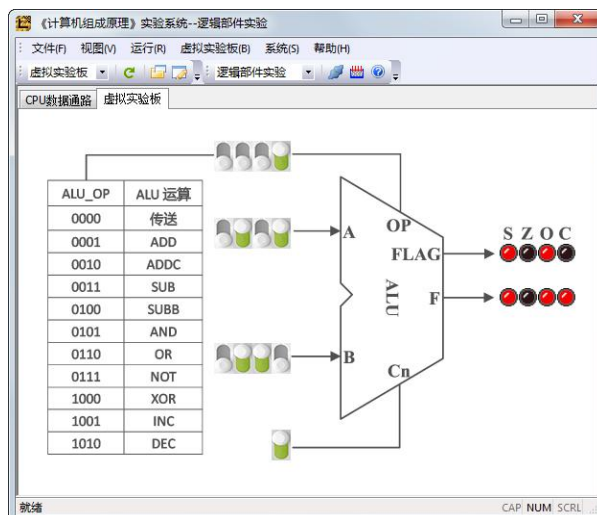


图 2-2 ALU 虚拟实验示意图

(1) 运算功能和控制信号

- ① 输入输出对于的开关指示灯分配如下：

输入信号 A:SW(4-7) B:SW(3-0) Cn:SW8 opcode:SW(12-9)

输出信号 F: LD(12-15) 标志位 S:LD(3) Z LD(2) O: LD(1) C: LD(0)

- ② 各种运算对应的控制信号及功能，如下表。

表 3-2 ALU 运算功能和控制信号定义

运算指令	运算功能	运算控制信号 opcode			
		M3	M2	M1	M0
MOV	$F=A$	0	0	0	0
ADD	$F=A+B$				
SUB	$F=A-B$				
INC	$F=A+1$				
DEC	$F=A-1$				
AND	$F=A \wedge B$				
OR	$F=A \vee B$				
NOT	$F=\bar{A}$				
XOR	$F=A \oplus B$				
ADDC	$F=A+B+\text{进位 } C_0$				
SUBB	$F=A-B-\text{借位 } C_0$				

(2) 加法运算结果的特征标志

设置 opcode (M3~M0) 为加法运算, 按下表步骤操作, 观察加法运算的结果, 填入下表, 并写出计算数和结果的真值。

	A	B	Cn	M3~M0	F	FLAG				运算数和运算结果的真值	
						S	Z	O	C	视为无符号数	视为补码
①	1000	0001	—		1001	1	0	0	0	8+1=9	(-8)+1=-7
②	1101	1100	—								
③	0100	0010	—								
④	0000	0000	—								
⑤	1111	0001	—								
⑥	0011	0101	—								
⑦	1100	1011	—								
⑧	1100	0101	—								
⑨	0011	1011	—								
⑩	1000	1000	—								

提示: 为方便分析运算结果, 可以事先列出负数的 4 位补码与真值的对应关系:

1000	1001	1010	1011	1100	1101	1110	1111

实验现象分析:

- (1) 符号标志 S 就是运算结果的_____ (最高位 / 最低位)。
- (2) 零标志 Z 的生成和_____ (F / C / F 及 C) 有关。
- (3) 溢出标志 OF 和进位标志_____ (有 / 没有) 直接的联系。
- (4) 对照标志位和真值, 可以看出溢出标志 OF 是按照_____ (无符号数 / 补码) 的运算结果设置的; 进位标志 CF 是按照_____ (无符号数 / 补码) 运算的结果设置的。也就是说, 如果运算数是无符号数, 运算结果是否溢出是由_____ (C / O) 反映的; 如果运算数是有符号补码数, 运算结果是否溢出是由_____ (C / O) 反映的。
- (5) 4 位补码能表示数值的范围是_____, 4 位无符号数能表示数值的范围是_____。
- (6) 运算器电路是否“知道”运算数是有符号数还是无符号数? _____

(3) 减法运算

减法运算是转换为加法计算的。设置 M3~M0 为减法运算, 注意观察 B 操作数、Cn 和 FLAG 的 C (进位) 标志位。

	A	B	Cn	M3~M0	F	C	实验现象分析
①	0010	0001	—		0001	1	____ (有/无)借位
②	0001	0010	—				____ (有/无)借位

实验现象分析:

- ①减法运算时, F=_____
- ②C 标志与减法运算有没有产生借位_____ (有/没有) 关系, 没有产生借位时, CF=_____; 减法运算产生借位时, CF=_____。

(4) 带借位的减法运算

设置 M3~M0 为带借位的减法运算，注意观察 F 和 Ci 的关系。

	A	B	Cn	M3~M0	F	C	实验现象分析
①	0101	0011	1				
②	0101	0011	0				

实验现象分析:

(5) 加 1 和减 1 运算

	A	B	Cn	M3~M0	F	FLAG (SZOC)
① INC	0010	0101	—			
① INC	0010	1010	—			
② DEC	0010	1010	—			
② DEC	0010	0101	—			

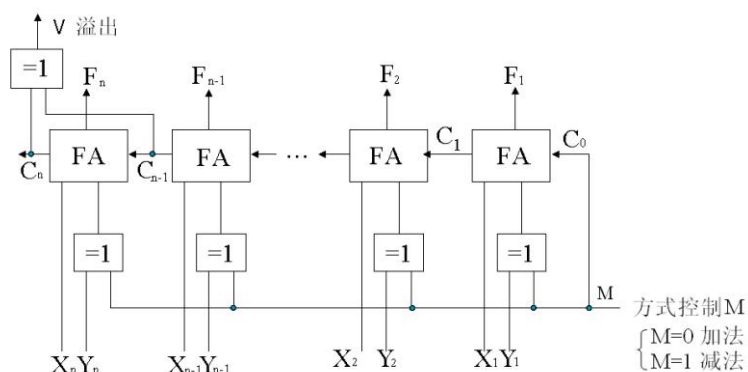
实验现象分析:

- ① 加 1 运算时, B 对结果____(有/没有)影响, F = _____。
- ② 减 1 运算时, F = _____。

2. 提高实验。

1) Logisim 实验

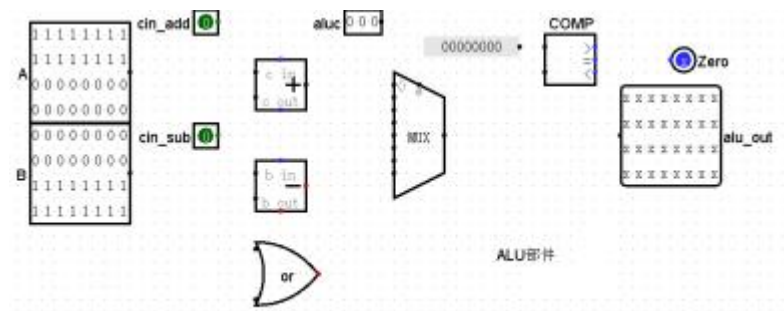
- (1) 利用 Logisim 设计一个 1 位全加器 FA，并进行仿真测试。
- (2) 利用 (1) 设计的 1 位全加器 FA 实现一个 4 位串行加法器，并进行仿真测试。
- (3) 利用 (1) 设计的 1 位全加器 FA 设计一个 4 位定点二进制补码加减法运算器，并进行仿真测试。



- (4) 分别设计一个 4 位、32 位的运算器 ALU，具有 ADDC、SUBB、OR 等三种运算功能，具体运算控制参见表 3-1 ALU 控制信号定义，并进行仿真测试。

提示：因为 ALU 的功能是实现两个 4 位或 32 位数据的 3 种运算（加法运算、减法运算、或运算），所以要用到 logisim 自带的库中元件 adder, subtractor, or 模块；3 种运算的结果哪一路作为 ALU 的输出，需要一个多路选择器来实现；同时 ALU 要输出一个运算结果零标

志位 zero，所以需要有一个比较器，将 ALU 的运算结果与 0 比较，相等则 zero 输出为 1，否则为 0。综合以上分析，共需要添加 5 种电路（adder, subtractor, or, comparator, multiplier）以及 8 个输入/输出端口。



思考题：该运算器支持与运算、异或运算及溢出（over）检测操作，如何处理？

2) Modelsim 实验

- (1) 用 Verilog 硬件描述语言实现一个 4 位的具有基础实验中 11 种运算功能的运算器 ALU，并用 Modelsim 进行仿真测试。
- (2) 在 ALU 中增加“同或”、“增 4”功能，并进行测试。