

实验一 基本电路实验

实验目的

1. 掌握多路选择器、译码器、三态门等的工作原理
2. 掌握 Logisim 软件的使用方法
3. 掌握 Modelsim 软件的使用方法
4. 熟悉 Digilent N4 DDR FPGA 开发板及其基本操作
5. 理解总线的三态传输特性，掌握三态缓冲器的 HDL 描述方法；

实验原理

1. Digilent N4 DDR FPGA 开发板

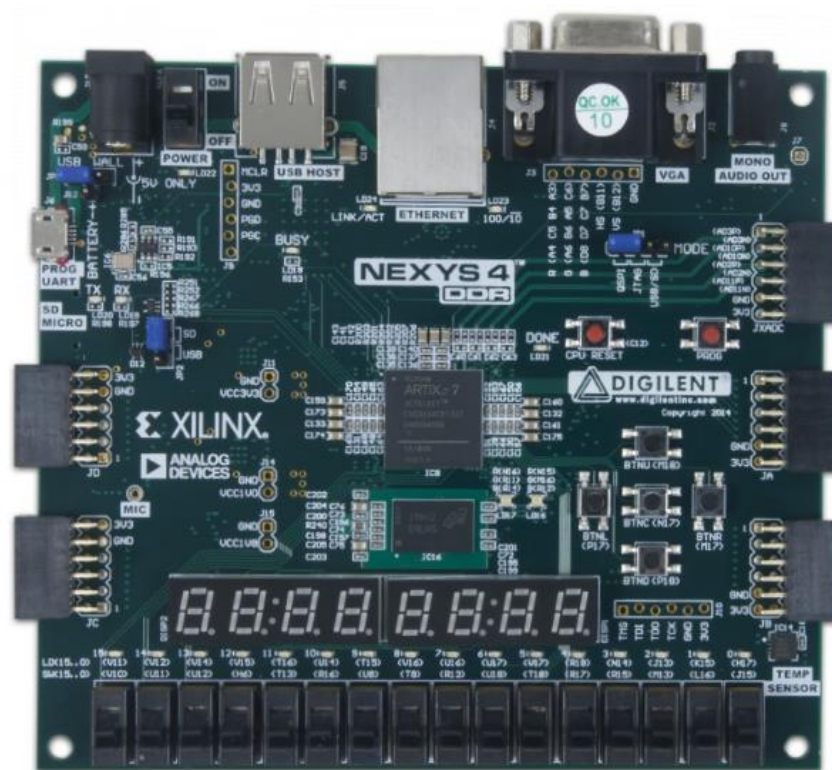


图 1-1 实验面板图

2. 虚拟实验板

虚拟实验板上有 36 个拨动开关、20 个按键、36 个 LED 指示灯以及 8 个七段数码管。在实验板的电路板上，开关、指示灯以及按键等都已经连接到了实验 FPGA 芯片的引脚上。在 FPGA 设计中，由顶层模块中定义的输入输出端口负责与 FPGA 芯片引脚连接，从而使实验电路的输入输出端口，连接到实验板的开关、按键、时钟和指示灯等资源。每一个实验都使用统一的顶层端口和引脚约束。本实验为了达到使同学们熟悉实验板的目的，尽可能地利用了板上的开关、指示灯等资源。

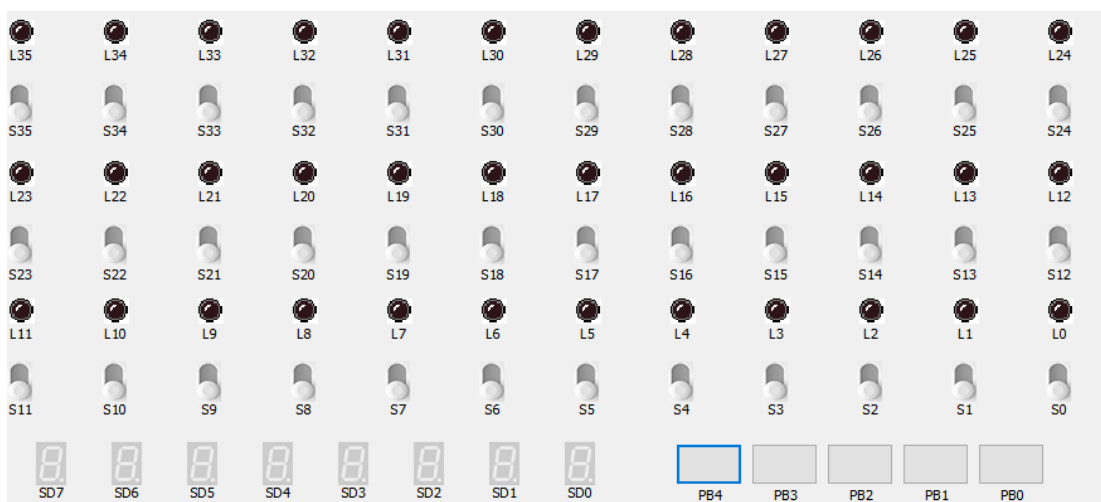


图 1-2 虚拟实验面板图

实验原理图如图 1-3，长方形框内是在 FPGA 内部设计的实验电路。定义了数据寄存器 REG 和移位寄存器 SR、计数器 CNT，共用输入数据 DATA，由时钟使能 REGoe，SRoe、S1、S0，CNToe、INC、LD 分别控制数据寄存器和移位寄存器、计数器的操作。

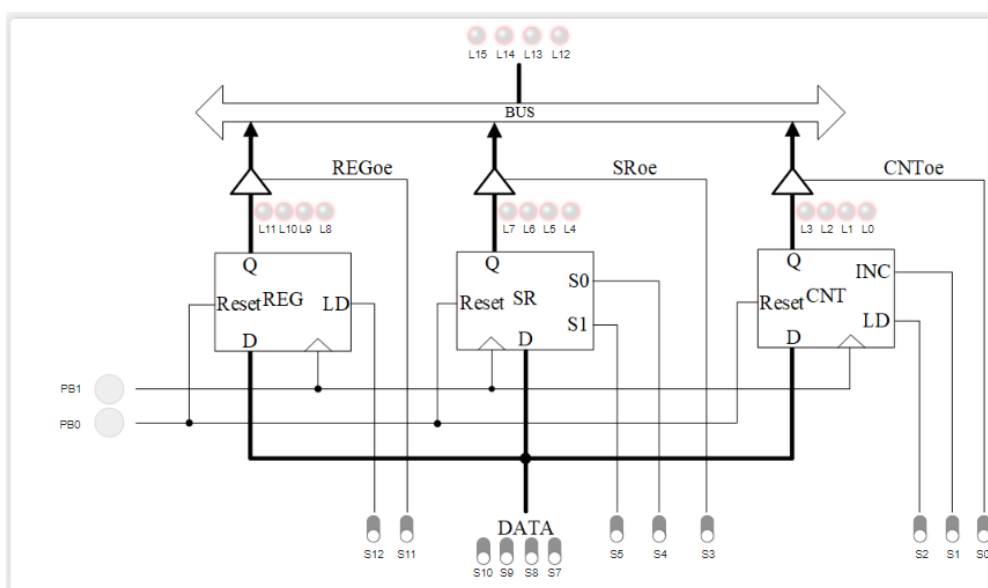






图 1-3 实验一虚拟面板示意图

实验内容

1. **基础实验。**验证功能，并操作分析、记录结果。

用 Nexys4 DDR FPGA 开发板完成上述实验设计并下载到实验板。根据验证目标操作实验板的开关、按键，观察对应的指示灯。








(1) 数据寄存器的特性

	DATA	REGoe	LD	CLK (PB1)	RESET (PB0)	REG_Q
复位	——	0		——		
数据的装入	1001	1	0	——	0	
	1001	1	1		0	
	0110	0	1		0	
复位	0110	1	1	——		

实验现象分析：

- ① 寄存器能够装入数据的条件是 LD 为_____并且_____（有 / 没有）时钟上升沿。如果 LD 无效，但是有时钟上升沿，寄存器的内容将_____（更新 / 保持不变）。
- ② 复位信号使寄存器_____（清零 / 保持不变），和有无时钟无关。






(2) 移位寄存器的特性

	DATA	SRoe	S1	S0	CLK	RESET	SR_Q
复位	1001	——	— —	——	— —		
直送	1001	0	0	0		0	
	1001	1	1	1		0	
左移	0110	0	1	0		0	
	0110	1	1	0		0	
右移	0110	0	0	1		0	
	0110	1	0	1		0	

实验现象分析：

- ① 直送是将输入端数据装入到移位寄存器，既不左移也不右移。
- ② 左移和右移的信号分别是_____和_____。
- ③ 本实验设计的移位寄存器是对移位寄存器_____（内部保存的数据 / 输入端数据）进行移位，这和常见的移位寄存器不同。

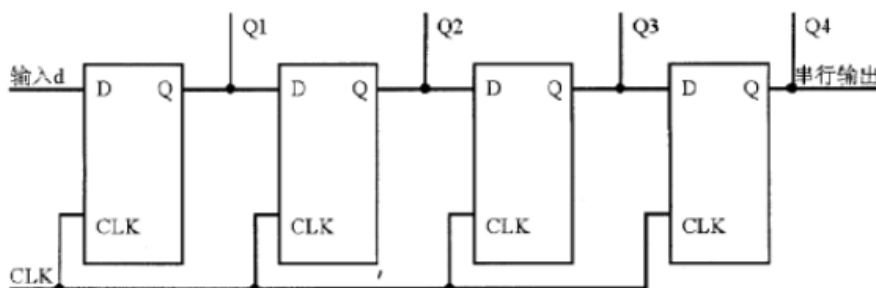
(3) 计数器的特性

	DATA	CNToe	LD	INC	CLK	RESET	CNT_Q
复位	1001	——	— —	——	— —		
直送	1001	0	1	0		0	
	1001	1	1	0		0	
自增	0110	0	0	1		0	
	0110	1	0	1		0	

2. 提高实验。

1) 用 Logisim 画出电路图

- (1) 用基本门电路设计一个异或门
- (2) 设计一个三人表决电路，输入要符号 x 、 y 、 z 表示，输出用 F 表示。
- (3) 设计一个四人表决电路， a 、 b 、 c 、 d ， a 同意得 2 分， b 、 c 、 d 同意各得 1 分，当总分大于等于 3 分时，输出 $y=1$ 。用自动生成电路的方法画出四人表决电路。
- (4) 设计一个二路选择器（用基本门电路），分析真值表，写出函数表达式，画出电路图。 $s=0, y=a; s=1, y=b$ $y=\sim sa+sb$
- (5) 设计一个三八译码器（用基本门电路），分析真值表，写出函数表达式，画出电路图。
- (6) 设计一个 D 触发器
- (7) 利用 Logisim 自身提供的 D 触发器设计一个 4 位的串入并出移位寄存器。当时钟信号边沿到来时，输入端的数据在时钟边沿的作用下逐级向后移位，达到一定位数后输出，如下图所示（是否需要复位信号自选）：



2) 附录：

(1) 异或门

正异或门	7486	$Y = A \oplus B$	
------	------	------------------	--

(2) 4 选 1 多路选择器，原理如下：

多路选择器（multiplexer, MUX），亦称数据选择器，用来从多路输入信号中选择其中之一进行输出。从外部看，多路选择器需要有多路输入信号，一组选择控制信号和一路输出信号。

下面仅以 2 选 1 多路选择器为例，进行详细说明：

如下图所示为一个 2 选 1 多路选择器的结构图。S 引脚是用来选择输出的控制信号，A、B 分别为两个输入端，Z 为输出端。

在本节实验的 2 选 1 多路选择器中，选择端 S 输入为低电平 0 时，Z 输出为 A 信号；反之，当选择端 S 输入为高电平 1 时，则 Z 输出为 B 信号。

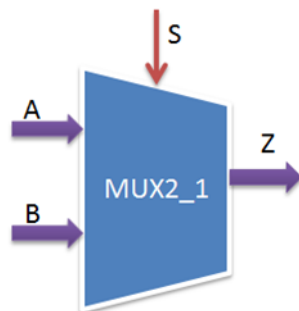


图 1-3 二选一原理图

4 选 1 多路选择器，功能类似如下：

二四选一	74153	选通 G	选 择 B A		输出 Y	
		1	×	×	0	
		0	0	0	Y=D0	
		0	0	1	Y=D1	
		0	1	0	Y=D2	
		0	1	1	Y=D3	

图 1-4 二四选一引脚图

(3) 三八译码器 74LS138

3-8 译码器	74138	门 控		输 入			输 出								
		G1	G2A+G2B	C	B	A	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0	
		×	1	×	×	×	1	1	1	1	1	1	1	1	
		0	×	×	×	×	1	1	1	1	1	1	1	1	
		1	0	0	0	0	1	1	1	1	1	1	1	0	
		1	0	0	0	1	1	1	1	1	1	1	0	1	
		1	0	0	1	0	1	1	1	1	1	0	1	1	
		1	0	0	1	1	1	1	1	0	1	1	1	1	
		1	0	1	0	0	1	1	1	0	1	1	1	1	
		1	0	1	0	1	1	0	1	1	1	1	1	1	
		1	0	1	1	0	1	0	1	1	1	1	1	1	
		1	0	1	1	1	0	1	1	1	1	1	1	1	

(4) Logsim 安装顺序：（预装软件）

Camera.jar	71,354	67,262	Executable Jar File	2018-3-25 21:14
cs3410.jar	102,192	95,076	Executable Jar File	2018-12-2 10:17
logisim_74v1.zip	54,266	51,693	WinRAR ZIP 压缩...	2018-7-5 16:26
logisim-2.7.1cn.jar	7,745,486	7,128,611	Executable Jar File	2018-3-4 13:42
Mars4_5.jar	4,169,142	3,981,675	Executable Jar File	2018-12-2 10:17
mips指令反汇编探针.jar	4,970	4,368	Executable Jar File	2018-12-2 10:16
logisim-win-2.7.1.exe	6,963,594	6,404,379	应用程序	2018-3-4 16:15

解压文件 -> 找到 logisim-2.7.1cn.jar 文件 -> 双击点开即可
 设置中文：打开软件 -> 点击左上角 File -> 点击
 Preferences -> 点击 International -> 选择 cn