源码：

module mux4\_74153 (G, B, A,

D0, D1, D2, D3, Y); //mux4\_74153

input G, B, A;

input[3:0] D0, D1, D2, D3;

output Y;

reg[3:0] Y;

always @(D0 or D1 or D2 or D3 or B or A or G)

begin

if(G)

case({B,A})

2'b00:Y = D0;

2'b01:Y = D1;

2'b10:Y = D2;

3'b11:Y = D3;

endcase

end

endmodule

测试文件：

`timescale 1ns/1ps

module mux4\_tb; //mux4\_tb

reg[3:0] D0,D1,D2,D3;

reg A,B,G;

wire[3:0] Y;

initial

begin

D0 = 1;D1 = 2;D2 = 3;D3 = 4;

B = 0;A = 0;G = 0;

#100

D0 = 1;D1 = 2;D2 = 3;D3 = 4;

B = 0;A = 0;G = 1;

#100

D0 = 1;D1 = 2;D2 = 3;D3 = 4;

B = 0;A = 1;G = 1;

#100

D0 = 1;D1 = 2;D2 = 3;D3 = 4;

B = 1;A = 0;G = 1;

#100

D0 = 1;D1 = 2;D2 = 3;D3 = 4;

B = 1;A = 1;G = 1;

#100

D0 = 4;D1 = 3;D2 = 2;D3 = 1;

B = 1;A = 1;G = 0;

end

mux4\_74153 uut(.D0(D0),.D1(D1),.D2(D2),.D3(D3),.B(B),.A(A),.G(G),.Y(Y));

endmodule