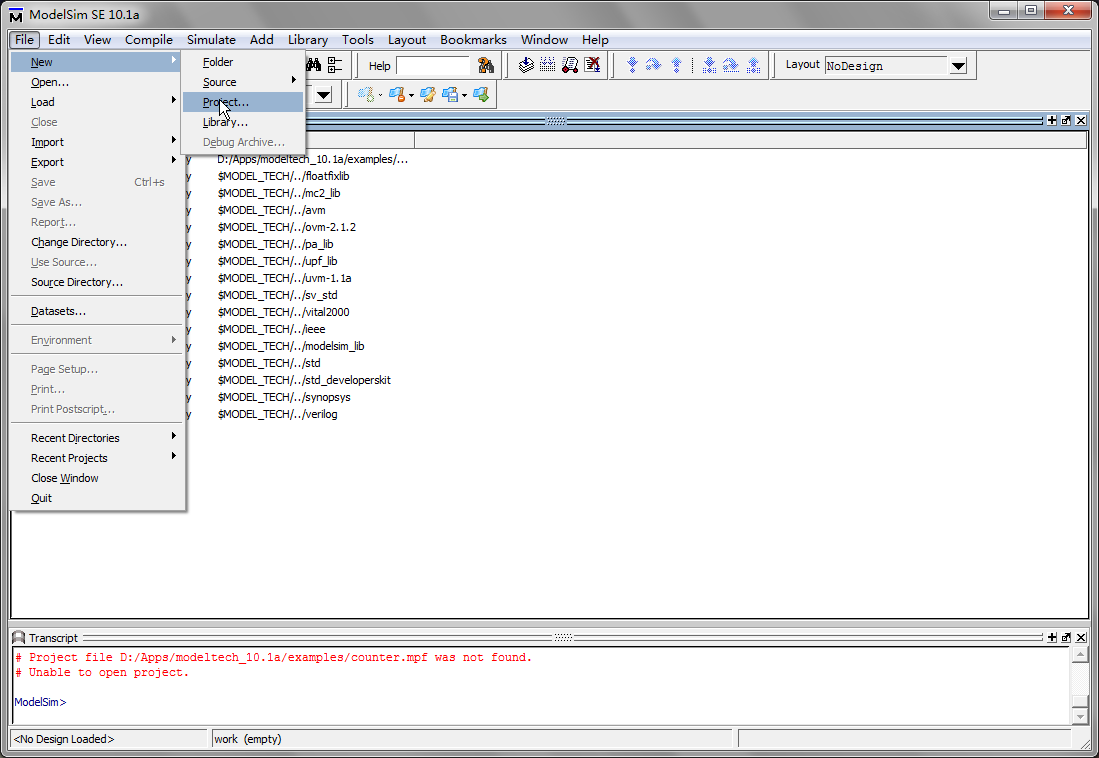
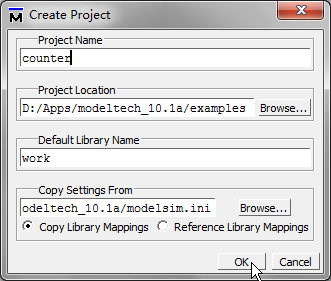
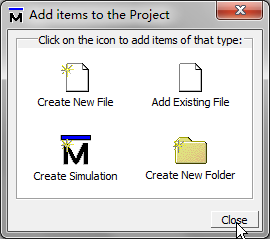
1. 新建工程
   1. 如图，打开modelsim后点击File🡪New🡪Project...



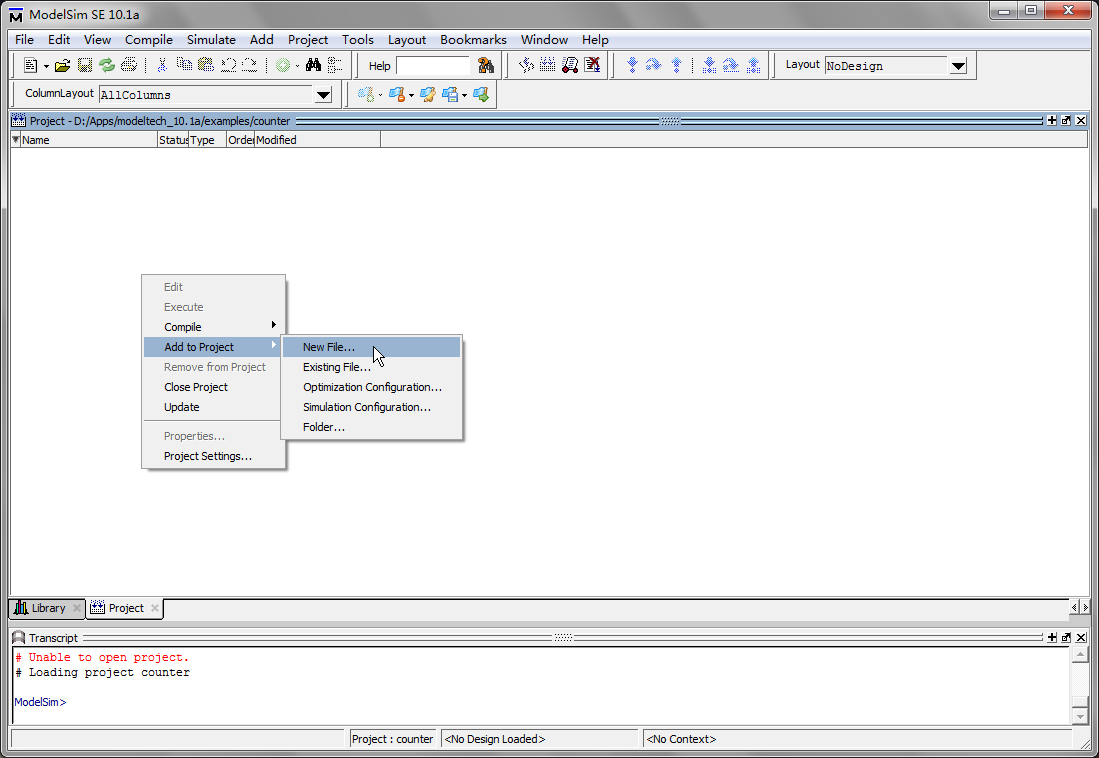
* 1. 弹出如下图对话框，输入Project Name后，点击OK



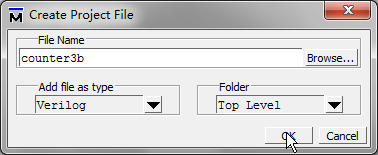
* 1. 弹出如下对话框，点击Close



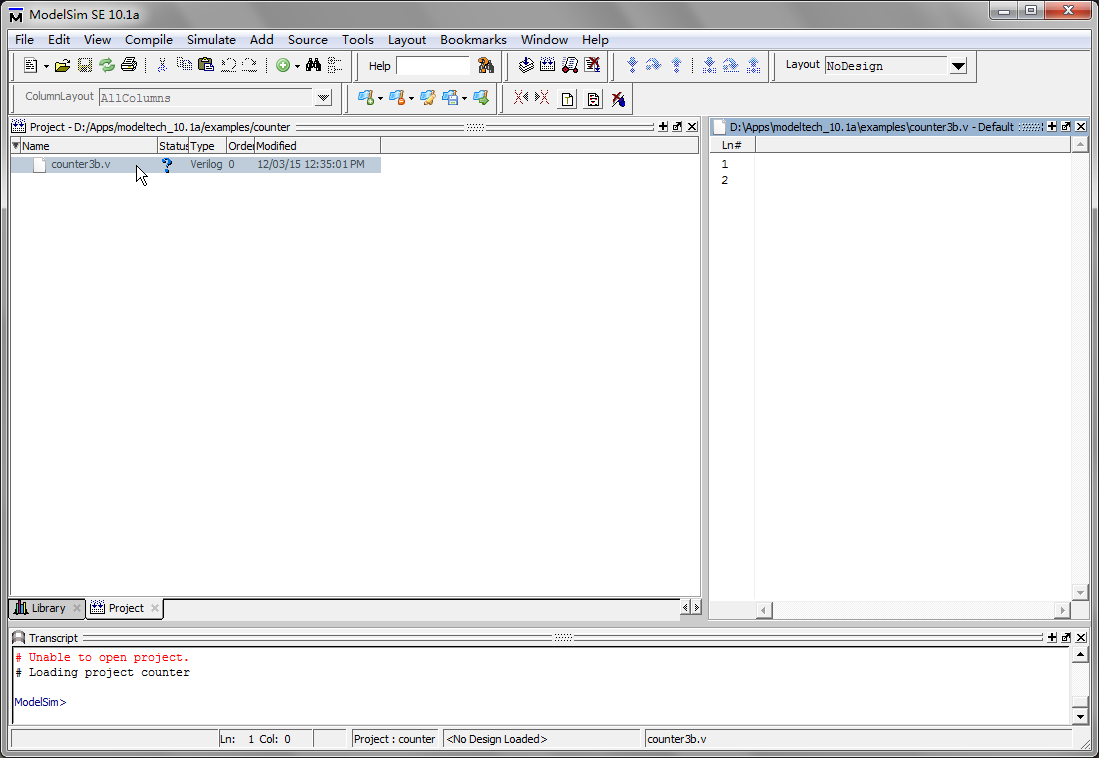
1. 在建好的工程中添加Verilog程序文件并进行编译
   1. 新建好的空工程如下图，在空白处右击，选择Add to Project🡪New File...



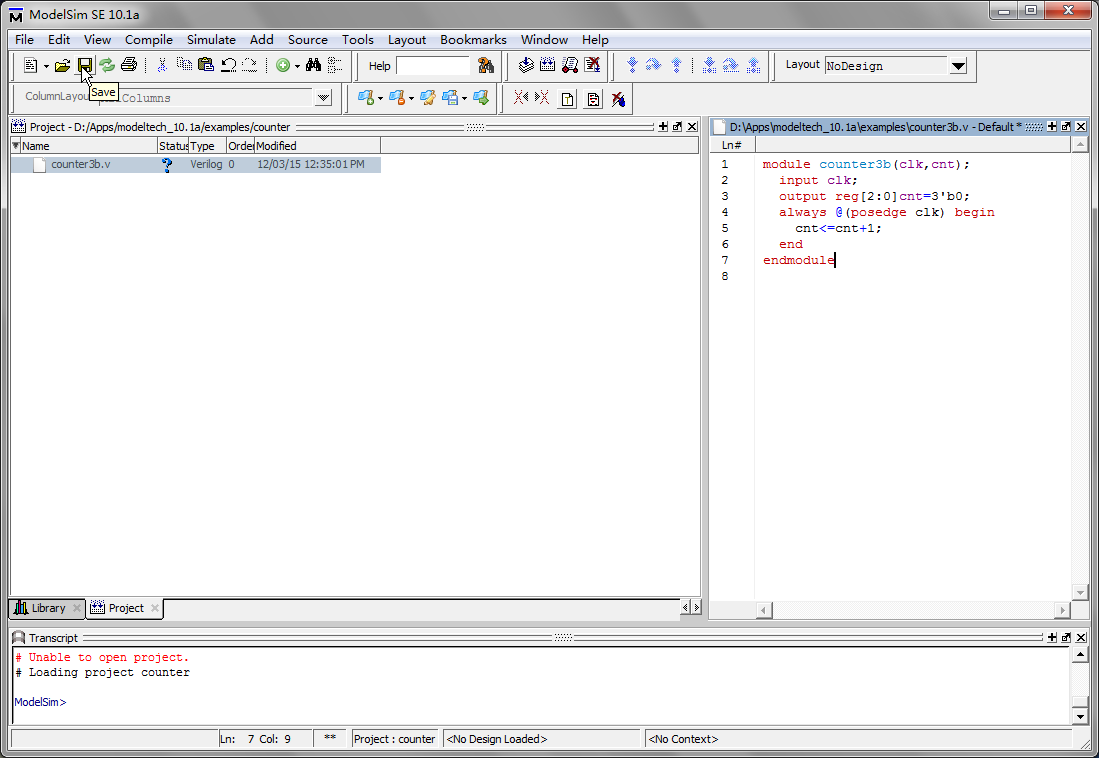
* 1. 弹出如下对话框，将type选项改为Verilog，然后输入名称，点击OK



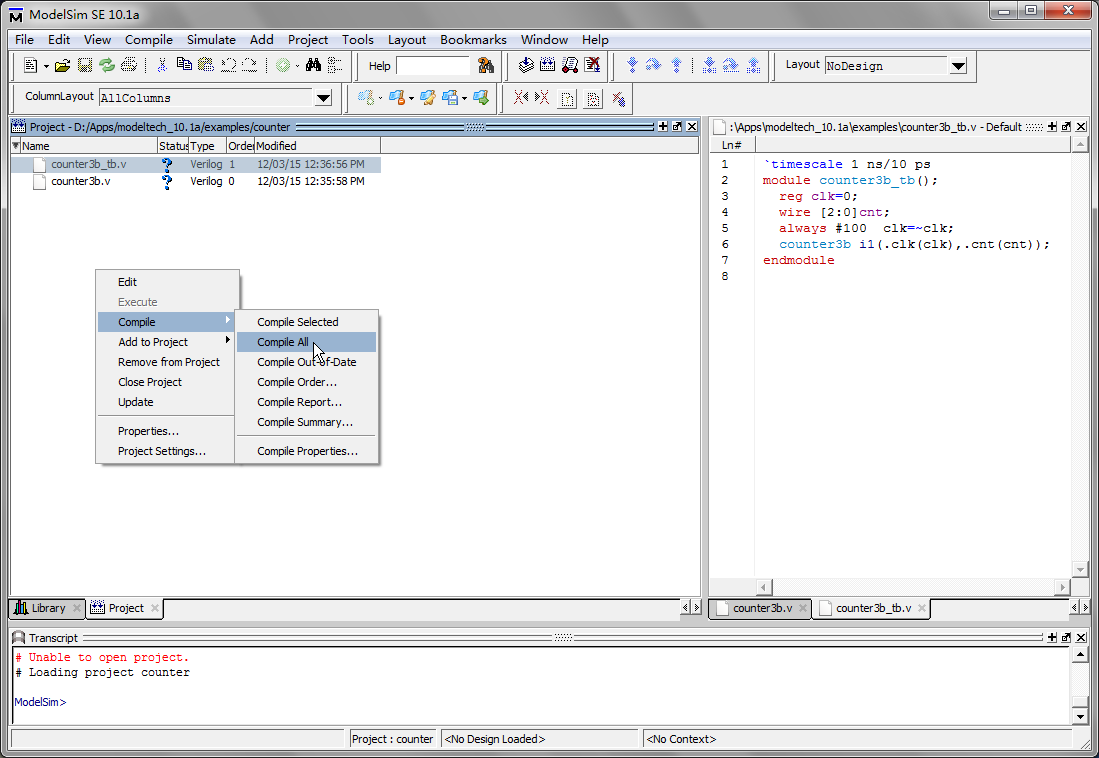
* 1. 双击新建好的文件，在右侧的编辑框里输入程序



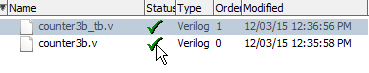
* 1. 输入完成后，点击左上角工具栏的保存按钮



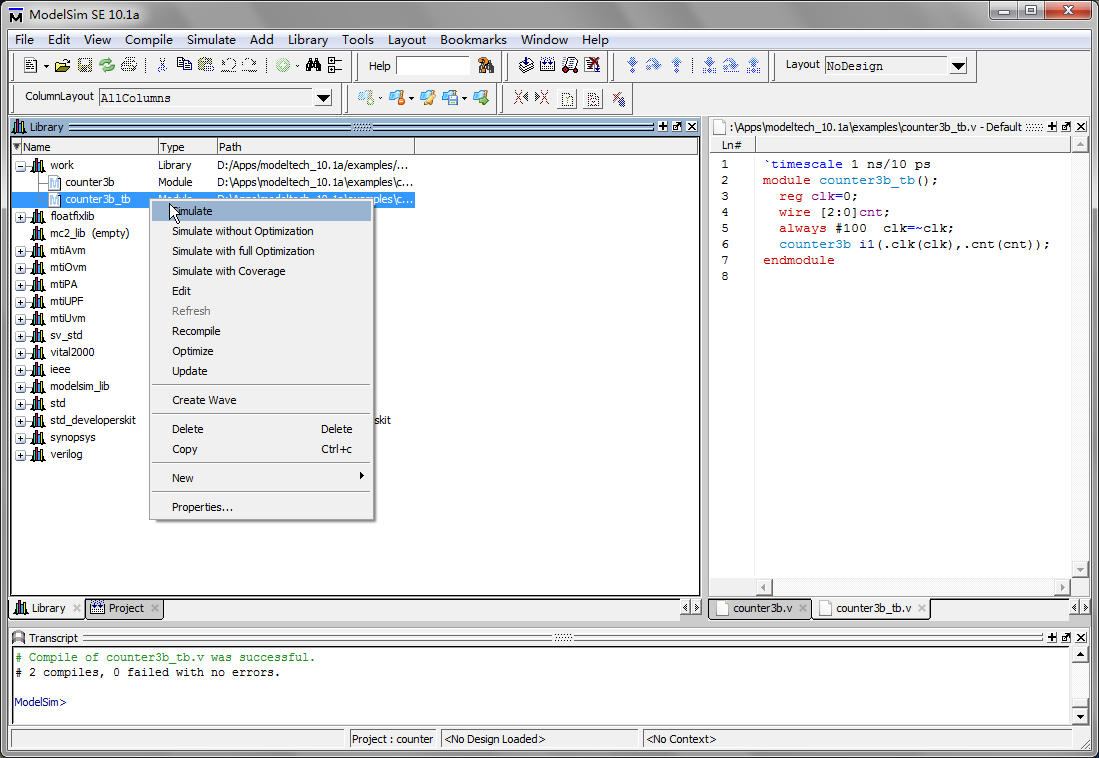
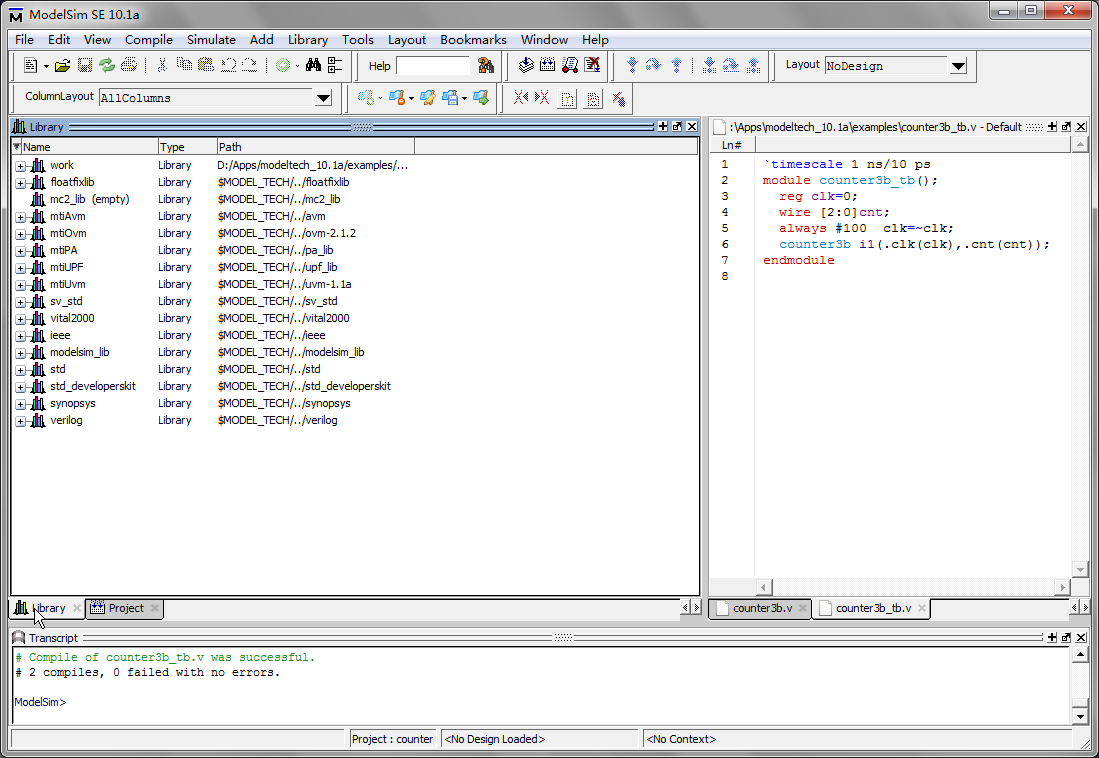
* 1. 同样的步骤建立一个测试文件，然后在空白处右击选择Compile🡪Compile All，进行编译



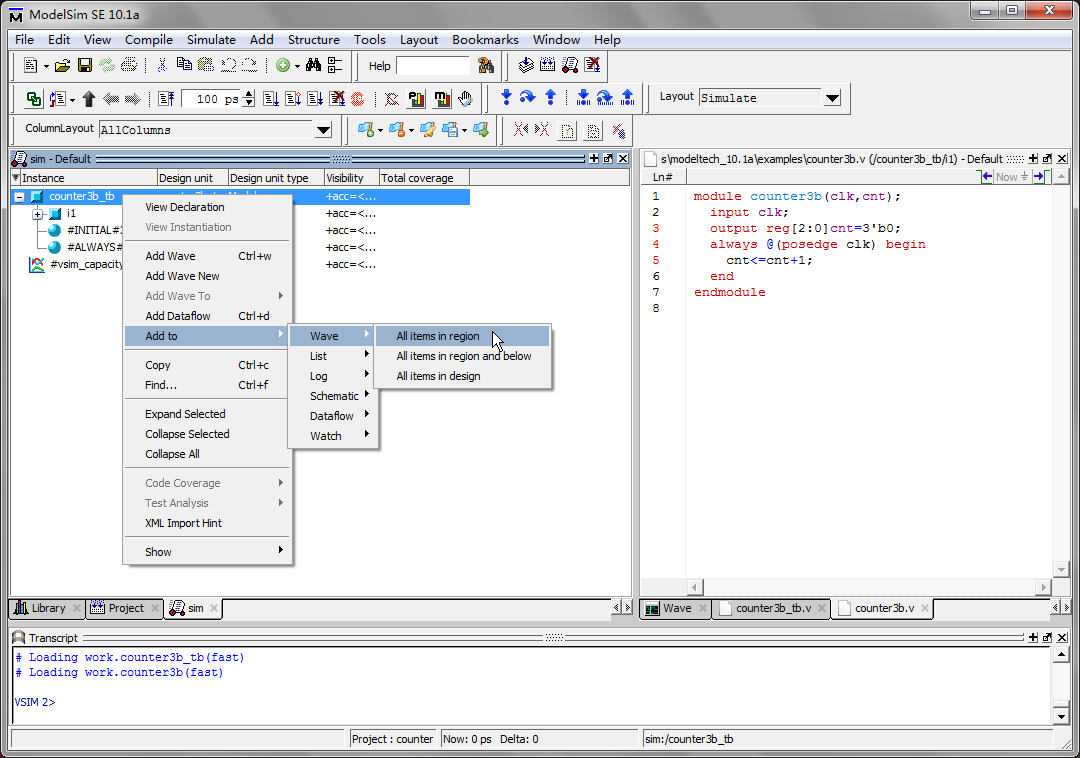
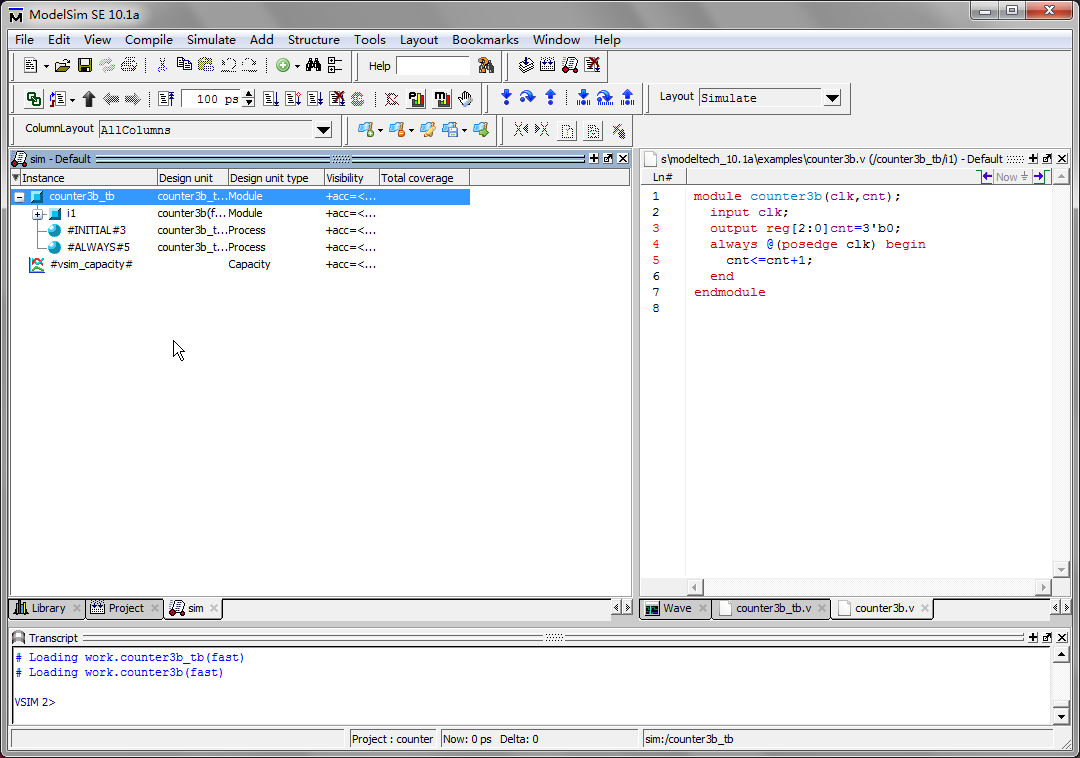
* 1. 编译成功后，会出现如下变化，否则请检查程序重新编译



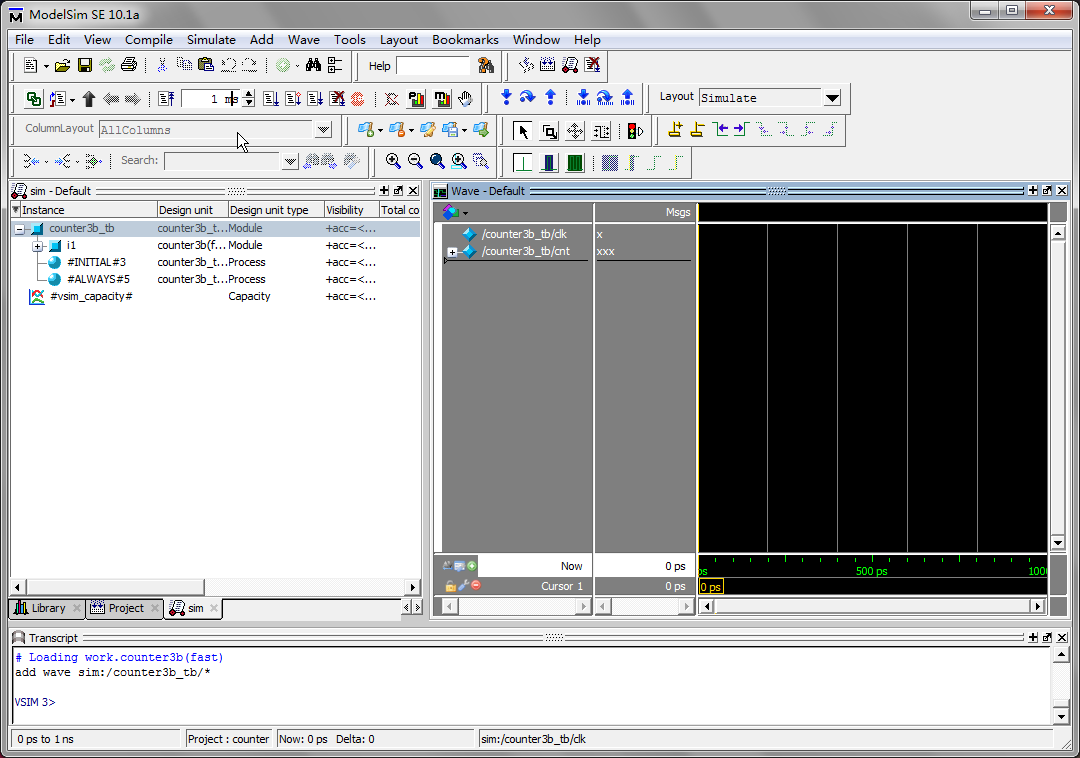
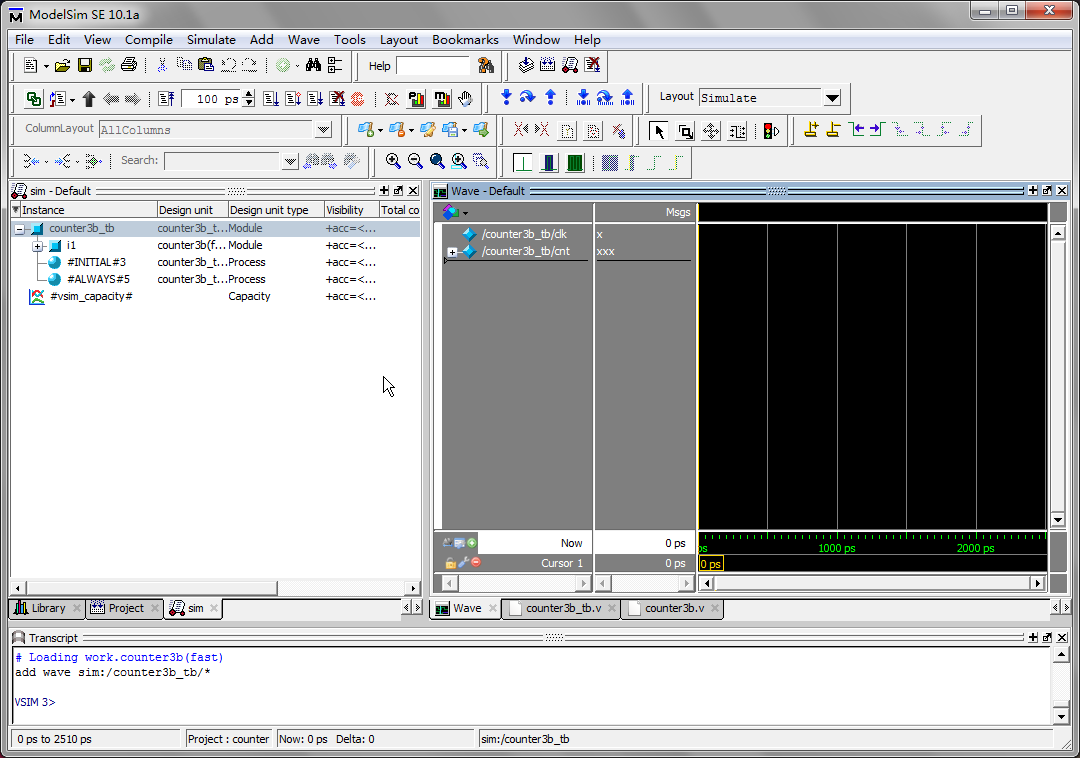
1. 进行仿真
   1. 编译成功后，点击下方Library选项，在展开的work文件夹中右击刚才建立的测试文件，选择Simulate



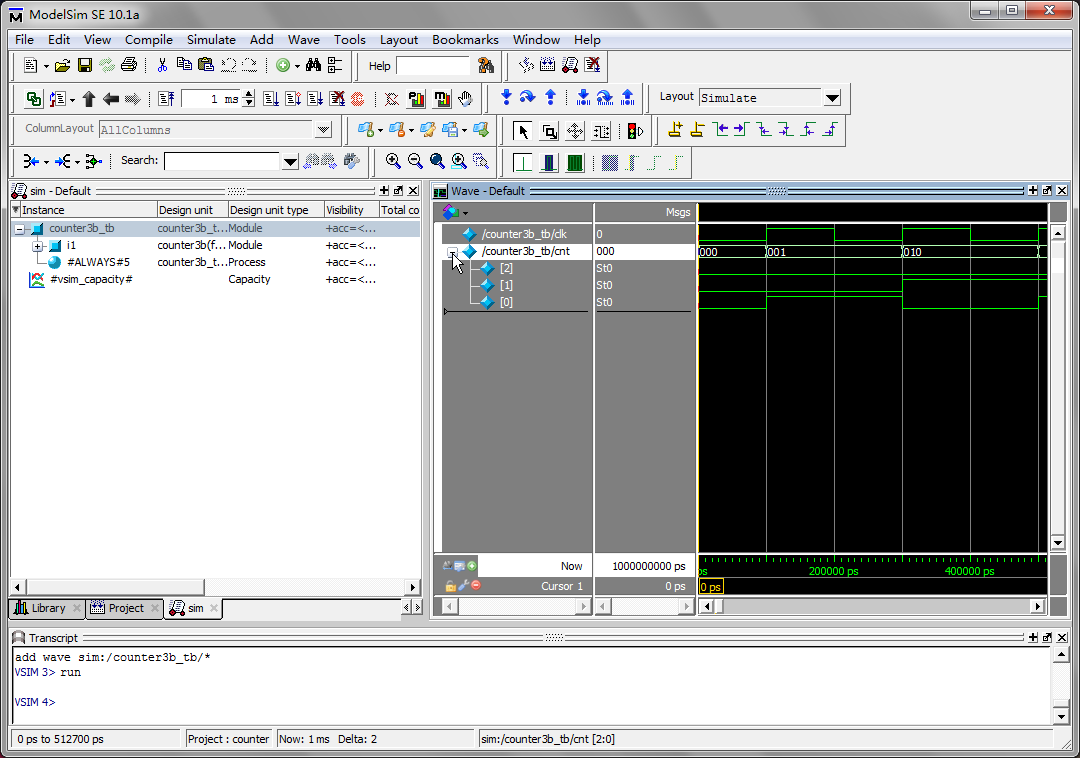
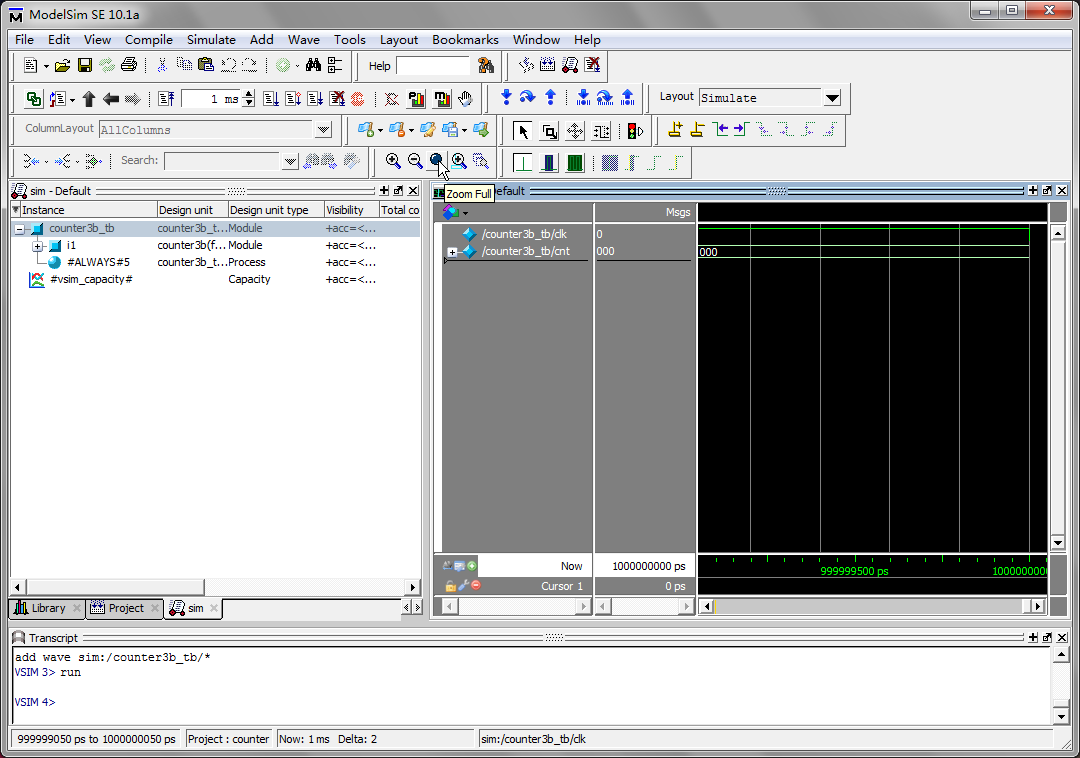
* 1. 此时弹出如下sim选项界面，在任意处右击选择Add to🡪Wave🡪All items in region



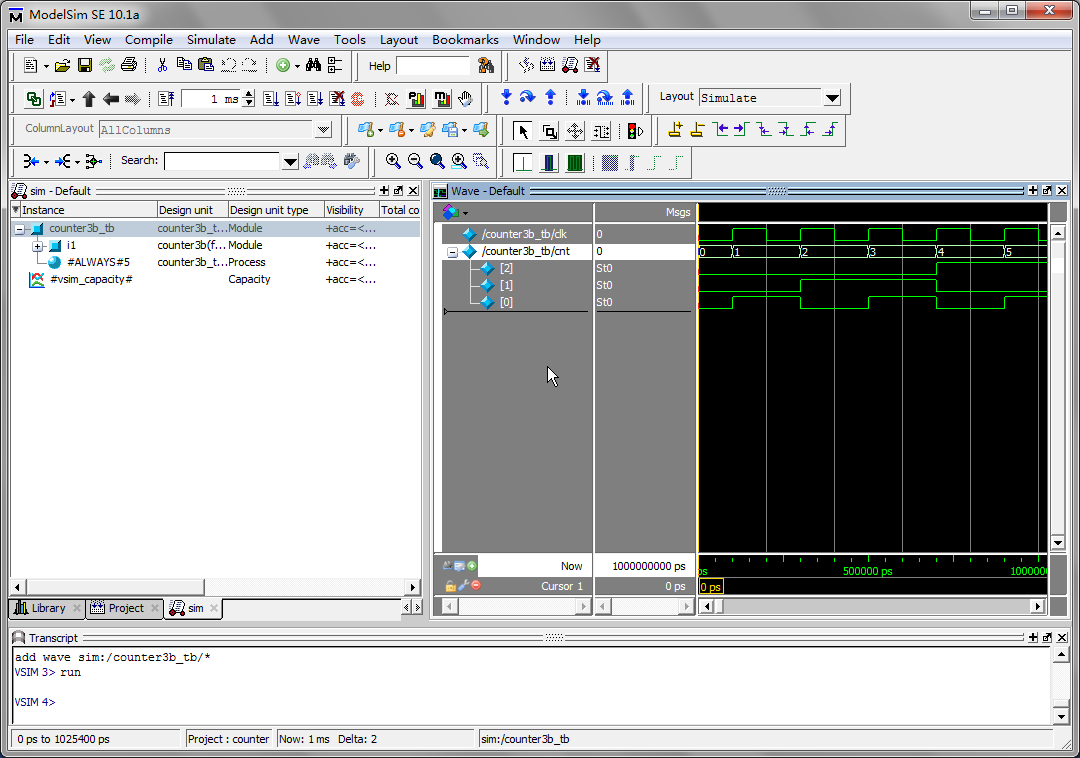
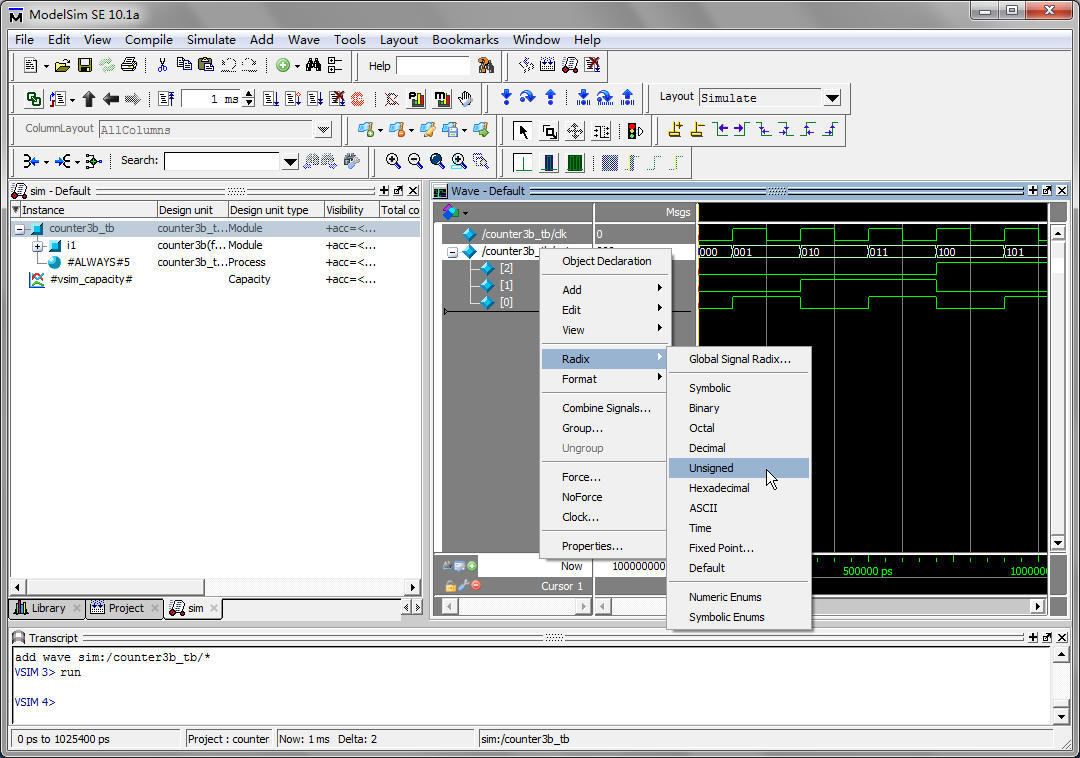
* 1. 添加波形完成后，会弹出右侧如下波形框，将上方工具栏中的时间长度100ps改为1ms，然后点击傍边的C:\Users\Captain\Pictures\Image 022.pngrun工具按钮



* 1. 点击运行之后，出现如下波形图，通过调节工具栏上的放大、缩小、适应屏幕的按钮，以及拖动下方的进度条，就会出现合适的波形视图，如下



PS: 鼠标右击波形框中的测试文件名，选择Radix🡪Unsigned,可以将二进制改为十进制，如下图，可以看到，计数器随着时钟频率的上升沿，开始计数



四、附录Verilog计数器实验源程序

module counter3b(clk,cnt); //counter3b.v

input clk;

output reg[2:0]cnt=3'b0;

always @(posedge clk) begin

cnt<=cnt+1;

end

endmodule

`timescale 1 ns/10 ps // counter3b\_tb

module counter3b\_tb();

reg clk=0;

wire [2:0]cnt;

always #100 clk=~clk;

counter3b i1(.clk(clk),.cnt(cnt));

endmodule