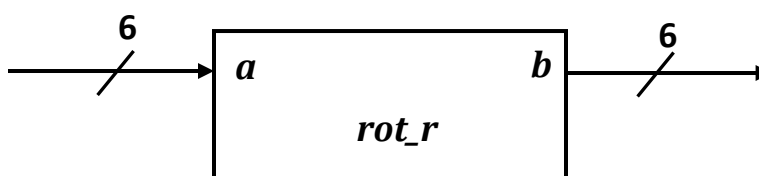


Test AC

Varianta 6

1. a) Construiți, folosind limbajul Verilog, un modul de rotire a biților a unei intrări definite pe 6 biți, așa cum este ilustrat mai jos.
- b) Redactați, folosind limbajul Verilog, un **testbench** pentru verificarea exhaustivă al modulului **rot_r**, implementat la subpunctul a).



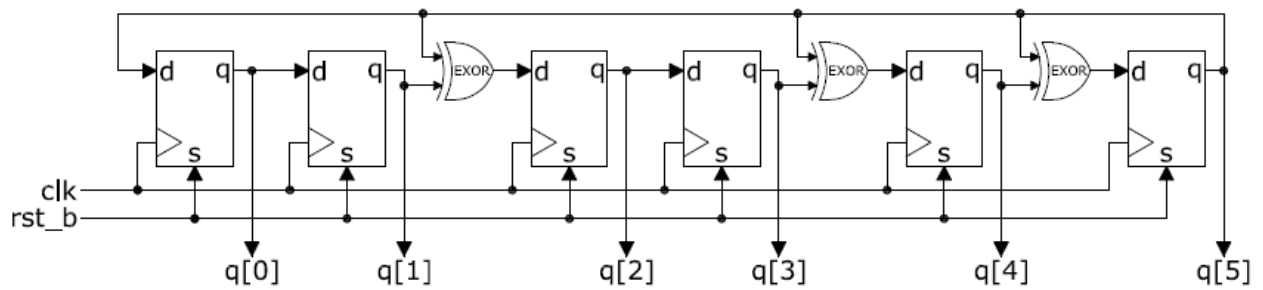
unde $b = \text{RotateRight}(a, 2)$.

2. Să se proiecteze un dispozitiv combinațional având o intrare i pe 3 biți și o ieșire o pe 3 biți, care codifică un număr pe 3 biți în formatul Gray, codificare descrisă în tabelul de mai jos. Se urmărește obținerea formelor minime (inclusiv diagramele Karnaugh) pe baza cărora se va desena schema logică a dispozitivului. Se cere apoi, construirea unui modul Verilog, cu numele **grey_enc**, care să implementeze funcționalitatea dispozitivului descris.

<i>Inputs</i>			<i>Outputs</i>		
I_2	I_1	I_0	O_2	O_1	O_0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

Nume:

3. Se consideră arhitectura unui Linear Feedback Shift Register (**LFSR**) de 6 ranguri:



- Să se determine periodicitatea secvenței de ieșire generând toți vectorii nenuli pe 6 biți, pe o foaie de hârtie.
- Să se implementeze, folosind un **bloc generate**, structura LFSR prezentată mai sus.
- Să se redacteze în limbajul Verilog un **testbench** care să verifice funcționalitatea modulului Verilog implementat anterior.