

Test AC

Varianta 3

1. a) Proiectați, folosind limbajul Verilog, un multiplexor 4-la-1 parametrizat. Numele modului va fi ***mux_2s***. Să se implementeze multiplexorul folosind porți cu trei stări.
- b) Redactați, folosind limbajul Verilog, un **testbench** pentru verificarea modului ***mux_2s*** implementat la subpunctul a).

```

module mux_2s #(
    parameter w = 4
)(
    input [w-1:0] d0,d1,d2,d3,
    input [1:0] s,
    output [w-1:0] o
);

```

2. Se consideră următorul tabel de adevăr:

Inputs				Outputs	
I_3	I_2	I_1	I_0	O_1	O_0
0	0	0	0	1	0
0	0	0	1	0	1
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	1	0
0	1	1	1	0	1
1	0	0	0	1	0
1	0	0	1	0	1

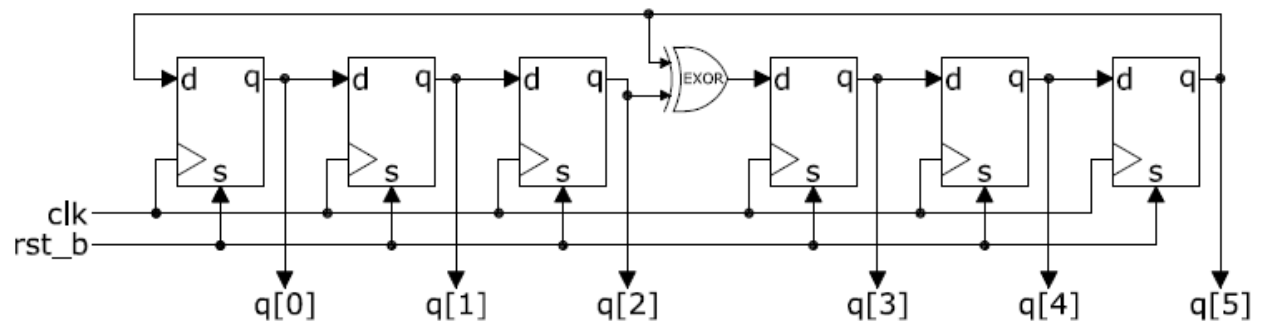
Obs: Mintermii de la 10 → 15 sunt considerați elemente don't care

Pe baza configurațiilor binare date în tabel să se :

- a) Minimizeze pe foaie funcțiile de la ieșire folosind metoda diagramelor Karnaugh.
- b) Redacteze un modul care implementează funcția booleană rezultată după minimizare. Modulului i se va atribui un nume sugestiv (ex. ***minimization***).

Punctaj: 1. a) 2p; b) 2p | 2. a) 1p; b) 1p | 3. a) 1p; b) 1p; c) 1p | 1 punct din oficiu | Total: 10p

3. Se consideră arhitectura unui Linear Feedback Shift Register (**LFSR**) de 6 ranguri:



- Să se determine periodicitatea secvenței de ieșire generând toți vectorii nenuli pe 6 biți, pe o foaie de hârtie.
- Să se implementeze, folosind un **bloc generate**, structura LFSR prezentată mai sus.
- Să se redacteze, folosind limbajul Verilog, un **testbench** care să verifice funcționalitatea modului Verilog implementat anterior.