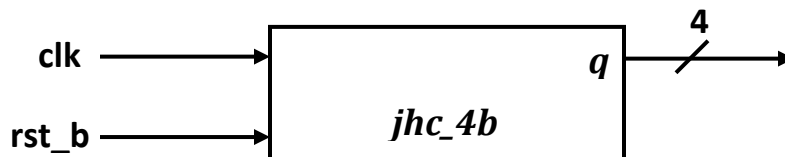


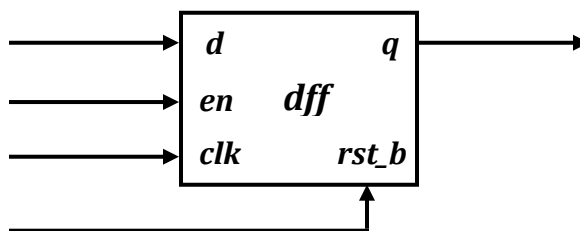
# Test AC

## Varianta 5

1. Construiți, folosind limbajul Verilog, un numărător *Johnson*, așa cum este ilustrat mai jos:



- a) Desenați arhitectura completă a circuitului numărător folosindu-vă de unitatea *dff* cu enable line (*en*) dată mai jos:



- b) Să se implementeze, în limbajul Verilog, arhitectura *jhc\_4b* desenată la punctul a).

2. Se consideră următorul tabel de adevăr:

Inputs				Outputs		
$I_3$	$I_2$	$I_1$	$I_0$	$O_2$	$O_1$	$O_0$
0	0	0	0	1	0	0
0	0	0	1	0	1	1
0	0	1	0	0	1	0
0	0	1	1	1	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	1
0	1	1	0	0	1	0
0	1	1	1	1	0	1
1	0	0	0	1	0	0
1	0	0	1	0	1	1

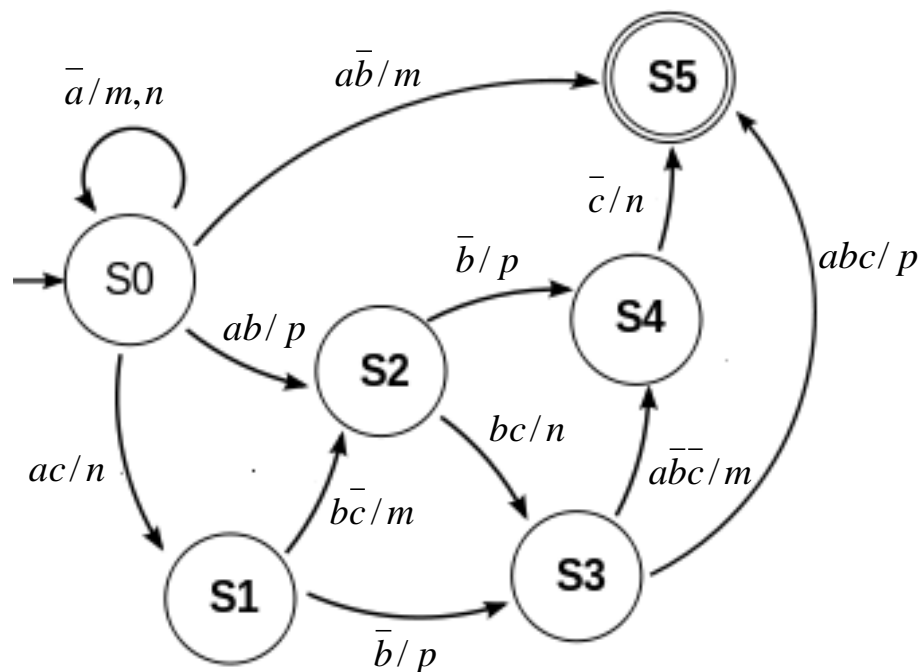
Data:

Nume:

Pe baza configurațiilor binare date în tabel să se :

- Minimizeze pe foaie funcțiile de la ieșire folosind metoda diagramelor Karnaugh.
- Redacteze un modul care implementează funcția booleană rezultată după minimizare. Modulului i se va atribui un nume sugestiv ( ex. **minimization**).

3. Se consideră următoarea diagramă a unui Finite State Machine (FSM) :



Să se construiască în limbajul Verilog diagrama prezentată mai sus, urmând cei cinci pași de implementare a FSM-urilor.