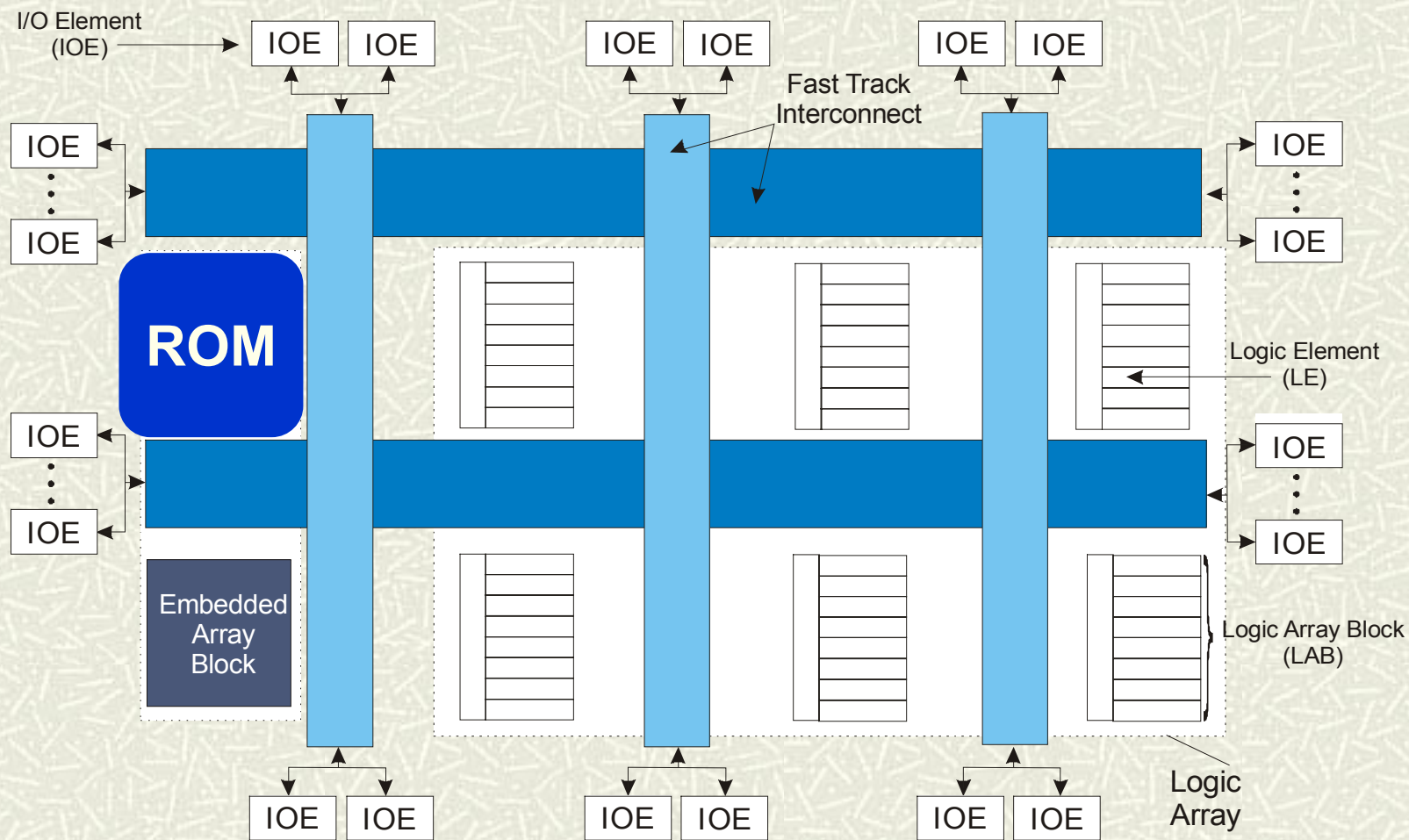
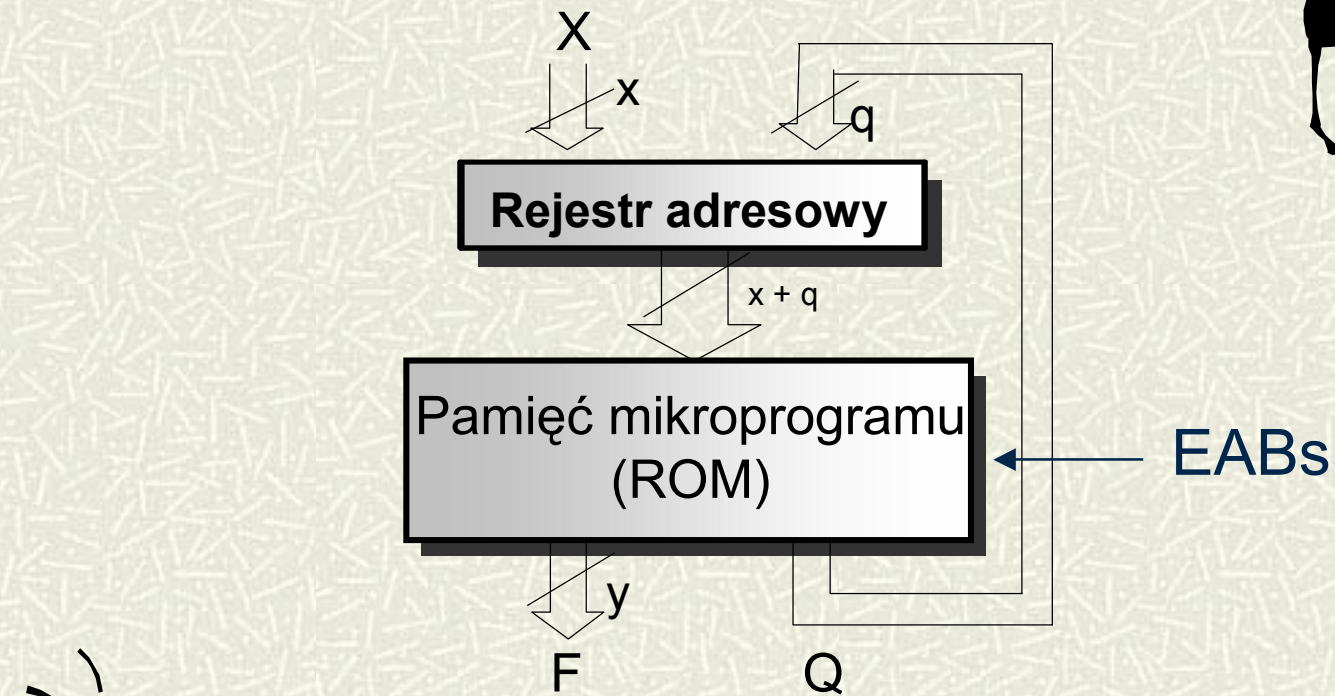


# **Synteza układu modyfikacji adresu dla układów sekwencyjnych z wbudowanymi pamięciami ROM**

# UKŁADY FPGA Z WBUDOWANYMI PAMIĘCIAMI (FLEX 10K10)



# IMPLEMENTACJA AUTOMATÓW ZA POMOCĄ PAMIĘCI ROM

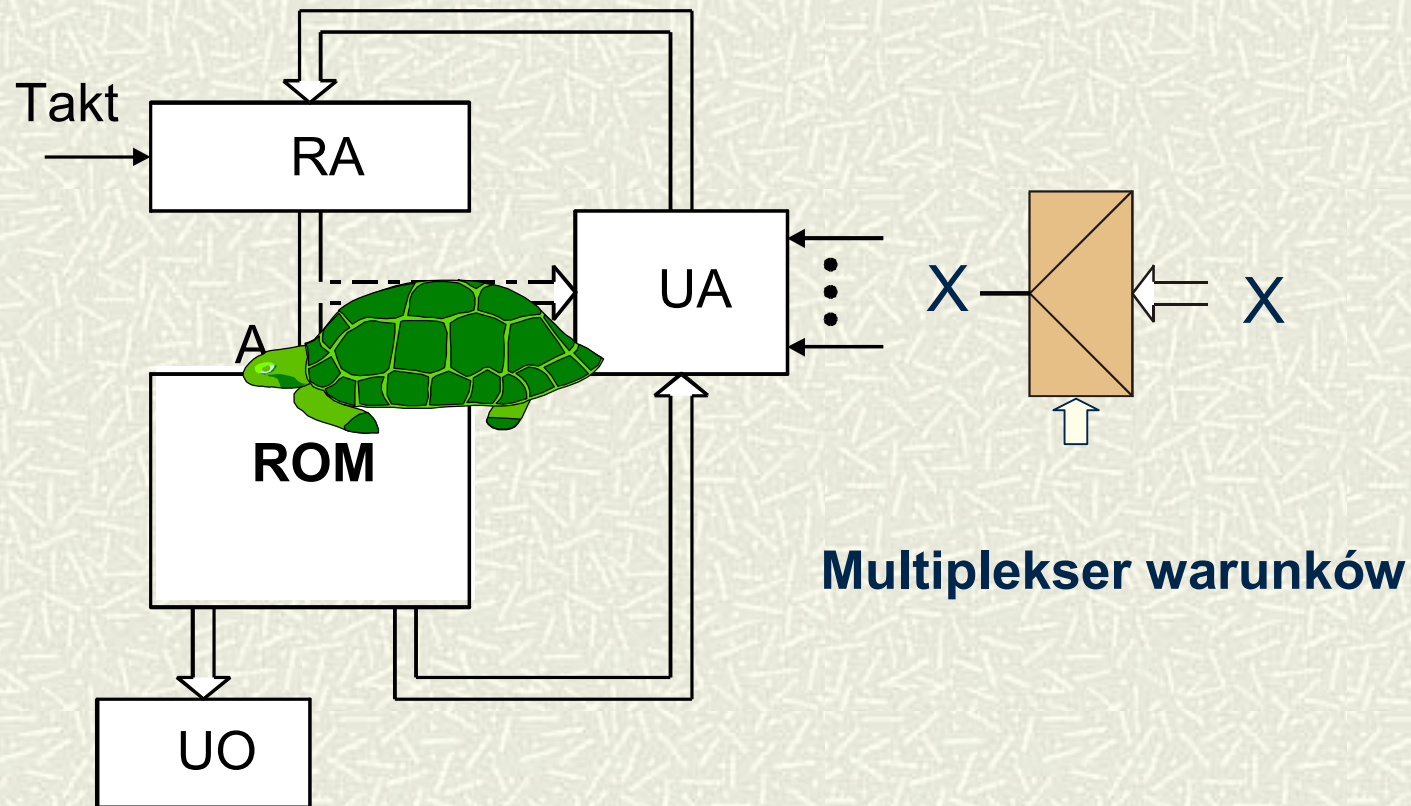


Niestety taka realizacja wiąże się z  
ogromnymi wymaganiami na pojemność  
pamięci

$$M = 2^{(x+q)} \times (q + y)$$



# UKŁADY MIKROPROGRAMOWANE

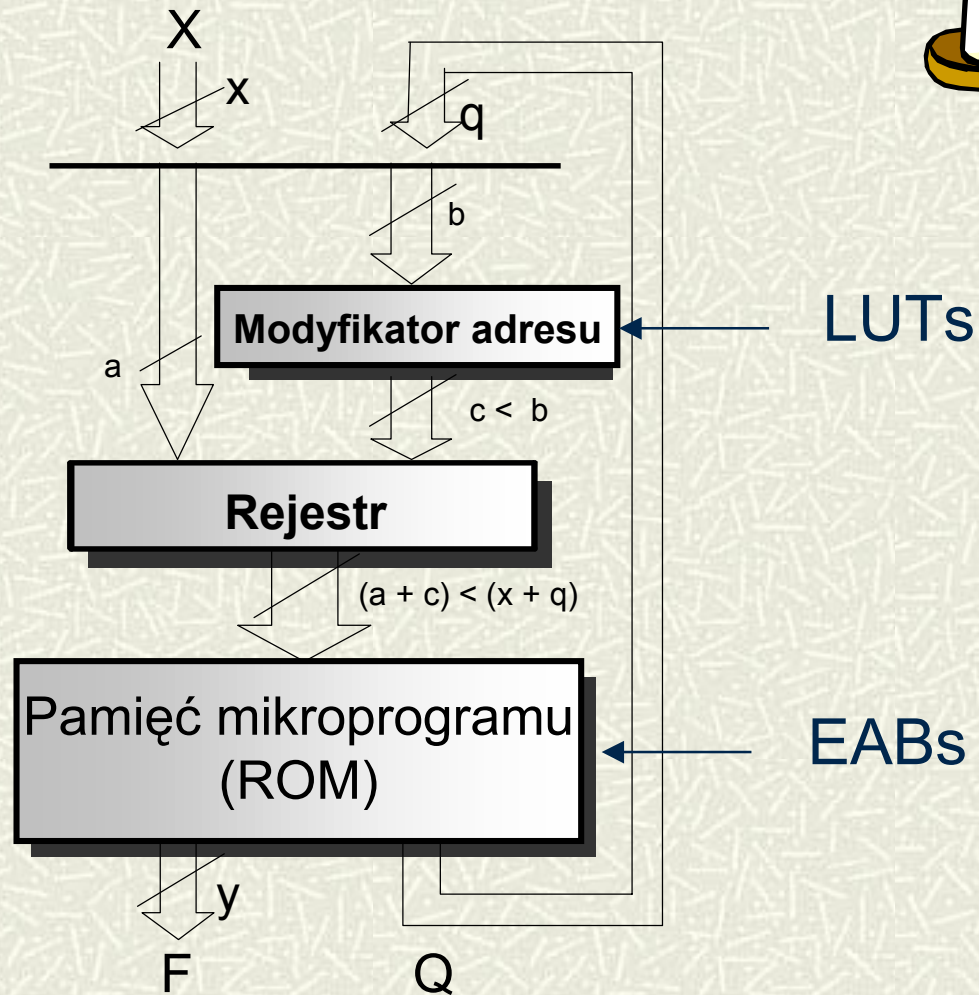


# MODYFIKACJA ADRESU

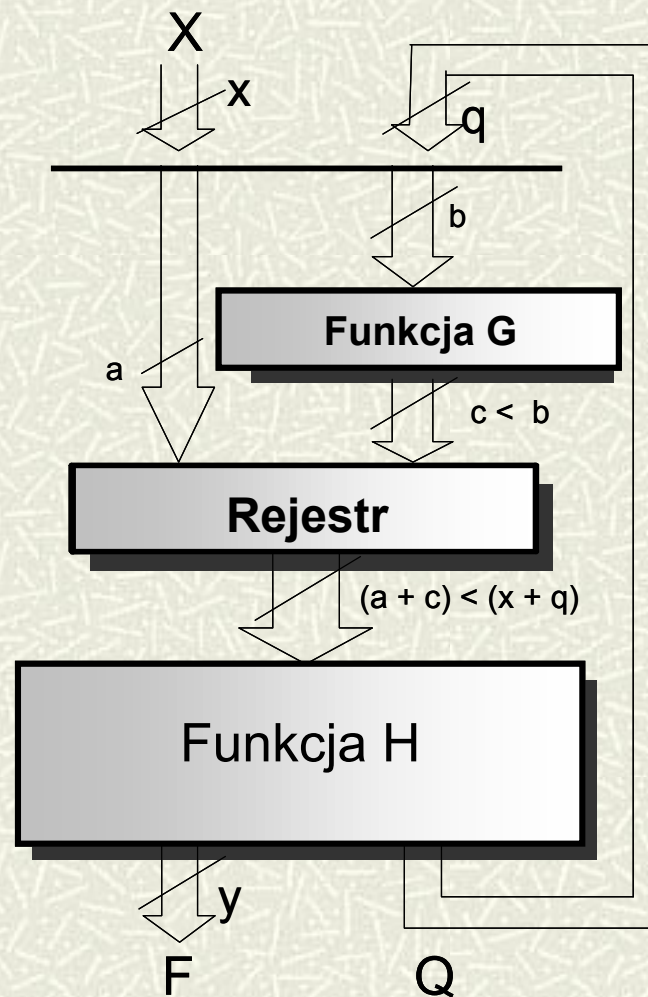


Pojemność ROM:

$$M = 2^{(a+c)} \times (q + y)$$



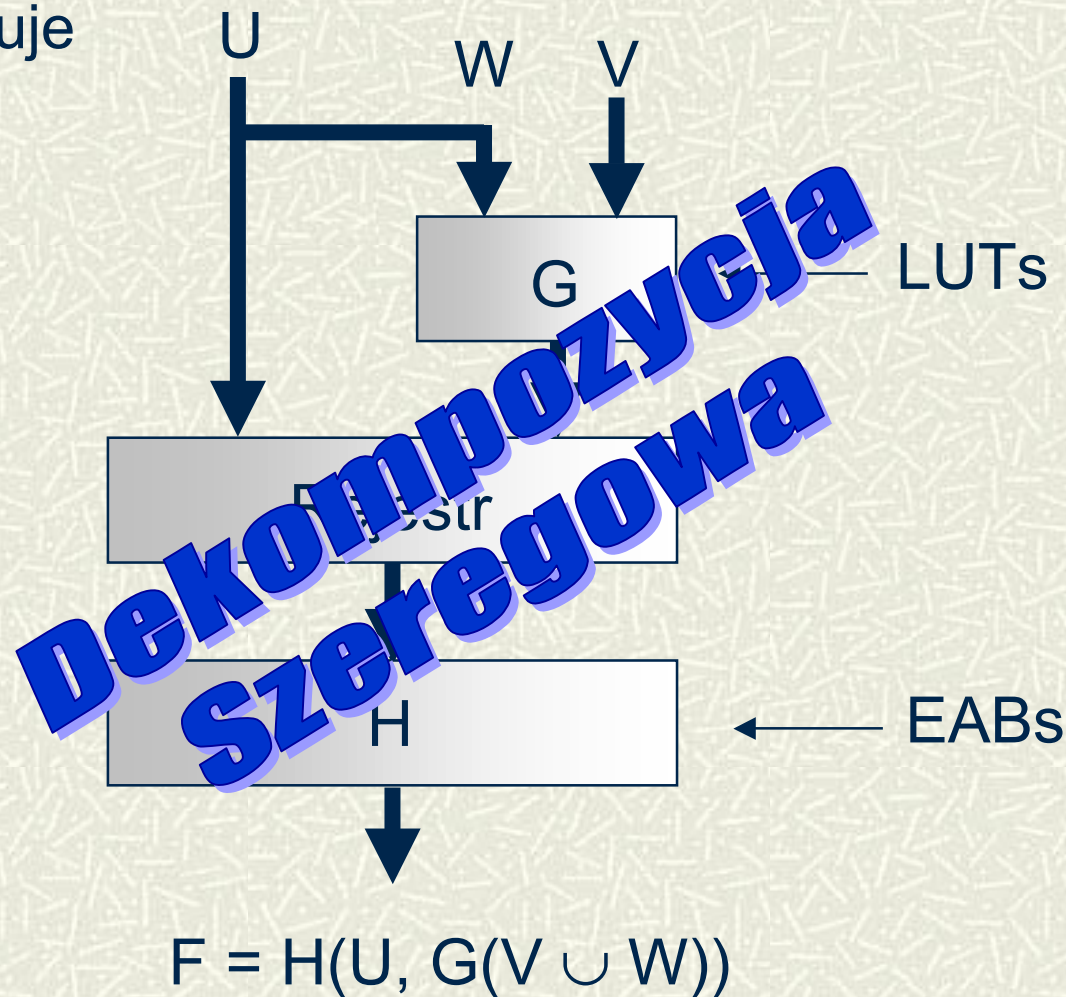
# JAK TO ZREALIZOWAĆ ???





## JAK TO ZREALIZOWAĆ ???

- ❑ Funkcja G reprezentuje modyfikator adresu
- ❑ Funkcja H opisuje zawartość pamięci



# ALGORYTM SYNTEZY AUTOMATU (algebra podziałów)

---

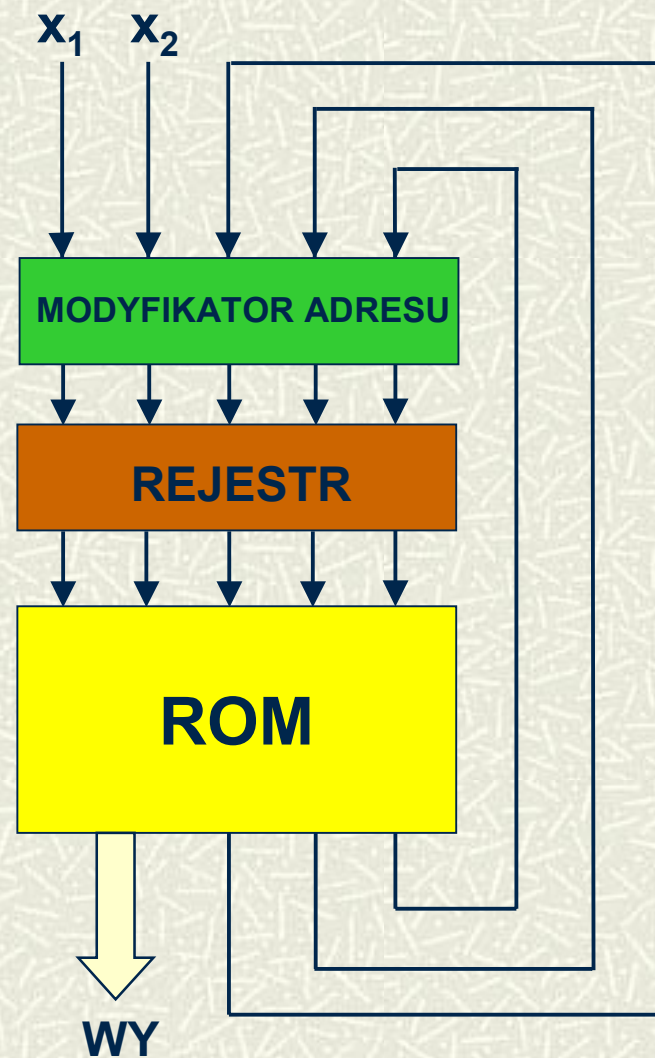
1. Wybór zbioru  $U$  (wstępne kodowanie)
2. Określenie podziałów:  
 $P(U), P_g = P(V)$
3. Szukanie podziału  $\Pi_g \geq P_g$   
 $P(U) \bullet \Pi_g \leq P_F$   
(czasami istnieje potrzeba wprowadzenia zbioru  $W$ )
4. Obliczenie funkcji  $G$  oraz  $H$



## PRZYKŁAD

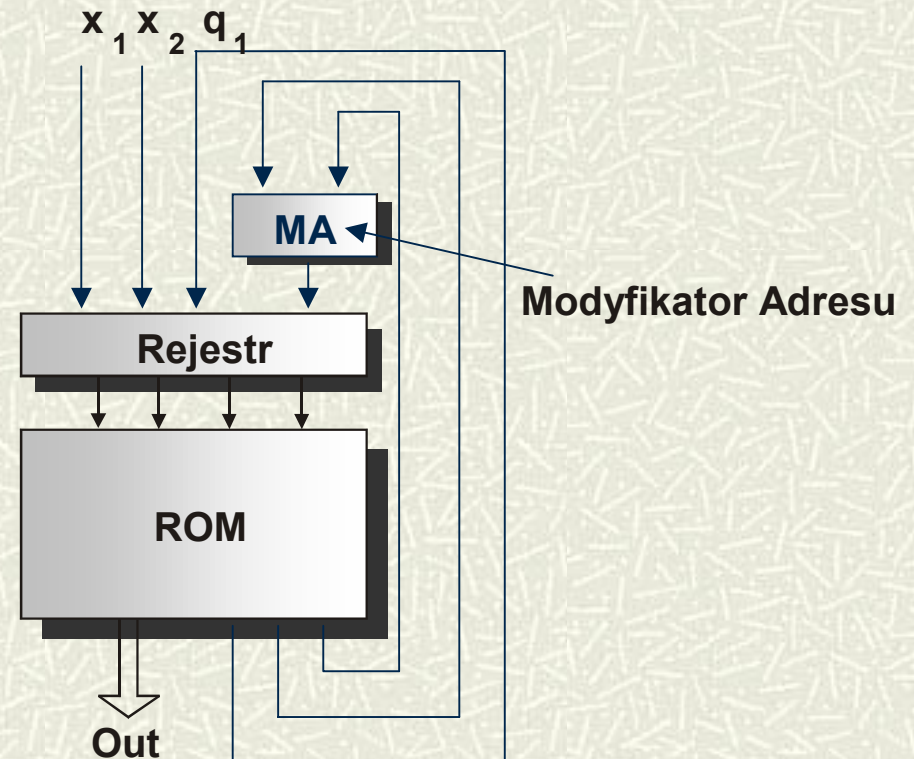
Wejścia ( $x_1, x_2$ )						Wyj- ścia
		$I_1$	$I_2$	$I_3$	$I_4$	
Stany	$S_1$	$S_1$	$S_2$	$S_4$	-	W Y J Ś C I A
	$S_2$	-	-	$S_5$	$S_4$	
	$S_3$	$S_3$	$S_2$	$S_1$	$S_3$	
	$S_4$	$S_2$	-	$S_4$	$S_1$	
	$S_5$	$S_3$	$S_1$	$S_4$	$S_2$	

Odpowiednie zakodowanie stanów i wejść może pomóc w podziale zmiennych wejściowych na zbiory U i V



## PRZYKŁAD c.d.

	$I_1$	$I_2$	$I_3$	$I_4$
$S_1$	$S_1$	$S_2$	$S_4$	-
$S_2$	-	-	$S_5$	$S_4$
$S_4$	$S_2$	-	$S_4$	$S_1$
$S_3$	$S_3$	$S_2$	$S_1$	$S_3$
$S_5$	$S_3$	$S_1$	$S_4$	$S_2$



- Po przestawieniu wierszy i kolumn pojawiają się możliwości zakodowania i podziału zmiennych wejściowych



## PRZYKŁAD c.d.

$$U = \{x_1, x_2, q_1\}$$

$$V = \{q_2, q_3\}$$

	$I_1$	$I_2$	$I_3$	$I_4$
$S_1$	$S_1$	$S_2$	$S_4$	-
$S_2$	-	-	$S_5$	$S_4$
$S_4$	$S_2$	-	$S_4$	$S_1$
$S_3$	$S_3$	$S_2$	$S_1$	$S_3$
$S_5$	$S_3$	$S_1$	$S_4$	$S_2$

	$q_1$	$q_2$	$q_3$	$x_1x_2$			
				00	01	11	10
$S_1$	0	0	0	1	2	3	-
$S_2$	0	0	1	-	-	4	5
$S_4$	0	1	0	6	-	7	8
$S_3$	1	1	1	9	10	11	12
$S_5$	1	0	1	13	14	15	16

$$P(U)|P_F = ((1)(6) ; (2) ; (3,7)(4) ; (5)(8) ; (9,13) ; (10)(14) ; (11)(15) ; (12)(16))$$



## PRZYKŁAD c.d.

$$U = \{x_1, x_2, q_1\}$$

$$V = \{q_2, q_3\}$$

	$q_1$	$q_2$	$q_3$	$x_1x_2$	00	01	11	10
$S_1$	0	0	0		1	2	3	-
$S_2$	0	0	1		-	-	4	5
$S_4$	0	1	0		6	-	7	8
$S_3$	1	1	1		9	10	11	12
$S_5$	1	0	1		13	14	15	16

$$P(V) = (1, 2, 3; 4, 5, 13, 14, 15, 16; 6, 7, 8; 9, 10, 11, 12)$$

## PRZYKŁAD c.d.

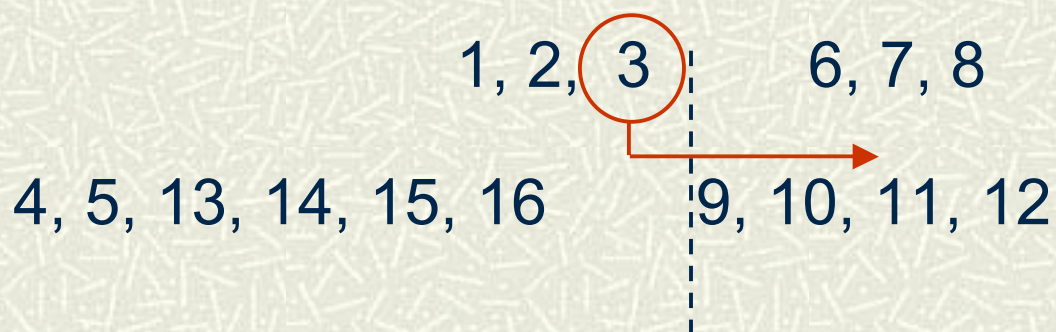
$$U = \{x_1, x_2, q_1\} \quad V = \{q_2, q_3\}$$

$$P(U)|P_F = ((1)(6); (2); (3,7)(4); (5)(8); (9,13); (10)(14); (11)(15); (12)(16))$$

$$P(V) = (\overline{1,2,3}; \overline{4,5,13,14,15,16}; \overline{6,7,8}; \overline{9,10,11,12})$$

$\Pi g$

$x_1x_2$  00 01 11 10



1	2	3	-
-	-	4	5
6	-	7	8
9	10	11	12
13	14	15	16

Przyjmujemy:  $W = \{x_1\}$



## PRZYKŁAD c.d.

$$V' = \{x_1, q_2, q_3\}$$

$$P(V') = (\overline{1,2} ; \overline{3} ; \overline{13,14} ; \overline{4,5,15,16} ; \overline{6} ; \overline{7,8} ; \overline{9,10} ; \overline{11,12})$$

$$P(U)|P_F = ((1)(6) ; (2) ; (3,7)(4) ; (5)(8) ; (9,13) ; (10)(14) ; \\ (11)(15) ; (12)(16))$$

$$\Pi_g = (\overline{1,2,3,7,8,9,10,11,12} ; \overline{4,5,6,13,14,15,16})$$

**Uwaga:** jest to inne rozwiązanie niż w książce

*Synteza układów logicznych*

ale oba rozwiązania są dobre



## PRZYKŁAD c.d.

$$\Pi_g = \overline{0} \quad \overline{1}$$

$$\Pi_g = (\overline{1,2,3,7,8,9,10,11,12}; \overline{4,5,6,13,14,15,16})$$

$$P(V') = (\overline{1,2}; \overline{3}; \overline{13,14}; \overline{4,5,15,16}; \overline{6}; \overline{7,8}; \overline{9,10}; \overline{11,12})$$

$x_1$	$q_2$	$q_3$	$g$
0	0	0	0
1	0	0	0
0	0	1	1
⋮			

$$g = \overline{x}_1 q_2 \overline{q}_3 + \overline{q}_2 q_3$$

## PRZYKŁAD c.d.

$$\Pi_g = \overline{0} \quad \overline{1}$$

$$\Pi_g = (1,2,3,7,8,9,10,11,12; 4,5,6,13,14,15,16)$$

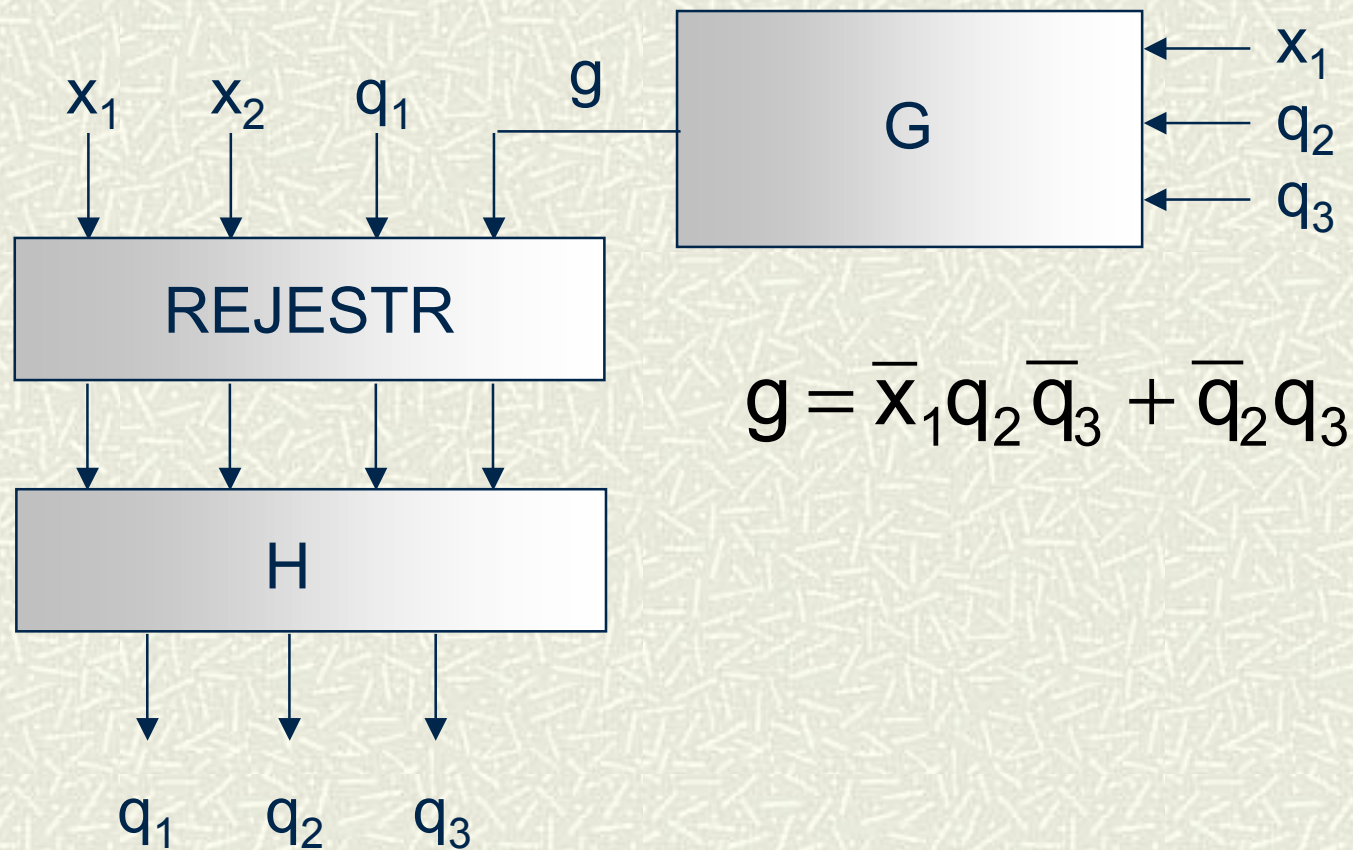
$$P(V') = (\overline{1,2}; \overline{3}; \overline{13,14}; \overline{4,5,15,16}; \overline{6}; \overline{7,8}; \overline{9,10}; \overline{11,12})$$

					$x_1$	$q_2$	$q_3$	$g$
					0	0	0	0
					1	0	0	0
					0	0	1	1
					⋮			

					$x_1x_2$			
					00	01	11	10
$q_1q_2q_3$	000	001	010	111	101	100	011	000
$S_1$	000	1	2	3	-			
$S_2$	001	-	-	4	5			
$S_4$	010	6	-	7	8			
$S_3$	111	9	10	11	12			
$S_5$	101	13	14	15	16			

## PRZYKŁAD c.d.





## PRZYKŁAD c.d.

	$I_1$	$I_2$	$I_3$	$I_4$	$q_1$	$q_2$	$q_3$	$x_1x_2$	00	01	11	10
$S_1$	$S_1$	$S_2$	$S_4$	-	$S_1$	0	0	0	1	2	3	-
$S_2$	-	-	$S_5$	$S_4$	$S_2$	0	0	1	-	-	4	5
$S_4$	$S_2$	-	$S_4$	$S_1$	$S_4$	0	1	0	6	-	7	8
$S_3$	$S_3$	$S_2$	$S_1$	$S_3$	$S_3$	1	1	1	9	10	11	12
$S_5$	$S_3$	$S_1$	$S_4$	$S_2$	$S_5$	1	0	1	13	14	15	16

$$P(U) = (1,6 ; 2 ; 3,4,7 ; 5,8 ; 9,13 ; 10,14 ; 11,15 ; 12,16)$$

$$\Pi_g = (\overline{1,2,3,7,8,9,10,11,12} ; \overline{4,5,6,13,14,15,16})$$

$$P(U) \bullet \Pi_G = (1; 6; 2; 3,7; 4; 5; 8; 9; 13; 10; 14; 11; 15; 12; 16)$$

## PRZYKŁAD c.d.

	$I_1$	$I_2$	$I_3$	$I_4$	$q_1$	$q_2$	$q_3$	$x_1x_2$	00	01	11	10
$S_1$	$S_1$	$S_2$	$S_4$	-	$S_1$	0	0	0	1	2	3	-
$S_2$	-	-	$S_5$	$S_4$	$S_2$	0	0	1	-	-	4	5
$S_4$	$S_2$	-	$S_4$	$S_1$	$S_4$	0	1	0	6	-	7	8
$S_3$	$S_3$	$S_2$	$S_1$	$S_3$	$S_3$	1	1	1	9	10	11	12
$S_5$	$S_3$	$S_1$	$S_4$	$S_2$	$S_5$	1	0	1	13	14	15	16

$P(U) \bullet \Pi_G = (1; 6; 2; 3,7; 4; 5; 8; 9; 13;$   
 $10; 14; 11; 15; 12; 16)$

	$x_1$	$x_2$	$q_1$	$g$	
1	0	0	0	0	$S_1$
6	0	0	0	1	$S_2$
2	0	1	0	0	$S_2$
3,7	1	1	0	0	$S_4$
				⋮	

# PRZYKŁADOWE BENCHMARKI

TEST	Wejścia	Wyjścia	Stany
d14	3	5	7
cse	7	7	16
ex4	6	9	14
mark1	5	16	15
s1	8	6	20
tbk	6	3	32
sse	7	7	16



# IMPLEMENTACJA AUTOMATU W UKŁADZIE EPF 10K10

Benchmark	ROM	RAM	AM	
	Implementation #bits	Implementation #LCs	implementation #LCs	#bits
d14	256	60	21	256
cse	5312 <sup>1)</sup>	92	2	5632
ex4	5312 <sup>1)</sup>	28	2	3328
mark1	10240	40	2	5120
s1	5312	137	96	5632
tbk	5312 <sup>1)</sup>	759 <sup>2)</sup>	333	4093
sse	22528 <sup>1)</sup>	52	3	5632

1) Implementation not possible – not enough memory resources

2) Implementation not possible – not enough CLB resources

# ODWZOROWANIE UKŁADU TBK

tbk: 16 384 bitów  
lub 759 komórek log.

tbk: 4093 bitów  
oraz 333 komórek log.

