

目 录

第 1 章 焊盘制作	1
1.1 用 Pad Designer 制作焊盘	1
1.2 制作圆形热风焊盘	6
第 2 章 建立封装	10
2.1 新建封装文件	10
2.2 设置库路径	11
2.3 画元件封装	12
第 3 章 元器件布局	23
3.1 建立电路板(PCB)	23
3.2 导入网络表	24
3.3 摆放元器件	26
第 4 章 PCB 布线	31
4.1 PCB 层叠结构	31
4.2 布线规则设置	33
4.2.1 对象(object)	35
4.2.2 建立差分对	36
4.2.3 差分对规则设置	37
4.2.4 CPU 与 DDR 内存芯片走线约束规则	39
4.2.5 设置物理线宽和过孔	45
4.2.6 设置间距约束规则	52
4.2.7 设置相同网络间距规则	55
4.3 布线	56
4.3.1 手工拉线	56
4.3.2 应用区域规则	59
4.3.3 扇出布线	60
4.3.4 差分布线	62
4.3.5 等长绕线	64
4.3.6 分割平面	65
第 5 章 输出底片文件	70
5.1 Artwork 参数设置	70
5.2 生成钻孔文件	75
5.3 输出底片文件	79

第1章 焊盘制作

1.1 用 Pad Designer 制作焊盘

Allegro 中制作焊盘的工作叫 Pad Designer，所有 SMD 焊盘、通孔焊盘以及过孔都用该工具来制作。

打开程序->Cadence SPB 16.2->PCB Editor utilities->Pad Designer，弹出焊盘制作的界面，如图 1.1 所示。

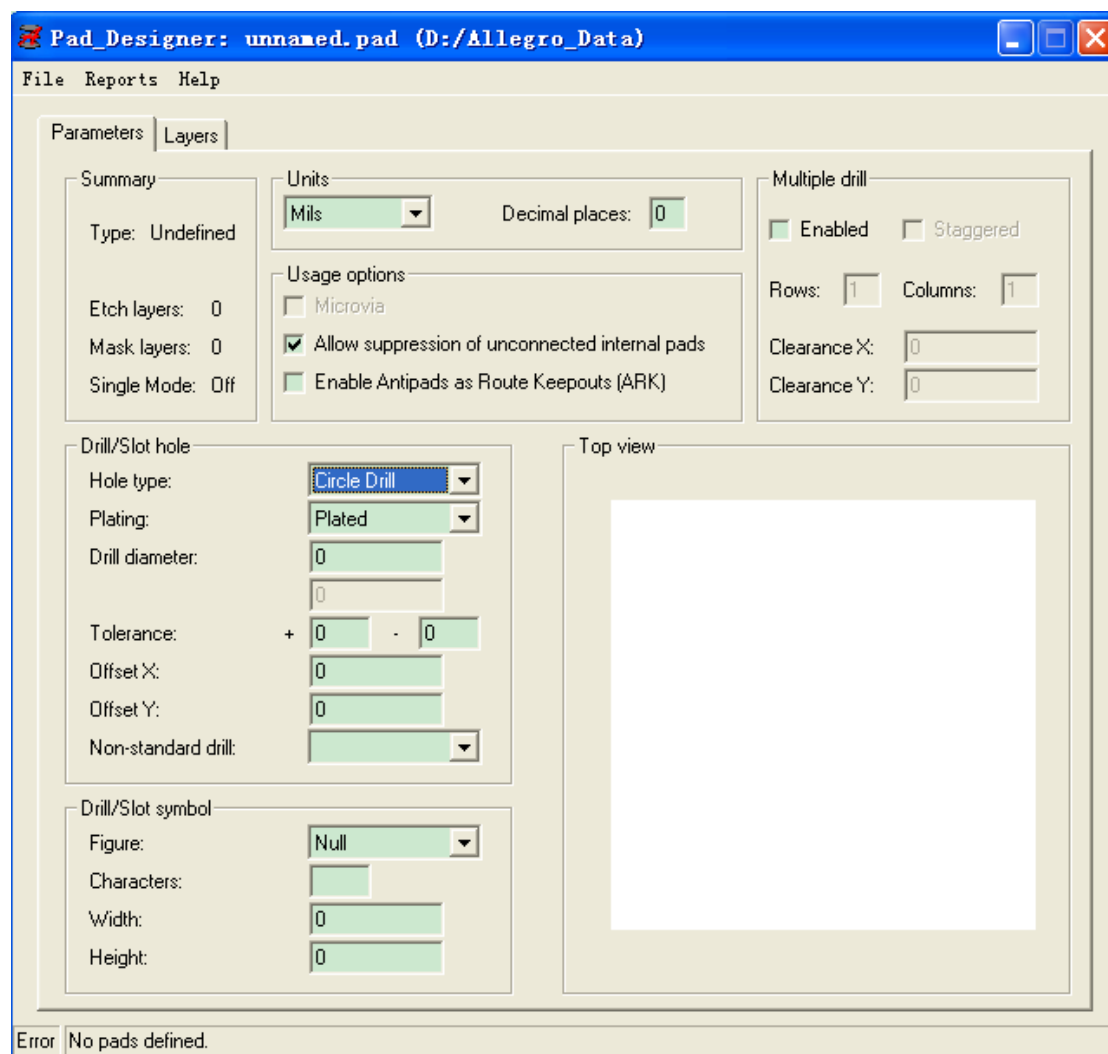


图 1.1 Pad Designer 工具界面

在 Units 下拉框中选择单位，常用的有 Mils(毫英寸)，Millimeter(毫米)。根据实际情况选择。

在 Hole type 下拉框中选择钻孔的类型。有如下三种选择：

Circle Drill：圆形钻孔；

Oval Slot：椭圆形孔；

Rectangle Slot：矩形孔。

在 Plating 下拉框中选择孔的金属化类型，常用的有如下两种：

Plated: 金属化的;

Non-Plated: 非金属化的。

一般的通孔元件的管脚焊盘要选择金属化的,而元件安装孔或者定位孔则选择非金属化的。

在 Drill diameter 编辑框中输入钻孔的直径。如果选择的是椭圆或者矩形孔则是 Slot size X, Slot size Y 两个参数, 分别对应椭圆的 X, Y 轴半径和矩形的长宽。

一般情况下只要设置上述几个参数就行了, 其它参数默认就可以。设置好以后单击 Layers 标签, 进入如图 1.2 所示界面。

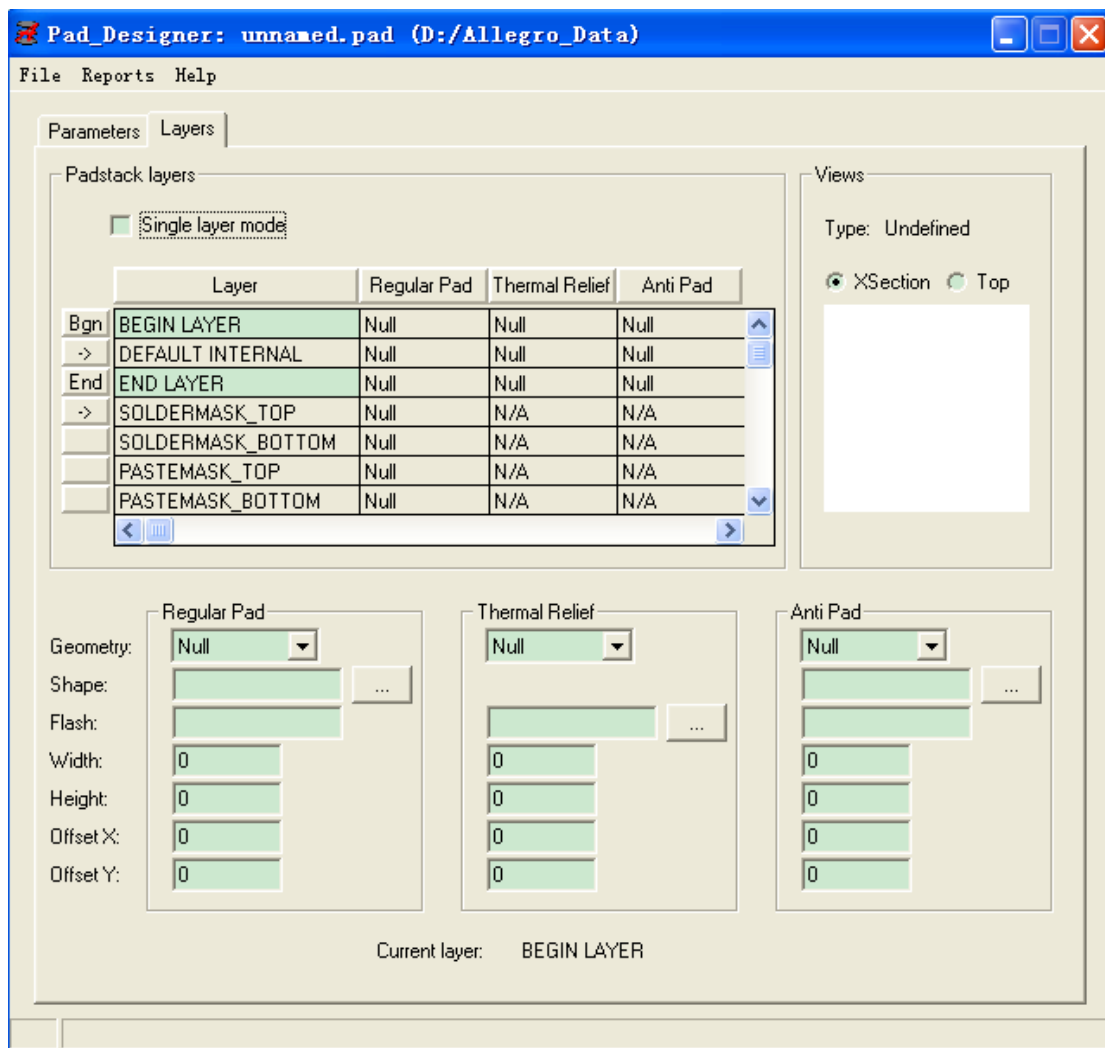


图 1.2 Pad Designer Layers 界面

如果制作的是表贴元件的焊盘将 Singel layer mode 复选框勾上。需要填写的参数有:

BEGINLAYER 层的 Regular Pad;

SOLDEMASK_TOP 层的 Regular Pad;

PASTEMASK_TOP 层的 Regular Pad。

如图 1.3 所示。

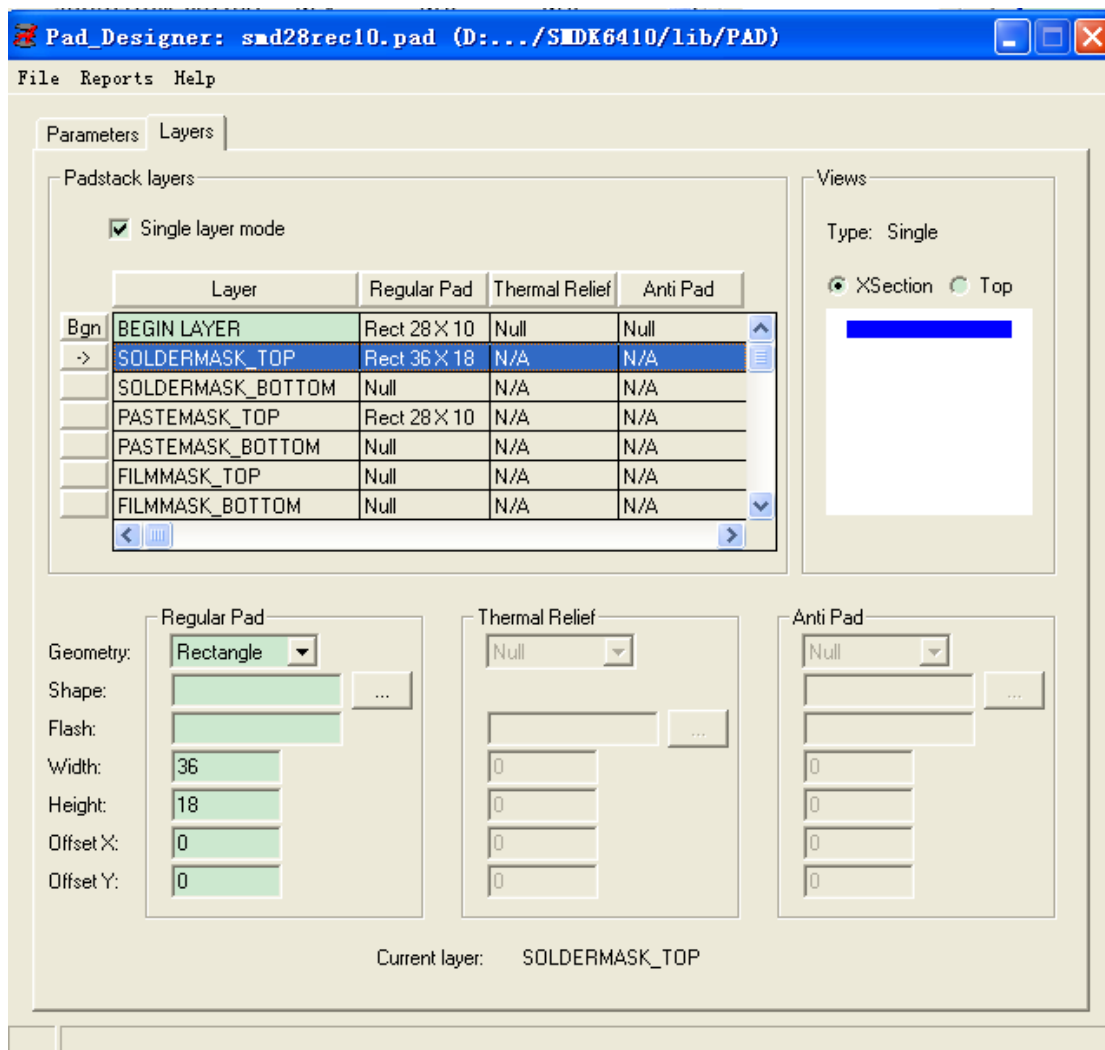


图 1.3 表贴元件焊盘设置

如果是通孔焊盘，需要填写的参数有：

BEGINLAYER 层的 Regular Pad，Thermal Relief，Anti Pad；

DEFAULTINTERNAL 层的 Regular Pad，Thermal Relief，Anti Pad；

ENDLAYER 层的 Regular Pad，Thermal Relief，Anti Pad；

SOLDEMASK_TOP 层的 Regular Pad；

PASTEMASK_TOP 层的 Regular Pad。

如图 1.4 所示。

在 BEGINLAYER、DEFAULTINTERNAL、ENDLAYER 三个层面中的 Thermal Relief 可以选择系统提供的默认连接方式，即 Circle、Square、Oblong、Rectangle、Octagon 五种，在 PCB 中这几种连接方式为简单的 ‘+’ 形或者 ‘X’ 形。也可以选用自己画的热风焊盘连接方式，即选择 Flash。这需要事先做好一个 Flash 文件(见第二节)。这些参数的设置见下面的介绍。

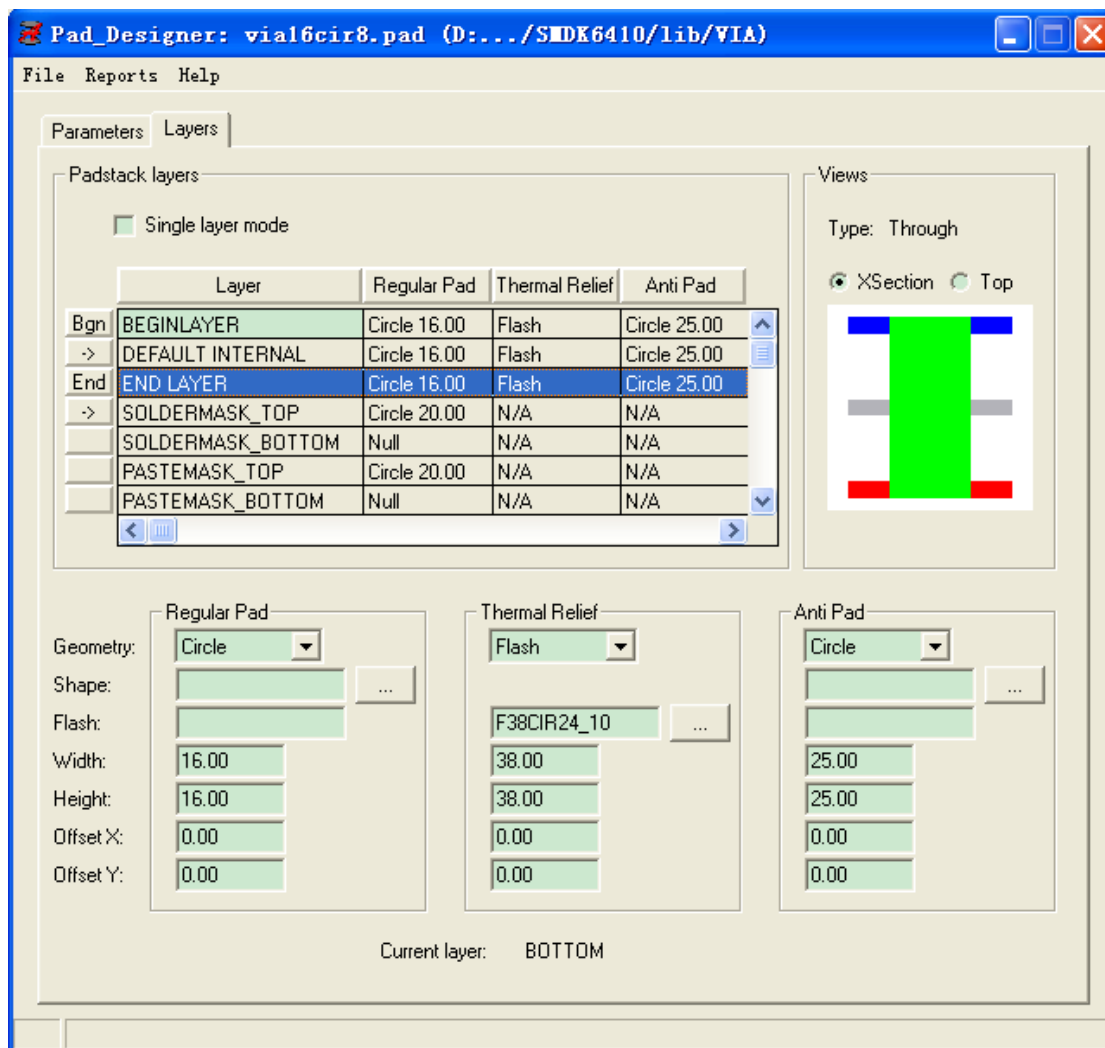


图 1.4 通孔焊盘参数设置

下面介绍一个焊盘中的几个知识。

一个物理焊盘包含三个 pad，即：

Regular Pad：正规焊盘，在正片中看到的焊盘，也是通孔焊盘的基本焊盘。

Thermal Relief：热风焊盘，也叫花焊盘，在负片中有效。用于在负片中焊盘与敷铜的接连方式。

Anti Pad：隔离焊盘，也是在负片中有效，用于在负片中焊盘与敷铜的隔离。

SOLDEMASK：阻焊层，使铜皮裸露出来，需要焊接的地方。

PASTEMASK：钢网开窗大小。

表贴元件封装的焊盘名层面尺寸的选取：

1. BEGINLAYER

Regular Pad：根据器件的数据手册提供的焊盘大小或者自测得的器件引脚尺寸来定。

Thermal Relief：通常比 Regular Pad 大 20mil，如果 Regular Pad 的尺寸小于 40mil，根据需要适当减小。

Anti Pad：通常比 Regular Pad 大 20mil，如果 Regular Pad 的尺寸小于 40mil，根据需要适当

减小。

2. SOLDEMASK: 通常比 Regular Pad 大 4mil(0.1mm)。

3. PASTEMASK: 与 SOLDEMASK 一样。

直插元件封装焊盘各层面尺寸的选取:

1. BEGINLAYER

Regular Pad: 根据器件的数据手册提供的焊盘大小或者自测得的器件引脚尺寸来定。

Thermal Relief: 通常比 Regular Pad 大 20mil。

Anti Pad: 与 Thermal Relief 设置一样。

2. ENDLAYER

与 BEGINLAYER 层设置一样。

3. DEFAULTINTERNAL

该层各个参数设置如下:

DRILL_SIZE \geq 实际管脚尺寸 + 10MIL

Regular Pad \geq DRILL_SIZE + 16MIL (0.4mm) (DRILL_SIZE < 50)

Regular Pad \geq DRILL_SIZE + 30MIL (0.76mm) (DRILL_SIZE \geq 50)

Regular Pad \geq DRILL_SIZE + 40MIL (1mm) (钻孔为矩形或椭圆形时)

Thermal Pad = TRaXbXc-d 其中 TRaXbXc-d 为 Flash 的名称 (后面有介绍)

Anti Pad = DRILL_SIZE + 30MIL (0.76mm)

SOLDERMASK = Regular_Pad + 6MIL (0.15mm)

- Flash Name: TRaXbXc-d

其中:

a. Inner Diameter: Drill Size + 16MIL

b. Outer Diameter: Drill Size + 30MIL

c. Wed Open: 12 (当 DRILL_SIZE = 10MIL 以下)

15 (当 DRILL_SIZE = 11~40MIL)

20 (当 DRILL_SIZE = 41~70MIL)

30 (当 DRILL_SIZE = 71~170 MIL)

40 (当 DRILL_SIZE = 171 MIL 以上)

保证连接处的宽度不小于 10mil。

d.Angle:45

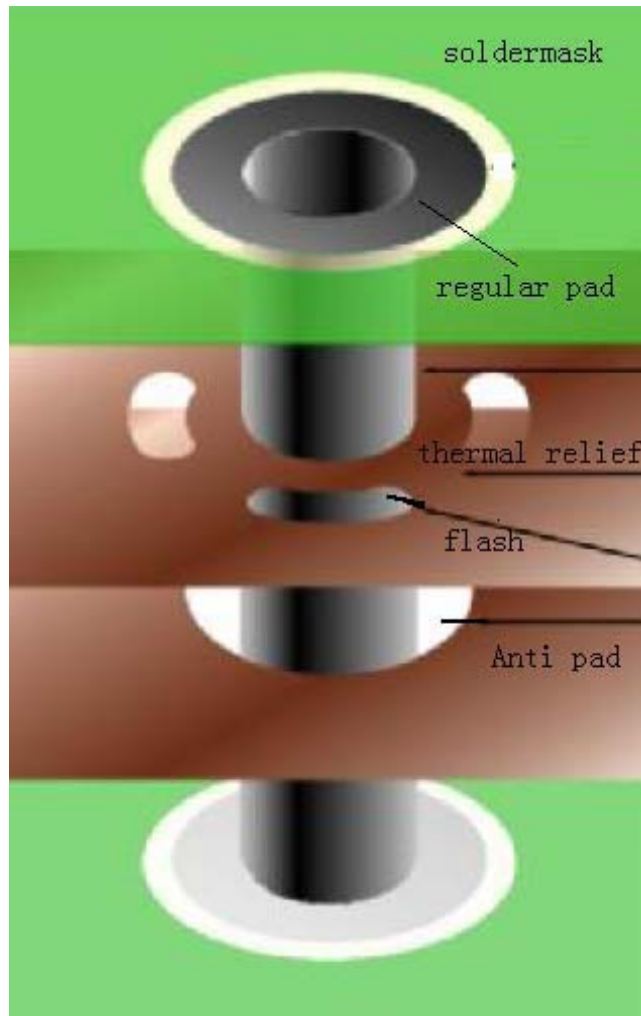


图 1.5 通孔焊盘示例

制作焊盘的时候一定要注意 **Anti Pad** 的尺寸一定要大于 **Regular Pad**，否则在有敷铜的层就会引起短路。由于 allegro 的文件管理有点混，每个焊盘会使用一个文件保存，所以在给焊盘命名的时候尽量将焊盘的形状尺寸等信息表现出来，以便以后可以方便的管理和重复利用。

1.2 制作圆形热风焊盘

打开程序->Cadence SPB 16.2->PCB Editor，选择 File->New，如图 1.6 所示。

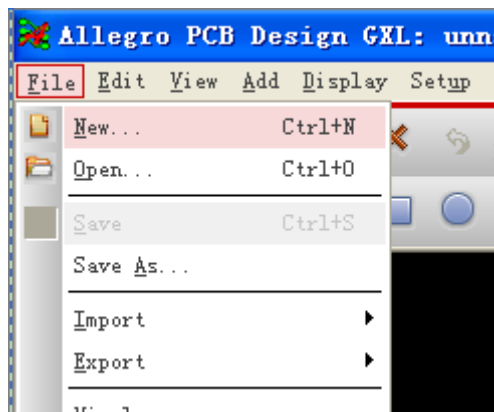


图 1.6 制作热风焊盘

弹出 New Drawing 对话框，如图 1.7 所示。

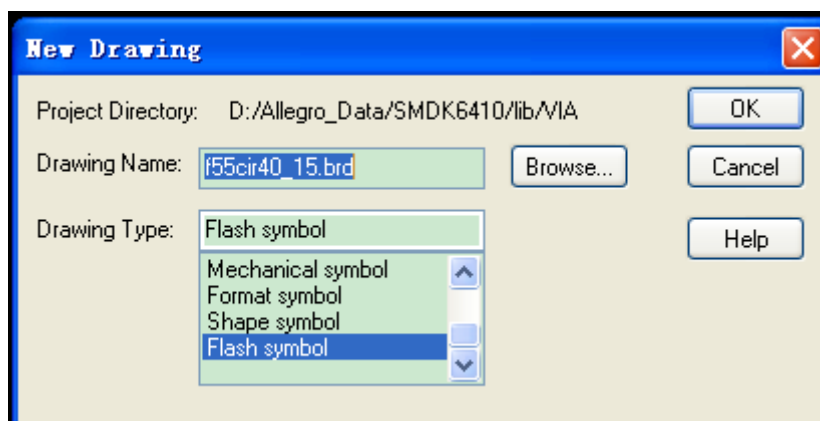


图 1.7 New Drawing 对话框

在 Drawing Name 编辑框输入文件名称 f55cir40_15，后缀名是自动产生的。在 Drawing Type 列表框选择 Flash symbol，点击 OK。

点击 Setup->Design Paramenters 打开设计参数设置对话框，点击 Design 标签，如图 1.8 所示。

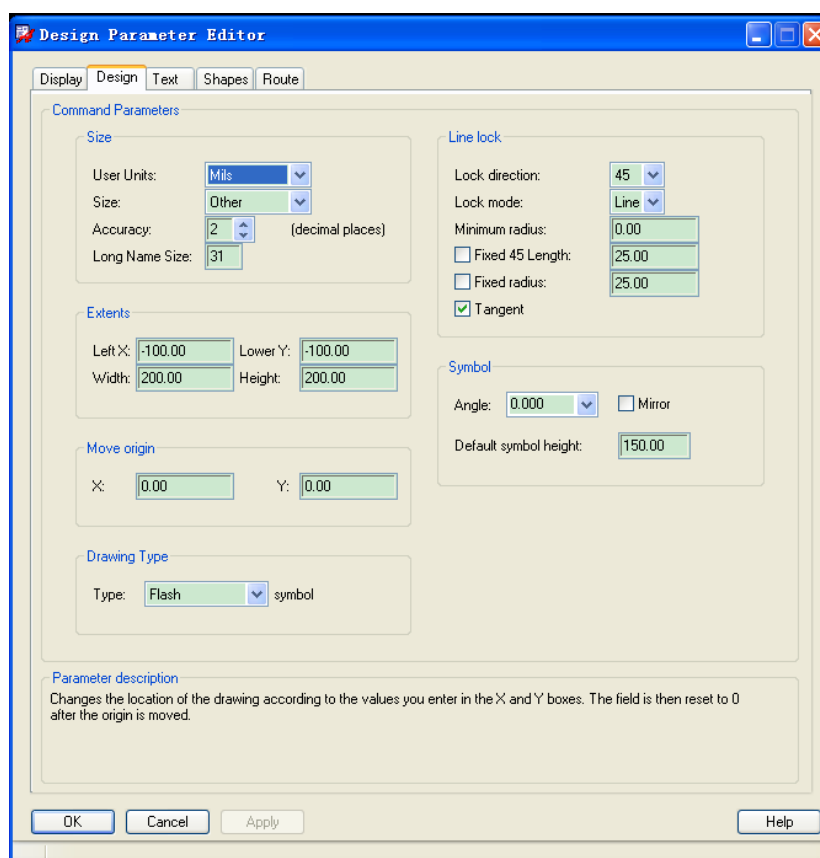


图 1.8 Design Parameter Editor 对话框

在 User Units 处选择单位 Mils，Accuracy 那里是设置小数点位数，默认两位就可。在

Width 那里输入 200, Height 那里输入 200, 设置画图区域的大小, 可以根据做的焊盘适当的调整大小, 然后 Left X 那里输入-100, Lower Y 那里输入-100, 设置画图区域的左下角坐标, 这样原点坐标(0, 0)就在画图区域的中心, 否则会有错误。其它参数都用默认值就可, 然后点击 OK 退出。

点击 Add->Flash 菜单, 弹出热风焊盘尺寸设置对话框, 如图 1.9 所示。

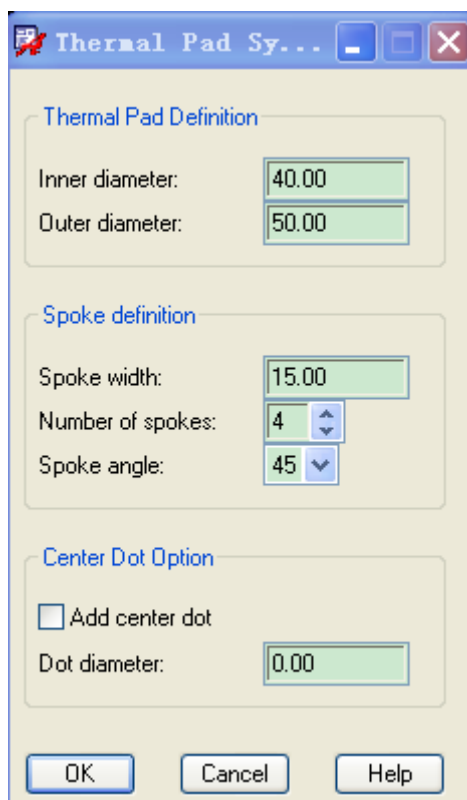


图 1.9 热风焊盘参数设置对话框

在 Inner diameter 编辑框输入内径 40, Outer diameter 编辑框输入外径 50, Spoke width 编辑框输入连接口的宽度 15, 最好不要小于板子的最小线宽。在 Number of spokes 选择开口的数量, 默认 4 就可, Spoke angel 输入开口的角度使用默认的 45 度就可。其它默认, 点击 OK 后就会自动生成一个花焊盘形状, 如图 1.10 所示。

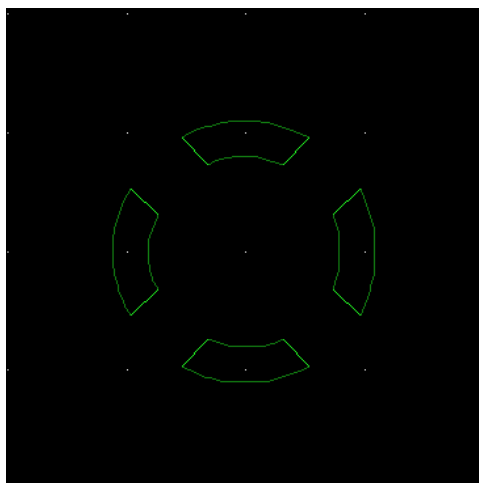


图 1.10 花焊盘

至此一个圆形热风焊盘就制作完成了，如果要生成其它形状的焊盘，如椭圆形，方形等，就不能用 **Add->Flash** 来生成，需要用 **Shape** 菜单下面的画矩形画圆等工具来画。自己先画一个草图，并将每个点的坐标计算出来，然后使用画矩形画圆等命令并通过在命令状态栏那里输入坐标来画。需要注意的是由于热风焊盘是在负片中使用的，你画出的形状看得到的地方(图 1.10 绿线围起的区域)实际上做出 PCB 来后是被腐蚀掉的，黑色(底色)的才是真正有铜的地方。

第2章 建立封装

2.1 新建封装文件

用 Allegro 来演示做一个 K4X51163 内存芯片的封装。

打开程序->Cadence SPB 16.2->PCB Editor，选择 File->New，弹出新建设计对话框，如图 2.1 所示。

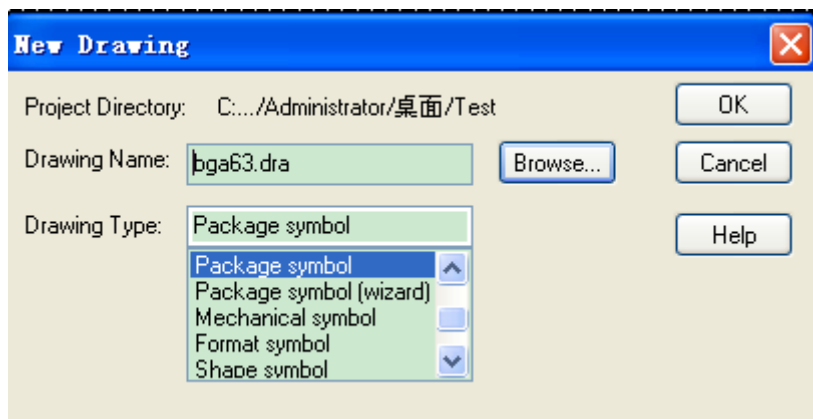


图 2.1 新建封装

在 Drawing Type 列表框中选择 Package symbol，然后点击 Browse 按钮，选择保存的路径并输入文件名，如图 2.2 所示

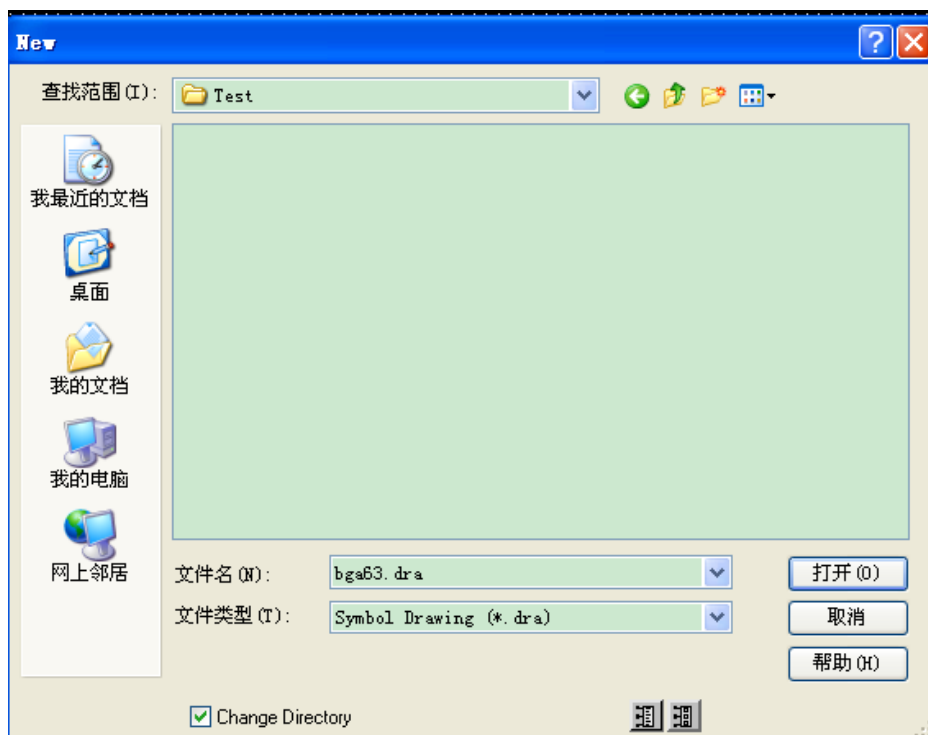


图 2.2 选择保存封装的路径

点击打开回到 New Drawing 对话框，点击 OK 退出。就会自动生成一个 bga63.dra 的封装文件。点击保存文件。

2.2 设置库路径

在画封装之前需要在 Allegro 设置正确的库路径，以便能正确调出做好的焊盘或者其它符号。

打开之前建立的封装文件 bga63.dra，选择 Setup->User Preferences，如图 2.3 所示。

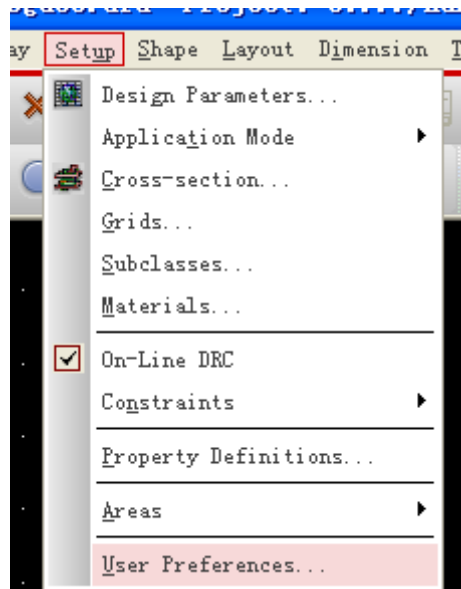


图 2.3 设置路径

弹出 User Preferences Editor 对话框，如图 2.4 所示。

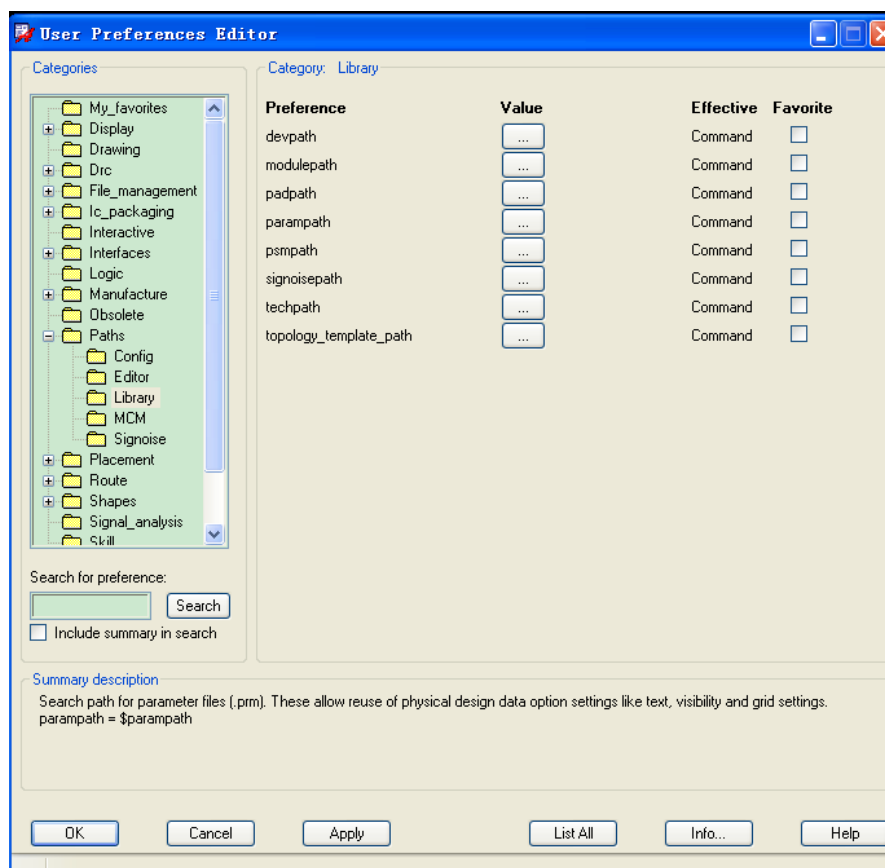


图 2.4 User Preferences Editors 对话框

点击 Paths 前面的 ‘+’ 号展开来，再点击 Library，现在只需要设置两个地方就可以了，padpath(焊盘路径)和 psmppath(封装路径)。点击 padpath 右边 Value 列的按钮。弹出 padpath Items 对话框，如图 2.5 所示。

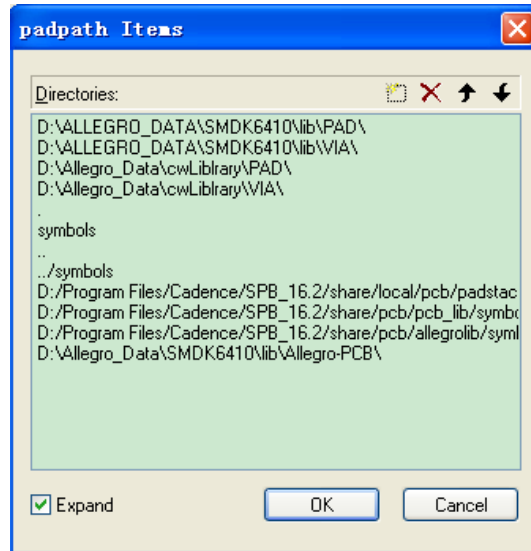




图 2.5 padpath 对话框

点击  图标按钮，在 padpath Items 对话框的列表框中新增了一个空项，点击右边的  按钮弹出一个路径选择对话框，选择你存放焊盘的文件夹加入其中，点击 OK。如果想要加入多个路径，重复上述过程就即可。还可以点击 padpath Items 对话框右上角的下个上移下移箭头来移动列表框中的项目，越靠上的优先权越高，如果不同路径中的焊盘或封装出现相同名字的时候 allegro 会优先选用最上面的路径中的焊盘和封装。封装路径的设置过程和焊盘路径的设置过程是一样的，这里就不重复了。

2.3 画元件封装

首先要设置一下工作参数，点击 Setup->Design Paramenters 打开设计设置对话框，点击 Design 标签，如图 2.6 所示。

先选择合适的单位，根据芯片的数据手册提供的尺寸参数，这里选择 Millimeter 比较合适，在 User Units 处选择 Millimeter。然后只要设置 Extents 标签下的参数就可以了。在 Width 和 Height 编辑框中分别输入 20, 20。将工作区域的宽和高都设置为 20mm。在 Left X 和 Lower Y 编辑框中分别输入 -10, -10。设置左下角的坐标为 (-10, -10) 这样工作区域的原点 (0, 0) 就在区域的中心。也可以调整通过调整左下角的坐标来间接调整原点的位置。点击 OK 关闭 Design Parameter Editor 对话框。

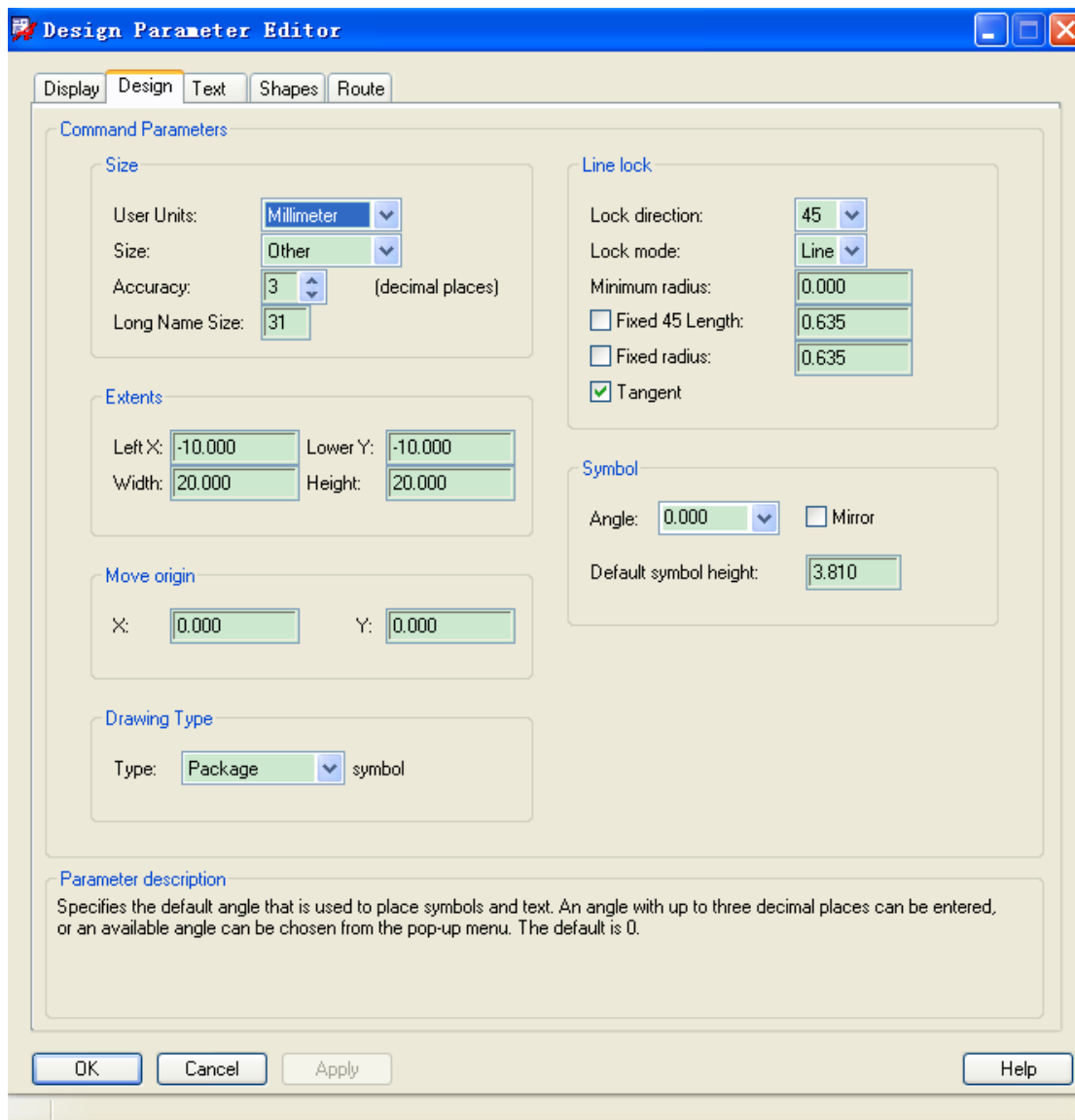


图 2.6 Design Parameter Editor 对话框

为了手工放置更精确，还可以把网格设置得小一样，点击 Steup->Grids, 弹出 Define Grid 对话框，如图 2.7 所示。

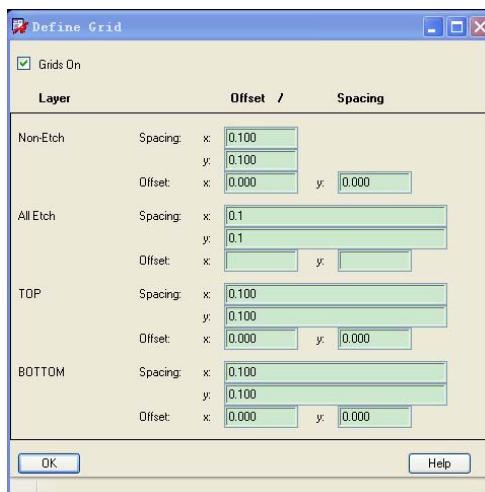



图 2.7 Define Grid 对话框

在 Non-Etch 和 AllEtch 层的 Spacing X Y 编辑框内都填入 0.1。点击 OK 关闭对话框。

下面开始放置焊盘，点击 Layout->Pins 如图 2.8 所示，或者直接点击工具栏右上角处的图标按钮。

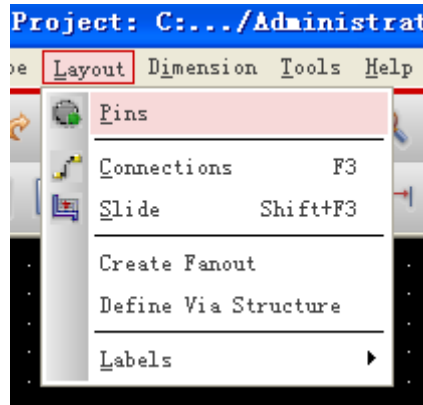


图 2.8 放置焊盘命令

然后点击右边的 Options 按钮，弹出 Options 面板，如图 2.9 所示。

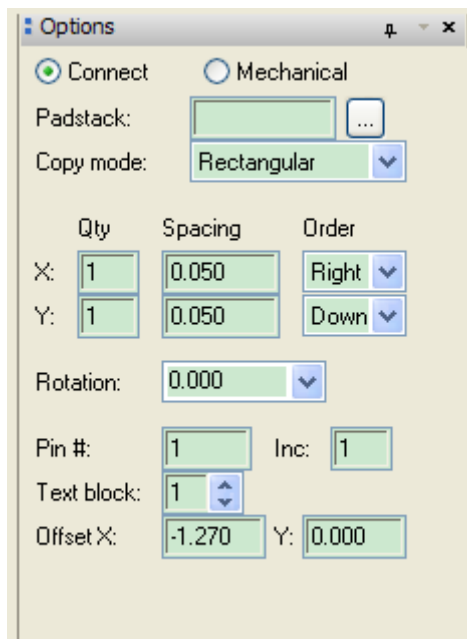



图 2.9 Pin Options 窗口

选择事先制作好的焊盘，点击 Padstack 右边的按钮，弹出 Select a padstack 对话框。如图 2.10 所示。将 Database, Library 两个复选框勾上。左边的列表框中会把库路径中的所有焊盘都列出来，如果没有你要的焊盘则检查一下路径设置是否正确。在列表框中单击需要放置的焊盘，也可以在左上角的编辑框中直接输入需要放置的焊盘名称，选择好以后点击

OK 退出。这时候在 Options 窗口中的 Padstack 右边的编辑框内就会出现刚才选的焊盘的名称。

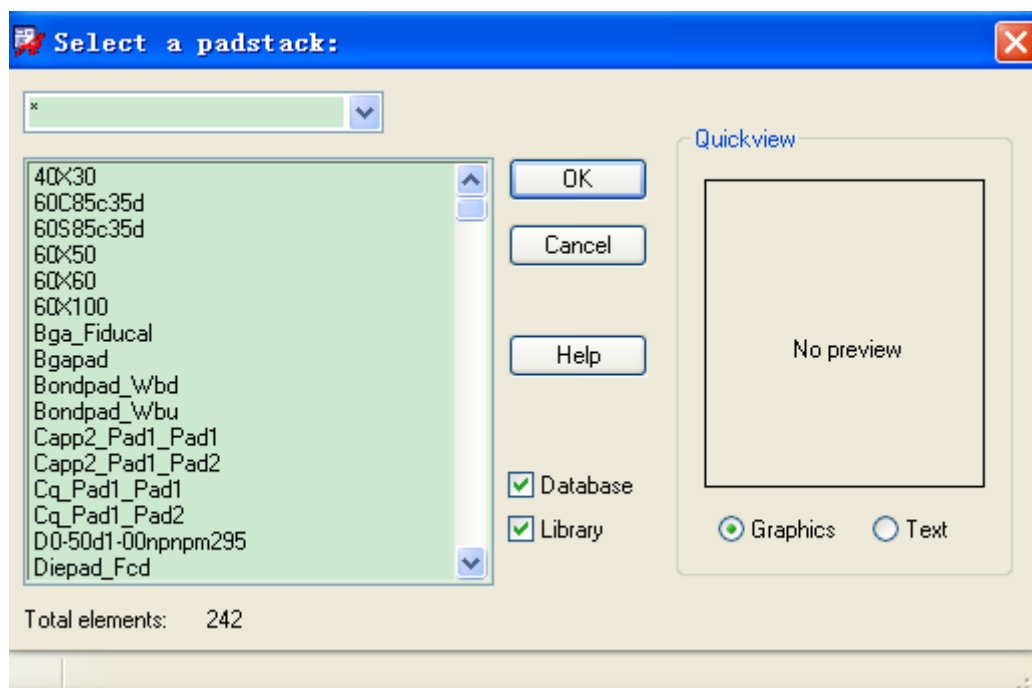


图 2.10 焊盘选择对话框

还可以一次性的放几行几列焊盘，而不必要一个一个的放置，这在制作管脚很多而排列有序的元件封装的时候非常方便，根据元件数据手册上提供的尺寸参数，将 Options 窗口中的其它参数填入为图 2.11 所示的数值。

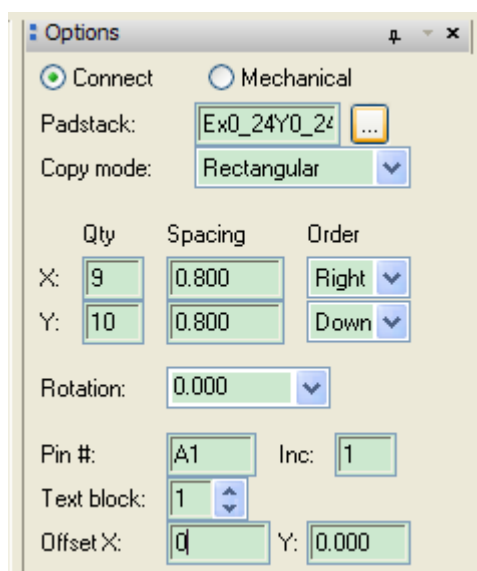


图 2.11 焊盘放置参数

这里 X, Y 的 Qty, Spacign, Order 的参数表示，共放置 9 列 10 行焊盘，即(9X10=90 个)，焊盘的 X 方向间距为 0.8mm，Y 方向间距为 0.8mm，X 轴的生长方向为向右生长，Y 轴的生长方向为向下生长。Pin#处指的是焊盘编号以 A1 开始，按 1 增加，即(A1, A2, A3...)。Text block 设置的是焊盘编号字体的大小。Offset X,Y 设置的是焊盘编号字体与焊盘的偏移。

设置好以后在 Command 窗口输入 x -3.2 3.6(-3.2, 3.6 是最左上角那个焊盘的坐标, 需要事先计算好)回车。如图 2.12 所示。

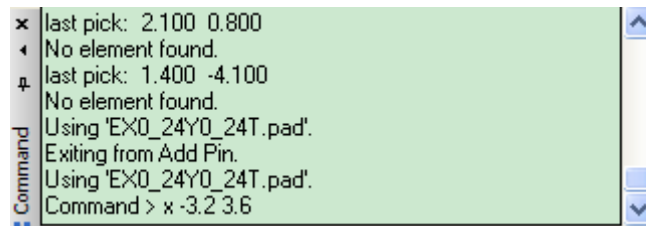


图 2.12 输入坐标值

在工作区域右键选择 Done。则焊盘全部放置出来了, 如图 2.13 所示。

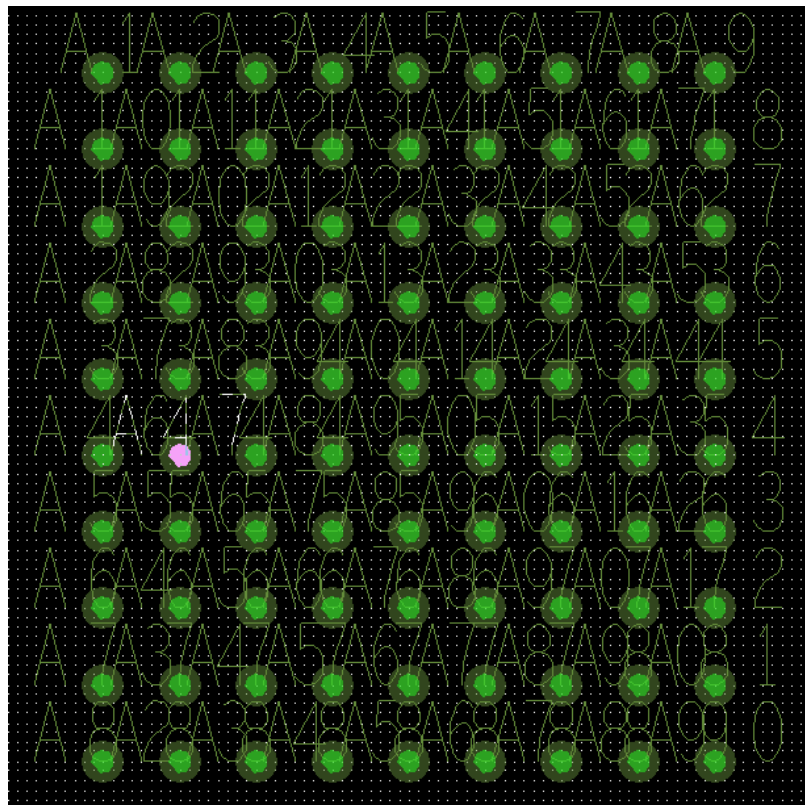



图 2.13 放置好的焊盘

还需要将中间多余的三列删除, 点击工具栏的  图标按钮, 或者点击 Edit->Delete。然后按住鼠标左键将要删除的焊盘全部框中, 或者单个单个的点, 右键选择 Done。如图 2.14 所示。

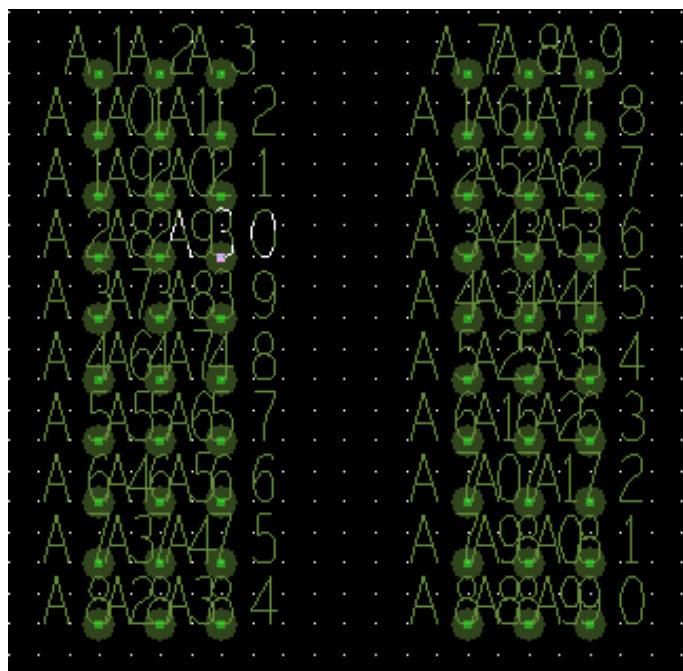



图 2.14 删除多余的焊盘

自动生成的焊盘编号和我们要的焊盘编号不符，为此还需将焊盘编号改过来。单击左上角的  图标按钮，将编辑模式切换到 Generaledit 模式。点击右边的 Find 窗口然后点击 All Off 按钮，再将 Text 复选框勾上，如图 2.15 所示。

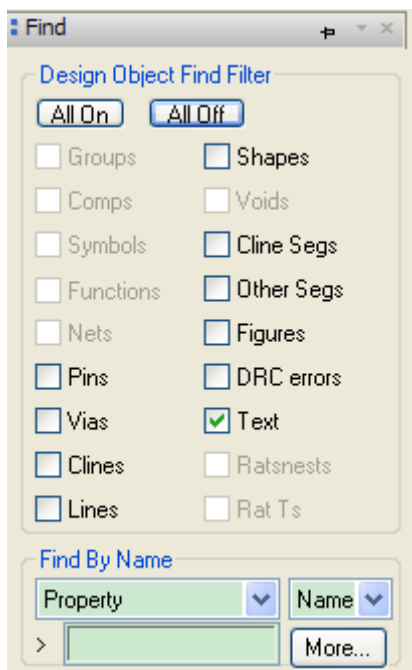


图 2.15 选中 Text 元素

然后将鼠标移到需要修改的编号上面(字体会变成高亮)，点击右键选择 Text edit 在弹出的编辑框内修改为我们需要的编号。如图 2.16 所示。

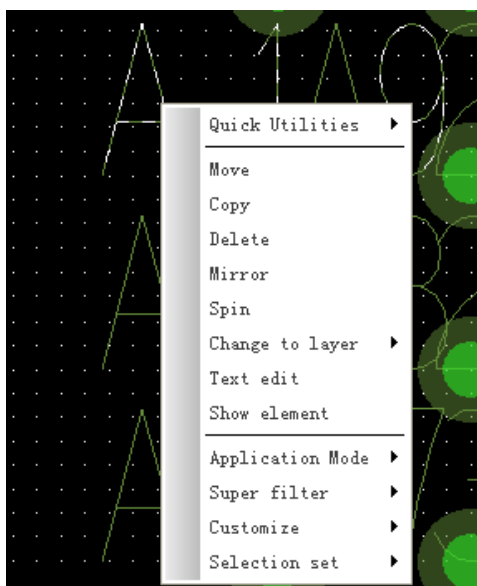


图 2.16 修改 Text

全部修改后的焊盘如图 2.17 所示。

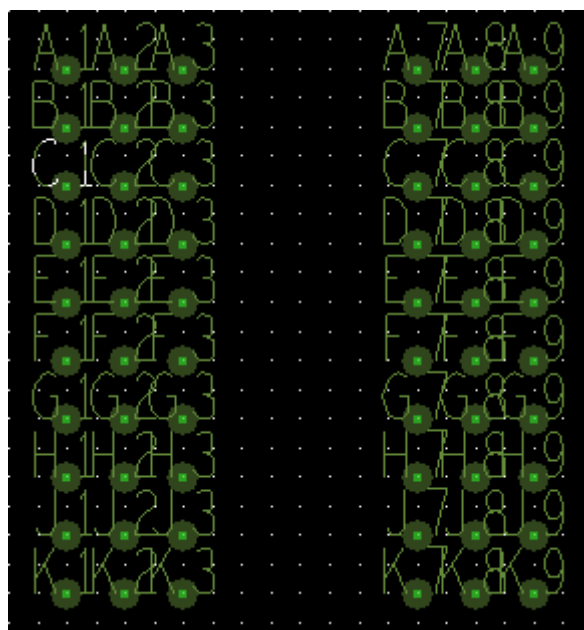



图 2.17 修改后的焊盘编号

- 修改好就添加丝印和其它层。点击工具栏的  图标，或者选择 Shape->Rectangular。Options 窗口中选择如图 2.18 所示添加装配层。

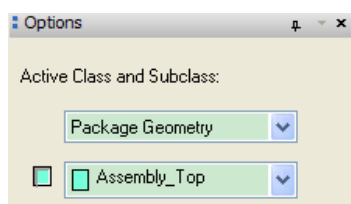



图 2.18 添加装配层

在命令状态栏中输入：x -4 5 回车，再输入：x 4 -5 回车。右键选择 Done。

- 添加元件实体宽度层。点击工具栏的图标，或者选择 Shape->Rectangular。Options 窗口中选择如图 2.19 所示。在命令状态栏中输入：x -4 5 回车，再输入：x 4 -5 回车。右键选择 Done。

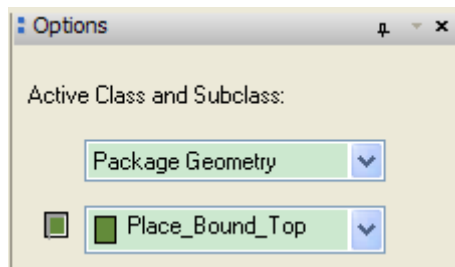



图 2.19 添加元件实体层

- 添加丝印层。点击左边工具栏的图标，或者选择菜单项 Add->Line。Options 窗口设置如图 2.20 所示。Line width(线宽)那里选择 0.1mm，根据需要调整。在命令状态栏中输入：x -4 -5 回车；输入：x 4 -5 回车；输入：x 4 5 回车；输入：x -4 5 回车这；输入：x 4 -5 回车。右键选择 Done。

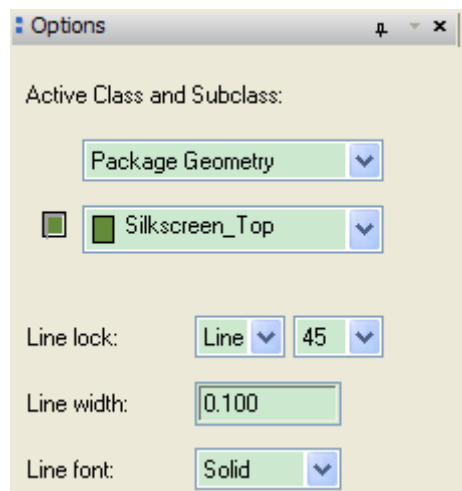



图 2.20 添加丝印层

然后手工在左上角画个贴片方向标志，点击左边工具栏的图标，或者选择菜单项 Add->Line。Options 窗口设置与图 2.20 一样。点击鼠标在左上角画一个小三角形作为贴片方向标志。画好后如图 2.21 所示。

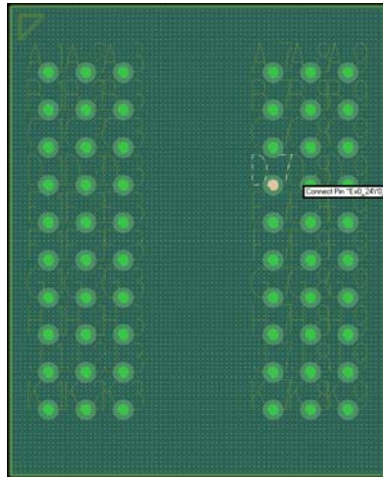



图 2.21 添加好装配、实体与丝印层后的元件封装

为元件封装添加其它必要的元素。

- 添加元件位号，元件位号是元件在原理图的编号，在 PCB 的丝印上，供焊接人员参考。点击左边工具栏  图标，或者选择菜单 Add->Text，或者直接用菜单 Layout->Labels->RefDes。Options 窗口如图 2.22 所示。可以在 Text block 选择其它的字体大小，一般默认就行。在元件旁边单击鼠标左键，然后在命令状态栏中输入：ref(大小写无所谓)回车，右键选择 Done。

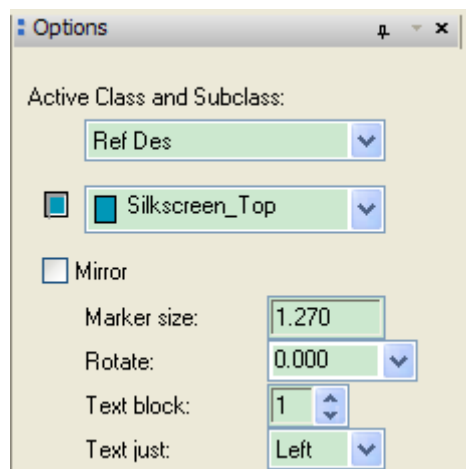



图 2.22 添加元件位号

- 添加元件参数值，元件参数值在丝印层，在 PCB 上不一定印出来。供调试人员参考。点击左边工具栏  图标，或者选择菜单 Add->Text。Options 窗口如图 2.23 所示。在元件旁边单击鼠标左键，然后在命令状态栏中输入：val(大小写无所谓)回车，右键选择 Done。

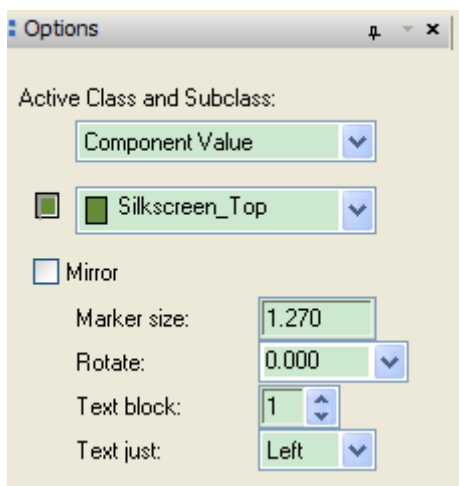



图 2.23 添加元件值

- 添加元件类型，击左边工具栏  图标，或者选择菜单 Add->Text，或者直接执行菜单 Layout->Labels->Device。Options 窗口如图 2.24 所示。在元件旁边单击鼠标左键，然后在命令状态栏中输入：dev(大小写无所谓)回车，右键选择 Done。

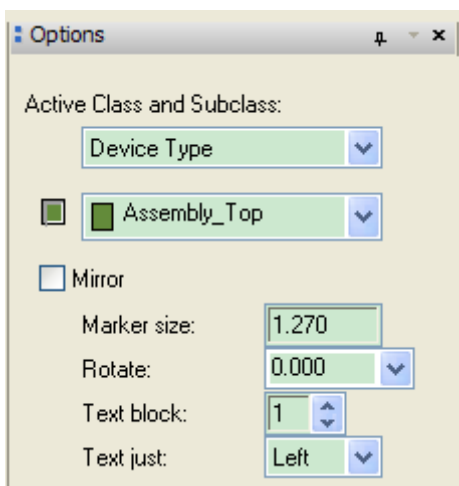



图 2.24 添加元件类型

- 添加装配层位号，该层不是必需的，可以根据贴片工艺选择。击左边工具栏  图标，或者选择菜单 Add->Text，或者直接用菜单 Layout->Labels->RefDes。Options 窗口如图 2.25 所示。在元件旁边单击鼠标左键，然后在命令状态栏中输入：dev(大小写无所谓)回车，右键选择 Done。

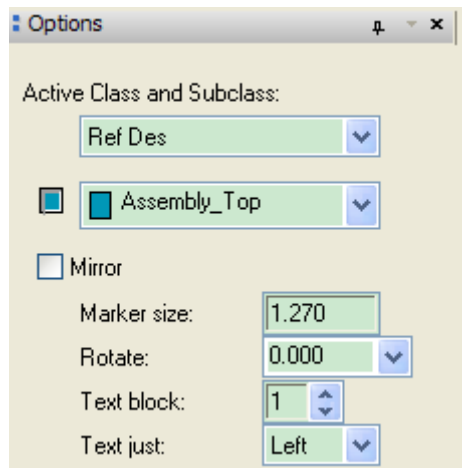


图 2.25 添加装配层元件位号

至此一个元件封装就制作完毕了，点击保存文件后退出即可，allegro 自动生成一个 dra 一个 psm 的文件，把这两个文件一起放在你的封装库文件夹中，用 2.2 小节介绍的方法把你的封装库文件夹路径加入 allegro 中。画好的元件封装如图 2.26 所示。

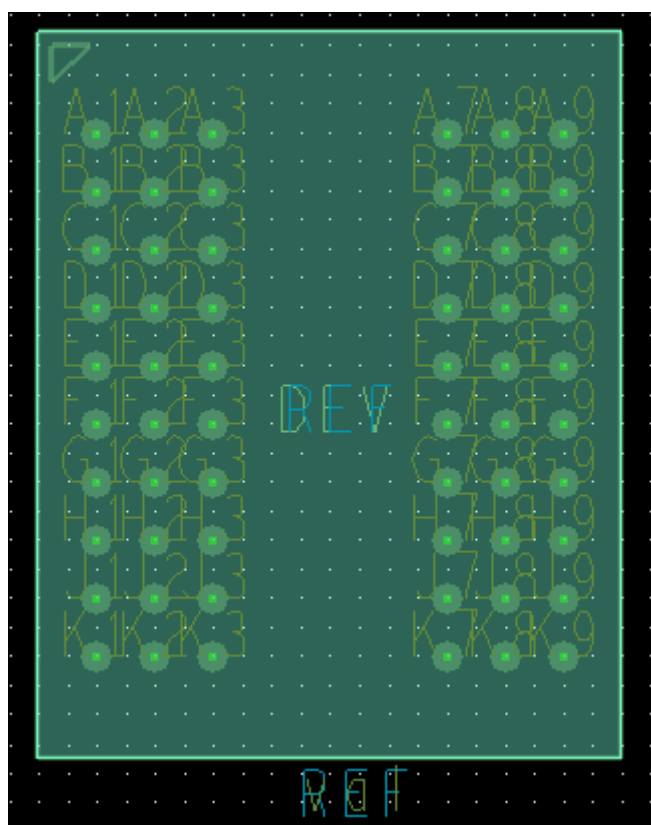


图 2.26 制作好的元件封装

第3章 元器件布局

3.1 建立电路板(PCB)

打开程序->Cadence SPB 16.2->PCB Editor, 选择 File->New, 弹出新建设计对话框, 如图 3.1 所示。

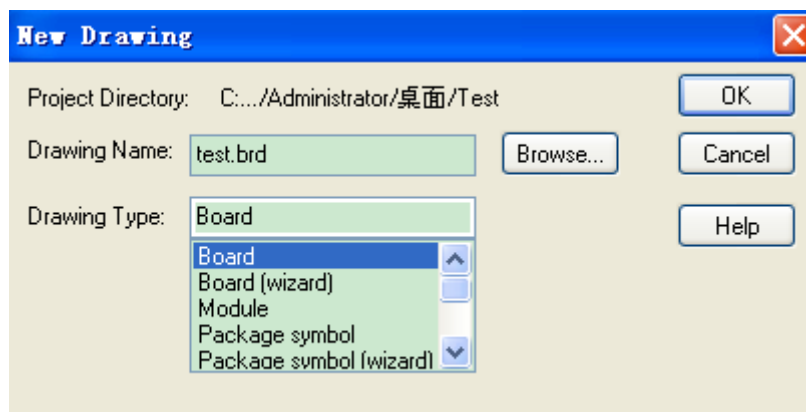


图 3.1 新建设计对话框

点击 Browse 按钮, 弹出文件对话框, 在图标列表内选择保存的路径, 输入文件名, 最好单独保存在一个文件夹里, 如图 3.2 所示

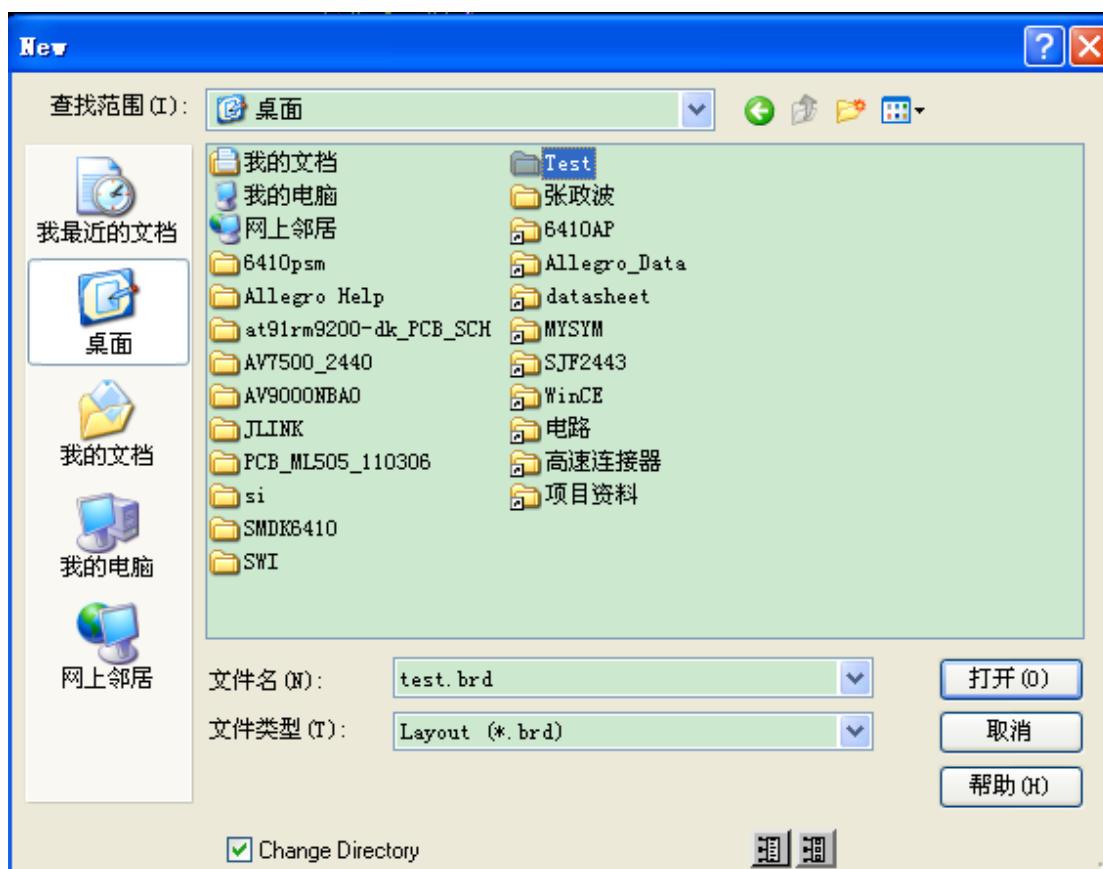


图 3.2 选择文件保存路径

单击打开关闭文件对话框。回到 New Drawing 对话框, 单击 OK 退出。如果想使用向

导来建立电路板，则在 New Drawing 对话框中选择 Board(wizard)，如图 3.3 所示。

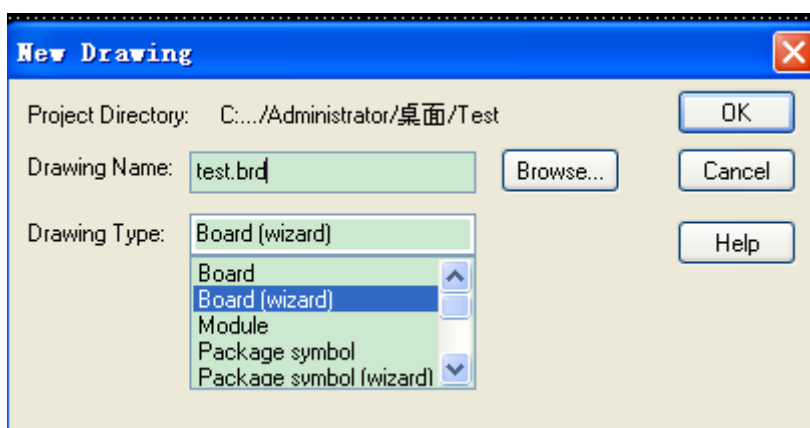


图 3.3 使用向导方式生成电路板

选择 Board(wizard)点击 OK 后就会出来一个向导对话框，按照提示一步一步设置好直到完成即可。

3.2 导入网络表

打开程序->Cadence SPB 16.2->PCB Editor，打开 3.1 节用手工建立好的电路板 test.brd。选择菜单 File->Import->Logic，如图 3.4 所示。

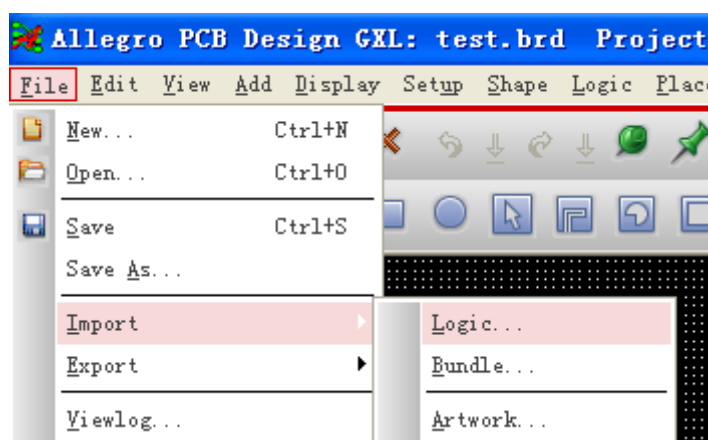


图 3.4 导入网络表

弹出 Import Logic 对话框。如图 3.5 所示。在 Import logic type 组合框内选择网络表输出的类型，因为原理图是用 Orcad Capture 设计的，所以选择 Design entry CIS(Capture)。Place changed component 组合框用来选择导入新的网络表后是否更新 PCB 中的元件封装。

- Always: 总是更新；
- Never: 从不更新；
- If same symbol: 一样的时候不更新。
- Allow etch removal during ECO: 新导入网络表后，allegro 将网络关系改变了的管脚上的多余走线删除。
- Ignore FIXED property: 当满足替换条件或者其它更改删除时是否忽略有 FIXED 属性的元件、走线、网络等等。

- Create user-defined properties: 根据网络表中用户定义的属性在电路板内建立相同的属性。
- Create PCB XML from input data: 生成 XML 格式文件。

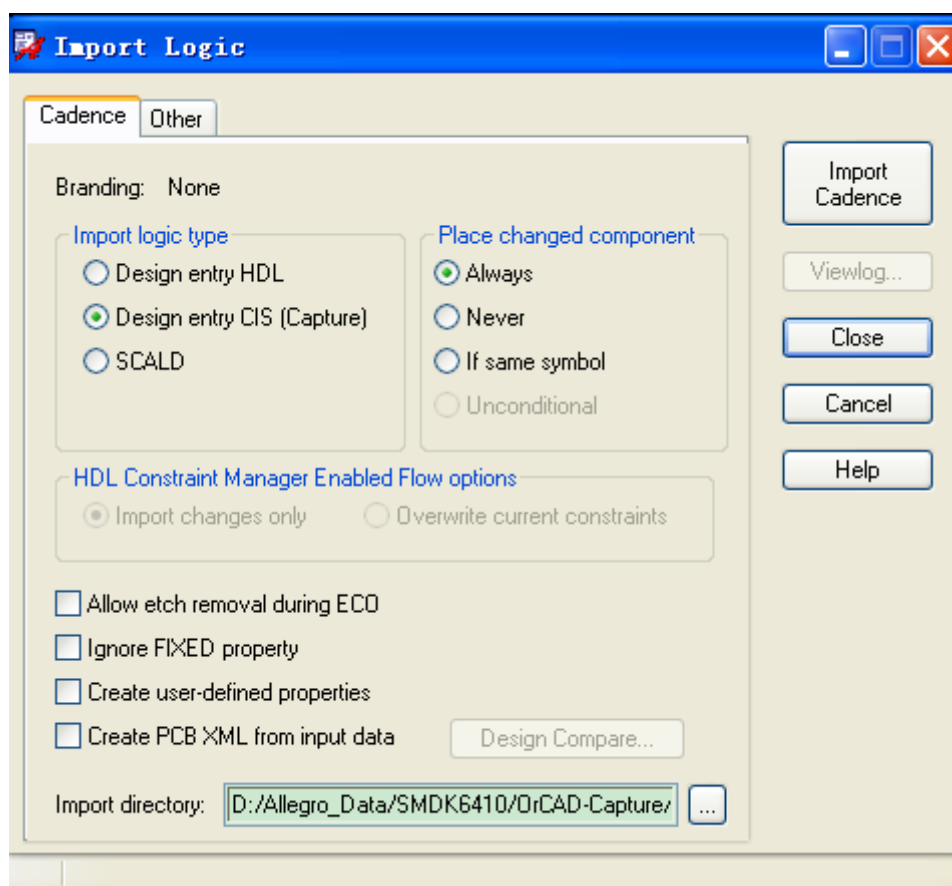


图 3.5 Import Logic 对话框

由于是新导入网络表，上面只需要选择 Import logic type 就可以，其它默认。Import directory 编辑框输入的是网络表的路径。点击右边的按钮弹出一个文件选择对话框，如图 3.6 所示。

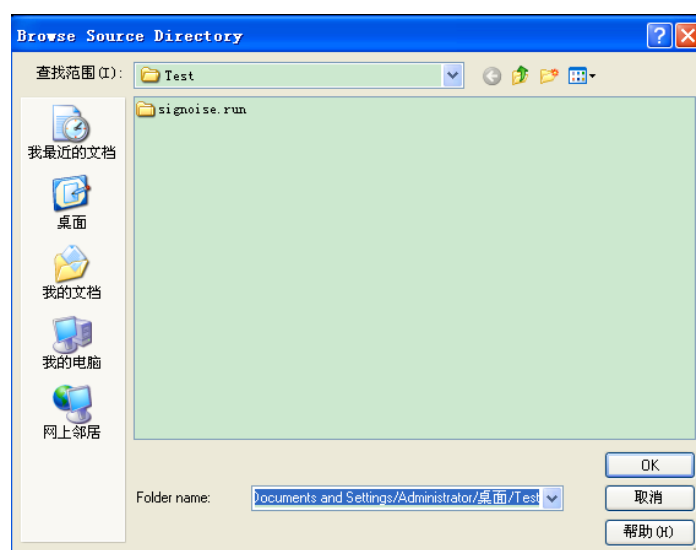


图 3.6 文件对话框

选择存放网络表的目录(共三个文件)点击 OK 关闭对话框。也可直接在 Import directory 编辑框输入路径。然后点击 Import Cadence 按钮,完成后可以点击 Viewlog 按钮来查看是否有错误,如果有错误一般都是路径不对,或者原理图元件封装名称不对应,原理图中元件符号管脚与封装管脚不对应造成的,将这些错误一一排队后再重新导入网络表,直到没有错误和警告。

3.3 摆放元器件

为了摆放元件和画线更精确,需要将网格设置成合适的大小。点击 Steup->Grids,弹出 Define Grid 对话框,将 Non-Etch 与 All Etch 的大小都设置为 5mil(或者更小),如图 3.7 所示。所有的 Offset 都不需要设置。点击 OK 关闭对话框。

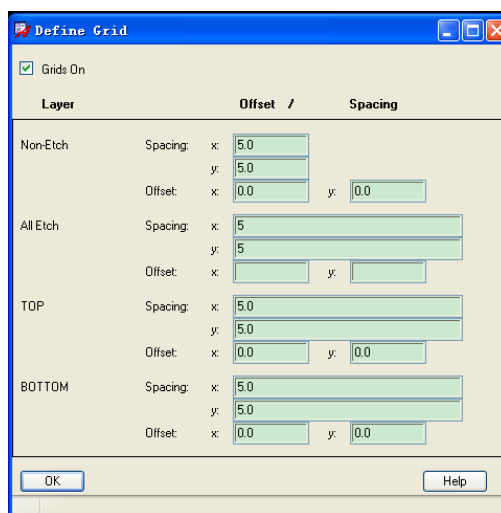



图 3.7 设置 PCB 网格大小

摆放元件之前先画一个 outline 区域,否则不能用 Quickplace 命令来快速摆放元件。如果 PCB 板的大小形状已经确定那就么按确定的来画,如果未确定的,可以先画一个大概的形状,所有元器件的布局确定后再重新修改。

点击左边工具栏的  图标,或者选择菜单项 Add->Line。Options 窗口设置如图 3.8 所示,Line width(线宽)选择 10mil。

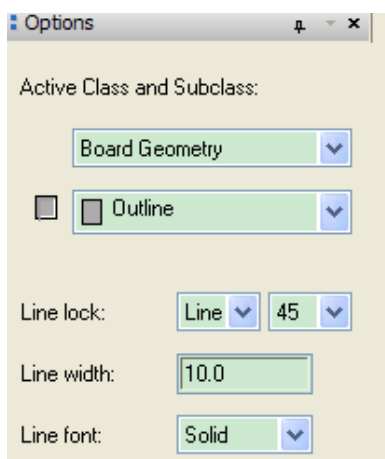


图 3.8 画板框

然后点在工作区域内点点鼠标左键画出一个封装的区域，现在还没必要很精确的确定板框，待所有元件都摆放好后再调整。

元件摆放有手工和快速自动摆放两种方式。快速摆放可以很快的将满足条件的元件摆放出来，并按照元件类型和编号顺序摆放。点击 Place->Quickplace 菜单，弹出 Quickplace 对话框，如图 3.9 所示。

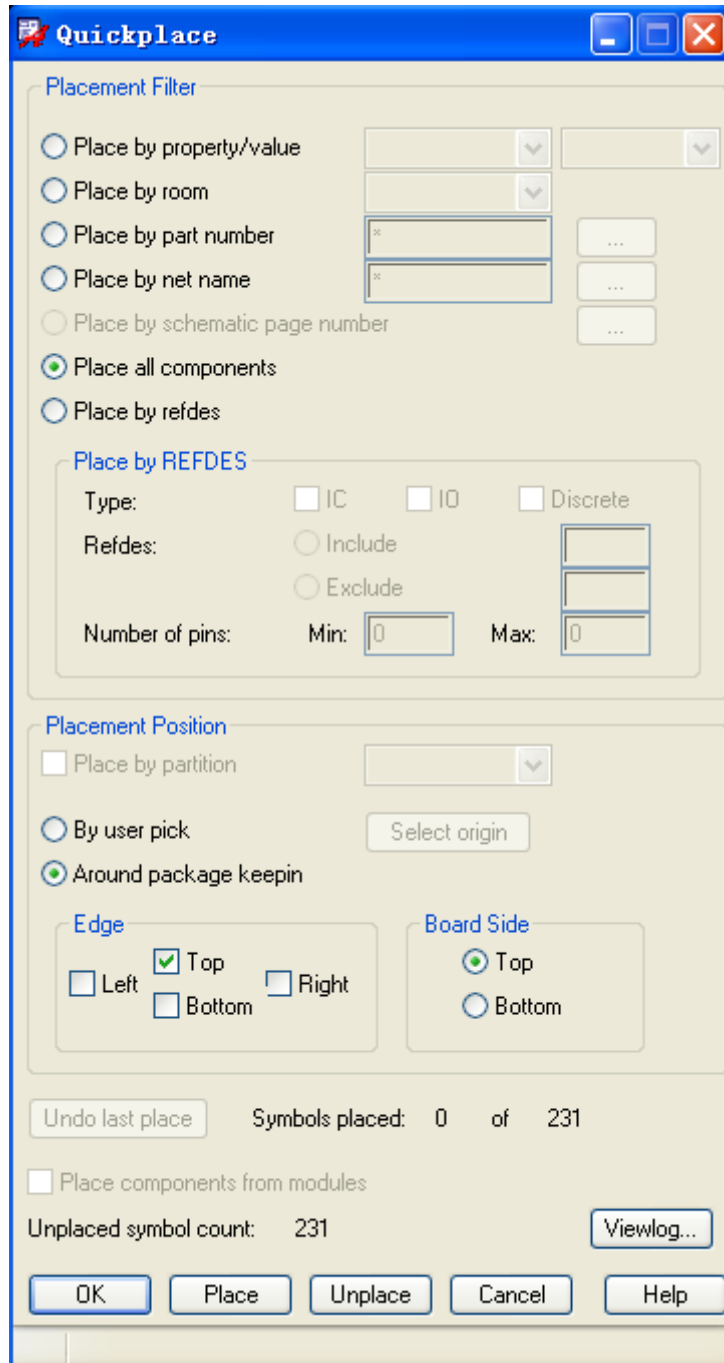


图 3.9 Quickplace 对话框

(1) Placement Filter

- Place by property/value: 按照元件在原理图定义的属性或元件值来摆放；

- Place by room: 按原理图中元件定义的 room 属性放置;
- Place by part number: 按元件名摆放;
- Place by net name: 按网络名摆放;
- Play by schematic page number: 用于 Design Entry HDL 原理图按页摆放。
- Place all components: 摆放所有元件;
- Place by refdes: 按元件的位号摆放。

(2) Placement Position

- Place by partition: 用于 Design Entry HDL 原理图按原理图分割摆放;
- By user pick: 摆放于用户单击的位置;
- Around package keeping: 摆放于允许摆放区域周围。

(3) Edge

- Top: 元件摆放在板框顶部;
- Bottom: 元件摆放在板框底部;
- Left: 元件摆放在板框左边;
- Right: 元件摆放在板框右边。

(4) Board Side

- Top: 元件摆放在顶部。
- Bottom: 元件摆放在底部。

选择好合适的摆放方式后, 点击 Place 按钮后, 元件自动的摆放出来, 单击 OK 按钮就可以关闭对话框。

另一种方式是手工摆放元件, 点击 Place->Manually, 弹出 Placement 对话框, 如图 3.10 所示。

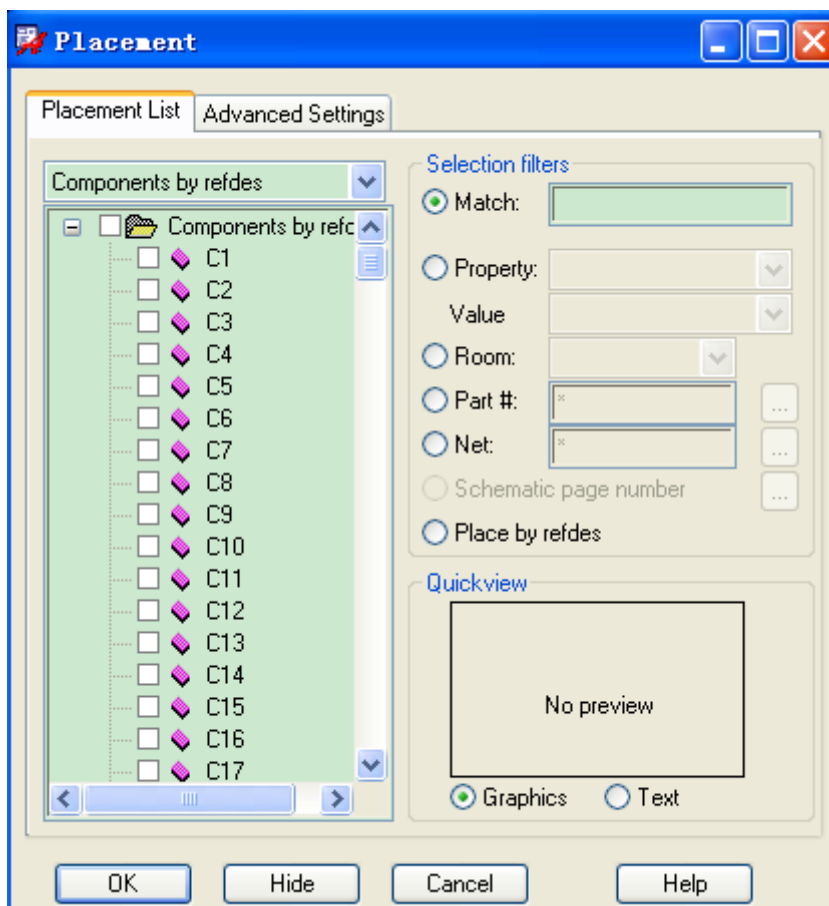


图 3.10 Placement 对话框

(1) Placement List

- Components by refdes: 网络表中没有错误的元件都列出, 可以选择一个或多个元件, 只需要将元件位号前面的复选框选中即可;
- Package Symbols: 显示库中元件封装。点击 Advanced Settings 标签面, 将 Library 复杂框勾上就可以看到库中有的封装;
- Mechanical Symbols: 可摆放的机械符号。

(2) Selection Filters

- Match: 选择与输入的名字匹配的元件, 可以使用通配符 “*” 选择一组元件, 如 “U*” 选择一组 IC;
- Property: 按照元件定义的属性摆放元件;
- Room: 按照 Room 来摆放;
- Part #: 按照元件名来摆放;
- Net: 按照网络来摆放;
- Place by refdes: 按照元件位号来摆放。

如果在原理图中按照元件的功能定义了不同的 Room 属性, 在摆放元件的时候就可以按照 Room 属性来摆放, 将不同功能的元件放在一块, 布局的时候好拾取。

在摆放元件的时候可以与 OrCAD Capture 交互来完成。在 OrCAD Capture 中打开原理图, 选择菜单 Options->Perferences, 如图 3.11 所示。

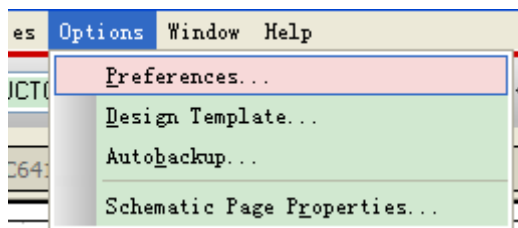


图 3.11 OrCAD Capture 交互

弹出 Preferences 对话框, 如图 3.12 所示。

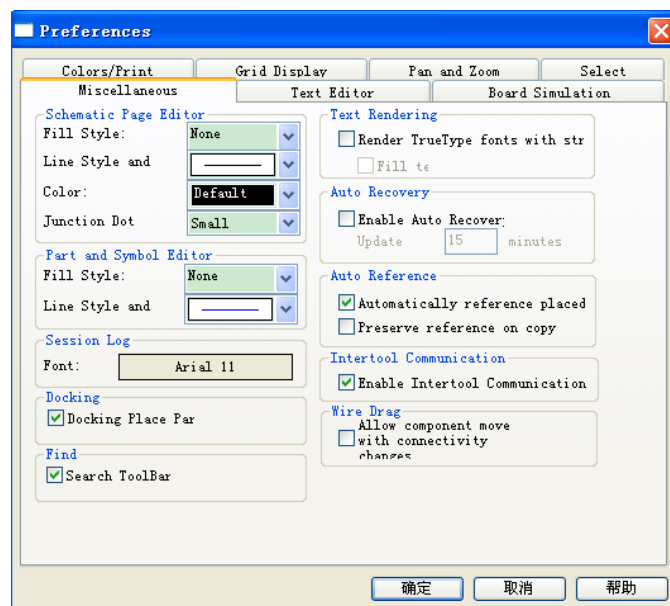




图 3.12 Preferences 对话框

点击 Miscellaneous 标签，将 Enable Intertool Communication 复选框选中。点击确定关闭对话框。

之后在 allegro 中打开 Placement 对话框的状态下，首先在原理图中点击需要放置的元件使之处于选中状态下，然后切换到 allegro 中，把鼠标移到作图区域内，就会发现该元件跟着鼠标一起移动了，在想要放置的位置单击鼠标左键即可将该元件放置在 PCB 中，cadence 的这个交互功能非常的好用，不仅在布局的时候可以这样，在布线仿真的时候都能使用该功能来提高效率。

PCB 布局是一个很重要很细心的工作，直接影响到电路信号的质量。布局也是一个反复调整的过程。一般高速 PCB 布局可以考虑以下几点：

- CPU 或者关键的 IC 应尽量放在 PCB 的中间，以便有足够的空间从 CPU 引线出来。
- CPU 与内存之间的走线一般都要做等长匹配，所以内存芯片的放置要考虑走线长度也要考虑间隔是否够绕线。
- CPU 的时钟芯片应尽量靠近 CPU，并且要远离其它敏感的信号。
- CPU 的复位电路应尽量远离时钟信号以及其它的高速信号。
- 去耦电容应尽量靠近 CPU 电源的引脚，并且放置在 CPU 芯片的反面。
- 电源部分应放在板子的四周，并且要远离一些高速敏感的信号。
- 接插件应放置在板子的边上，发热大的元器件应放在在通风条件好的位置，如机箱风扇的方向。
- 一些测试点以及用来选择的元件应放在顶层，方便调试。
- 同一功能模块的元件应尽量放在同一区域内。

在布局的过程中，如果某一元件的位置暂时固定了，可以将其锁住，防止不小心移动以提高效率。Allegro 提供了这个功能。点击工具栏的  图标按钮，然后点击一下元件，右键选择 Done，然后该元件就再也无法选中了，如果要对已经锁定的元件解锁，可以点击工具栏的  图标按钮，然后点击右键 Done。也可以点击该按钮后在 PCB 画图区域点击右键，选择 Unfix All 选项来解锁所有的元件。

摆放元件的时候，如果需要将元件放置在对面那一层，可以选中元件后单击右键选择菜单 Mirror 这时候该元件就被放置到相反的那一层。

在完成元件的布局后，还要重新画板框以及禁止布线层与禁止摆放层。可以参考上面的画板框方法来完成这些工作，这里就不重复了。

第4章 PCB 布线

4.1 PCB 层叠结构

层叠结构是一个非常重要的问题，不可忽视，一般选择层叠结构考虑以下原则：

- 元件面下面（第二层）为地平面，提供器件屏蔽层以及为顶层布线提供参考平面；
- 所有信号层尽可能与地平面相邻；
- 尽量避免两信号层直接相邻；
- 主电源尽可能与其对应地相邻；
- 兼顾层压结构对称。

对于母板的层排布，现有母板很难控制平行长距离布线，对于板级工作频率在 50MHZ 以上的（50MHZ 以下的情况可参照，适当放宽），建议排布原则：

- 元件面、焊接面为完整的地平面（屏蔽）；
- 无相邻平行布线层；
- 所有信号层尽可能与地平面相邻；
- 关键信号与地层相邻，不跨分割区。

基于以上原则，对于一个四层板，优先考虑的层叠结构应该是：

- S ←信号
- G ←地平面
- P ←电源层
- S ←信号

对于一个六层板，最优的层叠结构是：

- S1 ←信号
- G1 ←地平面
- S2 ←信号
- G2 ←地平面
- P ←电源层
- S4 ←信号

对于一个八层板，有两种方案：

方案 1:


- S1 ←信号
- G1 ←地平面
- S2 ←信号
- G2 ←地平面
- P ←电源层
- S3 ←信号
- G3 ←地平面
- S4 ←信号

方案 2:

- S1 ←信号
- G1 ←地平面
- S2 ←信号
- P1 ←电源层
- G2 ←地平面
- S3 ←信号
- P2 ←电源层
- S4 ←信号

方案 2 主要是比方案 1 多了一个电源层，在电源比较多的情况下可以选择方案 2。对于更多层的结构也是按照上面的原则来定，可以参考其它的资料。

下面以 SMDK6410 核心板(设计为八层板)来设置层叠结构，包括规则设置，PCB 布线等。

打开程序->Cadence SPB 16.2->PCB Editor，然后打开在第 3 章布局好的 PCB 文件。点击工具栏的 图标按钮，或者选择 Setup->Cross-section 菜单，如图 4.1 所示。

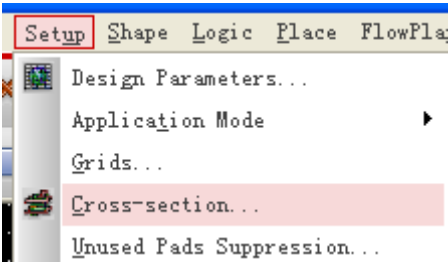


图 4.1 层叠结构设置

弹出 Layout Cross Section 对话框，如图 4.2 所示。

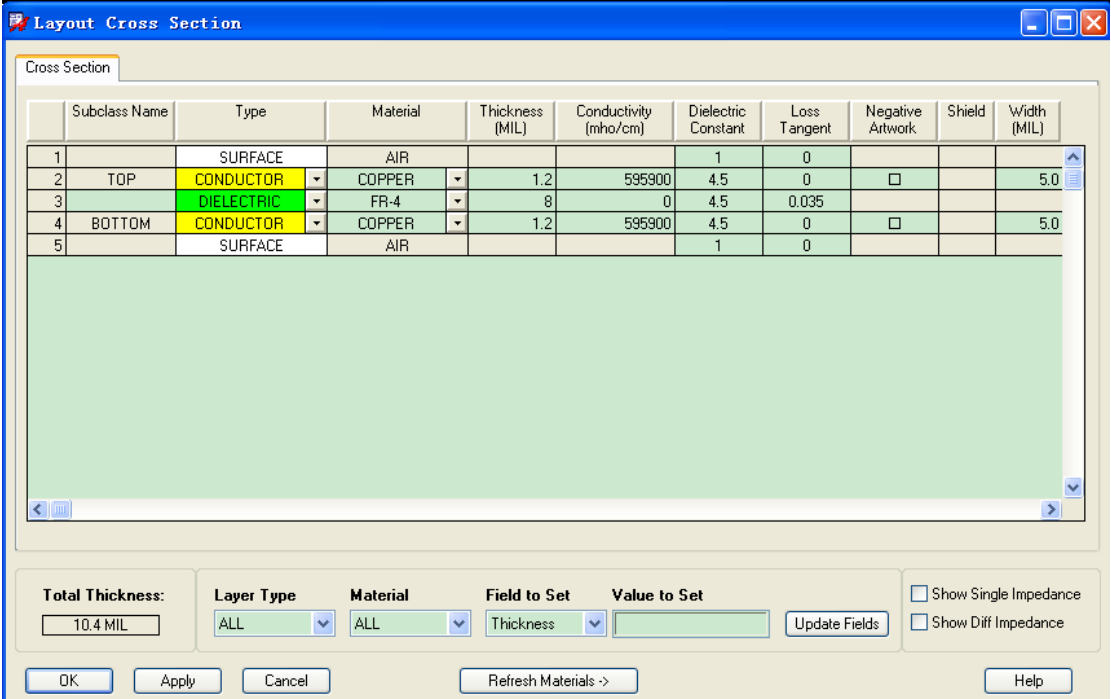


图 4.2 Layout Cross Section 对话框

由于电路板是手工建立的，所以在 Corss Section 中只有 Top 层和 BOTTOM 层，需要手工来增加 6 个层，并调整层叠结构。在 Subclass Name 一栏前面的序号上点击鼠标右键，弹出一个菜单，如图 4.3 所示。

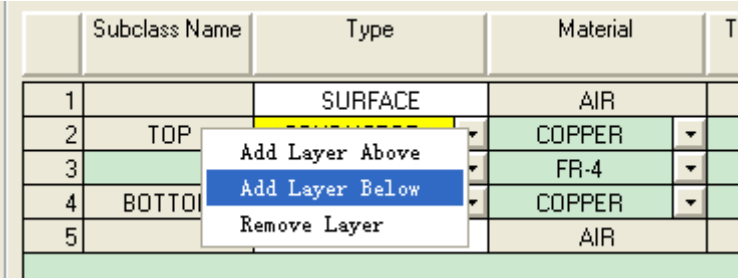


图 4.3 增加层

可以选择 Add Layer Above 在该层上方增加一层，可以选择 Add Layer Below 在该层下方增加一层，还可以选择 Remove Layer 删除该层。在走线层之间还需要有一层隔离层。最后设置好的八层板的层叠结构如图 4.4 所示，采用的是方案 2 的层叠结构。

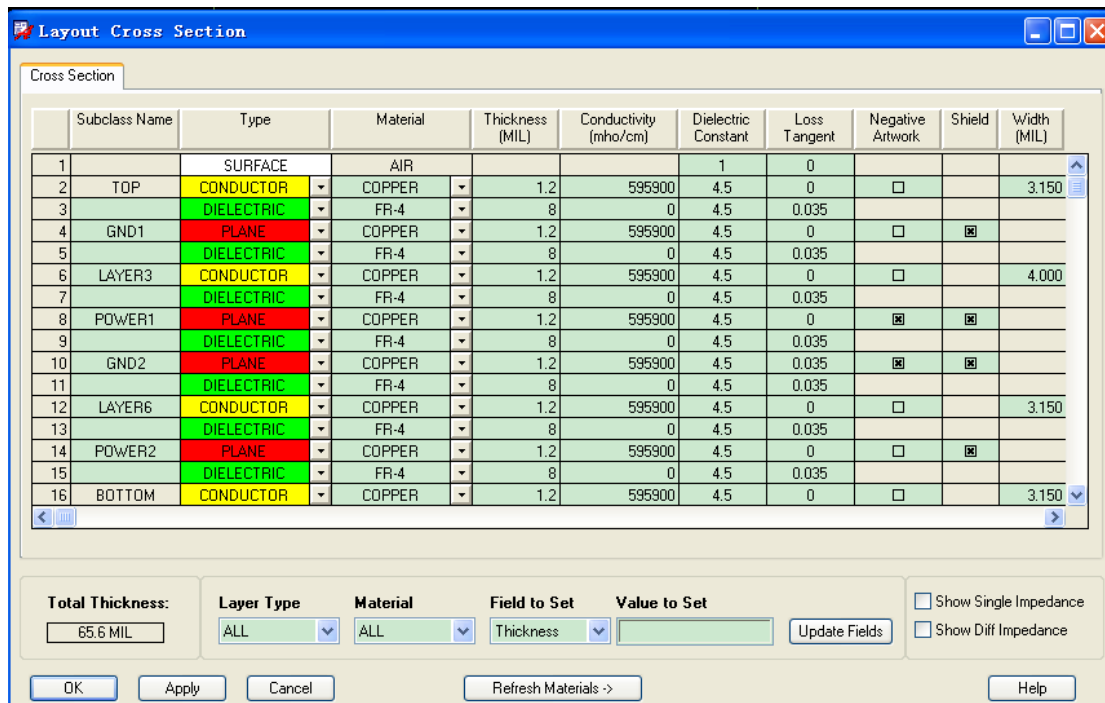


图 4.4 设置好的八层板层叠结构

Subclass Name 一列是该层的名称，可以按照自己的需要来填写。Type 列选择该层的类型，有三种：

- CONDUCTOR：走线层；
- PLANE：平面层，如 GND 平面；
- DIELECTRIC：介电层，即隔离层。

Material 列设置的是该层的材料，一般根据实际 PCB 板厂提供的资料来设置。Thickness 设置的是该层的厚度，如果是走线层和平面层则是铜皮的厚度。Conductivity 设置的是铜皮的电阻率。Dielectric Constant 列设置介电层的介电常，与 Thickness 列的参数一起都是计算阻抗的必要参数。Loss Tangent 列设置介电层的正切损耗。Negative Artwork 设置的是该层是否以负片形式输出底片，☒ 表示输出负片，☐ 表示输出正片。在这个板中，POWER1 与 GND2 采用负片形式。设置好后点击 OK 关闭对话框。

4.2 布线规则设置

布线约束规则是 PCB 布线中很重要的一步工作，规则设置和好坏直接影响到 PCB 信号的好坏和工作效率。布线规则主要设置的是差分线，线宽线距，等长匹配，过孔等等。下面一步一步设置这些规则。约束规则在约束管理器中设置。

选择菜单 Setup->Constraints->Constraint Manager。或者直接点击工具栏上的  图标按钮打开约束管理器，如图 4.5 所示。

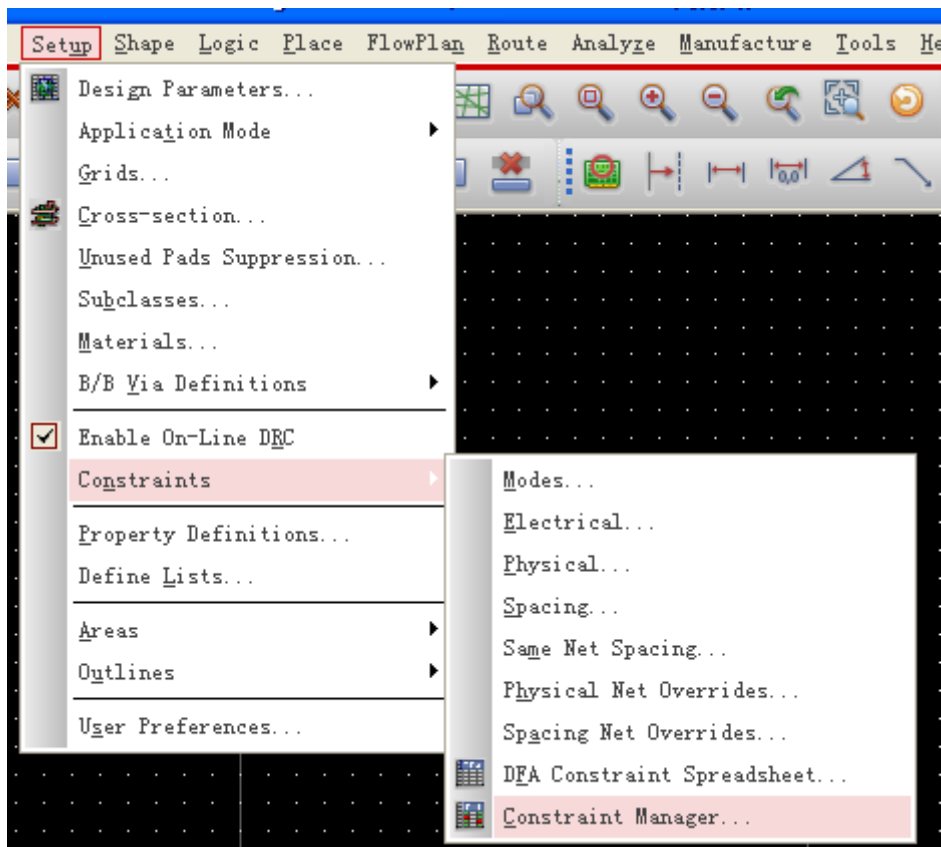


图 4.5 打开约束管理器

打开约束管理器后的界面如图 4.6 所示。

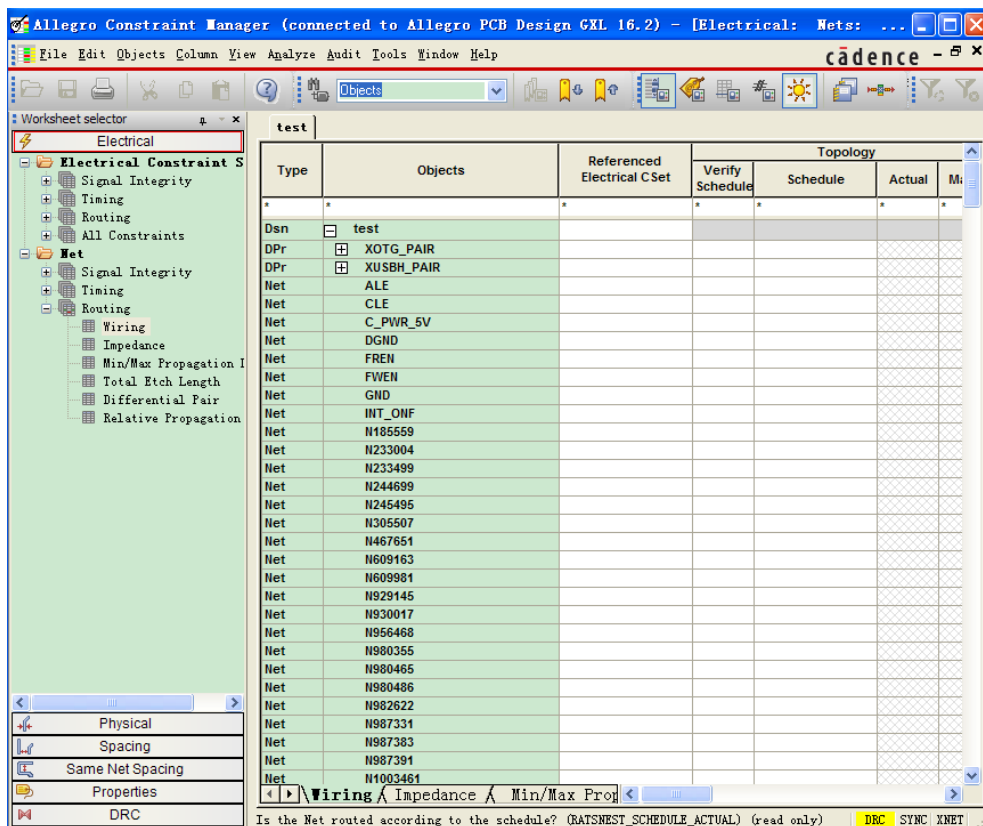


图 4.6 约束管理器

可以看到界面包含了两个工作区，左边是工作簿/工作表选择区，用来选择进行约束的类型；右边是工作表区，是对应左边类型的具体约束设置值。在左边共有 6 个工作表，而一般只需要设置前面四个工作表的约束就可以了，分别是 Electrical、Physical、Spacing、Same Net Spacing。分别对应的是电气规则的约束、物理规则的约束，如线宽、间距规则的约束(不同网络)、同一个网络之间的间距规则。

为了能更好的使用约束管理器，先做一点基本概念的解释。

4.2.1 对象(object)

对象是约束所要设置的目标，是具有优先级的，顶层指定的约束会被底层的对象继承，底层对象指定的同样约束优先级高于从顶层继承下来的约束，一般尽量在顶层指定约束。

最顶层的对象是系统 system，最底层的对象是管脚对 pin-pair。对象的层次关系依次为：系统(system)-> 设计(Design)-> 总线(bus)->网络类(net class)->总线(bus)-> 差分对(differential pair)-> 扩展网络/网络(Xnet)-> 相对或匹配群组(Match group)-> 管脚对(Pin pair)

(1) 系统(system)

系统是最高等级的对象，除了包括设计（比如单板）之外，还包括连接器这些设计的扩展网络、互连电缆和连接器。

(2) 设计(Design)

设计代表一个单板或者系统中的一块单板，在单板结构中，每块板都是系统的一个单独的设计。

(3) 网络类集合(net class)

网络类集合可以是总线、网络扩展网络、差分对及群组匹配的集合。

(4) 总线(bus)

总线是管脚对、网络或者扩展网络的集合。在总线上获取的约束被所有总线的成员继承。在与原理图相关联时，约束管理器不能创建总线，而且总线是设计层次的，并不属于系统层次。

(5) 差分对(differential pair)

用户可以对具有差分性质的两对网络建立差分对。

(6) 扩展网络/网络(Xnet)

网络就是从一个管脚到其他管脚的电子连接。如果网络的中间串接了被动的、分立的器件比如电阻、电容或者电感，那么跨接在这些器件的两个网络可以看成是一个扩展网络。如图 4.7 所示，网络 net1、net2 和 net3 组成一个扩展网络。

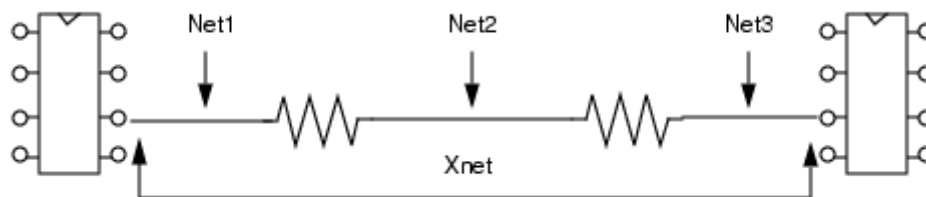


图 4.7 Xnet

(7) 相对或匹配群组(Match group)

匹配群组也是网络、扩展网络和管脚对的集合，但集合内的每个成员都要匹配或者相对于匹配于组内的一个明确目标，且只能在【relative propagation delay】工作表定义匹配群组，共涉及了三个参数，目标，相对值和偏差。如果相对值没有定义，匹配群组内的所有成员将是绝对的，并允许一定的偏差。如果定义了相对值，那么组内的所有成员将相对于明确的目标网络。

- 目标：组内其他管脚对都要参考的管脚对就是目标，目标可以是默认的也可以是明确指定的管脚对，其他的管脚对都要与这个目标比较。
- 相对值：每个成员与目标的相对差值，如果没有指定差值，那么所有成员就需要匹配，如果此值不为 0，群组就是一个相对匹配的群组。
- 偏差：允许匹配的偏差值。

(8) 管脚对(Pin pair)

管脚对代表一对逻辑连接的管脚，一般是驱动和接收。Pin pair 可能不是直接连接的，但是肯定存在于同一个网络或者扩展网络中

4.2.2 建立差分对

本设计中共有三对差分线信号，分别是 DDR 内存时钟信号、USB OTG 数据信号、USB HOST 数据信号。在约束管理器中选择 Objects->Create->Differential Pair，如图 4.8 所示。

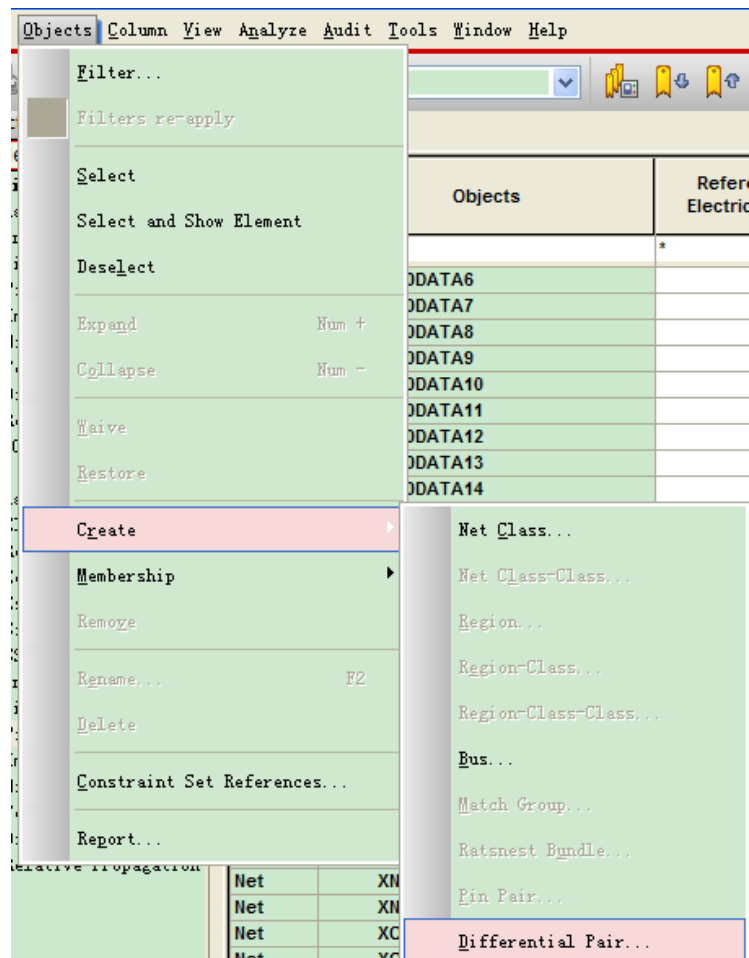


图 4.8 建议差分对

弹出 Create Differential Pair 对话框，如图 4.9 所示。

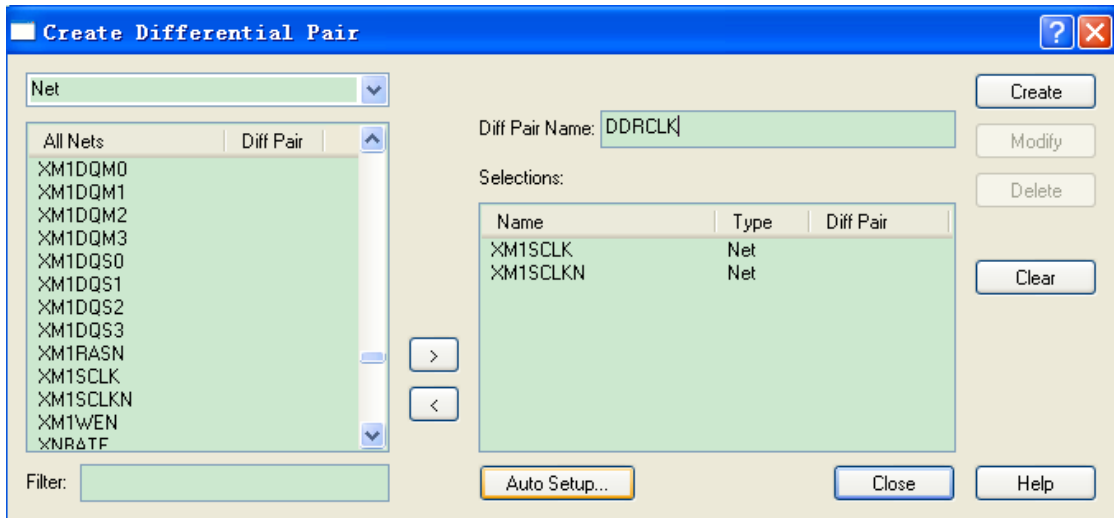


图 4.9 Create Differential Pair 对话框

在左上角的下拉框中选择 Net，然后在下面的列表框中找到 DDR 内存芯片的两个时钟信号网络分别是 XM1SCLK、XM1SCLKN 在列表框中双击这两个网络或者单击选中后点

> 按钮加到右边的 Selections 编辑框中。在 Diff Pair Name 编辑框中输入差分对的名字：DDRCLK，然后点击 Create 按钮。点击 Close 关闭对话框。其它的两个差分对用同样的方法建立，这里就不重复了。最后点击左边 Eelctrical 工作表下的 Net->Routing，在右边的工作表中就可以看到设置好的三个差分对。如图 4.10 所示。

DPr	<input type="checkbox"/>	DDRCLK
Net		XM1SCLK
Net		XM1SCLKN
DPr	<input type="checkbox"/>	XOTGD
Net		XOTGDN
Net		XOTGDP
DPr	<input type="checkbox"/>	XUSBHD
Net		XUSBHDN
Net		XUSBHDP

图 4.10 设置好的差分对

4.2.3 差分对规则设置

建立好差分对后，还需要建立一个专门于差分对的电气规则。首先点击左边工作表选择区中的 Eelctrical 工作表下的 Eelctrical Constraint Set->Routing->Differential Pair，然后选择菜单 Objects->Create->Eelctrical CSet，如图 4.11 所示。

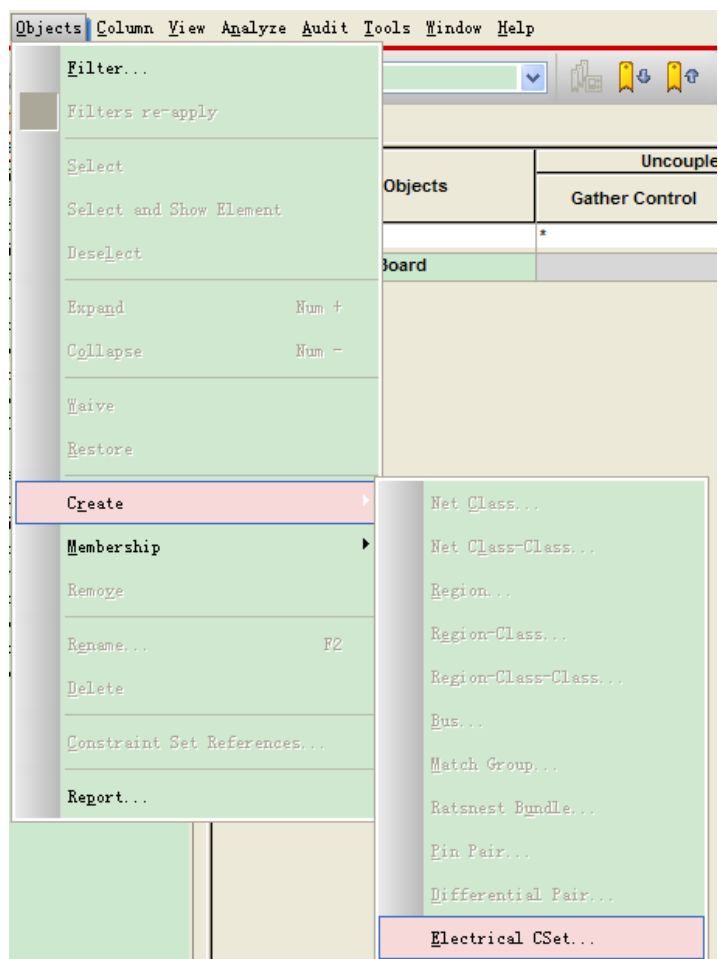


图 4.11 差分对规则设置

弹出 Create Electrical CSet 对话框，如图 4.12 所示。在 Electrical CSet 编辑框中输入该约束规则的名称：DIFF_FAIR，点击 OK 关闭对话框。



图 4.12 Create Electrical CSet 对话框

这时候在右边的工作表内我看看到了多了一个 DIFF_PAIR 约束规则，如图 4.13 所示。

Type	Objects
*	*
Dsn	<input type="checkbox"/> CPU Board
ECS	DIFF_PAIR

图 4.13 增加的 DIFF_PAIR 规则

下面给这个差分对约束规则设置参数。差分对约束规则参数主要有以下几个：

- **Uncoupled Length:** 差分对网络中的不匹配的长度。即不能按差分对走线的总长度。
- **Min Line Spacing:** 最小的线间距。
- **Primary Gap:** 差分对最优先选择的线间距(边到边间距)。
- **Primary Width:** 差分对最优先选择的线宽。
- **Neck Gap:** 差分对在 Neck 模式下的线间距(边到边间距)，用于在布线密集区域内切换到 Neck 模式，这时差分走线的线间距由 Primary Gap 设定的值切换到该值。
- **Neck Width:** 差分对在 Neck 模式下的线宽，用于在布线密集区域内切换到 Neck 模式，这时差分走线的线宽由 Primary Width 设定的值切换到该值。

最后设置的差分线规则约束参数如图 4.14 所示。

Type	Objects	Uncoupled Length		Phase Tolerance	Min Line Spacing	Coupling Parameters			
		Gather Control	Max	Tolerance		Primary Gap	Primary Width	Neck Gap	Neck Width
			mil	ns	mil	mil	mil	mil	mil
Dsn	CPU Board				0.000	0.000	3.150	0.000	3.150
ECS	DIFF_PAIR		20.000		3.150	5.000	5.000	3.150	3.15

图 4.14 设置好的差分线约束参数

由于布线密度大走线空间有限，所以差分线的间距采用 1W 原则(线边到线边)，如果空间允许，可采用 3W 原则。分别设置了 Primary 模式和 Neck 模式下的线宽和线间距为 (5mil,5mil)，(3.15mil,3.15mil)。Neck 模式主要用于从 CPU 芯片扇出时候的线宽线间距。

设置好差分线约束规则后，将该约束规则应用到刚才建立的两个差分信号上，点击左边工作表选择区中的 Electrical 工作表下的 Net->Routing 在右边的工作表中找到刚才建立的三个差分对，在 Referenced Electrical CSet 列中选择刚设置好的差分对约束规则 DIFF_PAIR，如图 4.15 所示。

DPr	+	DDRCLK	DIFF_PAIR
DPr	+	XOTGD	DIFF_PAIR
DPr	+	XUSBHD	DIFF_PAIR

图 4.15 将差分对约束规则应用到差分对上

4.2.4 CPU 与 DDR 内存芯片走线约束规则

CPU 与 DDR 内存之间的信号速度都很高，对信号完整性要求很高，需要对时序严格的匹配，以满足信号波形的完整性。布线要求如下：

- (1) DDR 时钟线，要求差分布线，并要求精确控制差分对的走线等长误差，控制在 20mil 以内。由于 DDR 内存使用两片，所以时钟线走线要采用 T 形或者 Y 形拓扑结构。阻抗控制在 100Ω，长度比地址线长。
- (2) DDR 数据线，CPU 的数据总线宽度为 32 位，使用两片 16 位的 DDR 内存与之连接，所以然 CPU 的数据线为分两组，DATA0-DATA15，DQS0、DQS1，DQM0、DQM1 为一组；DATA16-DATA31，DQS2、DQS3，DQM2、DQM3 为一组。两组的所有信号线需要严格等长匹配，误差控制在 50mil 以内。由于布线密度大空间有限，信号间距采用 1W 原则(线边到线边)，如果空间足够应选择 3W 原则，DDR 数据线与其它的信号线必需要足够的间距，至少要保证 3W 的间距。阻抗控制在 60

Ω 以内。

- (3) DDR 地址线与其它控制线，DDR 地址线与其它控制线为一组，需严格等长匹配，误差控制在 100mil 以内，走线长度比 DDR 数据线长。采用 T 形或者 Y 形拓扑结构。

以上约束需要从电气、线宽和间距上分别设置不同的规则，现先讲 Electrical 工作表下的规则设置。点击左边工作表选择区中的 Electrical 工作表下的 Electrical Constraint Set->Routing 工作表，选择菜单 Objects->Create->Electrical CSet 建立两个规则(名称分别为 DDR_DQ, DDR_ADDR)，过程参考 4.2.3 小节，建立好的规则如图 4.16 所示。

Type	Objects
*	*
Dsn	CPU Board
ECS	DDR_ADDR
ECS	DDR_DQ

图 4.16 建立 DDR 约束规则

参数不需要设置。然后点击左边工作表选择区中的 Electrical 工作表下的 Electrical Constraint Set->Routing->Relative Propagation 工作表，鼠标放在右边刚才建立的两个规则(DDR_DQ, DDR_ADDR)上，点击右键，在弹出的菜单中选择 Create->Match Group，如图 4.17 所示。

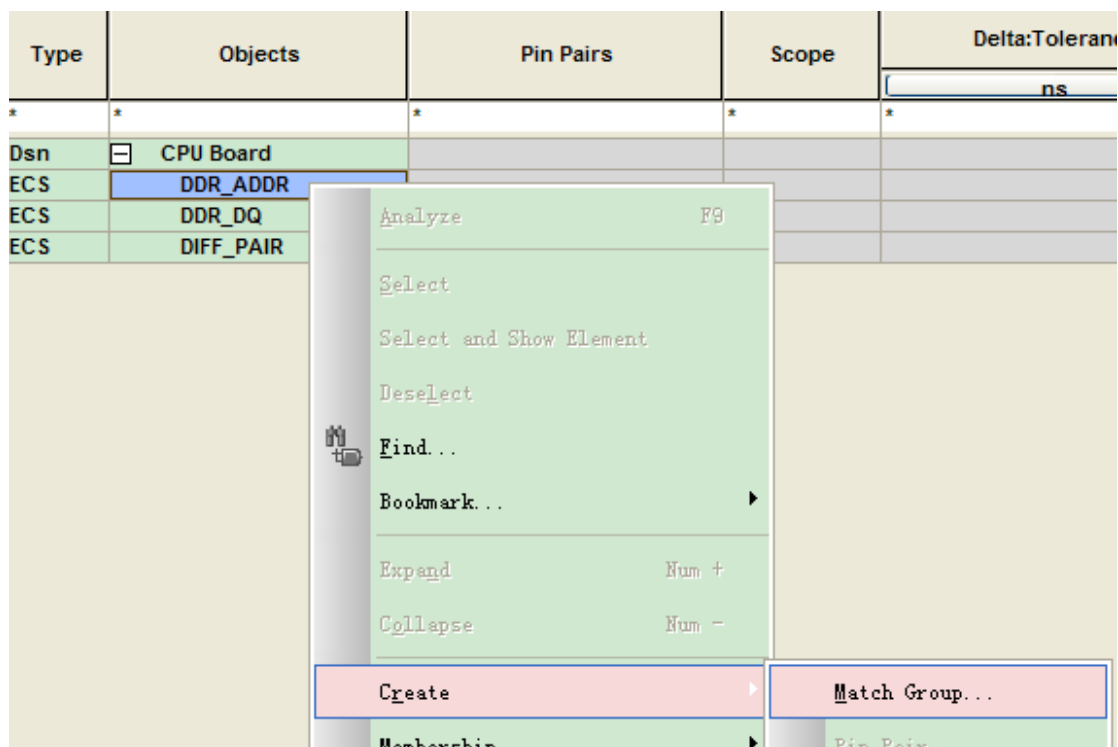


图 4.17 建立 DDR 等长匹配规则

在弹出的 Create Electrical CSet Match Group 对话框中输入名称 MATCH_LENTH，如图 4.18 所示。点击 OK 关闭对话框。

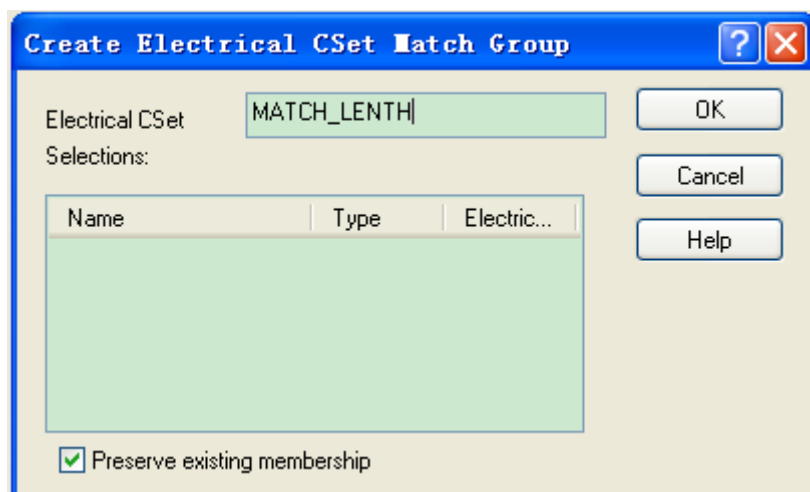


图 4.18 Create Electrical CSet Match Group 对话框

在 Pin Pairs 列的下拉框中选择 Longest Pin Pair, Scope 列选择 Class, Delta:Tolerance 列中先点击下面的按钮, 选择单位为 mil, 然后在编辑框中输入: 0mil:100mil(0mil:50mil)。最后如图 4.19 所示。注意, 只有在 Relative Propagation 工作表下才能建立这个规则。

Type	Objects	Pin Pairs	Scope	Delta:Tolerance
				mil
*	*	*	*	*
Dsn	<input type="checkbox"/> CPU Board			
ECS	<input type="checkbox"/> DDR_ADDR			
ECSM	<input checked="" type="checkbox"/> MATCH_LENGTH	Longest Pin Pair	Class	0 mil:100 mil
ECS	<input type="checkbox"/> DDR_DQ			
ECSM	<input checked="" type="checkbox"/> MATCH_LENGTH	Longest Pin Pair	Class	0 mil:50 mil

图 4.19 DDR 等长匹配群组参数

接下来设置等数据线与地址线的等长匹配。先建立两个名称分别为 DDR_DATA, DDR_ADDR 的 Net Class。点击左边工作表选择区中的 Electrical 工作表下的 Net->Routing->Relative Propagation 工作表。在右边的工作表区中同时选中网络 XM1DATA0-XM1DATA31, XM1DQM0-XM1DQM2, XM1DQS0-XM1DQS2(选中后会这些网络名会反色显示), 点击鼠标右键, 弹出一个菜单项, 选择 Create->Net Class。如图 4.20 所示。

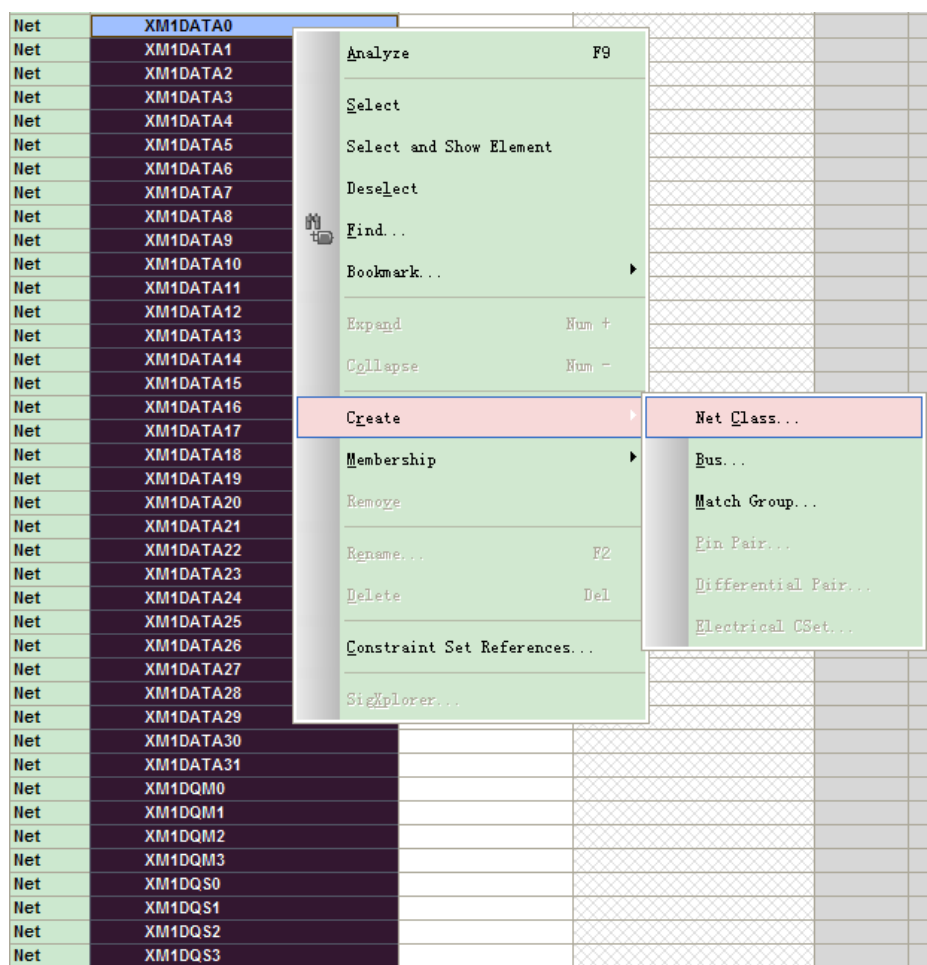


图 4.20 建立 DDR_DATA Net Class

弹出 Create Net Class 对话框，如图 4.21 所示。输入名称 DDR_DATA，点击 OK 关闭对话框。

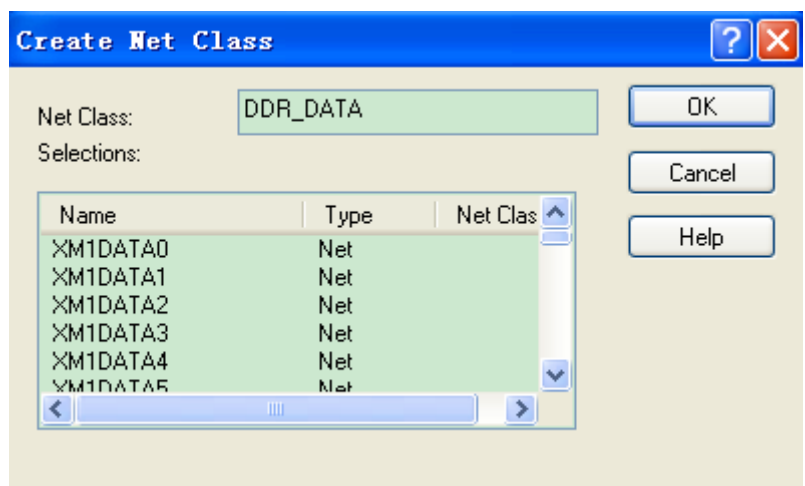


图 4.21 Create Net Class 对话框

建立 DDR_ADDR 的过程也一样，同时选中网络 XM1ADDR0-XM1ADDR15，XM1CASN、XM1CKE0、XM1CSN0、XM1RASN、XM1WEN 后右键 Create->Net Class。其它就不重复了。

然后将上一步建立的两个电气规则 DDR_DQ, DDR_ADDR 分别应用到 DDR_DATA, DDR_ADDR 两个 Net Class 上。在右边的工作表区内, 分别点击 DDR_DATA, DDR_ADDR NCIs 的 Referenced Electrical CSet 编辑框, 分别选择 DDR_DQ, DDR_ADDR。这时候, 约束管理器自动建立了两个 Mach Group(MATCH_LENTH_DDR_ADDR, MATCH_LENTH_DDR_DATA), 如图 4.22 所示。

Type	Objects	Referenced Electrical CSet
*	*	*
Dsn	CPU Board	
MGrp	MATCH_LENTH_DDR_ADDR	
MGrp	MATCH_LENTH_DDR_DATA	
NCIs	DDR_ADDR	DDR_ADDR
NCIs	DDR_DATA	DDR_DQ

图 4.22 等长匹配

由于 CPU 的地址线和其它的一些控制信号被两片 DDR 内存芯片共用, 所以还需要建立一个管脚对(Pin Pair)匹配组来约束等长匹配。在右边工作表区内将 DDR_ADDR Net Class 展开, 在 XM1ADDR0 网络上点击右键, 弹出一个菜单项选择 Create->Pin Pair。如图 4.23 所示。

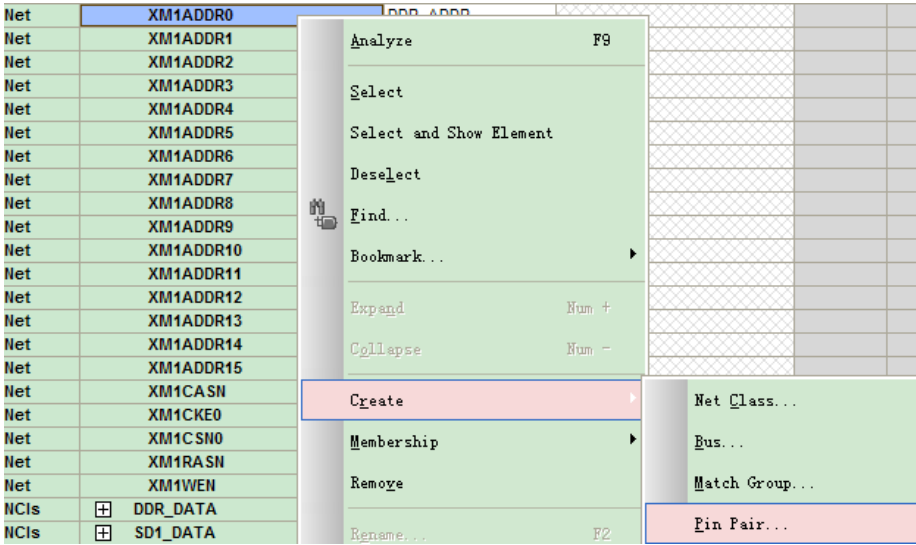


图 4.23 建立 Pin Pair

弹出 Create Pin Pairs of XM1ADDR0 对话框, 如图 4.24 所示。在左右两个编辑框中分别列出了该网络上的所有元件的引脚(Pin), 对于每个 XM1ADDRx 网络, 都有三个 Pin。所以每一个 XM1ADDRx 网络都需要建立两对管脚对, 即 CPU-DDR1, CPU-DDR2。在左边的编辑框点击 U15,H24(Out), 右边的编辑框中点击 U16,J8(In), 然后点击 Apply 按钮, 即建立了 U15,H24 与 U16,J8 两个管脚的 Pin Pair。接着在左边的编辑框点击 U15,H24(Out), 右边的编辑框中点击 U17,J8(In), 然后点击 Apply 按钮。又建立了 U15,H24 与 U17,J8 两个管脚的 Pin Pair。点击 OK 后关闭对话框。在工作表区可以看到, 在 XM1ADDR0 网络下多了两个 PPr(Pin Pair)U15,H24:U16,J8, U15,H24:U17,J8。如图 4.25 所示。用同样的方法为 DDR_ADDR Net Class 的每一个网络建立两个管脚对。然后将刚才建立的所有管脚对选中, 点击右键, 弹出的菜单项中选择 Create->Match Group。如图 4.26 所示。

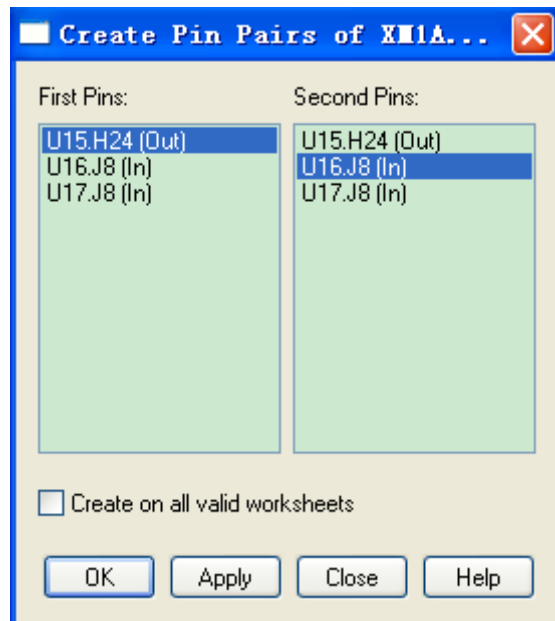


图 4.24 Create Pin Pairs 对话框

Net	XM1ADDR0	DDR_ADDR
PPr	U15.H24:U16.J8	
PPr	U15.H24:U17.J8	

图 4.25 XM1ADDR0 网络上的两个 Pin Pair

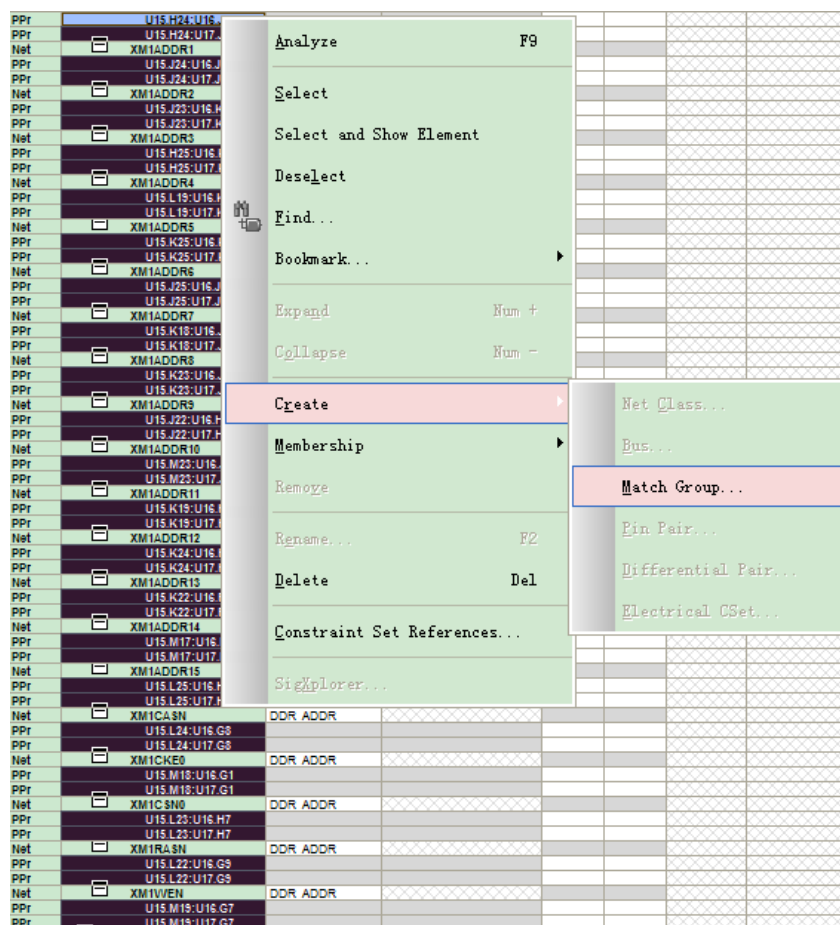


图 4.26 建立管脚对匹配群组

在弹出的 Create Match Group 对话框中输入名称：MATCH_PPR_ADDR。点击 OK 关闭对话框。如图 4.27 所示。



图 4.27 Create Match Group 对话框

在工作表区可以看到增加了一个 MATCH_PPR_ADDR 的 MGrp，点击 Delta:Tolerance 编辑框，将匹配值修改为 0mil:100mil。即误差控制在 100mil 内。如图 4.28 所示。

Type	Objects	Referenced Electrical C-Set	Pin Pairs	Pin Delay		Scope	Delta:Tolerance	Relati
				Pin 1	Pin 2			
				mil	mil		mil	
MGrp	MATCH_PPR_ADDR		All Drivers/All Receivers			Global	0 mil:100 mil	
PPr	U15.H24:U16.J8 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.H24:U17.J8 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.H25:U16.K8 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.H25:U17.K8 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.J22:U16.H1 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.J22:U17.H1 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.J23:U16.K7 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.J23:U17.K7 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.J24:U16.J9 [XM1ADDR1					Global	0 mil:100 mil	
PPr	U15.J24:U17.J9 [XM1ADDR1					Global	0 mil:100 mil	
PPr	U15.J25:U16.J1 [XM1ADDR6					Global	0 mil:100 mil	
PPr	U15.J25:U17.J1 [XM1ADDR6					Global	0 mil:100 mil	
PPr	U15.K18:U16.J2 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.K18:U17.J2 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.K19:U16.H2 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.K19:U17.H2 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.K22:U16.F7 [XM1ADDR1					Global	0 mil:100 mil	
PPr	U15.K22:U17.F7 [XM1ADDR1					Global	0 mil:100 mil	
PPr	U15.K23:U16.J3 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.K23:U17.J3 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.K24:U16.H3 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.K24:U17.H3 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.K25:U16.K3 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.K25:U17.K3 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.L19:U16.K2 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.L19:U17.K2 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.L22:U16.G9 [XM1RASN]					Global	0 mil:100 mil	
PPr	U15.L22:U17.G9 [XM1RASN]					Global	0 mil:100 mil	
PPr	U15.L23:U16.H7 [XM1CSN0]					Global	0 mil:100 mil	
PPr	U15.L23:U17.H7 [XM1CSN0]					Global	0 mil:100 mil	
PPr	U15.L24:U16.G8 [XM1CASN]					Global	0 mil:100 mil	
PPr	U15.L24:U17.G8 [XM1CASN]					Global	0 mil:100 mil	
PPr	U15.L25:U16.H9 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.L25:U17.H9 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.M17:U16.H8 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.M17:U17.H8 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.M18:U16.G1 [XM1CKE0]					Global	0 mil:100 mil	
PPr	U15.M18:U17.G1 [XM1CKE0]					Global	0 mil:100 mil	
PPr	U15.M19:U16.G7 [XM1WEN]					Global	0 mil:100 mil	
PPr	U15.M19:U17.G7 [XM1WEN]					Global	0 mil:100 mil	
PPr	U15.M23:U16.J7 [XM1ADDR					Global	0 mil:100 mil	
PPr	U15.M23:U17.J7 [XM1ADDR					Global	0 mil:100 mil	

图 4.28 MATCH_PPR_ADDR 匹配群组

4.2.5 设置物理线宽和过孔

点击约束管理器左边工作表选择区里的 **Physical** 工作表，然后再点击 **Physical-> Constraint Set->All Layer** 工作表。在右边的工作表中可以看到已经有一个默认的规则了(名称为 **DEFAULT**)，这个规则是建立电路板的时候 **allegro** 自动生成的，所有的网络的线宽如果没有特别指定，都是默认使用这个规则，所以要把这个规则的参数修改一下。这个板子如果没有特别要求的走线都将采用 **4mil** 的线宽，所以把 **DEFAULT** 规则的线宽都改成 **4mil**。改好后的 **DEFAULT** 规则如图 4.29 所示。

Type	Objects	Line Width		Neck		Min Line Spacing	Primary Gap	Differential Pair	
		Min mil	Max mil	Min Width mil	Max Length mil			Neck Gap mil	(+/-)Toler mil
Dsn	CPU Board	4.000	0.000	4.000	0.000	3.500	4.000	3.500	0.000
PCS	DEFAULT	4.000	0.000	4.000	0.000	3.500	4.000	3.500	0.000

图 4.29 DEFAULT 规则参数

在线宽约束规则中一般只要填写 **Min Line Width**，**Neck Min Width**，**Differential Pair** 下的 **Min Line Spaceing**，**Primary Gap** 和 **Neck Gap**。最后要设置 **PCB** 中需要用到的过孔，点击 **Vias** 的编辑框，如图 4.30 所示。

Type	Objects	Vias
*	*	*
Dsn	CPU Board	VIA
PCS	DEFAULT	VIA

图 4.30 添加 VIA

弹出 **Edit Via List** 对话框，如图 4.31 所示。

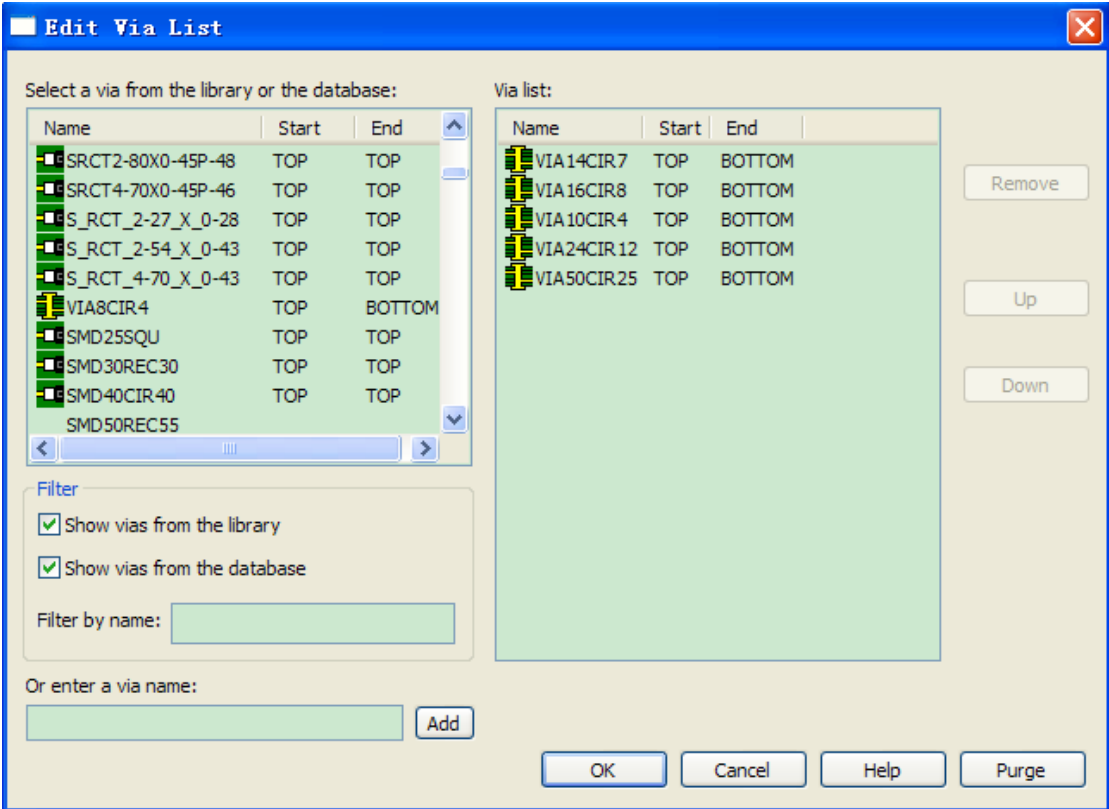


图 4.31 Edit Via List 对话框

把 Show vias from the library 复选框勾上，在左边的 Select a via from the library or the database 下面的列表框中就会列出你设置的库路径中的所有焊盘过孔，如果没有请检查你设置的库路径是否正确，参考 112.2 小节。在左边的列表框中找到你需要添加的过孔双击后该过孔就会出现在右边的列表框，在右边有三个按钮，点击 Remove 可以删除一个已选择的过孔。点击 Up 或者 Down 可以改变已选的过孔的上下位置，一般把用得最频繁的那个过孔放在最顶的位置，这样，当在布线的时候需要添加过孔会默认选择最顶的那个过孔，可以提高效率。选择好以后，点击 OK 关闭对话框。可以看到在工作表中 Vias 列的编辑框内就出现在刚才选择的过孔，如所示。

Type	Objects	Vias
*	*	*
Dsn	<input type="checkbox"/> CPU Board	VIA14CIR7:VIA16CIR8:VIA10CIR4...
PCS	<input checked="" type="checkbox"/> DEFAULT	VIA14CIR7:VIA16CIR8:VIA10...

图 4.32 添加好的过孔

另外一点，由于这个板子需要用到盲埋孔，盲里孔是用过孔生成的，在后面的章节讲。下面增加两个线宽约束规则，点击菜单 Objects->Create->Physical CSet 如图 4.33 所示。

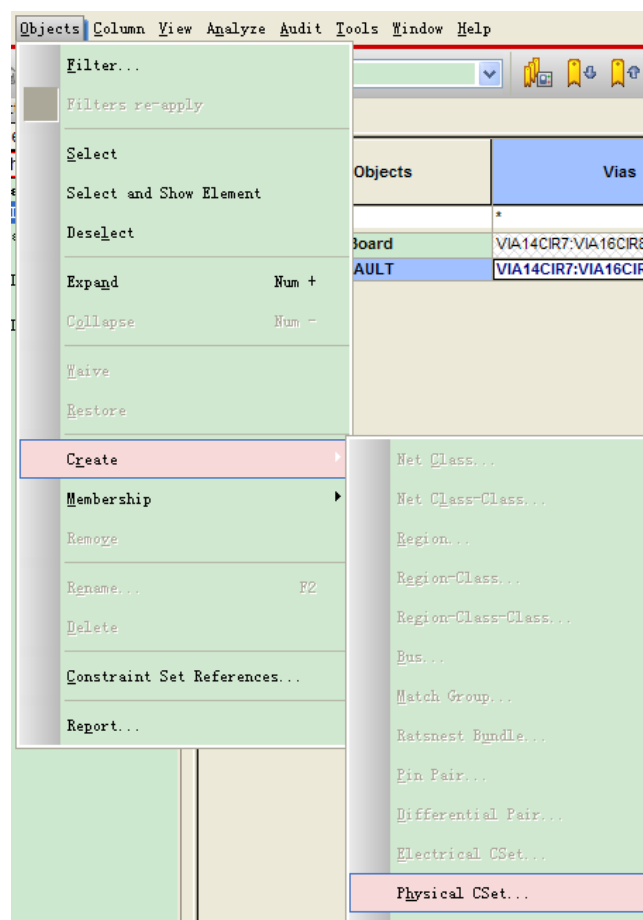


图 4.33 新增线宽约束规则

弹出 Create Physical CSet 对话框，在 Physical CSet 编辑框内输入规则名称 3.15MIL_WIDTH(另一个 10MIL_WIDTH)点击 OK 关闭对话框。

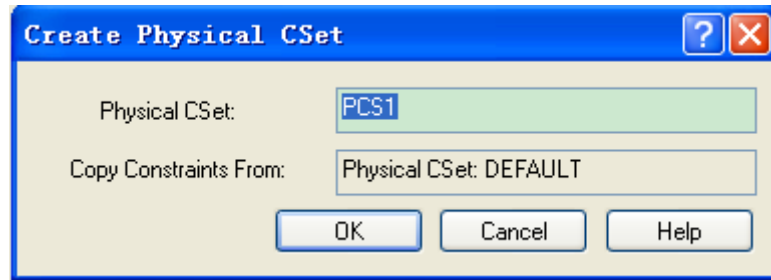


图 4.34 Create Physical CSet 对话框

在右边的工作表中可以看到增加的两个约束规则，并且参数与 DEFAULT 是完全一样的，如图 4.35 所示。

Type	Objects	Line Width		Neck		
		Min	Max	Min Width	Max Length	Min Line Sp
		mil	mil	mil	mil	mil
*	*	*	*	*	*	*
Dsn	<input type="checkbox"/> CPU Board	4.000	0.000	4.000	0.000	3.500
PCS	<input checked="" type="checkbox"/> DEFAULT	4.000	0.000	4.000	0.000	3.500
PCS	<input checked="" type="checkbox"/> 3.15MIL_WIDTH	4.000	0.000	4.000	0.000	3.500
PCS	<input checked="" type="checkbox"/> 10MIL_WIDTH	4.000	0.000	4.000	0.000	3.500

图 4.35 新增的两个线宽约束规则

其中 3.15MIL_WIDTH 约束规则将用于 S3C6410 BGA 封装扇出时候的线宽(3.15mil)，因为 BGA 内部的空间有限，不可能采用更大的线宽，将这个约束规则应用到一个区域规则中，放在后面的章节讲。而 10MIL_WIDTH 可用于需要加粗的网络，比如电源网络，我们将这个规则应用到一些电源网络上。如果有需要还可以增加更多的线宽约束。

下面要修改 3.15MIL_WIDTH 和 10MIL_WIDTH 两个约束规则的参数，将 3.15MIL_WIDTH 约束规则的参数都设为 3.15，10MIL_WIDTH 都设为 10，由于 VIA 已经自动从 DEFAULT 规则上复制了，所以就不需要另外添加过孔了，修改好后的参数如图 4.36 所示。

Type	Objects	Line Width		Neck		Differential Pair			
		Min	Max	Min Width	Max Length	Min Line Spacing	Primary Gap	Neck Gap	(+)Tol
		mil	mil	mil	mil	mil	mil	mil	mil
*	*	*	*	*	*	*	*	*	*
Dsn	<input type="checkbox"/> CPU Board	4.000	0.000	4.000	0.000	3.500	4.000	3.500	0.000
PCS	<input checked="" type="checkbox"/> DEFAULT	4.000	0.000	4.000	0.000	3.500	4.000	3.500	0.000
PCS	<input checked="" type="checkbox"/> 3.15MIL_WIDTH	3.150	0.000	3.150	0.000	3.150	3.150	3.150	0.000
PCS	<input checked="" type="checkbox"/> 10MIL_WIDTH	10.000	0.000	10.000	0.000	10.000	10.000	10.000	0.000

图 4.36 修改后的两个线宽约束规则参数

下面将 10MIL_WIDTH 约束规则应用到电源网络上。点击左边工作表选择区的 Net->All Layer 工作表，在右边的工作表中区列出了设计中的所有 Net，可以看到所有网络的 Referenced Physical CSet 列中都是 DEFAULT 这个规则，这是 allero 自动添加的应用。首先建立一个 Net Class 将所有的电源网络都包括在这个 Net Class 中。选择菜单 Objects->Create->Net Class，如图 4.37 所示。

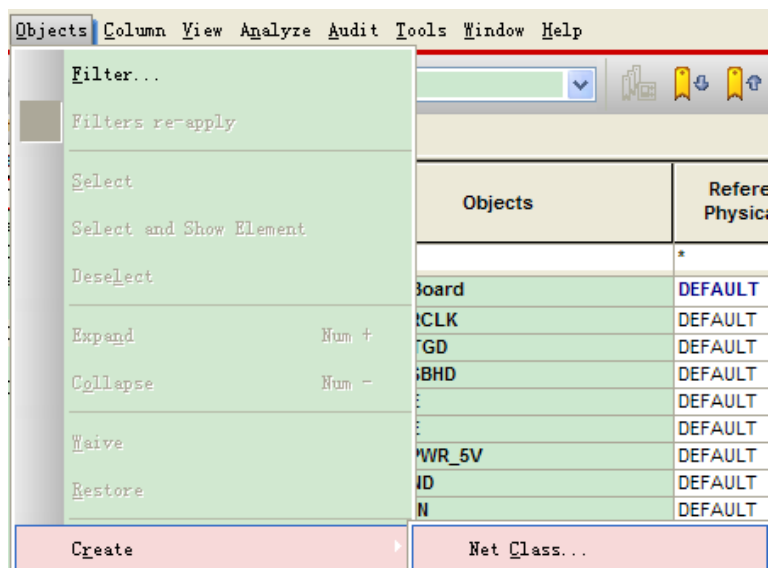


图 4.37 增加 Net Class

弹出 Create Net Class 对话框，如图 4.38 所示。在 Net Class 编辑框中输入名称 POWER 点击 OK 关闭对话框。

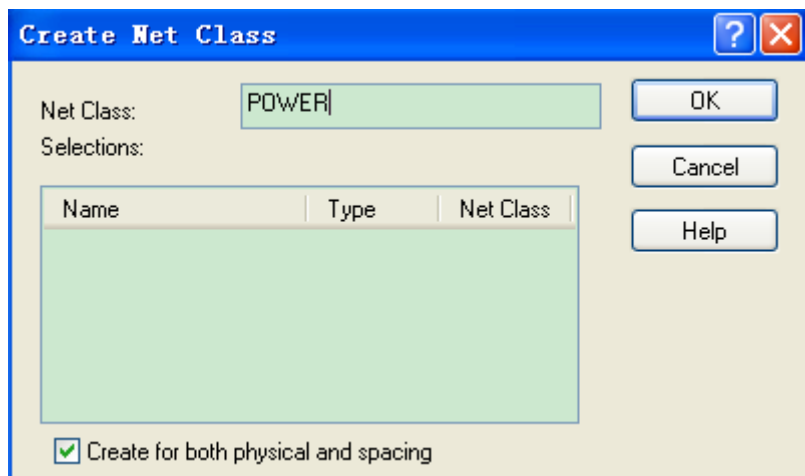



图 4.38 增加 POWER Net Class

在右边的工作表中可以看到增加了 POWER NCIs。然后在这个 Net Class 上点击右键弹出一个菜单项，选择 Membership->Net Class，如图 4.39 所示。

Type	Objects	Referenced Physical CSet	Line Width	
			Min	Ma
			mil	mil
*	*	*	*	*
Dsn	CPU Board	DEFAULT	4.000	0.000
NCIs	POWER	DEFAULT	4.000	0.000
DPr	DDR0	F9	5.000	0.000
DPr	XOT0		5.000	0.000
DPr	XUSE		5.000	0.000
Net	ALE		4.000	0.000
Net	CLE		4.000	0.000
Net	C_PV		4.000	0.000
Net	DGND		4.000	0.000
Net	FREN		4.000	0.000
Net	FWER		4.000	0.000
Net	GND		4.000	0.000
Net	INT_0		4.000	0.000
Net	N185		4.000	0.000
Net	N233	Hum +	4.000	0.000
Net	N233	Hum -	4.000	0.000
Net	N244		4.000	0.000
Net	N245		4.000	0.000
Net	N305		4.000	0.000
Net	N467		4.000	0.000
Net	N600		4.000	0.000

图 4.39 为 Net Class 增加成员

弹出 Net Class Membership for POWER 对话框，如图 4.40 所示。在左上角的下拉框中选择 Net，之后左边的列表框就列出所有的网络，双击需要添加的电源网络将它加入到右边的列表框中，也可以单击选中目标网络后点击  按钮将它加入到右边的列表框。全部添加完后，点击 OK 关闭对话框。在右边的工作表区中，可以看到，刚才选择的网络都加入到了 POWER 的 Net Class 中了。然后点击 POWER NCIs 的 Referenced Physical CSet 编辑框，选择刚才建立好的 10MIL_WIDTH 约束规则。最后如图 4.41 所示。

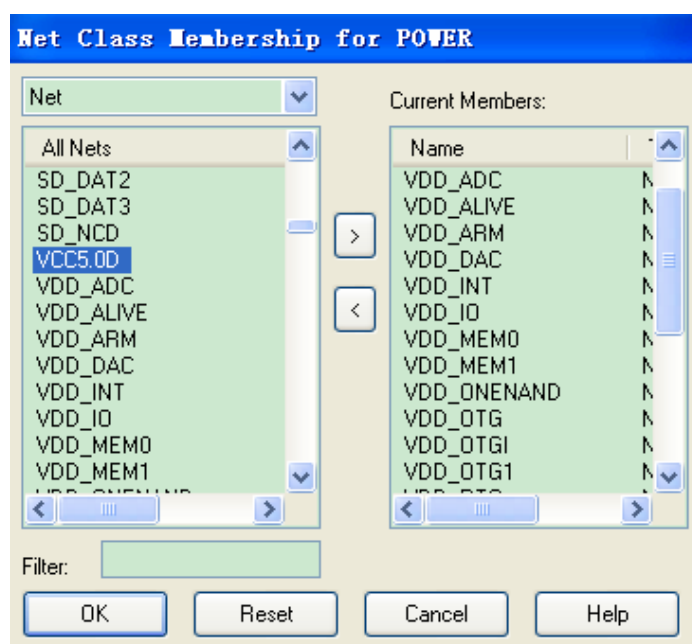


图 4.40 Net Class Membership for POWER 对话框

NCIs	<input type="checkbox"/> POWER	10MIL_WIDTH	10.000
Net	C_PWR_5V	10MIL_WIDTH	10.000
Net	VCC5.0D	10MIL_WIDTH	10.000
Net	VDD_ADC	10MIL_WIDTH	10.000
Net	VDD_ALIVE	10MIL_WIDTH	10.000
Net	VDD_ARM	10MIL_WIDTH	10.000
Net	VDD_DAC	10MIL_WIDTH	10.000
Net	VDD_INT	10MIL_WIDTH	10.000
Net	VDD_IO	10MIL_WIDTH	10.000
Net	VDD_MEM0	10MIL_WIDTH	10.000
Net	VDD_MEM1	10MIL_WIDTH	10.000
Net	VDD_ONENAND	10MIL_WIDTH	10.000
Net	VDD_OTG	10MIL_WIDTH	10.000
Net	VDD_OTGI	10MIL_WIDTH	10.000
Net	VDD_OTG1	10MIL_WIDTH	10.000
Net	VDD_RTC	10MIL_WIDTH	10.000
Net	VDD_XPLL	10MIL_WIDTH	10.000
Net	VDD1.2V_ARM	10MIL_WIDTH	10.000
Net	VDD1.2V_OTGI	10MIL_WIDTH	10.000
Net	VDD1.2V_XPLL/ALIVE	10MIL_WIDTH	10.000
Net	VDD1.3V_INT	10MIL_WIDTH	10.000
Net	VDD1.8V_MEMX	10MIL_WIDTH	10.000
Net	VDD3.3V	10MIL_WIDTH	10.000
Net	VDD3.3V_OTG	10MIL_WIDTH	10.000
Net	XVBUS	10MIL_WIDTH	10.000

图 4.41 将 10MIL_WIDTH 规则应用到 POWER 上

最后要将 3.15MIL_WIDTH 这个规则应用到一个 Region(区域)规则上，以便在 BGA 芯片(S3C6410)扇出的时候能够使用合适的线宽。点击左边 Physical 工作表下的 Region->All Layer。然后选择菜单 Objects->Create->Region，如图 4.42 所示。

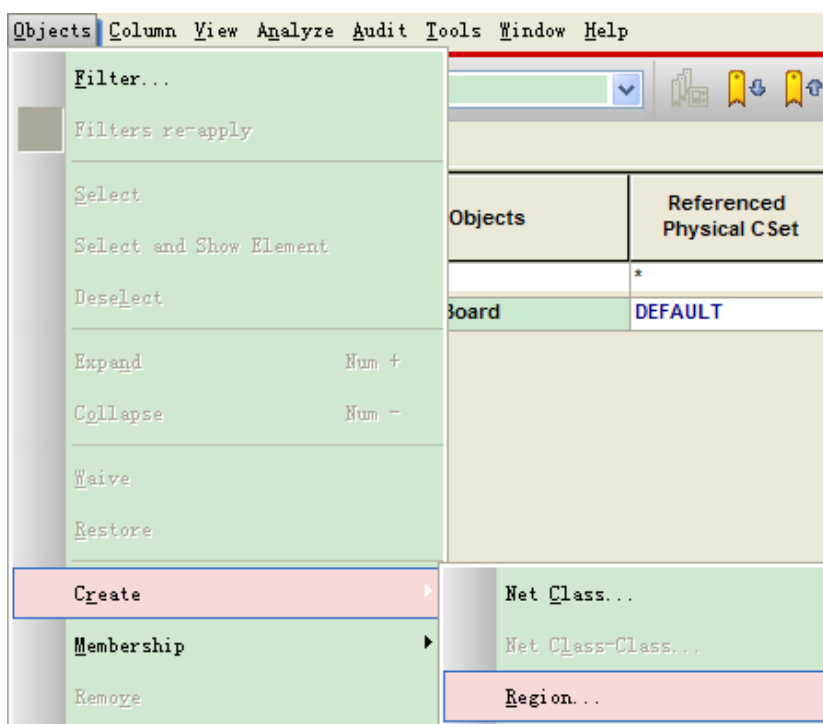


图 4.42 新建区域规则

弹出 Create Region 对话框，输入名称 BGA_RGN，点击 OK 关闭对话框，如图 4.43 所示。

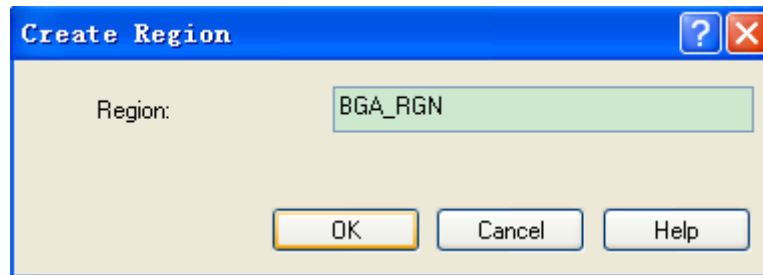


图 4.43 Create Region 对话框

然后在右边工作表区里新增了一个 BGA_RGN Rgn。点击 Referenced Physical CSet 编辑框将 3.15MIL_WIDTH 规则应用到 BGA_RGN 规则上。如图 4.44 所示。

Type	Objects	Referenced Physical CSet	Min
			mil
*	*	*	*
Dsn	CPU Board	DEFAULT	4.000
Rgn	BGA_RGN	3.15MIL_WIDTH	3.150

图 4.44 绑定 BGA_RGN 规则

如果你自己建了更多更详细的规则需要应用到其它网络上，方法也是一样的，这里就不重复了。

4.2.6 设置间距约束规则

间距约束规则包括不同网络之间与相同网络之间。间距规则约束比较复杂，需要考虑信号号完整性、阻抗要求以及制板工艺要求等。在 4.2.4 小节介绍了 CPU 与内存之间的信号布线要求，为了实现信号完整性的要求我们要专门 CPU 与内存之间的信号线、地址控制信号线设置间距约束规则。

首先修改由 allegro 自动生成的默认间距规则 DEFAULT。点击左边工作表选择区的 Spacing 工作表下的 Spacing Constraint Set->All Layer，在右边可以看到有一个 DEFAULT 间距规则。间距规则参数比较多，约束管理器将这些参数分成了七大类，每一类用一个单独的电子表格列出来，分别是：Line、Pins、Vias、Shape、Bond Finger、Hole、BB via Gap。如图 4.45 所示。

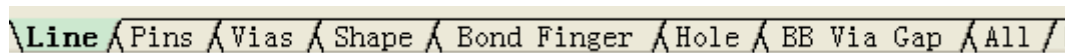


图 4.45 间距规则参数分类

现在将 DEFAULT 规则的 Line、Pins、Vias、Bond Finger、Hole、BB via Gap 页面下的所有参数设为 4mil，而 Shape 页面下的参数则设为 10mil。Shape 页面参数是设置铺铜与其它对象的间距，因此要大一些。如图 4.46 所示。

Type	Objects	Line To									
		Line mil	Thru Pin mil	SMD Pin mil	Test Pin mil	Thru Via mil	BB Via mil	Test Via mil	Microvia mil	Shape mil	Bond Finger mil
Dsn	CPU Board	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	10.000	4.000
SCS	DEFAULT	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	10.000	4.000

Type	Objects	Shape To									
		Line mil	Thru Pin mil	SMD Pin mil	Test Pin mil	Thru Via mil	BB Via mil	Test Via mil	Microvia mil	Shape mil	Bond Finger mil
Dsn	CPU Board	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000
SCS	DEFAULT	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000

图 4.46 DEFAULT 规则间距参数

新建一个 3.15MIL_SPACE 规则用于 BGA 的区域规则。点击菜单 Objects->Create->Spacing CSet，建立一个名称为 3.15MIL_SPACE 间距规则，过程参考 4.2.5 小节。建好后如 4.2.6 所示。

Type	Objects	Line mil	Thru mi
Dsn	CPU Board	4.000	4.000
SCS	DEFAULT	4.000	4.000
SCS	3.15MIL_SPACE	4.000	4.000

图 4.47 新建 3.15MIL_SPACE 间距规则

然后将 3.15MIL_SPACE 规则的 Line、Pins、Vias、Bond Finger、Hole、BB via Gap 页面下的所有参数设为 3.15mil，而 Shape 页面下的参数则设为 10mil。如图 4.48 所示。

Type	Objects	Line To									
		Line mil	Thru Pin mil	SMD Pin mil	Test Pin mil	Thru Via mil	BB Via mil	Test Via mil	Microvia mil	Shape mil	Bond Finger mil
Dsn	CPU Board	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	10.000	4.000
SCS	DEFAULT	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	10.000	4.000
SCS	3.15MIL_SPACE	3.150	3.150	3.150	3.150	3.150	3.150	3.150	3.150	10.000	3.150

Type	Objects	Shape To									
		Line mil	Thru Pin mil	SMD Pin mil	Test Pin mil	Thru Via mil	BB Via mil	Test Via mil	Microvia mil	Shape mil	Bond Finger mil
Dsn	CPU Board	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000
SCS	DEFAULT	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000
SCS	3.15MIL_SPACE	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000	10.000

图 4.48 3.15MIL_SPACE 规则参数

然后点击 Region->All Layer 工作表，由于在 Physical 工作表中建立了一个 BGA_RGN 区域规则，所以在 Spacing 工作表下同样能看到这个区域规则，点击 BGA_RGN 规则下的 Referenced Spacing CSet 编辑框，将 3.15MIL_SPACE 规则应用到 BGA_RGN 区域规则上。如图 4.49 所示。

Type	Objects	Referenced Spacing CSet
Dsn	CPU Board	DEFAULT
Rgn	BGA_RGN	3.15MIL_SPACE

图 4.49 应用 3.15MIL_SPACE 规则到区域规则上

为了完成 CPU 与内存之间的信号线规则约束设置，先建立几组 BUS 和 Net Class。点击左边工作表选择区的 Net->All Layer。然后在右边的工作表区将 XM1DATA0- XM1DATA15、

XM1DQM0、XM1DQM1、XM1DQS0、XM1DQS1 同时选中(按住鼠标左键拖动鼠标连续选择几个，然后按住 Ctrl 键再单个点击)，点击鼠标右键弹出一个菜单项，选择 Create->Bus，如图 4.50 所示。

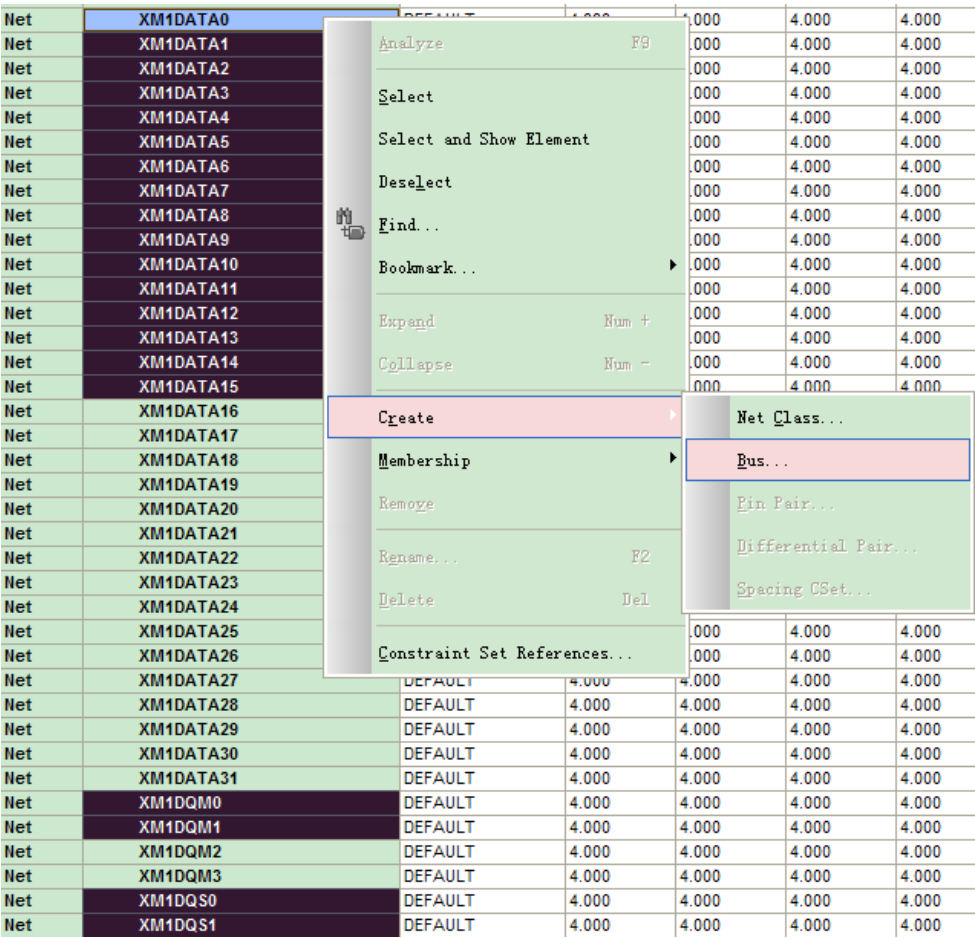


图 4.50 建立一个 BUS

弹出 Create Bus 对话框，输入名称 DDR_DQL 点击 OK 关闭对话框。如图 4.51 所示。用同样的方法现建立一个名称为 DDR_DQH(成员为 XM1DATA16- XM1DATA31、XM1DQM2、XM1DQM3、XM1DQS2、XM1DQS3，DDR_ADR(成员为 XM1ADDR0- XM1ADDR15)的 BUS。

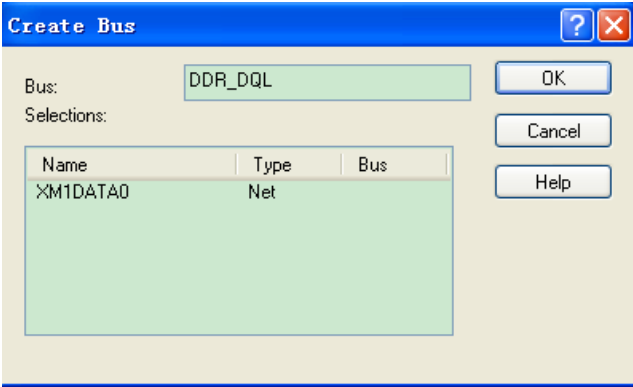


图 4.51 Create Bus 对话框

然后建立一个 Net Class，名称为 DDR_DQ，将 DDR_DQL 和 DDR_DQH 两组 BUS 还有 DDRCLK(差分对)包含进去。再建立一个 Net Class，名称为 DDR_CTR，并将 DDR_ADR 和 XM1CASN、XM1CKE0、XM1CSN0、XM1RASN、XM1WEN 几个网络包含进去。如图 4.52 所示。

Type	Objects	Referenced Spacing CSet
*	*	*
Dsn	<input type="checkbox"/> CPU Board	DEFAULT
NCIs	<input type="checkbox"/> DDR_CTR	DEFAULT
Bus	<input checked="" type="checkbox"/> DDR_ADR	DEFAULT
Net	XM1CASN	DEFAULT
Net	XM1CKE0	DEFAULT
Net	XM1CSN0	DEFAULT
Net	XM1RASN	DEFAULT
Net	XM1WEN	DEFAULT
NCIs	<input type="checkbox"/> DDR_DQ	DEFAULT
Bus	<input checked="" type="checkbox"/> DDR_DQH	DEFAULT
Bus	<input checked="" type="checkbox"/> DDR_DQL	DEFAULT
DPr	<input checked="" type="checkbox"/> DDRCLK	DEFAULT

图 4.52 建立 DDR_DQ，DDR_CTR 两组 Net Class

新建一个间距规则 DDR_SPACE 参数都设为 4mil，过程参考上面的描述。虽然 DDR_SPACE 间距规则的参数是与 DEFAULT 规则一样的，但为了以后修改控制方便这样做是很有必要的，将 DDR_SPACE 间距规则应用到 DDR_DQ，DDR_CTR 两个 Net Class 上，如图 4.53 所示。

Type	Objects	Referenced Spacing CSet
*	*	*
Dsn	<input type="checkbox"/> CPU Board	DEFAULT
NCIs	<input checked="" type="checkbox"/> DDR_CTR	DDR_SPACE
NCIs	<input checked="" type="checkbox"/> DDR_DQ	DDR_SPACE

图 4.53 应用 DDR_SPACE 规则

另外需要注意的是，当 PCB 板有盲里孔的时候，走线线边到过孔孔壁的间距要足够大，具体为：最小间距能力*(压合次数+1)。如果不是很清楚，最好事先与 PCB 厂家交流后确定这个值。

4.2.7 设置相同网络间距规则

相同网络间距规则设置比较简单，一般只需注意过孔与过孔的间距就行了(包括盲埋孔)，同一网络的两个过孔不能靠得太近，具体数据需要与 PCB 厂家确认后设定，不般不要小于最小间距能力即可。这里将 DEFAULT 这个默认的规则参数全部设为 4mil 即可。如图 4.54 所示。


Type	Objects	Test Pin To										Pin To Hole
		Thru Pin	SMD Pin	Test Pin	Thru Via	BB Via	Test Via	Microvia	Shape	Bond Finger		
		mil	mil	mil	mil	mil	mil	mil	mil	mil	mil	
Dsn	CPU Board	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	
SNSC	DEFAULT	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4.000	4	

图 4.54 相同网络间距参数

4.3 布线

布线前可先将网格设置成合适的参数，具体操作过程可以参考前面的章节，这里就不重复了。

4.3.1 手工拉线

首先点击工具栏左上角的  图标按钮，将模式切换到 Etchedit 模式。然后点击左边的 Find 按钮，在弹出的面板中，点击 All On 按钮，将该模式下的所有对象选中。如图 4.55 所示。

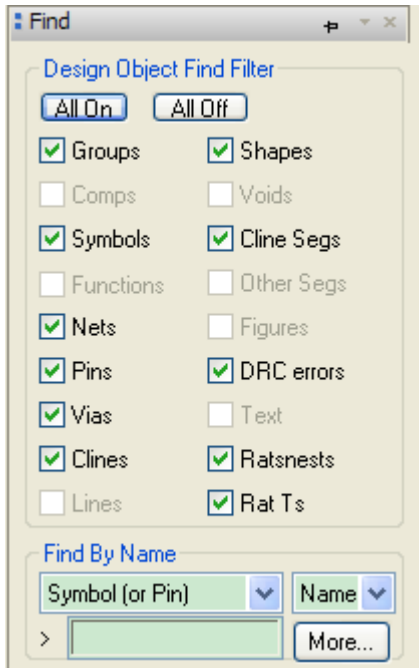



图 4.55 Find 面板

在 allegro 中拉线是一件很轻松的事情，方法有很多种，下面介绍三种常用的方法。

- (1) 选择 Route->Connect 菜单如图 4.56 所示。，或者直接点击工具栏左边的  图标按钮。

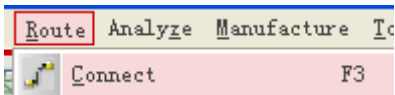


图 4.56 Add Connect 菜单

点击右边的 Options 按钮，弹出布线的 Options 面板。如所示。

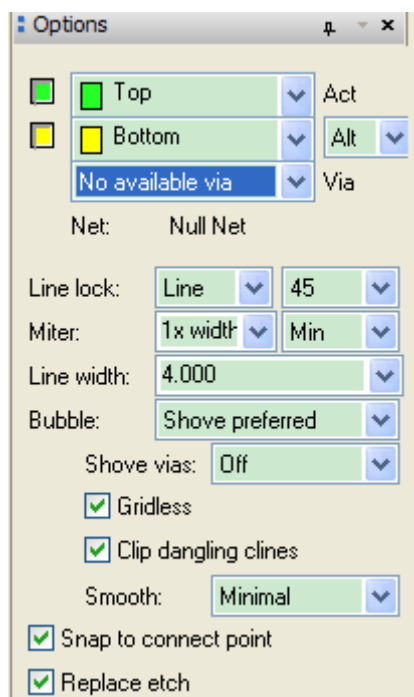


图 4.57 布线的 Options 面板

- Act 中显示的为当前的层；
- Alt 显示的为将要切换到的层；
- Via 中显示为选择的换层时用的过孔；
- Net 中显示当前走线的网络，如果点击了某个管脚，即开始布线，则显示该网络名称，否则显示的是 Null Net；
- Line Lock 中显示的是走线的形式和走线时的拐角。走线形式有 Line(直线)和 Arc(弧线)两种；走线拐角有 Off(无拐角)、45(45° 拐角)、90(90° 拐角)；
- Miter 显示管脚的设置，如图 4.57 中 1x width 和 Min 表示斜边长度至少为一倍的线宽，但当在 Line Lock 中选择了 Off 时此项就不会显示；
- Line width 显示的是设置的线宽大小；
- Bubble 显示的为推挤走线的方式。其中 Off 为关闭推挤功能；Hug only 为当前走的线遇到已存在的线的时候采取绕过的方式，即原来的线不动。Hug preferred，已存在的线“拥抱”新走的线；Shove preferred 已存在的新走的线推挤；
- Shove vias 显示的为推挤过孔的方式。其中 Off 为关闭推挤功能；Minimal 为最小幅度的去推挤 Via；Full 为完全地去推挤 Via；
- Gridless 复选框表示走线是否可以在格点上；
- Smooth 显示的为自动调整走线的方式。其中 Off 为关闭自动调整走线功能；Minimal 为最小幅度的调整；Full 为完全地去调整；
- Snap to connect point 复选框表示走线是否从 Pin、Via 的中心原点引出；
- Replace etch 复选框表示走线是否允许改变存在的 Trace，即不用删除命令。在走线时若两点间存在走线，那么再次添加的走线时旧的走线将被自动删除。

设置好 Options 面板中的参数后，在画图区域内单击需要添加走线的 Pin 或者 Trace，移动鼠标就走出一根线，在需要换层的地方双击左键后就会添加一个过孔，或者点击鼠标右键选择 Add Via 添加过孔，如图 4.58 所示。画好线后右键选择 Done 完成拉线。

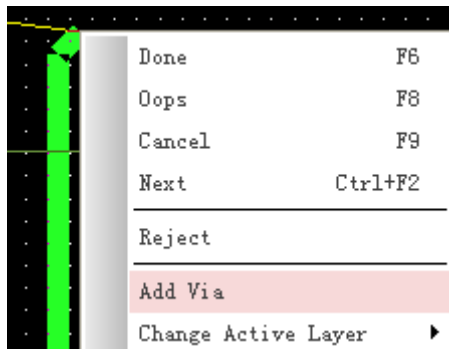


图 4.58 鼠标右键添加过孔

- (2) 可以在需要添加直接的管脚或者线段上直接单击鼠标左键来开始拉线，然后设置 Options 面板中的参数，添加过孔的方法与第（1）种一样，拉好后右键选择 Done 完成。
- (3) 需要添加直接的管脚或者线段上点击右键，选择 Add Connect，之后与第（2）种方式一样。

在接线的过程中如果觉得预拉线（鼠线）看起来混乱，可以选择菜单 Display->Blank Rats 来关闭预拉线的显示，选择 All 关闭全部。如所示。如果需要重新显示预拉线，执行菜单 Display->Show Rats 就行了。

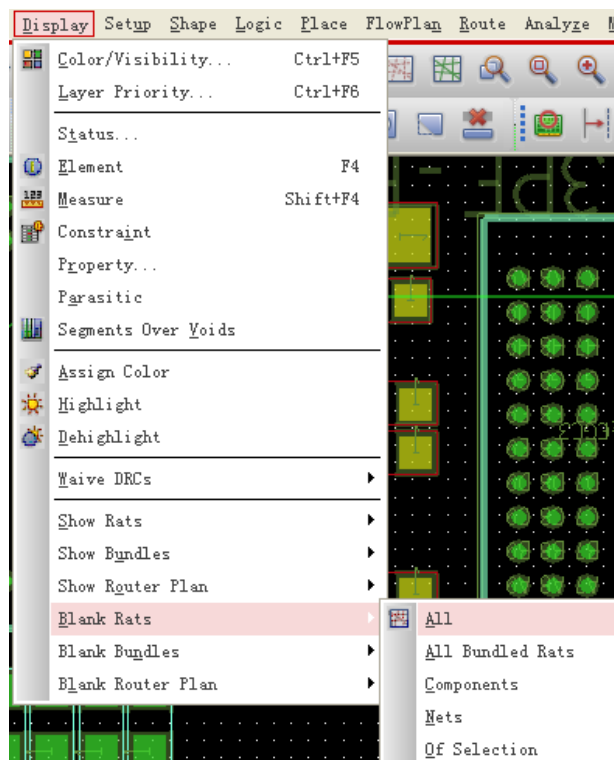



图 4.59 关闭预拉线的显示

有些管脚密集的芯片上的管脚编号也会让人觉得眼花缭乱，同样可以关闭 Pin Number。

选择菜单 Display->Color/Visibility。或者直接点击工具栏  图标按钮。弹出 Color Dialog 对话框，如图 4.60 所示。

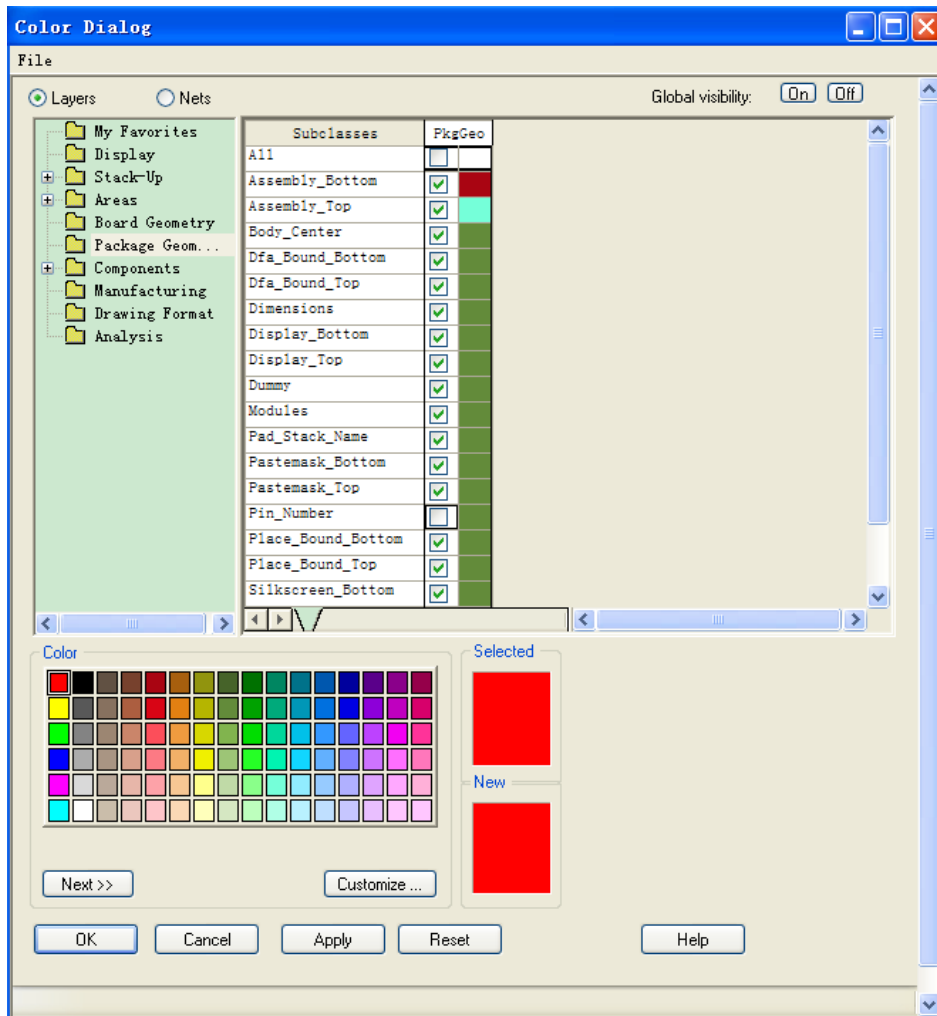



图 4.60 关闭 Pin Number

然后点击 **Package Gaometry** 选项，在右边列表中找到 **Pin_Number** 复选框，将其取消，点击 OK 关闭对话框。这时候所用管脚上的编号都不见了。

4.3.2 应用区域规则

我们已经在约束管理器中设置好了区域规则，要使用它还需在 PCB 中完成最后一步。首先选择 **Shape->Rectangular** 或者直接点击工具栏的  图标。右边的 **Options** 面板参数设置如图 4.61 所示。在 **Active Class and Subclass** 下面的下拉框中选择 **Constraint Region**，第二个下拉框选择 **All** 也可以选择单个走线层，这样需要画多次。在 **Assign to Region** 下拉框中选择已经在约束管理器中设置好的区域规则 **BGA_RGN**。

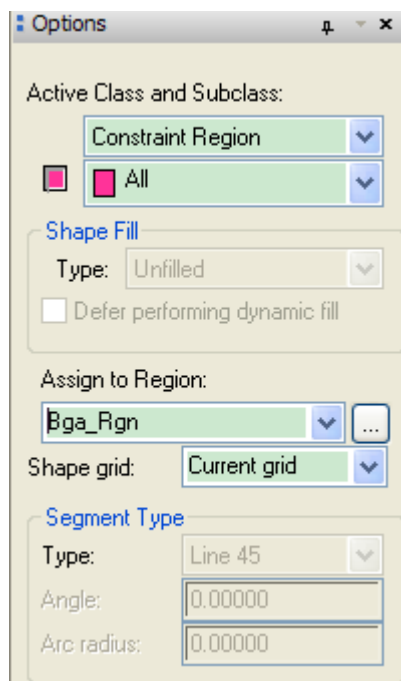


图 4.61 区域规则

然后在作图区域中，在 CPU 封装的周围画一个矩形，如图 4.62 所示。

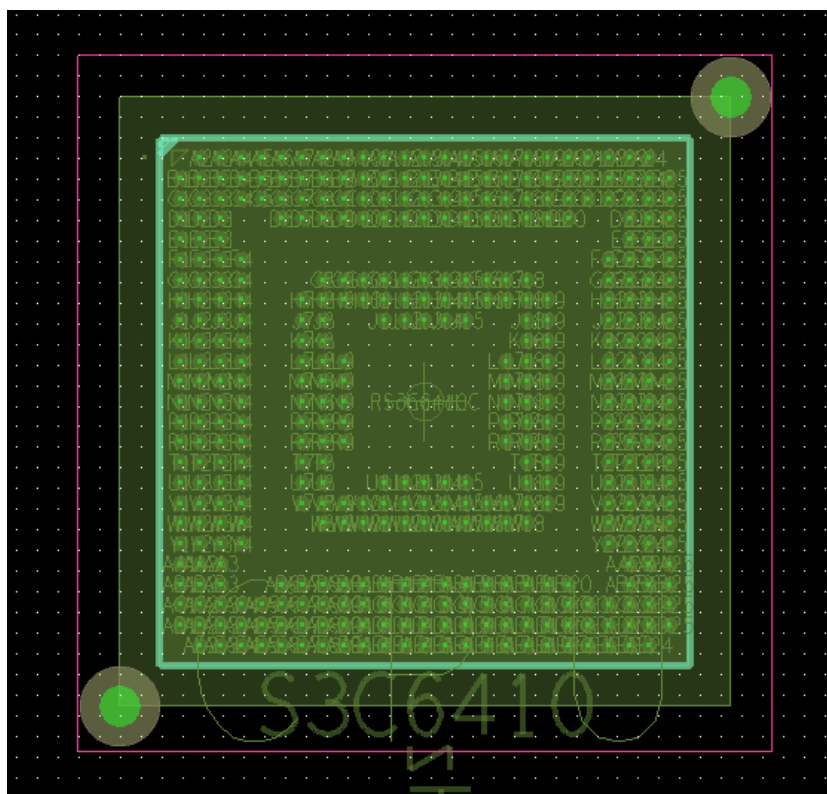


图 4.62 在芯片封装周围画一个矩形

点击鼠标右键 Done 完成。之后，在红色矩形的区域内的布线规则将被 BGA_RGN 区域规则约束，而出了这个矩形之外的区域则受其它你设定的规则约束。

4.3.3 扇出布线

扇出布线可以使用 Route->Fanout by pick 命令和 Route->Create Fanout 命令。Fanout by pick 命令需要启动自动布线器设置比较麻烦。Create Fanout 命令不需要启动自动布线，比较方便，功能要求不多的时候可以用这个命令来完成。

选择菜单 Route->Create Fanout，如图 4.63 所示。

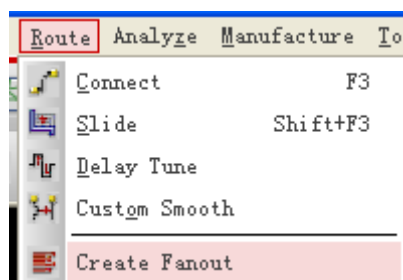


图 4.63 扇出布线

然后在作图区域点击鼠标右键弹出一个菜单项选择 Fanout Parameters。如图 4.64 所示。

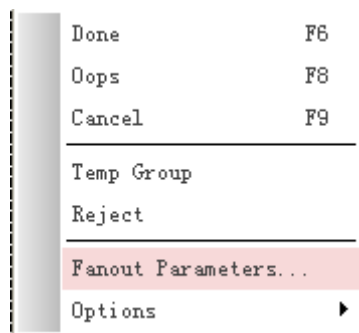


图 4.64 Fanout Parameters

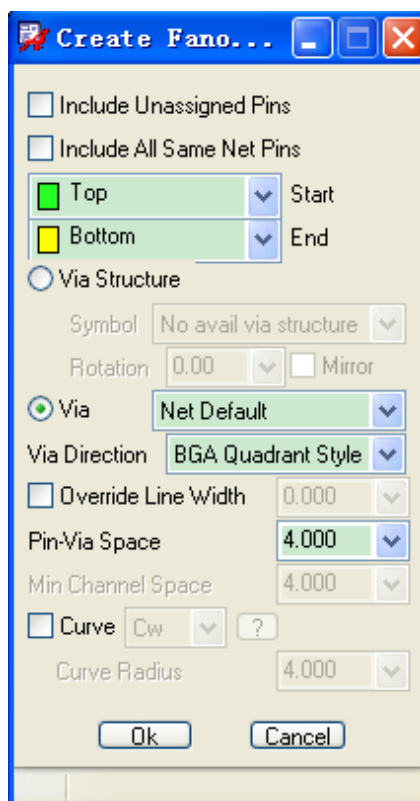


图 4.65 Create Fanout 对话框

弹出 Create Fanout 对话框，如图 4.65 所示。

- Include Unassigned Pins 复选框表示包括在原理图中未连接的管脚；
- Include All Same Net Pins 复选框表示包括所有相同网络的管脚；
- Star 显示的是过孔的开始层；
- End 显示的是过孔的结束层；
- Via Structure 单选框表示使用过孔阵列扇出；
- Via 单选框表示使用过孔扇出，在右边的下拉列表框中选择过孔类型；
- Via Direction 从下拉列表框中选择过孔的方向；
- Override Line Width 复选框表示扇出线的线宽，如果没有选中则用约束管理器设定的线宽；
- Pin-Via Space 设置过孔到管脚的间距；
- Curve 复选框表示扇出引线是否弯曲。有两种弯曲方向：Cw-顺时针方向；Ccw 逆时针方向；
- Curve Radius 弯曲半径。

设置好参数后，点击 OK 关闭对话框，然后用鼠标左键单击要进行扇出的元件。该元件就自动的按照设置的参数扇出。点击鼠标右键选择 Done 完成。扇出的效果如所示。

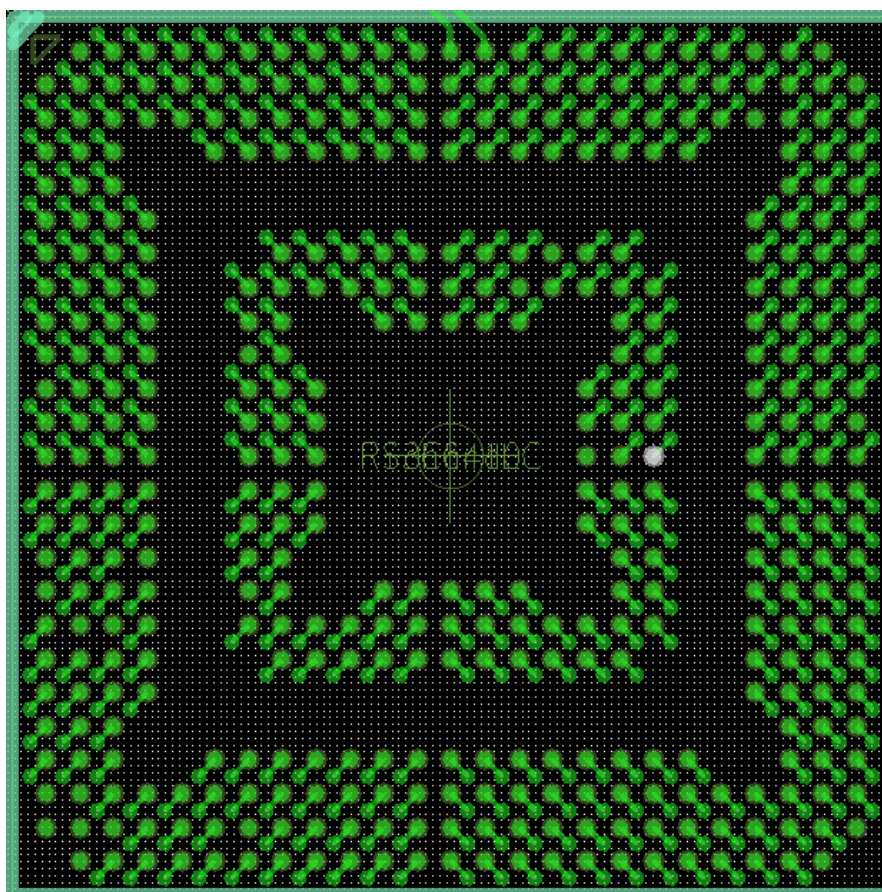


图 4.66 扇出布线效果

另外如果有些管脚已经布了线，则这些管脚不会被扇出。

4.3.4 差分布线

差分信号的布线要求等长等间距，手工很难去控制，在约束管理器中设置了差分对（Differential Pair）后，差分布线就变得简单了。单击差分信号的其中一个管脚，移动鼠标，可以发现另外一个管脚的线也自动出来了，并且两条线的间距都是相等的，拐角也一样。在拉差分线的时候，如果在走线密集的区域，可能切换到 Neck 模式下，这时候差分线的线宽和间距都变成 Neck 的线宽和间距。

在走线的时候点击鼠标右键，弹出一个菜单项，点击 Neck Mode 则在正常模式和 Neck 模式下交替切换，如果此时正处于 Neck 模式，则 Neck Mode 菜单项前面会有一个“√”如图 4.67 所示。

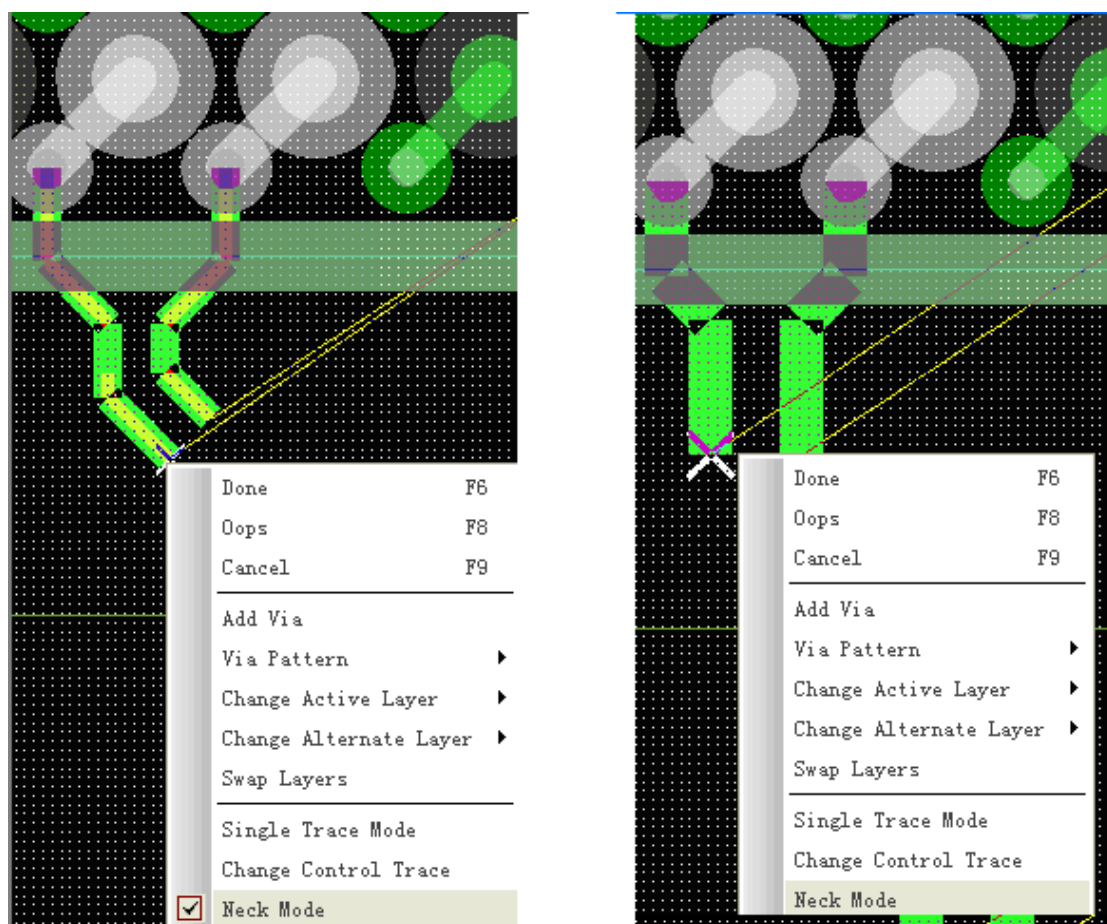


图 4.67 差分布线 Neck 模式与正常模式

有时候如果想以单根线布线，或者在修改差分走线的时候希望另外一条走线不跟着一起变化，可以在走线命令或者修改命令下单击鼠标右键，在弹出的菜单项中选择 Single Trace Mode，选中以后 Single Trace Mode 菜单前面会有一个“√”，再次点击该菜单后又切换回正常的差分线模式，如图 4.68 所示。

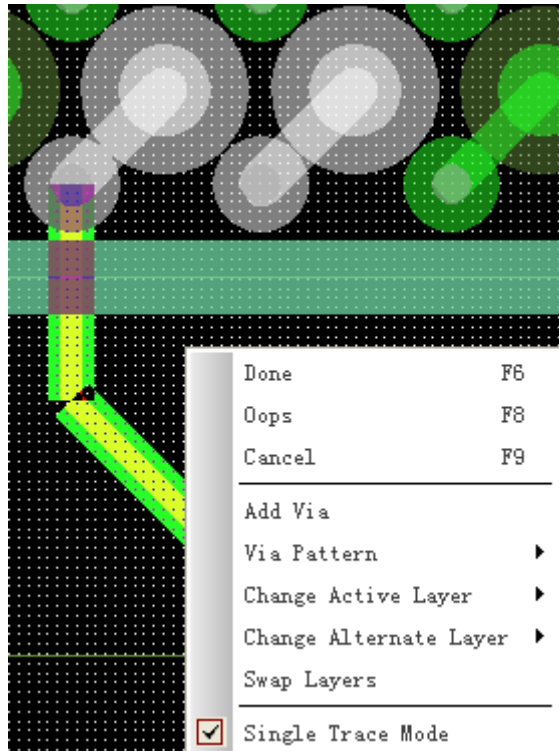



图 4.68 Single Trace Mode

4.3.5 等长绕线

在有等长要求的走线布完后，需要进行绕线来实现等长匹配。选择 Route->Delay Tune

如图 4.69 所示。，或者直接单击左边工具栏的  图标按钮。

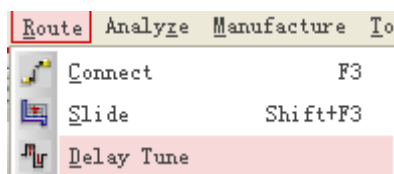
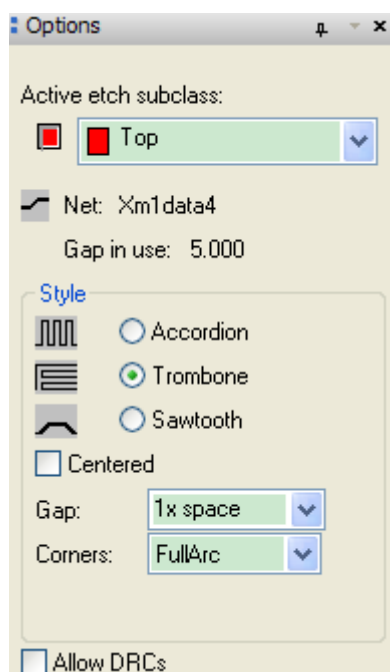


图 4.69 绕线命令

然后在左边的 Options 面板设置参数。

- Active etch subclass 显示的是当前走线层；
- Net 显示的是当前绕线的网络名；
- Gap in use 显示的是当前设置的间距大小；
- Style 选择绕线的方式，有三种选择：Accordion；Trombone；Sawtooth；每一种前面都有个形状的小图标，一看就明白了；
- Centered 复选框如果选中就会在走线的两边都绕线，否则只在一边绕线；
- Gap 选择绕线的间距。有两种 1x space 1 倍线宽；3x space 3 倍线宽；
- Corners 选择拐角的方式。有三种：90（90° 拐角）；45（45° 拐角）；FullArc（半圆拐角）。



设置好参数后在空间大的地方点击需要绕线的走线，然后移动鼠标就可以绕出线来，这时候观察左下角的标尺，如果变为绿色说明这条走线的长度已经在设定的误差范围了。如图 4.70 所示。

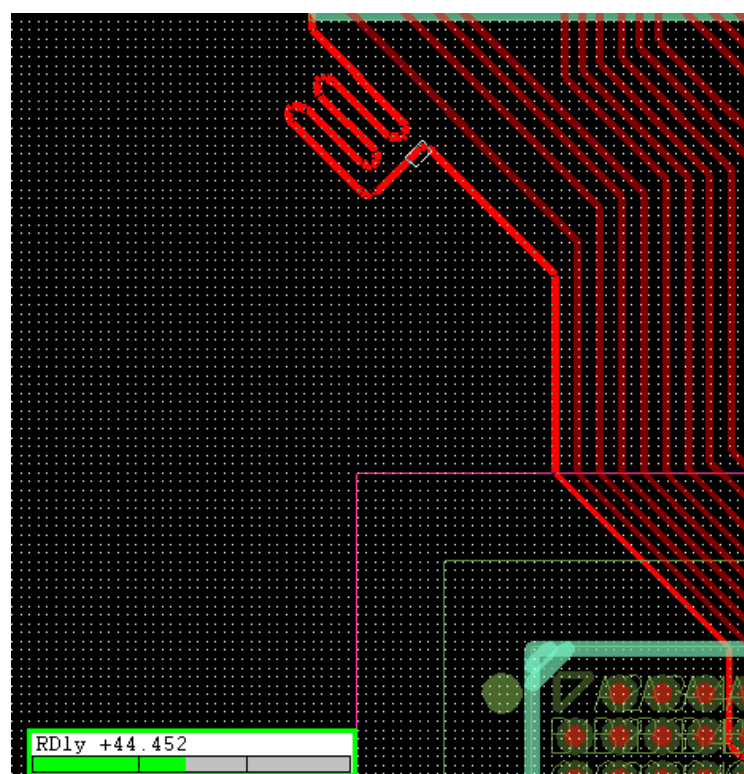


图 4.70 绕蛇形线

4.3.6 分割平面

Allegro 中的平面下负片都是可以分割的，在分割之前 PCB 中必需添加了 route keepin 区域。所有的正片和负片都要进行敷铜后才能分割。为了在 PCB 中清楚的区分不同网络的

位置，可以将需要分割的网络采用不同的高亮颜色。选择 **Display->Color/Visibility** 菜单，在弹出的 **Color Dialog** 对话框选择 **Nets**，然后将需要进行分割的网络使用不同的颜色。如图 4.71 所示

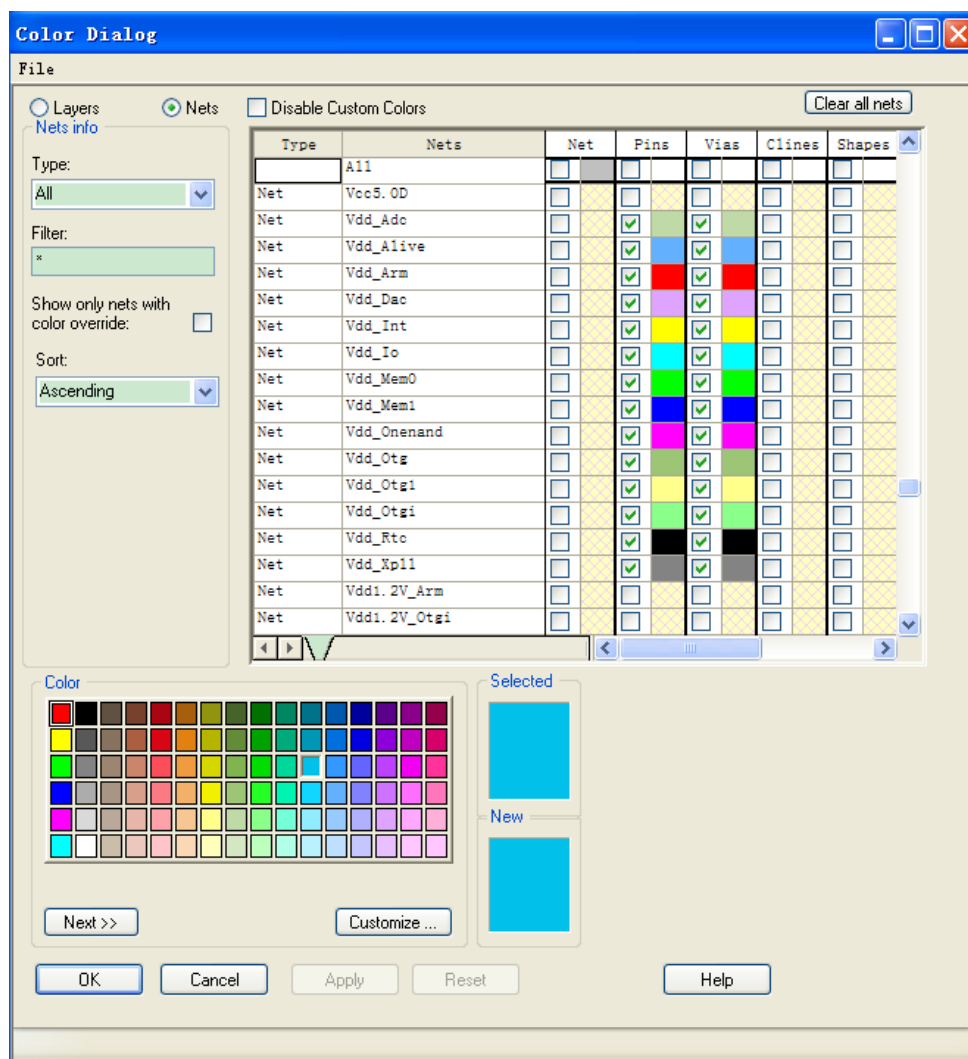


图 4.71 使用不同颜色区分网络

完成后点击 **OK** 关闭对话框。下面用 **Anti Etch** 来分割平面。

选择菜单项 **Add->Line**，或者直接点击左边工具栏的  图标。在 **Option** 面板设置如所示。

- **Active Class and Subclass** 选择 **Anti Etch**;
- **Subclass** 选择需要分割的层;
- **Line width** 选 **15**, **Line width** 就是两个分割区域间的间距。

其它默认就可以。

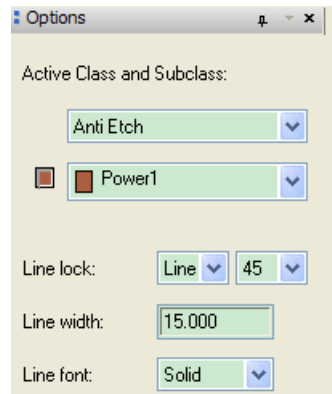


图 4.72 分割平面

然后点击鼠标左键添加分割线，需要注意的是要保证分割线的起点和终点都超出 OutLine 一点，画好分割线后单击鼠标右键选择 Done 完成。如图 4.73 所示。

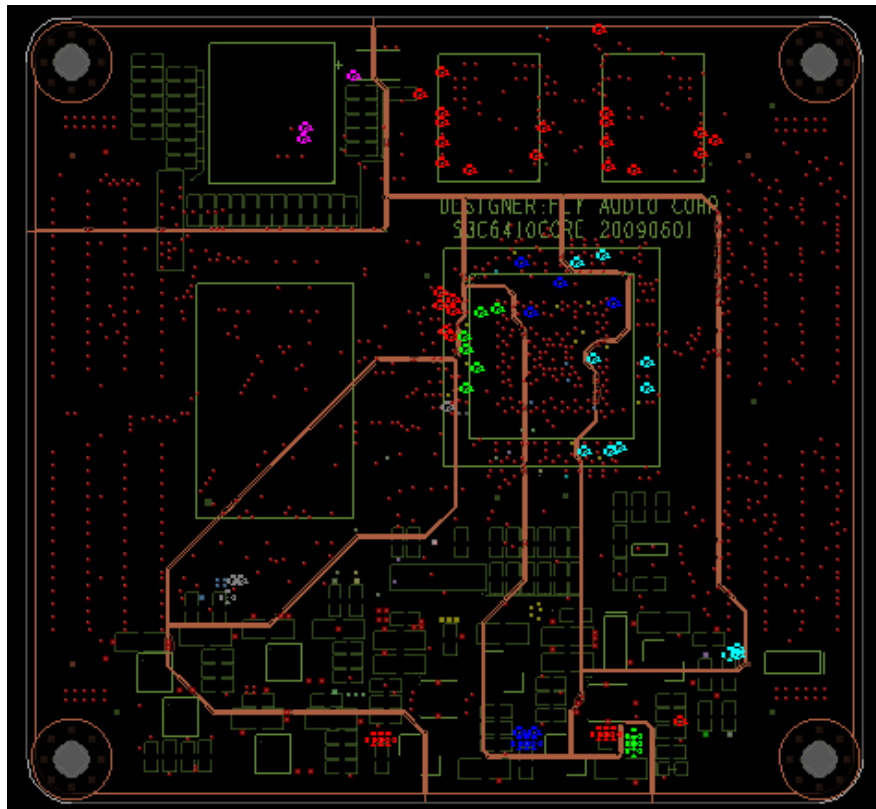


图 4.73 添加分割线

然后选择菜单 Edit->Split Plane->Create，如图 4.74 所示。

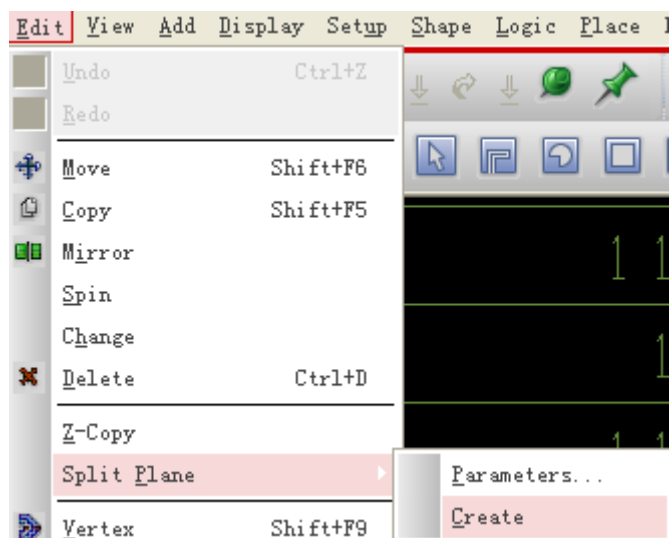


图 4.74 创建分割区网络

弹出 Create Split Plane 对话框，在 Select layer for split plane creation 中选择需要分割的层，Shape type desired 选择 Dynamic 即选择动态铜。

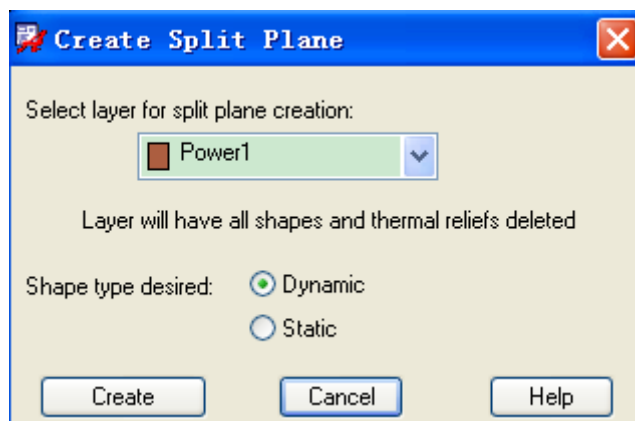


图 4.75 Create Split Plane 对话框

点击 Create 后弹出 Select a net 对话框，如图 4.76 所示。，这时候发现在 PCB 中，有一块分割区域处于高亮的状态，从 Select a net 对话框的列表框中为这块区域选择一个网络，点击 OK 后自动切换到下一块区域，直到所有的区域都分配完网络后，点击 OK 对话框自动关闭。

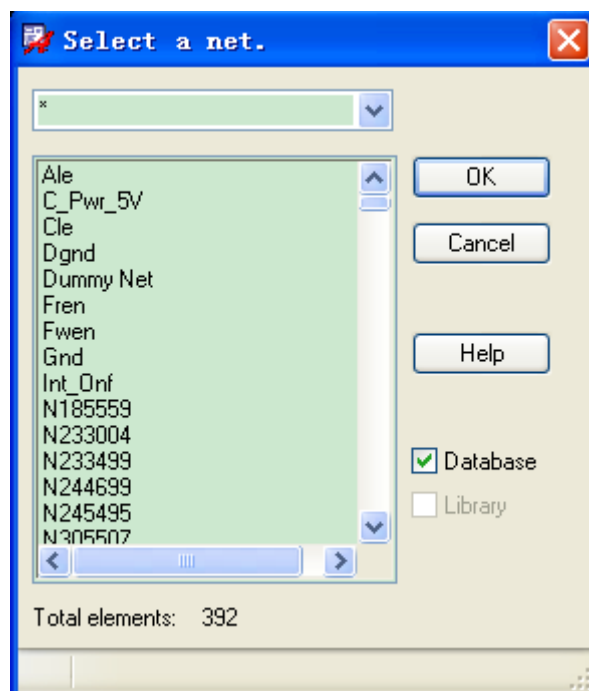


图 4.76 Select a net 对话框

第5章 输出底片文件

5.1 Artwork 参数设置

Artwork 是板厂制造 PCB 的时候所需要的一组光绘文件，通常称之为底片文件。在输入底片文件之前必需设置一些参数。

选择菜单 Manufacture->Artwork，如所示。

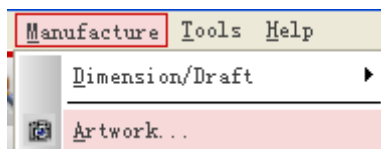


图 5.1 设置 Artwork

弹出 Artwork control form 对话框，但跟随着弹出一个警告对话框，如图 5.2 所示。这是 Artwork 里面的底片格式与动态 Shape 里面底片格式参数设置不一致，只要把动态 hape 里面的 Artwork format 与底片参数的 Device Type 一致就可以了。先不理睬，点击确定关闭警告。



图 5.2 Artwork 警告 1

之后又弹出一个警告框，如图 5.3 所示。这是底片参数精度不够，调整 General Aarameters 下面的 Format 数值即可。先点击确定关闭警告。



图 5.3 Artwork 警告 2

Artwork Control Form 对话框如图 5.4 所示。在 General Parameters 页面，只需要注意两个地方就可以了：

- Device type 选择 Gerber RS274X;
- Format: Integer places 输入: 3; Decimal places 输入: 5。

其它的参数使用默认即可。

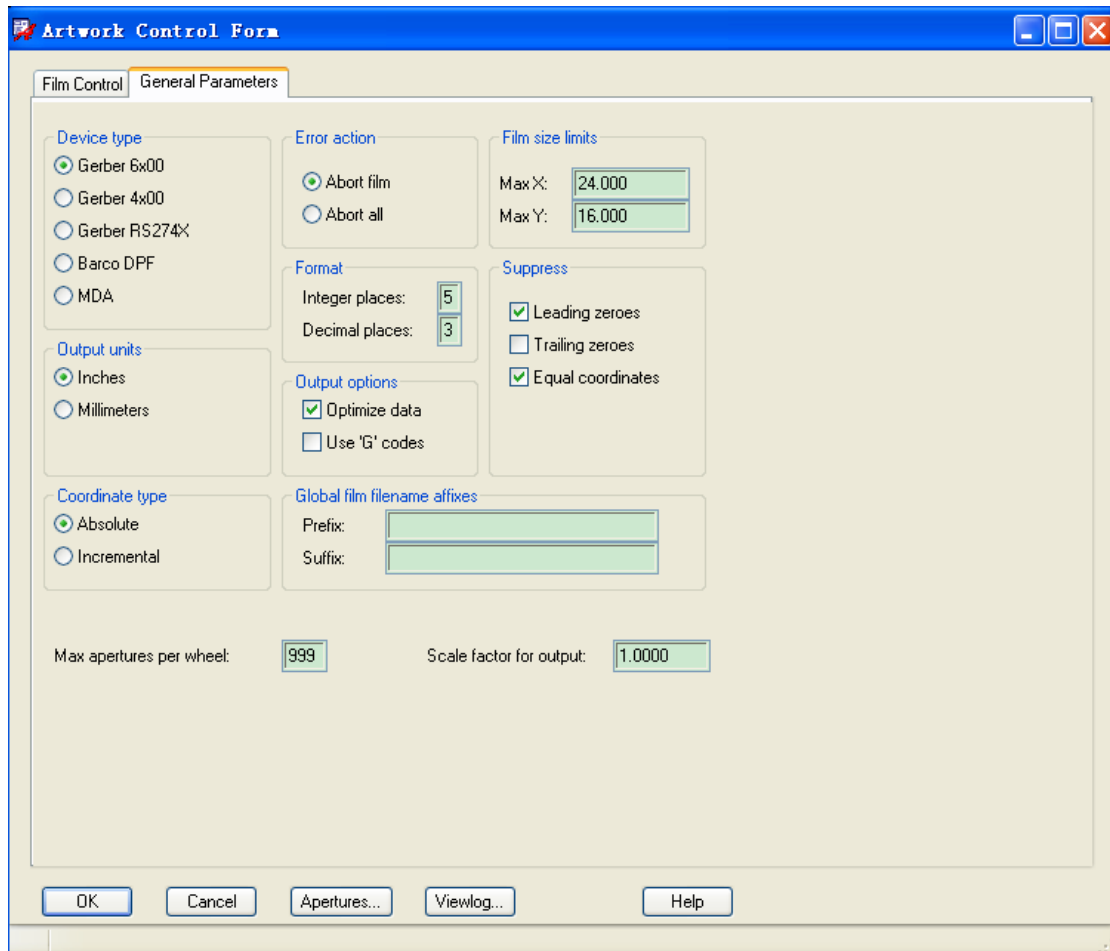


图 5.4 Artwork Control Form 对话框

点击 Film Control 标签切换到如所示的页面。

- Film name: 显示当前底片的名称;
- Rotation: 底片的旋转角度, 一般使用默认值 0;
- Offset X、Y: 底片的偏移量, 一般使用默认值 0;
- Undefine line width : 示定义宽度的线条在输出底片的时候采用的宽度, 可以设置一个非 0 值, 比如 10mil, 如果是 0 会有意想不到的错误;
- Shape bounding box: 板子 Outline 外扩的隔离线, 只针对负片有效; 使用默认值 100mil。
- Plot mode: 底片输出模式。Positive: 正片; Negative 负片;
- Film mirrored: 底片是否需要镜像。一般不选;
- Full contact thermal-reliefs: 连接 Plane 层面的所有 Pin 与 Via 都用全连接方式与 Plane 层面连接, 即 Pad 的 Thermal-Relief 无效, 只对负片有效, 一般不需要选;
- Suppress unconnected pads: 是否去掉未连接的 Pad, 只有当层面为 Plane 时此项才被激活;
- Draw missing pad apertures: 若选择这项, 表示当一个 Padstack 没有相应的 Flash D-code 时, 系统可以采用较小宽度的 Line D-code 填满此 Padstack;
- Use aperture Rotation: Gerber 数据能使用镜头列表中的镜头来旋转定义的信息;
- Suppress shape fill: 选择此项表示 shape 的外形不画出。

- Vecto based pad behavior: 指定光绘底片使用基本向量的决策来确定哪一种焊盘为 Flash。

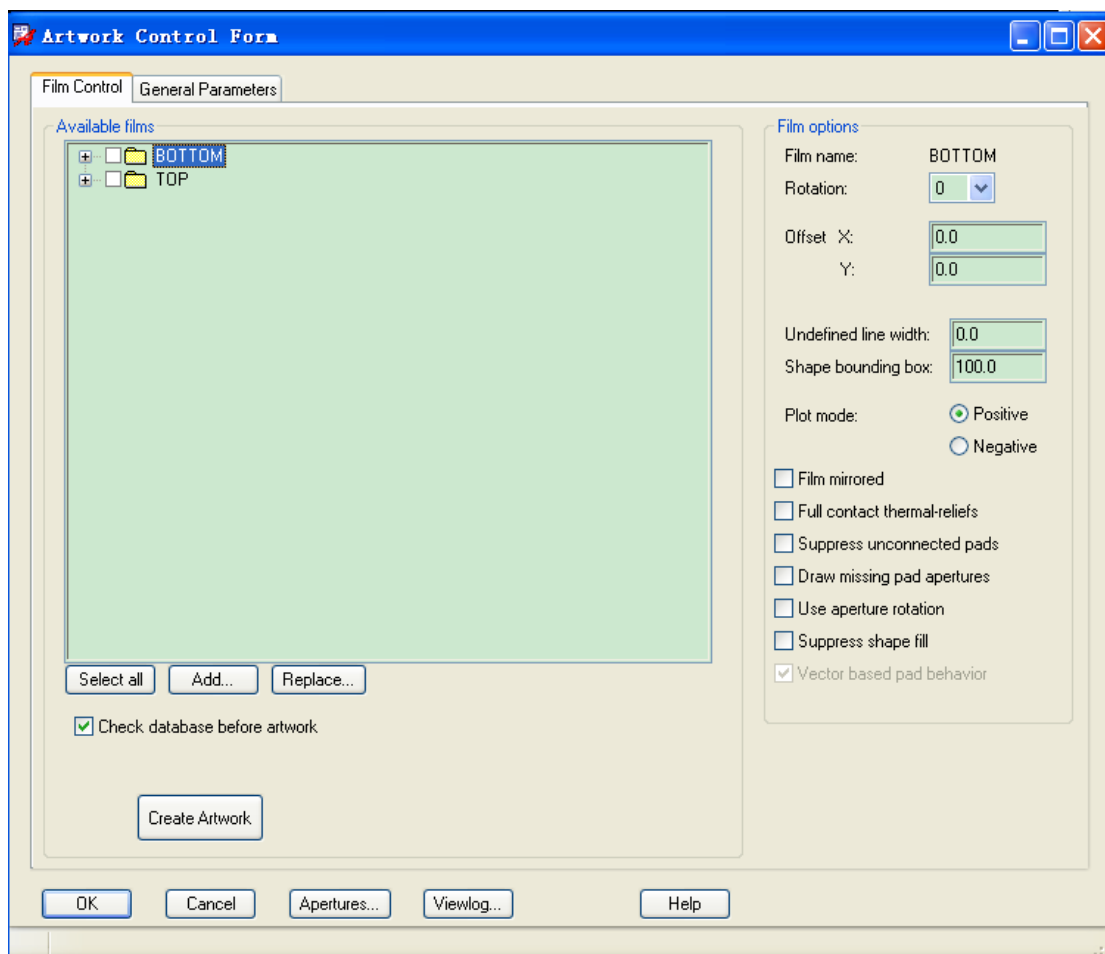


图 5.5 Artwork Control Form 对话框

接下来需要在 Available Film 栏内增加我们需要的底片资料。一般情况下需要的底片为：PCB 板每个层+两个丝印层(Top Silk,Bottom Silk)+两个阻焊层(Top soldermask,Bottom soldermask)+两个钢网层(Top Pastemask,Bottom Pastemask)+钻孔层(DRILL)。

以一个两层板为例，每个层面上底片的内容为：

- TOP: VIA CLASS/TOP
PIN/TOP
ETCH/TOP
BOARD GEOMETRY/OUTLINE
- BOTTOM: VIA CLASS/BOTTOM
PIN/BOTTOM
ETCH/BOTTOM
BOARD GEOMETRY/OUTLINE
- Drill_Dimension: MANUFACTURING/NCDRILL_LEGEND
MANUFACTURING/NCDRILL_FIGURE
MANUFACTURING/NCLEGEND-1-2
BOARD GEOMETRY/OUTLINE
BOARD GEOMETRY/DIMENSION

- Pastemask_Bot: PIN/PASTEMASK_BOTTOM
PACKAGE GEOMETRY/PASTEMASK_BOTTOM
BOARD GEOMETRY/OUTLINE
BOARD GEOMETRY/PASTEMASK_BOTTOM
- Pastemask_Top: PIN/PASTEMASK_TOP
PACKAGE GEOMETRY/PASTEMASK_TOP
BOARD GEOMETRY/OUTLINE
BOARD GEOMETRY/PASTEMASK_TOP
- Silkscreen_Bot: REF DES/SILKSCREEN_BOTTOM
PACKAGE GEOMETRY/SILKSCREEN_BOTTOM
BOARD GEOMETRY/OUTLINE
BOARD GEOMETRY/SILKSCREEN_BOTTOM
- Silkscreen_Top: REF DES/SILKSCREEN_TOP
PACKAGE GEOMETRY/SILKSCREEN_TOP
BOARD GEOMETRY/OUTLINE
BOARD GEOMETRY/SILKSCREEN_TOP
- Soldermask_Bot: PIN/SOLDERMASK_BOTTOM
PACKAGE GEOMETRY/SOLDERMASK_BOTTOM
BOARD GEOMETRY/OUTLINE
BOARD GEOMETRY/SOLDERMASK_BOTTOM
- Soldermask_Tot: PIN/SOLDERMASK_TOP
PACKAGE GEOMETRY/SOLDERMASK_TOP
BOARD GEOMETRY/OUTLINE
BOARD GEOMETRY/SOLDERMASK_TOP

如果是多层板，则增加相应的层就可以了。Available Film 栏中系统自动为我们建立两个底片 TOP, BOTTOM, 但是底片的内容与需要的还不相符，所以先调整这两个底片的内容，将 BOTTOM 展开，点周其中任一条内容，然后点击鼠标右键选择 Add，如图 5.6 所示。

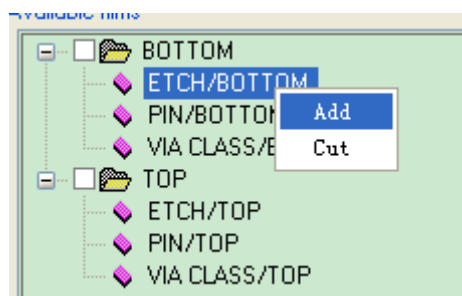


图 5.6 增加底片内容

弹出 Subclass Selection 对话框，点击 BOARD GEOMETRY 类，将 OUTLINE 勾上，如图 5.7 所示。点击 OK 关闭对话框。用同样的方法为 TOP 层底片增加 BOARD GEOMETRY/OUTLINE 增加好后如图 5.8 所示。

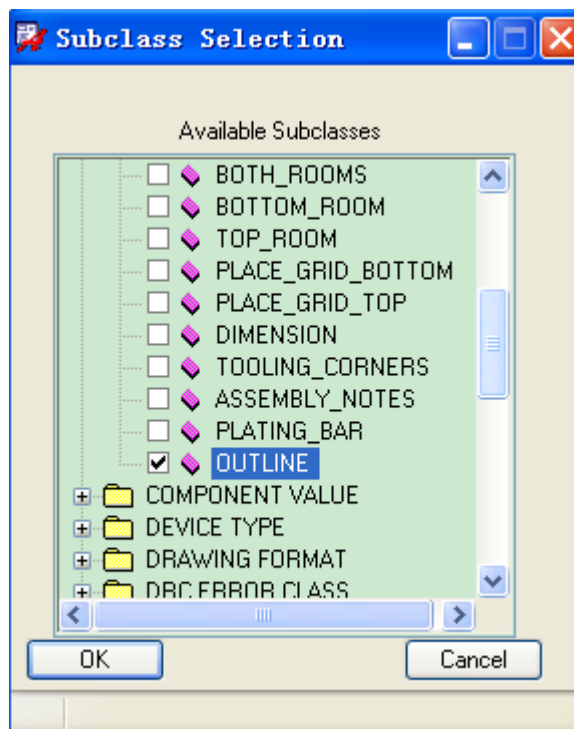


图 5.7 Subclass Selection 对话框

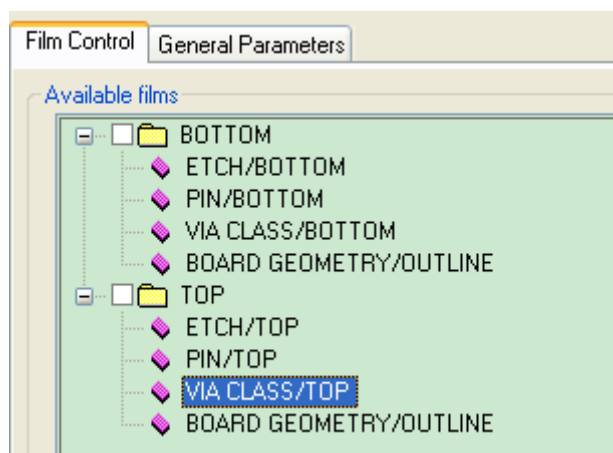


图 5.8 为底片增加内容

然后还需要增加其它的底片，点击 Available Film 栏中的最后一个底片，即 TOP，然后点击鼠标右键选择 Add，如图 5.9 所示。

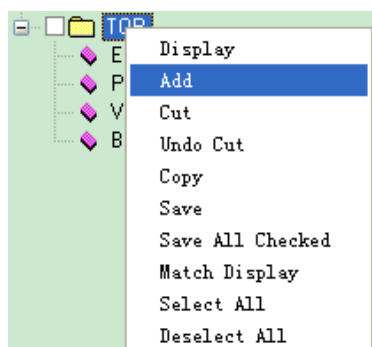


图 5.9 增加底片

弹出一个对话框，如图 5.10 所示。在编辑框内输入底片的名称，点击 OK 关闭对话框。

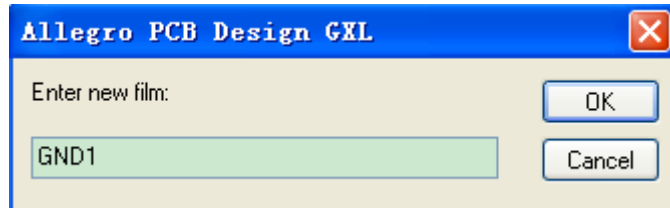


图 5.10 输入底片名称

然后，用上面的方法为新建的底片 GND1 增加内容，最后这块板的所有底片如图 5.11 所示。

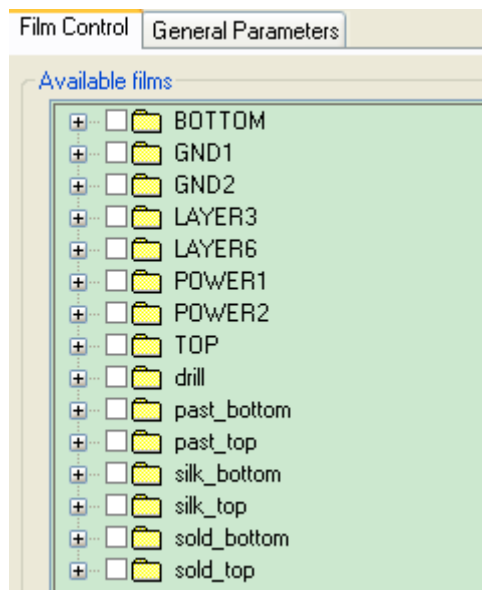


图 5.11 所有的底片

注意每增加一个底片后，都需要设置 Artwork Control Form 对话框右边的参数，特别是 Undefined line width 参数，否则生成的底片文件将不正确。

增加完所有底片和其内容后，点击 OK 关闭 Artwork control form 对话框，还需要先生成钻孔文件后才能输入正确的底片文件。

5.2 生成钻孔文件

选择菜单 Manufacture->NC->NC Parameters。如图 5.12 所示。

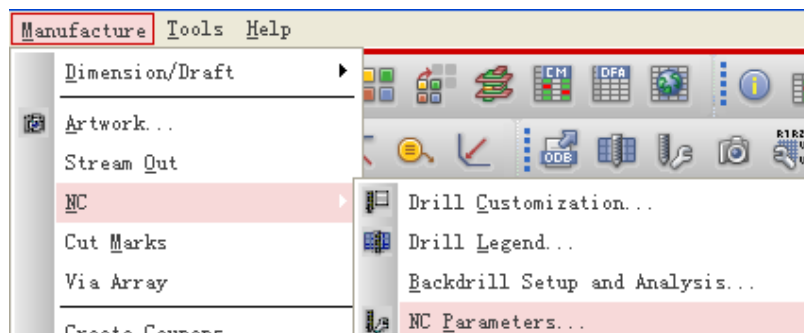


图 5.12 设置钻孔文件参数

弹出 NC Parameters 对话框。如所示。

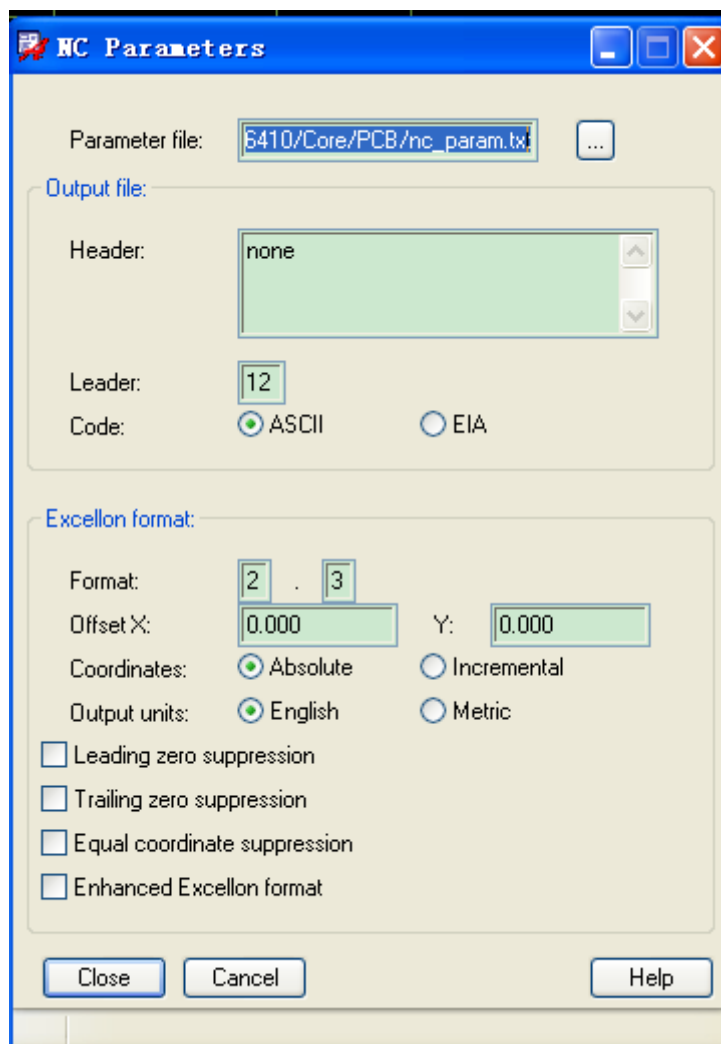


图 5.13 NC Parameters 对话框

这里只需要设置一个地方就可以了,将 Fomat 改成:3,5。这里要与 Artwork Control Form 对话框中的 Fomat 一致。然后点击 Close 关闭对话框。

然后选择菜单 Manufacture->NC->Drill Customization 更新设计文件。弹出 Drill Customization 对话框。如所示。单击 Auto generate symbols 按钮,让系统动生成钻孔标记,然后弹出一个确认对话框,点击确定即可。然后点击 OK 关闭 Drill Customization 对话框。

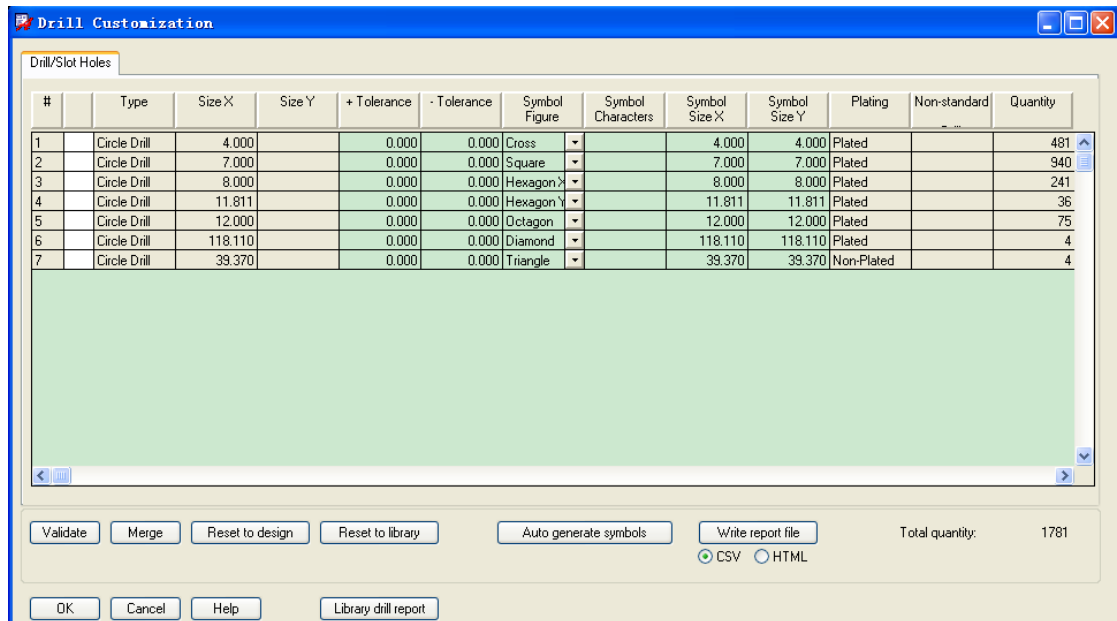


图 5.14 Drill Customization 对话框

选择菜单 Manufacture->NC->Drill Legend，弹出 Drill Legend 对话框。如图 5.15 所示。

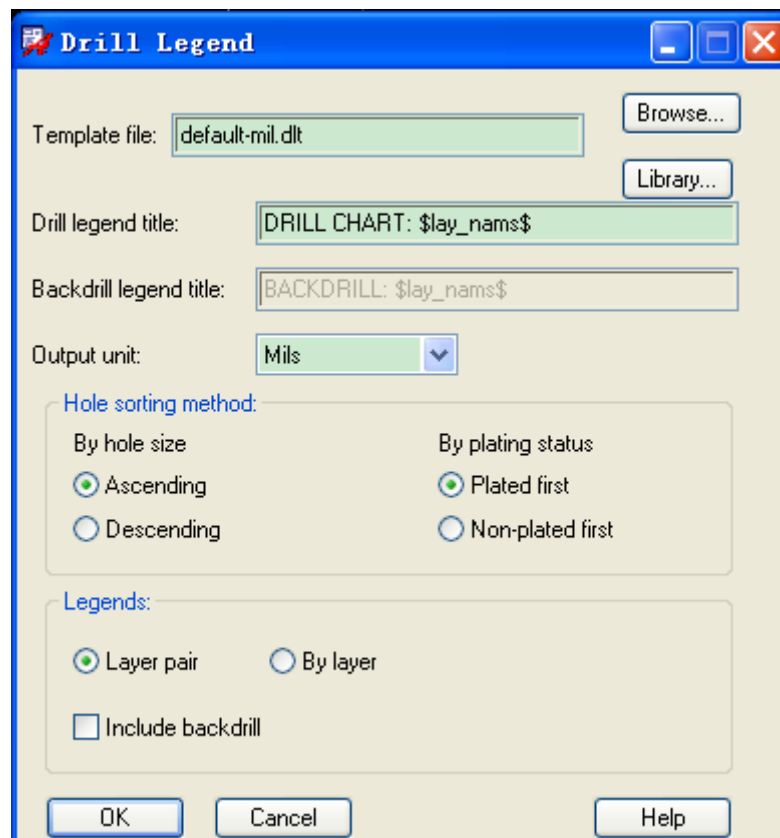


图 5.15 Drill Legend 对话框

参数选择默认即可，点击 OK 关闭对话框，这时在鼠标光标上就会出现一个矩形的表格，在板子周围空的地方单击鼠标左键将表格放置好即可。如图 5.16 所示。

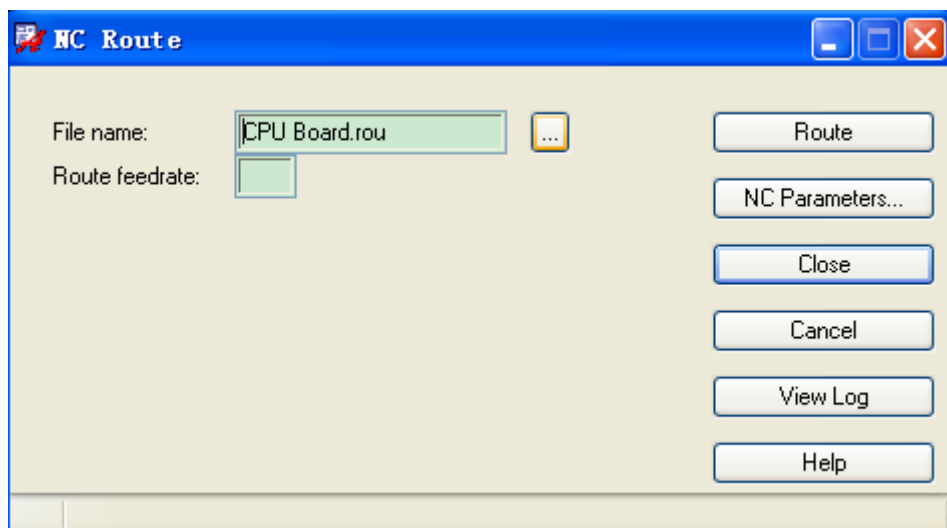


图 5.18 NC Route 对话框

5.3 输出底片文件

在输出底片文件之前，需要确认一下动态铜的参数。选择菜单 Shape->Global Dynamic Params 弹出 Global Dynamic Parameters 对话框。如所示。

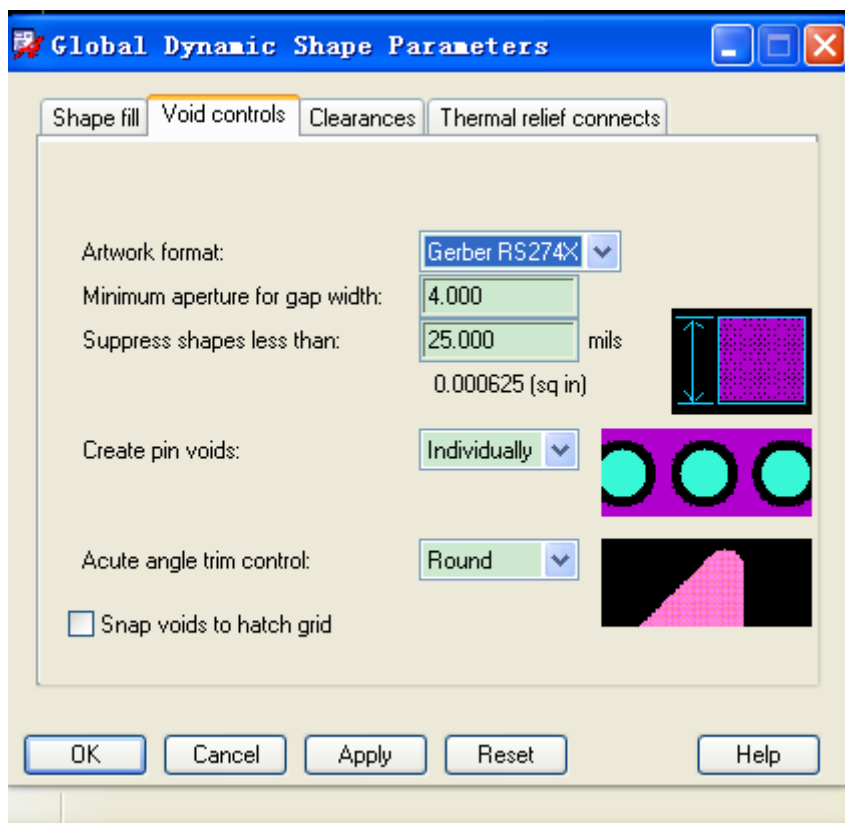


图 5.19 Global Dynamic Parameters 对话框

点击 Void controls 标签，在 Artwork format 下拉框中选择 Gerber RS274X。其它参数不需要理会，点击 OK 关闭对话框。

选择菜单 Manufacture->Artwork，弹出 Artwork control form 对话框，如图 5.20 所示。

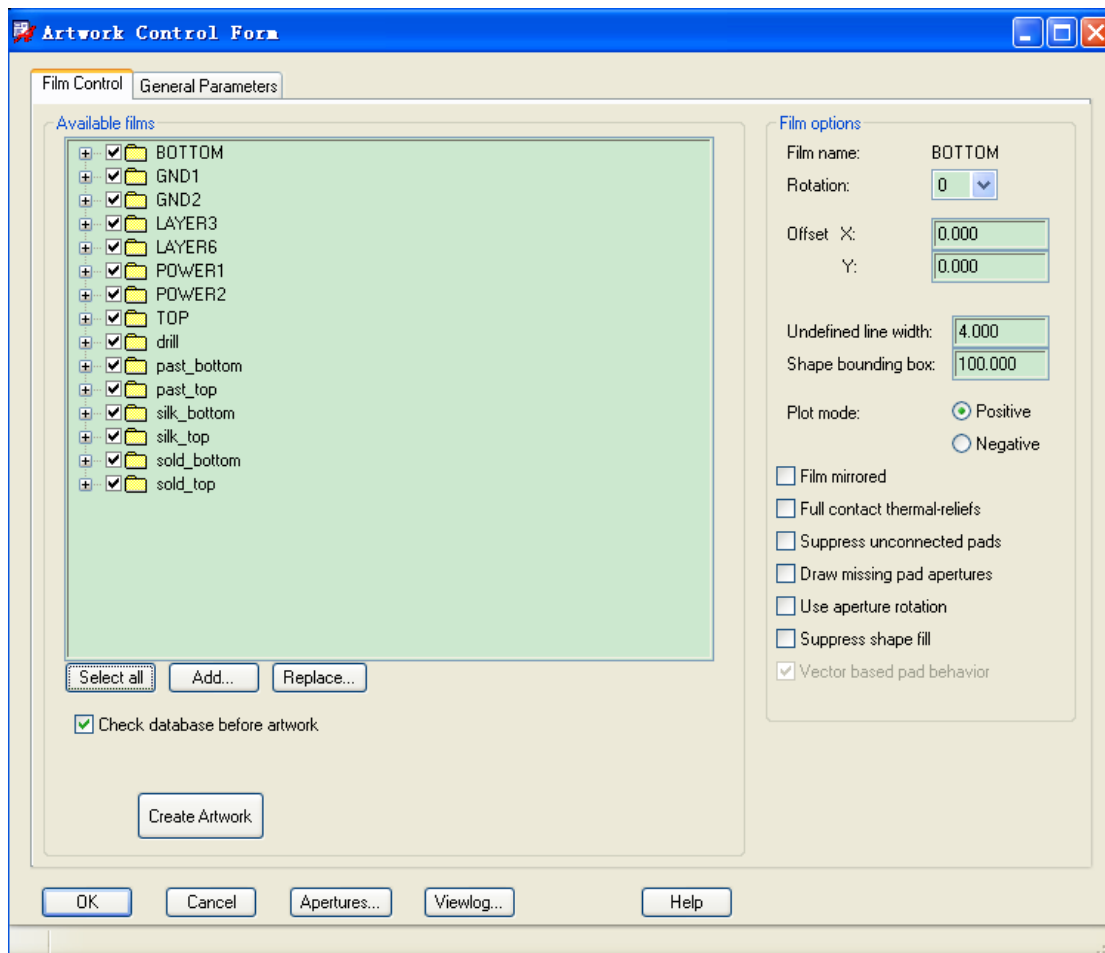


图 5.20 Artwork control form 对话框

点击 Select all 按钮选择所有的底片，也可以将需要的底片单独选中。然后点击 Create Artwork 按钮。系统将生成与底片名称一样的后缀为.art 的文件。

如果点击 Create Artwork 按钮不能生成底片文件，需要执行菜单 Tools->Database Check 弹出 DBDoctor 对话框，如图 5.21 所示。

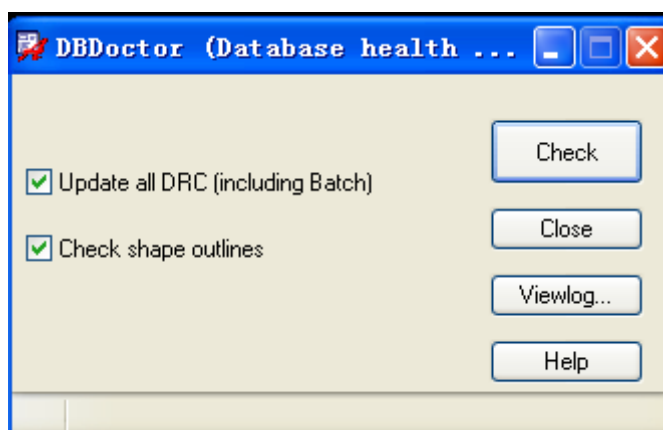


图 5.21 DBDoctor 对话框

将 Updata all DRC 与 Check shape outlines 复选框都勾上，点击 Check 按钮后查看生成的报告，确认没有致命的错误后，再输出底片文件即可。

生成底片文件后，还可以生成一些辅助的文件，点击 Artwork control form 对话框中的 Apertures 按钮，弹出 Edit Paerture 对话框，如图 5.22 所示。点击 Edit 按钮。

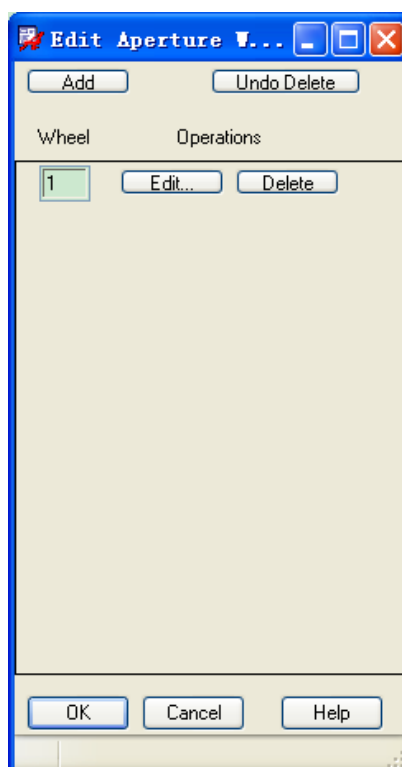


图 5.22 Edit Paerture 对话框

弹出 Edit Aperture Stations 对话框，如所示。

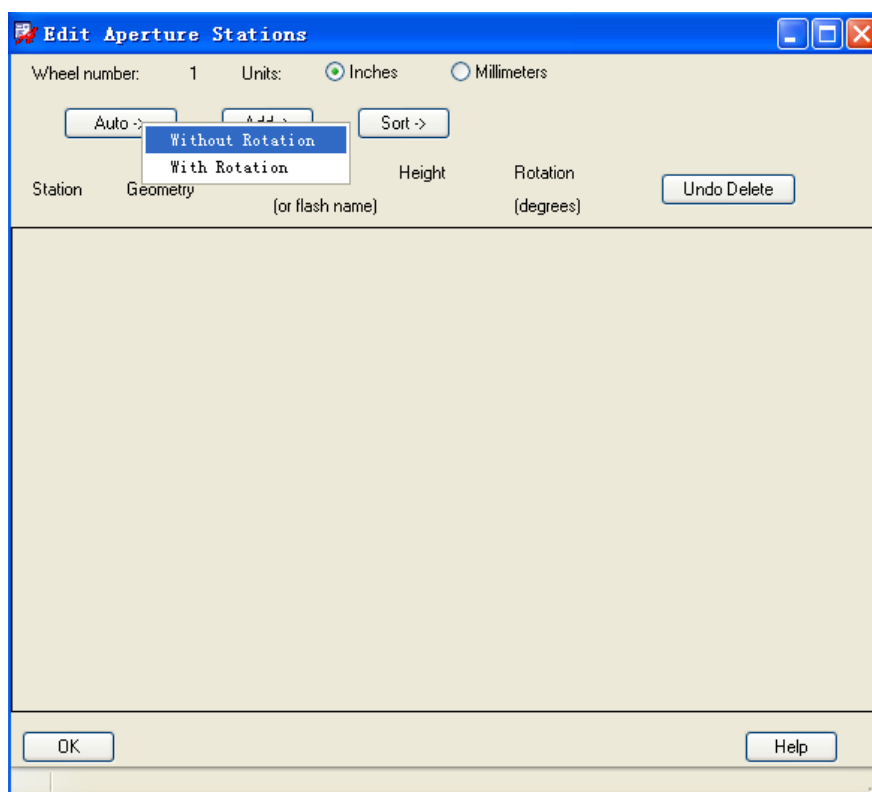


图 5.23 Edit Aperture Stations 对话框

点击 Auto->按钮，选择 Without Rotation，点击 OK 关闭所有对话框，系统会生成一个 art_aper.txt 文件，

生成网表文件与贴片坐标文件。点击 File->Export->Placment 弹出 Export Placment 对话框，如图 5.24 所示。

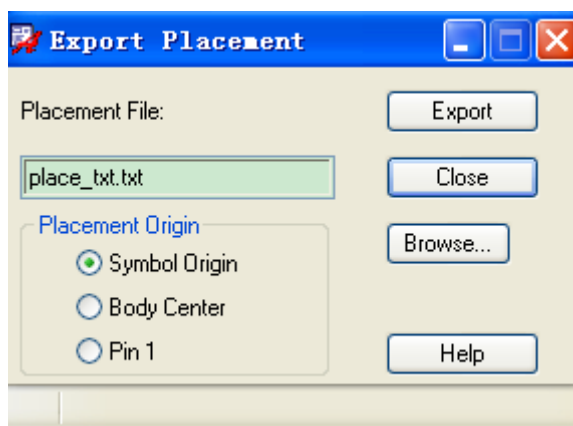


图 5.24 Export Placment 对话框

参数默认即可，点击 Export 按钮，系统将生成一个 place_txt.txt 文件。

然后选择菜单 File->Export->IPC 356，弹出 IPC-D-356 对话框，如图 5.25 所示。

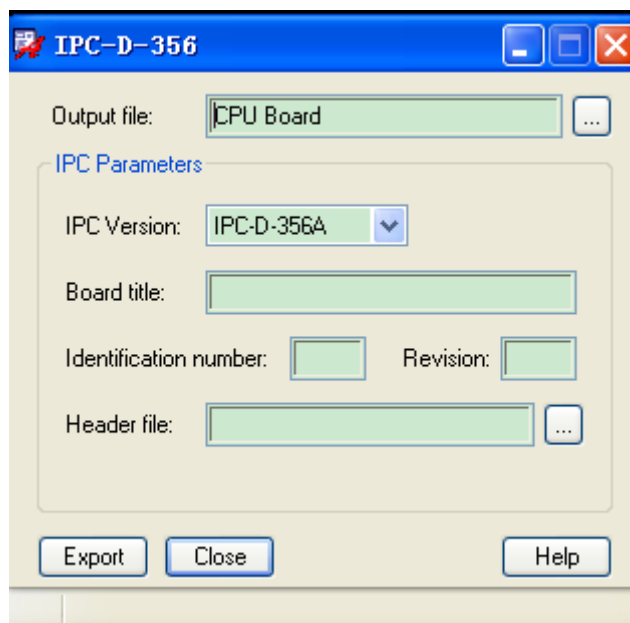


图 5.25 IPC-D-356 对话框

参数都默认，点击 Export 按钮后，系统生成一个.ipc 后缀的文件。

最后向 PCB 板厂提供的具体文件为：

- 输出的所有层面的.art 文件(除了两个钢网层)
- 输出的.drl 文件（板子上有钻孔时需要）
- 输出的.rou 文件（板子上有椭圆孔或矩形孔时需要）
- art_aper.txt 文件（可选）

-
- **.ipc** 文件 (可选)
 - **art_param.txt** 文件 (可选)

向贴片厂提供的文件为:

- 两个 Pastemask 层的**.art** 文件(TOP,BOTTOM)
- **art_aper.txt** 文件 (可选)
- **place_txt.txt** 文件 (可选)