



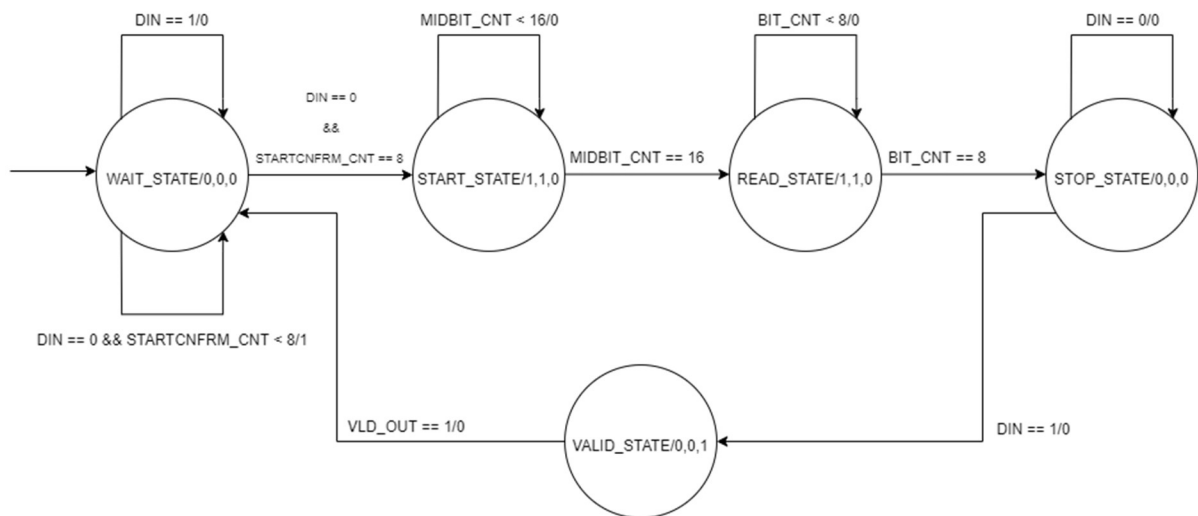
INC 2021/22

Výstupná správa 2. časť

Matúš Ďurica

xduric06

## Návrh automatu (Finite State Machine)



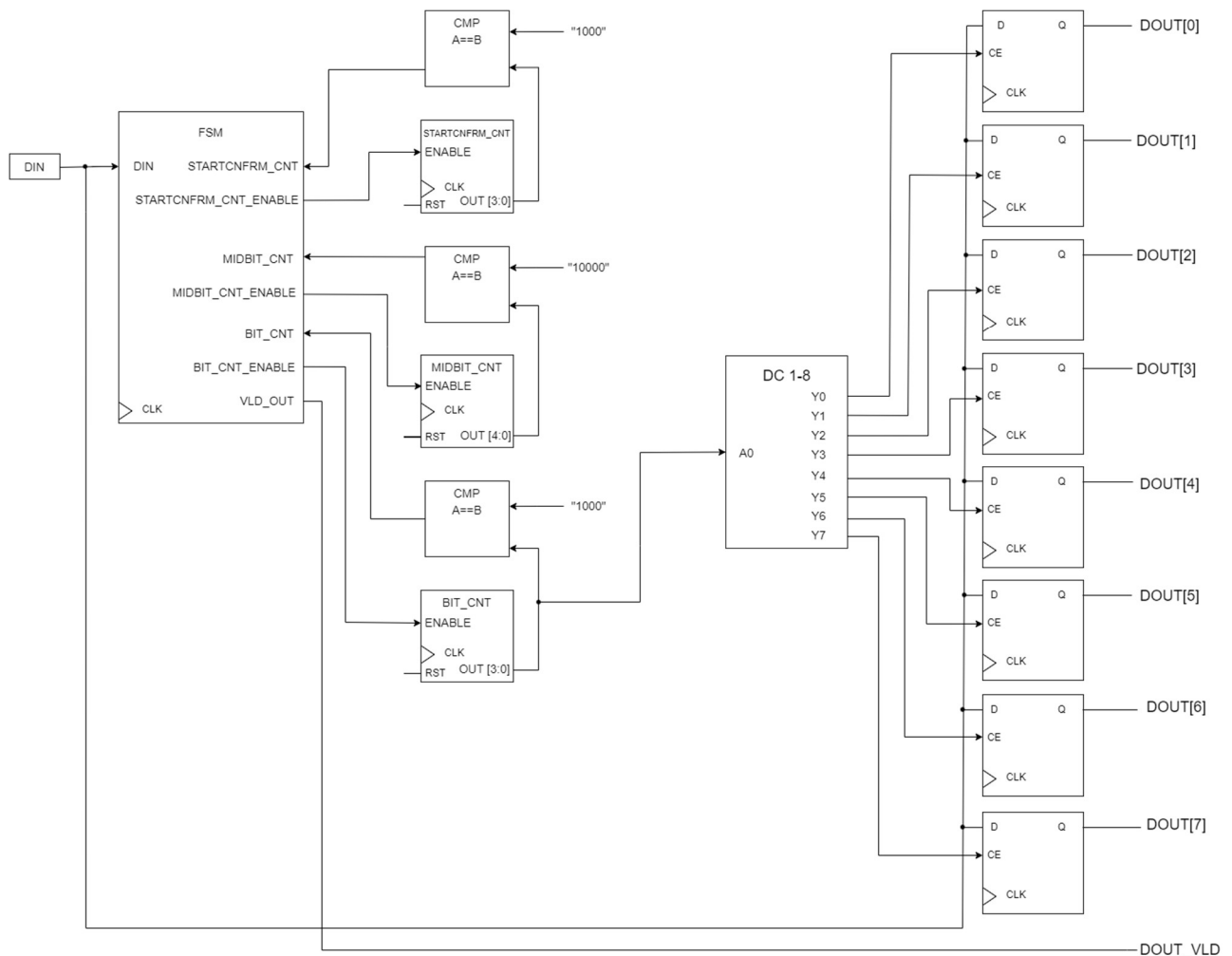
Automat je zložený z nasledujúcich stavov: *WAIT\_STATE*, *START\_STATE*, *READ\_STATE*, *STOP\_STATE*, *VALID\_STATE*

Mealyho výstupy: *STARTCNFRM\_CNT\_ENABLE*

Moorove výstupy: *MIDBIT\_CNT\_ENABLE*, *BIT\_CNT\_ENABLE*, *VLD\_OUT*

FSM začína v stave *WAIT\_STATE*. Ak na vstupe *DIN* bude log. 0 (*START\_BIT*), spustí sa counter *STARTCNFRM\_CNT*, ktorý ráta 8 CLK do *MIDBIT START\_BIT*. Ak je po 8 CLK hodnota stále 0, FSM sa prepne do stavu *START\_STATE*, v ktorom sa zapnú počítadlá *MIDBIT\_CNT* a *BIT\_CNT*. *MIDBIT\_CNT* ráta vždy 16 CLK do *MIDBIT* hodnôt nasledujúcich dátových bitov. *BIT\_CNT* ráta počet prenesených bitov. Hneď po narátaní 16 CLK sa inkrementuje *BIT\_CNT* a FSM sa prepne do stavu *READ\_STATE*, v ktorom sa prenesie zvyšných 8 bitov. Po prenesení 8 bitov sa FSM prepne do stavu *STOP\_STATE*, v ktorom čaká dokým na vstupe *DIN* nebude log. 1 (*STOP\_BIT*). Ak je hodnota *DIN* 1 FSM sa prepne do stavu *VALID\_STATE*, v ktorom sa zapíše validačný bit o hodnote 1 a automat sa prepne do počiatočného stavu *WAIT\_STATE*.

## Architektúra navrhnutého obvodu na úrovni RTL



Obvod je zložený z nasledujúcich komponentov:

- *FSM* – stavový automat
- counter *STARTCNFRM\_CNT* – počíta dobu do *MIDBIT START\_BIT*u
- counter *MIDBIT\_CNT* – počíta dobu do *MIDBIT* prvého dátového bitu
- counter *BIT\_CNT* – počíta počet dátových bitov
- *DC* – dekodér s 1 vstupom a 8 výstupmi
- 8 1bit registrov

Obvod čaká na *START\_BIT* na vstupe *DIN*. Ak je na vstupe *START\_BIT*, obvod začne rátať 8 CLK pomocou counteru *STARTCNFRM\_CNT*. Po napočítaní 8 CLK sa zapnú počítadlá *MIDBIT\_CNT* a *BIT\_CNT*. Po každých narátaných 16 CLK počítadlom *MIDBIT\_CNT* sa inkrementuje *BIT\_CNT*. Po prenesení 8 dátových bitov na výstup *DOUT[7:0]* sa obvod prepne do stavu, v ktorom očakáva *STOP\_BIT* na vstupe *DIN*. Po jeho dosiahnutí sa zapíše na *DOUT\_VLD* validačný bit s hodnotou log. 1 a po 1 CLK sa obvod prepne do počiatočného stavu.

Náhľad simulácie:

