

## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

### 1. B

解析1:

考查对于浮点数表示。

浮点数表示:  $N = \text{尾数} \times \text{基数}^{\text{指数}}$

其中尾数是用原码表示,是一个小数,通过表格和题干可知, 0 0000000001是尾数部分, 共计后11位, 其中第1位为0表示正数, 展开得 $2^{-10}$

阶码部分是用补码表示,是一个整数,通过表格和题干可知, 1 0001是整数部分, 共计前5位, 要计算其具体数值需要将其转换成原码, 通过第1位符号位1可知其为负数, 补码: 10001, 反码: 10000, 原码: 11111, 数据为-15, 基数在浮点数表示为2, 可得 $2^{-15} \times 2^{-10}$

### 2. B

解析1:

DRAM: 动态随机存取存储器, 又叫主存, 是与CPU直接交换数据的内部存储器。它可以随时读写(刷新时除外), 而且速度很快, 通常作为操作系统或其他正在运行中的程序的临时数据存储媒介, 通过周期性刷新来保持数据的存储器件, 断电丢失。

SRAM: 静态随机存取存储器, 静态随机存取存储器是随机存取存储器的一种。所谓的“静态”, 是指这种存储器只要保持通电, 里面储存的数据就可以恒常保持。

FLASH: 闪存, 特性介于EPROM和EEPROM之间, 类似于EEPROM, 也可以使用电信号进行信息的擦除操作。整块闪存可以在数秒内删除。

EEPROM: 电擦除可编程的只读存储器, 于EPROM相似, EEPROM中的内容既可以读出, 也可以进行改写。

### 3. A

解析1:

有关于寻址方式查询速度:

立即寻址是操作数直接在指令中, 速度是最快的; 寄存器寻址是将操作数存放在寄存器中, 速度中间; 直接寻址方式是指令中存放操作数的地址, 速度最慢。

### 4. C

解析1:

属于输入输出技术的中断方式:

中断向量表: 中断向量表用来保存各个中断源的中断服务程序的入口地址。当外设发出中断请求信号以后, 由中断控制器确定其中断号, 并根据中断号查找中断向量表来取得其中断服务程序的入口地址, 同时INTC把中断请求信号提交给CPU。

### 5. A

解析1:

输入/输出技术的三种方式:

直接查询控制: 有无条件传送和程序查询方式, 都需要通过CPU执行程序来查询外设的状态, 判断外设是否准备好接收数据或准备好了向CPU输入的数据。在这种情况下CPU不做别的事情, 只是不停地对外设的状态进行查询。

中断方式: 当I/O系统与外设交换数据时, CPU无须等待也不必查询I/O的状态, 而可以抽身来处理其他任务。当I/O系统准备好以后, 则发出中断请求信号通知CPU, CPU接到中断请求信号后, 保存正在执行的程序的现场, 转入I/O中断服务程序的执行, 完成于I/O系统的数据交换, 然后再返回被打断的程序继续执行。与程序控制方式相比, 中断方式因为CPU无需等待而提高了效率。

DMA: 直接寄存器存取方式, 是指数据在内存与I/O设备间的直接成块传送, 即在内存与I/O设备间传送一个数据块的过程中, 不需要CPU的任何干涉, 只需要CPU正在过程开始启动与过程结束时的处理, 实际操作由DMA硬件直接执行完成。

### 6. D

解析1:

属于常见总线的分类:

PCI总线: 是目前微型机上广泛采用的内总线, 采用并行传输方式。

SCSI总线: 小型计算机系统接口时一条并行外总线, 广泛用于连接软硬磁盘、光盘、扫描仪等。

### 7. B

## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1:

DMA处理过程由DMAC负责，传送后会给CPU发送通知，此时属于处理器外部事件，因此属于中断。

异常指当前运行指令引起的中断事件。包括错误情况引起的故障，如除零算数错误，缺页异常；也包括不可恢复的致命错误导致的终止，通常是一些硬件错误。

### 8. C

解析1:

闪存（Flash Memory）是一种长寿命的非易失性（在断电情况下仍能保持所存储的数据信息）的存储器，数据删除不是以单个的字节为单位而是以固定的区块为单位，区块大小一般为256KB到20MB。

闪存是电子可擦除只读存储器（EEPROM）的变种，EEPROM与闪存不同的是，它能在字节水平上进行删除和重写而不是整个芯片擦写，这样闪存就比EEPROM的更新速度快。由于其断电时仍能保存数据，闪存通常被用来保存设置信息。

闪存不像RAM（随机存取存储器）一样以字节为单位改写数据，因此不能取代RAM，也不能替换主存，因此C选项错误。但是在嵌入式中，可以用闪存代替ROM存储器。

### 9. C

解析1:

DMA是直接内存存取，传送数据的时间只与内存相关，与CPU的时间无关。

### 10. D

解析1:

A选项：RISC适合流水线，CISC不适合。

B选项：RISC是精简指令集系统计算机简称，使用简单的指令。CISC是复杂指令集系统计算机简称，使用复杂的指令。

C选项：RISC多寄存器寻址，所以会在实现过程中增加通用寄存器，CISC不需要采用很多通用寄存器。

D选项：RISC采用硬布线逻辑（即组合逻辑控制器）实现，CISC采用微码（即微程序）实现。D选项的说法是正确的。

指令系统类型	指令	寻址方式	实现方式	其它
CISC（复杂）	数量多，使用频率差别大，可变长格式	支持多种	微程序控制技术（微码）	研制周期长
RISC（精简）	数量少，使用频率接近，定长格式，大部分为单周期指令，操作寄存器，只有Load/Store操作内存	支持方式少	增加了通用寄存器；硬布线逻辑控制为主；适合采用流水线	优化编译，有效支持高级语言

### 11. A

解析1:

A选项程序计数器PC：存储下一条要执行指令的地址。本题选择A选项。

B选项指令寄存器IR：存储即将执行的指令。

C选项主存地址寄存器MAR：用来保存当前CPU所访问的内存单元的地址。

D选项状态条件寄存器PSW：存状态标志与控制标志。

### 12. A

## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1:

本题考查的是计算机性能指标的概念。

可靠性可以用 $MTTF/(1+MTTF)$ 来度量。本题选择A选项。

$MTBF/(1+MTBF)$ 可以用来度量可用性。

$1/(1+MTTR)$ 可以用来度量可维护性。没有 $MTTR/(1+MTTR)$ 的表示。

### 13. B

解析1:

本题考查的是计算机性能指标的概念。

吞吐量: 指在给定的时间内, 系统所能处理的任務的数量。

响应时间: 指系统对请求作出响应的時間。

容量: 存储器所能存储的全部信息量称为该存储器的容量。

负载: 负载能力一般指的是系统能够承受的最大任务数。

### 14. D

解析1:

本题是对中断的概念考查。

中断向量就是指中断服务程序的入口地址, 它存放着一条跳转到中断服务程序入口地址的跳转指令。

### 15. C,B

解析1:

本题考查计算机性能指标的计算。

第一问是关于平均CPI, 即对列出的CPI求平均数。

$4 \times 35\% + 2 \times 45\% + 6 \times 20\% = 3.5$ 。

第二问求MIPS, 即每秒执行的百万条指令数。

根据第一问CPI, 每条指令需要的时钟周期为3.5, 每个时钟周期为主频的倒数, 即 $1/2.8G$ 秒, 则每条指令需要时间 $3.5/2.8G$ 秒。

每秒执行指令数为 $1/(3.5/2.8G) = 2.8G/3.5 = 0.8G = 800M$ 。

( $1M = 10^6$ ,  $1G = 10^9$ )

### 16. B

解析1:

本题是对浮点数基本概念的考查。

浮点数运算的过程如下所示: 对阶→尾数运算→规格化。所以C、D选项描述都是错误的。

其中对阶的过程如下所示: 小数向大数看齐, 阶码小的较小数的尾数右移。所以A选项描述错误, 本题选择B选项。

### 17. A

解析1:

本题是对CPU组成相关概念的考查。

存储器和I/O设备是计算机中的其他组成部分, 与程序计数器PC无关。

CPU可以分为运算器和控制器两个部分。

运算器包括: 算术逻辑单元ALU、累加寄存器AC、数据缓冲寄存器DR。状态条件寄存器PSW归属有争议, 既可以属于运算器, 也可以属于控制器。

控制器包括: 程序计数器PC、指令寄存器IR、指令译码器ID、时序部件。

PC是控制器中的子部件。本题选择A选项。

18. D

解析1:

本题考查的是Cache的概念。

Cache与主存地址映射是由硬件完成，与操作系统、存储管理软件、程序员无关。

本题选择D选项。

19. B

解析1:

流水线建立时间即第一条指令的完成时间 $5\Delta t + 2\Delta t + 3\Delta t$ ，流水线周期即指令三步过程中最长的时间 $5\Delta t$ ，流水线执行时间=流水线建立时间+ $(n-1) \times$ 流水线周期= $5\Delta t + 2\Delta t + 3\Delta t + (500-1) \times 5\Delta t = 2505\Delta t$ 。

20. D,B

解析1:

地址从A0000H到CFFFFH，存储单元个数共有 $CFFFFH + 1 - A0000H = 30000H$ ，即 $3 \times 16^4$ 个；按字节编址，即每个存储单元存放1个字节，也就是1B；该存储区域总容量=存储单元个数 $\times$ 存储单元内容= $3 \times 16^4 \times 1B = 3 \times 2^{16}B = 192KB$ 。

若用存储容量为64K $\times$ 8bit的存储芯片构成，即单位芯片容量为64K $\times$ 8bit，总容量=单位芯片容量 $\times$ 片数，即片数=总容量/单位芯片容量=  $(192KB) / (64K \times 8bit) = 3$ 。

21. C

解析1:

CPU接收到中断请求，会将自己正在执行的程序A的状态进行保存，即保存现场，然后转去处理提交中断申请的程序B，完成程序B之后，再回到程序A中断的断点接着完成程序A。保存现场的目的是为了能正确返回被中断的程序A继续执行。

22. A

解析1:

设部件4的可靠性为x，根据图示，系统整体可靠性 $0.9 \times [1 - (1 - 0.8)^2] \times x$ ，要求其不小于0.85，即

$$0.9 \times [1 - (1 - 0.8)^2] \times x \geq 0.85, \text{ 可以得到 } X \geq \frac{0.85}{0.9 \times [1 - (1 - 0.8)^2]}$$

23. B

解析1:

在CPU内外的高速缓存是用来解决CPU与内存之间速度、容量不匹配的问题，与外存无关，可以提高CPU访问主存数据或指令的效率，所以B选项正确，D选项错误。

Cache不属于主存，与主存容量无关，所以A选项错误。

Cache容量相对于其他存储层次，量级较小，不能扩大存储系统的容量，所以C选项错误。

24. B

解析1:

本题错误的描述是B选项，RISC寻址方式比较单一，多寄存器寻址。其他描述都是正确的。

25. D

解析1:

采用模二除法运算的只有循环冗余检验CRC。

26. C



## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1:

A选项可靠度为 $R \times R \times R$ ;

B选项可靠度为 $1 - (1-R) \times (1-R) \times (1-R)$ ;

C选项可靠度为 $(1 - (1-R) \times (1-R)) \times R$ ;

D选项可靠度为 $R \times (1 - (1-R) \times (1-R))$ 。

综合4个选项来看,符合题干描述的是C选项。

### 27. C

解析1:

程序的局限性表现在时间局部性和空间局部性:

(1) 时间局部性是指如果程序中的某条指令一旦被执行,则不久的将来该指令可能再次被执行;

(2) 空间局部性是指一旦程序访问了某个存储单元,则在不久的将来,其附近的存储单元也最有可能被访问。

题干的描述指的是空间局部性。

### 28. C

解析1:

直接主存存取 (Direct Memory Access, DMA) 是指数据在主存与I/O设备间 (即主存与外设之间) 直接成块传送。

### 29. A

解析1:

CPU的操作控制功能: 一条指令功能的实现需要若干操作信号配合来完成, CPU产生每条指令的操作信号并将其送往对应的部件, 控制相应的部件按指令的功能进行操作。

CPU的运算器只能完成运算, 而控制器用于控制整个CPU的工作。

### 30. B

解析1: 根据本题题干“a or (( c<d ) and b)”, 最后计算的是or, 对于或运算, 只要有一个为真则结果为真, 不需要进行后面的计算, 因此当a为true时, 可进行短路计算, 直接得到后面的结果。

### 31. A

解析1: 本题要求选择不正确的叙述。其中A选项, 流水线方式可提高单条指令的执行速度是不正确的, 对于只有单条指令的情况下, 流水线方式与顺序执行时没有区别。流水线的原理是在某一时刻可以让多个部件同时处理多条指令, 避免各部件等待空闲, 由此提高了各部件的利用率, 也提高了系统的吞吐率。

### 32. C

解析1: 对于奇偶校验, 是由若干位有效信息, 再加上一个二进制位 (校验位) 组成校验码, 其中奇校验“1”的个数为奇数, 而偶校验“1”的个数为偶数, 以此校验, 如果其中传输过程中有偶数个数据发生错误 (即1变成0或0变成1), 则“1”的个数其奇偶就不会发生改变, 也就无法发现错误了, 只有奇数个数据位发生错误, 才能发现错误。同时, 奇偶校验只能查错不能纠错。因此本题选择C选项。

### 33. C

解析1: 对于可靠度计算, 串联系统可靠度为 $R_1 \times R_2$ , 并联系统 $R_1 = 1 - (1-R) \times (1-R) \times (1-R)$ , 并联系统 $R_2 = 1 - (1-R) \times (1-R)$ , 因此本题选择C选项。

### 34. D

解析1: 在计算机中, n位补码 (最高位符号位, n-1位数据位), 表示范围是 $-2^{n-1} \sim +2^{n-1}-1$ , 其中最小值为人为定义, 以n=8为例, 其中-128的补码是人为定义的1000 0000。

### 35. A

## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1: BIOS (Basic Input Output System) (基本输入输出系统) 是一组固化到计算机内主板上一个ROM芯片上的程序, 它保存着计算机最重要的基本输入输出的程序、开机后自检程序和系统自启动程序, 它可从CMOS中读写系统设置的具体信息。

本题选择A选项。

### 36. B

解析1: CPU执行指令的过程中, 会自动修改PC的内容, PC是程序计数器, 用来存放将要执行的下一条指令, 本题选择B选项。

对于指令寄存器 (IR) 存放即将执行的指令, 指令译码器 (ID) 对指令中的操作码字段进行分析和解释, 地址寄存器 (AR), 不是我们常用的CPU内部部件, 其作用是用来保存当前CPU所要访问的内存单元或I/O设备的地址。

### 37. C

解析1: 流水线处理机在执行指令时, 把执行过程分为若干个流水级, 若各流水级需要的时间不同, 则流水线必须选择各级中时间较大者为流水级的处理时间。

理想情况下, 当流水线充满时, 每一个流水级时间流水线输出一个结果。

流水线的吞吐率是指单位时间内流水线处理机输出的结果的数目, 因此流水线的吞吐率为一个流水级时间的倒数, 即最长流水级时间的倒数。

### 38. D,B

解析1: 海明不等式: 校验码个数为K, 2的K次方个校验信息, 1个校验信息用来指出“没有错误”, 满足 $m+k+1 \leq 2^k$ 。所以32位的数据位, 需要6位校验码。

第二问考查的是海明编码的规则, 构造监督关系式, 和校验码的位置相关:

数据位D<sub>9</sub>受到P<sub>4</sub>、P<sub>3</sub>、P<sub>2</sub>监督 ( $14=8+4+2$ ), 那么D<sub>5</sub>受到P<sub>4</sub>、P<sub>2</sub>的监督 ( $10=8+2$ )。

根据本题描述海明码表示为: D<sub>9</sub>D<sub>8</sub>D<sub>7</sub>D<sub>6</sub>D<sub>5</sub>D<sub>4</sub>P<sub>4</sub>D<sub>3</sub>D<sub>2</sub>D<sub>1</sub>P<sub>3</sub>D<sub>0</sub>P<sub>2</sub>P<sub>1</sub>

数据位D<sub>9</sub>由P<sub>4</sub>、P<sub>3</sub>和P<sub>2</sub>进行校验 (从右至左D<sub>9</sub>的位序为14, 即等于 $14=8+4+2=2^3+2^2+2^1$ , 因此用第8位的P<sub>4</sub>、第4位的P<sub>3</sub>和第2位的P<sub>2</sub>校验)。

D<sub>5</sub>的位序为10, 即等于 $10=8+2=2^3+2^1$ , 因此用第8位的P<sub>4</sub>、第2位的P<sub>2</sub>校验。

【这里是以 $2^n$ 展开】

### 39. B,C

解析1: 中断是指计算机运行过程中, 出现某些意外情况需主机干预时, 机器能自动停止正在运行的程序并转入处理新情况的程序, 处理完毕后又返回原被暂停的程序继续运行。

### 40. D

解析1: 对阶时, 小数向大数看齐; 对阶是通过阶码小的尾数右移实现的。

### 41. B

解析1:

程序控制 (查询) 方式: CPU需要不断查询I/O是否完成, 因此一直占用CPU。

程序中断方式: 与程序控制方式相比, 中断方式因为CPU无需等待而提高了传输请求的响应速度。

DMA方式: DMA方式是为了在主存与外设之间实现高速、批量数据交换而设置的。DMA方式比程序控制方式与中断方式都高效。CPU只负责初始化, 不参与具体传输过程。

本题DMA和程序中断方式, 是可以让外设与CPU并行的。

### 42. A

解析1: 海明码既可检错又可纠错。

### 43. A

解析1: DRAM: 动态随机存取存储器; SRAM: 静态随机存取存储器; Cache: 高速缓存; EEPROM: 电可擦可编程只读存储器。

### 44. B

## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1：地址范围内的存储单元个数： $DFFFFH - A0000H + 1 = 40000H = 4 \times 16^4 = 2^{18}$ ;

按字节编址则存储容量为 $2^{18}B$ ;

所选芯片单位容量： $32K \times 8bit = 32KB = 2^5 \times 2^{10}B = 2^{15}B$ ;

需要芯片数量=总容量/单位容量= $2^{18}B / 2^{15}B = 2^3 = 8$ 片。

### 45. C

解析1：流水线类似并行处理，所以操作周期应该选择能够满足所有操作的操作时间，此题即为取数操作的时间，即流水周期为9ns。

### 46. C

解析1：在程序的执行过程中，Cache与主存的地址映射是由硬件自动完成的。

### 47. A

解析1：本题考查计算机组成原理中的高速缓存的基础知识。高速缓存Cache有如下特点：它位于CPU和主存之间，由硬件实现；容量小，一般在几KB到几MB之间；速度一般比主存快5到10倍，由快速半导体存储器制成；其内容是主存内容的副本（所以Cache无法扩大主存的容量），对程序员来说是透明的；Cache既可存放程序又可存放数据。

Cache存储器用来存放主存的部分拷贝（副本）。控制部分的功能是：判断CPU要访问的信息是否在Cache存储器中，若在即为命中，若不在则没有命中。命中时直接对Cache存储器寻址。未命中时，若是读取操作，则从主存中读取数据，并按照确定的替换原则把该数据写入Cache存储器中。若是写入操作，则将数据写入主存即可。

Cache并不能扩大主存的容量，它与主存是两个部分。

### 48. C

解析1：本题考查组成原理中的海明校验码。

只要是海明码按合法的方式编码，就能纠错。所以，本题实际上就是求海明码中校验位的长度。海明码中所需要的校验码位数，有这样的规定：假设用N表示添加了校验码位后整个信息的二进制位数，用K代表其中有效信息位数，r表示添加的校验码位，它们之间的关系应满足： $2^r \geq K + r + 1 = N$ 。

本题中K=16，则要求 $2^r \geq 16 + r + 1$ ，根据计算可以得知r的最小值为5。

### 49. B

解析1：本题考查系统可靠度的概念。

串联部件的可靠度=各部件的可靠度的乘积。

并联部件的可靠度=1-部件失效率的乘积。

题目中给出的系统是“先并后串”。

此时先求出三个R并联可靠度为： $1 - (1-R)^3$

然后求出两个R并联可靠度为： $1 - (1-R)^2$

最终整个系统的可靠度是两者之积： $(1 - (1-R)^3) \times (1 - (1-R)^2)$ 。

### 50. D

解析1：本题考查DMA方式的特点。在计算机中，实现计算机与外部设备之间数据交换经常使用的方式有无条件传送、程序查询、中断和直接存储器存取（DMA）。其中前三种都是通过CPU执行某一段程序，实现计算机内存与外设间的数据交换。只有DMA方式下，CPU交出计算机系统总线的控制权，不参与内存与外设间的数据交换。而DMA方式工作时，是在DMA控制硬件的控制下，实现内存与外设间数据的直接传送，并不需要CPU参与工作。由于DMA方式是在DMA控制器硬件的控制下实现数据的传送，不需要CPU执行程序，故这种方式传送的速度最快。

### 51. A

解析1：本题考查计算机组成原理中数据运算基础知识。

在逻辑运算中，设A和B为两个逻辑变量，当且仅当A和B的取值都为“真”时，A与B的值为“真”；否则A与B的值为“假”。当且仅当A和B的取值都为“假”时，A或B的值为“假”；否则A或B的值为“真”。当且仅当A、B的值不同时，A异或B为“真”，否则A异或B为“假”。对于16位二进制整数a，其与0000000000001111（即十六进制数000F）进行逻辑与运算后，结果的高12位都为0，低4位则保留a的低4位，因此，当a的低4位全为0时，上述逻辑与运算的结果等于0。

### 52. B



## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1： 本题考查计算机组成原理中的CPU构成。

答案应该是累加寄存器，用来暂时存放算术逻辑运算部件ALU运算的结果信息。程序计数器（PC）是下一条指令地址的地方，计算之前就要用到。指令寄存器（IR）保存当前正在执行的一条指令。地址寄存器（AR）用来保存当前CPU所要访问的内存单元的地址。

### 53. B

解析1：

本题表示的是可用性指标。

MTBF为平均失效间隔时间，则可用性用 $MTBF/(1+MTBF)$ 表示。（可用性是指在给定的时间点上，一个系统能够正确运作的概率）

MTTF为平均无故障时间，则可靠性可用 $MTTF/(1+MTTF)$ 表示。（可靠性是指系统在给定的时间间隔内、给定条件下无失效运作的概率）

注：在《软件设计师教程（第5版）》中，平均无故障时间定义为MTBF，与本题有区别。

### 54. B

解析1： 根据逻辑运算符的优先级，最后计算的为“&&”运算，当左侧为假时，则右侧不需要计算，整个表达式为假；当左侧为真时，需要继续计算右侧表达式，即当x为真时，需要计算后面的表达式，此时与z值无关。

本题B选项正确。

### 55. D

解析1： 在程序的执行过程中，Cache与主存的地址映射是由硬件自动完成的。

### 56. D

解析1： 流水线方式，即当一条指令完成取指，进行分析的时候，下一条指令同一时间开始取指，流水线建立的时间即第一条指令执行时间，此后各指令段执行过程中最大的执行时间即各指令的执行时间，所以流水线执行指令的时间为第一条指令执行时间+（指令数-1）×各指令段执行时间中最大的执行时间。

$$4 \Delta t + 3 \Delta t + 2 \Delta t + (100-1) \times 4 \Delta t = 405 \Delta t$$

### 57. C

解析1： 海明码的构造方法是：在数据位之间插入k个校验位，通过扩大码距来实现检错和纠错。设数据位是n位，校验位是k位，则n和k必须满足以下的关系。 $2^K - 1 \geq n+k$

数据为16位时，至少需要5位校验位。 $2^5 - 1 \geq 16+5$

### 58. B

解析1：

如果浮点数的阶码（包括1位阶符）用R位的移码表示，尾数（包括1位数符）用M位的补码表示，则浮点数表示的数值范围如下。

最大正数： $+(1-2^{-M+1}) \times 2^{(2^{R-1}-1)}$ ，最小负数： $-1 \times 2^{(2^{R-1}-1)}$ 。

### 59. C

解析1： PC（程序计数器）是用于存放下一条指令所在单元的地址。当执行一条指令时，处理器首先需要从PC中取出指令在内存中的地址，通过地址总线寻址获取。

### 60. A

解析1： CPU执行指令的过程，会根据时序部件发出的时钟信号进行操作。在取指令阶段读取的是指令；在分析和执行指令时，如果需要操作数，则读取操作数。

### 61. D

解析1： VLIW：（Very Long Instruction Word，超长指令字）一种非常长的指令组合，它把许多条指令连在一起，增加了运算的速度。

### 62. A



## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1:

(1) 直接相联映射方式。

这是一种最简单而又直接的映射方法，指主存中每个块只能映射到Cache的一个特定的块。在该方法中，Cache块地址j和主存块地址i的关系为：

$$j = i \bmod Cb$$

其中Cb是Cache的块数。这样，整个Cache地址与主存地址的低位部分完全相同。

直接映射法的优点是所需硬件简单，只需要容量较小的按地址访问的区号标志表存储器和少量比较电路；缺点是Cache块冲突概率较高，只要有两个或两个以上经常使用的块恰好被映射到Cache中的同一个块位置时，就会使Cache命中率急剧下降。

(2) 全相联映射方式。

全相联映射是指主存中任意一块都可以映射到Cache中任意一块的方式，也就是说，当主存中的一块需调入Cache时，可根据当时Cache的块占用或分配情况，选择一个块给主存块存储，所选的Cache块可以是Cache中的任意一块。这种映射方式允许主存的每一块信息可以存到Cache的任何一个块空间，也允许从已被占满的Cache中替换掉任何一块信息。全相联映射的优点是块冲突概率低；其缺点是访问速度慢，并且成本太高。

(3) 组相联映射方式。

这种方式是前两种方式的折中方案。这种映射方式在组间是直接映射，而组内是全相联映射，其性能和复杂性介于直接映射和全相联映射之间。

本题选择A选项。

### 63. B

解析1:

90H 即为二进制的：10010000。补码最高位为符号位，1表示负号，所以说明此数为负数，其反码为补码减1：1000 1111，其原码为反码除符号位皆取反：1111 0000，即 - 112， $2X = - 112$ ，所以 $X = -56$ 。

### 64. A

解析1：移位运算符就是在二进制的基础上对数字进行平移。按照平移的方向和填充数字的规则分为三种：<<(左移)、>>(带符号右移)和>>>(无符号右移)。而算术左移、算术右移和逻辑右移的规则与上述移位运算符——对应。在数字没有溢出的前提下，对于正数和负数，算术左移，即左移一位都相当于乘以2的1次方，左移n位就相当于乘以2的n次方。

### 65. C

解析1：题干指出本题为按字节编址，因此每个存储单元对应1B容量。

而地址范围内的存储单元个数为： $(B13FF-A1000H+1) / 1024 = 65K$ 。（注意单位转换为K）

对应存储容量为65KB。

### 66. C

解析1：在单总线结构中，CPU与主存之间、CPU与I/O设备之间、I/O设备与主存之间、各种设备之间都通过系统总线交换信息。单总线结构的优点是控制简单方便，扩充方便。但由于所有设备部件均挂在单一总线上，使这种结构只能分时工作，即同一时刻只能在两个设备之间传送数据，这就使系统总体数据传输的效率和速度受到限制，这是单总线结构的主要缺点。

### 67. A

解析1：CISC是复杂指令系统计算机，RISC是精简指令系统计算机。

### 68. B

解析1：本题考查计算机组成基础知识。

本题是按字节编址，因此一个存储单元容量为1B，直接计算16进制地址包含的存储单元个数即可。

$DABFFH-B3000H+1=27C00H=12 \times 16^2 + 7 \times 16^3 + 2 \times 16^4 = 159K$ ，按字节编址，故此区域的存储容量为159KB。

### 69. C

## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1：立即寻址是一种特殊的寻址方式，指令中在操作码字段后面的部分不是通常意义上的操作数地址，而是操作数本身，也就是说数据就包含在指令中，只要取出指令，也就取出了可以立即使用的操作数。

在直接寻址中，指令中地址码字段给出的地址A就是操作数的有效地址，即形式地址等于有效地址。

间接寻址意味着指令中给出的地址A不是操作数的地址，而是存放操作数地址的主存单元的地址，简称操作数地址的地址。

寄存器寻址指令的地址码部分给出了某一个通用寄存器的编号 $R_i$ ，这个指定的寄存器中存放着操作数。

### 70. B

解析1：浮点数能表示的数的范围由阶码的位数决定，精度由尾数的位数决定。

### 71. A

解析1：虚拟存储器是一个容量非常大的存储器的逻辑模型，不是任何实际的物理存储器。它借助于磁盘等辅助存储器来扩大主存容量，使之成为更大或更多的程序所使用。

虚拟存储器指的是主存-外存层次。它以透明的方式给用户提供了一个比实际主存空间大得多的程序地址空间。此时的程序的逻辑地址称为虚拟地址（虚地址），程序的逻辑地址空间称为虚拟地址空间。物理地址（实地址）由CPU地址引脚送出，它是用于访问主存的地址。设CPU地址总线的宽度为 $m$ 位，那么物理地址空间的大小用 $2^m$ 来表示。

### 72. D

解析1：

指令周期（Instruction Cycle）：取出并执行一条指令的时间。

总线周期（BUS Cycle）：也就是一个访存储器或I/O端口操作所用的时间。

时钟周期（Clock Cycle）：又称震荡周期，是处理操作的最基本单位。

指令周期、总线周期和时钟周期之间的关系：一个指令周期由若干个总线周期组成，而一个总线周期时间又包含有若干个时钟周期。

一个总线周期包含一个（只有取址周期）或多个机器周期。

机器周期：在计算机中，为了便于管理，常把一条指令的执行过程划分为若干个阶段，每一阶段完成一项工作。例如，取指令、存储器读、存储器写等，这每一项工作称为一个基本操作。完成一个基本操作所需要的时间称为机器周期。

DMA响应过程为：DMA控制器对DMA请求判别优先级及屏蔽，向总线裁决逻辑提出总线请求。当CPU执行完当前总线周期即可释放总线控制权。此时总线裁决逻辑输出总线应答，表示DMA已经响应，通过DMA控制器通知I/O接口开始DMA传输。

### 73. D

解析1：采用异步控制方式在给流水线提速的同时，会明显增加流水线阻塞的概率，所以不会明显提高整体性能。

### 74. C

解析1：总线的带宽指单位时间内传输的数据总量。

在计算机当中，时钟频率是其时钟周期的倒数，表示时间的度量，本题时钟周期为 $1/200\text{MHz}$ 。

总线宽度是指总线的线数，即数据信号并行传输的能力，本题传送大小与总线宽度一致，不需要处理。

传送32bit的字，即数据总量为32bit；5个时钟周期，即 $(1/200\text{MHz}) \times 5$ ，为总时间。

带宽=数据总量/总时间（注意单位的转换）。

即总带宽=32bit/  $(5/200\text{MHz}) = 1280\text{Mbit/s} = 160\text{MB/s}$ 。

### 75. D

解析1：本题考查计算机系统的基础知识。

中断系统是计算机实现中断功能的软硬件总称。一般在CPU中设置中断机构，在外设接口中设置中断控制器，在软件上设置相应的中断服务程序。中断源在需要得到CPU服务时，请求CPU暂停现行工作转向为中断源服务，服务完成后，再让CPU回到原工作状态继续完成被打断的工作。中断的发生起始于中断源发出中断请求，中断处理过程中，中断系统需要解决一系列问题，包括中断响应的条件和时机，断点信息的保护与恢复，中断服务程序入口、中断处理等。中断响应时间，是指从发出中断请求到开始进入中断服务程序所需的时间。

### 76. A

解析1：全相联映像块冲突最小，其次为组相联映像，直接映像块冲突最大。

### 77. A

解析1：补码表示定点小数，范围是： $[-1, (1-2^{-(n-1)})]$ ，这个范围一共有 $2^n$ 个数。

## 78. C

解析1： 题目中的存储设备按访问速度排序为：通用寄存器>Cache>内存>硬盘。

## 79. B

解析1：

Flynn于1972年提出了计算平台的Flynn分类法，主要根据指令流和数据流来分类，共分为四种类型的计算平台：

单指令流单数据流机器（SISD）

SISD机器是一种传统的串行计算机，它的硬件不支持任何形式的并行计算，所有的指令都是串行执行。并且在某个时钟周期内，CPU只能处理一个数据流。因此这种机器被称作单指令流单数据流机器。早期的计算机都是SISD机器，如冯诺·依曼架构，如IBM PC机，早期的巨型机和许多8位的家用机等。

单指令流多数据流机器（SIMD）

SIMD是采用一个指令流处理多个数据流。这类机器在数字信号处理、图像处理、以及多媒体信息处理等领域非常有效。

Intel处理器实现的MMXTM、SSE（Streaming SIMD Extensions）、SSE2及SSE3扩展指令集，都能在单个时钟周期内处理多个数据单元。也就是说我们现在用的单核计算机基本上都属于SIMD机器。

多指令流单数据流机器（MISD）

MISD是采用多个指令流来处理单个数据流。由于实际情况中，采用多指令流处理多数据流才是更有效的方法，因此MISD只是作为理论模型出现，没有投入到实际应用之中。

多指令流多数据流机器（MIMD）

MIMD机器可以同时执行多个指令流，这些指令流分别对不同数据流进行操作。最新的多核计算平台就属于MIMD的范畴，例如Intel和AMD的双核处理器等都属于MIMD。

## 80. A

解析1：

本题考查计算机复杂指令集。

CISC计算机指复杂指令集计算机，是20世纪六、七十年代发展起来的系列计算机。这种计算机所支持的指令系统趋于多用途、强功能化。指令系统围绕着缩小与高级语言的语义差距以及有利于操作系统的优化而设计。指令系统的复杂化使得设计周期变长，正确性难于保证，不易维护。而且在复杂的指令系统中，只有少数基本指令是经常使用的，需要大量硬件支持的复杂指令利用率却很低。所以在70年代末，随着VLSI技术的发展产生了RISC计算机。

RISC计算机指精简指令集计算机，这种计算机有下列特点。

- (1)指令系统中只包含使用频率较高但不复杂的指令。
- (2)指令长度固定，指令格式少，寻址方式少。
- (3)只有存取数指令访问主存，其他指令都在寄存器之间运算。
- (4)大部分指令在一个机器周期内完成，采用流水技术。
- (5)CPU中增加了通用寄存器的数量。
- (6)硬联逻辑控制，不用微程序控制技术。
- (7)采用优化的编译，以有效地支持高级语言。

## 81. D

解析1： DCFFFH+1-A5000H=38000H=224KB

## 82. B

解析1：

运算器：

- ① 算术逻辑单元ALU
- ② 累加寄存器
- ③ 数据缓冲寄存器
- ④ 状态条件寄存器

控制器：

- ① 程序计数器PC
- ② 指令寄存器IR
- ③ 指令译码器
- ④ 时序部件



## 83. D

解析1:

本题考查存储系统的基础知识。

计算机存储系统的设计主要考虑容量、速度和成本三个问题。容量是存储系统的基础，都希望配置尽可能大的存储系统；同时要求存储系统的读写速度能与处理器的速度相匹配；此外成本也应该在一个合适的范围之内。但这三个目标不可能同时达到最优。一般情况下，存储设备读写速度越快，平均单位容量的价格越高，存储容量越小；反之，存储设备读写速度越慢，平均单位容量的价格越低，存储容量越大。为了在这三者之间取得平衡，就采用分级的存储体系结构，由寄存器、高速缓存、主内存、硬盘存储器、磁带机和光盘存储器等构成。操作系统经常访问较小、较贵而快速的存储设备，以较大、较便宜而读写速度较慢的存储设备作后盾。在整体上通过对访问频率的控制来提高存储系统的效能。

## 84. B

解析1：计算机内部总线为三总线结构，它们分别是地址总线、数据总线和控制总线。

数据总线：传送数据信息，CPU一次传输的数据与数据总线带宽相等

控制总线：传送控制信号和时序信号，如读/写、片选、中断响应信号等

地址总线：传送地址，它决定了系统的寻址空间

## 85. A

解析1:

内存区域从40000000H到40000000H，则其拥有的字节数为：

$$400FFFFFH - 40000000H + 1 = 100000H = 2^{20} = 1024K$$

该内存区域有1024K个字节，其空间表示为1024K×8bit，题干中给出一个芯片的空间容量为256K×8bit，需要的此空间大小的芯片数量为  
 $(1024K \times 8) / (256K \times 8) = 4$ 片。

## 86. D,B

解析1:

按顺序方式执行时间为  $(4+2+3) \times t = 600 = 5400 - t$

流水线方式：单条指令所需时间 +  $(n-1) \times (\text{流水线周期})$ ，其中，流水线周期是指：指令分段执行中时间最长的一段。该题中时间最长的一段为  $4 \times t$ ，所以流水线的周期为： $4 \times t$ ；所以该题按照流水线方式执行的时间为： $(4+2+3) \times t + (600-1) \times 4 \times t = 2405 \times t$

## 87. C

解析1:

设：N为待发送海明码的总位数，n是有效信息位数，r是校验位个数（分成r组作奇偶校验，能产生r位检错信息）

校验位的个数r应满足公式： $N = n + r \leq 2^r - 1$ 。

此题中  $n = 48$ ，校验位个数为k，则  $n + k \leq 2^k - 1$ ，即  $48 + k \leq 2^k - 1$ ，则k为6。

## 88. B

解析1:

如下图所示：

n-1	n-2	n-3	...	0
符号位			...	

最大值为n-1位（符号位）为0（正数），从n-2到0位都为1，值为  $2^{n-1} - 1$ 。

## 89. D

## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1:

本题考查寄存器的类型和特点。

寄存器是CPU中的一个重要组成部分，它是CPU内部的临时存储单元。寄存器既可以用来存放数据和地址，也可以存放控制信息或CPU工作时的状态。在CPU中增加寄存器的数量，可以使CPU把执行程序时所需的数据尽可能地放在寄存器中，从而减少访问内存的次数，提高其运行速度。但是寄存器的数目也不能太多，除了增加成本外，由于寄存器地址编码增加也会对增加指令的长度。CPU中的寄存器通常分为存放数据的寄存器、存放地址的寄存器、存放控制信息的寄存器、存放状态信息的寄存器和其他寄存器等类型。

程序计数器用于存放指令的地址。令当程序顺序执行时，每取出一条指令，PC内容自动增加一个值，指向下一条要取的指令。当程序出现转移时，则将转移地址送入PC，然后由PC指向新的程序地址。

程序状态寄存器用于记录运算中产生的标志信息，典型的标志为有进位标志位、零标志位、符号标志位、溢出标志位、奇偶标志位等。

地址寄存器包括程序计数器、堆栈指示器、变址寄存器、段地址寄存器等，用于记录各种内存地址。

累加寄存器是一个数据寄存器，在运算过程中暂时存放被操作数和中间运算结果，累加器不能用于长时间地保存一个数据。

### 90. C

解析1:

计算机字长为32位，按字编址（即1个字32个位，4个字节），则总容量为2GB的内存可规划的单元地址数量为：2GB/32bit=2GB/4B=0.5G=512M。

### 91. A

解析1:

RISC是精简指令集计算机的简略缩写，其风格是强调计算机结构的简单性和高效性。RISC设计是从足够的不可缺少的指令集开始的。它的速度比那些具有传统复杂指令组计算机结构的机器快得多，而且RISC机由于其较简洁的设计，较易使用，故具有更短的研制开发周期。RISC与CISC相比，指令种类更精简，指令长度基本保持一致，寻址方式比较单一，一般使用寄存器寻址，研发周期更短，指令格式等长，容易用硬布线逻辑实现，适合高效的流水线操作。

### 92. C

：解析1:

当流水线各段所经历的时间不一样时，吞吐率的计算公式为：

$$TP = \frac{n}{\sum_{i=1}^m \Delta t_i + (n-1)\Delta t_j}$$

式中分子为指令数，本题为n=8；

分母为流水线执行时间，根据理论公式：

流水线执行时间计算=一条指令顺序执行时间+（n-1）\*流水线周期=（1+t+2+t+3+t+1+t）+（8-1）\*3=t=28+t

综上可得，吞吐率TP=8/28=t，为C选项。

【其中流水线周期为指令耗时最长的一段。】

### 93. D

解析1:

计算机运算溢出检测机制，采用双符号位，00表示正号，11表示负号。如果进位将会导致符号位不一致，从而检测出溢出。结果的符号位为01时，称为上溢；为10时，称为下溢。

由此可知，溢出时如果对两个符号位进行异或运算，结果为1，符合题目条件。

### 94. B

解析1:

指令寄存器IR是用来存放要执行的指令的,所以跟指令的长度有关。

### 95. A

## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1:

Cache与主存的地址映像需要专门的硬件自动完成,使用硬件来处理具有更高的转换速率。

### 96. B,C

解析1:

从80000H到BFFFFH有BFFFFH-80000H+1个地址单元,即40000H个地址单元。若按字节编址,有 $2^{18}$ 个字节,即256KB。若用16K\*4bit的存储芯片,需要 $(256K*1B)/(16K*4bit)=(256K*8bit)/(16K*4bit)=(256K*2*4bit)/(16K*4bit) = 32$ 片芯片。

### 97. C

解析1:

DMA控制外设和主存之间的数据传送,无须CPU的干预。因此DMA工作方式下,在主存和外设之间建立了直接的数据通路。

### 98. D

解析1:

断点可以保存在堆栈中,由于堆栈先进后出的特点,依次将程序的断点压入堆栈中。出栈时,按相反顺序便可准确返回到程序间断处。

### 99. C

解析1:

发生中断时,计算机可以将中断向量暂时的存储在一个地方,而当执行完别的程序时,可以从暂存的地方将中断向量取出放入原来的位置,从而可以执行原来中断的程序,即中断向量可描述中断服务程序的入口地址。

### 100. A

解析1:

虚拟存储器是为了给用户提供更大量的随机存储空间而采用的一种存储技术。它将内存和外存结合使用,速度接近于主存,成本与辅存相近。所以虚拟存储器由主存和辅存组成。

### 101. C

解析1:

简而言之,系统总线就是用来连接微机各功能部件而构成一个完整微机系统的总线,因此系统总线是微机系统中最重要的总线,我们常说的微机总线就是指系统总线,比如PC总线、ISA总线、EISA总线、PCI总线等都属于系统总线。

SCSI是小型计算机系统接口的简称,是一种智能的通用接口标准。可以说是各种计算机与外部设备之间的接口标准。

### 102. D

解析1:

在计算机中,实现计算机与外部设备之间数据交换经常使用的方式有无条件传送、程序查询、中断和直接存储器存取(即DMA)。其中前三种都是通过CPU执行某一段程序,实现计算机内存与外设间的数据交换。只有在DMA方式下,CPU不需要过多参与工作,而只在开始和结束时作少量处理,其它时候都是将计算机系统总线的控制权交予DMA控制器,然后在DMA控制器的控制下,实现内存与外设间数据的直接传送。

由于DMA方式是在DMA控制器硬件的控制下实现数据的传送,不需要CPU执行程序,故这种方式传送数据的速度最快。

### 103. C

解析1:

相联存储器是一种按存储内容来存储和访问的存储器,不属于按寻址方式划分的存储器。

### 104. B



解析1:

在计算机中，并不用某个二进制位来表示小数点，而是隐含规定小数点的位置。若约定小数点的位置是固定的，这就是定点表示法。在定点表示法中约定：所有数据的小数点位置固定不变。通常，把小数点固定在有效数位的最前面或末尾。将小数点固定在有效数位的最前面，符号位的后面的定点数叫定点小数，一般用来表示纯小数；而另一种是将小数点固定在有效数位的末尾，这种定点数叫定点整数，也称为纯整数。

因此在本题的四个选项中，只有B选项的描述是不正确的。

105. A

解析1:

循环冗余校验码在进行编码时，其编码的结果由数据位+校验位组成，其中数据位在前，而校验位在后。

106. B

: 解析1:

CPU是一台计算机的运算核心和控制核心，其由运算器、控制器、寄存器及实现它们之间联系的数据、控制及状态的总线构成。其中运算器负责相关的逻辑、算术运算，寄存器用来存放一些相关的数据，而内部总线负责各部件间信息的传递，而控制器不仅要保证指令的正确执行，还要能够处理异常事件。

107. C

解析1:

本题主要考查逻辑与、或运算。

逻辑与运算需要考虑两个操作数的值，对于本题的运算优先级，最后计算的是逻辑或运算，而逻辑或只要第一个操作数为真，那么整个计算结果即为真，这种情况下无需考虑其第二个操作数的值。

对于逻辑或的两端分别为 (x and y) 和 (not z)，如果前者为真，则不用计算其他表达式，只有当x为真且y也为真时，整个表达式不需要计算 (not z) 部分，因此本题的答案选C。

108. C,D

解析1:

串行执行时，每条指令都需三步才能执行完，没有重叠。总的执行时间为： $(3+2+4) \times 10 = 90 \mu s$ 。

按流水线方式执行，系统在同一时刻可以进行第k条指令的取指，第k+1条指令的分析，第k+2条指令的执行，所以效率大大提高了。我们平时用的流水线计算公式是：第一条指令顺序执行时间+(指令条数-1)\*周期，而周期与三个步骤时间最长的一段保持一致，因此本题的计算结果为： $9 + (10-1) \times 4 = 45$ 。

109. B

解析1:

本题主要考查各寻址方式。

立即寻址的特点是：指令的地址字段指出的不是操作数的地址，而是操作数本身；直接寻址特点是：在指令格式的地址字段中直接指出操作数在内存的地址；寄存器寻址的特点是：指令中给出的操作数地址不是内存的地址单元号，而是通用寄存器的编号（当操作数不放在内存中，而是放在CPU的通用寄存器中时，可采用寄存器寻址方式）；寄存器间接寻址方式与寄存器寻址方式的区别在于：指令格式中操作数地址所指向的寄存器中存放的内容不是操作数，而是操作数的地址，通过该地址可在内存中找到操作数；相对寻址的特点是：把程序计数器PC的内容加上指令格式中的形式地址来形成操作数的有效地址。

在本题中，指令中的两个操作数，分别使用的是寄存器寻址和立即寻址，因为在这个指令中，其第一个操作数字段是一个寄存器编号，而第二个操作数字段就是操作数本身。

110. C

解析1:

相联存储器一种按内容进行存储和访问的存储器。

111. D

解析1:

本题考查计算机中的存储部件组成

内存按字节编址，地址从0000A000H到0000BFFFH时，存储单元数为0000BFFFH -0000A000H +1H=00002000H，转换为二进制后为0010 0000 0000 0000即 $2^{13}$ ，即8K个存储单元。

112. A

解析1:

从Cache-主存层次实现的目标看，一方面既要使CPU的访问速度接近于访Cache的速度，另一方面为用户程序提供的运行空间应保持为主存容量大小的存储空间。在采用Cache-主存层次的系统中，Cache对用户程序而言是透明的，也就是说，用户程序可以不需要知道Cache的存在。因此，CPU每次访问时，依然和未使用Cache的情况一样，给出的是一个主存地址。但在Cache-主存结构中，CPU首先访问的是Cache，并不是主存。为此，需要一种机制将CPU的访主存地址转换成访Cache地址，这个处理过程对速度要求非常高，因此其是完全由硬件来完成的。

113. B

解析1:

在计算机中，通常都是二进制代码，如果我们要将一个信息放到计算机中去表述，就都需要将其编码为二进制代码，在编码时，每一种二进制代码，都赋予了特定的含义，即都表示了一个确定的信号或者对象。而译码就是编码的逆过程。

CPU中的译码器的主要作用是对指令进行译码。

114. B

解析1:

指令寄存器用来存放当前正在执行的指令，对用户是完全透明的。

状态寄存器用来存放计算结果的标志信息，如进位标志、溢出标志等，程序员可以利用状态标志进行判断和跳转。

通用寄存器可用于传送和暂存数据，也可参与算术逻辑运算，并保存运算结果，程序员可以利用通用寄存器存取数据。

程序计数器用来存放下一条将要执行指令的地址，程序员可以利用程序计数器寻址。

115. C

解析1:

总线复用，顾名思义就是一条总线实现多种功能。常见的总线复用方式有总线分时复用，它是指在不同时段利用总线上同一个信号线传送不同信号，例如，地址总线 and 数据总线共用一组信号线。采用这种方式的目的是减少总线数量，提高总线的利用率。

116. A

解析1:

Cache与主存的地址映像需要专门的硬件自动完成，使用硬件来处理具有更高的转换速率。

117. D

解析1:

I/O接口与主存采用统一编址，即将I/O设备的接口与主存单元一样看待，每个端口占用一个存储单元的地址，其实就是将主存的一部分划出来作为I/O地址空间。

访存指令是指访问内存的指令，显然，这里需要访问内存，才能找到相应的输入输出设备，因此需要使用访存指令。

而控制类指令通常是指程序控制类指令，用于控制程序流程改变的指令，包括条件转移指令、无条件转移指令、循环控制指令、程序调用和返回指令、中断指令等。

118. A

## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1:

本题主要考查寄存器的相关内容。

程序计数器是用于存放下一条指令所在单元的地址的地方。在程序执行前,必须将程序的起始地址,即程序的一条指令所在的内存单元地址送入程序计数器,当执行指令时,CPU将自动修改程序计数器的内容,即每执行一条指令程序计数器增加一个量,使其指向下一个待指向的指令。程序的转移等操作也是通过该寄存器来实现的。

地址寄存器一般用来保存当前CPU所访问的内存单元的地址,以方便对内存的读写操作。

累加器是专门存放算术或逻辑运算的一个操作数和运算结果的寄存器

ALU是CPU的执行单元,主要负责运算工作。

### 119. A

解析1:

软件的可靠性是指一个系统在给定时间间隔内和给定条件下无失效运行的概率。

软件的可用性是指软件在特定使用环境下为特定用户用于特定用途时所具有的有效性。

软件的可维护性是指与软件维护的难易程度相关的一组软件属性。

软件的可伸缩性是指是否可以通过运行更多的实例或者采用分布式处理来支持更多的用户。

### 120. D

解析1:

可靠性指的是,软件产品与在规定的时间内和规定的条件下维持其性能水平有关的能力,是一个系统对于给定时间间隔内、在给定条件下无失效运作的概率。它的子特性包括:成熟性、容错性、易恢复性,对于软件可靠性与软件潜在错误的数量、位置有关,并且与软件产品的使用方式有关,对于软件产品的开发方式并不能决定软件产品的可靠性。

### 121. D

解析1:

本题考查系统可靠性。

计算机系统是一个复杂的系统,而且影响其可靠性的因素也非常繁复,很难直接对其进行可靠性分析。若采用串联方式,则系统可靠性为每个部件的乘积 $R=R_1 \times R_2 \times R_3 \times \dots \times R_n$ ;若采用并联方式,则系统的可靠性为 $R=1-(1-R_1) \times (1-R_2) \times (1-R_3) \times \dots \times (1-R_n)$ 。

在本题中,既有并联又有串联,计算时首先我们要分别计算图中两个并联后的可靠度,它们分别为 $1-(1-R)^2$ ,然后是三者串联,根据串联的计算公式,可得系统的可靠度为 $R \times (1-(1-R)^2) \times (1-(1-R)^2) = R(1-(1-R)^2)^2$ 。因此本题答案选D。

### 122. A

解析1: 浮点数的表述形式如下:

$$N = M \times r^E$$

其中 $r$ 是浮点数代码的底,与尾数的基数相同,通常 $r=2$ 。 $E$ 和 $M$ 都是带符号的定点数, $E$ 叫做阶码, $M$ 叫做尾数。浮点数的一般格式如图所示,浮点数的底是隐含的,在整个机器数中不出现。阶码的符号位为 $E_s$ ,阶码的大小反应了在数 $N$ 中小数点的实际位置;尾数的符号位为 $M_s$ ,它也是整个浮点数的符号位,表示了该浮点数的正、负。

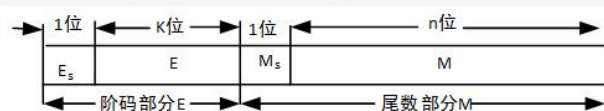


图2-13 浮点数的一般格式

浮点数的大小由阶码部分决定,而其精度由尾数部分决定,因此增加 $E$ 的位数、减少 $M$ 的位数可以扩大可表示的数的范围同时降低精度。

### 123. B

解析1:

在计算机中,各类运算等都可以采用补码进行,特别是对于有符号数的运算。在计算机中设计补码的目的一是为了使符号位能与有效值部分一起参加运算,从而简化运算规则,使运算部件的设计更简单;二是为了使减法运算转换为加法运算,进一步简化计算机中运算器的线路设计。因此在计算机系统中常采用补码来表示和运算数据,原因是采用补码可以简化计算机运算部件的设计。

### 124. C



## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1:

总线是在计算机中连接两个或多个功能部件的一组共享的信息传输线，它的主要特征就是多个部件共享传输介质。它是构成计算机系统的骨架，是各个功能部件之间进行信息传输的公共通道，借助总线的连接，计算机各个部件之间可以传送地址、数据和各种控制信息。在计算机系统中采用总线结构，便于实现系统的积木化构造，同时可以有效减少信息传输线的数量。

### 125. D

解析1:

寻址是指寻找操作数的地址或下一条将要执行的指令地址。数据和指令一般都需要存放在一些存储器的存储单元中，存储器对这些存储单元进行编号，这些编号就是数据和指令的地址，如果在应用中需要用到这些数据或指令时，就通过它们的地址到存储器中去寻找，这就是寻址。

假如某主机的主存容量可达1MB，而指令中的地址码字段最长仅16位，只能直接访问主存的一小部分，而无法访问到整个主存空间，而采用不同的寻址方式可以实现对整个主存空间的访问。就是在字长很长的大型机中（地址码字段足够长），即使指令中能够拿出足够的位数来作为访问整个主存空间的地址，但为了灵活、方便地编制程序，也需要对地址进行必要的变换。

综上所述，可知本题答案选D。

### 126. C

解析1:

本题主要考查寄存器的相关内容。

程序计数器是用于存放下一条指令所在单元的地址的地方。在程序执行前，必须将程序的起始地址，即程序的一条指令所在的内存单元地址送入程序计数器，当执行指令时，CPU将自动修改程序计数器的内容，即每执行一条指令程序计数器增加一个量，使其指向下一个待指向的指令。程序的转移等操作也是通过该寄存器来实现的。因此CPU中跟踪指令地址的是程序计数器（PC）。

指令寄存器一般用来保存当前正在执行的一条指令。

数据寄存器主要是用来保存操作数和运算结果等信息的，其目的是为了节省读取操作数所需占用总线和访问存储器的时间。

地址寄存器一般用来保存当前CPU所访问的内存单元的地址，以方便对内存的读写操作。

### 127. A

解析1:

程序计数器是用于存放下一条指令所在单元的地址的地方。在程序执行前，必须将程序的起始地址，即程序的一条指令所在的内存单元地址送入程序计数器，当执行指令时，CPU将自动修改程序计数器的内容，即每执行一条指令程序计数器增加一个量，使其指向下一个待指向的指令。程序的转移等操作也是通过该寄存器来实现的。

指令寄存器一般用来保存当前正在执行的一条指令。

存储器数据寄存器主要是用来保存操作数和运算结果等信息的，其目的是为了节省读取操作数所需占用总线和访问存储器的时间。

存储器地址寄存器一般用来保存当前CPU所访问的内存单元的地址，以方便对内存的读写操作。

作为程序员，应该要能控制其所编写程序的执行过程，这就需要利用程序计数器来实现，因此程序员能访问的是程序计数器。

### 128. B

解析1:

芯片的大小为2k×4位，而存储器的大小为16k×8位，难得出要获得这样一个大小的存储器，需要16片2k×4位的芯片。

如果按字节编址，对应一个大小为16k×8位的存储器，需要14位地址，其中高4位为片选地址，低10位为片内地址，而题目给出的地址0B1FH转换为二进制为00 1011 0001 1111，其高4位为0010，即片选地址为2。因此，地址0B1FH对应第2片芯片，该芯片的起始地址（最小地址）为00 1000 0000 0000，即0800H。

### 129. A

解析1:

字长是指在同一时间中CPU处理二进制数的位数叫字长。

数据总线是用于在计算机中传送数据的总线，它可以把CPU的数据传送到存储器或输入输出接口等其它部件，也可以将其它部件的数据传送到CPU。数据总线的位数是微型计算机的一个重要指标，通常与微处理的字长相一致。

地址总线是传送地址信息的总线，根据地址总线的多少可以确定内存容量的大小，如32位的地址总线可以允许2的32次方的内存容量。

### 130. C

解析1:

采用8位整数补码表示数据，数据的表示范围是-128至127，因此在各选择中运算会发生溢出的是C。

131. C

解析1:

本题主要考查I/O控制的各种方法。其中可以使得设备与主存间的数据块传送不需要CPU干预的是DMA方式。DMA方式正是为了将CPU从输入输出控制中解放出来而产生的。在数据的传送过程中由DMA进行管理。

实现DMA传送的基本操作如下:

- (1) 外设可通过DMA控制器向CPU发出DMA请求;
- (2) CPU响应DMA请求,系统转变为DMA工作方式,并把总线控制权交给DMA控制器;
- (3) 由DMA控制器发送存储器地址,并决定传送数据块的长度;
- (4) 执行DMA传送;
- (5) DMA操作结束,并把总线控制权交还CPU。

132. B

解析1:

本题考查数据表示基础知识。

根据补码定义,数值X的补码记作 $[X]_{补}$ ,如果机器字长为n,则最高位为符号位,0表示正号,1表示负号,正数的补码与其原码和反码相同,负数的补码则等于其反码的末尾加1。

16位补码能表示的数据范围为 $[-2^{15}, 2^{15}-1]$ 。对于整数 $(2^{16}-1)$ 和 $(-2^{16}+1)$ ,数据表示需要16位,再加一个符号位,共17位,因此不在16位补码能表示的数据范围之内。

在补码表示中,0有唯一的编码:  $[+0]_{补}=0000000000000000$ ,  $[-0]_{补}=0000000000000000$ ,即0000H。

$[-1]_{原}=1000000000000001$ ,  $[-1]_{反}=1111111111111110$ ,因此-1的补码为 $[-1]_{补}=1111111111111111=FFFF$ 。

133. C

解析1:

本题考查计算机系统基础知识。

计算机系统的运算速度受多种因素的影响,64位微处理器可同时对64位数据进行运算,但不能说其速度是32位微处理器的2倍。

134. C

解析1:

本题考查指令系统基础知识。

程序被加载到内存后开始运行,当CPU执行一条指令时,先把它从内存存储器取到缓冲寄存器DR中,再送入IR暂存,指令译码器根据IR的内容产生各种微操作指令,控制其他的组成部件工作,完成所需的功能。

程序计数器(PC)具有寄存信息和计数两种功能,又称为指令计数器。程序的执行分两种情况,一是顺序执行,二是转移执行。在程序开始执行前,将程序的起始地址送入PC,该地址在程序加载到内存时确定,因此PC的内容即是程序第一条指令的地址。执行指令时,CPU将自动修改PC的内容,以便使其保持的总是将要执行的下一条指令的地址。由于大多数指令都是按顺序来执行的。所以修改的过程通常只是简单地对PC加1。当遇到转移指令时,后继指令的地址根据当前指令的地址加上一个向前或向后转移的位移量得到,或者根据转移指令给出的直接转移地址得到。

135. B

解析1:

本题考查逻辑运算基础知识。

用真值表验证如下:

		选项 A	选项 B	选项 C	选项 D	$\overline{A \oplus B}$
A	B	$A \wedge \overline{B}$	$A \oplus \overline{B}$	$A \oplus B$	$AB + \overline{A}\overline{B}$	
0	0	1	1	0	1	1
0	1	0	0	1	0	0
1	0	1	0	1	0	0
1	1	1	1	0	1	1

本题答案B选项和D选项都是正确的。

136. C

## 2022 知识点练习->上午->1.计算机组成与体系结构答案解析

解析1:

本题考查中断基础知识。

按照是否可以被屏蔽,可将中断分为两大类:不可屏蔽中断(又叫非屏蔽中断)和可屏蔽中断。不可屏蔽中断源一旦提出请求,CPU必须无条件响应,而对可屏蔽中断源请求,CPU可以响应,也可以不响应。典型的非屏蔽中断源的例子是电源掉电,一旦出现,必须立即无条件地响应,否则进行其他任何工作都是没有意义的。典型的可屏蔽中断源的例子是打印机中断,CPU对打印机中断请求的响应可以快一些,也可以慢一些,因为让打印机等待是完全可以的。对于软中断,它不受中断允许标志位(IF位)的影响,所以属于非屏蔽中断范畴。

### 137. D

解析1: 本题考查系统可靠性方面的基础知识。

由于系统构成串联系统时,其中任何一个子系统失效就足以使系统失效,其可靠度等于各子系统可靠度的乘积,构成并联系统时,只要有一个子系统正常工作,系统就能正常工作。设每个子系统的可靠性分别以 $R_1, R_2, \dots, R_N$ 表示,则整个系统的可靠度由下式来求得:

$$R = 1 - (1 - R_1)(1 - R_2) \dots (1 - R_N)$$

因此,本系统的可靠度为 $R(1 - (1 - R)^2)^2$ 。

### 138. B

解析1:

本题考查CPU中相关寄存器的基础知识。

指令寄存器(IR)用来保存当前正在执行的指令。当执行一条指令时,先把它从内存取到数据寄存器(DR)中,然后再传送到IR。为了执行任何给定的指令,必须对操作码进行测试,以便识别所要求的操作。指令译码器(ID)就是做这项工作的。指令寄存器中操作码字段的输出就是指令译码器的输入。操作码一经译码后,即可向操作控制器发出具体操作的特定信号。

地址寄存器(AR)用来保存当前CPU所访问的内存单元的地址。由于在内存和CPU之间存在着操作速度上的差别,所以必须使用地址寄存器来保持地址信息,直到内存的读/写操作完成为止。

为了保证程序指令能够连续地执行下去,CPU必须具有某些手段来确定下一条指令的地址。而程序计数器正起到这种作用,所以通常又称为指令计数器。在程序开始执行前,必须将它的起始地址,即程序的一条指令所在的内存单元地址送入PC,因此程序计数器(PC)的内容即是从内存提取的第一条指令的地址。当执行指令时,CPU将自动修改PC的内容,即每执行一条指令PC增加一个量,这个量等于指令所含的字节数,以便使其保持的总是将要执行的下一条指令的地址。由于大多数指令都是按顺序来执行的,所以修改的过程通常只是简单的对PC加1。

### 139. D,D

解析1:

高速缓存Cache的存储系统的平均存取时间为 $T_A = HT_{A1} + (1-H)T_{A2}$ 。其中cache的存取时间 $T_{A1}$ 、主存的存取时间 $T_{A2}$ 及平均存取时间为 $T_A$ 已知后,利用该式可以求出cache的命中率H为99%。

题干说明:高速缓存的容量为4MB,分为4块,每块1MB,主存容量为256MB。

1、每个块大小为1MB,没有说明时,默认按字节编址,存储单元个数为 $1\text{MB}/1\text{B}=1\text{M}$ ,此时地址编码需要20位二进制。【低位20位为块内地址】

2、全相连映像方式,主存可以划分为 $256\text{M}/1\text{MB}=256$ 个不同的块,即块号编址需要6位二进制。【高位8位为块号】

给定地址888888H时,将这个地址转换为二进制结果为:

1000 1000 1000 1000 1000 1000 1000 【共28位二进制】

高8位1000 1000为块号,低20位1000 1000 1000 1000 1000为块内地址。此时主存地址除了块内地址以外,其他地址内容为1000 1000,转换为十六进制结果为88H,此时查表可得,对应的Cache块号为1,拼接块内地址后,结果为:

0001 1000 1000 1000 1000 1000,转换为十六进制结果为188888H。

### 140. A



解析1:

因为，规格化浮点数的尾数的取值范围为：

$[1/2]_{\text{补}} \leq [M]_{\text{补}} < [1]_{\text{补}}$ ，或  $[-1]_{\text{补}} \leq [M]_{\text{补}} < [-1/2]_{\text{补}}$

那么，将两个尾数相乘，积的取值范围为：

$[1/4]_{\text{补}} \leq [M]_{\text{补}} \leq [1]_{\text{补}}$ ，或  $[-1]_{\text{补}} < [M]_{\text{补}} < [-1/2]_{\text{补}}$

所以，右规时的右移位数最多是1位。

141. D

解析1:

符号数算术运算的溢出可根据运算结果的符号位和进位标志判别。该方法适用于两同号数求和或异号数求差时判别溢出。溢出的逻辑表达式为： $VF \oplus CF$ 即利用符号位和进位标志相异或，当异或结果为1时表示发生溢出；当异或结果为0时，则表示没有溢出。

142. A

解析1:

本题考查高速缓存基础知识。

高速缓存Cache有如下特点：它位于CPU和主存之间，由硬件实现；容量小，一般在几KB到几MB之间；速度一般比主存快5到10倍，由快速半导体存储器制成；其内容是主存内容的副本，对程序员来说是透明的；Cache既可存放程序又可存放数据。

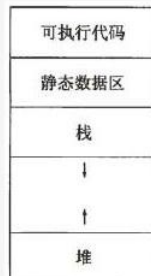
Cache主要由两部分组成：控制部分和Cache存储器部分。Cache存储器部分用来存放主存的部分拷贝（备份）。控制部分的功能是：判断CPU要访问的信息是否在Cache存储器中，若在即为命中，若不在则没有命中。命中时直接对Cache存储器寻址。未命中时，若是读取操作，则从主存中读取数据，并按照确定的替换原则把该数据写入Cache存储器中；若是写入操作，则将数据写入主存即可。

143. B

解析1:

本题考查运行过程中计算机内存布局及指令寻址方式。

计算机运行时的内存空间划分情况如下图所示。



运行时为名字分配存储空间的过程称为绑定。静态数据区用于存放一对一的绑定且编译时就可确定存储空间大小的数据，栈用于存放一对多的绑定且与活动同生共存的绑定；堆用于存储由程序语句动态生成和撤销的数据。

程序运行时，需要将程序代码（机器指令序列）和代码所操作的数据加载至内存。指令代码加载至代码区，数据则根据绑定关系可能位于静态数据区、栈或堆区。

立即数寻址方式是指指令所需的操作数由指令的地址码部分直接给出，其特点是取指令时同时取出操作数，以提高指令的执行速度。

144. B

解析1:

本题考查计算机组成基础知识。

CPU与其他部件交换数据时，用数据总线传输数据。数据总线宽度指同时传送的二进制位数，内存容量、指令系统中的指令数量和寄存器的位数与数据总线的宽度无关。数据总线宽度越大，单位时间内能进出CPU的数据就越多，系统的运算速度越快。

145. D

解析1:

本题考查计算机中的存储部件组成。

内存按字节编址，地址从90000H到CFFFFH时，存储单元数为CFFFFH+1-90000H=40000H，即 $2^{18}$ B。若存储芯片的容量为16K X 8bit，则需 $2^{18}$ B/16KB=16个芯片组成该内存。

146. C

解析1:

本题考查计算机基本工作原理。

CPU中的程序计数器PC用于保存要执行的指令的地址，访问内存时，需先将内存地址送入存储器地址寄存器MAR中，向内存写入数据时，待写入的数据要先放入数据寄存器MUR。程序中的指令一般放在内存中，要执行时，首先要访问内存取得指令并保存在指令寄存器IR中。

计算机中指令的执行过程一般分为取指令、分析指令并获取操作数、运算和传送结果等阶段，每条指令被执行时都要经过这几个阶段。若CPU要执行的指令为:MOV RO, # 100 (即将数值100传送到寄存器R0中)，则CPU首先要完成的操作是将要执行的指令的地址送入程序计数器PC，访问内存以获取指令。

147. C

解析1:

本题考查计算机系统数据编码基础知识。

设机器字长为n (即采用n个二进制位表示数据)，最高位是符号位，0表示正号，1表示负号。

原码表示方式下，除符号位外，n-1位表示数值的绝对值。因此，n为8时，[+0]原=0 0000000，[-0]原=1 0000000。

正数的反码与原码相同，负数的反码则是其绝对值按位求反。n为8时，数值0的反码表示有两种形式：[+0]反=0 0000000，[-0]反=1111111。

正数的补码与其原码和反码相同，负数的补码则等于其反码的末尾加1。在补码表示中，0有唯一的编码：[+0]补=0 0000000，[-0]补=00 000000。

移码表示法是在数X上增加一个偏移量来定义的，常用于表示浮点数中的阶码。机器字长为n时，在偏移量为 $2^{n-1}$ 的情况下，只要将补码的符号位取反便可获得相应的移码表示。

148. A

解析1:

本题考查计算机系统总线 and 接口方面的基础知识。

广义地讲，任何连接两个以上电子元件的导线都可以称为总线。通常可分为4类:

- ① 芯片内总线。用于在集成电路芯片内部各部分的连接。
- ② 元件级总线。用于一块电路板上各元件的连接。
- ③ 内总线，又称系统总线。用于构成计算机各组成部分 (CPU、内存和接口等) 的连接。
- ④ 外总线，又称通信总线。用计算机与外设或计算机与计算机的连接或通信。

连接处理机的处理器、存储器及其他部件的总线属于内总线，按总线上传送的内容分为数据总线、地址总线和控制总线。

149. B

解析1:

本题考查计算机系统存储器方面的基础知识。

计算机系统的存储器按所处的位置可分为内存和外存。按构成存储器的材料可分为磁存储器、半导体存储器和光存储器。按存储器的工作方式可分为读写存储器和只读存储器。按访问方式可分为按地址访问的存储器和按内容访问的存储器。按寻址方式可分为随机存储器、顺序存储器和直接存储器。

相联存储器是一种按内容访问的存储器。

150. A

解析1:

本题考查校验码方面的基础知识。

海明码是一种多重（复式）奇偶检错编码。它将信息用逻辑形式编码，以便能够检和纠错。用在海明码中的全部传输码字是由原来的信息和附加的奇偶校验位组成的。每一个这种奇偶位被编在传输码字的特定位置上。推导并使用长度为 $n$ 位的码字的海明码，所需步骤如下：

- （1）确定最小的校验位数 $k$ ，将它们记成 $D_1$ 、 $D_2$ 、...、 $D_k$ ，每个校验位符合不同的奇偶测试规定。
- （2）原有信息和 $k$ 个校验位一起编成长度为 $n+k$ 位的新码字。选择 $k$ 个校验位（0或1）需满足必要的奇偶条件。
- （3）对所接收的信息作所需的 $k$ 个奇偶检查。
- （4）如果所有的奇偶检查结果均正确，则认为信息无错误。如果发现有一个或多个错了，则错误的位由这些检查的结果来唯一地确定。

求海明码时的一项基本考虑是确定所需最少的校验位数 $k$ 。考虑长度为 $n$ 位的信息，且附加了 $k$ 个校验位，则所发送的总长度为 $n+k$ 。在接收器中要进行 $k$ 个奇偶检查，每个检查结果或是真或是假。这个奇偶检查的结果可以表示成一个 $k$ 位的二进制字，它可以确定最多 $2^k$ 种不同状态。这些状态中必有一个其所有奇偶测试都是真的，它便是判定信息确的条件。于是剩下的 $(2^k-1)$ 种状态，可以用来判定误码的位置。于是导出以下关系：

$$2^k - 1 \geq n + k$$

### 151. B

解析1:

本题考查高速缓存基础知识。

Cache是一个高速小容量的临时存储器，可以用高速的静态存储器（SRAM）芯片实现以集成到CPU芯片内部，或者设置在CPU与内存之间，用于存储CPU最经常访问的指令或者操作数据。Cache的出现是基于两种因素：首先是由于CPU的速度和性能提高很快而主存速度较低且价格高，其次是程序执行的局部性特点。因此，才将速度比较快而容量有限的SRAM构成Cache，目的在于尽可能发挥CPU的高速度。很显然，要尽可能发挥CPU的高速度，就必须用硬件实现其全部功能。

### 152. A

解析1:

本题考查校验码基础知识。

一个编码系统中任意两个合法编码（码字）之间不同的二进制位数称为这两个码字的码距，而整个编码系统中任意两个码字的最小距离就是该编码系统的码距。为了使一个系统能检查和纠正一个差错，码间最小距离必须至少是3。

海明码是一种可以纠正一位差错的编码，是利用奇偶性来检错和纠错的校验方法。海明码的基本意思是给传输的数据增加 $r$ 个校验位，从而增加两个合法消息（合法码字）的不同位的个数（海明距离）。假设要传输的信息有 $m$ 位，则经海明编码的码字就有 $n=m+r$ 位。

循环冗余校验码（CRC）编码方法是在 $k$ 位信息码后再拼接 $r$ 位的校验码，形成长度为 $n$ 位的编码，其特点是检错能力极强且开销小，易于用编码器及检测电路实现。

在数据通信与网络中，通常 $k$ 相当大，由一千甚至数千数据位构成一帧，而后采用CRC码产生 $r$ 位的校验位。它只能检测出错误，而不能纠正错误。一般取 $r=16$ ，标准的16位生成多项式有CRC-16= $x^{16}+x^{15}+x^2+1$ 和CRC-CCITT= $x^{16}+x^{12}+x^5+1$ 。一般情况下， $r$ 位生成多项式产生的CRC码可检测出所有的双错、奇数位错和突发长度小于等于 $r$ 的突发错。用于纠错目的的循环码的译码算法比较复杂。

### 153. C,D

解析1:

本题考查数据表示基础知识。

为了提高运算的精度，需要充分地利用尾数的有效数位，通常采取浮点数规格化形式，即规定尾数的最高数位必须是一个有效值，即 $1/2 \leq |F| < 1$ 。在尾数用补码表示时，规格化浮点数应满足尾数最高数位与符号位不同，即当 $1/2 \leq F < 1$ 时，应有 $0.1xx...x$ 形式；当 $-1 \leq M < -1/2$ 时，应有 $1.0xx...x$ 形式。

需要注意的是，当 $M=-1/2$ 时，对于原码来说是规格化数，而对于补码来说不是规格化数。

两个浮点数进行相加运算时，首先需要对阶（使它们的阶码一致），然后再进行尾数的相加处理。

### 154. A



解析1:

本题考查指令系统和计算机体系结构基础知识。

CISC (Complex Instruction Set Computer, 复杂指令集计算机) 的基本思想是: 进一步增强原有指令的功能, 用更为复杂的新指令取代原先由软件子程序完成的功能, 实现软件功能的硬件化, 导致机器的指令系统越来越庞大而复杂。CISC计算机一般所含的指令数目至少3000条以上, 有的甚至超过5000条。

RISC (Reduced Instruction Set Computer, 精简指令集计算机) 的基本思想是: 通过减少指令总数和简化指令功能, 降低硬件设计的复杂度, 使指令能单周期执行, 并通过优化编译提高指令的执行速度, 采用硬布线控制逻辑优化编译程序。在20世纪70年代末开始兴起, 导致机器的指令系统进一步精炼而简单。

## 155. B

解析1:

本题考查计算机硬件组成基础知识。

CPU是计算机的控制中心, 主要由运算器、控制器、寄存器组和内部总线等部件组成, 控制器由程序计数器、指令寄存器、指令译码器、时序产生器和操作控制器组成, 它是发布命令的“决策机构”, 即完成协调和指挥整个计算机系统的操作。它的主要功能有: 从内存中取出一条指令, 并指出下一条指令在内存中的位置; 对指令进行译码或测试, 并产生相应的操作控制信号, 以便启动规定的动作; 指挥并控制CPU、内存和输入输出设备之间数据的流动。

程序计数器(PC)是专用寄存器, 具有寄存信息和计数两种功能, 又称为指令计数器, 在程序开始执行前, 将程序的起始地址送入PC, 该地址在程序加载到内存时确定, 因此PC的初始内容即是程序第一条指令的地址。执行指令时, CPU将自动修改PC的内容, 以便使其保持的总是将要执行的下一条指令的地址。由于大多数指令都是按顺序执行的, 因此修改的过程通常只是简单地对PC加1。当遇到转移指令时, 后继指令的地址根据当前指令的地址加上一个向前或向后转移的位移量得到, 或者根据转移指令给出的直接转移的地址得到。