

В. Б. Стешенко

**ПЛИС фирмы ALTERA:
проектирование устройств
обработки сигналов**



2000

УДК 621.375(03)

ББК 32.85

С 23

Изготовители электронных компонентов

С 23 Стешенко В.Б. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов. — М.: ДОДЭКА, 2000. — 128 с.

ISBN 5-94020-001-X

В книге дается обзор перспективных семейств ПЛИС фирмы "Altera", приводятся краткие сведения об особенностях их архитектуры и временных параметрах устройств, рассмотрена САПР "MAX + PLUS II", а также языки описания аппаратуры AHDL и VHDL. В отдельной главе приведены примеры реализации некоторых алгоритмов. В приложении рассмотрены особенности САПР "Quartus".

Для разработчиков радиоэлектронной аппаратуры, студентов технических вузов и широкого круга читателей, интересующихся достижениями электроники.

УДК 621 375(03)
ББК 32.85

ISBN 5-94020-001-X

© Стешенко В. Б.

© Издательство "ДОДЭКА", 2000

© Серия "Изготовители Электронных Компонентов"

Все права защищены. Никакая часть этого издания не может быть воспроизведена в любой форме или любыми средствами, электронными или механическими, включая фотографирование, ксерокопирование или иные средства копирования или сохранения информации без письменного разрешения издательства.

Ответственный редактор *И. С. Кирюхин*
Компьютерная верстка *С. В. Шашков*
Графическое оформление *О. А. Алешина*
Дизайн обложки *А. А. Бахметьев, И. Л. Люско*
Корректор *Н. Ф. Изъюрова*
Технический редактор *Е. Е. Граблевская*

Подписано в печать 16.06.2000 г.
Формат 84 x 108/16. Бумага офсетная. Гарнитура "PragmaticaC".
Печать офсетная. Объем 8 п. л. Тираж 5000 экз. Заказ № 4921.
Отпечатано с готовых диапозитивов в ОАО "Типография Новости".
107005, Москва, ул. Ф. Энгельса, 46.

Издательство "ДОДЭКА"
105318 Москва, а/я 70
Тел/факс: (095) 366-24-29, 366-81-45
E-mail: books@dodeca.ru; icmarket@dodeca.ru

ПРЕДИСЛОВИЕ	5		
ВВЕДЕНИЕ	6		
ГЛАВА 1. ЭЛЕМЕНТНАЯ БАЗА	8		
1.1. Семейство MAX3000	8		
1.2. Семейство FLEX6000	13		
1.3. Семейство MAX7000	18		
1.4. Семейство FLEX8000	21		
1.5. Семейство MAX9000	23		
1.6. Семейство FLEX10K	26		
1.7. Семейство APEX20K	31		
1.8. Конфигурационные ПЗУ	35		
ГЛАВА 2. СИСТЕМА ПРОЕКТИРОВАНИЯ MAX+PLUS II	38		
2.1. Общие сведения	38		
2.2. Процедура разработки проекта	41		
2.3. Редакторы MAX PLUS II	50		
2.4. Процесс компиляции	57		
2.5. Верификация проекта	60		
ГЛАВА 3. ЯЗЫК ОПИСАНИЯ АППАРАТУРЫ AHDL	63		
3.1. Общие сведения	63		
3.2. Использование чисел и констант в языке AHDL	64		
3.2.1. Использование чисел	64		
3.2.2. Использование констант	64		
3.3. Комбинационная логика	64		
3.3.1. Реализация булевых выражений и уравнений	64		
3.3.2. Объявление NODE (узел)	65		
3.3.3. Определение групп	65		
3.3.4. Реализация условной логики	65		
3.3.4.1. Логика оператора IF	65		
3.3.4.2. Логика оператора CASE	65		
3.3.4.3. Сравнение операторов IF и CASE	66		
3.3.5. Описание дешифраторов	66		
3.3.6. Использование для переменных значений по умолчанию	67		
3.3.7. Реализация логики с активным низким уровнем	67		
3.3.8. Реализация двунаправленных выводов	68		
3.4. Последовательностная логика	68		
3.4.1. Объявление регистров	68		
3.4.2. Объявление регистровых выходов	69		
3.4.3. Создание счетчиков	69		
3.5. Цифровые автоматы с памятью (state mashine)	69		
3.5.1. Реализация цифровых автоматов (state machine)	70		
3.5.2. Установка сигналов Clock, Reset и Enable	70		
3.5.3. Задание выходных значений для состояний	70		
3.5.4. Задание переходов между состояниями	70		
3.5.5. Присвоение битов и значений в цифровом автомате	70		
3.5.6. Цифровые автоматы с синхронными выходами	70		
3.5.7. Цифровые автоматы с асинхронными выходами	71		
3.5.8. Восстановление после неправильных состояний	72		
3.6. Реализация иерархического проекта	72		
3.6.1. Использование макрофункций системы Altera MAX+PLUS II	72		
3.6.2. Создание и применение пользовательских макрофункций	73		
3.6.3. Определение пользовательской макрофункции	73		
3.6.4. Импорт и экспорт цифровых автоматов (state machine)	74		
3.7. Управление синтезом	75		
3.7.1. Реализация примитивов LCELL и SOFT	75		
3.7.2. Значения констант по умолчанию	75		
3.7.3. Присвоение битов и значений в цифровом автомате	75		
3.8. Элементы языка AHDL	75		
3.8.1. Зарезервированные ключевые слова	75		
3.8.2. Символы	76		
3.8.3. Имена в кавычках и без кавычек	76		
3.8.4. Группы	76		
3.8.4.1. Форма записи групп	76		
3.8.4.2. Диапазон и поддиапазон групп	77		
3.8.5. Числа в языке AHDL	77		
3.8.6. Булевы выражения	77		
3.8.7. Логические операторы	77		
3.8.8. Выражения с оператором NOT	77		
3.8.9. Выражения с операторами AND, NAND, OR, NOR, XOR и XNOR	78		
3.8.10. Арифметические операторы	78		
3.8.11. Компараторы (Операторы сравнения)	78		
3.8.12. Приоритеты в булевых уравнениях	79		
3.8.13. Примитивы	79		
3.8.13.1. Примитивы буферов	79		
3.8.14. Порты	82		
3.8.14.1. Порты текущего файла	82		
3.8.14.2. Порты примеров (INSTANCE)	83		
3.9. Синтаксис языка ahdl	83		
3.9.1. Лексические элементы	83		
3.9.2. Основные конструкции языка AHDL	83		
3.9.3. Синтаксис объявления названия	84		
3.9.4. Синтаксис оператора включения	84		
3.9.5. Синтаксис задания константы	84		
3.9.6. Синтаксис прототипа функции	84		
3.9.7. Синтаксис оператора вариантов	85		
3.9.8. Синтаксис секции подпроекта Subdesign	85		
3.9.9. Синтаксис секции переменных	85		
3.9.10. Синтаксис объявления цифрового автомата	85		
3.9.11. Синтаксис объявления псевдонима цифрового автомата	86		
3.9.12. Синтаксис логической секции	86		
3.9.13. Синтаксис булевых уравнений	86		
3.9.14. Синтаксис булевых уравнений управления	86		

3.9.15. Синтаксис оператора Case.	86	4 5. Интерфейс и тело объекта.	95
3.9.16. Объявление по умолчанию.	86	4 5.1. Описание простого объекта.	97
3 9.17. Синтаксис условного оператора IF.	86	4.5 2. Объявление объекта проекта F.	97
3 9 18. Синтаксис встроенных (in-line) ссылок на макрофункцию или примитив.	86	4 5 3. Поведенческое описание архитектуры.	97
3.9.19. Синтаксис объявления таблицы истинности.	86	4 5 4. Потокотворная форма.	97
3 9.20 Синтаксис порта.	86	4.5.5 Структурное описание архитектуры.	97
3.9.21. Синтаксис группы.	87	4 6 Описание конфигурации.	98
3 9.22. Синтаксические группы и списки.	87	4 7 Векторные сигналы и регулярные структуры.	98
ГЛАВА 4. ЯЗЫК ОПИСАНИЯ АППАРАТУРЫ VHDL.	88	4 8 Задержки сигналов и параметры настройки.	99
4.1 Общие сведения.	88	4 9 Атрибуты сигналов и контроль запрещенных ситуаций.	100
4.2. Алфавит языка.	89	4 10. Алфавит моделирования и пакеты.	100
4.2 1.Комментарии.	89	4 11 Описание монтажного "или" и общей шины.	101
4.2.2.Числа.	89	4 12 Организации, поддерживающие развитие VHDL.	102
4 2 3 Символы.	89	ГЛАВА 5. ПРИМЕРЫ РЕАЛИЗАЦИИ АЛГОРИТМОВ ЦОС НА ПЛИС.	103
4 2.4. Строки.	89	5 1. Реализация цифровых фильтров на ПЛИС семейства FLEX фирмы ALTERA.	103
4.3. Типы данных.	89	5 2 Реализация цифровых полиномиальных фильтров.	104
4 3.1. Простые типы.	89	5 3. Алгоритмы функционирования и структурные схемы демодуляторов.	107
4.3 2 Сложные типы.	90	5 4 Реализация генератора ПСП на ПЛИС.	110
4 3.3 Описание простых типов.	90	5 5 Примеры описания цифровых схем на VHDL.	112
4 4 Операторы VHDL.	94	5 6 Реализация нейрона на AHDL.	116
4 4.1. Основы синтаксиса.	94	5 7 Построение быстродействующих перемножителей.	121
4 4 2 Объекты.	94	ПРИЛОЖЕНИЕ 1. СИСТЕМА ПРОЕКТИРОВАНИЯ QUARTUS.	124
4 4.3. Атрибуты.	94	ЛИТЕРАТУРА.	124
4 4.4. Компоненты.	94		
4 4 5 Выражения.	95		
4 4 6. Операторы.	95		

Данная книга предназначена для широкого круга специалистов, осваивающих технологию проектирования устройств на ПЛИС.

Структурно книга разбита на пять глав и приложение.

В первой главе дается обзор перспективных семейств ПЛИС фирмы «Altera», приводятся краткие сведения об особенностях их архитектуры и временных параметрах устройств. Следует заметить, что книга ни в коей мере не подменяет собой фирменную документацию, без которой проектирование устройств просто невозможно. Цель этой главы — помочь начинающему разработчику в выборе элементной базы и дать представление о ее особенностях.

Во второй главе рассмотрена САПР MAX+PLUS II.

Третья глава посвящена языку описания аппаратуры AHDL.

Язык описания аппаратуры VHDL рассмотрен в главе 4.

В пятой главе приведены примеры реализации некоторых алгоритмов.

Автор выражает огромную благодарность фирму «Гамма» и лично его директору М.А. Кузнеценкову за осуществление издания. Автор также благодарит сотрудников фирмы «Гамма» С.Н. Шипулина, И.Г. Алексеева, А.А. Кулакова и зам. директора центра «Логические системы» В.Ю. Храпова за предоставленное программное обеспечение и информацию.

Автор благодарит редактора издательства «Додэка» И.С. Кирюхина.

Огромный вклад в работу над книгой внесли к.т.н., доцент Д.А. Губанов, аспирант Ю.М. Седякин, студенты А.В. Самохин, А.В. Евстифеев, Г.В. Шишкин, Н.Н. Анищенко, Р.Б. Гаврилов и др., которым автор выражает искреннюю благодарность.

В журнале «Chip News» (Новости о микросхемах) был опубликован цикл статей **«Школа разработки аппаратуры цифровой обработки сигналов на ПЛИС»**, ставший основой книги. Автор признателен главному редактору журнала А.Г. Биленко и научному редактору А.А. Осипову за полезные дискуссии, способствовавшие появлению книги.

Наконец, работа над книгой была бы в принципе невозможна без поддержки и терпения семьи.

Автор надеется, что книга найдет понимание у читателя и будет признателен за все отклики, которые можно присылать по адресу:

107005, Москва, 2-я Бауманская улица, д.5.

Кафедра СМ-5 «Автономные информационные и управляющие системы» МГТУ им. Н.Э. Баумана.

E-mail: steshenk@sm.bmstu.ru.

ВВЕДЕНИЕ

Идея написания этой книги назревала в течение последних двух-трех лет, когда для многих разработчиков аппаратуры ЦОС стало ясно, что программируемые логические интегральные схемы (ПЛИС) — удобная в освоении и применении элементная база, альтернативы которой зачастую не найти. Последние годы характеризуются резким ростом плотности упаковки элементов на кристалле, многие ведущие производители либо начали серийное производство, либо анонсировали ПЛИС с эквивалентной емкостью более 1 миллиона логических вентилях. Цены на ПЛИС (к сожалению, только лишь в долларовом эквиваленте) неуклонно падают. Так, если еще год-полтора назад ПЛИС емкостью 100 000 вентилях стоила в Москве в зависимости от производителя, приемки, быстрой доставки от 1500 до 3000 у. е., то сейчас такая микросхема стоит от 100 до 350 у. е., то есть цены упали практически на порядок и эта тенденция устойчива. Что касается ПЛИС емкостью 10 000 – 30 000 логических вентилях, то появились микросхемы стоимостью менее 10 у. е.

Такая ситуация на рынке вызвала волну вопросов, связанных с подготовкой специалистов, способных проводить разработку аппаратуры цифровой обработки сигналов на ПЛИС, владеющих основными методами проектирования, ориентирующимися в современной элементной базе и программном обеспечении. Идя навстречу многочисленным пожеланиям предприятий, заинтересованных в подготовке молодых специалистов, владеющих современными технологиями, на кафедре СМБ «Автономные информационные и управляющие системы» МГТУ им. Н.Э. Баумана в программу четырехсеместрового курса «Схемотехническое проектирование микросистемных устройств» включен семестровый раздел «Проектирование аппаратуры обработки сигналов на ПЛИС», на основе лекционных и семинарских материалов которого и выходит эта книга.

Приведем известную классификацию ПЛИС [1, 2, 3] по структурному признаку, так она дает наиболее полное представление о классе задач, пригодных для решения на той или иной ПЛИС. Следует заметить, что общепринятой оценкой логической емкости ПЛИС является число эквивалентных вентилях, определяемое как среднее число вентилях 2И-НЕ, необходимых для реализации эквивалентного проекта на ПЛИС и базовом матричном кристалле (БМК). Понятно, что эта оценка весьма условна, поскольку ПЛИС не содержат вентилях 2И-НЕ в чистом виде, однако для проведения сравнительного анализа различных архитектур она вполне пригодна. Основным критерием такой классификации является наличие, вид и способы коммутации элементов логических матриц. По этому признаку можно выделить следующие классы ПЛИС.

Программируемые логические матрицы — наиболее традиционный тип ПЛИС, имеющий программируемые матрицы «И» и «ИЛИ». В зарубежной литературе соответствующими этому классу аббревиатурами являются FPLA (*Field Programmable Logic Array*) и FPLS (*Field Programmable Logic Sequencers*). Примерами таких ПЛИС могут служить отечественные схемы К556РТ1, РТ2, РТ21. Недостаток такой архитектуры — слабое использование ресурсов программируемой матрицы «ИЛИ», поэтому дальнейшее развитие получили микросхемы, построенные по архитектуре программируемой матричной логики (зарубежная аббревиатура — PAL от *Programmable Array Logic*) — это ПЛИС, имеющие программируемую матрицу «И» и фиксированную матрицу «ИЛИ». К этому классу относятся боль-

шинство современных ПЛИС небольшой степени интеграции. В качестве примеров можно привести отечественные ИС КМ1556ХП4, ХП6, ХП8, ХЛ8, ранние разработки (середина — конец 80-х годов) ПЛИС фирм «Intel», «Altera», «AMD», «Lattice» и др. Разновидностью класса ПМЛ являются ПЛИС, имеющие только одну (программируемую) матрицу «И», например, схема 85С508 фирмы «Intel». Следующий традиционный тип ПЛИС — программируемая макрологика. Они содержат единственную программируемую матрицу «И-НЕ» или «ИЛИ-НЕ», но за счет многочисленных инверсных обратных связей способны формировать сложные логические функции. К этому классу относятся, например, ПЛИС PLHS501 и PLHS502 фирмы «Signetics», имеющие матрицу «И-НЕ», а также схема XL78С800 фирмы «Exel», основанная на матрице «ИЛИ-НЕ».

Вышеперечисленные архитектуры ПЛИС, содержащие небольшое число ячеек, к настоящему времени морально устарели и применяются для реализации относительно простых устройств, для которых не существует готовых ИС средней степени интеграции. Естественно, для реализации алгоритмов ЦОС они не пригодны.

ИС ПМЛ (PLD) имеют архитектуру, весьма удобную для реализации цифровых автоматов. Развитие этой архитектуры — программируемые коммутируемые матричные блоки (ПКМБ) — это ПЛИС, содержащие несколько матричных логических блоков (МЛБ), объединенных коммутационной матрицей. Каждый МЛБ представляет собой структуру типа ПМЛ, т. е. программируемую матрицу «И», фиксированную матрицу «ИЛИ» и макроячейки. ПЛИС типа ПКМБ, как правило, имеют высокую степень интеграции (до 10000 эквивалентных вентилях, до 256 макроячеек). К этому классу относятся ПЛИС семейства MAX5000 и MAX7000 фирмы «Altera», схемы XC7000 и XC9500 фирмы «Xilinx», а также большое число микросхем других производителей («Atmel», «Vantis», «Lucent» и др.). В зарубежной литературе они получили название *Complex Programmable Logic Devices* (CPLD).

Другой тип архитектуры ПЛИС — программируемые вентиляльные матрицы (ПВМ), состоящие из логических блоков (ЛБ) и коммутирующих путей — программируемых матриц соединений. Логические блоки таких ПЛИС состоят из одного или нескольких относительно простых логических элементов, в основе которых лежит таблица перекодировки (ТП — *Look-Up Table*, LUT), программируемый мультиплексор, D-триггер, а также цепи управления. Таких простых элементов может быть достаточно большое количество, у современных ПЛИС емкостью до 1 миллиона вентилях число логических элементов достигает нескольких десятков тысяч. За счет такого большого числа логических элементов они содержат значительное число триггеров, а также некоторые семейства ПЛИС имеют встроенные реконфигурируемые модули памяти (РМП — *Embedded Array Block*, EAB), что делает ПЛИС данной архитектуры весьма удобным средством реализации алгоритмов цифровой обработки сигналов, основными операциями в которых являются перемножение, умножение на константу, суммирование и задержка сигнала. Вместе с тем, возможности комбинационной части таких ПЛИС ограничены, поэтому совместно с ПВМ применяют ПКМБ (CPLD) для реализации управляющих и интерфейсных схем. В зарубежной литературе такие ПЛИС получили название *Field Programmable Gate Array* (FPGA). К FPGA (ПВМ) классу относятся ПЛИС XC2000, XC3000, XC4000, *Spartan*, *Virtex* фирмы «Xilinx», ACT1, ACT2 фирмы «Actel», а также семейства FLEX8000 фирмы «Altera», некоторые ПЛИС «Atmel» и «Vantis».

Множество конфигурируемых логических блоков (*Configurable Logic Blocks, CLB*s) объединяются с помощью матрицы соединений. Характерными для FPGA архитектур являются элементы ввода-вывода (*Input/Output Blocks, IOB*s), позволяющие реализовать двунаправленный ввод/вывод, третье состояние и т. п.

Особенностью современных ПЛИС является возможность тестирования узлов с помощью порта JTAG (B-scan), а также наличие внутреннего генератора (Osc) и схем управления последовательной конфигурацией.

Фирма «Altera» пошла по пути развития FPGA архитектур и предложила в семействе FLEX10K так называемую двухуровневую архитектуру матрицы соединений.

Логические элементы (ЛЭ) объединяются в группы — логические блоки (ЛБ). Внутри логических блоков ЛЭ соединяются посредством локальной программируемой матрицы соединений, позволяющей соединять любые ЛЭ. Логические блоки связаны между собой и с элементами ввода-вывода посредством глобальной программируемой матрицы соединений (ГПМС). Локальная и глобальная матрицы соединений имеют непрерывную структуру — для каждого соединения выделяется непрерывный канал.

Дальнейшее развитие архитектур идет по пути создания комбинированных архитектур, сочетающих удобство реализации алгоритмов ЦОС на базе таблиц перекодировок и реконфигурируемых модулей памяти, характерных для FPGA структур и многоуровневых ПЛИС с удобством реализации цифровых автоматов на CPLD архитектурах. Так, ПЛИС APEX20K фирмы «Altera» содержат в себе логические элементы всех перечисленных типов, что позволяет применять ПЛИС как основную элементную базу для «систем на кристалле» (*System-On-Chip, SOC*). В основе идеи SOC лежит интеграция всей электронной системы в одном кристалле (например, в случае ПК такой чип объединяет процессор, память и т. д.). Компоненты этих систем разрабатываются отдельно и хранятся в виде файлов параметризуемых модулей. Окончательная структура SOC-микросхемы выполняется на базе этих «виртуальных компонентов» с помощью программ систем автоматизации проектирования (САПР) электронных устройств EDA (*Electronic Design Automation*). Благодаря стандартизации в одно целое можно объединять «виртуальные компоненты» от разных разработчиков.

Как известно, при выборе элементной базы систем обработки сигналов обычно руководствуются следующими критериями отбора:

- быстродействие,
- логическая емкость, достаточная для реализации алгоритма,
- схемотехнические и конструктивные параметры ПЛИС, надежность, рабочий диапазон температур, стойкость к ионизирующим излучениям и т. п.,
- стоимость владения средствами разработки, включающая как стоимость программного обеспечения, так и наличие и стоимость аппаратных средств отладки,

- стоимость оборудования для программирования ПЛИС или конфигурационных ПЗУ,
- наличие методической и технической поддержки;
- наличие и надежность российских поставщиков,
- стоимость микросхем.

В данной книге рассматриваются вопросы проектирования устройств обработки информации на базе ПЛИС фирмы «Altera».

Фирма «Altera Corporation» (101 Innovation Drive, San Jose, CA 95134, USA, www.altera.com) была основана в июне 1983 года. В настоящее время *High-end* продуктом этой фирмы является семейство APEX20K.

Кроме того, «Altera» выпускает CPLD семейств MAX3000, MAX7000, MAX9000 (устаревшие серии специально не упоминаются), FPGA семейств FLEX10K, FLEX8000, FLEX6000.

Дополнительным фактором при выборе ПЛИС «Altera» является наличие достаточно развитых бесплатных версий САПР. В Таблице В.1 приведены основные характеристики пакета MAX+PLUS II BASELINE ver. 9.3 фирмы «Altera», который можно бесплатно «скачать» с сайта или получить на CD «Altera Digital Library», на котором содержится также и полный набор документации по архитектуре и применению ПЛИС.

Таблица В.1. Основные характеристики пакета MAX+PLUS II BASELINE ver. 9.3

Поддерживаемые устройства	EPF10K10, EPF10K10A, EPF10K20, EPF10K30, EPF10K30A, EPF10K30E (до 30000 эквивалентных вентилей), EPM9320, EPM9320A, EPF8452A, EPF8282A, MAX7000, FLEX 6000, MAX 5000, MAX 3000A, Classic
Средства описания проекта	Схемный ввод, поддержка AHDL, средства интерфейса с САПР третьих фирм, топологический редактор, иерархическая структура проекта, наличие библиотеки параметризуемых модулей
Средства компиляции проекта	Логический синтез и трассировка, автоматическое обнаружение ошибок, поддержка мегафункций по программам MegaCore и AMPP
Средства верификации проекта	Временной анализ, функциональное и временное моделирование, анализ сигналов, возможность использования программ моделирования (симуляторов) третьих фирм

Кроме того, ПЛИС фирмы «Altera» выпускаются с возможностью программирования в системе непосредственно на плате. Для программирования и загрузки конфигурации устройств опубликована схема загрузочного кабеля ByteBlaster и ByteBlasterMV. Следует отметить, что новые конфигурационные ПЗУ EPC2 позволяют осуществлять программирование с помощью этого устройства, тем самым отпадает нужда в программаторе, что естественно снижает стоимость владения технологией.

ПЛИС фирмы «Altera» выпускаются в коммерческом и промышленном диапазоне температур.

1.1. СЕМЕЙСТВО MAX3000

Летом 1999 года на рынке стали доступны ПЛИС семейства MAX3000. Их архитектура близка к архитектурам семейства MAX7000, однако имеется ряд небольших отличий. В Таблице 1.1 приведены основные параметры ПЛИС

Таблица 1.1. Основные параметры ПЛИС

	ЕРМ3032А	ЕРМ3064А	ЕРМ3128А	ЕРМ3256А
Логическая емкость, эквивалентных вентилях	600	1250	2500	5000
Число макроячеек	32	64	128	256
Число логических блоков	2	4	8	16
Число программируемых пользователем выводов	34	66	96	158
Задержка распространения сигнала вход-выход, t_{PD} , [нс]	4.5	4.5	5	6
Время установки глобального тактового сигнала, t_{SU} , [нс]	3.0	3.0	3.2	3.7
Задержка глобального тактового сигнала до выхода, t_{CO1} , [нс]	2.8	2.8	3.0	3.3
Максимальная глобальная тактовая частота, f_{CNT} , [МГц]	192.3	192.3	181.8	156.3

Микросхемы семейства MAX3000 выполнены по КМОП EPMOS технологии, при соблюдении технологических норм 0.35 мкм, что позволило существенно удешевить их по сравнению с семейством MAX7000S. Все ПЛИС MAX3000 поддерживают технологию програм-

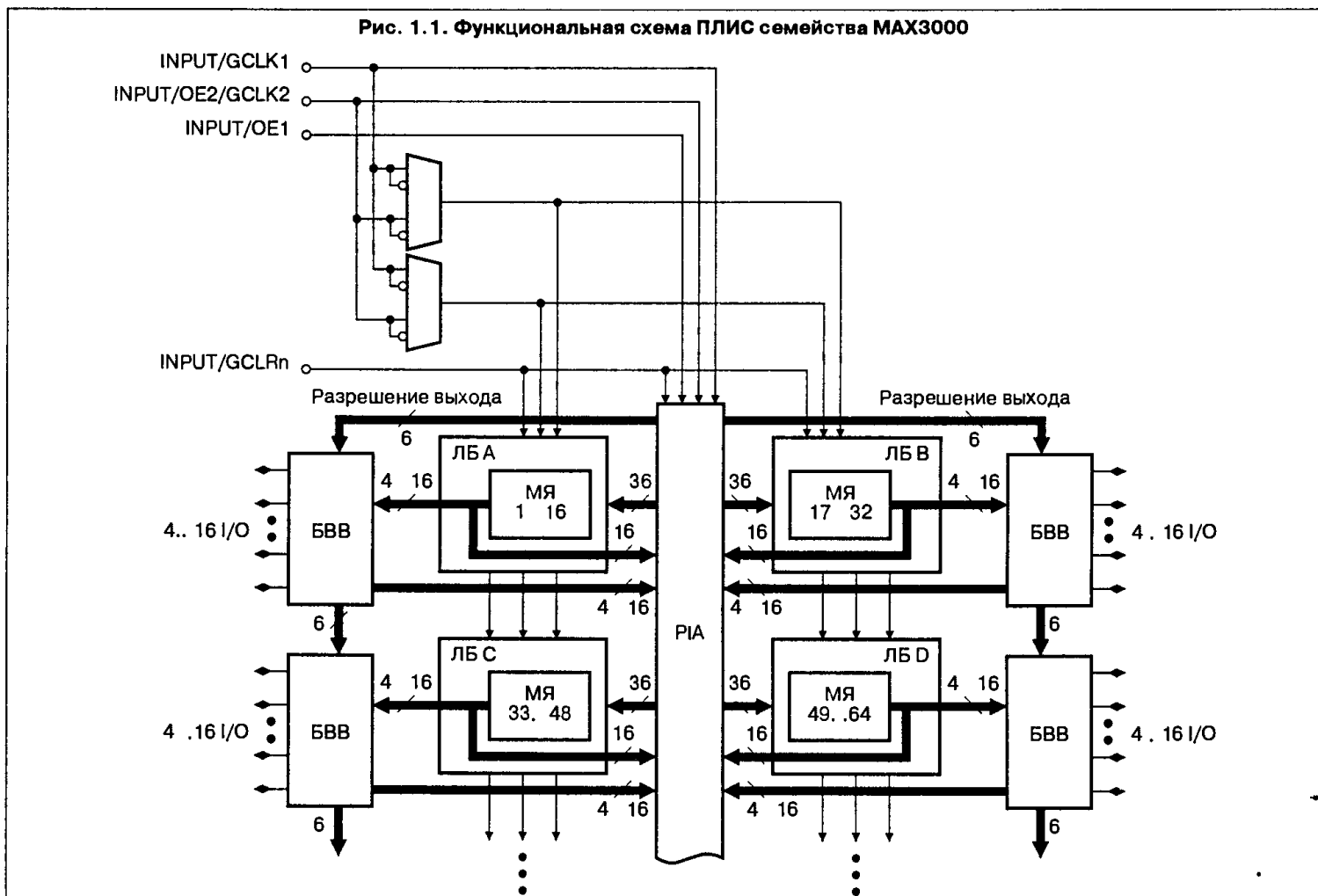
мирования в системах (ISP, In-system programmability) и периферийного сканирования (boundary scan) в соответствии со стандартом IEEE Std 1149.1 JTAG. Элементы ввода-вывода (ЭВВ) позволяют работать в системах с уровнями сигналов 5В, 3.3В, 2.5В. Матрица соединений имеет непрерывную структуру, что позволяет реализовать время задержки распространения сигнала до 4.5 нс. ПЛИС MAX3000 имеют возможность аппаратной эмуляции выходов с открытым коллектором (open — drains pin) и удовлетворяют требованиям стандарта PCI. Имеется возможность индивидуального программирования цепей сброса, установки и тактирования триггеров, входящих в макроячейку. Предусмотрен режим пониженного энергопотребления. Программируемый логический расширитель позволяет реализовать на одной макроячейке функции до 32 переменных. Имеется возможность задания бита секретности (security bit) для защиты от несанкционированного тиражирования разработки.

Реализация функции программирования в системе поддерживается с использованием стандартных средств загрузки, таких, как ByteBlasterMV, BitBlaster, MasterBlaster, а также поддерживается формат JAM.

ПЛИС MAX3000 выпускаются в корпусах от 44 до 208 выводов. На Рис. 1.1 представлена функциональная схема ПЛИС семейства MAX3000.

Основными элементами структуры ПЛИС семейства MAX3000 являются

- логические блоки (ЛБ) (LAB, Logic array blocks),
- макроячейки (МЯ) (macrocells),



- логические расширители (expanders) (параллельный (parallel) и разделяемый (shareble));
- программируемая матрица соединений (ПМС) (Programmable interconnect array, PIA);
- элементы ввода-вывода (ЭВВ) (I/O control block)

ПЛИС семейства MAX3000 имеют четыре вывода, закрепленных за глобальными цепями (dedicated inputs) Это глобальные цепи синхронизации сброса и установки в третье состояние каждой макроячейки Кроме того, эти выводы можно использовать как входы или выходы пользователя для "быстрых" сигналов, обрабатываемых в ПЛИС.

Как видно из **Рис. 1.1** в основе архитектуры ПЛИС семейства MAX3000 лежат логические блоки, состоящие из 16 макроячеек каждый Логические блоки соединяются с помощью программируемой матрицы соединений Каждый логический блок имеет 36 входов с ПМС.

На **Рис. 1.2** приведена структурная схема макроячейки ПЛИС семейства MAX3000

МЯ ПЛИС семейства MAX3000 состоит из трех основных узлов

- локальной программируемой матрицы (LAB local array),
- матрицы распределения термов (product-term select matrix),
- программируемого регистра (Programmable register)

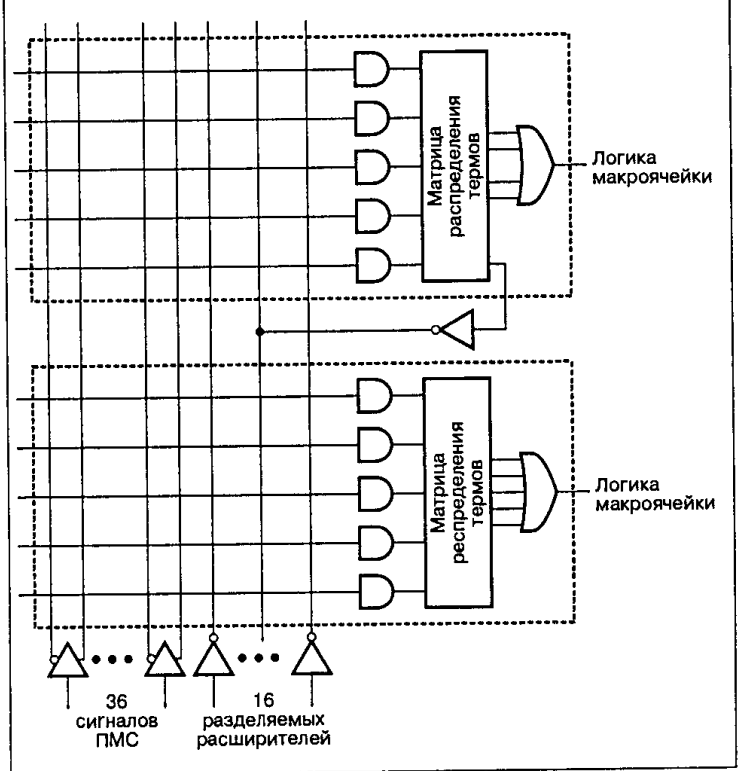
Комбинационные функции реализуются на локальной программируемой матрице и матрице распределения термов, позволяющей объединять логические произведения либо по ИЛИ (OR), либо по исключающему ИЛИ (XOR) Кроме того, матрица распределения термов позволяет скоммутировать цепи управления триггером МЯ

Режим тактирования и конфигурация триггера выбираются автоматически во время синтеза проекта в САПР MAX+PLUS II в зависимости от выбранного разработчиком типа триггера при описании проекта

В ПЛИС семейства MAX3000 доступно 2 глобальных тактовых сигнала, что позволяет проектировать схемы с двухфазной синхронизацией

Для реализации логических функций большого числа переменных используются логические расширители

Рис. 1.3. Разделяемый логический расширитель



Разделяемый логический расширитель (**Рис. 1.3**) позволяет реализовать логическую функцию с большим числом входов, позволяя объединить МЯ, входящие в состав одного ЛБ. Таким образом, разделяемый расширитель формирует терм, инверсное значение которого передается матрицей распределения термов в локальную программируемую матрицу и может быть использовано в любой МЯ данного ЛБ. Как видно из **Рис. 1.3**, имеются 36 сигналов локальной ПМС, а также 16 инверсных сигналов с разделяемых логических расширителей, что позволяет в пределах одного ЛБ реализовать функцию до 52 термов ранга 1

Рис. 1.2. Структурная схема макроячейки ПЛИС семейства MAX3000

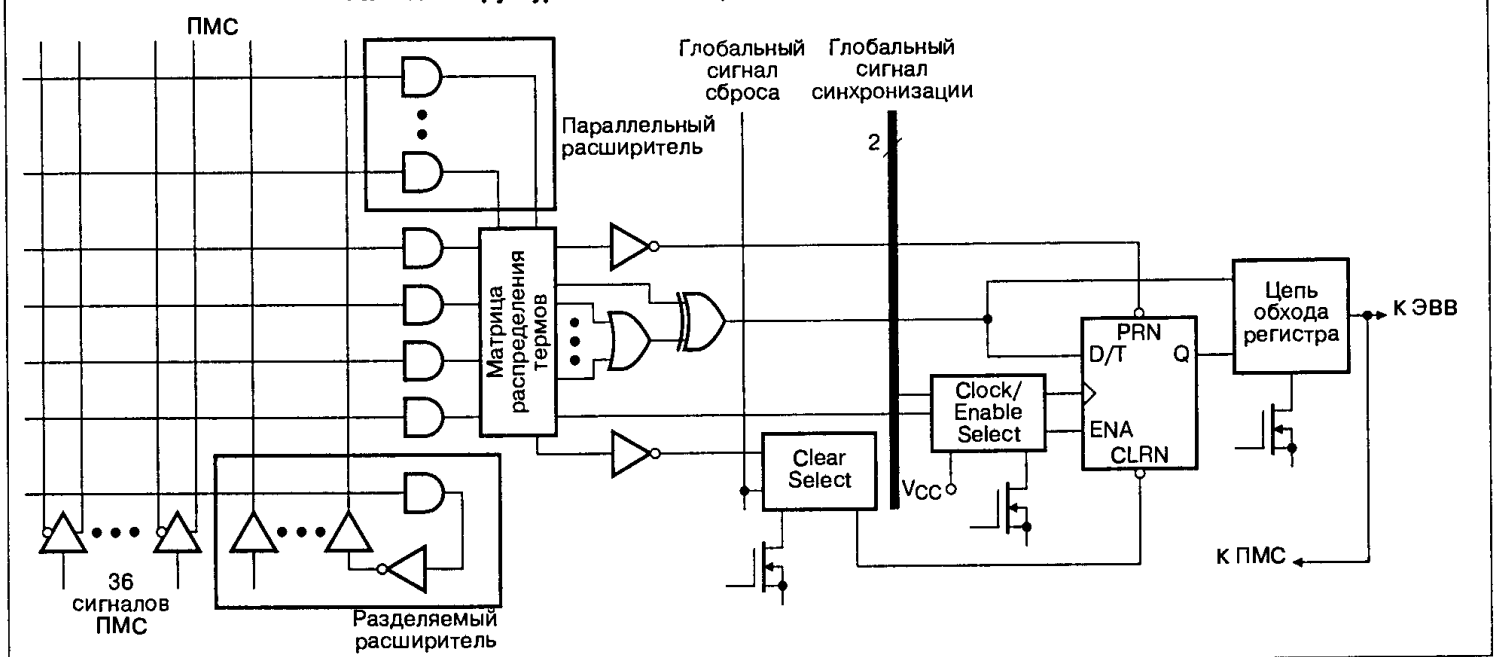
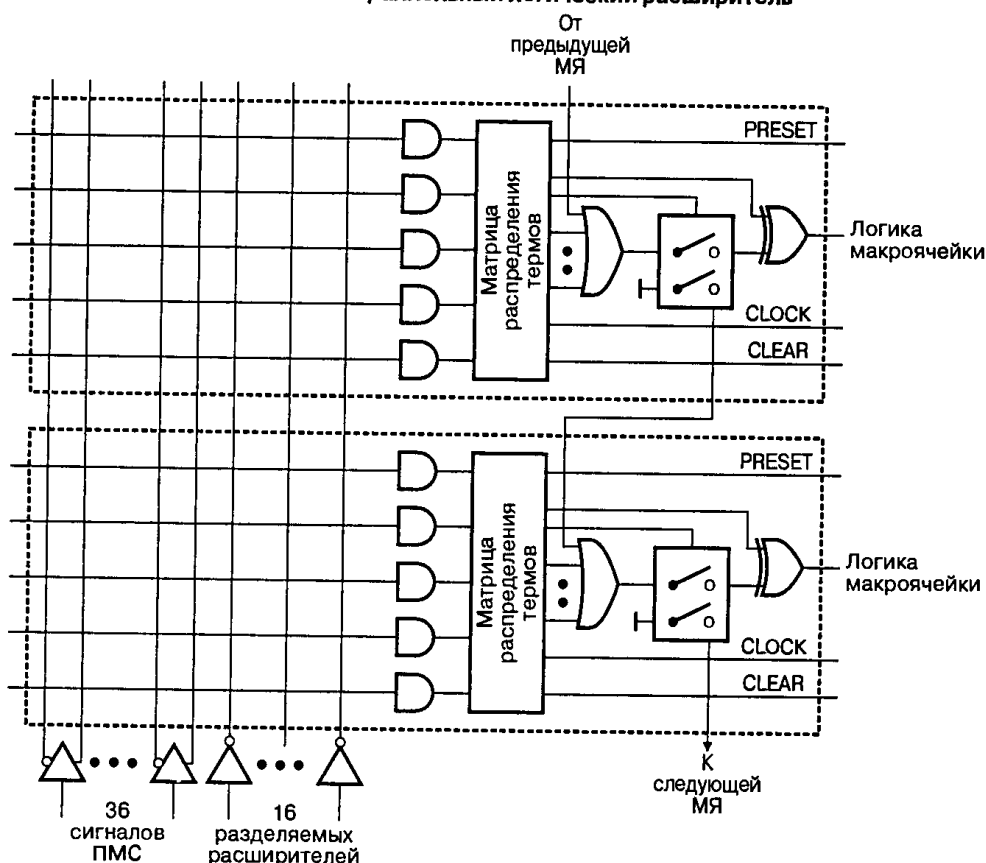


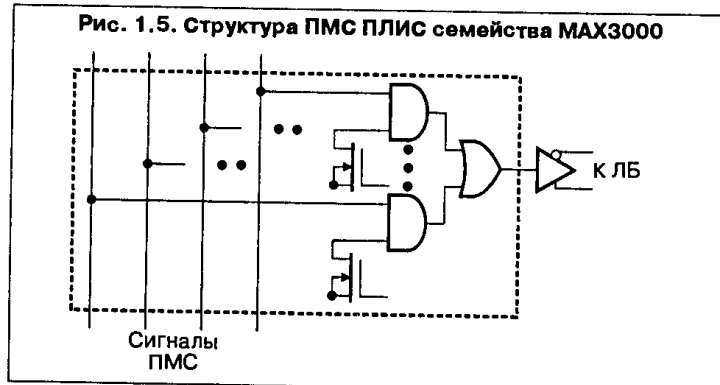
Рис. 1.4. Параллельный логический расширитель



Параллельный логический расширитель (Рис. 1.4), позволяет использовать локальные матрицы смежных МЯ для реализации функций, в которые входят более 5 термов. Одна цепочка параллельных расширителей может включать до 4 МЯ, реализуя функцию 20 термов. Компилятор системы MAX+PLUS II поддерживает размещение до 3-х наборов не более чем по 5 параллельных расширителей.

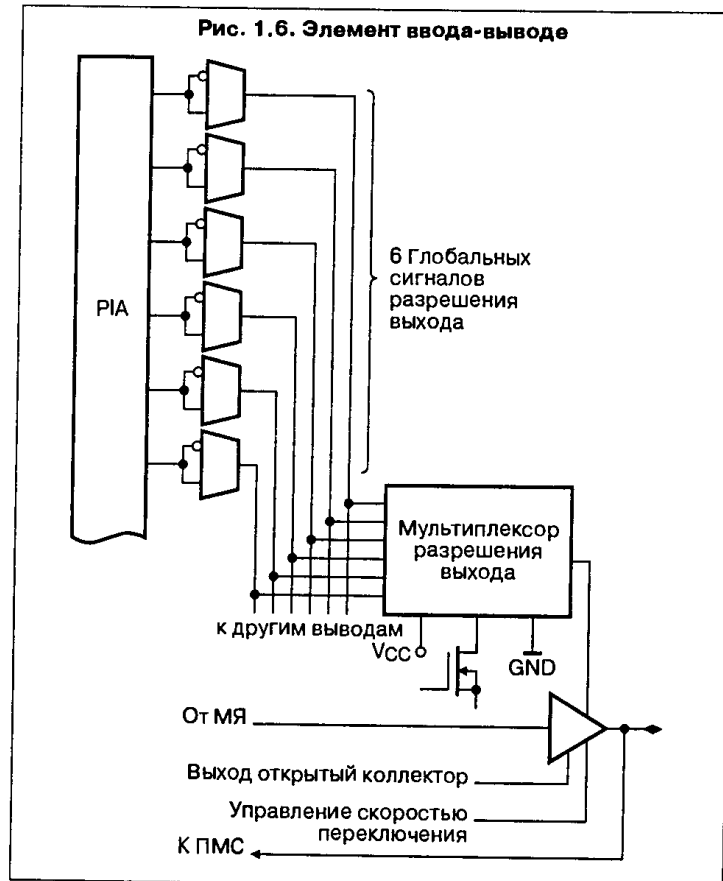
На Рис. 1.5 приведена структура программируемой матрицы соединений

Рис. 1.5. Структура ПМС ПЛИС семейства MAX3000



На ПМС выводятся сигналы от всех возможных источников ЭВВ, сигналов обратной связи ЛБ, специализированных выделенных выводов. В процессе программирования только необходимые сигналы "заводятся" на каждый ЛБ. На Рис. 1.5 приведена структурная схема формирования сигналов ЛБ.

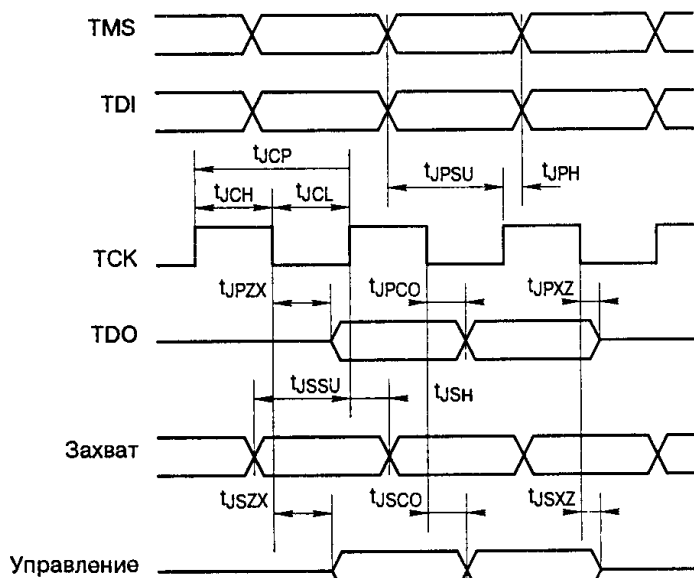
Рис. 1.6. Элемент ввода-вывода



На **Рис 1.6** приведена схема элемента ввода-вывода ПЛИС семейства MAX3000. ЭВВ позволяет организовать режимы работы с открытым коллектором и третьим состоянием

ПЛИС семейства MAX3000 полностью поддерживают возможность программирования в системе в соответствии со стандартом IEEE Std 1149.1 — 1990 (JTAG) с использованием соответствующих инструментальных средств. Повышенное напряжение программирования формируется специализированными схемами, входящими в состав ПЛИС семейства MAX3000, из напряжения питания 3 В. Во время программирования в системе входы и выходы ПЛИС находятся в третьем состоянии и «слегка» подтянуты к напряжению питания. Сопротивления внутренних подтягивающих резисторов порядка 50 кОм. На **Рис. 1.7** приведены временные диаграммы программирования ПЛИС семейства MAX3000 через порт JTAG.

Рис. 1.7. Временные диаграммы программирования ПЛИС семейства MAX3000 через порт JTAG



Значения временных параметров приведены в **Таблице 1.2**

Таблица 1.2. Временные параметры порта JTAG

Обозначение	Параметр	Значение	
		Min	Max
t_{JCP}	Период сигнала TCK, [нс]	100	—
t_{JCH}	Длительность единичного уровня сигнала TCK, [нс]	50	—
t_{JCL}	Длительность нулевого уровня сигнала TCK, [нс]	50	—
t_{JPSU}	Время установления порта JTAG, [нс]	20	—
t_{JPH}	Длительность сигнала JTAG, [нс]	45	—
t_{JPCO}	Задержка распространения сигнала относительно такта JTAG, [нс]	—	25
t_{JPZX}	Задержка перехода сигнала JTAG из третьего состояния, [нс]	—	25
t_{JPXZ}	Задержка перехода сигнала JTAG в третье состояние, [нс]	—	25
t_{JSSU}	Время установки регистра захвата, [нс]	20	—
t_{JSH}	Длительность сигнала на входе регистра захвата, [нс]	45	—
t_{JSCO}	Задержка обновления сигнала в регистре захвата относительно такта, [нс]	—	25
t_{JSZX}	Задержка перехода сигнала регистра захвата из третьего состояния, [нс]	—	25
t_{JSXZ}	Задержка перехода сигнала регистра захвата в третье состояние, [нс]	—	25

Временная модель ПЛИС семейства MAX3000A приведена на **Рис 1.8**

ПЛИС семейства MAX3000A имеют предсказуемую задержку распространения сигнала, поэтому результаты временного моделирования в САПР MAX+PLUS II полностью адекватны поведению реальной схемы, в отличие от ПЛИС, выполненных по SRAM технологии

В **Таблице 1.3** приведено описание параметров временной модели для ПЛИС семейства MAX3000A с быстродействием -4 и -10

Рис. 1.8. Временная модель ПЛИС семейства MAX3000A

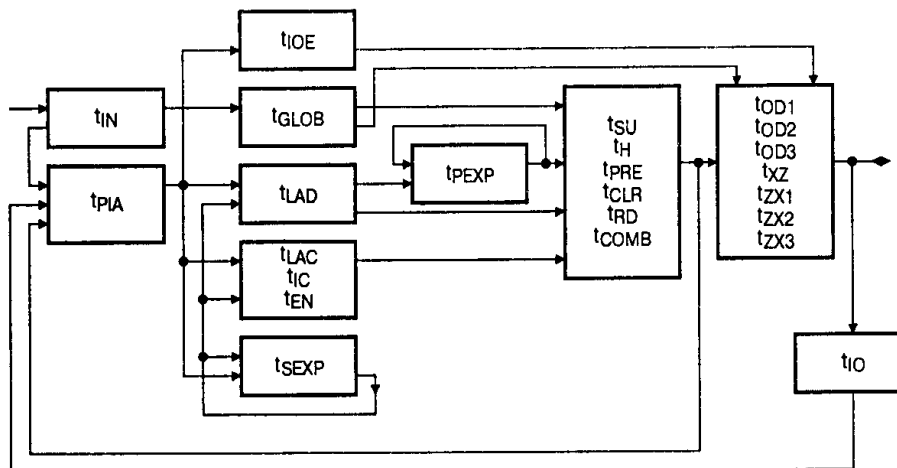


Таблица 1.3. Параметры временной модели ПЛИС МАХ3000А (все времена в нс)

Обозначение	Параметр	Значение			
		-4		-10	
		Min	Max	Min	Max
t_{IN}	Задержка на входе и входном буфере		0.3		0.6
t_{IO}	Задержка на двунаправленном выводе и входном буфере		0.3		0.6
t_{SEXP}	Задержка разделяемого расширителя		1.9		4.9
t_{PEXP}	Задержка параллельного расширителя		0.5		1.1
t_{LAD}	Задержка в локальной программируемой матрице И		1.9		5.0
t_{LAC}	Задержка управляющего сигнала триггера в локальной программируемой матрице И		1.8		4.6
t_{OE}	Внутренняя задержка сигнала разрешения		0.0		0.0
t_{OD1}	Задержка сигнала от выходного буфера до вывода, $V_{CCIO} = 3.3$ В, $slew\ rate = off$		0.3		0.7
t_{OD2}	Задержка сигнала от выходного буфера до вывода, $V_{CCIO} = 2.5$ В, $slew\ rate = off$		0.8		1.2
t_{OD3}	Задержка сигнала от выходного буфера до вывода, $slew\ rate = on$		5.3		5.7
t_{ZX1}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $V_{CCIO} = 3.3$ В, $slew\ rate = off$		4.0		5.0
t_{ZX2}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $V_{CCIO} = 2.5$ В, $slew\ rate = off$		4.5		5.5
t_{ZX3}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $slew\ rate = on$		9.0		10.0
t_{SU}	Время установки регистра		4.0		5.0
t_H	Время удержания сигнала на регистре	1.4		1.7	
t_{RD}	Регистровая задержка	0.8		3.8	
t_{COMB}	Комбинационная задержка		1.2		2.8
t_{IC}	Задержка изменения сигнала относительно тактового импульса		1.3		2.0
t_{EN}	Задержка разрешения регистра		1.9		4.6
t_{GLOB}	Задержка глобальных управляющих сигналов		1.8		4.6
t_{PRE}	Время предустановки регистра МЯ		1.0		1.8
t_{CLR}	Время сброса регистра МЯ		2.3		5.2
t_{PIA}	Задержка ПМС		2.3		5.2
t_{LPA}	Задержка за счет режима пониженного потребления		0.7		1.7
			1.2		10.0

В Таблице 1.4 приведены динамические параметры ПЛИС семейства МАХ3000А.

Таблица 1.4. Динамические параметры ПЛИС (временные параметры в нс, частоты в МГц)

Обозначение	Параметр	Значение			
		-4		-10	
		Min	Max	Min	Max
t_{PD1}	Задержка вход — комбинаторный выход		4.5		10.0
t_{PD2}	Задержка вход — регистровый выход		4.5		10.0
t_{SU}	Время установки глобального синхросигнала	3.0		6.6	
t_H	Время удержания глобального синхросигнала	0.0		0.0	
t_{CO1}	Задержка глобального синхросигнала до выхода	1.0	2.8	1.0	5.9
t_{CH}	Длительность высокого уровня глобального синхросигнала	2.0		4.0	
t_{CL}	Длительность низкого уровня глобального синхросигнала	2.0		4.0	
t_{ASU}	Время установки синхросигнала триггера МЯ	1.4		2.1	
t_{AH}	Время удержания синхросигнала триггера МЯ	0.8		3.4	
t_{ACO1}	Задержка синхросигнала триггера МЯ до выхода		4.4		10.4
t_{ACH}	Длительность высокого уровня синхросигнала триггера МЯ	2.0		4.0	
t_{ACL}	Длительность низкого уровня синхросигнала триггера МЯ	2.0		4.0	
t_{CPW}	Минимальная длительность сигналов сброса и установки триггера МЯ	2.0		2.0	
t_{CNT}	Минимальный период глобального синхросигнала		5.2		11.2
f_{CNT}	Максимальная глобальная внутренняя тактовая частота	192.3		89.3	
t_{ACNT}	Минимальный период синхросигнала триггера МЯ		5.2		11.2
f_{ACNT}	Максимальная внутренняя тактовая частота триггера МЯ	192.3		89.3	
f_{MAX}	Максимальная тактовая частота	250		125.0	

Рис 1.9 и 1.10 иллюстрируют задержки сигналов в ПЛС МАХ3000А в зависимости от режима работы ПЛИС. На Рис 1.10 и 1.11 длительности переднего и заднего фронтов t_H и t_F соответственно равны 2 нс.

Рис. 1.9. Задержки в ПЛИС МАХ3000А

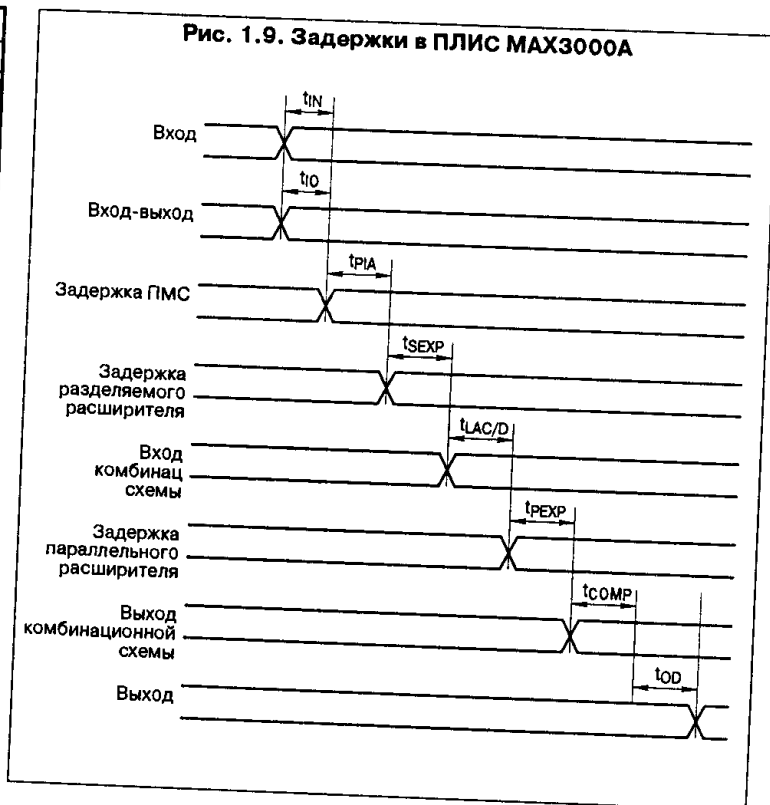
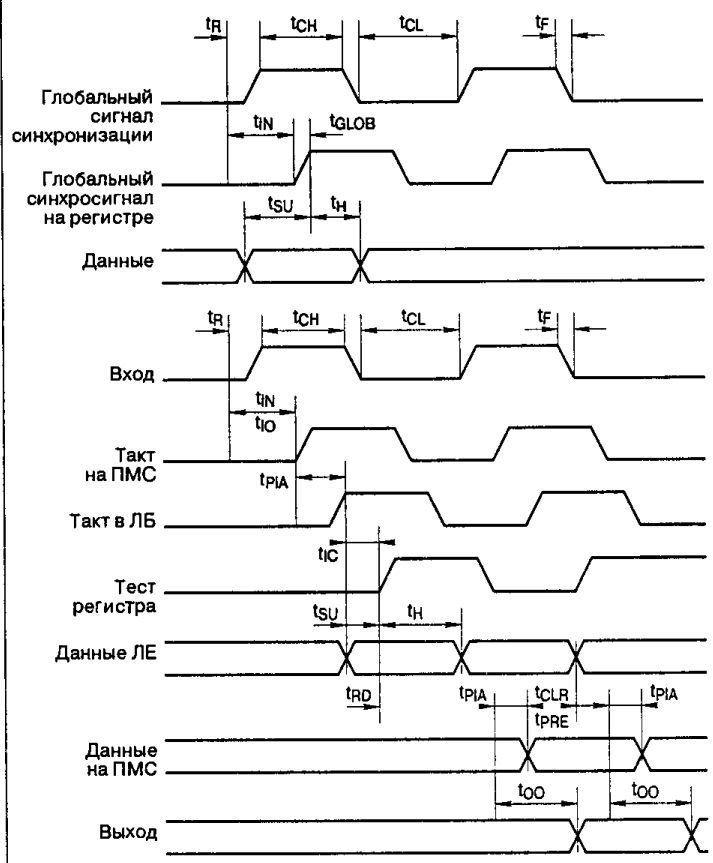


Рис. 1.10. Задержки в ПЛИС MAX3000A



Таким образом, мы рассмотрели основные архитектурные особенности и принципы построения ПЛИС семейства MAX3000A. Следует еще раз заметить, что в книге намеренно не приводится информация о назначении контактов для различных корпусов, потребляемой мощности и т.д. Это связано с тем, что данная информация легко доступна как на CD Altera Digital Library, так и в Internet.

1.2. СЕМЕЙСТВО FLEX6000

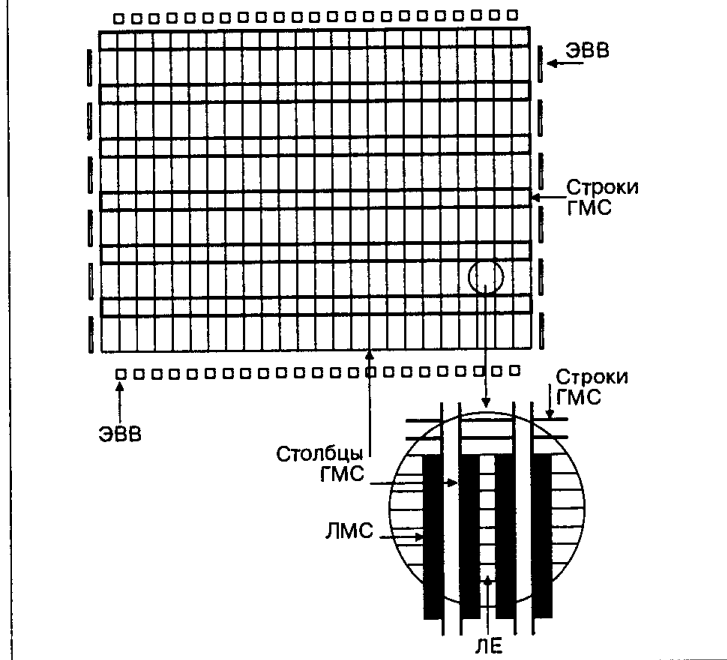
Относительно новое семейство ПЛИС FLEX6000 появилось на рынке в конце 1997 года. По своим характеристикам оно является промежуточным между семействами FLEXB000 и FLEX10K. ПЛИС FLEX6000 выпускаются по технологии 0,5 мкм SRAM (FLEX6000A по 0,35 мкм) с тремя слоями металлизации и обладают удачными характеристиками цена-производительность для реализации не очень сложных алгоритмов ЦОС. В Таблице 1.5 приведены основные характеристики ПЛИС FLEX6000.

Таблица 1.5. Основные характеристики FLEX6000

	EPF6010	EPF6016	EPF6016A	EPF6024A
Максимальная логическая емкость эквивалентных вентилей	10 000	16 000	16 000	24 000
Число логических элементов	800	1320	1320	1960
Число логических блоков	80	132	132	196
Число программируемых пользователем выводов	160	204	204	215

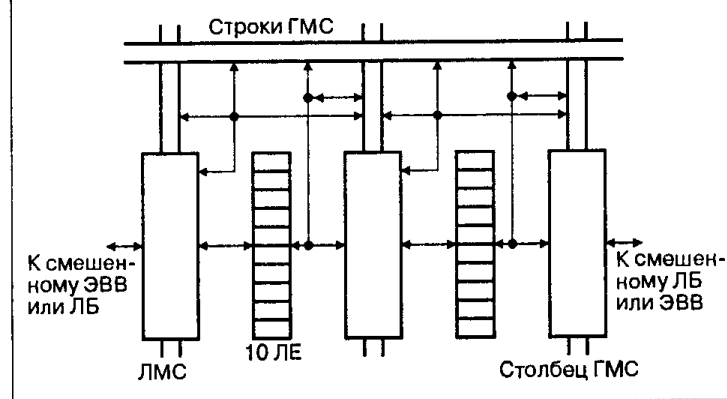
Отличительной особенностью архитектуры ПЛИС FLEX6000 является технология OptiFLEX, представленная на Рис. 1.11.

Рис. 1.11. Технология OptiFLEX



В основе архитектуры OptiFLEX лежат логические блоки (ЛБ) (LABs, Logic array blocks), каждый из которых объединяет по 10 логических элементов (ЛЭ) (LEs, Logic elements) с помощью локальной матрицы соединений. Особенностью архитектуры OptiFLEX является то, что каждый логический элемент может коммутироваться как на локальную матрицу соединений собственного логического блока, так и смежных (Рис. 1.11), тем самым расширяются возможности для трассировки.

Рис. 1.12. Структура ЛБ FLEX6000



На Рис. 1.12 приведена структура ЛБ ПЛИС семейства FLEX6000. Как видно из Рис. 1.12, ЛБ имеет чередующуюся структуру (interleaved structure), объединяя на локальной матрице соединений (ЛМС) (local interconnect) сигналы с двух смежных ЛБ. Кроме того, сигналы с ЛЭ и ЛМС могут коммутироваться на строки и столбцы глобальной матрицы соединений (Row and column interconnect), которые имеют непрерывную структуру, обеспечивающую минимальные задержки.

Рис. 1.13. Специализированные сигналы

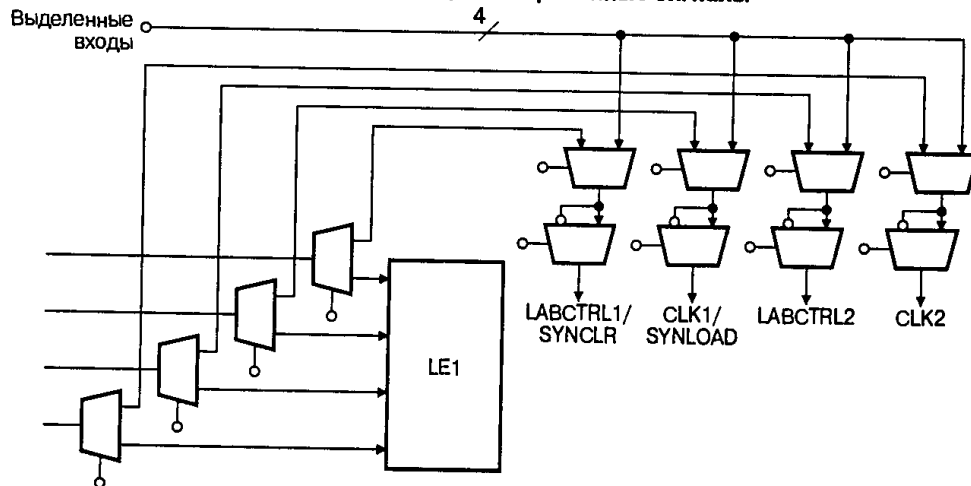
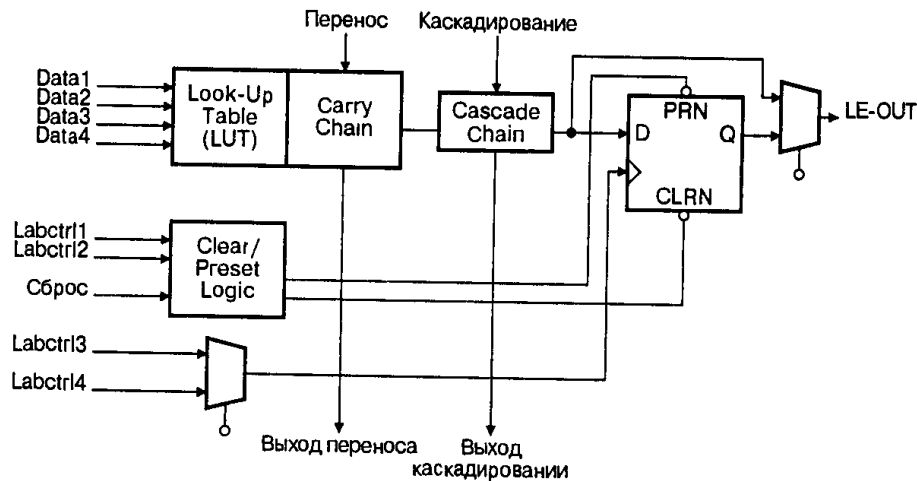


Рис. 1.14. Структура ЛЭ ПЛИС семейства FLEX6000



Каждый ЛБ и ЛЭ управляется выделенными глобальными сигналами (Dedicated inputs), являющимися сигналами сброса, установки и синхронизации триггеров ЛЭ (Рис. 1.13)

На Рис. 1.14 приведена структура ЛЭ ПЛИС семейства FLEX6000. В основе ЛЭ лежит четырехходовая таблица перекодировок (ТП, LUT, Look-up Table). Кроме того, в состав ЛЭ входят цепи ускоренного цепочечного переноса (Carry-in, carry-out) и каскадирования (cascade-in, cascade-out). Триггер ЛЭ может быть сконфигурирован с помощью логики сброса-установки (clear/preset logic). Его тактирование осуществляется одним из сигналов, выбираемых логикой тактирования (clock select). При необходимости, сигнал с выхода ТП может быть подан на выход ЛЭ в обход триггера (register bypass).

Для обеспечения минимальной задержки при реализации сложных арифметических функций, таких, как счетчики, сумматоры, вычитатели и т. п., используется организация ускоренных цепочечных переносов (carry chain) между ЛЭ. Логика ускоренных переносов автоматически формируется компилятором САПР MAX+PLUS II, или вручную при описании проекта.

При организации цепочечных переносов первый ЛЭ каждого ЛБ не включается в цепочку цепочечных переносов, поскольку он формирует управляющие сигналы ЛБ. Вход первого ЛЭ в каждом ЛБ может быть использован для формирования сигналов синхронной загрузки или сброса счетчиков, использующих цепочечный перенос.

Цепочка переносов, длинее чем 9 ЛЭ автоматически формируется путем объединения нескольких ЛБ вместе, причем перенос формируется не в соседний ЛБ, а через один, то есть из четного в четный, из нечетного ЛБ — в нечетный. Например, последний ЛЭ в первом ЛБ в ряду формирует перенос во второй ЛЭ в третьем ЛБ в том же ряду. Отсюда ясно, что длина цепочки переносов не может быть больше, чем половина ряда.

На Рис. 1.15 приведен пример реализации полного сумматора с использованием логики ускоренного переноса. В этом случае ТП сконфигурирована таким образом, что два ее входа формируют сигнал суммы, а два других входа — перенос.

При реализации многоходовых функций используется режим каскадирования ЛЭ (Рис. 1.16). ТП смежных ЛЭ реализуют частичные функции, а затем с помощью цепей каскадирования формируется выход функции многих переменных. Логика каскадирования строится либо по И (AND), либо по ИЛИ (OR).

При каскадировании по И возможно использование регистра последнего ЛЭ, при каскадировании по ИЛИ использование регистра невозможно, поскольку инвертор используется для реализации элемента ИЛИ.

Аналогично цепочечным переносам, при каскадировании объединяются либо только четные, либо нечетные ЛЭ.

Рис. 1.15. Цепочечный перенос в сумматоре

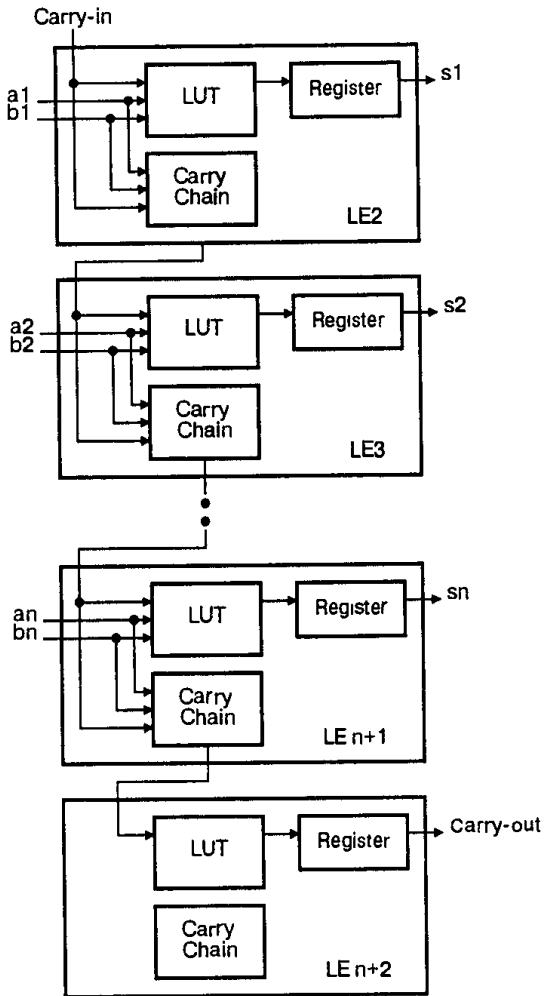
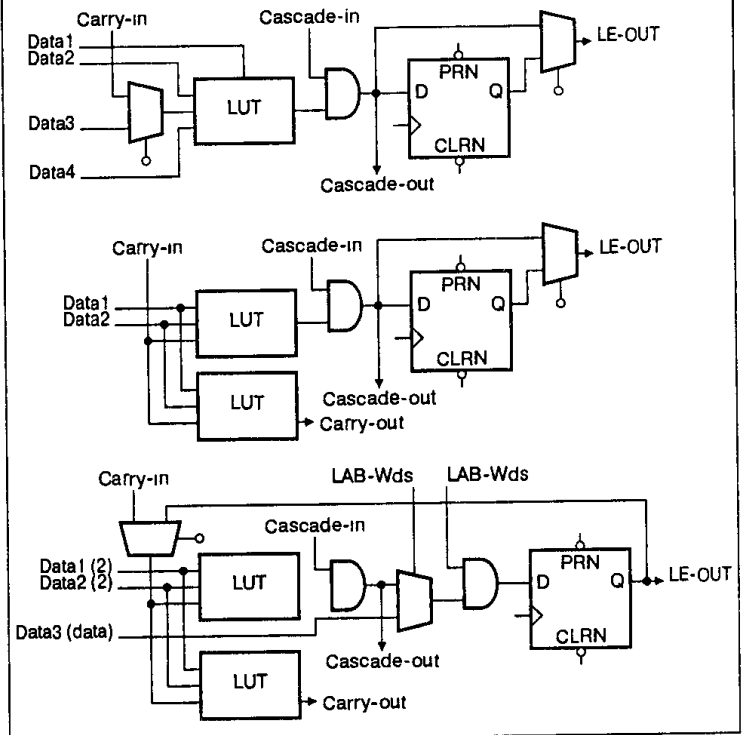


Рис. 1.16 иллюстрирует реализацию каскадирования для функции большого числа переменных. Так, при реализации 16-разрядного дешифратора адрес задержки составляет порядка 3-5 нс.

Каждый ЛЭ ПЛИС может быть сконфигурирован тремя способами (Рис. 1.17)

- нормальный режим (normal mode),
- арифметический режим (arithmetic mode),
- режим счетчика (counter mode),

Рис. 1.17. Режимы конфигурации ЛЭ



Нормальный режим используется для реализации основных логических функций, комбинационных схем, дешифраторов с большим числом входов, когда возможность каскадного наращивания позволяет получить выигрыш во времени.

В нормальном режиме ТП имеет четыре входа, источниками которых являются сигналы с ЛМС и цепочечные переносы.

Арифметический режим используется для реализации сумматоров, вычитателей, накопителей и компараторов. В арифметическом режиме ТП конфигурируется как две трехвходовых ТП: одна для функции трех переменных, другая — сигнала ускоренного переноса.

В режиме счетчика возможна реализация с помощью ТП функций разрешения счета, реверса, синхронных сброса и загрузки данных в счетчик. Кроме того, формируются ускоренный перенос для реализации синхронных счетчиков с помощью двух трехвходовых ТП, подобно арифметическому режиму.

Каждый ЛЭ имеет возможность глобальной асинхронной установки и сброса триггера, а также эмуляции внутренней шины с тремя состояниями.

Рис. 1.16. Каскадирование ЛЭ

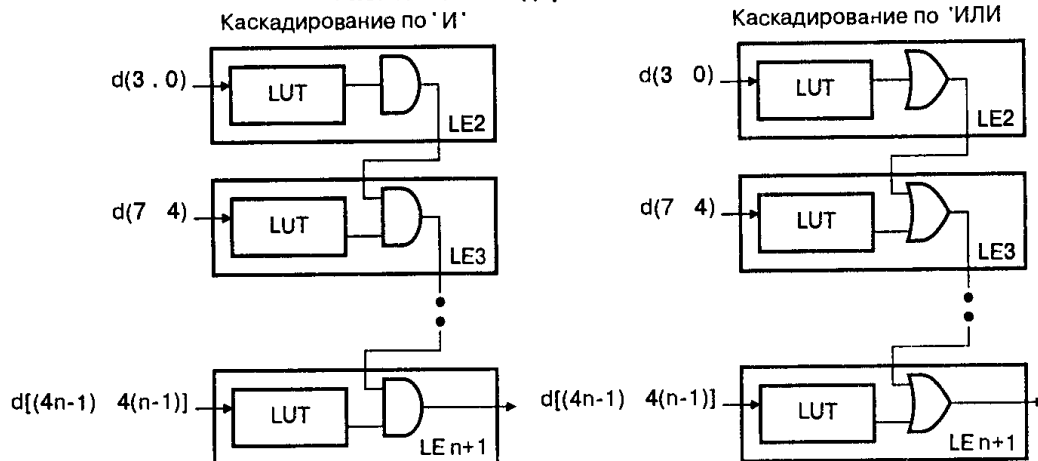
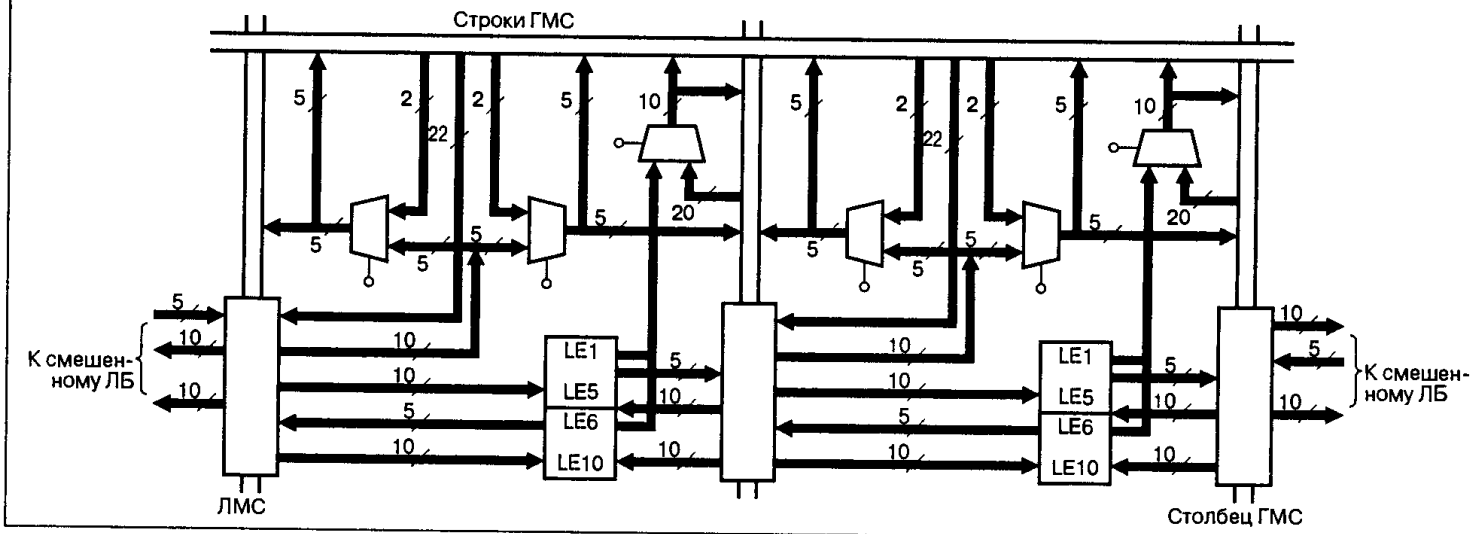


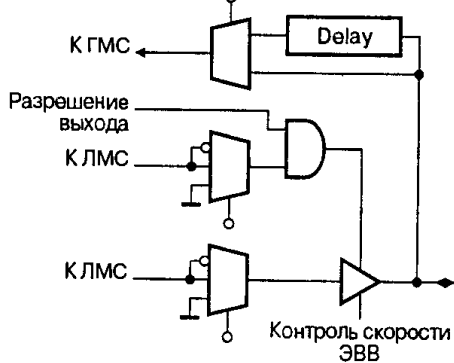
Рис. 1.18. Коммутация ЛЭ на матрицы соединений



На Рис. 1.18 приведена схема коммутации ЛБ и ЛЭ на локальную и глобальную матрицу соединений. Следует отметить, что ГМС имеет непрерывную структуру, как по строкам, так и по столбцам (т.н. FastTrack Interconnect). Как можно видеть из Рис.1.18, ЛЭ имеют возможность коммутации входов и выходов как на ЛМС, так и на ГМС. Кроме того, на ЛЭ могут быть сформированы глобальные управляющие сигналы, такие, как внутренняя тактовая частота, сигналы асинхронного сброса и установки. Каждый ЛБ коммутируется на две ЛМС, тем самым улучшая возможности трассировки ПЛИС.

На Рис. 1.19 приведена структурная схема элемента ввода-вывода (ЭВВ).

Рис. 1.19. Элемент ввода-вывода



Как можно заметить, ЭВВ позволяет коммутировать данные как на глобальные цепи, так и на локальную матрицу соединений. Управление ЭВВ осуществляется с помощью глобального управляющего сигнала разрешения выхода (Chip-Wide Output Enable). Кроме того, можно задать режим пониженной скорости переключения ЭВВ (Slew Rate Control), что позволяет снизить "звон" от высокой скорости переключения, правда ценой задержки 5нс.

ПЛИС семейства FLEX6000 поддерживают возможность конфигурации через порт JTAG, временные диаграммы приведены на Рис. 1.20.

Временные параметры конфигурации по порту JTAG приведены в Таблице 1.6.

На Рис. 1.21 приведена временная модель FLEX6000, а в Таблице 1.7 — значения ее параметров.

Рис. 1.20. Временные диаграммы конфигурации через порт JTAG

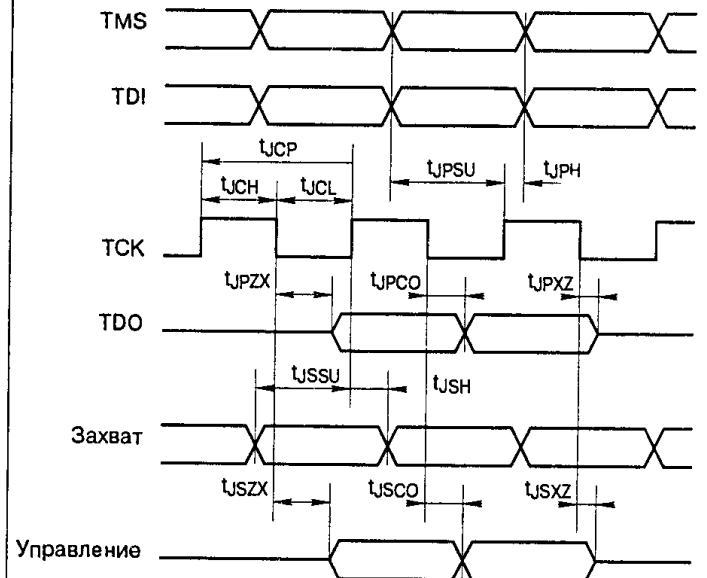


Таблица 1.6. Временные параметры конфигурации по порту JTAG

Обозначение	Параметр	Значение	
		Min	Max
t_{JCP}	Период сигнала TCK, [нс]	100	—
t_{JCH}	Длительность единичного уровня сигнала TCK, [нс]	50	—
t_{JCL}	Длительность нулевого уровня сигнала TCK, [нс]	50	—
t_{JPSU}	Время установления порта JTAG, [нс]	20	—
t_{JPH}	Длительность сигнала JTAG	45	—
t_{JPCO}	Задержка распространения сигнала относительно такта JTAG, [нс]	—	25
t_{JPZX}	Задержка перехода сигнала JTAG из третьего состояния, [нс]	—	25
t_{JPXZ}	Задержка перехода сигнала JTAG в третье состояние, [нс]	—	25
t_{JSSU}	Время установки регистра захвата, [нс]	20	—
t_{JSH}	Длительность сигнала на входе регистра захвата, [нс]	45	—
t_{JSZO}	Задержка обновления сигнала в регистре захвата относительно такта, [нс]	—	35
t_{JSZX}	Задержка перехода сигнала регистра захвата из третьего состояния, [нс]	—	35
t_{JSXZ}	Задержка перехода сигнала регистра захвата в третье состояние, [нс]	—	35

Рис. 1.21. Временная модель ПЛИС FLEX6000

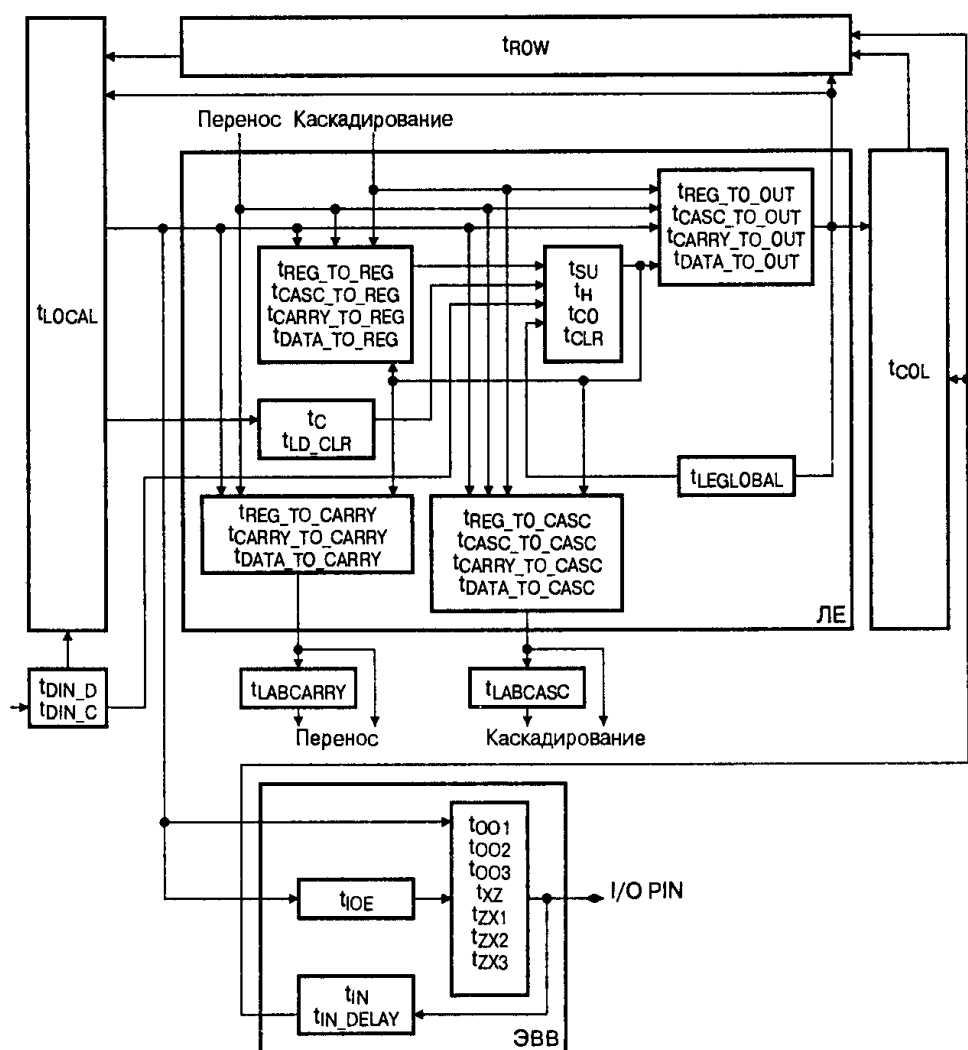


Таблица 1.7. Параметры временной модели

Обозначение	Параметр	Значение (для EPF6010A-1) [нс]	
		Min	max
$t_{REG_TO_REG}$	Задержка на ТП для обратной связи триггера ЛЭ в цепочке переноса	—	12
$t_{CASC_TO_REG}$	Задержка в цепи каскадирования до входа регистра	—	09
$t_{CARRY_TO_REG}$	Задержка в цепи переноса до входа регистра	—	09
$t_{DATA_TO_REG}$	Задержка входных данных ЛЭ до регистра	—	11
$t_{CASC_TO_OUT}$	Задержка от входа каскадирования до выхода ЛЭ	—	13
$t_{CARRY_TO_OUT}$	Задержка от входа переноса до выхода ЛЭ	—	16
$t_{DATA_TO_OUT}$	Задержка входных данных ЛЭ до выхода	—	17
$t_{REG_TO_OUT}$	Задержка данных с выхода регистра до выхода ЛЭ	—	04
t_{SU}	Время установки регистра	09	—
t_{H}	Время удержания сигнала на входе регистра после подачи синхронного импульса	14	—
t_{CO}	Задержка выходного сигнала регистра относительно такта	—	03
t_{CLR}	Задержка сброса регистра	—	04
t_c	Задержка управляющего сигнала на регистре	—	18
t_{LD_CLR}	Задержка сигнала синхронного сброса или загрузки регистра в режиме счетчика	—	18

Обозначение	Параметр	Значение (для EPF6010A-1) [нс]	
		Min	max
$t_{CARRY_TO_CARRY}$	Задержка сигнала переноса от входа переноса до выхода переноса	—	01
$t_{REG_TO_CARRY}$	Задержка выходного сигнала регистра до выхода переноса	—	16
$t_{DATA_TO_CARRY}$	Задержка входных данных ЛЭ до выхода переноса	—	21
$t_{CARRY_TO_CASC}$	Задержка сигнала переноса от входа переноса до выхода каскадирования	—	10
$t_{REG_TO_CASC}$	Задержка выходного сигнала регистра до выхода каскадирования	—	14
$t_{CASC_TO_CASC}$	Задержка сигнала каскадирования от входа каскадирования до выхода каскадирования	—	05
$t_{DATA_TO_CASC}$	Задержка входных данных ЛЭ до выхода каскадирования	—	11
t_{CH}	Длительность высокого уровня тактового сигнала регистра	25	—
t_{CL}	Длительность низкого уровня тактового сигнала регистра	25	—
t_{OD1}	Задержка сигнала от выходного буфера до вывода, $V_{CCIO} = 3.3\text{ В}$, slew rate = off	—	19

Таблица 1.7. Параметры временной модели (продолжение)

Обозначение	Параметр	Значение (для EPF6010A-1) [нс]	
		Min	max
t_{OD2}	Задержка сигнала от выходного буфера до вывода, $V_{CCIO} = 2.5 \text{ В}$, $\text{slew rate} = \text{off}$	—	41
t_{OD3}	Задержка сигнала от выходного буфера до вывода, $\text{slew rate} = \text{on}$	—	58
t_{XZ}	Задержка сигнала в выходном буфере после сигнала запрещения выхода	—	14
t_{ZX1}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $V_{CCIO} = 3.3 \text{ В}$, $\text{slew rate} = \text{off}$	—	14
t_{ZX2}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $V_{CCIO} = 2.5 \text{ В}$, $\text{slew rate} = \text{off}$	—	36
t_{ZX3}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $\text{slew rate} = \text{on}$	—	53
t_{OE}	Задержка сигнала разрешения выхода	—	05
t_{IN}	Задержка сигнала во входном буфере	—	36
t_{IN_DELAY}	Задержка сигнала во входном буфере при введении дополнительной задержки	—	48
t_{LOCAL}	Задержка ЛМС	—	07
t_{ROW}	Задержка в строке ГМС	—	29

Обозначение	Параметр	Значение (для EPF6010A-1) [нс]	
		Min	max
t_{COL}	Задержка в столбце ГМС	—	12
t_{DIN_D}	Задержка данных с выделенного вывода до входа ЛЭ	—	54
t_{DIN_C}	Задержка управляющих сигналов с выделенного вывода до входа ЛЭ	—	43
$t_{LEGLOBAL}$	Задержка сформированного в ПЛИС управляющего сигнала с выхода ЛЭ до входов других ЛЭ	—	26
$t_{LBCARRY}$	Задержка сигнала переноса в другой ЛБ	—	07
t_{LBCASC}	Задержка сигнала каскадирования в другой ЛБ	—	13
t_1	Тестовая задержка регистр — регистр	—	376
t_{OPR}	Тестовая задержка регистр — регистр через 4 ЛЭ, 3 ряда и 4 ЛМС	—	—
t_{INSU}	Время установки глобального синхросигнала на регистре ЛЭ	—	21
t_{INH}	Время удержания данных для глобального синхросигнала на регистре ЛЭ	—	02
t_{OUTCO}	Задержка появления данных на выхода для глобального синхросигнала	—	20

Времене задержек распространения сигнала по ГМС приводятся из расчета "худшего случая"

1.3. СЕМЕЙСТВО MAX7000

ПЛИС семейства MAX7000 являются первыми CPLD фирмы ALTERA, выполненными по технологии ПЗУ с электрическим стиранием (EPROM). В настоящее время выпускаются ПЛИС MAX7000, MAX7000A, MAX7000B, MAX7000E, MAX7000S. Семейства MAX7000A и MAX7000B рассчитаны на работу в системах с напряжением питания 3.3 и 2.5 В соответственно, ПЛИС MAX7000S является дальнейшим развитием 5-вольтового MAX7000, с возможностью программирования в системе. В настоящее время это семейство, пожалуй, является самым популярным CPLD у российских разработчиков. Это связано с тем, что для работы с ПЛИС этого семейства не требуется никаких серьезных затрат, поскольку пакет MAX+PLUS II BASELINE полностью поддерживает всех представителей этого семейства ПЛИС, а для программирования и загрузки конфигурации устройств опубликована схема кабеля ByteBlaster и ByteBlasterMV. В Таблице 1.8 приведены основные характеристики ПЛИС семейства MAX7000S.

Все ПЛИС MAX7000S поддерживают технологию программирования в системе (ISP, In-system programmability) и периферийного сканирования (boundary scan) в соответствии со стандартом IEEE Std 1149.1 JTAG. Элементы ввода-вывода (ЭВВ) позволяют работать в системах с уровнями сигналов 5 В или 3.3 В. Матрица соеди-

нений имеет непрерывную структуру, что позволяет реализовать время задержки распространения сигнала до 5 нс. ПЛИС MAX7000S имеют возможность аппаратной эмуляции выходов с открытым коллектором (open — drains pin) и удовлетворяют требованиям стандарта PCI. Имеется возможность индивидуального программирования цепей сброса, установки и тактирования триггеров, входящих в макроячейку. Предусмотрен режим пониженного энергопотребления. Программируемый логический расширитель позволяет реализовать на одной макроячейке функции до 32 переменных. Имеется возможность задания бита секретности (security bit) для защиты от несанкционированного тиражирования разработки.

В отличие от архитектуры MAX7000 (рис. 1.22), ПЛИС MAX7000S (рис. 1.23) имеют возможность использования двух глобальных тактовых сигналов.

На рис. 1.24 приведена структура макроячейки логического элемента ПЛИС MAX7000S. Как можно заметить, МЯ ПЛИС MAX7000 не отличается от МЯ MAX3000.

Аналогично ПЛИС семейства MAX3000, ПЛИС MAX7000 имеют возможность использования параллельного и разделяемого расширителей, которые подробно описаны в параграфе 1.1.

Таблица 1.8. Основные характеристики семейства MAX7000S

	EPM7032S	EPM7064S	EPM7128S	EPM7160S	EPM7192S	EPM7256S
Логическая емкость, эквивалентных вентилей	600	1250	2500	3200	3750	5000
Число макроячеек	32	64	128	160	192	256
Число логических блоков	2	4	8	10	12	16
Число программируемых пользователем выводов	36	68	100	104	124	164
Задержка распространения сигнала вход-выход, t_{PD} , [нс]	5	5	6	6	7.5	7.5
Время установки глобального тактового сигнала, t_{SU} , [нс]	2.9	2.9	3.4	3.4	4.1	3.9
Задержка глобального тактового сигнала до выхода, t_{CO1} , [нс]	2.5	2.5	2.5	2.5	3.0	3.0
Максимальная глобальная тактовая частота, f_{CNT} , [МГц]	175.4	175.4	147.1	149.3	125.0	128.2

Рис. 1.22. Архитектура MAX7000

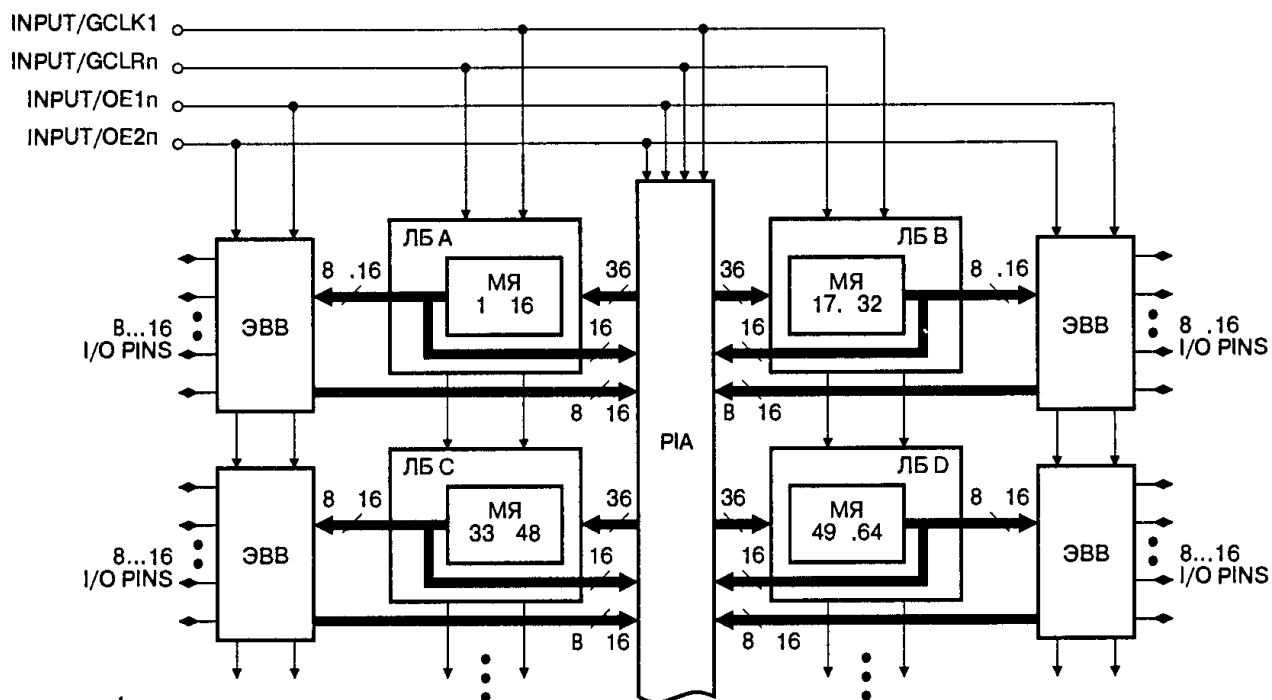
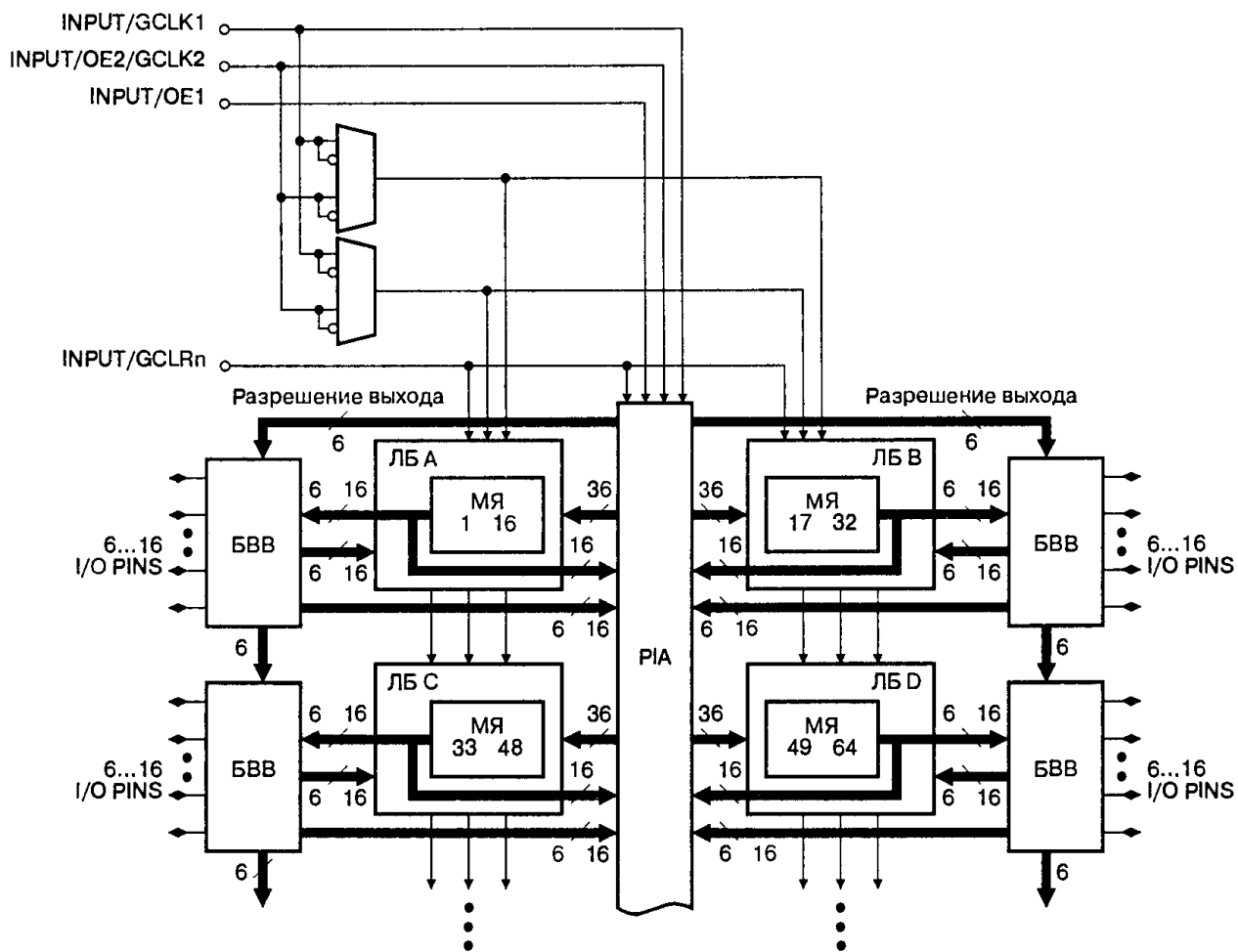
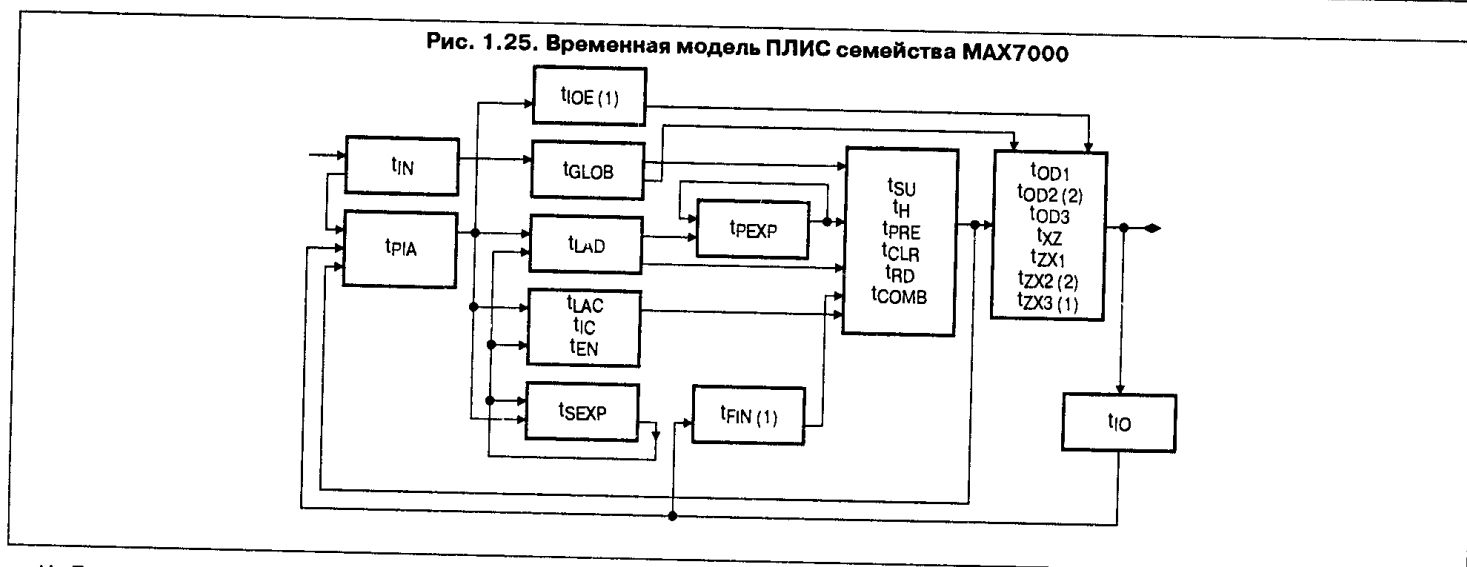
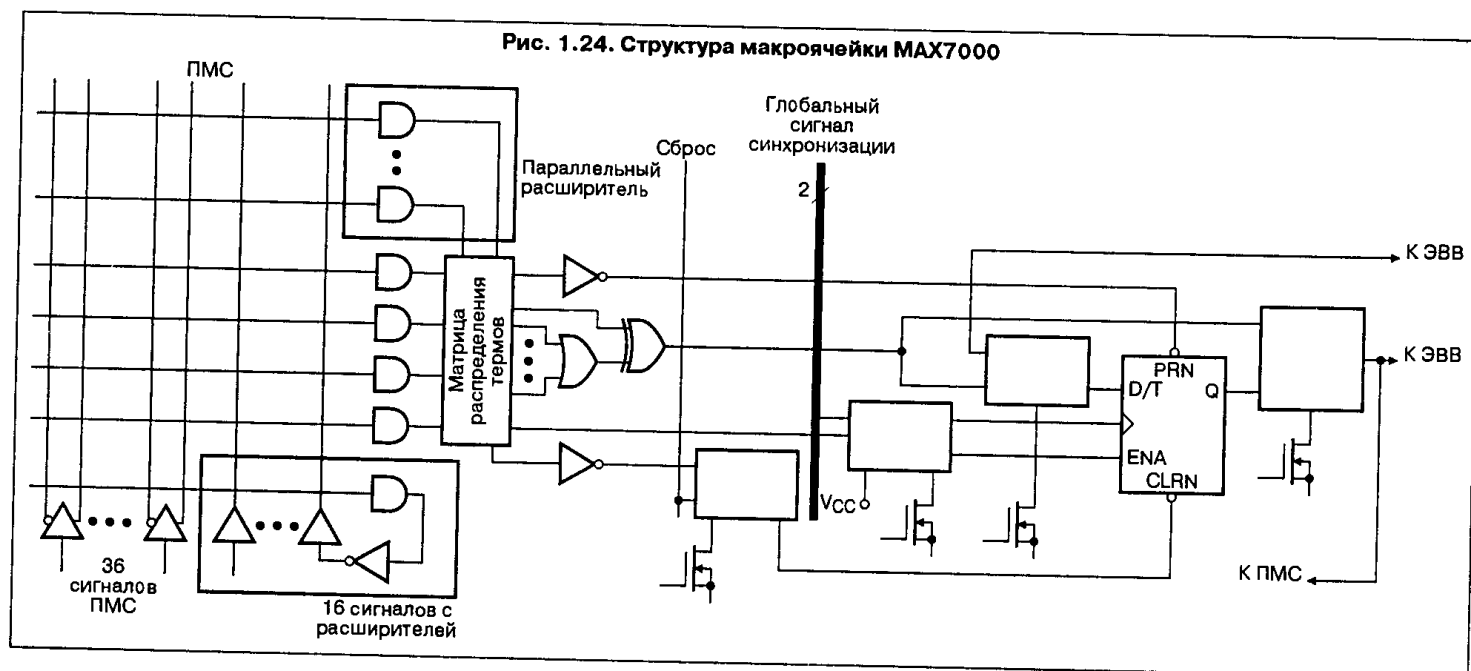


Рис. 1.23. Архитектура MAX7000S





На **Рис. 1.25** приведена временная модель ПЛИС семейства MAX7000, а в **Таблицах 1.9 и 1.10** ее параметры

Таблица 1.9. Параметры временной модели MAX7000 (все времена в нс)

Обозначение	Параметр	Значение для EPM70128S-10	
		Min	Max
t_{IN}	Задержка на входе и входном буфере	—	2
t_{IO}	Задержка на двунаправленном выводе и входном буфере	—	2
t_{SEXP}	Задержка разделяемого расширителя	—	8
t_{PEXP}	Задержка параллельного расширителя	—	10
t_{LAD}	Задержка в локальной программируемой матрице И	—	60
t_{LAC}	Задержка управляющего сигнала триггера в локальной программируемой матрице И	—	60
t_{OE}	Внутренняя задержка сигнала разрешения	—	30
t_{OD1}	Задержка сигнала от выходного буфера до вывода $V_{CCIO} = 3.3 \text{ В}$, $\text{slew rate} = \text{off}$	—	4
t_{OD2}	Задержка сигнала от выходного буфера до вывода, $V_{CCIO} = 2.5 \text{ В}$, $\text{slew rate} = \text{off}$	—	5

Обозначение	Параметр	Значение для EPM70128S-10	
		Min	Max
t_{OD3}	Задержка сигнала от выходного буфера до вывода, $\text{slew rate} = \text{on}$	—	8
t_{ZX1}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $V_{CCIO} = 3.3 \text{ В}$, $\text{slew rate} = \text{off}$	—	60
t_{ZX2}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $V_{CCIO} = 2.5 \text{ В}$, $\text{slew rate} = \text{off}$	—	70
t_{ZX3}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $\text{slew rate} = \text{on}$	—	100
t_{ZX}	Задержка сигнала в выходном буфере после сигнала запрещения выхода	—	60
t_{SU}	Время установки регистра	40	—
t_{H}	Время удержания сигнала на регистре	40	—
t_{RD}	Регистровая задержка	—	10
t_{COMB}	Комбинационная задержка	—	10

Таблица 1.9. Параметры временной модели MAX7000 (все времена в нс) (Продолжение)

Обозначение	Параметр	Значение для EPM70128S-10	
		Min	Max
t_{IC}	Задержка изменения сигнала относительно тактового импульса	—	6 0
t_{EN}	Задержка разрешения регистра	—	6 0
t_{GLOB}	Задержка глобальных управляющих сигналов	—	1 0

Обозначение	Параметр	Значение для EPM70128S-10	
		Min	Max
t_{PRE}	Время предустановки регистра МЯ	—	4 0
t_{CLR}	Время сброса регистра МЯ	—	4 0
t_{PIA}	Задержка ПМС	—	2 0
t_{LPA}	Задержка за счет режима пониженного потребления	—	13 0

Таблица 1.10. Параметры временной модели MAX7000 (временные параметры в нс, частоты в МГц)

Обозначение	Параметр	Значение для EPM70128S-10	
		Min	Max
t_{PD1}	Задержка вход — комбинаторный выход	—	10 0
t_{PD2}	Задержка вход — регистровый выход	—	10 0
t_{SU}	Время установки глобального синхросигнала	7 0	—
t_{H}	Время удержания глобального синхросигнала	0 0	—
t_{CO1}	Задержка глобального синхросигнала до выхода	—	4 5
t_{CH}	Длительность высокого уровня глобального синхросигнала	4 0	—
t_{CL}	Длительность низкого уровня глобального синхросигнала	4 0	—
t_{ASU}	Время установки синхросигнала триггера МЯ	2 0	—
t_{AH}	Время удержания синхросигнала триггера МЯ	5 0	—
t_{ACO1}	Задержка синхросигнала триггера МЯ до выхода	—	10 0

Обозначение	Параметр	Значение для EPM70128S-10	
		Min	Max
t_{ACH}	Длительность высокого уровня синхросигнала триггера МЯ	4 0	—
t_{ACL}	Длительность низкого уровня синхросигнала триггера МЯ	4 0	—
t_{CPW}	Минимальная длительность сигналов сброса и установки триггера МЯ	4 0	—
t_{CNT}	Минимальный период глобального синхросигнала	—	10 0
f_{CNT}	Максимальная глобальная внутренняя тактовая частота	100	—
t_{ACNT}	Минимальный период синхросигнала триггера МЯ	—	10 0
f_{ACNT}	Максимальная внутренняя тактовая частота триггера МЯ	100	—
f_{MAX}	Максимальная тактовая частота	125 0	—

1.4. СЕМЕЙСТВО FLEX8000

Семейство ПЛИС FLEX8000 выпускаются по технологии 0 5 мкм SRAM (с тремя слоями металлизации) и пригодны для реализации не очень сложных алгоритмов ЦОС. В Табл. 1.11 приведены основные характеристики ПЛИС FLEX8000.

Таблица 1.11. Основные характеристики FLEX8000

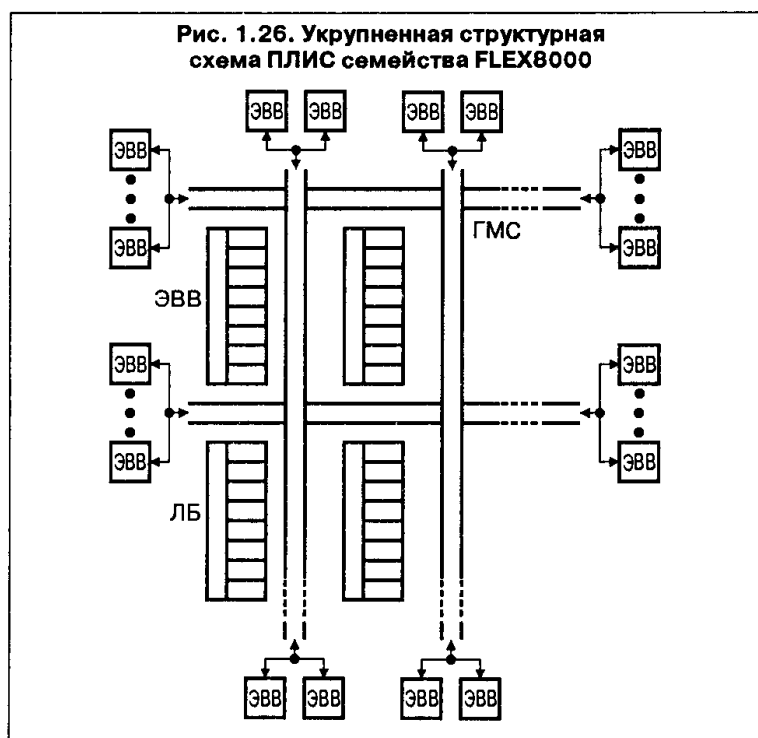
	EPF8282	EPF8452	EPF8636	EPF8820	EPF81188	EPF81500
Логическая емкость, эквивалентных вентилей	2500	4000	6000	8000	12000	16000
Число логических элементов	208	336	504	672	1008	1296
Число логических блоков	282	452	636	820	1188	1500
Число программируемых пользователем выводов	78	120	136	152	184	208

Данные ПЛИС обладают высокими характеристиками надежности, поэтому они достаточно часто используются в промышленных применениях.

На Рис.1.26 приведена обобщенная функциональная схема ПЛИС семейства FLEX8000. Как можно заметить, в архитектуре ПЛИС семейства FLEX8000 много общего с рассмотренным в параграфе 1 2 семейством FLEX6000, однако поскольку семейство FLEX8000 было разработано значительно раньше, то имеется ряд отличий.

Логические блоки ПЛИС семейства FLEX8000 объединяют по 8 логических элементов на ЛМС, при этом в отличие от FLEX6000 каждый ЛБ имеет возможность коммутации только на одну строку и столбец ГМС.

Структура ЛБ ПЛИС семейства FLEX8000 приведена на Рис. 1.27.

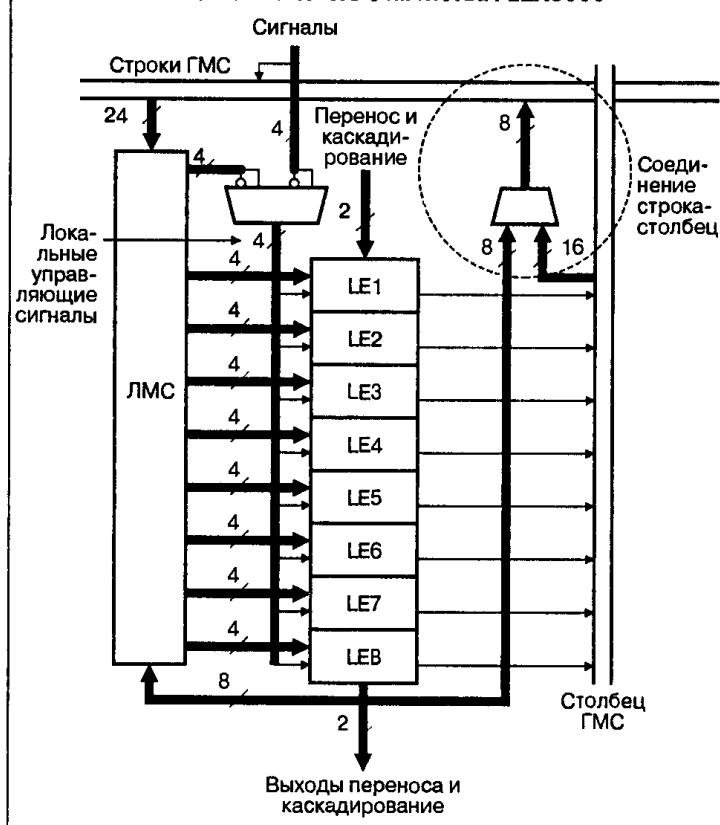


Каждый ЛЭ, входящий в ЛБ, имеет возможность коммутации как на ЛМС, так и на строки и столбцы ГМС. На ЛМС поступают 24 входных сигнала со строки ГМС, а также 8 сигналов обратной связи. Управляющие сигналы формируются либо из глобальных выделенных управляющих сигналов, либо из сигналов ЛМС.

Структура ЛЭ в целом практически подобна ЛЭ ПЛИС семейства FLEX6000.

ЛЭ ПЛИС семейства FLEX8000 допускают каскадирование, а также цепочечные переносы, имеют возможность конфигурации в нормальном, счетном и арифметическом режимах.

Рис. 1.27. ЛБ ПЛИС семейства FLEX8000



Временная модель ПЛИС FLEX8000 приведена на Рис 1.28 и 1.29.

Основные параметры временной модели ПЛИС семейства FLEX8000 приведены в Таблице 1.12.

Рис. 1.28. Временная модель ПЛИС FLEX8000

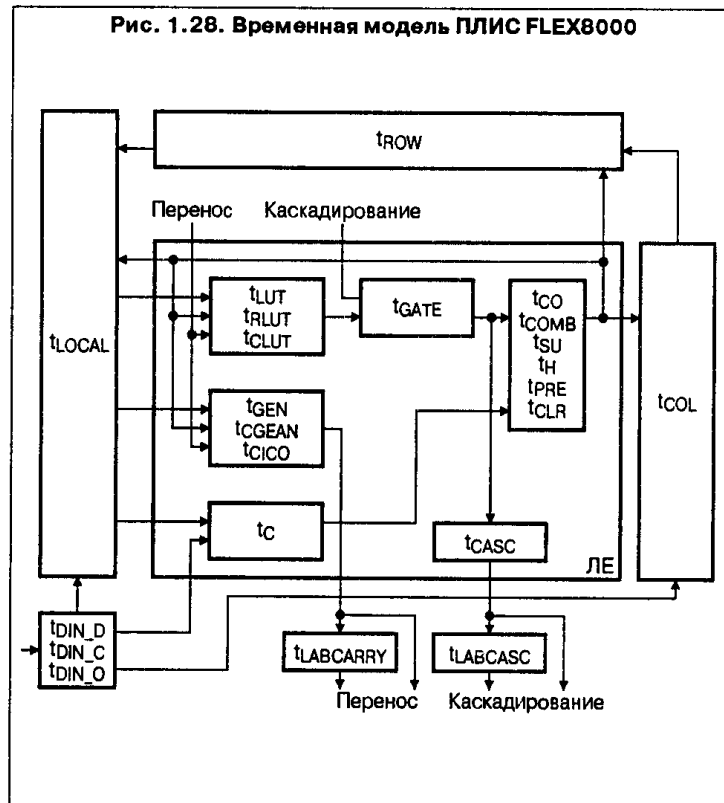


Рис. 1.29. Временная модель ПЛИС FLEX8000

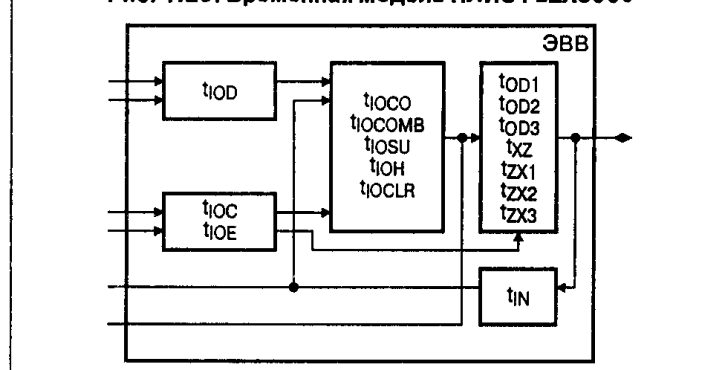


Таблица 1.12. Параметры временной модели ПЛИС семейства FLEX8000

Обозначение	Параметр	Значение (для EPF8282A-2), [нс]	
		min	max
t_{OD}	Задержка данных в регистре ЭВВ	—	0 7
t_{OC}	Задержка сигнала управления регистра ЭВВ	—	1 7
t_{OE}	Задержка сигнала разрешения выхода	—	1 7
t_{OCO}	Задержка появления данных на выходе регистра ЭВВ после подачи синхриимпульса	—	1 0
t_{OCOMB}	Задержка комбинационных схем ЭВВ	—	0 3
t_{OSU}	Время установки регистра ЭВВ	1 4	—
t_{OH}	Время удержания данных регистра ЭВВ	0 0	—
t_{OCLR}	Задержка сброса регистра ЭВВ	—	1 2
t_{IN}	Задержка сигнала во входном буфере	—	1 5
t_{OD1}	Задержка сигнала от выходного буфера до вывода, $V_{CCIO} = 3.3 В$, $slew rate = off$	—	1 1
t_{OD3}	Задержка сигнала от выходного буфера до вывода, $slew rate = on$	—	4 6
t_{XZ}	Задержка сигнала в выходном буфере после сигнала запрещения выхода	—	1 4
t_{XZ1}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $V_{CCIO} = 3.3 В$, $slew rate = off$	—	1 4
t_{XZ3}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $slew rate = on$	—	4 9
t_{LUT}	Задержка данных в ТП	—	2 0
t_{CLUT}	Задержка формирования сигнала переноса в ТП	—	0 0
t_{RLUT}	Задержка сигнала обратной связи регистра в ТП	—	0 9
t_{GATE}	Задержка в логике каскадирования	—	0 0
t_{CASC}	Задержка в цепи каскадирования	—	0 6
t_{CICO}	Задержка данных со входа на выход ускоренного переноса	—	0 4
t_{CGEN}	Задержка распространения данных со входа на выход переноса	—	0 4
t_{CGENR}	Задержка сигнала обратной связи с регистра ЛЭ на цепь переноса	—	0 9
t_C	Задержка управляющего сигнала на регистре	—	1 6
t_{CH}	Длительность высокого уровня тактового сигнала регистра	4 0	—
t_{CL}	Длительность низкого уровня тактового сигнала регистра	4 0	—
t_{CO}	Задержка выходного сигнала регистра относительно такта	—	0 4
t_{COME}	Задержка в комбинационной части ЛЭ	—	0 4
t_{SU}	Время установки регистра	0 8	—
t_H	Время удержания сигнала на входе регистра после подачи синхриимпульса	0 9	—
t_{PRE}	Задержка предустановки регистра	—	0 6
t_{CLR}	Задержка сброса регистров	—	0 6
$t_{LABCASC}$	Задержка сигнала каскадирования в другой ЛБ	—	0 3
$t_{LABCARRY}$	Задержка сигнала переноса в другой ЛБ	—	0 3

Таблица 1.12. Параметры временной модели ПЛИС семейства FLEX8000

Обозначение	Параметр	Значение (для EPF8282A-2), [нс]	
		min	max
t_{LOCAL}	Задержка ЛМС	—	0.5
t_{ROW}	Задержка в строке ГМС	—	4.2
t_{COL}	Задержка в столбце ГМС	—	2.5
$t_{IN D}$	Задержка данных с выделенного вывода до входа ЛЭ	—	7.2
$t_{IN C}$	Задержка управляющих сигналов с выделенного вывода до входа ЛЭ	—	5.0
$t_{IN ID}$	Задержка управляющих сигналов с выделенного вывода до входов управления ЭВВ	—	5.0
t_{OPR}	Тестовая задержка регистр — регистр через 4 ЛЭ, 3 ряда и 4 ЛМС	—	15.8

1.5. СЕМЕЙСТВО MAX9000

Семейство ПЛИС MAX9000 имеет матричную структуру, подобную ПЛИС семейств FLEX6000 и FLEX8000, но выполнена по EPROM технологии, так же, как и ПЛИС семейств MAX3000 и MAX7000.

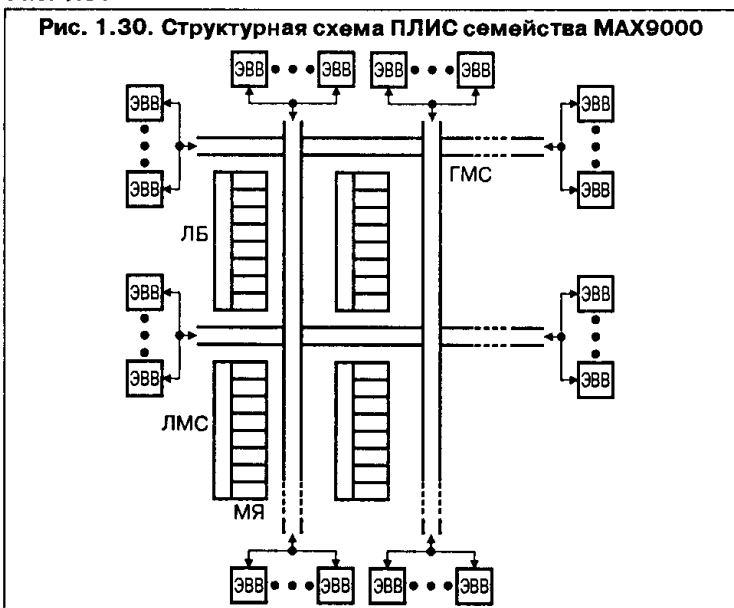
Микросхемы семейства MAX9000 имеют достаточно высокую логическую емкость и не требуют внешнего конфигурационного ПЗУ. Благодаря матричной структуре межсоединений они являются подходящей элементной базой для реализации алгоритмов ЦОС.

Основные параметры ПЛИС семейства MAX9000 приведены в Таблице 1.13.

Таблица 1.13. Параметры ПЛИС семейства MAX9000

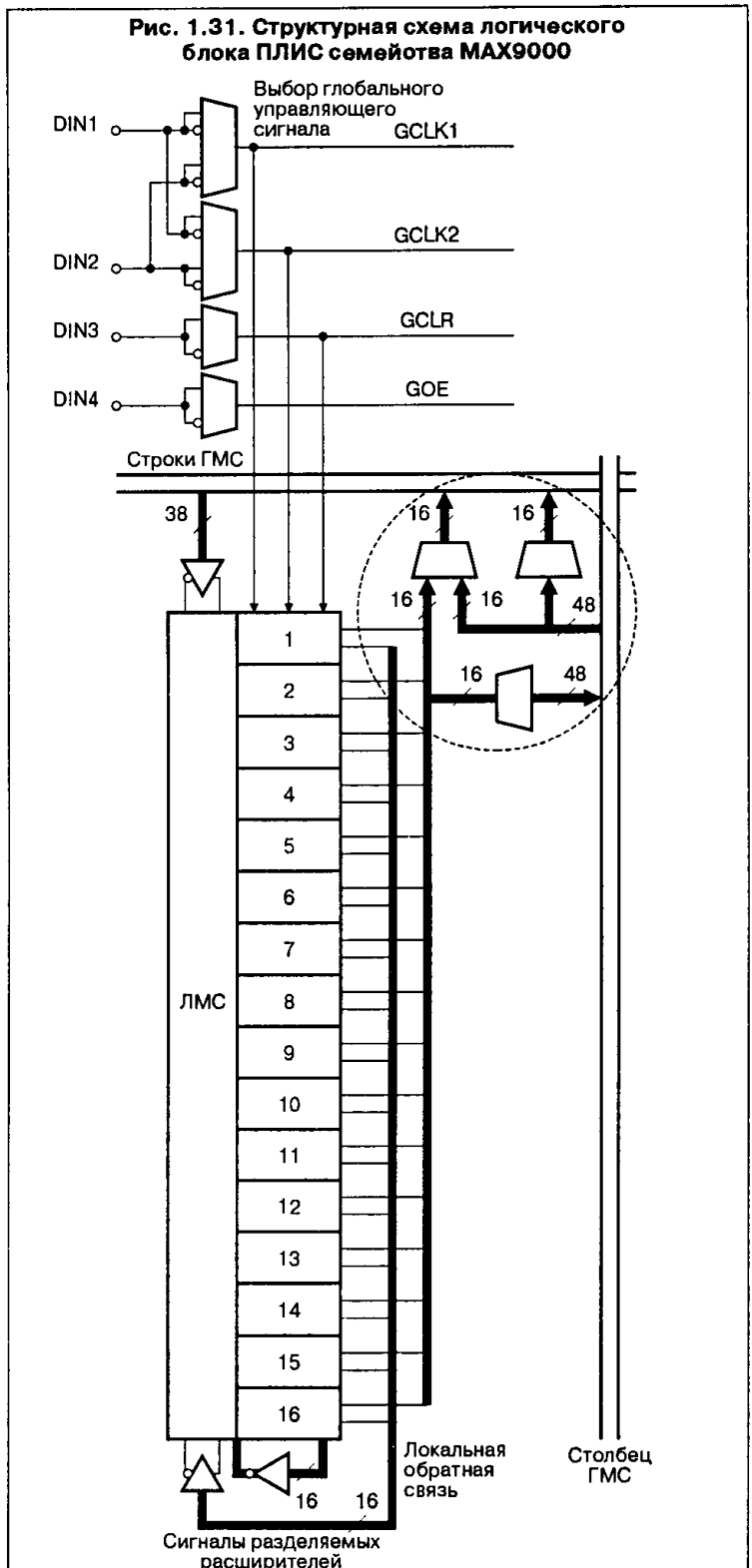
	EPM9320	EPM9400	EPM9480	EPM9560
Логическая емкость, эквивалентных вентилей	600	1250	2500	5000
Число макроячеек	320	400	480	560
Число логических блоков	484	580	676	772
Число программируемых пользователем выводов	168	159	175	216

Структурная схема ПЛИС семейства MAX9000 приведена на Рис. 1.30.



В основе архитектуры ПЛИС семейства MAX9000 лежит глобальная матрица соединений, разделенная на строки и столбцы. Мак-

роячейки объединяются в логические блоки, содержащие по 16 МЯ каждый, а также локальную матрицу соединений. На Рис. 1.31 приведена структурная схема логического блока ПЛИС семейства MAX9000.

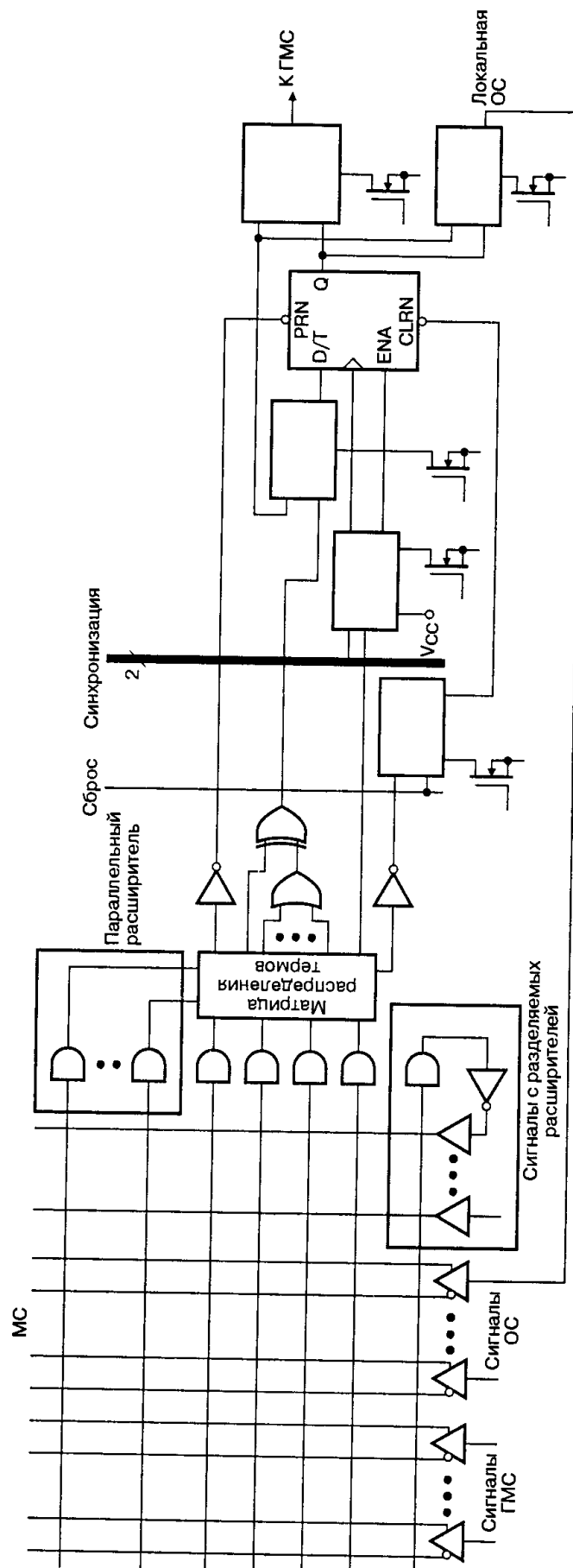


Как можно видеть из Рис. 1.31, каждая МЯ имеет возможность коммутации как на локальную матрицу соединений, так и на строки и столбцы глобальной матрицы соединений.

Собственно структура МЯ ПЛИС семейства MAX9000 показана на Рис. 1.32. Она практически не отличается от МЯ ПЛИС семейств MAX7000 или MAX3000.

Так же как и у ПЛИС этих семейств, имеется возможность использования параллельных и разделяемых расширителей.

Рис. 1.32. МЯ ПЛИС семейства MAX9000



1.6. СЕМЕЙСТВО FLEX10K

ПЛИС семейств FLEX10K, FLEX10KA, FLEX10KE являются на данный момент, пожалуй, самой популярной элементной базой для реализации алгоритмов ЦОС, построения сложных устройств обработки данных и интерфейсов. Это объясняется тем, что, благодаря большой логической емкости, удобной архитектуре, включающей встроенные блоки памяти (EAB, Embedded Array Block), достаточно высокой надежности и удачному соотношению цена — логическая емкость, данные ПЛИС удовлетворяют разнообразным требованиям, возникающих у разработчика как систем ЦОС, так и устройств управления, обработки данных и т. п.

В Таблице 1.15 приведены основные сведения о ПЛИС семейства FLEX10K.

В настоящее время выпускаются ПЛИС семейств FLEX10K с напряжением питания 5 В, FLEX10KA (V) с напряжением питания 3.3 В и FLEX10KE с напряжением питания 2.5 В. Кроме того, ПЛИС семейства FLEX10KE имеют емкость встроенного блока памяти 4096 бит, в отличие от ПЛИС остальных семейств, имеющих емкость EAB 2048 бит.

Обобщенная функциональная схема ПЛИС семейства FLEX10K приведена на Рис. 1.36.

В основе архитектуры лежат логические блоки (ЛБ), содержащие 8 ЛЭ и локальную матрицу соединений.

Глобальная матрица соединений разделена на строки и столбцы, имеет непрерывную структуру (Fast Track Interconnect). Посередине строки располагаются встроенные блоки памяти (EAB).

Кроме того, имеются глобальные цепи управления, синхронизации и управления вводом-выводом.

Встроенный блок памяти (ВБП) (Рис. 1.37) представляет собой ОЗУ емкостью 2048 (4096) бит и состоит из локальной матрицы соединений, собственно модуля памяти, синхронных буферных регистров, а также программируемых мультиплексоров.

Сигналы на вход ЛМС ВБП поступают со строки ГМС. Тактовые и управляющие сигналы поступают с глобальной шины управляющих сигналов.

Выход ВБП может быть скоммутирован как на строку, так и на столбец ГМС.

Наличие синхронных буферных регистров и программируемых мультиплексоров позволяет конфигурировать ВБП как ЗУ с организацией 256 × 8, 512 × 4, 1024 × 2, 2048 × 1.

Наличие ВБП дает возможность табличной реализации таких элементов устройств ЦОС, как перемножители, АЛУ, сумматоры и т. п., имеющих быстродействие до 100 МГц (конечно, при самых благоприятных условиях, реально быстродействие арифметических устройств, реализованных на базе ВБП, составляет 10–50 МГц).

Все ПЛИС семейства FLEX10K совместимы по уровням с шиной PCI, имеют возможность как последовательной, так и параллельной загрузки, полностью поддерживают стандарт JTAG.

Структура логического блока ПЛИС FLEX10K приведена на Рис. 1.38. Сигналы на вход ЛМС поступают как со строки ГМС, так и с выходов каждого из 8 ЛЭ, входящих в состав ЛБ.

Таблица 1.15. ПЛИС семейства FLEX10K

	EPF10K10	EPF10K20	EPF10K30	EPF10K40	EPF10K50	EPF10K70	EPF10K100	EPF10K130	EPF10K250
Число эквивалентных вентилях	10 000	20 000	30 000	40 000	50 000	70 000	100 000	130 000	250 000
Число логических элементов	576	1152	1728	2304	2880	3744	4992	6656	12160
Встроенные блоки памяти	3	6	6	8	10	9	12	16	20
Объем памяти, бит	6144	12288	12288	16384	20480	18432	24576	32768	40960
Максимальное число выводов пользователя	150	189	246	189	310	358	406	470	470

Рис. 1.36. Архитектура ПЛИС FLEX10K

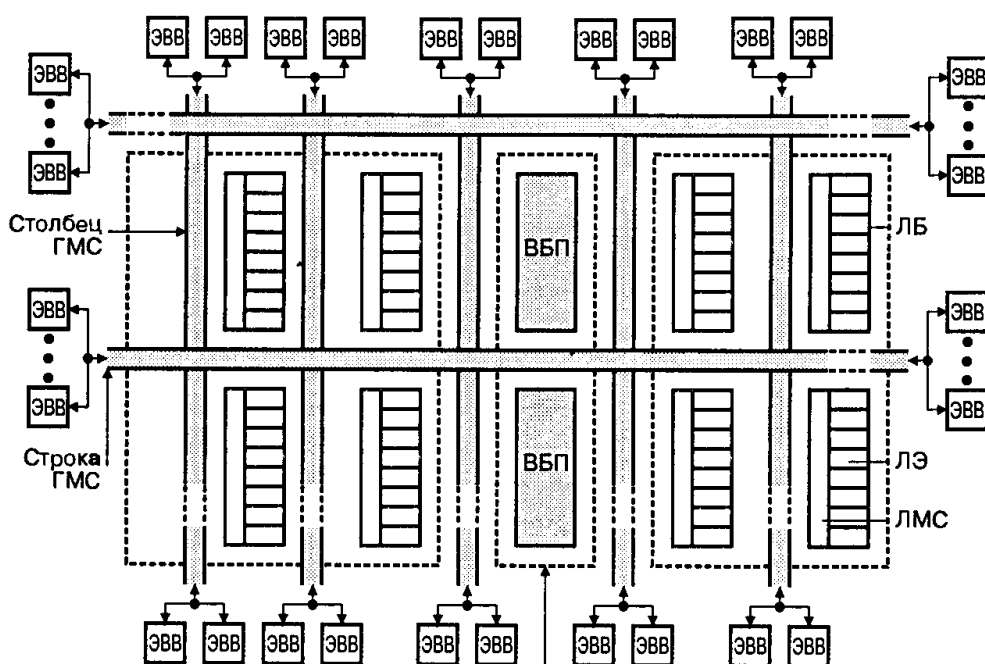


Рис. 1.37. Встроенный блок памяти

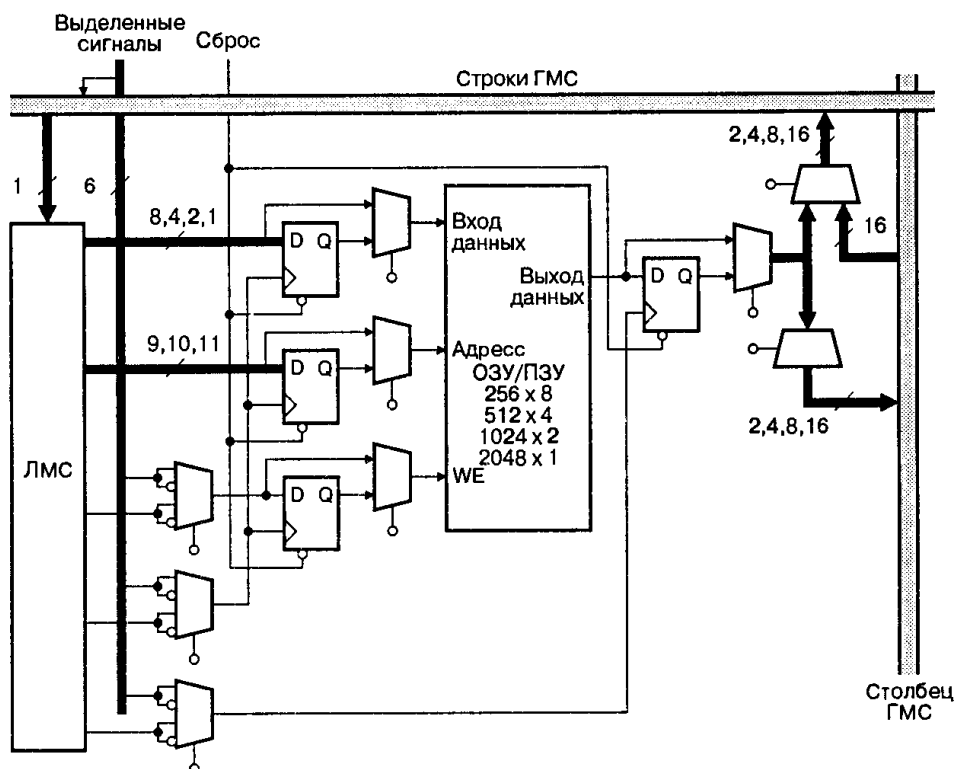
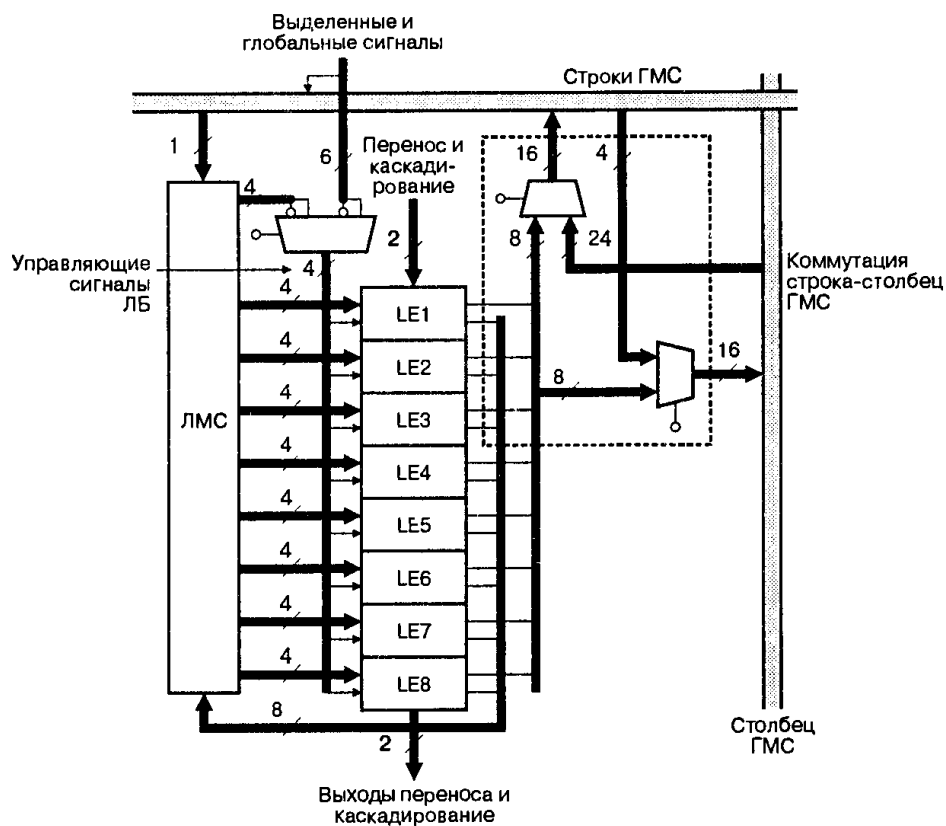


Рис. 1.38. Логический блок ПЛИС семейства FLEX10K



Сигналы с выхода ЛБ поступают как на строку, так и на столбец ГМС.

Как можно заметить, архитектура ЛБ FLEX10K напоминает архитектуру ЛБ FLEX8000.

Структура ЛЭ ПЛИС семейства FLEX10K приведена на Рис. 1.39. Как можно заметить, архитектура ЛЭ всех семейств FLEX практически одинакова.

Рис. 1.39. Структура ЛЭ FLEX10K

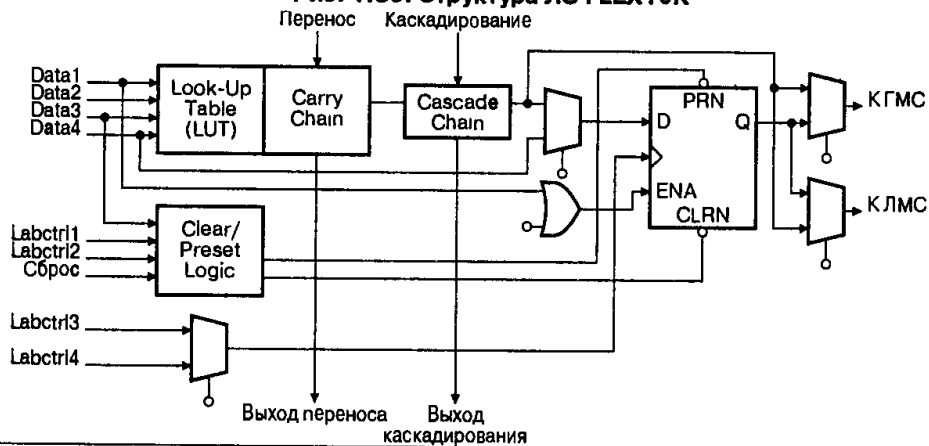
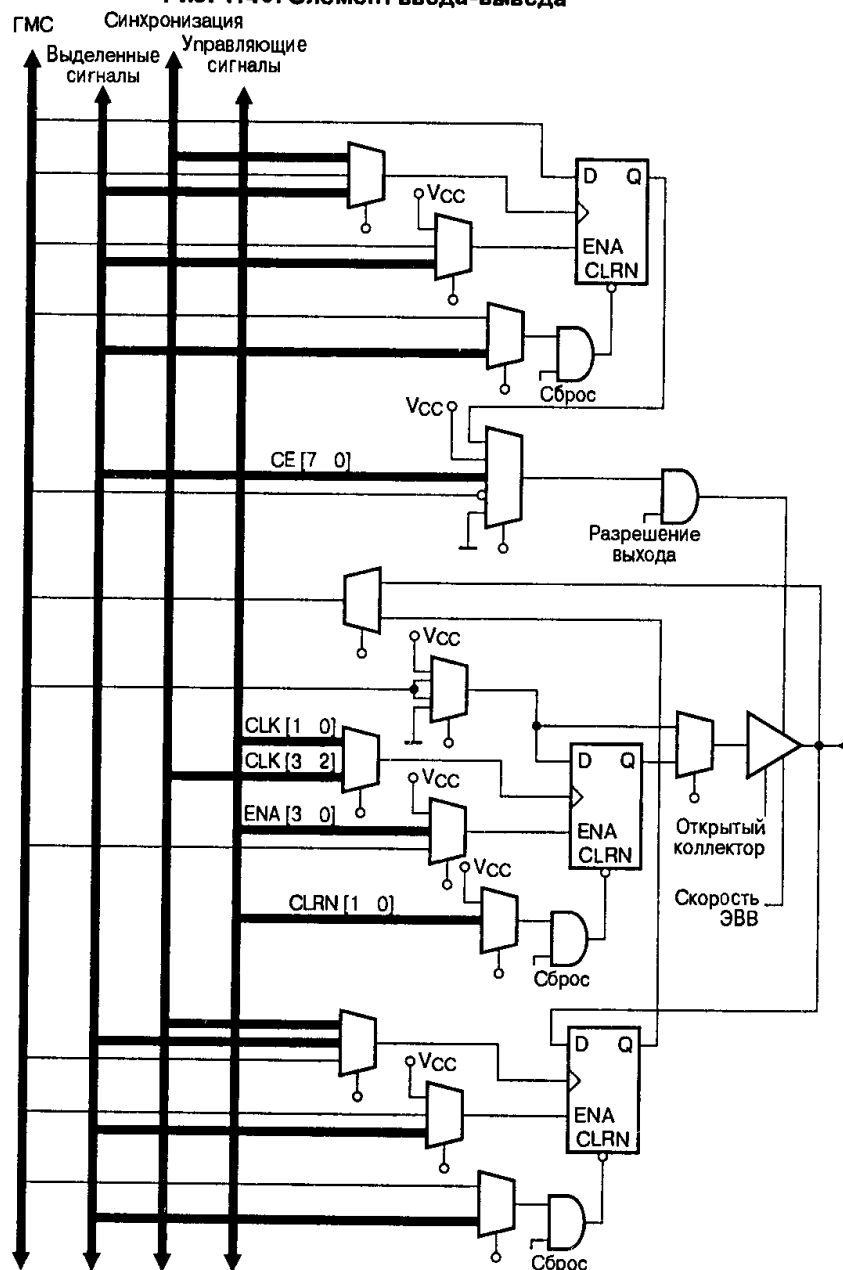


Рис. 1.40. Элемент ввода-вывода



С помощью схем организации переносов (Carry chain) и каскадирования (Cascade chain) возможно расширение возможностей ЛЭ, подробнее о режимах конфигурации ЛЭ см. параграф 1 2

Элемент ввода-вывода (I/O element, IOE) ПЛИС семейства FLEX10K соединяет канал строки или столбца ГМС с выводом микросхемы Структурная схема ЭВВ приведена на Рис. 1.40.

ЭВВ позволяет осуществить ввод-вывод бита данных с различными скоростями, временное хранение данных, эмуляцию открытого коллектора (open drain pin).

Наличие входного (input register) и выходного регистра (output register) позволяет хранить данные, что снижает логическую нагрузку на ЛЭ и высвобождает ресурсы ПЛИС для реализации других функций. Скорость переключения буфера ЭВВ (slew rate) может быть задана при конфигурации ПЛИС. Пониженная скорость переключения позволяет снизить уровень импульсных помех и «звона» в системе.

Следует помнить, что режим эмуляции открытого коллектора обеспечивает не слишком мощный выходной сигнал, поэтому при необходимости сопряжения с внешними схемами лучше использовать специализированные буферы (например, 74НС04, 1533ЛА8, ЛН2 и т.п.). По крайней мере, при проникновении высокого напряжения проще (и дешевле) поменять буфер, а не всю ПЛИС (особенно в BGA корпусе).

Временная модель ПЛИС представлена на **Рис. 1.41–1.44**, а ее основные параметры в **Таблице 1.16**

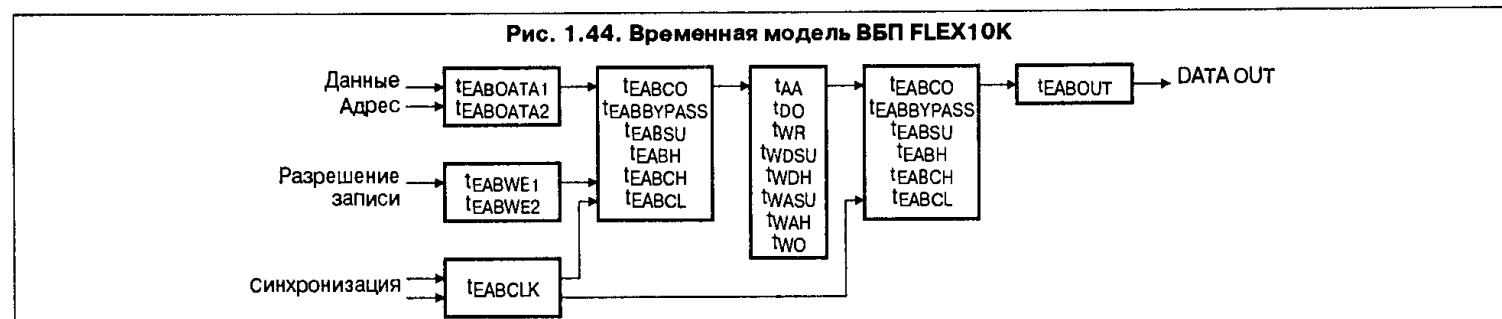
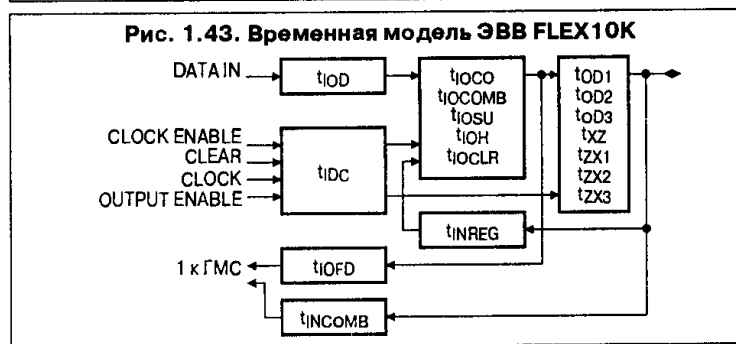


Таблица 1.16. Параметры временной модели FLEX10K

Обозначение	Параметр	Значение для EPF10K10-3, [нс]	
		Min	Max
t_{LUT}	Задержка данных в ТП	—	14
t_{CLUT}	Задержка формирования сигнала переноса в ТП	—	06
t_{RLUT}	Задержка сигнала обратной связи регистра в ТП	—	15
t_{PACKED}	Задержка входных данных до отдельно сконфигурированного регистра (packed register)	—	06
t_{EN}	Задержка сигнала разрешения регистра ЛЭ	—	10
t_{CICO}	Задержка сигнала переноса от входа до выхода переноса	—	02
t_{CGEN}	Задержка сигнала переноса от входа ЛЭ до выхода переноса	—	09
t_{CGENR}	Задержка сигнала от выхода регистра ЛЭ до выхода переноса	—	09
t_{CASC}	Задержка сигнала каскадирования от входа до выхода каскадирования	—	08
t_c	Задержка управляющего сигнала на регистре ЛЭ	—	13
t_{CO}	Задержка выходного сигнала регистра относительно такта	—	09
t_{CDMB}	Задержка в комбинационной части ЛЭ	—	05

Обозначение	Параметр	Значение для EPF10K10-3, [нс]	
		Min	Max
t_{SU}	Время установки регистра ЛЭ	13	—
t_H	Время удержания сигнала на входе регистра после подачи синхроимпульса	14	—
t_{PRE}	Задержка предустановки регистра ЛЭ	—	10
t_{CLR}	Задержка сброса регистра ЛЭ	—	10
t_{CH}	Длительность высокого уровня тактового сигнала регистра	40	—
t_{CL}	Длительность низкого уровня тактового сигнала регистра	40	—
t_{IOO}	Задержка выходного сигнала ЭВВ	—	13
t_{IOS}	Задержка выходного сигнала регистра ЭВВ относительно сигналов управления	—	05
t_{IOCO}	Задержка выходного сигнала регистра ЭВВ относительно такта	—	02
t_{IOSMB}	Задержка комбинационных схем ЭВВ	—	00
t_{IOSU}	Время установки регистра ЭВВ	28	—
t_{IOH}	Время удержания данных регистра ЭВВ	10	—

Таблица 1.16. Параметры временной модели FLEX10K (продолжение)

Обозначение	Параметр	Значение для EPF10K10-3, [нс]	
		Min	Max
t_{OCLR}	Задержка сброса регистра ЭВВ	—	10
t_{OD1}	Задержка сигнала от выходного буфера до вывода, $V_{CCIO} = 3.3 \text{ В}$, $\text{slew rate} = \text{off}$	—	26
t_{OD2}	Задержка сигнала от выходного буфера до вывода, $V_{CCIO} = 2.5 \text{ В}$, $\text{slew rate} = \text{off}$	—	49
t_{OD3}	Задержка сигнала от выходного буфера до вывода, $\text{slew rate} = \text{on}$	—	63
t_{OZ}	Задержка сигнала в выходном буфере после сигнала разрешения выхода	—	45
t_{ZX1}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $V_{CCIO} = 3.3 \text{ В}$, $\text{slew rate} = \text{off}$	—	45
t_{ZX2}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $V_{CCIO} = 2.5 \text{ В}$, $\text{slew rate} = \text{off}$	—	68
t_{ZX3}	Задержка сигнала в выходном буфере после сигнала разрешения выхода, $\text{slew rate} = \text{on}$	—	82
t_{INREG}	Задержка в буфера ЭВВ	—	60
t_{IOFD}	Задержка в цепи обратной связи регистра ЭВВ	—	31
t_{INCOMB}	Задержка сигнала от входного буфера ЭВВ до ГМС	—	31
$t_{EABDATA1}$	Задержка данных или адресов ВБП до комбинационного выхода ВБП	—	15
$t_{EABDATA2}$	Задержка данных или адресов ВБП до регистрового выхода ВБП	—	48
t_{EABWE1}	Задержка данных ВБП относительно сигнала разрешения записи до комбинационного выхода ВБП	—	10
t_{EABWE2}	Задержка данных ВБП относительно сигнала разрешения записи до регистрового выхода ВБП	—	50
t_{EABCLK}	Задержка тактового импульса на регистр ВБП	—	10
t_{EABCO}	Задержка выхода ВБП относительно тактового импульса	—	05
$t_{EABYPASS}$	Задержка в цепи обхода регистра ВБП	—	15
t_{EABSU}	Время установки регистра ВБП	15	—
t_{EABH}	Время удержания регистра ВБП	20	—
t_{EABCH}	Длительность высокого уровня тактового сигнала регистре ВБП	40	—
t_{EABCL}	Длительность низкого уровня тактового сигнала регистра ВБП	58	—
t_{AA}	Время удержания адреса	—	87
t_{WP}	Длительность импульса записи ВБП	58	—
t_{WDSU}	Время установки данных до записи	16	—
t_{WDH}	Время удержания данных при сигнале записи в ВБП	03	—
t_{WASU}	Время установки адреса	05	—
t_{WAH}	Время удержания адресов	10	—
t_{WO}	Задержка данных на выходе ВБП относительно сигнала разрешения записи	—	50
t_{OO}	Задержка данных от входа до выхода ВБП	—	50
t_{EABOUT}	Задержка данных на выходе ВБП	—	05
t_{EABAA}	Время доступа адреса ВБП	—	137
$t_{EABRCCOMB}$	Длительность цикла асинхронного чтения из ВБП	137	—
$t_{EABRCREG}$	Длительность цикла синхронного чтения из ВБП	97	—
t_{EABWP}	Длительность импульса записи ВБП	58	—
$t_{EABWCCOMB}$	Длительность цикла асинхронной записи в ВБП	73	—
$t_{EABWCREG}$	Длительность цикла синхронной записи в ВБП	130	—

Обозначение	Параметр	Значение для EPF10K10-3, [нс]	
		Min	Max
t_{EABOD}	Задержка данных от входа до выхода ВБП	—	100
$t_{EABDATACO}$	Задержка данных на выходе ВБП относительно такта	—	20
$t_{EABDATASU}$	Время установки адресов или данных во входном регистре ВБП	53	—
$t_{EABDATAH}$	Время удержания адресов или данных на входе ВБП	00	—
$t_{EABWESU}$	Время установки сигнала WE	55	—
$t_{EABWESH}$	Время удержания сигнала WE	00	—
$t_{EABWDSU}$	Время установки входных данных ВБП без использования входного регистра	55	—
t_{EABWDH}	Время удержания входных данных ВБП без использования входного регистра	00	—
$t_{EABWASU}$	Время установки адреса ВБП без использования входного регистра	21	—
t_{EABWAH}	Время удержания адреса ВБП без использования входного регистра	00	—
t_{EABWO}	Задержка данных на выходе ВБП относительно сигнала разрешения записи	—	95
$t_{SAMELAB}$	Задержка данных в ЛМС	—	06
$t_{SAMEROW}$	Задержка передачи данных внутри одной и той же строки ГМС	—	36
$t_{SAMECOLUMN}$	Задержка передачи данных внутри одного и того же ГМС	—	09
$t_{DIFFROW}$	Задержка передачи данных по столбцу с одной строки ГМС на другую	—	45
$t_{TOWROWS}$	Задержка передачи данных с одной строки ГМС на другую	—	81
$t_{LEPERIPH}$	Задержка управляющего сигнала	—	33
$t_{LABCARRY}$	Задержка переноса в следующий ЛБ	—	05
$t_{LABCASC}$	Задержка каскадирования в следующий ЛБ	—	27
t_{OIN2OE}	Задержка распространения с выделенного вывода до входа управления ЭВВ	—	48
t_{OIN2LE}	Задержка распространения с выделенного вывода до входа управления ЛБ или ВБП	—	26
$t_{OCLK2IOE}$	Задержка распространения тактового сигнала с выделенного вывода до входа тактирования ЭВВ	—	34
$t_{OCLK2LE}$	Задержка распространения тактового сигнала с выделенного вывода до входа тактирования ЛБ или ВБП	—	26
$t_{OIN2DATA}$	Задержка распространения данных с выделенного вывода до входа ЛБ или ВБП	—	43
t_{OPR}	Тестовая задержка регистр — регистр через 4 ЛЭ, 3 ряда и 4 ЛМС	—	161
t_{INSU}	Время установки глобального тактового импульса	55	—
t_{INH}	Время удержания данных относительно глобального тактового импульса	00	—
t_{OUTCO}	Время задержки выходных данных относительно глобального тактового импульса	20	67
$t_{SUBIDIR}$	Время установки двунаправленного вывода относительно глобального тактового импульса	45	—
$t_{INHIDIR}$	Время удержания двунаправленного вывода относительно глобального тактового импульса	00	—
$t_{OUTCOBIDIR}$	Время задержки выходных данных на двунаправленном выводе относительно глобального тактового импульса	20	67
$t_{ZXBIDIR}$	Задержка перехода выходного буфера в третье состояние	—	100
$t_{ZXBIDIR}$	Задержка перехода выходного буфера из третьего состояния	—	100

Рис. 1.45. Асинхронные режимы чтения и записи ВБП FLEX10K

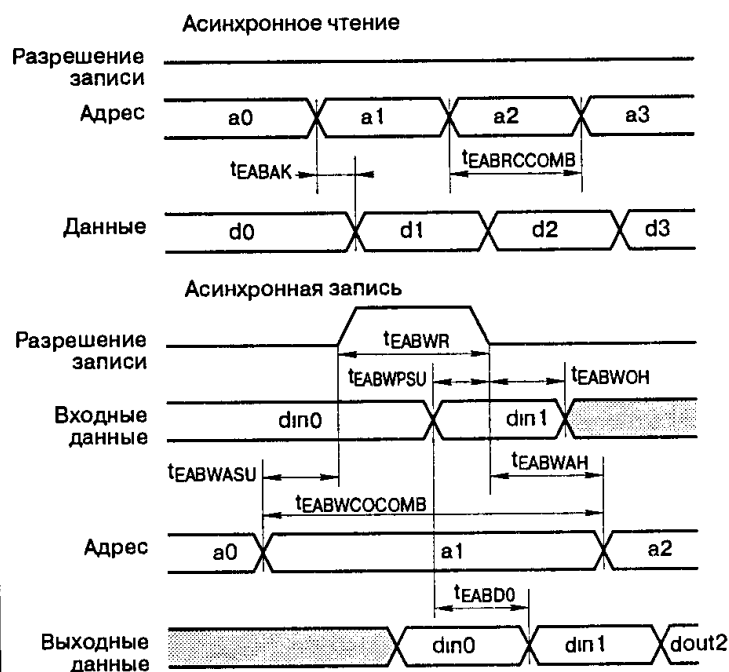
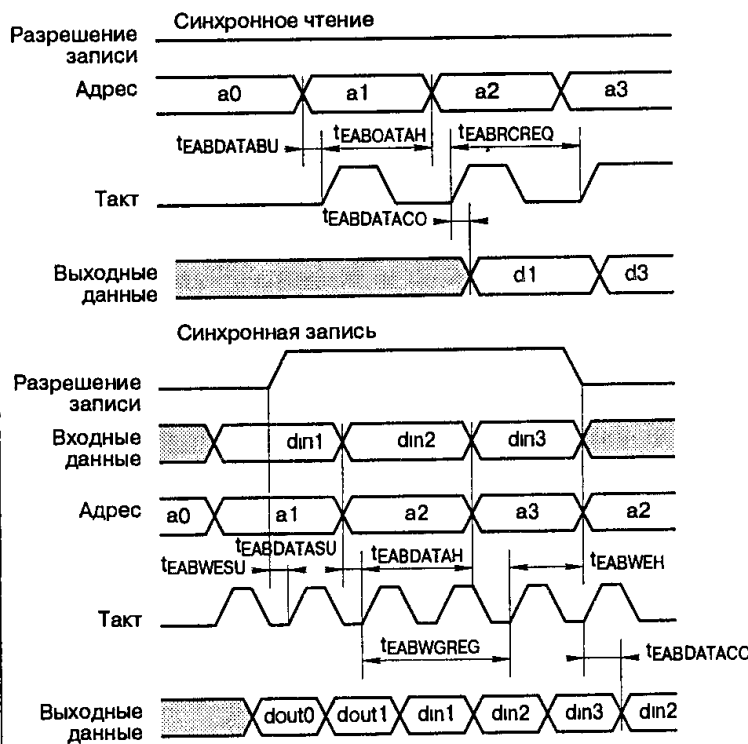


Рис. 1.46. Синхронные режимы чтения и записи ВБП FLEX10K



1.7. СЕМЕЙСТВО APEX20K

Развитие и разнообразие архитектур функциональных преобразователей, лежащих в основе базовых узлов ПЛИС привели к тому, что в последние годы ПЛИС становятся основой для "систем на кристалле" (system-on-chip, SOC). В основе идеи SOC лежит интеграция всей электронной системы в одном кристалле (например, в случае ПК такой чип объединяет процессор, память и т.д.). Компоненты этих систем разрабатываются отдельно и хранятся в виде файлов параметризуемых модулей. Окончательная структура SOC-микросхемы выполняется на базе этих "виртуальных компонентов", называемых также "блоками интеллектуальной собственности" с помощью программ автоматизации проектирования электронных устройств. Благодаря стандартизации в одно целое можно объединять "виртуальные компоненты" от разных разработчиков.

Идеология построения "систем на кристалле" подстегнула ведущих производителей ПЛИС к выпуску в конце 1998 — начале 1999 года изделий с эквивалентной емкостью 1000000 эквивалентных вентилей и более. Примером новых семейств ПЛИС, пригодных для реализации "систем на кристалле" является семейство

APEX20K фирмы Altera, основные характеристики которого приведены в **Таблице 1.17**.

Архитектура APEX20K (**Рис. 1.47**) сочетает в себе как достоинства FPGA ПЛИС с их таблицами перекодировок, входящими в состав логического элемента, так и логику вычисления СДНФ, характерную для ПЛИС CPLD, а также встроенные модули памяти.

Отличительной особенностью ПЛИС семейства APEX20K является объединение ЛБ в т.н. Мегаблок (Mega LAB), имеющий собственную непрерывную матрицу соединений (MegaLAB interconnect).

Такая организация соединений позволяет выделить дополнительные ресурсы для трассировки, кроме того, в каждом мегаблоке может быть полностью разведена та или иная функционально законченная часть системы, что позволяет при ее модификации не перетрассировать этот участок и тем самым сохранить все заданные временные параметры. Подобная организация ПЛИС позволяет разумнее организовать соответствующее программное обеспечение, в том числе создать средства коллективной работы над проектом.

На **Рис. 1.49** представлена структура ЛБ APEX20K. Каждый ЛБ состоит из 10 ЛЭ, имеющих структуру, показанную на **Рис. 1.50**.

Таблица 1.17. Основные характеристики ПЛИС семейства APEX20K фирмы Altera

	EP20K100	EP20K160	EP20K200	EP20K300	EP20K400	EP20K600	EP20K1000
Максимальное число эквивалентных вентилей	263 000	404 000	526 000	728 000	1 052 000	1 537 000	2 670 000
Число лог. Элементов	4 160	6 400	8 320	11 520	16 640	24 320	42 240
Встроенные блоки памяти	26	40	52	72	104	152	264
Максимальный объем памяти, бит	53 248	81 920	106 496	147 456	212 992	311 296	540 672
Число макроячеек	416	640	832	1 152	1 664	2 432	4 224
Число выводов пользователя	252	320	382	420	502	620	780

Рис. 1.47. Архитектура АРЕХ20К

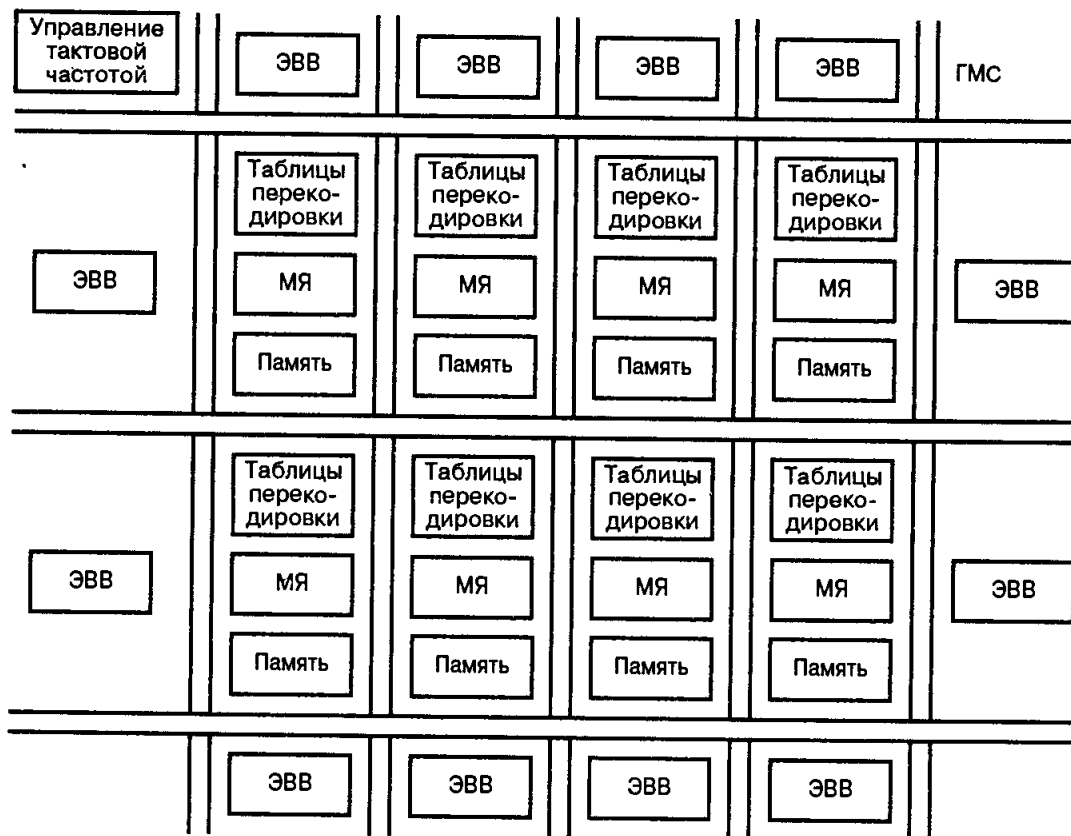


Рис. 1.46. Структура мегаблока АРЕХ20К

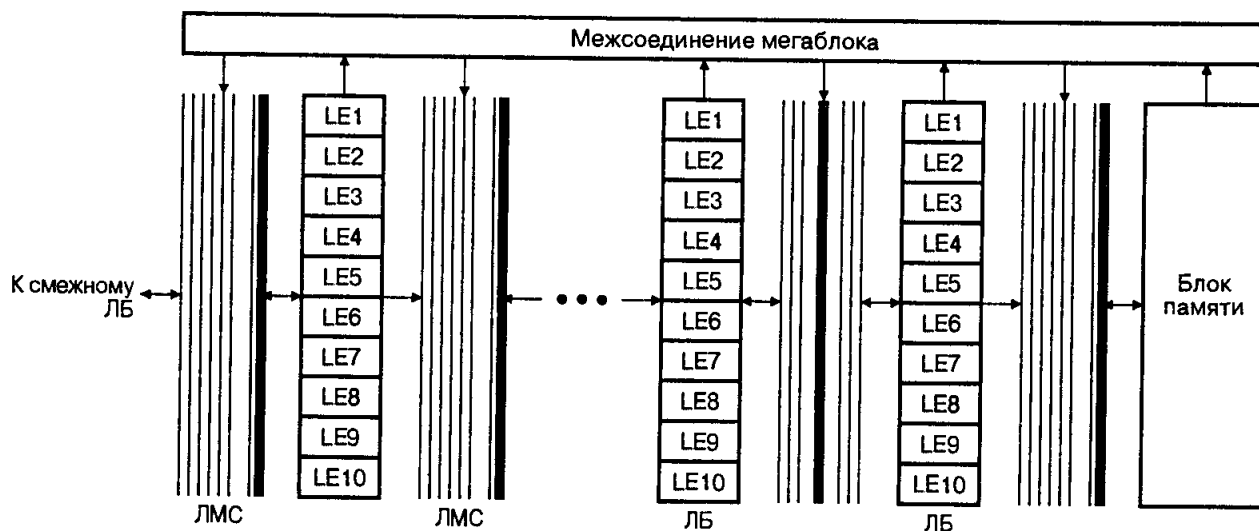
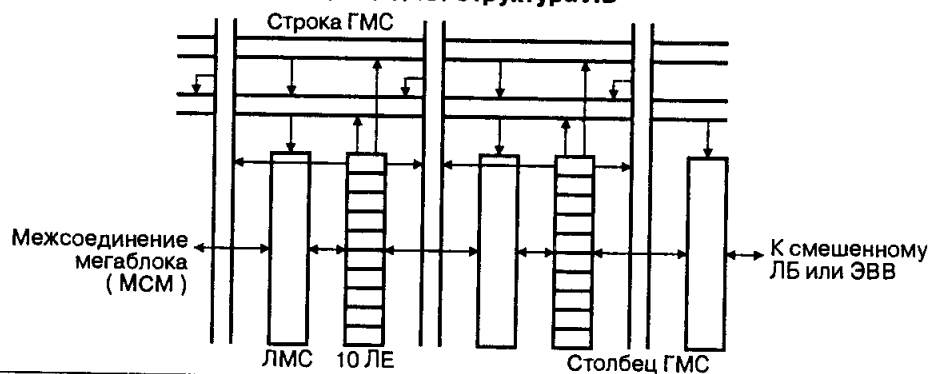


Рис. 1.49. Структура ЛБ



Как можно заметить, структура ЛБ объединяет все лучшее, что разработано в предшествующих семействах ПЛИС. Каждый ЛЭ имеет возможность коммутации на два столбца ГМС, подобно ПЛИС семейства FLEX6000. Матрица соединений мегаблока (MCM) коммутируется на ЛМС ЛБ и на строки ГМС.

В отличие от семейств FLEX, ЛЭ APEX20K имеет возможность формирования управляющих сигналов триггера как с помощью глобальных и локальных сигналов, так и используя сигналы мегаблока.

Аналогично семействам FLEX, ЛЭ может быть сконфигурирован в нормальном, арифметическом или счетном режиме, допускает каскадирование и цепочечный перенос.

Структура соединений приведена на Рис. 1.51

Подобно ПЛИС семейств MAX в состав APEX20K входят макро-чейки, имеющие программируемую матрицу И и параллельный расширитель.

Отличительной особенностью APEX20K являются системные блоки памяти (ESB, embedded system block), показанные на Рис. 1.53.

Отличительной особенностью СБП является то, что он может быть сконфигурирован как контекстно-адресуемая память (т.е. память, адресуемая по ее содержимому), как двупортовая память, что существенно расширяет возможности применения.

На Рис. 1.54 приведена организация блока ввода-вывода (БВВ). Каждый БВВ может быть сконфигурирован в соответствии с различными уровнями логических сигналов, а также существуют два блока, поддерживающих скоростной интерфейс LVDS. Такая организация ввода-вывода позволяет использовать ПЛИС в системах с различными уровнями сигналов. Как и семейства FLEX, APEX20K поддерживает спецификацию уровней PCI.

В Табл. 1.16 приведены временные параметры APEX20K.

Рис. 1.50. Логический элемент APEX20K

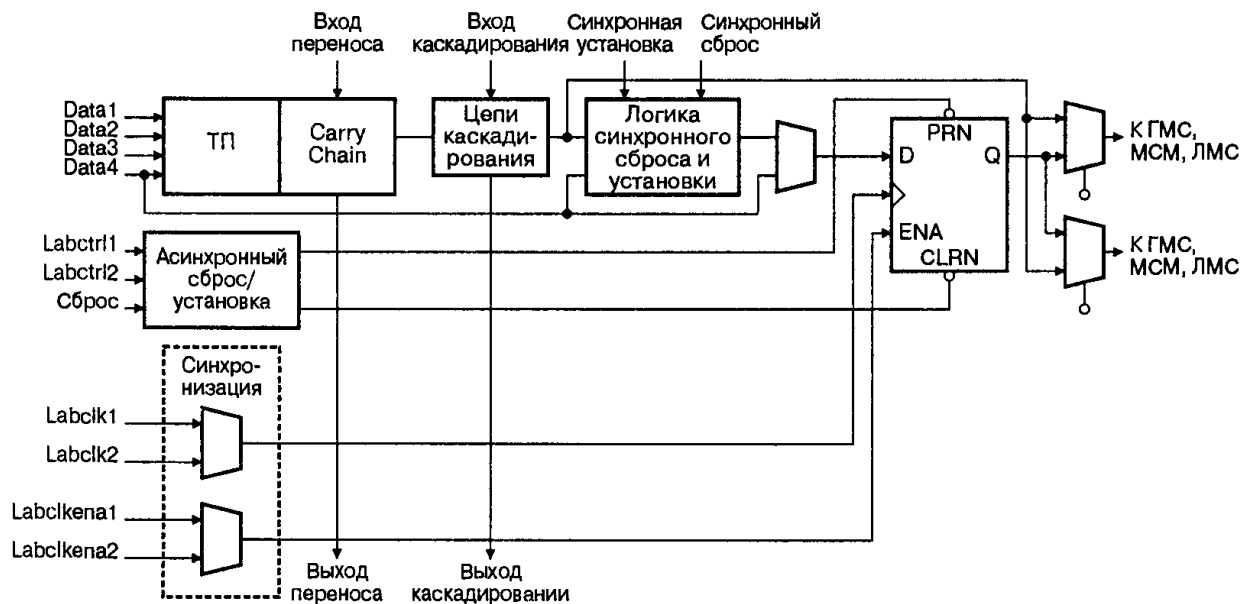


Рис. 1.51. Структура соединений APEX20K

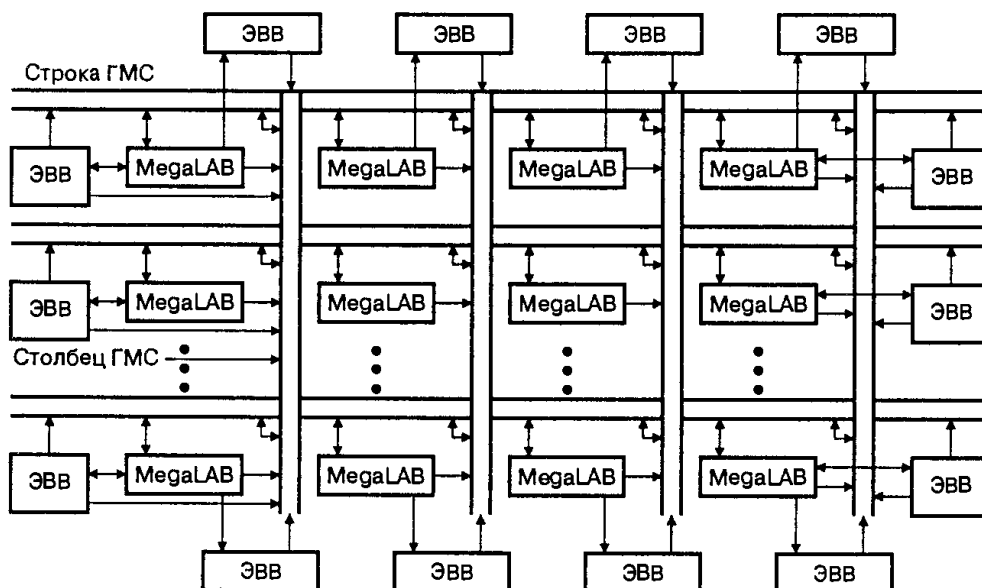


Рис. 1.52. Макроячейка APEX20K

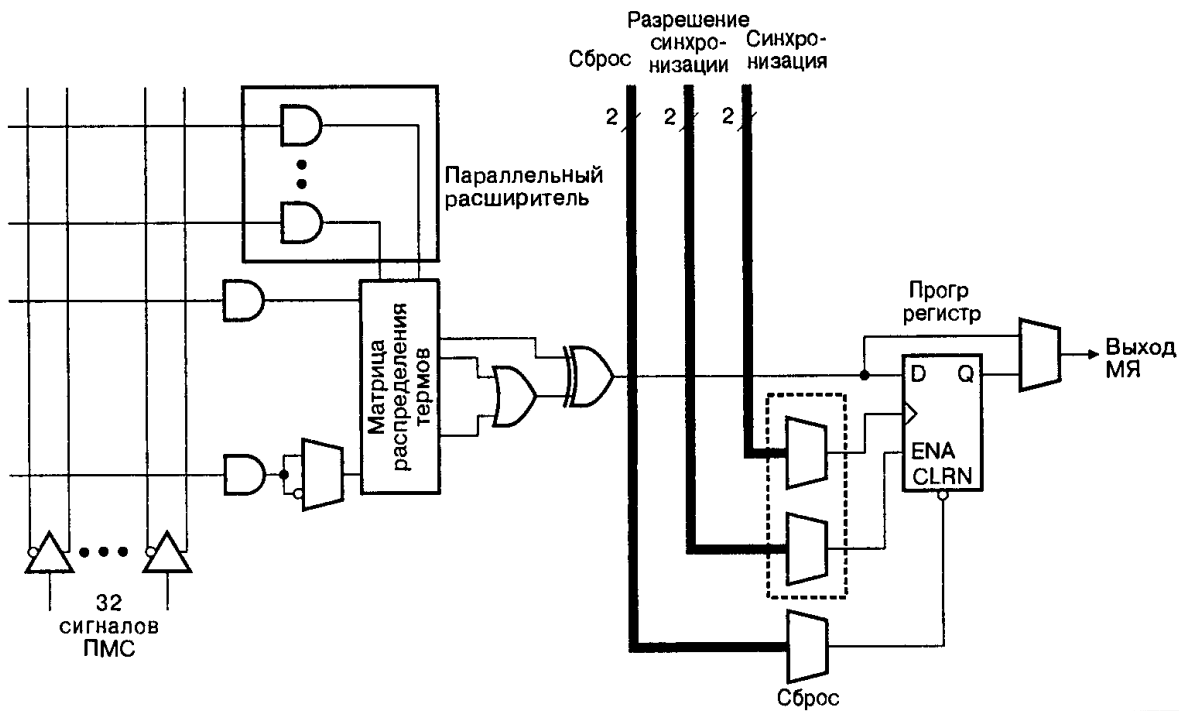


Рис. 1.53. Системный блок памяти

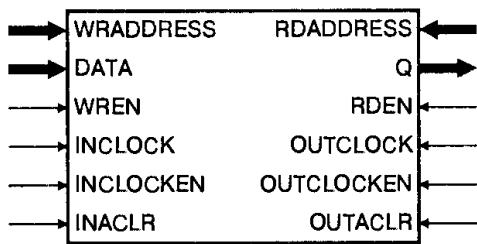


Рис. 1.54. Организация ввода-вывода

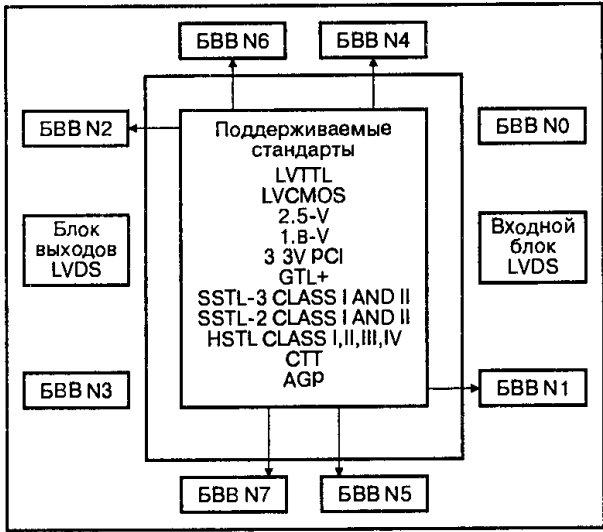


Таблица 1.18. Временные параметры APEX20K

Обозначение	Параметр	Значение для EP20K100 – 1 ис	
		Min	Max
t_{INSU}	Время установки глобального тактового импульса	2 1	—
t_{INH}	Время удержания данных относительно глобального тактового импульса	0 0	—
t_{OUTCO}	Время задержки выходных данных относительно глобального тактового импульса	2 0	4 0
$t_{SUBIDIR}$	Время установки двунаправленного вывода относительно глобального тактового импульса	1 1	—
$t_{INHVIDIR}$	Время удержания двунаправленного вывода относительно глобального тактового импульса	0 0	—
$t_{OUTCOBIDIR}$	Время задержки выходных данных на двунаправленном выводе относительно глобального тактового импульса	2 0	4 0
t_{ZBIDIR}	Задержка перехода выходного буфера в гретье состояние	—	4 8
$t_{ZXBIDIR}$	Задержка перехода выходного буфера из третьего состояния	—	5 9

1.8. КОНФИГУРАЦИОННЫЕ ПЗУ

Для хранения конфигурационной информации ПЛИС используются последовательные ПЗУ. На Рис. 1.55 и 1.56 показаны конфигурационные ПЗУ фирмы ALTERA.

Рис. 1.55. Конфигурационные ПЗУ, программируемые с помощью программатора

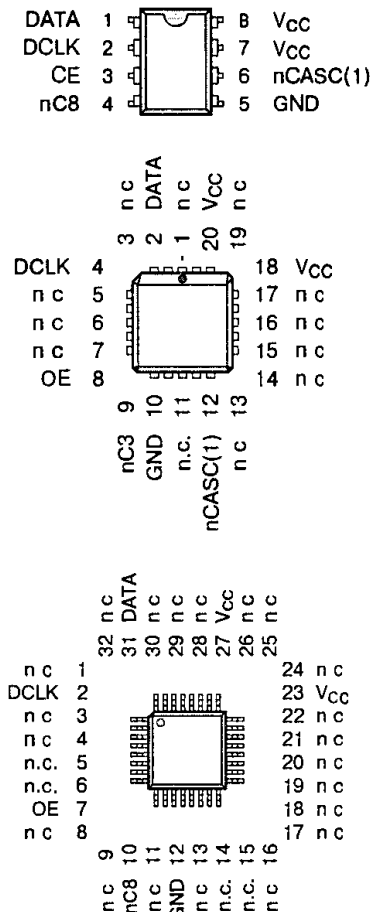
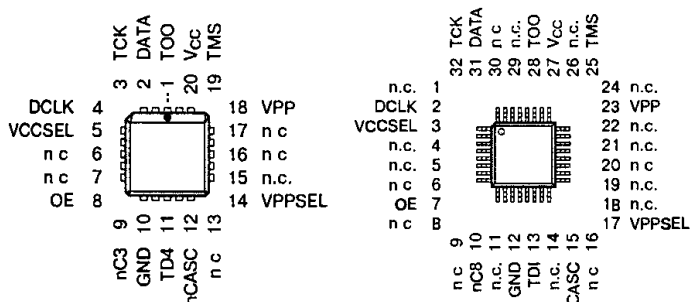


Рис. 1.56. Конфигурационные ПЗУ EPC2, программируемые по JTAG



В Таблице 1.19 приведены основные данные по конфигурации различных ПЛИС с помощью конфигурационных ПЗУ

Таблица 1.19. Конфигурация ПЛИС с использованием ПЗУ

ПЛИС	ПЗУ
EP20K100	EPC2
EP20K200	2 X EPC2
EP20K400	3 X EPC2
EPF10K10, EPF10K10A	EPC2, EPC1, EPC1441
EPF10K20	EPC2, EPC1, EPC1441
EPF10K30E	EPC2, EPC1
EPF10K30, EPF10K30A	EPC2, EPC1, EPC1441
EPF10K40	EPC2, EPC1
EPF10K50, EPF10K50V, EPF10K50E	EPC2, EPC1
EPF10K70	EPC2, EPC1
EPF10K100, EPF10K100A, EPF10K100B, EPF10K100E	EPC2, EPC1
EPF10K130V	EPC2, 2 X EPC1
EPF10K130E	2 X EPC2, 2 X EPC1
EPF10K200E	2 X EPC2, 3 X EPC1
EPF10K250A	2 X EPC2, 4 X EPC1
EPF8282A	EPC1, EPC1441, EPC1064
EPF8282AV	EPC1, EPC1441, EPC1064V
EPF8452A	EPC1, EPC1441, EPC1213
EPF8636A	EPC1, EPC1441, EPC1213
EPF8820A	EPC1, EPC1441, EPC1213
EPF81188A	EPC1, EPC1441, EPC1213
EPF81500A	EPC1, EPC1441
EPF6010A	EPC2, EPC1, EPC1441
EPF6016, EPF6016A	EPC2, EPC1, EPC1441
EPF6024A	EPC2, EPC1, EPC1441

При необходимости используется каскадное включение нескольких ПЗУ. На Рис. 1.57--1.61 приведены схемы включения конфигурационных ПЗУ и ПЛИС различных семейств

Рис. 1.57. Конфигурация ПЛИС FLEX6000, FLEX10K, APEX20K при помощи ПЗУ EPC2, EPC1, EPC1441

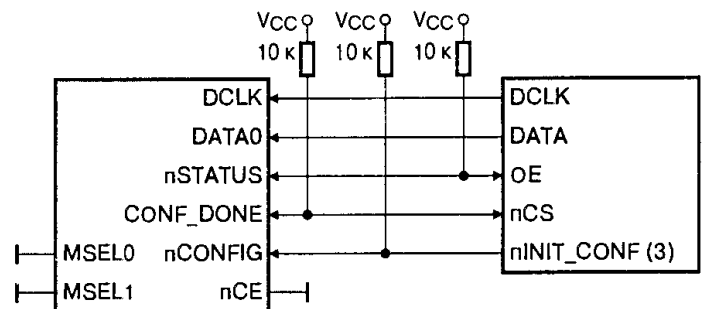


Рис. 1.56. Конфигурация ПЛИС FLEX6000, FLEX10K, APEX20K при помощи двух ПЗУ EPC2, EPC1, EPC1441

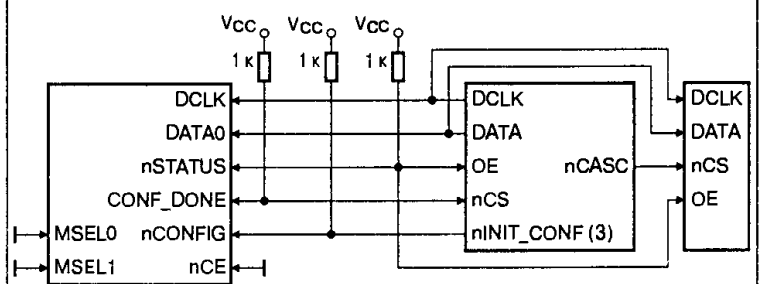


Рис. 1.59. Конфигурация нескольких ПЛИС FLEX6000, FLEX10K, APEx20K при помощи ПЗУ EPC2, EPC1, EPC1441

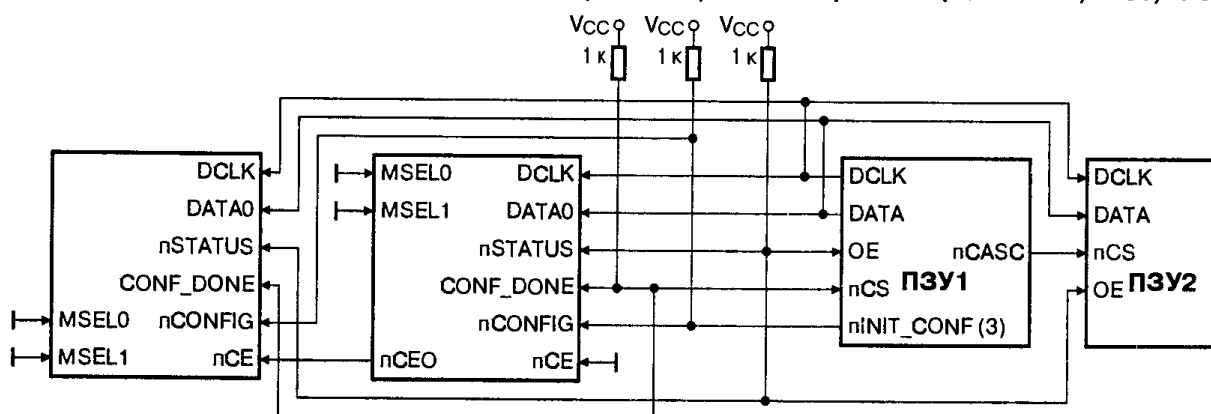


Рис. 1.60. Конфигурация ПЛИС FLEX8000 при помощи ПЗУ, EPC1, EPC1441, EPC1213, EPC1064

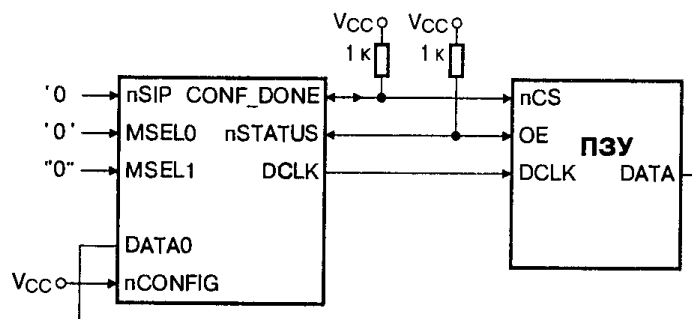


Рис. 1.61. Конфигурация нескольких ПЛИС FLEX8000 при помощи ПЗУ EPC1, EPC1213

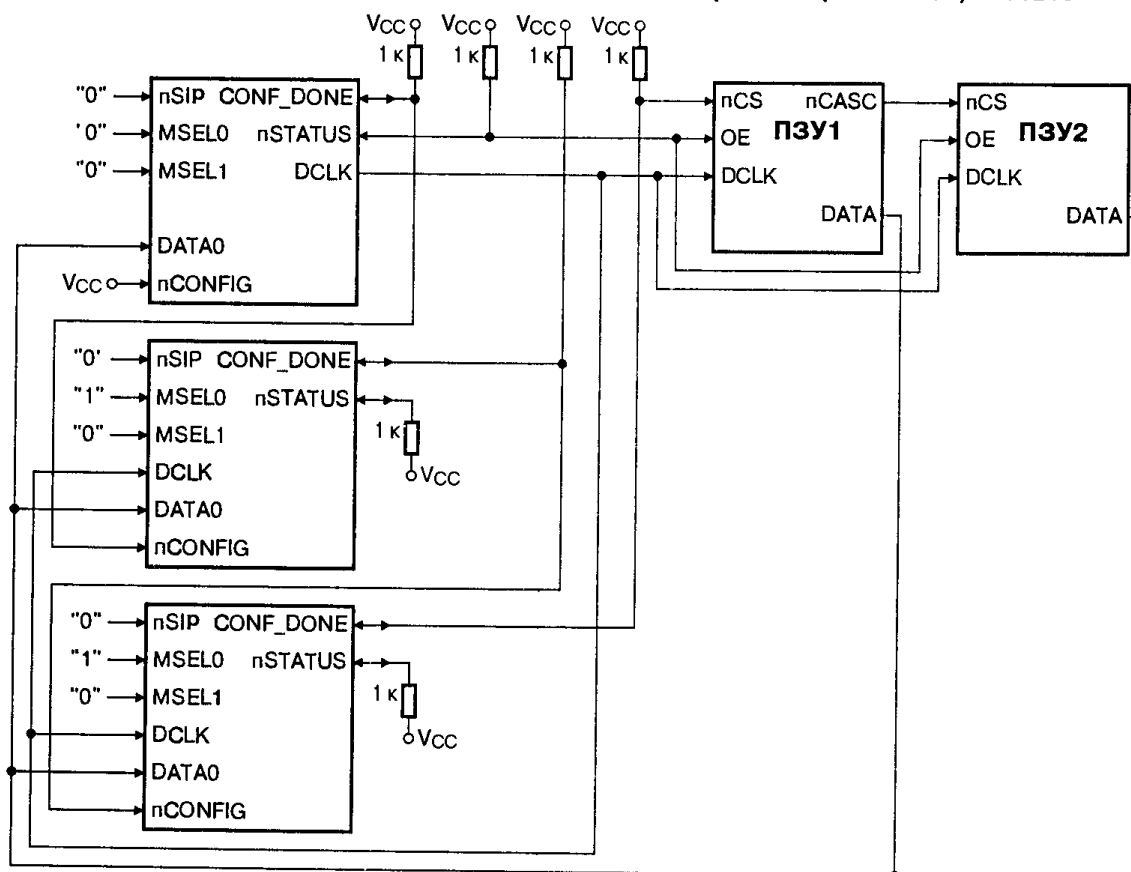
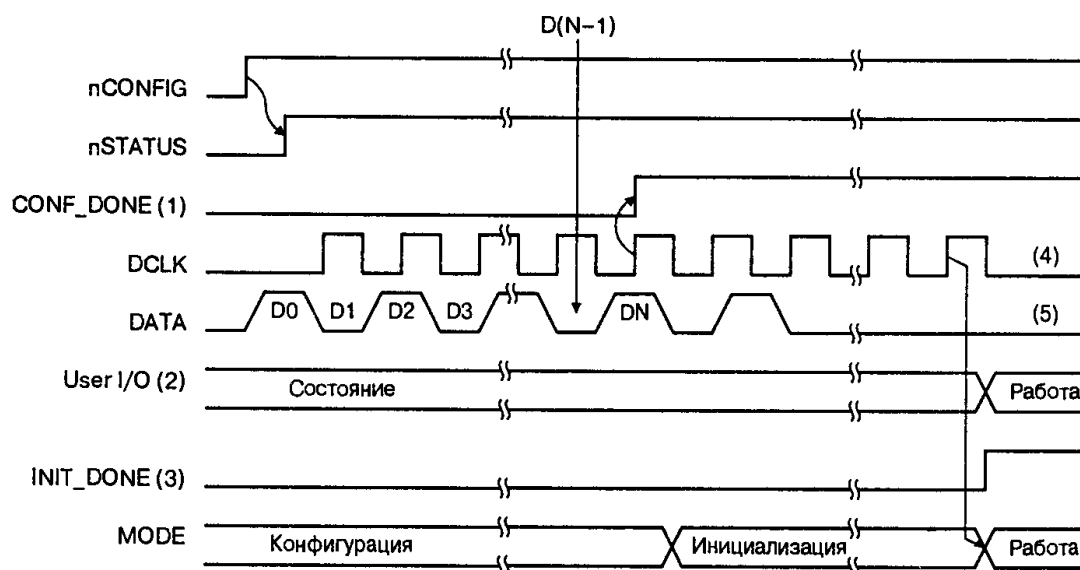


Рис. 1.62. Временные диаграммы конфигурации ПЛИС



На Рис. 1.62 приведены временные диаграммы конфигурации ПЛИС.

Кроме использования ПЗУ, ПЛИС можно конфигурировать с использованием контроллера системы, в которой применена ПЛИС. В Таблице 1.20 приведены возможные режимы конфигурации ПЛИС.

Таблица 1.20. Режимы конфигурации ПЛИС

Режим конфигурации	Применение
Passive Serial (PS) Пассивный последовательный	Конфигурация по последовательному синхронному порту микропроцессора (МП) или устройству ByteBlaster, BitBlaster, MasterBlaster
Passive Parallel Synchronous (PPS) Пассивный параллельный синхронный	Конфигурация по параллельному синхронному порту МП
Passive Parallel Asynchronous (PPA) Пассивный параллельный асинхронный	Конфигурация по параллельному асинхронному порту МП. МП адресует ПЛИС как память
Passive Serial Asynchronous (PSA) Пассивный последовательный асинхронный	Конфигурация по последовательному асинхронному порту микропроцессора (МП)
JTAG	Используется стандарт IEEE Std 1149.1