文件：current\_detect.v

端口描述：

|  |  |  |  |
| --- | --- | --- | --- |
| 端口名 | 方向 | 位宽（bit） | 描述 |
| sys\_clk | input | 1 | 系统时钟，50MHz |
| reset\_n | Input | 1 | 复位信号，低电平有效 |
| detect\_enable\_in | Input | 1 | 电流检测使能标志 |
| pmsm\_imax\_in | Input | 16 | 电机额定电流最大值（x10） |
| channela\_sdat\_in | Input | 1 | A相电流检测spi数据线 |
| channela\_ocd\_in | Input | 1 | A相电流检测过流检测输入 |
| channela\_sclk\_out | output | 1 | A相电流检测输出时钟 |
| channela\_cs\_n\_out | output | 1 | A相电流检测使能位 |
| channelb\_sdat\_in | Input | 1 | B相电流检测spi数据线 |
| channelb\_ocd\_in | Input | 1 | B相电流检测过流检测输入 |
| channelb\_sclk\_out | output | 1 | B相电流检测输出时钟 |
| channelb\_cs\_n\_out | output | 1 | B相电流检测使能位 |
| Phase\_a\_current\_out | Output | 16 | Q15格式，A相电流输出 |
| Phase\_b\_current\_out | Output | 16 | Q15格式，B相电流输出 |
| current\_detect\_status\_out | Output | 16 | 电流检测状态信息寄存器 |
| Channela\_detect\_err\_out | Output | 1 | A相电流检测错误标志 |
| Channelb\_detect\_err\_out | Output | 1 | B相电流检测错误标志 |
| Channela\_detect\_done\_out | Output | 1 | A相检测完成标志 |
| Channelb\_detect\_done\_out | Output | 1 | B相检测完成标志 |

电流检测状态信息寄存器、电流检测错误标志，完成标志均只持续1个时钟周期，电机额定电流最大值为额定电流放大十倍后的值，最大支持20.4A。（由除法器位宽决定）。

启动一次电流检测，必然会有一次检测完成标志或电流检测错误标志，由于需要完成电流标幺化，故输出电流值需额外16个时钟周期完成电流的标幺化

由于电流检测输出带有OCD位，故OCD输入可不使用（其阈值有芯片内部rom存储，在硬件设计上实现编程增加硬件成本，此处过流检测在软件中进行）。

寄存器描述：

current\_detect\_status\_out:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| Reversed | | HW\_DIS | B\_OCD | B\_HW | B\_OL | B\_OT | B\_COM | Reversed | | HW\_DIS | A\_OCD | A\_HW | A\_OL | A\_OT | A\_COM |

\*\_COM: communication error

\*\_OT: Tempture out of range

\*\_OL: Overload error

\*\_HW: Hardwar error

\*\_OCD: overcurrent detect

文件：current\_detect\_phy.v

状态机声明：

FSM\_IDLE='b1;

FSM\_TCSS\_WAIT='b1<<1;

FSM\_DATA\_READ='b1<<2;

FSM\_PARITY\_CHECK='b1<<3;

FSM\_DATA\_PROCESS='b1<<4;

FSM\_TSCON\_WAIT='b1<<5;

初始状态：接收到检测使能信号时进入tcss等待状态，以满足时序中tcss要求

FSM\_TCSS\_WAIT：当等待延时满足时进入数据读状态，历经16个sclk状态，读完后进入数据检查状态

FSM\_PARITY\_CHECK：若出现奇偶校验错误或收到了无报错信息的状态帧则进入TSCON状态准备下一次的读取,若持续十次奇偶校验错误，则也进入数据处理状态

FSM\_DATA\_PROCESS：数据处理，若接收到的是数据帧，且无ocd报错则将数据转换处理成有符号数，并发出检测完成信号，若接收到的是信息帧或奇偶校验错误计数达到十次或电流值大于额定电流值，则进行检测报错，更新detect\_err\_out及state\_out状态寄存器。检测完成信号和检测错误信号必须互斥

FSM\_TSCON\_WAIT:拉高cs进入下一次数据检测。

在设计中理论上cs信号应在FSM\_TCSS\_WAIT及FSM\_DATA\_READ期间拉低，但为了给时序中tcsh充足的余量，在FSM\_PARITY期间仍保持CS拉低。