

# 基于 FPGA 的数字电子钟设计

王 琥, 任 峻

(湖南农业大学 信息科学技术学院, 湖南 长沙 410128)

**摘要:** 采用 FPGA 进行的数字电路设计具有更大的灵活性和通用性, 已成为目前数字电路设计的主流方法之一。本文给出一种基于 FPGA 的数字钟设计方案。该方案采用 VHDL 设计底层模块, 采用电路原理图设计顶层系统。整个系统在 Quartus II 开发平台上完成设计、编译和仿真, 并在 FPGA 硬件实验箱上进行测试。测试结果表明该设计方案切实可行。

**关键词:** EDA; FPGA; Quartus II; 数字钟

中图分类号: TN702

文献标识码: A

文章编号: 1674-6236(2014)04-0127-03

## Design of digital clock based on FPGA

WANG Hu, REN Jun

(College of Information Science and Technology, Hunan Agricultural University, Changsha 410128, China)

**Abstract:** It has become a popular method to design digital circuit by using FPGA because of its flexibility and versatility. A design scheme of digital clock based on FPGA is given in the paper. The scheme adopts VHDL to design bottom modules and circuit diagram to design top system. The digital clock is designed, compiled and simulated on Quartus II, and tested in the FPGA experiment box. The simulation waves and test results show that the scheme is feasible.

**Key words:** EDA; FPGA; Quartus II; digital clock

EDA (Electronic Design Automation) 又名电子设计自动化, 其基本特征是: 以超大规模可编程逻辑器件, 如 FPGA, 为设计载体, 以硬件描述语言, 如 VHDL, 为系统逻辑描述的主要表达方式, 以计算机、大规模可编程逻辑器件的开发软件及实验开发系统为设计工具, 完成电子系统的设计。使用 EDA 进行电子系统设计具有以下特点: 1) 用软件方式设计硬件; 2) 用软件方式设计的系统到硬件系统的转换是由有关开发软件自动完成的; 3) 设计过程中可用有关软件进行各种仿真; 4) 系统可现场编程, 在线升级; 5) 整个系统可集成在一个芯片上, 体积小、功耗低、可靠性高; 6) 设计的移植性好, 效率高; 7) 适合分工设计、团队协作。因此, EDA 技术是现代电子设计的发展趋势<sup>[1-2]</sup>。

## 1 数字钟的设计方案

本文以 FPGA 平台为基础, 采用 VHDL 语言在 Quartus II 开发环境下设计开发多功能数字钟<sup>[3-4]</sup>, 具有计时、校时、蜂鸣闹铃的功能, 具体功能为: 1) 能够对秒、分、小时进行正常计时, 每日按 24 小时计时制, 能用八个七段数码管进行友好界面的显示; 2) 具有复位功能, 可以对当前时间进行清零; 3) 能够对电子时钟进行时分秒设置, 方便在时钟跑错时进行校正; 4) 能够设定电子闹钟, 在指定的时间驱动蜂鸣器等外设工作, 引起使用者注意; 5) 电子钟具有溢出警报功能, 当小时

数超过 24 时, 用一个 LED 小灯进行溢出警报说明, 然后从 00-00-00 开始从新计时, 此功能可以使电子钟很方便的扩展为万年历。

我们采用自顶向下的层次化设计方法进行设计, 其输入为状态选择信号 (使用一个 2 位二进制表示选择, 00 正常运行或显示闹铃信息, 01 设置秒, 10 设置分, 11 设置时)、复位信号、闹铃开关 (配合状态选择信号进行闹铃的设置)、1 Hz 的计时时钟信号和 1 kHz 的扫描时钟信号; 输出为时、分、秒数字显示 (这里使用了 8 个共阴极的七段数码管作为显示输出)、闹钟蜂鸣、溢出信号。系统由状态选择模块、时、分、秒计时校时模块、显示与闹铃模块组成。数字钟的系统框图如图 1 所示。

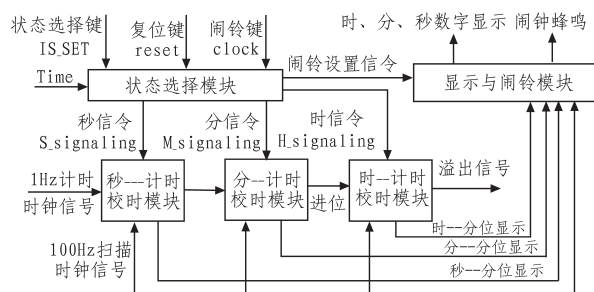


图 1 数字钟系统框图

Fig. 1 System block diagram of the digital clock

收稿日期: 2013-07-02

稿件编号: 201307012

作者简介: 王 琥 (1992—), 男, 湖北仙桃人。研究方向: 通信工程、电子系统设计。

## 2 核心模块设计

### 2.1 状态选择模块设计

该模块主要功能其实是对输入端的汇总,然后根据设置方法对不同的模块进行使能和参数传递,输出不同的信令 signaling 控制到各个模块,使每个模块工作在一个有序的状态。状态选择模块的电路描述如图 2 所示,具体说明如下:当输入一个脉冲到复位键 reset 时,数字钟启动并对时间清零。闹铃键 clock=0 时,模块根据状态选择键 IS\_SET 输出不同秒、分、时信令到秒、分、时计时校时模块,控制这些模块的运行状态。此时,当 IS\_SET=00 时为正常计时状态,秒、分、时的输出信令均为 80;IS\_SET=01 时为秒校时状态,输出秒信令 S\_signaling 为时间输入 Time(显然该输出小于 60),而输出分信令 M\_signaling 和时信令 H\_signaling 均为 100,表示暂停分、时计时;IS\_SET=10 和 11 时则分别为分和时的校时状态。闹铃键 clock=1 时,当 IS\_SET=10 和 11 时分别设置闹铃的分、时为时间输入 Time 并将设置的闹铃时间输出到“显示与闹铃模块”中保存;当 IS\_SET=00 时,输出 out\_clock=1,控制显示与闹铃模块显示设置的闹铃时间。注意,当闹铃键 clock=1 时,计时正常运行,不论 IS\_SET 如何设置,秒、分、时的输出信令均为 80。

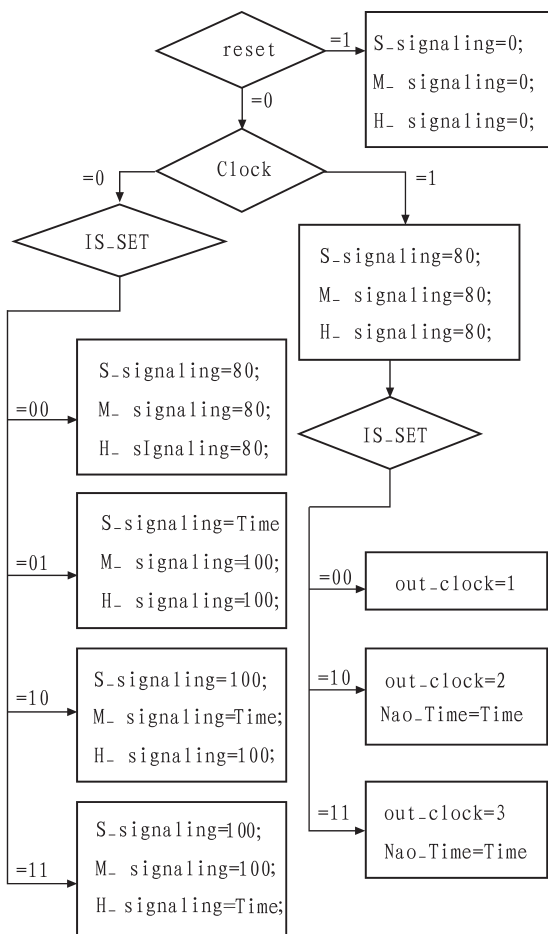


图2 状态选择模块电路流程描述

Fig. 2 Description of the circuit process of the state selection module

### 2.2 计时校时模块设计

该模块用于时、分、秒的计时校时,根据状态选择模块传过来的信令 signaling 分别进行计时和校时。时、分、秒计时校时模块是一样的,只是分秒的进位为 60,而小时的进位为 24。我们在实体声明中的使用 generic 变量定义一个 numn,该值设置进制为 60 或 24,通过修改 numn 值就完成分、秒计时模块到小时计时模块的转换<sup>[9]</sup>。模块的输入为扫描时钟、计时时钟和信令 signaling,输出为输出时间高位 time\_h 和输出时间低位 time\_l,以及进位 clk\_jin。

计时校时模块的电路描述如图 3 所示,具体说明如下:每当扫描时钟上升沿时,启动进程,并根据信令 signaling 执行不同操作,1)当 signaling<numn,模块为校时状态,输入的 signaling 即为模块应设置的时间<sup>[9]</sup>;2)当 signaling=80 时,模块正常计时,通过判断计时时钟信号是否为上升沿进行计数自加操作,秒计时校时模块的计时时钟为 1Hz 的方波信号,分和小时计时校时模块的计时时钟为前一个模块进位过来的 clk\_jin 信号;3)当 signaling=100 时,为暂停状态,此时其他计时校时模块正在校时,本模块计时暂停。为了便于显示,本模块将时间 count 分位为时间高位 time\_h 和时间低位 time\_l,并输出到显示与闹铃模块。

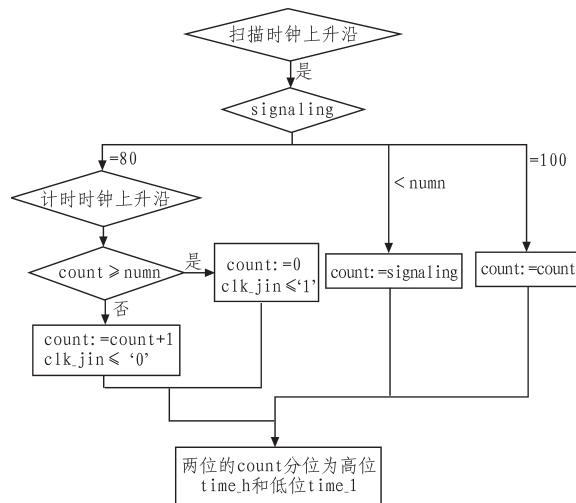


图3 计时校时模块电路流程描述

Fig. 3 Description of the circuit process of the timing module

### 2.3 显示、闹铃模块设计

本模块是数字钟系统中的输出模块,用于输出 LED 数字显示和闹铃,其输入为扫描时钟,从计时校时模块输出的秒低位、秒高位、分低位、分高位、时低位、时高位信号和状态选择模块输出的闹铃显示 Nao\_En 闹铃时间 Nan\_In。如果 Nao\_En=0 则正常显示时间,当 Nao\_En=1 时,在 LED 数码管上显示闹铃时间。当当前时间与保存的闹铃时间 Nan\_In 相同时,蜂鸣器鸣响 1 min。这里我们使用了八个共阴极的七段数码管显示时间<sup>[6]</sup>,当选位信号 sel="01111111"时,第一个数码管显示数字,其他七位不显示。我们通过动态扫描,轮流显示秒低位 sec\_ge、秒高位 sec\_shi、分低位 min\_ge、分高位 min\_shi、时低位 hour\_ge、时高位 hour\_shi 共 6 路信号,当扫

描时钟 `sanc_clk` 频率高于 28 Hz 时, 由于人眼的视觉残留效果, 使得这 6 路信号看上去是同时显示在 6 个七段数码管上<sup>[6]</sup>。显示、闹铃模块电路描述如图 4 所示。

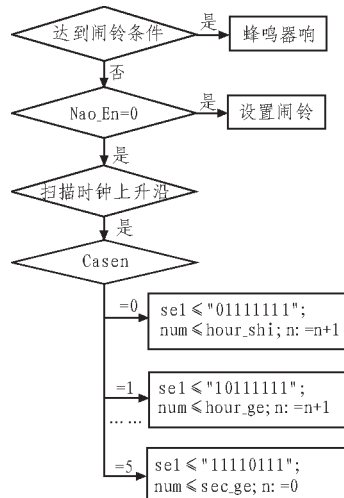


图 4 显示、闹铃模块电路流程描述

Fig. 4 Description of the circuit process of the display and clock module

### 3 结束语

在 Quartus II 软件开发平台上, 采用“自顶向下设计, 自底向上实现”的方法完成了数字钟的设计与实现。其基本过程如下<sup>[4]</sup>: 1) 完成数字钟的总体设计; 2) 完成各个底层模块的设计和波形仿真: 底层模块采用 VHDL 语言编写, 在编译和仿真成功后, 对其进行封装; 3) 完成数字钟的顶层电路设计: 根据数字钟的系统框图(图 1)在 Quartus II 中采用电路原理图方式, 调用封装好的底层模块, 完成顶层电路图的设计; 4) 对顶层电路进行编译和仿真, 结果表明仿真波形符合设计要

求; 5) 进行引脚分配, 再编译后, 将下载文件下载到 FPGA 开发板中进行验证和调试。测试结果表明数码管能正确的显示计时时间, 能通过按键调整时间, 能实现整点报时, 完全符合设计要求。

#### 参考文献:

- [1] 杨海钢. FPGA 器件设计技术发展综述[J]. 电子与信息学报, 2010, 32(3): 714-727.  
YANG Hai-gang. An overview to FPGA device design technology[J]. Journal of Electronics & Information Technology, 2010, 32(3): 714-727.
- [2] 谭会生, 瞿遂春. EDA 技术综合应用实例与分析[M]. 西安: 西安电子科技大学出版社, 2004.
- [3] 纪欣然, 丁一, 梁致源. 基于 FPGA 的多功能数字钟设计[J]. 电子设计工程, 2012, 20(16): 177-179.  
JI Xin-ran, DING Yi, LIANG Zhi-yuan. Design of multifunction digital clock based on FPGA [J]. Electronic Design Engineering, 2012, 20(16): 177-179.
- [4] 徐大诏. 基于 FPGA 实现的数字钟设计[J]. 信息技术, 2009, 33(12): 101-104.  
XU Da-zhao. Digital clock design based on FPGA [J]. Information Technology, 2009, 33(12): 101-104.
- [5] 黄任. VHDL 入门·解惑·经典实例·经验总结[M]. 北京: 北京航空航天大学出版社, 2005.
- [6] 杨军. 基于 FPGA 的 SOPC 实践教程[M]. 北京: 科学出版社, 2010.
- [7] 陈欣波. Altera FPGA 工程师成长手册[M]. 北京: 清华大学出版社, 2012.

## 60 V 多相同步升压型控制器

凌力尔特公司 (Linear Technology Corporation) 推出大功率两相单输出同步升压型 DC/DC 控制器 LTC3784, 该器件采用高效率 N 沟道 MOSFET 取代了整流升压二极管。这款器件在无需任何散热器的情况下, 可从 12 V 输入以高达 97% 的效率产生 24 V/12 A 输出。LTC3784 启动时于 4.5~60 V 的输入电压范围内工作, 启动后可保持输入低至 2.3 VIN 工作, 并且能调节输出电压至高达 60 V。

当配置为以突发模式 (Burst Mode™) 工作时, LTC3784 的 28 μA 静态电流使该器件非常适用于“始终保持接通”的汽车应用, 在备用模式时可延长电池运行时间, 同时保持输出电压处于稳压状态。强大的 1.2 Ω 内置 N 沟道 MOSFET 栅极驱动器能快速地转换大型 MOSFET。该器件的电流模式架构、时钟输出和相位调制使多个器件易于并联以在多达 12 相工作, 并适用于功率非常大的应用。LTC3784 可使用 75~850 kHz 的可锁相开关频率或 50~900 kHz 的可选固定频率。此外, 这款器件具备可调逐周期限流, 可运用检测电阻器或电感器 (DCR) 两端的电压降实现电流检测。在输入电压可能高于稳定输出电压的保持有效应用中, LTC3784 允许同步 MOSFET 连续保持接通, 以便输出电压以最小的功率损耗跟随输入电压。此外, LTC3784 具备可调软启动、电源良好输出, 并在 -55~150 °C 的工作结温范围 (MP 级) 内保持 ±1% 的基准电压准确度。

LTC3784 采用 SSOP-28 和 4x5 mm QFN-28 封装。LTC3784E 和 LTC3784I 版本工作在 -40~125 °C 的结温范围。LTC3784H 版本保证工作在 -40~150 °C 的工作结温范围。LTC3784MP 版本则保证工作在 -55~150 °C 的工作结温范围。

咨询编号: 2014041011