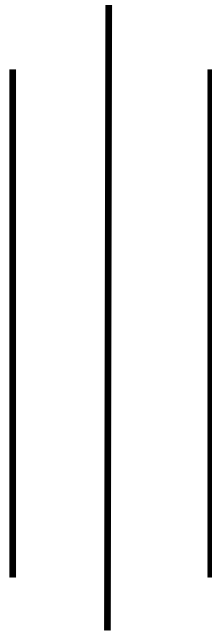




**LAPORAN PRAKTIKUM SISTEM DIGITAL**  
**FLIP-FLOP DASAR**



**DISUSUN OLEH :**

**NAMA : BIMA TRIADMAJA**

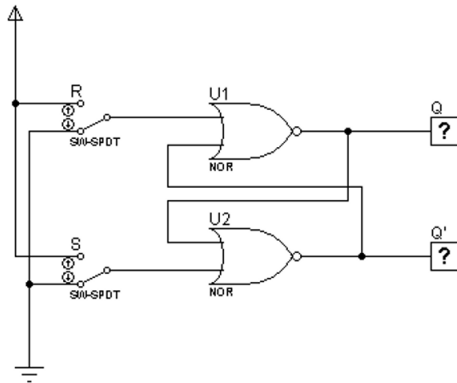
**NIM : L200210137**

**KELAS : C**

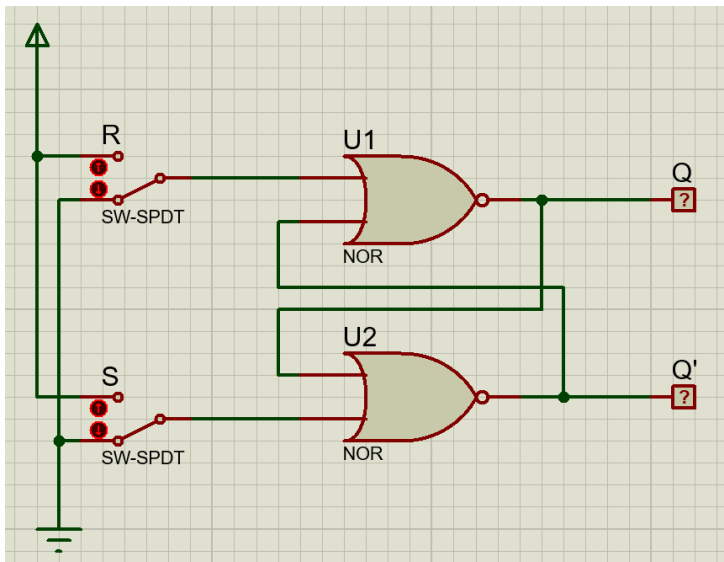
**PROGRAM STUDI TEKNIK INFORMATIKA**  
**FAKULTAS KOMUNIKASI DAN INFORMATIKA**  
**UNIVERSITAS MUHAMMADIYAH SURAKARTA**  
**TAHUN 2021/2022**

## Percobaan 1. NOR Latch

1. Buat dan simulasikan NOR latch seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Latch.



Jawab :



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

No	S (Set)	R (Reset)	Output		Mode
			Q	Q'	
1	0	1	0	1	Reset
2	0	0	0	1	Memori
3	1	0	1	0	Set
4	0	0	1	0	Memori
5	1	1	0	0	Togle

Catatan : Kolom mode menjelaskan kondisi kinerja dari FF tersebut, seperti 'memori', 'set', 'reset', atau 'togle'.

3. Jawab pertanyaan berikut!

a. Apa yang akan terjadi jika kita berikan kondisi  $S = R = 0$ ?

Jawab :

Jika kondisi  $S = R = 0$ , maka tidak akan memengaruhi keadaan nilai output, nilai output akan tetap menyimpan nilai input sebelumnya.

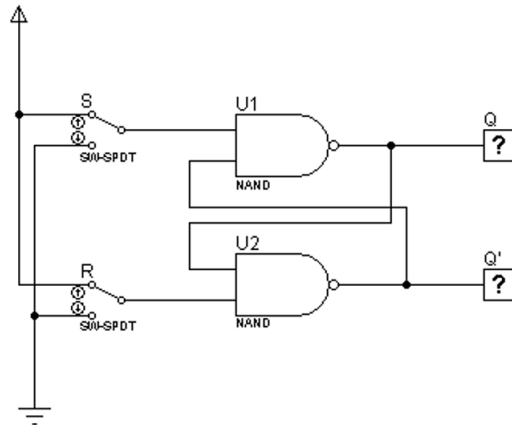
b. Kenapa kondisi  $S = R = 1$  tidak diperbolehkan?

Jawab :

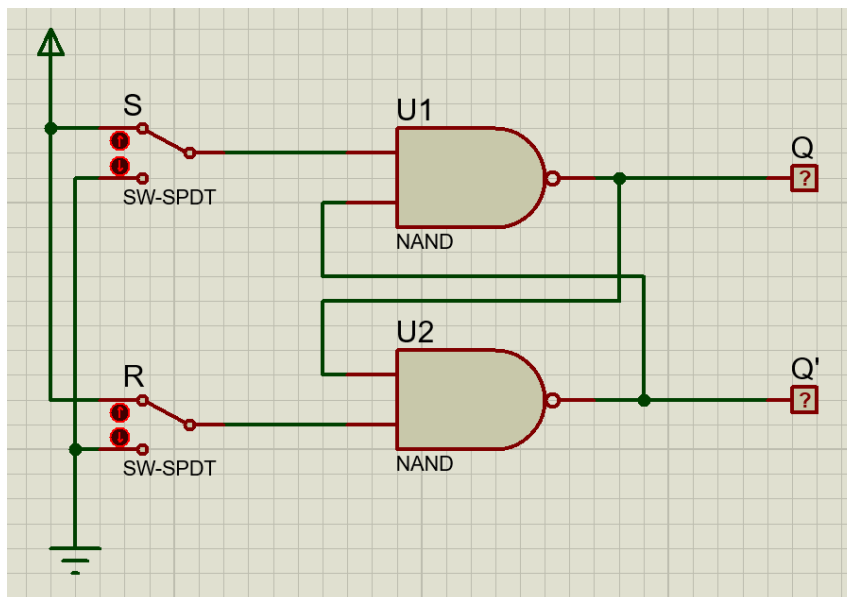
Kondisi  $S = R = 1$  tidak diperbolehkan karena akan menghasilkan output  $Q$  dan  $Q' = 0$ , sedangkan keadaan  $Q$  dan  $Q' = 0$  (sama) itu dilarang dalam latch.

## Percobaan 2. NAND Latch

1. Buat dan simulasikan NOR latch seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Latch.



Jawab :



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

No	S (Set)	R (Reset)	Output		Mode
			Q	Q'	
1	0	1	1	0	Set
2	1	1	1	0	Memori
3	1	0	0	1	Reset
4	1	1	0	1	Memori
5	0	0	1	1	Togle

Catatan : Kolom mode menjelaskan kondisi kinerja dari FF tersebut, seperti ‘memori’, ‘set’, ‘reset’, atau ‘toggle’

3. Jawab pertanyaan berikut!

- a. Apa yang akan terjadi jika kita berikan kondisi  $S = R = 1$ ?

Jawab :

Jika kondisi  $S = R = 1$ , maka tidak akan memengaruhi keadaan nilai output, nilai output akan tetap menyimpan nilai input sebelumnya.

- b. Kenapa kondisi  $S = R = 0$  tidak diperbolehkan?

Jawab :

Kondisi  $S = R = 0$  tidak diperbolehkan karena akan menghasilkan output Q dan Q' = 1, sedangkan keadaan Q dan Q' = 1 (sama) itu dilarang dalam latch.

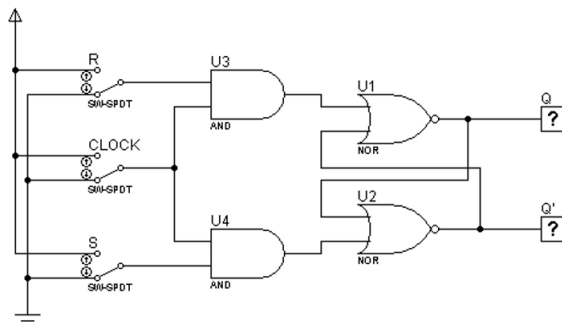
4. Berdasarkan analisis rangkaian flip-flop di atas, apa opini/pendapat anda tentang pernyataan “Flip-flop dan latch digunakan sebagai elemen penyimpanan data” :

Jawab :

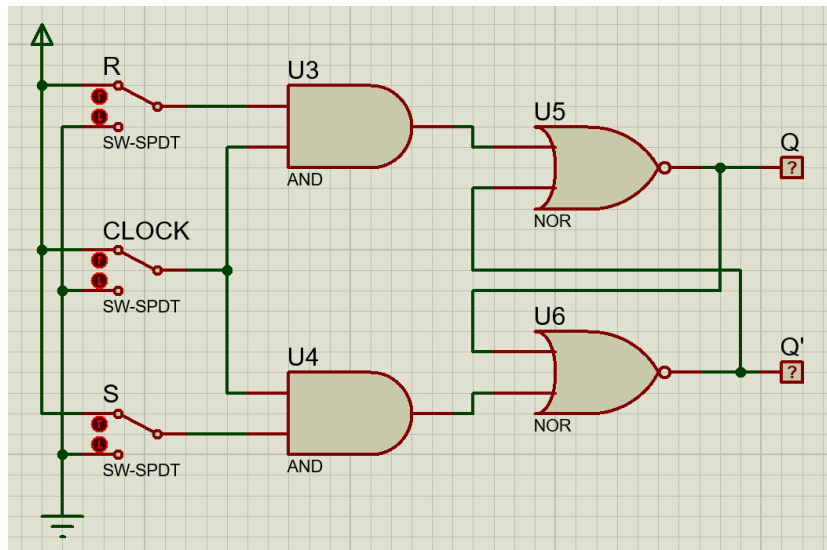
opini/pendapat saya tentang pernyataan “Flip-flop dan latch digunakan sebagai elemen penyimpanan data” yaitu memang rangkaian Flip-flop di atas memiliki sebuah kondisi untuk menyimpan, yaitu ketika  $S = R = 0$  pada latch NOR atau  $S = R = 1$  dalam latch NAND, namun ternyata rangkaian di atas masih memiliki sebuah kekurangan yaitu ketika ingin menyimpan kondisi toggle itu tidak bisa karena dapat merusak logika yang ada di sistem digital.

### Percobaan 3. Flip-Flop RS

1. Buat dan simulasikan Flip-Flop RS seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan Flip-Flop RS.



Jawab :



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

No	S (Set)	R (Reset)	CLOCK	Output		Mode
				Q	$Q_{(t+1)}$	
1	0	0	0	Q	$Q_{(t+1)}$	-
2	0	0	1	Q	$Q_{(t+1)}$	-
3	0	1	0	Q	$Q_{(t+1)}$	-
4	0	1	1	0	1	Reset
5	1	0	0	0	1	Memori
6	1	0	1	1	0	Set
7	1	1	0	1	0	Memori
8	1	1	1	0	0	Togle

Catatan : Kolom mode menjelaskan kondisi kinerja dari FF tersebut, seperti ‘memori’, ‘set’, ‘reset’, atau ‘togle’

3. Jawab pertanyaan berikut!

a. Apa yang akan terjadi jika kita beri kondisi  $S = R = 1$  dan clock berubah dari 1 ke 0?

Jawab :

Maka akan terjadi error pada simulasi rangkaian tersebut, dengan kode “Logic race condition detected during transient analysis”.

b. Bagaimana kondisi diatas dapat terjadi?

Jawab :

Kondisi diatas dapat terjadi karena lompatan yang besar di dalam input, yaitu terjadi kondisi terlarang sebanyak 2 kali. Ketika  $S = R = 1$  dan clock bernilai 1 menghasilkan Q dan  $Q_{(t+1)} = 0$ , dan jika clock di ubah dari 1 menjadi 0 maka menghasilkan Q dan  $Q_{(t+1)} = 1$ . Dalam kondisi ini, perubahan tersebut tidak diperbolehkan sehingga terjadi error pada simulasi rangkaian tersebut.

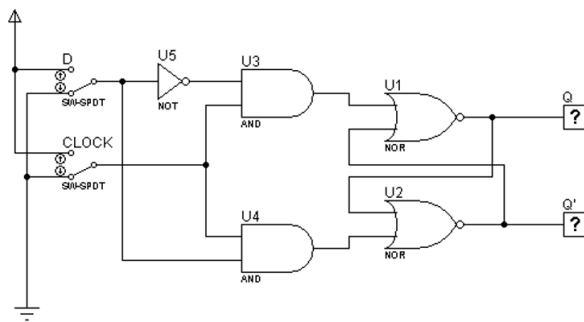
c. Jelaskan bagaimana Flip-flop RS bekerja!

Jawab :

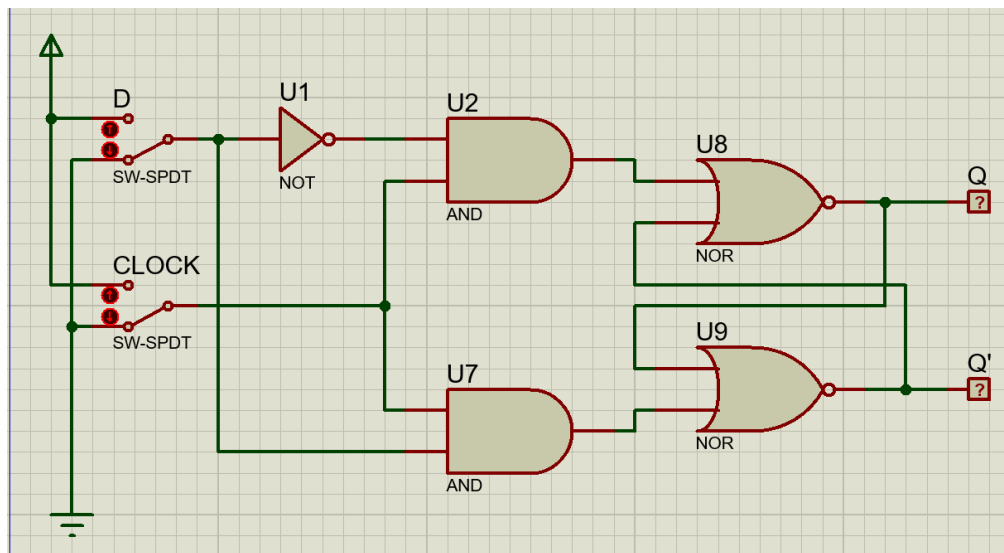
- Apabila R dan S bernilai rendah (low) artinya output Q tetap dalam keadaan terakhir tanpa batas karena tindakan latch internal.
- Input S bernilai high akan menyebabkan Q bernilai 1, kecuali jika output telah berada dalam keadaan high. Dalam hal ini output tidak berubah, bahkan apabila input S kembali ke kondisi rendah.
- Input R bernilai high dapat menyebabkan Q bernilai 0, kecuali jika output telah berada dalam keadaan low. Output Q selanjutnya tetap dalam kondisi rendah, walaupun masukan R berubah ke keadaan low.
- Input R dan S tidak diperbolehkan dalam kondisi yang bernilai high di waktu yang sama.

#### Percobaan 4. Flip-Flop D

1. Buat dan simulasikan Flip-Flop D seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan flip-flop.



Jawab :



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

No	D	CLOCK	Output		Mode
			Q	$Q_{(t+1)}$	
1	0	0	Q	$Q_{(t+1)}$	-
2	0	1	0	1	Data in
3	1	0	0	1	Memori
4	1	1	1	0	Data in
5	0	0	1	0	Memori
6	0	1	0	1	Data in
7	1	0	0	1	Memori
8	1	1	1	0	Data in

Catatan : Kolom mode menjelaskan kondisi kinerja dari FF tersebut, seperti 'memori' atau 'Data in/masuk'.

3. Jelaskan bagaimana Flip-flop D bekerja!

Jawab :

Flip flop D dapat bekerja dengan memasukkan data dari input D apabila mendapat pulsa dari clock atau proses data masuk ke dalam rangkaian ini terjadi apabila nilai dari clock adalah 1 dan akan menyimpan data apabila nilai dari clock bernilai 0.

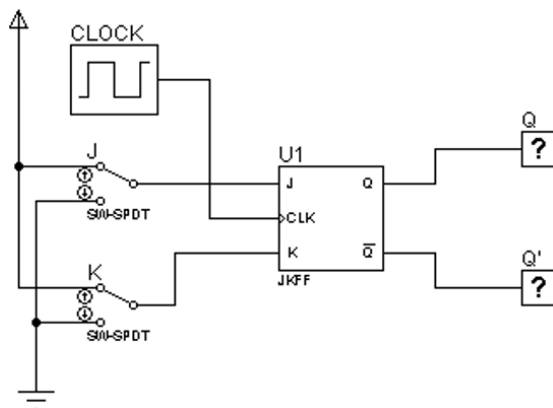
4. Apa fungsi NOT gate pada Flip-Flop D dibandingkan dengan Flip- Flop SR!

Jawab :

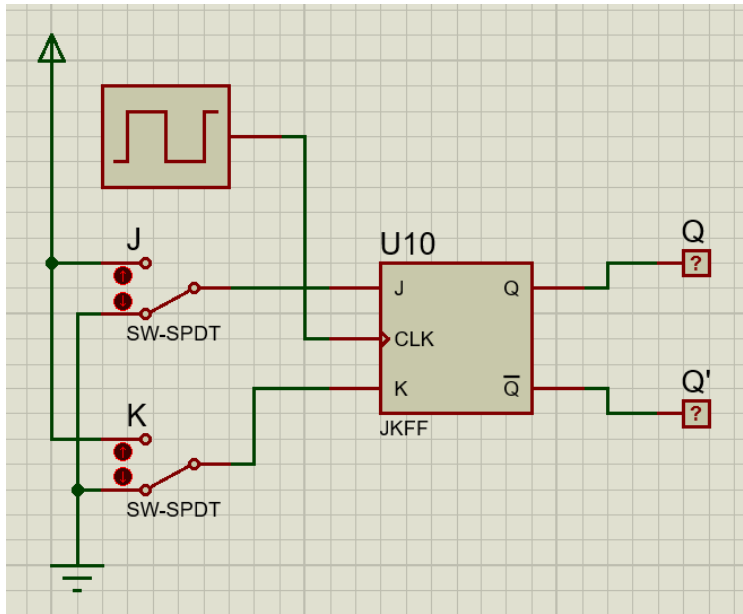
NOT gate pada Flip-Flop D berfungsi agar nilai D (data) tidak sama dengan input pada RS (Reset / Set), hal ini bertujuan agar dapat menghindari kondisi terlarang (toggle), sehingga Flip-flop D hanya bisa menghasilkan kondisi (mode) Memori atau Data in/masuk.

## Percobaan 5. Flip-Flop JK

1. Buat dan simulasikan JK Flip-Flop seperti pada gambar! Dan kemudian klik switch SW-SPDT untuk mengoperasikan flip-flop.



Jawab :



2. Berdasarkan simulasi anda, isi titik-titik pada tabel berikut!

	J	K	CLOCK	Output		Mode
				Q	$Q_{(t+1)}$	
1	0	0	0	0	1	Memori
2	0	0	1	0	1	Memori
3	0	1	0	0	1	Memori
4	0	1	1	0	1	Memori
5	1	0	0	1	0	Set
6	1	0	1	1	0	Memori
7	1	1	0	1	0	Reset / Set
8	1	1	1	1	0	Memori

Catatan : Kolom mode menjelaskan kondisi kinerja dari FF tersebut, seperti 'memori', 'set', 'reset', atau 'toggle'

3. Jawab pertanyaan berikut ini

a. Apa yang akan terjadi jika  $J = K = 0$ , dan clock rise up (change from 0 to 1)?

Jawab :

Maka output akan menyimpan nilai keadaan sebelumnya.

b. Apa yang akan terjadi jika  $J = K = 1$ , dan clock rise up?

Jawab :

Maka keadaan akan berganti-ganti dari Set ke Reset, lalu Reset ke Set saat Clock rise up, setelah itu menyimpan nilai sebelumnya.



4. Jelaskan bagaimana Flip-flop JK bekerja!

Jawab :

Apabila J bernilai low (0) dan K bernilai high (1), master direset melalui sisi naik pulsa clock. Output Q high pada master akan dilanjutkan ke slave. Oleh karena itu kedatangan sisi turun akan membuat slave ter-reset. Hal ini juga sesuai dengan kinerja dari master. Apabila input J dan K pada master bernilai high, flip-flop akan berubah ketika menemui sisi naik clock dan slave akan berubah pada pulsa sisi turun. Sehingga apapun yang dilakukan oleh master, akan dilakukan juga oleh slave. Apabila master di-reset, maka slave juga akan di-reset, dan juga ketika master di-set maka slave pun juga akan di-set.