

信頼性推進部 技術報告				
サーボ設計マニュアル （コントロール編）		ページ	213 - 1	
§ 報告の目的 このマニュアルの読者には、サーボ製品について一通りの内容や使用方法を理解した初級技術者を想定している。サーボアンプの設計技術を設計マニュアルと設計解説の両面から記述しており、開発設計者のみならず、適用設計者や品質管理技術者、サービス技術者など幅広く利用できることをねらいとした。				
§ 報告の内容の要旨および結論 - タイプ B のサーボパック SGDS を例題にとりながら、要求仕様を具体的な代用特性に展開する構想設計やコントロール部の詳細設計がどのように行なわれているかを解説した。 設計の概論を学ぶためには PART 1 を読むことを薦める。PART 2 は設計の詳細を述べているので現行製品の解説書としてみても良いし、必要な部分を字引的に利用しても良い。索引には失敗事例や設計共通的な観点から項目を探索できるように配慮した。 報告の具体的内容（目次） PART 1 概要と構想設計 1. はじめに 2. AC サーボモータと制御の概要 3. 要求仕様と構想設計 PART 2 詳細設計 4. 詳細設計 4.1 定格および仕様 4.2 サーボパックの構成 4.3 ASIC 4.4 ASIC による電流制御 4.5 ソフトウェア初版 2002 年 9 月 4.6 ハードウェア				
§ 原稿バージョン：A				
§ 関係資料および付記事項 関係資料： （電）技術報告 DTR - Z - 0001 サーボ設計マニュアル（パワー部） その他の資料は巻末に記載 なお、本文中の朱記部は追加、または見直しが必要である。				
初版 2002 年 9 月	担当部門	承認	照査	作成
	（信）	小長 2002.9.20		（信）杉村 （M技）桜井 （S企）遠矢 2002.9.20

目次

サーボ設計マニュアル（コントロール編）	i
PART 1 概要と構想設計	1
1 はじめに	1
2 AC サーボモータと制御の概要	2
2.1 AC サーボモータ	2
2.2 サーボモータ発生トルク	4
2.3 電流制御	4
2.4 速度制御	6
(1) 外乱オブザーバ	6
(2) ノッチフィルタ	7
(3) PI/IP 制御	7
2.5 位置制御	8
(1) 偏差レス制御	8
(2) 予測制御	9
3 要求仕様と構想設計	10
3.1 要求仕様	10
(1) 市場からの要求仕様	10
(2) 事業戦略からの要求仕様	12
(3) 失敗事例からの改善要求仕様	13
(4) 仕様項目	13
3.2 構想設計	14
3.2.1 モータ・PG とのインタフェース	15
3.2.2 サーボ性能設計	16
(1) 速度ループの周波数特性	16
(2) 電流ループ周波数特性	18
(3) トルク・速度リップルの発生要因	20
3.2.3 機能設計	29
3.2.4 ソフトウェアとハードウェアの分担設計	29
3.2.5 CPU の選定	31
3.2.6 ハードウェアの構成	31
3.2.7 ASIC	31
3.2.8 ソフトウェアの構成	31

PART 2	詳細設計	32
4	詳細設計	32
4.1	定格および仕様	32
4.1.1	製品仕様	32
4.1.2	信頼性設計仕様および安全性設計仕様	36
4.2	サーボパックの構成	38
4.3	ASIC	40
4.3.1	ASIC ブロック図	41
4.3.2	ASIC の機能	42
(1)	ホスト CPU インタフェース	42
(2)	クロック分周	42
(3)	アナログモニタ用 PWM 出力	43
(4)	拡張 IO	44
(5)	同期シリアル	44
(6)	非同期シリアルインタフェース	45
(7)	指令パルスカウンタ	46
(8)	指令入力補正カウンタ	47
(9)	シリアルエンコーダ・パルス変換	47
(10)	分周カウンタ	49
(11)	シリアルエンコーダインタフェース	50
(12)	A/D インタフェース概要	52
(13)	24 ビット指令用 A/D インタフェース	53
(14)	電流検出 A/D インタフェース	55
(15)	山谷カウンタ	64
(16)	回生コントロール	64
(17)	アラーム	64
(18)	PWM 制御	66
(19)	システム制御	73
(20)	タイマ	74
(21)	割り込み	74
(22)	EEPROM インタフェース	75
(23)	MPU 部	77
4.3.3	アドレスマップ	80
(1)	ホスト側アドレスマップ概要	80
(2)	マイクロプログラムアドレスとホスト CPU アドレス対応表	81

4.4	ASIC による電流制御	82
4.4.1	電流制御操作手順	83
(1)	ファイルの作成およびコンパイル手順	83
(2)	CPU 側での初期化处理	84
(3)	制御実行時の処理	84
4.4.2	電流制御機能ブロック図	84
4.4.3	電流制御演算	88
(1)	dq 変換処理	88
(2)	電流検出処理	89
(3)	ACR (Auto Current Regulator)	90
(4)	電圧 F F 補償	93
(5)	電圧補正	95
(6)	オンディレイ補償	100
(7)	トルクフィルタ	102
4.4.4	定数値 (パラメータ) 計算	104
(1)	トルクフィルタ	105
(2)	ACRd、ACRq	107
(3)	3 相 2 相変換	108
(4)	2 相 3 相変換	109
(5)	電圧補正(PnE2A)	109
(6)	電圧外乱補償 (オンディレイ補償)	110
(7)	電圧 FF 補償	111
(8)	その他	112
4.4.5	指令転送処理	112
(1)	トルクリミット、速度	113
(2)	電流指令、トルク指令	114
(3)	位相	114
(4)	電圧指令	114
4.5	ソフトウェア	115
4.5.1	ソフトウェア構成	116
4.5.2	割込処理実行スケジューリング	119
4.5.3	イニシャル処理	120
(1)	エンコーダ初期化处理	121
4.5.4	同期割込処理	125
4.5.5	スキャン A 割込処理	127
(1)	シリアルエンコーダのデータ取得	129

(2)	エンコーダ受信失敗時の補正、異常検出処理	130
(3)	インクレ使用時原点通過による位相初期化処理	131
(4)	位置データ生成	131
(5)	分周パルスの ASIC への出力	131
(6)	位相データ生成と ASIC への出力	131
(7)	トルク制御時トルク指令処理	131
(8)	電流指令等 ASIC (マイクロプログラム) 入出力処理	131
4.5.6	スキャン B 割込処理	133
(1)	入力特権処理	135
(2)	出力特権処理	135
(3)	位置制御処理	136
(4)	速度制御処理	136
(5)	トルク制御処理	137
4.5.7	スキャン C 割込処理	141
4.5.8	ラウンド処理	145
4.5.9	偏差クリア割込処理	148
4.5.10	外部ラッチ割込処理	149
4.5.11	制御演算ライブラリと演算分解能	150
4.6	ハードウェア	152
4.6.1	制御部ブロック図	153
4.6.2	ゲートドライブ回路	155
(1)	ゲートドライブ信号変換回路	156
(2)	ブートストラップ回路 (4.3 章ではチャージポンプと表現)	159
4.6.3	電流検出回路	165
(1)	回路説明	165
(2)	使用部品仕様	166
(3)	シャント抵抗の選定	166
(4)	検出精度	167
(5)	電源および CMMR の検討	169
(6)	入力フィルタの検討	169
(7)	パターン設計上の注意事項	169
4.6.4	位置指令入力インターフェース	170
(1)	動作	170
(2)	位置指令入力パルスの仕様	171
4.6.5	速度指令入力インターフェース	171
(1)	動作	171

(2)	速度指令入力回路の要求仕様（製品仕様）	173
(3)	回路検討のための条件	173
(4)	オペアンプ部の検討	174
(5)	AD コンバータ部の検討	174
(6)	精度の検討	175
(7)	周波数応答の検討	179
(8)	アナログ回路の注意事項	180
4.6.6	トルク指令入力インターフェース	180
(1)	動作	180
(2)	トルク指令入力要求仕様（製品仕様）	181
(3)	回路検討のための条件	181
(4)	入出力電圧範囲の検討	182
(5)	入力電圧最小分解能の検討	182
(6)	精度の検討	183
(7)	入力インピーダンス、入力端子オープン時、周波数応答の検討	185
4.6.7	シリアルエンコードインターフェース	185
(1)	回路説明	185
(2)	断線検出方式	185
(3)	エンコーダ電源電圧の検討	186
4.6.8	32Bit 同期式シリアル通信インターフェース	186
(1)	シーケンス入力回路の検討	188
(2)	シーケンス出力回路の検討	191
(3)	シーケンス入出力信号の安全性設計	192
4.6.9	その他インターフェース	193
(1)	分周出力インターフェース	193
(2)	デジタルオペレータインターフェース	193
(3)	オプション・ユニット対応インターフェース	193
(4)	3.3V 系回路インターフェース	194
4.6.10	アナログモニタフィルタ	194
(1)	動作	194
(2)	要求仕様	194
(3)	回路検討のための条件	194
(4)	回路検討	195
4.6.11	監視・異常検出回路	199
(1)	過電流検出回路	199
(2)	ヒートシンク温度検出回路	199

(3)	主回路電源電圧検出回路	199
(4)	回生異常	201
(5)	ACON 検出回路	201
(6)	充電表示	201
4.6.12	クロック、リセット、バッテリー回路	201
4.6.13	制御電源	201
(1)	電源容量の見積	201
(2)	回路方式	201
(3)	AC 電源入力回路	201
(4)	スイッチング電源回路	201
(5)	DC 電源出力回路	201
4.6.14	電源投入・切断シーケンス	202
4.6.15	ノイズの検討	202
5	おわりに	203
参照・引用資料		203
参考資料		204
索引		205
編集委員、査読委員、執筆者一覧		206

・青文字部は資料から引用した生原稿、または半完成原稿であり手を入れる必要がある。

・朱文字はこのマニュアル自体の間違いか、或いは、SGDS の製品そのものの検討不足の恐れがある部分である。設計者の検証を要す。

PART 1 概要と構想設計

1 はじめに

事業の発展は登山のように、なだらかな裾野を行く揺籃期から急勾配の成長期を経て頂上の成熟期に至る。頂上を越えるとやがて下りに入り衰退へと向かう。事業を支える技術についても、これを担う技術者の数で見ると同様な山形となる。揺籃期には一人または数人の技術者が技術の全てを掌握して全てを決定できるが、成長期には事業規模が拡大しそれと共に携わる人も多くなる。技術の範囲も広がって来るため一人でカバーできる範囲が狭まり、大勢の人で分担することになる。このため技術が専門化・細分化し全体を把握できる人が居なくなるか、または極端に不足する状況になる。揺籃期から成長期の初期にかけてこれを支えた技術者は成熟期へ近づく頃には管理者になって技術の第一線を退いているのが普通である。

このような状況に陥ってしまうと、前例から脱却できない後追い開発や品質問題解決能力の低下とか部分最適全体不適の体質などのマグマが滞留し事業の発展を阻害してしまう。サーボ事業もやがてこの段階に臨むことになるが、事業を大きく育てるためにはこのネックを解消しておくことが求められる。担当する技術分野を超えてサーボ技術の全体を理解し、その中から専門の技術で設計に向かうことができるたくさんの技術者を育てる必要がある。このマニュアルは「サーボ設計マニュアル - パワー編 - 」と共にこのネック解消の一助になることを期待し編纂したものである。

このマニュアルはサーボ製品について一通りの内容や使用方法を理解した初級技術者を対象に、サーボアンプの設計技術を設計マニュアルと設計解説の両面から記述している。初級技術者には開発設計者は勿論、適用設計者や品質管理技術者、サービス技術者なども含まれる。設計の概論を学ぶためには2章、3章を読むことを薦める。4章以降は設計の詳細を述べているので現行製品の解説書としてみても良いし、必要な部分を字引的に利用しても良い。索引にはサーボアンプの設計のみでなく他製品を含めた設計共通的な観点から項目を探索できるように配慮した。また、失敗事例も索引できるようにしている。

サーボ製品としてモータとサーボアンプとでどのように機能分担して要求機能・性能を実現するかは、全体の基本設計の最初に検討すべき事項であるが、これらは当社の長年の経験が結実した製品体系として既にできあがっており、ここでは既存の製品体系に沿ったサーボアンプの設計を主体に解説する。市場の要求仕様が大きく変化してきたときや、既存の製品体系ではある特定の問題の解決が図れない事態が発生した場合には、この原点まで遡って設計を開始する必要がある。

このマニュアルでは最新機種の - タイプ B サーボバック SGDS-02A を例題として具体的に設計内容を解説する。 - サーボバックは電源や容量により回路構成が異なる。しかし、設計内容は共通部分が多いので例題機種を展開して他の機種も設計することができる。できないものはこのマニュアルに内容を追加、補充をしてレベルを上げていくことにする。

2 AC サーボモータと制御の概要

2.1 ACサーボモータ

この章では AC サーボモータおよびその制御について概要を述べ、次章以降の詳細説明の一助とする。

サーボモータは従来より位置決め用途を主体に用いられ、要求仕様として動きの早さや速度の滑らかさ、制御の容易さを求められて来た。この要求を満足するために、(発生トルク / 慣性モーメント : T/J) 比、パワーレート (K_w/J)、機械時定数 (s) ((巻線抵抗) \times (慣性モーメント) / (トルク定数) / (誘起電圧定数) : ステップ的に電圧を印加した時のモータ速度が最終値の 63.2% に達する時間)、モータ容量の目安を表すモータ定数 ($N/M/ W$) 等で代表される数値が性能の目安として重要視されて来ている。

前記の指標を高くしようと思えば、構造的には慣性モーメントの小さな構造を採用し、電気的にはインダクタンス分を少ない、電気的な時定数の小さい設計を採用してきた。

その代表が当社が一世を風靡した DC サーボモータのシリーズがある。ミナーシャモータ、プリントモータ、カップモータ、スーパミナーシャモータなど機械的な時定数が数 ms を誇る機種まで商品化している。

しかし、半導体の進歩や社会ニーズから DC モータから AC モータへの転換が 1970 年代後半から始った。DC モータはブラシと整流子でモータ内部で各巻線に対応して

トルクが発生する方向で転流が自動的に進む。しかし、AC モータではモータの位置を判別して、位置に応じて巻線に流す電流を制御しなければトルクが一定方向にならず、そうでなければ電流に比例したトルクにならないか脈動トルクが発生する。

AC サーボモータの構造は図 2.1-1 に示すように回転子の表面にマグネットを貼り付けた構造が多い (SPMM : Surfacemount Permanent Magnet Motor)。大容量サーボでは図 2.1-2 に示すように回転子の中にマグネットを埋め込んだ構造が多い (IPMM : Interior Permanent Magnet Motor)

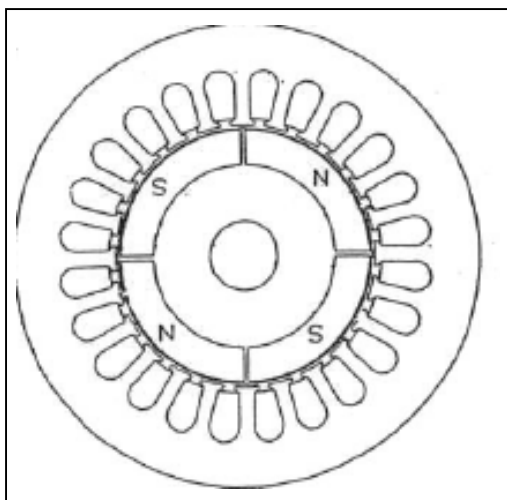


図 2.1-1 SPM の構造

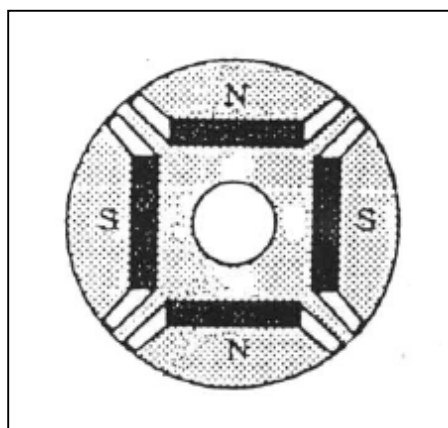


図 2.1-2 IPMM のロータ構造

ACサーボモータの特性もDCモータと同様に構造的には慣性モーメントが小さいこと、電気的にはトルク定数や誘起電圧定数が大きいこと、巻線抵抗が小さいことが要求される。当社は他社に先駆けてこの要求にマッチしたシリーズのモータを開発した。

シグマシリーズのモータは図 2.1-3 に示すように、外側から成形したコイルを挿入できるような構造になっている。この結果巻線の占積率（スペースファクタ）が向上し、コイルの巻回数と巻線抵抗との間の設計的な余裕が出来るようになった。

図 2.1-3 シリーズのモータ構造

ACサーボモータで発生するトルクはフレミングの左手の法則に示されるように、基本的に電流と磁束の積に比例する。正確に表現すると巻線の合成電流ベクトルと鎖交磁束ベクトルの外積になる。その関係を図 2.1-4 に示す。

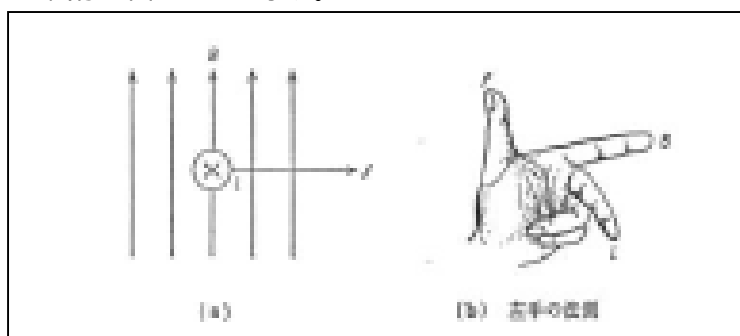


図 2.1-4 ACサーボモータ発生トルクの説明

トルクに関連するサーボモータの項目として、定格トルクや最大トルクがある。

定格トルクは熱的に連続で使用できる最大のトルクを表し、最大トルクは瞬時的に発生できる最大トルクを表す。定格トルクはモータ構造や冷却能力等の条件で左右されるが、最大トルクはアンプとモータの各要素で決まり、どちらかと言えばアンプの最大電流に左右されることが多い。モータからの制約は巻線に電流を流すことで発生する電機子反作用による減磁作用から制約を受ける。減磁については特にモータが高温の状態になっていると減磁しやすいので注意を要する。

2.2 サーボモータ発生トルク

トルクの発生は前記したように、磁界中に電流が流れて発生するトルクとモータ内部の電磁界エネルギーの変化で発生するリラクタンストルクがある。

SPM は主に前者のトルクを利用しているが、IPMM は前者のトルクと後者の突極性に基くリラクタンストルクも合わせて利用している。

サーボモータで良く問題となるコギングトルクもリラクタンストルクの一種であり、ロータの位置により、空隙中のエネルギー状態が変化するために発生する。

図 2.2 にトルクの発生の原理図を示す。

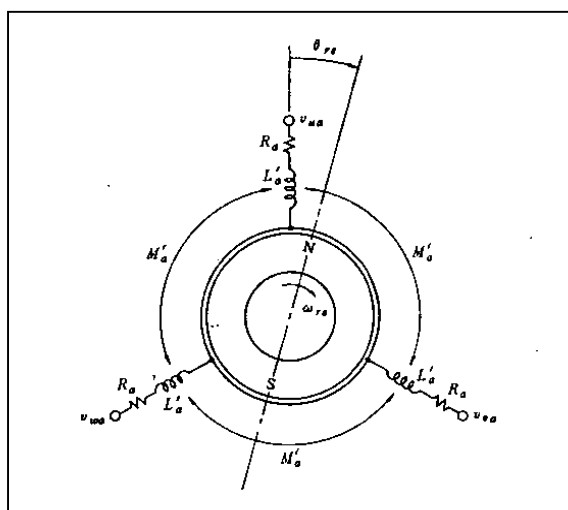


図 2.2-1 3 相での等価回路

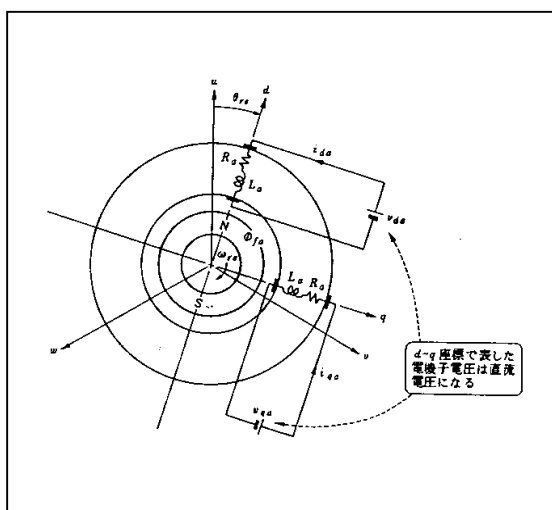


図 2.2-2 d - q 軸での等価回路

上図 d - q 軸での電圧方程式は以下のように表すことができる。

$$\begin{bmatrix} v_{da} \\ v_{qa} \end{bmatrix} = \begin{bmatrix} R_a + PL_a & -\omega_{ra} L_a \\ \omega_{ra} L_a & R_a + PL_a \end{bmatrix} \begin{bmatrix} i_{da} \\ i_{qa} \end{bmatrix} + \begin{bmatrix} 0 \\ \omega_{ra} \Phi_{ra} \end{bmatrix}$$

したがって発生トルクは突極性がなく、リラクタンストルクが発生しない条件で、電流が q 軸に流れている状態では以下の式になる。

$$T = p \Phi_{ra} i_{qa}$$

ここで p は極数、 Φ_{ra} は磁束を表す。

2.3 電流制御

サーボモータの発生するトルクは電流でほぼ決定される。モータの速度を精度良く制御するにはトルクを制御する必要がある。その意味で電流制御は全体の特性を左右する重要な制御である。また、一部のモータを除いて、制御的には電流ループがないと制御が不安定になる。最近の

モータに代表されるモータはスペースファクターを出来るだけ大きくし、巻線を出来るだけ巻き込んであるために巻線の電気時定数 (L/R) が比較的大きくなり、10ms 程度の値を持つ。これに対してモータの機械的な時定数はマグネットの性能向上や慣性モーメントの低減により年々小さくなり、最近では 2~3ms 程度の値を、持つようになってきた。機械的な時定数が電気

的な時定数よりも早いことは外側の制御ループが早いことになり、制御系としては不安定な方向になる。これを是正するために電流制御を行い、等価的に電氣的な時定数を早くする必要があり、電流制御ループは不可欠の要素となる。

電流制御は以前はそれぞれの相毎に電流センサ信号をフィードバックして制御をしていたが、以降は 3 相の座標から 2 相へ dq 変換をして見かけ上、2 軸の直流分として制御を行うようになってきた。dq 軸を使った電流制御の概要を図 2.3 に示す。電流制御は制御ループの中で最も内側に配置するために、外側の速度ループに対して高速に制御する必要がある。制御の目安としては希望の周波数特性の 10 倍以上の演算周期で制御する必要がある。例えば電流制御において 1000Hz の f 特を得たい場合は演算周期を最低限 100 μ s 以下にし、速度制御の f 特の最低 4 倍以上の f 特を確保する必要がある。また、電流の制御精度はほぼトルクの制御精度に直結するので、仕様の決定に当たっては電流フィードバックの分解能を含めて考慮する必要がある。

また、電流波形の良し悪しは発生トルクに影響を与える。電流に DC 成分が入ったり、正弦波から歪んでいると、発生トルクにリップル成分が発生する。電流波形が歪む原因として、電流センサの検出精度や PWM アンプにおけるパワー素子の ON/OFF ディレーの影響がある。これらの影響を少なくするためにはディレー補償を施すか、電圧ループなどの追加による波形改善が必要である。

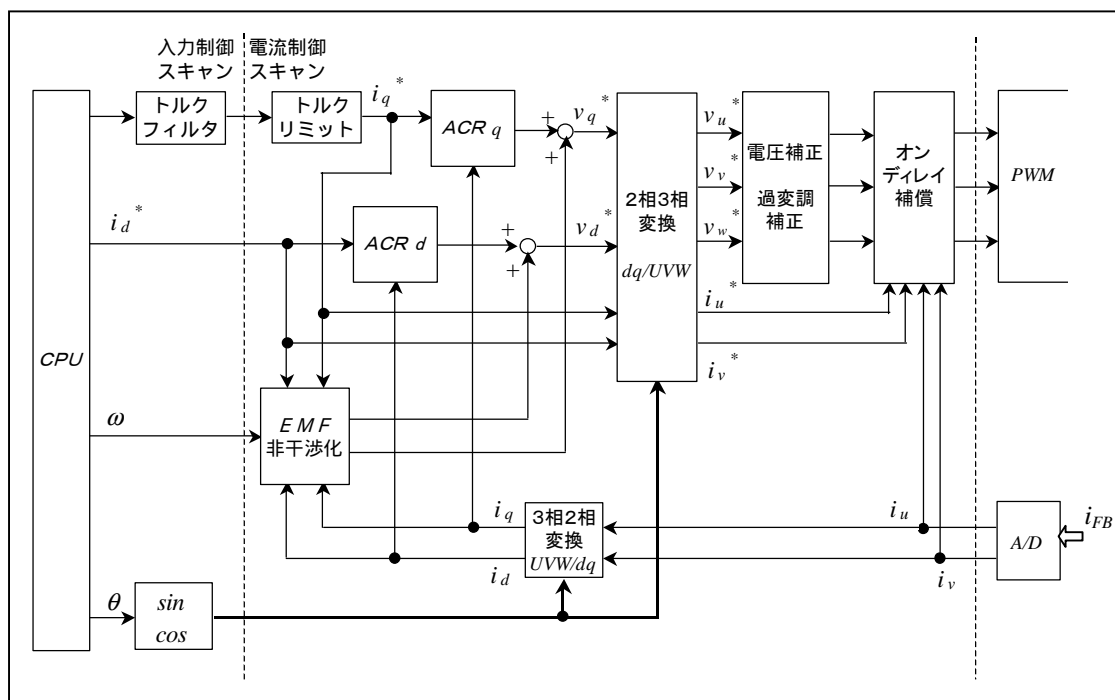


図 2.3 電流制御の説明図

2.4 速度制御

速度制御はモータの速度を制御するループで非常に重要である。通常はモータと負荷が連結されて使われるので負荷系の慣性モーメントや固有振動、摩擦、バックラッシュなど色々な負荷の影響を受ける。そのために制御性能の向上を求めて種々の制御手法が用いられる。速度制御に要求される項目は速度応答、速度制御精度、速度制御範囲などであり、それらは速度指令分解能、エンコーダ分解能、演算周期などの基本的な要素に加えて制御方式などに左右される。速度制御回りの概略の構成を図 2.4-1 に示す。この中でも分かるように、速度制御の周辺に組み込まれている制御補償の手法には以下のようなものがある。

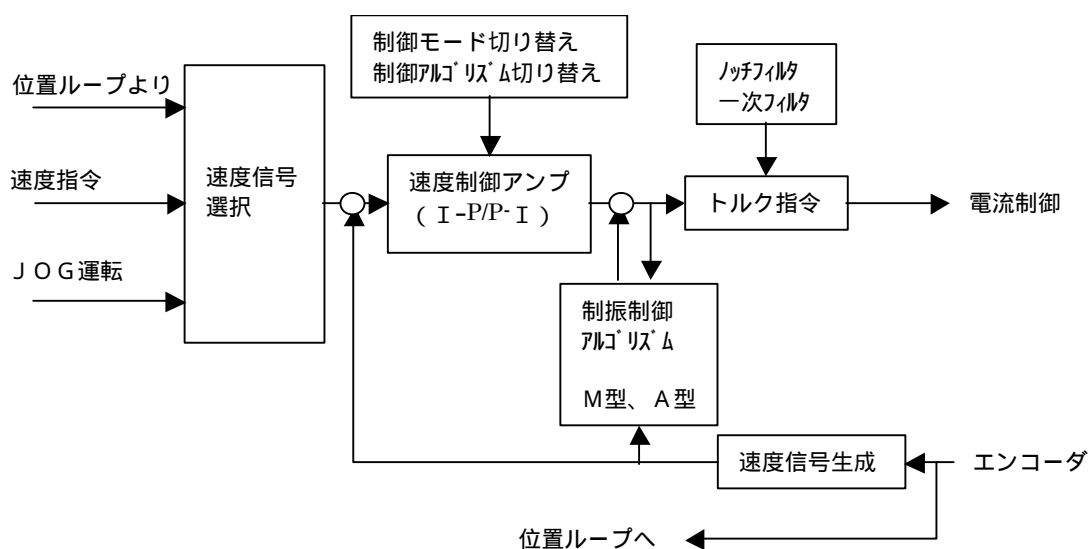


図 2.4-1 速度制御の概略図

(1) 外乱オブザーバ

負荷から発生する外乱トルクを観測できると、その外乱に対応したトルクを発生させることで外乱の影響を小さくすることができる。外乱オブザーバのブロック図を図 2.4-2 に示す。

速度アンプの出力 (トルク指令相当) と実速度を入力し、適当な関数を通すことにより、外乱トルクを推定し、その相当量を逆向きにトルク指令へ加えることで外乱成分を抑制する働きをする。

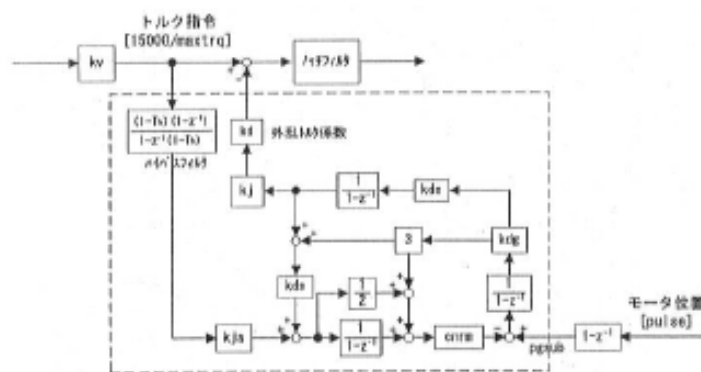


図 2.4-2 外乱オブザーバのブロック図

(2) ノッチフィルタ

ノッチフィルタはハイパスフィルタとローパスフィルタを組み合わせることで、特定の周波数に対するゲインを小さくする効果を持つ。負荷系に決まった固有振動がある場合などその周波数成分を抑制する効果がある。但し、状態によって周波数が変化する場合の効果は失われる場合があるので注意を要する。図 2.4-3 にブロック図を示す。

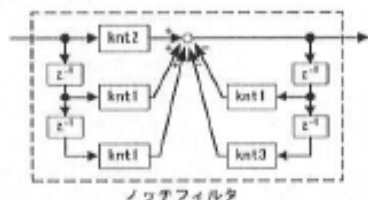


図 2.4-3 ノッチフィルタのブロック図

(3) PI/IP 制御

一定指令値に対する定常偏差を無くするために、通常積分補償を入れる。積分補償も図 2.4-4 に示すように PI 動作や IP 動作がある。その使い分けは PI 動作の場合は立ち上がり等は IP に比べて早い、基本的にオーバーシュートを伴う。従って要求される動作によって使い分けが必要である。

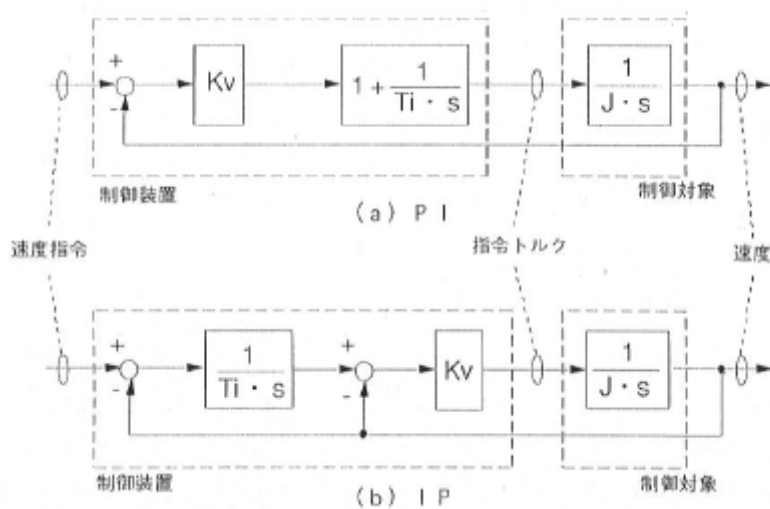


図 2.4-4 PI/IP 積分補償

2.5 位置制御

位置制御を行なうための制御ループは電流、速度などの制御ループの最も外側に位置するループであり、その制御応答はこれらのマイナーループに比較して遅い。

位置指令と位置センサーからのフィードバックを突き合わせて制御が行われる。通常は位置の定常偏差を持つ形で制御ループが組まれるが、位置偏差ゼロの制御も プラス以降に組み込まれることになった。位置制御は位置決めの精度や、輪郭制御での軌跡精度、また最終位置決めするまでの整定時間などが特性の目安になる。そこで、特性向上のために幾つかの制御手法が工夫されている。

位置の指令値と実軌跡の偏差を出来るだけ小さくする手法や位置決め整定時間を早くする制御手法として前述のゼロ偏差制御や、フィードフォワード制御、予測制御、モデル追従制御などがある。

サーボドライブする負荷系の剛性は一般的に高く、負荷共振周波数も数百 Hz 以上と高いのが一般的であるが、中には無視できないぐらいに共振周波数が低い負荷系も見受けられる。

その時は速度制御系の内部にあるフィルタ（一次、2 次、ノッチなど）や外乱抑制制御等が用意されているので負荷の特性や顧客の要求に考慮してどの手法を適用するか、使い分けることも必要である。

位置制御の周辺にある制御について概略を紹介する。

(1) 偏差レス制御

一般的に偏差を無くす方法として、指令との差の誤差を積分して操作量に加えれば最終的に誤差が修正される。位置ループに積分要素を利用して偏差を少なくするする偏差レスの手法が以降取り入れられるようになった。そのブロック図を図 2.5-1 に示す。

図 2.5-1 偏差レス制御のブロック図

(2) 予測制御

負荷の動きを指令に出来るだけ近づけるために、負荷のモデルに基づいて予想する出力が予めわかっている目標指令に一致するように、補正指令を与えて出来るだけ偏差を少なくする手法である。

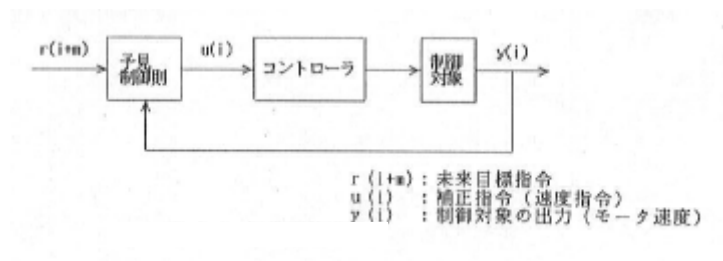


図 2.5-2 予測制御ブロック図

3 要求仕様と構想設計

製品を開発するには図 3-1 に示すように、要求仕様をまとめ、これを元に構想設計を行なう。構想設計が完成したら詳細設計を行い、その設計が正しいかどうか検証するために試作したり、デザインレビュー（DR）を行なう。その後量産試作や形式試験を経て新製品が生まれる。

このフローの中で要求仕様から構想設計までは白紙に新製品の姿を描き出す創造段階であり、その新製品の成功・不成功の鍵を握る重要なステップである。要求仕様と構想設計は上流から下流へと一方向へ流れるものではなく、要求仕様を実現手段へ分解する構想設計の結果により要求仕様を変更する必要がある。この段階のアウトプットは商品企画書、製品企画書として表されるが、両者を一体にして製品企画書として表すことが多い。要求仕様と構想設計のキャッチボールを綿密に上手に行なうことが良い企画を立てるポイントになる。以下では 製品の製品企画書を参考にして企画のポイントを説明するが、詳細は企画書本文を参照いただきたい。

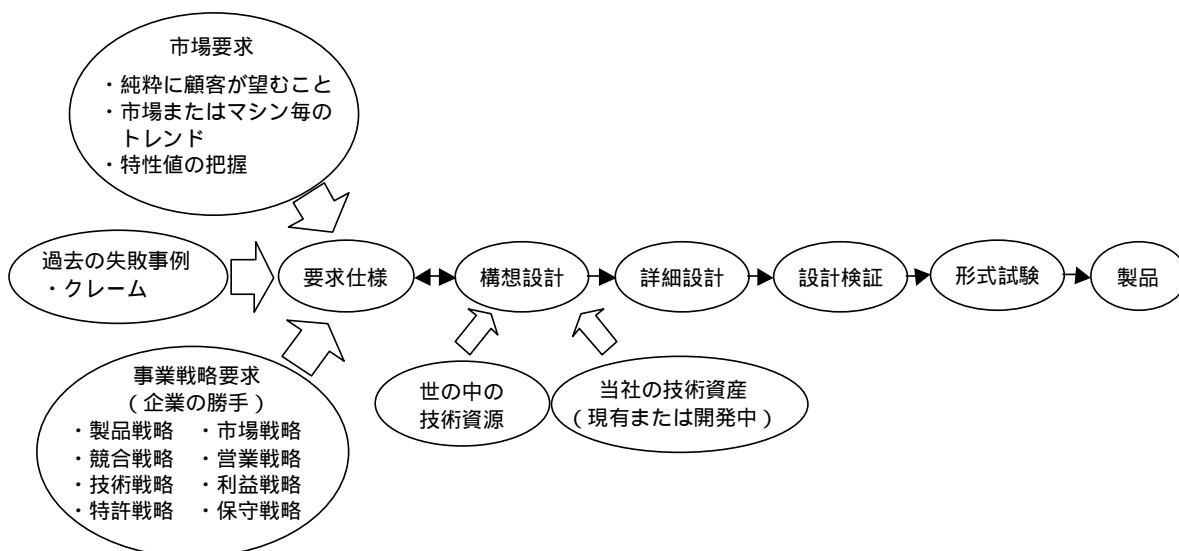


図 3-1 製品開発フロー

3.1 要求仕様

要求仕様には図 3-1 のように市場から要求される仕様と事業戦略から要求される仕様、およびこれに加えてフィールドクレームなどの過去の失敗事例からの改善要求仕様がある。これらをまとめて総合的な要求仕様書を作成する。要求仕様をまとめる上で留意すべき点を以下に述べる。

(1) 市場からの要求仕様

市場からの要求はサーボの適用対象マシンによって異なり、また同一種類のマシンでもそのエンドユーザのマシン運転方法によってはサーボに対する要求事項が異なってくる場合がある。このように、細部に捕らわれればきりが無いが、大きく見すぎると真に価値ある要求を見逃してしまう恐れがある。通常、要求仕様をサーチしても製品を供給する側の勝手な想いが入り、顧客が望んでいることを純粋に受け止められないことが多い。まずは、事業戦略サイドの勝手は忘れて、

顧客の声を真摯に聞くことから始めることが肝要である。これらの要求事項を事業戦略のフィルタに掛けるのは次のステップに移ってから始める方が良い。

顧客の直接の声は卑近な要求であったり、競合他社の仕様の言い換えであったりすることが多い。しかし、新製品は開発期間を含めて3、4年先まで通用する製品で無ければならないので、顧客の要求を将来に外挿して市場のトレンドを把握しなければならない。先を見た仕様でないと製品が市場に出た段階では既に陳腐化してしまっており魅力の無い製品となる。

また、既存製品の技術トレンドは当然顧客が次の製品を期待する元となる。製品トレンドを整理して製品開発のロードマップを作成しておけば、顧客のニーズを把握する上でも、自身の長期的な技術開発をする上でも振れの無い製品展開を計ることができる。図 3.1-1 にサーボパックの代表特性のトレンドを示す。

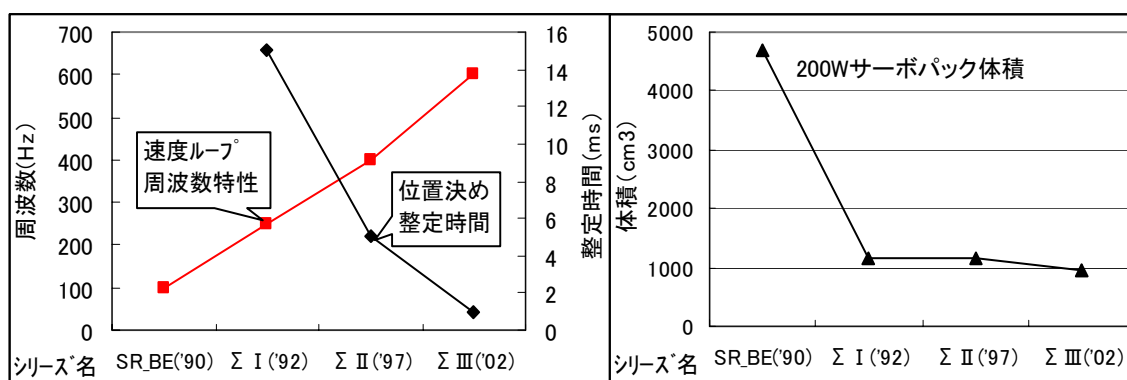


図 3.1-1 サーボパックの代表特性トレンド

要求仕様にはサーボの特性値で表す事ができるものとそうでないものがあるが、できるだけ仕様を数値化する必要がある。顧客のマシンの特性値を入手してサーボの性能仕様に展開すべきである。表 3.1-1 に代表的なマシンの特性値を示すが、例えばマウンタ高速機のタクトタイム 100ms の性能を出すために必要とされるサーボの性能を求め、このサーボ性能を実現するためのモータ、エンコーダ、制御の各部分に要求される仕様へとブレイクダウンして行く。

表 3.1-1 代表的サーボ応用マシンの特性値

用途	代表機種	代表特性値	
実装機	マウンタ高速機	タクトタイム / チップ	100ms 以下
半導体製造装置	ワイヤボンダ	整定時間 / チップ	5ms 以下
	ウェハ搬送機	低速回転リップル	5% 以下
	プローバ	整定時間	100ms 以下
検査装置	PCB テスタ	タクトタイム / ポイント	50mS 以下
放電加工機	型彫り	加工時間	10～15 分以下
工作機械	M/C	真円軌跡誤差	5～10 μm 以下
ロボット	多関節ロボット	軌跡精度	0.3mm 以下

(技報安川電機第 62 巻 No.4 1998 「高性能サーボドライブ - シリーズ」より)

(2) 事業戦略からの要求仕様

事業戦略からの要求仕様は製品戦略、市場戦略、営業戦略、競合戦略、技術戦略、特許戦略、利益戦略、保守戦略など多面的な観点から表出する。市場要求仕様をこれらのフィルタに通すことにより事業戦略を加味した要求仕様が決定されることになる。

製品戦略においては新製品がモデルチェンジ品なのか、新商品なのかの製品の位置付けを明確にすることが求められる。サーボ製品のように、消費財と異なり生産財を対象とする製品では、その生産財の寿命期間中は安定した製品供給と保守サービスが求められる。製品をモデルチェンジする場合は特にこのことへの配慮が重要で、既存製品との互換性をどこまで保持するか、改善内容とのトレードオフがどこまで許されるかの見極めが、難しくかつ重要な判断ポイントである。

市場戦略、営業戦略、利益戦略は事業の根幹であり、どの市場にどれだけ販売し、どれだけ利益を確保するかが練られる。特に最近のサーボ市場は応用範囲が拡大し、幅広くかつ高度な性能・機能を求められるようになった。このため1シリーズの製品で全市場をカバーすることが難しくなり、製品企画書に述べられているように では工作機械、半導体、ロボットの3市場にセグメント化してそれぞれに対応する製品シリーズを設定している。これらの市場の特性に合った製品の仕様やコストを設定することになる。

また、技術戦略面からは3シリーズの製品に対し開発納期、開発コスト、製造コストの観点から、技術や部品、製造工程と生産設備の共通化、共用化が要求項目として上がってくる。市場毎にセグメント化された製品をいかに効率よく開発し、製造するか、それに耐え得る製品仕様はどうあらねばならないかを検討することになる。

競合戦略においては、競合他社の現行製品を調査することは勿論だが、特許調査などにより将来の開発動向を探ることも必要である。競合他社をよく知ることにより、それに対抗でき、競合他社製品の後追いにならない、差別化製品を開発することができる。表 3.1-1 に の製品企画で実施した特許動向調査を示す。表中網掛け部は競合各社の特許件数の多いところを示している。各社の技術の力点の置き方がよく分る。当社の外乱、オートチューニングなどサーボの性能にかかわるところの特許が少ない点の強化が必要であろう。

表 3.1-1 特許動向調査（1993/1～2000/3）

会社名	技術分類									
	小型	信頼性・保護	性能・機能・入力電源	ドライブ技術	外乱	オートチューニング	ノッチフィルタ	同定・FFT	2自由度制御	
松下	14	2	2	4	10	4	0	0	0	36
三菱	1	1	0	1	11	7	2	2	1	26
安川	8	5	2	2	2	1	0	2	1	23
三菱重工	1	0	1	0	3	2	1	5	0	13
ファナック	1	1		1	0	0	0	0	0	3
山洋	0	0	0	0	0	0	1	0	0	1
その他	7	0	3	0	16	0	0	0	0	26
	32	9	8	8	42	14	4	9	2	128

(3) 失敗事例からの改善要求仕様

フィールドで発生するクレームの発生原因には、設計段階で不具合を内在させたものや、製造段階で不具合を作りこんだものや、仕様設定段階で市場要求を十分に捉えきれなかったものなどがある。前の2者については製品リリース後に都度改善が計られていくが、仕様設定段階での市場要求把握不足の改善は製品リリース後では顧客や事業へ与える影響が大きく難しい面がある。フィールドの不具合項目は一覧表にして整理し、市場要求把握不足については新製品の要求仕様に反映する必要がある。

往々にして顧客は製品仕様を超えた使い方をするものである。現実の製品の使用環境は色々なファクターが影響しあっており、一概にこの仕様項目を満足すれば問題無いということができない。使用環境が製品仕様を超えているのだから製造者責任は無いとはいえ、これでは顧客の抱える問題の解決にはならない。通常、顧客のわがままと見えることも、顧客が市場で鎬を削るためにこうありたいと願う結果の表れであり、先を見た要求仕様と捉えるべきである。

(4) 仕様項目

仕様項目は既存機種の製品仕様書の項目と信頼性設計仕様項目をベースとし、新たな要求仕様項目は適宜追加する。 の製品仕様と信頼性設計仕様項目についてはそれぞれ後節の表 4.1.1 と表 4.1.2 に示す。

3.2 構想設計

構想設計では要求仕様を実現手段に展開し製品の骨格を決定する。実現手段を検討した結果要求仕様項目間にトレードオフがあることや、現有技術や設定開発期間では実現困難であることなどが判明する場合がある（殆どの場合がこのケース）。このような場合要求仕様とのすり合わせを行い妥当な仕様を再設定する必要がある。

サーボはモータとサーボパックで構成されるが、モータはモータ自身とエンコーダに、サーボパックはアンプとオペレータやネットワーク I/F などのオプションに、またその他に回生抵抗やバッテリー、接続ケーブル、エンジニアリングツールなど多くの製品群で構成される。要求仕様をこれらのどの部分で実現するかもこの構想設計の中で決定する。特に、サーボの性能とコストに関してはモータとエンコーダとサーボアンプの性能分担が重要なポイントになる。部分最適に陥らないように全体を通した最適解を見つける必要がある。

実現手段としては既存製品で培った技術資産や現在開発中の技術および世の中に存在する技術資源を検討し、最も効果のある技術を採用する。新たに不足する部分の技術開発を行なうことも検討する必要があるが、それによって開発期間が長くなり機会損失が発生しないか、この技術がないと製品の価値が著しく下がらないかなどを良く検討する必要がある。

サーボ製品は他社から主要な部品や材料を調達するアセンブリ製品の性格が強い。特にサーボパックのような電子製品は半導体部品が製品の死命を制する。半導体の進化に伴ってサーボパックは性能が向上し、小形化し、大容量化し、安くなってきた。この意味で次の世代で使用できる技術、部品は何か、それは開発製品の量産段階で安定供給、コスト、信頼性を十分に満足できるかを厳しく見極める必要がある。

サーボの性能、コスト、信頼性に大きく影響するサーボモータ用の磁石およびサーボパック用の IGBT と CPU の技術動向を図 3.2-1、図 3.2-2、図 3.2-3 に示す。（製品企画書より抜粋）

サーボモータに使用される永久磁石は性能向上が顕著で、サーボモータの高性能化、小形化には不可欠である。永久磁石がフェライト磁石などから希土類磁石のサマコバ磁石、ネオジ磁石へと、ほぼ 20 年おきに技術革新がおきて、エネルギー積で表した磁石の性能が 20 年で 2 倍に進歩している。

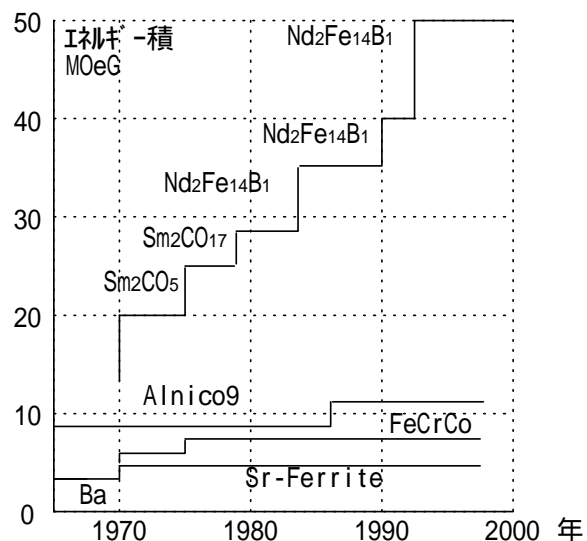


図 3.2-1 永久磁石の進歩

IGBT は LSI の微細加工技術を利用してスイッチング特性や ON 電圧の改良が図られており、高速スイッチング動作が可能でロスの少ないサーボアンプの製品化には必要不可欠のものとなった。特に IGBT をコアにした IPM や ASIPM は、ユニットへの実装を容易にしたばかりでなくノイズ放射の低減やイミュニティの増加、信頼性向上にも大いに貢献している。

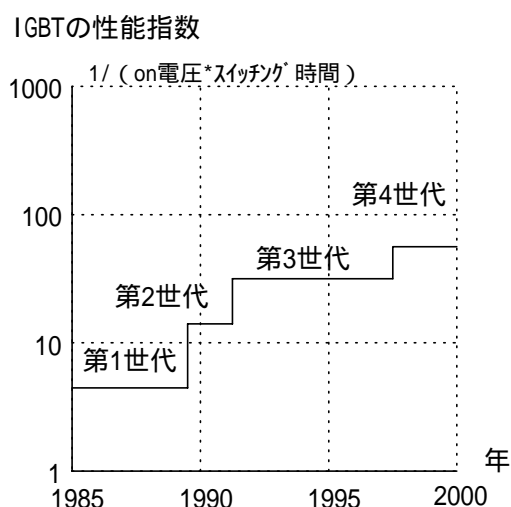


図 3.2-2 IGBT の進歩

性能の指標のとして動作クロック周波数でみた CISC 形汎用 CPU の性能の進歩を示す。半導体プロセスの進化により、クロック周波数が 10 年ではほぼ 5 倍に増加している。サーボアンプには、消費電力が少なく、処理スピードが高速な RISC 形のものが多く使われるが、これも同様に性能向上が図られている。

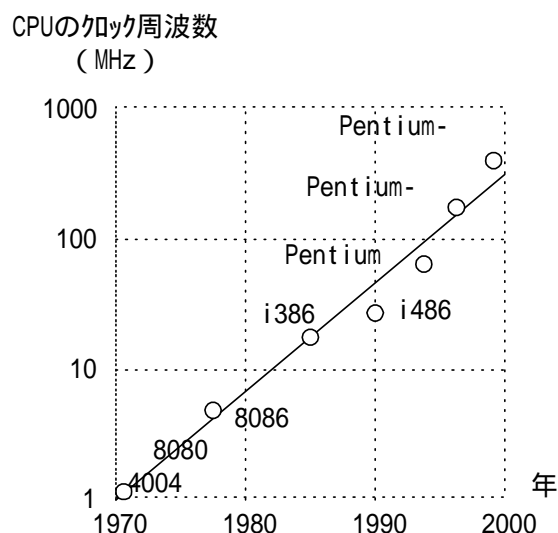


図 3.2-3 CPU の動作周波数

(参考文献 電気学会誌 99 年 9 月号)

3.2.1 モータ・PG とのインタフェース

3.2.2 サーボ性能設計

サーボの性能は次のような項目で表される。

パワーレート

モータによる。定格トルクを T_{rated} 、モータイナーシャを J_m とすれば T_{rated}^2/J_m

最大トルク

モータとアンプによる。通常は 250~300%

周波数特性

- ・ 速度ループ

サーボの比例ゲイン k_v ($Nm / r/s$)、イナーシャ J による。 $F_c = k_v / 2 \sqrt{J}$ 。使用時は 100Hz 以下が多い。

- ・ 電流ループ

速度ループの周波数特性の 2 倍以上、出来れば 4 倍以上。

電流ループのゲインは K_c (V/A) とモータインダクタンスで決まる。

小容量機種で 1.8kHz、大容量機種で 900Hz に設計されている。

トルク精度

指令したトルクと発生トルクのずれを指令トルクで割った値で絶対精度は $\pm 10\%$ 。

リップルを含まない繰り返し精度は 1%。

リップル

- ・ コギングトルク

モータによる。定格トルクに対する割合 平均的に 1%pp

- ・ トルクリップル

モータとアンプによる。10%pp

- ・ 速度リップル

トルクリップルとアンプの制御ゲインによる。設計検証での参考データ取得程度。

パワーレートと最大トルクはモータとサーボアンプのパワー部の構想設計に属する内容なので、ここではサーボアンプの制御部の構想設計として、周波数特性とトルクリップルについて以下に述べる。

(1) 速度ループの周波数特性

ここではモータ単体またはモータと負荷の結合の剛性が高い機械で、共振などのないモデルで速度ループの周波数特性について検討する。ブロック図では次のようになる。(簡単のため比例(P)制御で考える。)

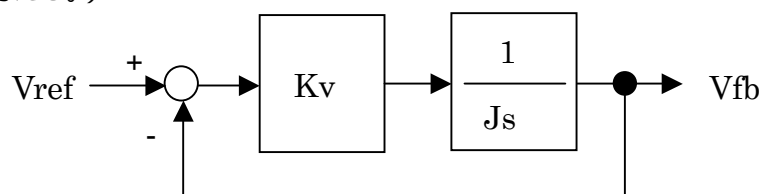


図 3.2.2-1 速度ループブロック図

V_{ref} : 速度指令 V_{fb} : 速度

K_v : 速度ゲイン ($= 2 \cdot f_c \cdot J$ f_c = カットオフ周波数 (Hz))

J : モータイナーシャ + 負荷イナーシャ

この開ループ周波数ゲイン特性と位相特性はそれぞれ図 3.2.2-2(a)と図 3.2.2-2(b)のようになり、位相特性は 90° 遅れ一定である。

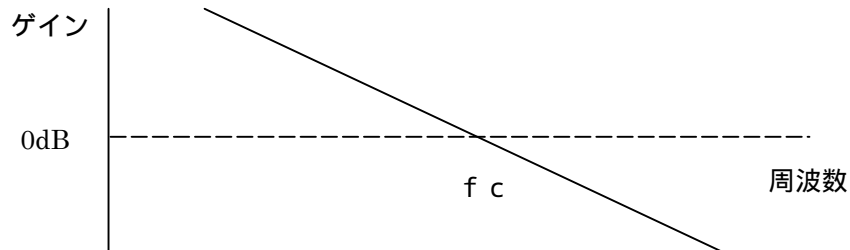


図 3.2.2-2(a) 速度 P 制御開ループ周波数位相特性

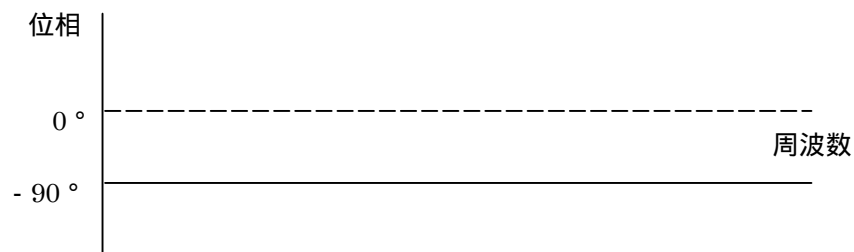


図 3.2.2-2(b) 速度 P 制御開ループ周波数ゲイン特性

実際のサーボパックでは色々な時間遅れがあり、位相はさらに遅れることになる。

(一定時間の遅れ(むだ時間)は、周波数に比例して位相が遅れる。時間遅れ $T_d(s)$ のとき周波数 $F[Hz]$ での位相遅れは $360 \cdot T_d \cdot F[^\circ]$ である。)

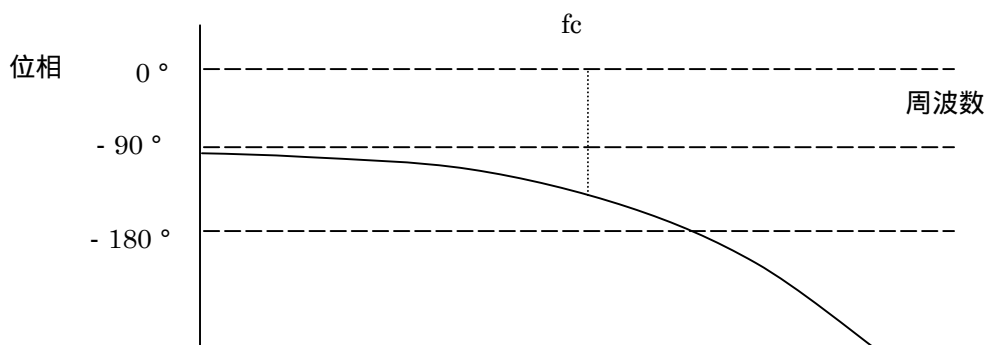


図 3.2.2-3 カットオフ周波数と位相余裕

カットオフ周波数 $f_c[Hz]$ での位相遅れが 180° になると発振するため、ここまで K_v を上げることはできない。位相遅れが 150° (位相余裕 30°) 以下ならステップ応答時のオーバーシュートを少なく押さえることができる。要求周波数特性より、そのカットオフ周波数での位相遅れが

この間に入るように時間遅れを考える。(発振しなくても位相遅れが -180° に近くなるほどオーバーシュートが大きく、振動的になるためある程度小さい所にする。)

実際のサーボパックでは次のような時間遅れが存在する。

1. シリアルエンコーダ伝送遅れ (T1)
2. 位置の差分から速度を計算するために出る遅れ (T2)
3. 速度ループ計算時間遅れ (T3)
4. ホールド時間遅れ (ある時間出力が一定になることによる遅れ) (T4)
5. 電流ループの遅れ (検出・計算などの時間遅れおよび電流ループの周波数特性)

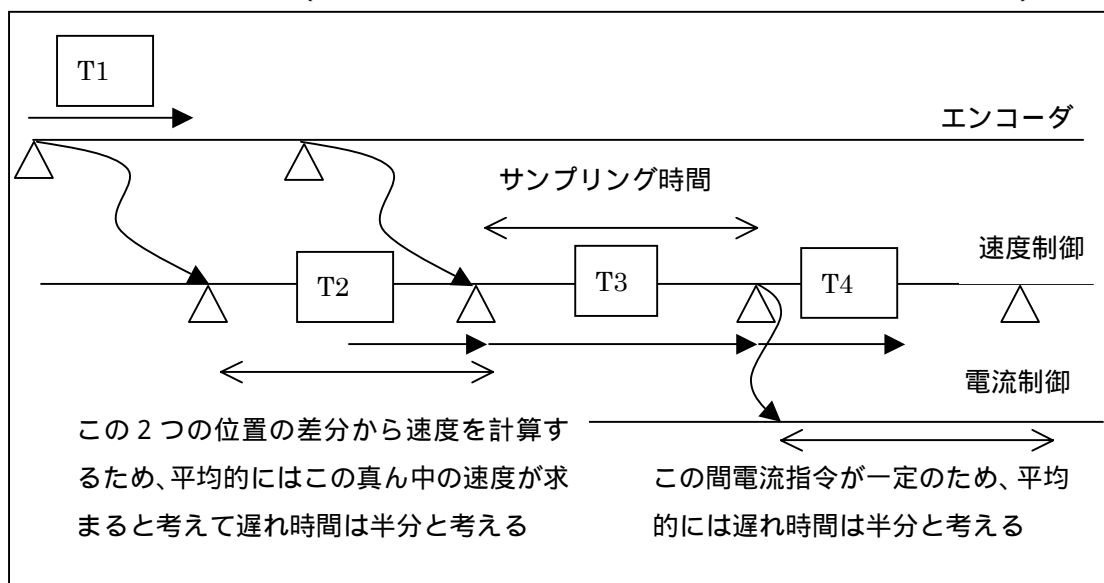


図 3.2.2-4 サーボパックの時間遅れ要素

この中で T2 と T3 と T4 は速度制御のサンプリング時間により遅れ時間が決まってくる。(処理方法などで短縮できる可能性もある。) 要求の f_c に応じたサンプリング時間にする必要があり、それに応じてマイコンなどの選定をする。

例) 周波数特性 $f_c = 400\text{Hz}$ を得る場合の許容遅れ時間(むだ時間)の計算

位相余裕 30° を持つためには

$$360^\circ \times T_d \times f_c = 180^\circ - 30^\circ - 90^\circ \text{ (トルク 電流の積分)} = 60^\circ \text{ から}$$

$$T_d = (60^\circ / 360^\circ) / 400\text{Hz} = 0.416 \times 10^{-3} \text{ sec} = 416 \mu\text{sec}$$

即ち、各遅れ要素は $T_1 + T_2 + T_3 + T_4 + T_5$ $416 \mu\text{sec}$ でなければならない。

では $T_1 + T_2 + T_3 + T_4 + T_5 = 50 + 62.5 + 125 + 62.5 + 79.6 = 380 \mu\text{sec}$ としている。

(2) 電流ループ周波数特性

電流ループの周波数特性について検討する。ブロック図を図 3.2.2-5 に示す。(簡単化のため比例(P)制御でモータ巻線抵抗を無視して考える。実際は3相になるのでこれより複雑になるが1.4倍くらい余裕を見ておけばこのブロック図での検討でよい。(注1、注2参照)

注1) 2相がP側、1相がN側にスイッチ接続された場合、回路インピーダンスによりN側接続相の方がP側接続相より2倍の電圧がかかる。電源電圧を V_{dc} とすると2層側が $V_{cc}/3$ 、

1 相側が $2V_{dc}/3$ になる。下図では $V_{dc}/2$ として扱っているなのでその分の補正分を $(2V_{dc}/3) / (V_{dc}/2) = 1.33 \sim 1.4$ と考える。

注 2) 回生電圧による電源電圧上昇分は $390V/280V = 1.39$ なのでこの分のマージンも必要である。

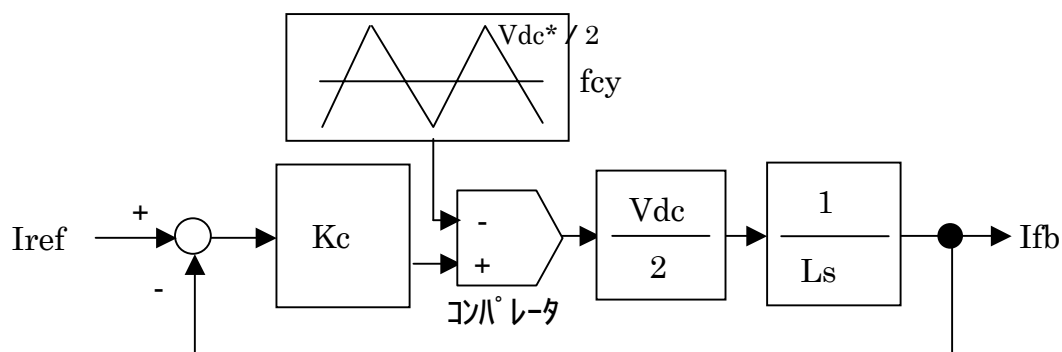


図 3.2.2-5 電流ループブロック図

I_{ref} : 電流指令

I_{fb} : 電流

K_c : 電流ゲイン ($= 2 \cdot f_c \cdot L$ f_c : カットオフ周波数 (Hz))

L : モータ巻線インダクタンス

f_{cy} : キャリア周波数

V_{dc}^* : 計算上の PN 間電圧、 V_{dc} : 実際の PN 間電圧

コンパレータは + 側が大きいとき + 1 , 小さいとき - 1 を出力する。 K_c が小さければコンパレータで比較する波形は図 3.2.2-6(a) のようになる。 K_c が大きくなると電流の時間に対する傾斜がキャリア波形より大きくなる。この場合図 3.2.2-6(b) のように電流がキャリアの三角波をまたいで IGBT がオンオフし、三角波に貼り付く現象が発生する。これは IGBT のスイッチング回数がキャリア周波数を大きく超え、ロスが増大するので絶対に避けなければならない。モータのロスによりマグネットが減磁することもある。

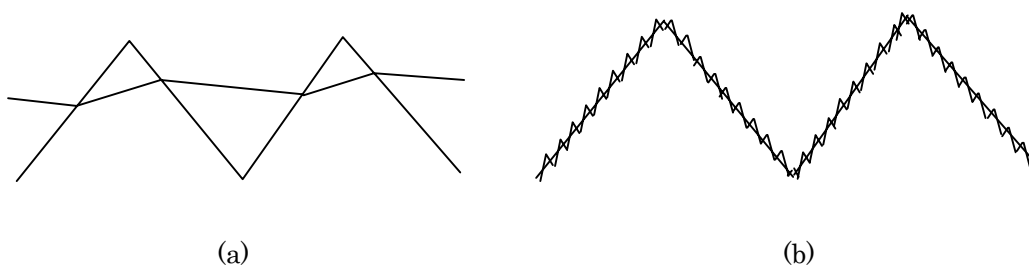


図 3.2.2-6 電流指令とキャリア波形

キャリアの傾斜は $V_{dc}^* \cdot 2 \cdot f_{cy}$ で、比較する波形の傾斜は $V_{dc}/2/L \cdot K_c$ なので

$$V_{dc}^* \cdot 2 \cdot f_{cy} > V_{dc}/2/L \cdot K_c$$

である必要がある。これから

$$f_{cy} > K_c/4/L \cdot V_{dc}/V_{dc}^*$$

$$f_{cy} > \frac{1}{2} \cdot f_c \cdot V_{dc}/V_{dc}^*$$

となり電流ループの周波数特性を上げるには比例してキャリア周波数を上げる必要がある。
 V_{dc}/V_{dc}^* は通常は1であるが 電源電圧が高かったり、回生時は大きくなるのでその分を考慮してキャリア周波数を決める必要がある。

例) の場合 電流ループ周波数特性 1.8kHz を実現するには

$$f_{cy} = ((2V_{dc}/3) / (V_{dc}/2)) \times (390/280) \times 1.8\text{kHz} \times \frac{1}{2} = 5.5\text{kHz}$$

ここで、 $(2V_{dc}/3) / (V_{dc}/2)$ は3相駆動時中性点電圧補正分、390/280 は回生電圧上昇補正分である。

(3) トルク・速度リップルの発生要因

トルクリップルと速度リップルの発生要因には以下のものがある。

[トルクリップルの発生要因]

- ・ モータに起因するもの

- 磁気アンバランスによるコギングトルク

- モータ誘起電圧の高調波成分

- ・ 電流に起因するもの

- 電流歪

- 電流不感帯

- 電流オフセット

- 高調波成分含有

- 3相電流のアンバランス

[速度リップルの発生要因]

- トルクリップル

- 検出器精度

以下、これらのうち制御部で発生するトルクリップルと速度リップルについて説明する。

電流歪によるトルクリップル

(a) 不感帯によるトルクリップル

PWM スイッチング回路においては上下アームトランジスタの短絡防止のためにスイッチング禁止時間を設けるが、これにより電流制御に不感帯が生じ電流波形が歪む。図 3.2.2-7 にモータまたは電流に不感帯などによる波形歪みを含む場合のトルクリップルを示す。1%の不感帯に対して 2%のリップルが発生するので、それに応じた不感帯の設計をしなければならない。現状は不感帯補償機能により不感帯による電流歪みはほぼ 0 でありリップル配分率も 0 に設定されている。

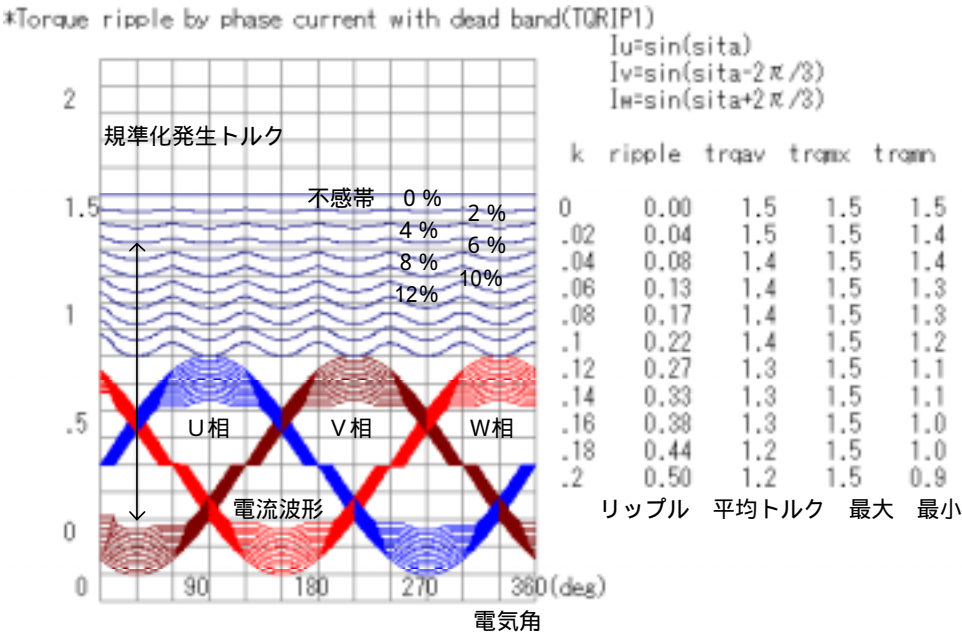


図 3.2.2-7 電流不感帯とトルクリップル

(b) 電流オフセットによるトルクリップル

電流のオフセットは直流成分をモータに流し込むことになりトルクリップルの原因になる。図 3.2.2-8 に電流オフセット波形とトルクリップルの関係を示す。リップル周波数は電流周波数と同一で 1%のオフセットあたり 2%のトルクリップルを発生する。電流検出器や AD 変換器の DC 成分ドリフトには十分配慮し、リップル配分率を決める。

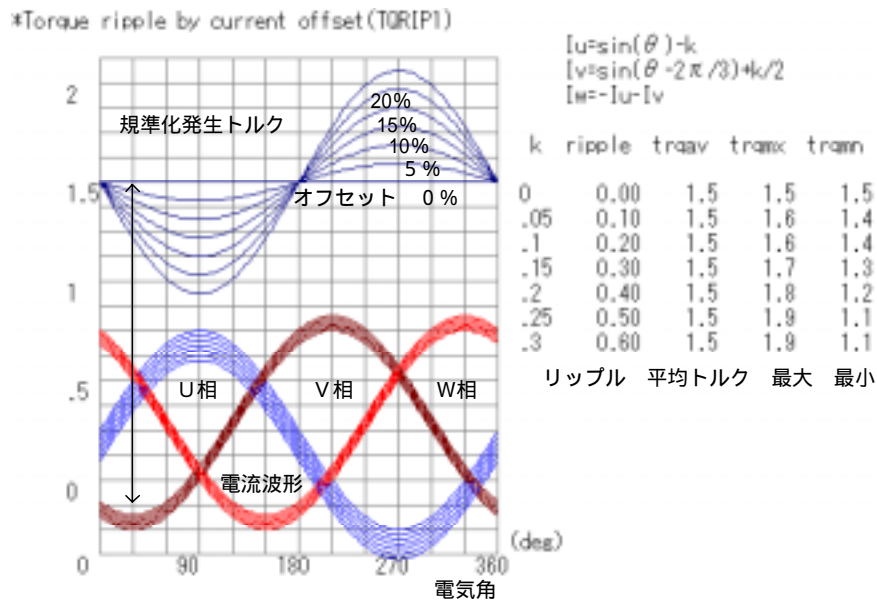


図 3.2.2-8 電流オフセット波形とトルクリップル

(c) 高調波によるトルクリップル

電流やトルク定数に含まれる高調波成分はトルクリップルの原因になる。図 3.2.2-9(a) ~ (d)は高調波とトルクリップルの関係を示している。第 2、4 高調波は電流周波数の 3 倍、第 5、7 高調波は電流周波数の 6 倍の周波数になる。高調波 1%あたり約 2%のトルクリップルを発生する。第 3、6 など 3 の倍数の高調波は 3 相の波形が同一ならその和は 0 になることからトルクリップルにはならない。これについてもリップル配分率を決める。

*Torque ripple by n-order harmonics EMFs(TQRIP n)

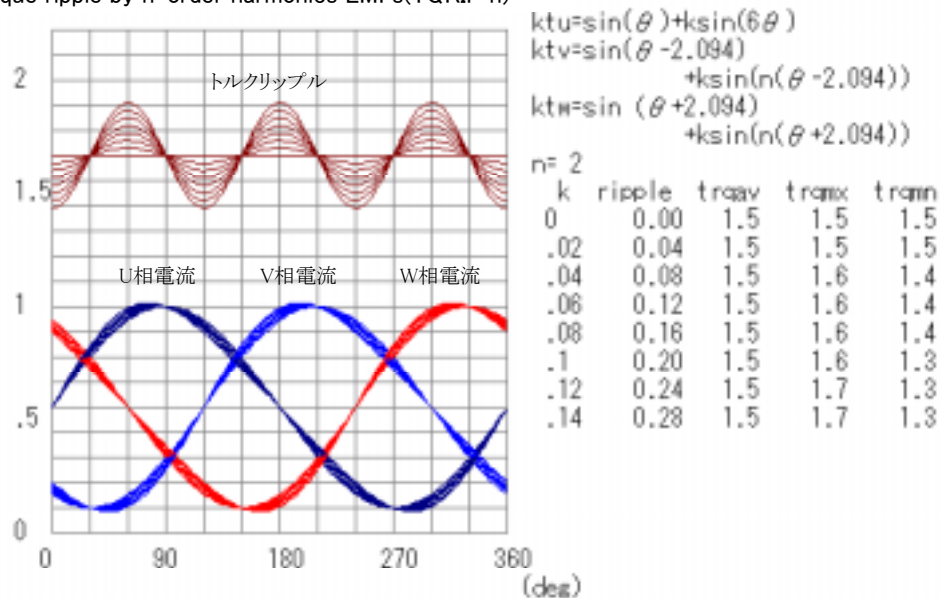


図 3.2.2-9(a) 第 2 高調波とトルクリップル

*Torque ripple by n-order harmonics EMFs(TQRIP n)

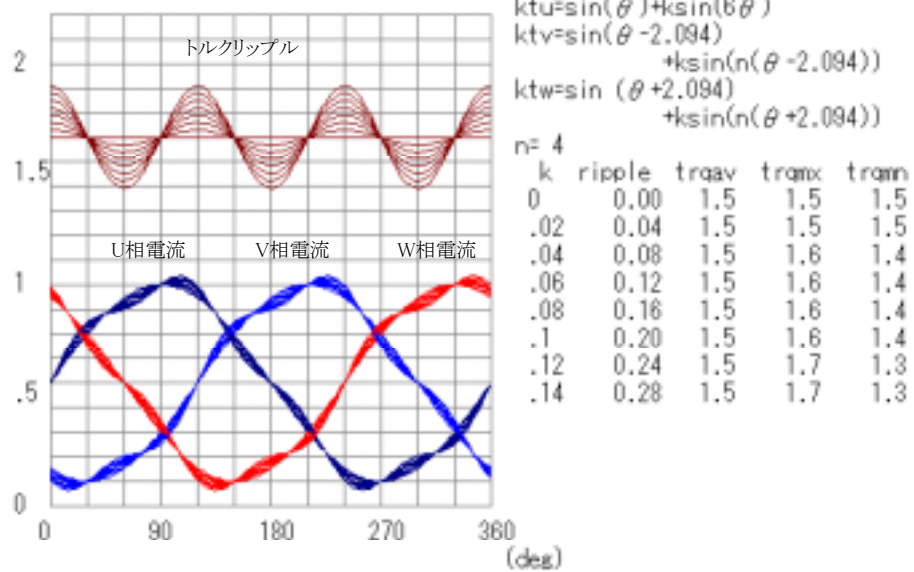


図 3.2.2-9(b) 第 4 高調波とトルクリップル

*Torque ripple by n-order harmonics EMFs(TQRIP n)

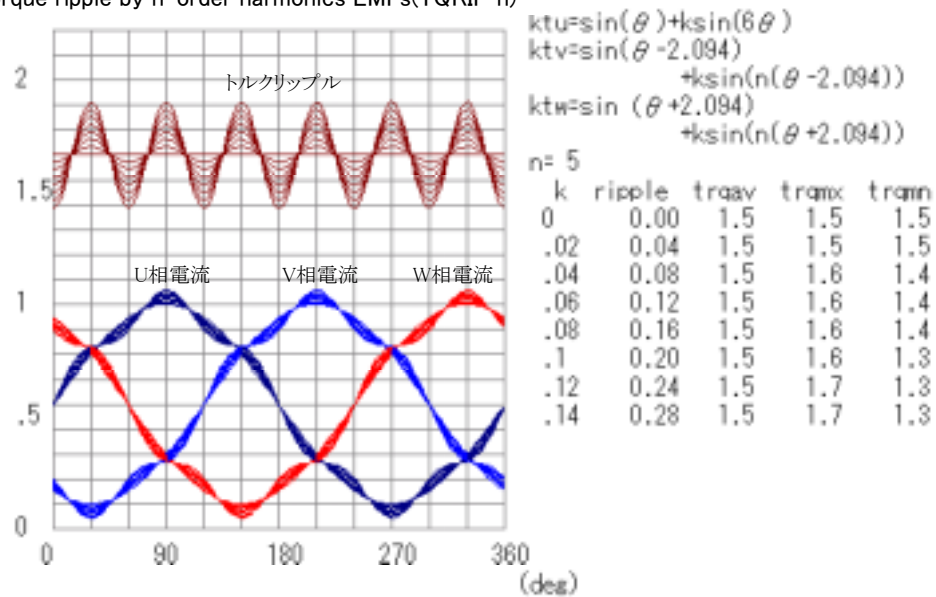


図 3.2.2-9(c) 第 5 高調波とトルクリップル

*Torque ripple by n-order harmonics EMFs(TQRIP n)

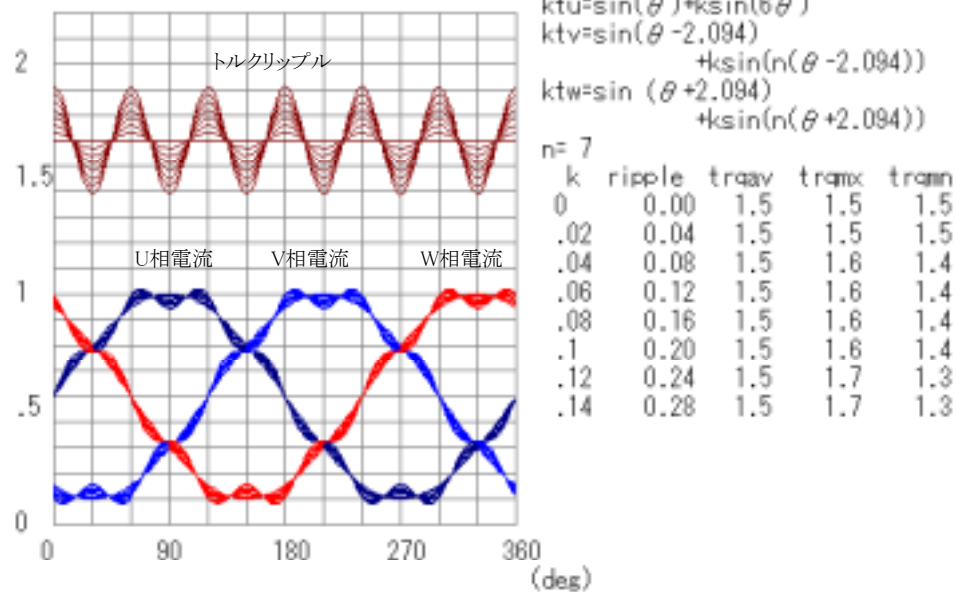


図 3.2.2-9(d) 第 7 高調波とトルクリップル

(d) 3 相電流アンバランスによるトルクリップル

3 相電流の振幅にアンバランスがあるとトルクリップルの原因になる。リップル周波数は電流周波数の 2 倍で 1 % あたり 1.2% のトルクリップルを発生する。図 3.2.210 に電流アンバランスの波形とトルクリップルに関係を示す。

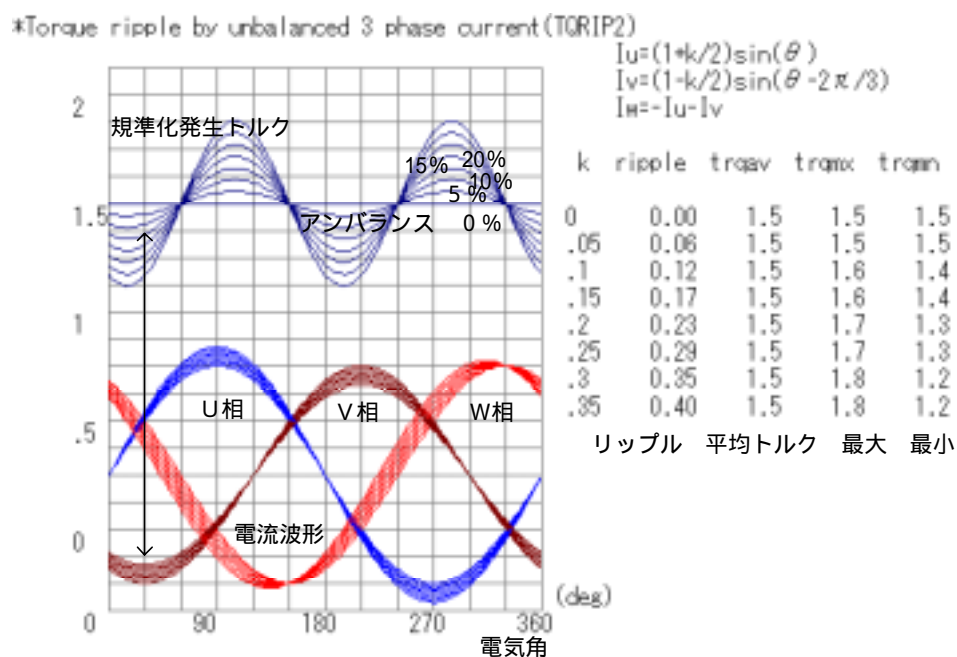


図 3.2.2-10 3 相電流アンバランス波形によるトルクリップル

検出器による速度リップル

位置検出器の精度は位置精度に影響するだけでなく、微分（差分）して速度フィードバック信号として用いるので速度精度に影響する。特にエンコーダやレゾルバなどのように周期性のある位置誤差は速度リップル、トルクリップルを引き起こし、振動や共振などの原因になる。たとえば、検出器をモータのシャフトに取り付けるときの同心度に狂いがあると1回転あたり1回の周期的な位置誤差を発生する。図 3.2.2-11 のような誤差のある位置信号を微分して速度フィードバック信号を得る場合、速度検出リップルは次の式のようにになる。エンコーダやレゾルバの正弦波状検出信号を内挿して分解能を上げる方式は内挿誤差の影響を受けるので注意が必要であり、正弦波の歪を極力抑えなければならない。歪みがある場合は内挿誤差補正を加える必要がある。

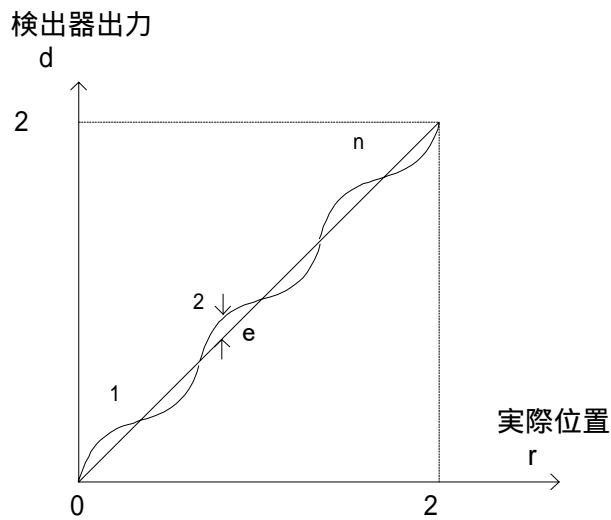


図 3.2.2-11 繰り返し性のある検出誤差

$$\theta_d = \theta_r + e \times \sin(n \times \theta_r)$$

速度検出値

$$= \frac{d\theta_d}{dt} = \frac{d\theta_r}{dt} + n \times e \times \frac{d\theta_r}{dt} \times \cos(n \times \theta_r)$$

$$= \frac{d\theta_r}{dt} \times (1 + n \times e \times \cos(n \times \theta_r))$$

$$\text{リップル率}(\%pp) = 200 \times n \times e$$

制御ゲインによるトルクリップルの抑制

トルクリップルによる速度誤差、位置誤差は制御ゲインにより抑制することができる。下図のブロック図にトルク外乱を加えたときの伝達関数を以下に示す。

速度の伝達関数は次の式で表される。

$$G(s) = \frac{\left(\frac{1}{J \times T_{rf}} \right) s^2 (1 + s \times T_{rf})}{s^4 + \left(\frac{1}{T_{rf}} \right) s^3 + \left(\frac{k_v}{J \times T_{rf}} \right) s^2 + \left(\frac{k_v (1 + k_p \times T_{vi})}{J \times T_{vi} \times T_{rf}} \right) s + \left(\frac{k_v \times k_p}{J \times T_{vi} \times T_{rf}} \right)}$$

位置の伝達関数は次の式で表される。

$$G(s) = \frac{\left(\frac{1}{J \times T_{rf}} \right) s (1 + s \times T_{rf})}{s^4 + \left(\frac{1}{T_{rf}} \right) s^3 + \left(\frac{k_v}{J \times T_{rf}} \right) s^2 + \left(\frac{k_v (1 + k_p \times T_{vi})}{J \times T_{vi} \times T_{rf}} \right) s + \left(\frac{k_v \times k_p}{J \times T_{vi} \times T_{rf}} \right)}$$

トルクの伝達関数は次の式で表される。

$$G(s) = \frac{\left(\frac{1}{T_{rf}} \right) s^3 (1 + s \times T_{rf})}{s^4 + \left(\frac{1}{T_{rf}} \right) s^3 + \left(\frac{k_v}{J \times T_{rf}} \right) s^2 + \left(\frac{k_v (1 + k_p \times T_{vi})}{J \times T_{vi} \times T_{rf}} \right) s + \left(\frac{k_v \times k_p}{J \times T_{vi} \times T_{rf}} \right)}$$

トルク指令の伝達関数は次の式で表される。

$$G(s) = \frac{\left(\frac{1}{J \times T_{rf} \times T_{vi}} \right) (s + k_p) (1 + s \times T_{rf})}{s^4 + \left(\frac{1}{T_{rf}} \right) s^3 + \left(\frac{k_v}{J \times T_{rf}} \right) s^2 + \left(\frac{k_v (1 + k_p \times T_{vi})}{J \times T_{vi} \times T_{rf}} \right) s + \left(\frac{k_p \times k_v}{J \times T_{vi} \times T_{rf}} \right)}$$

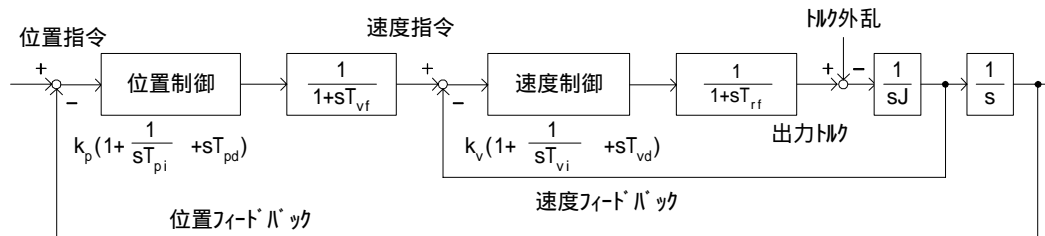


図 3.2.2-11 位置制御ブロック図

図 3.2.2-12 は上図のブロック図に 1 Nm のトルクリップルを加えて、各ゲインを変化させたとき位置、速度、トルク指令、発生トルクの周波数特性を示したものである。

サーボの帯域外では抑制作用は全く無いが帯域内ではゲインが高いほどトルクリップルが抑制される。

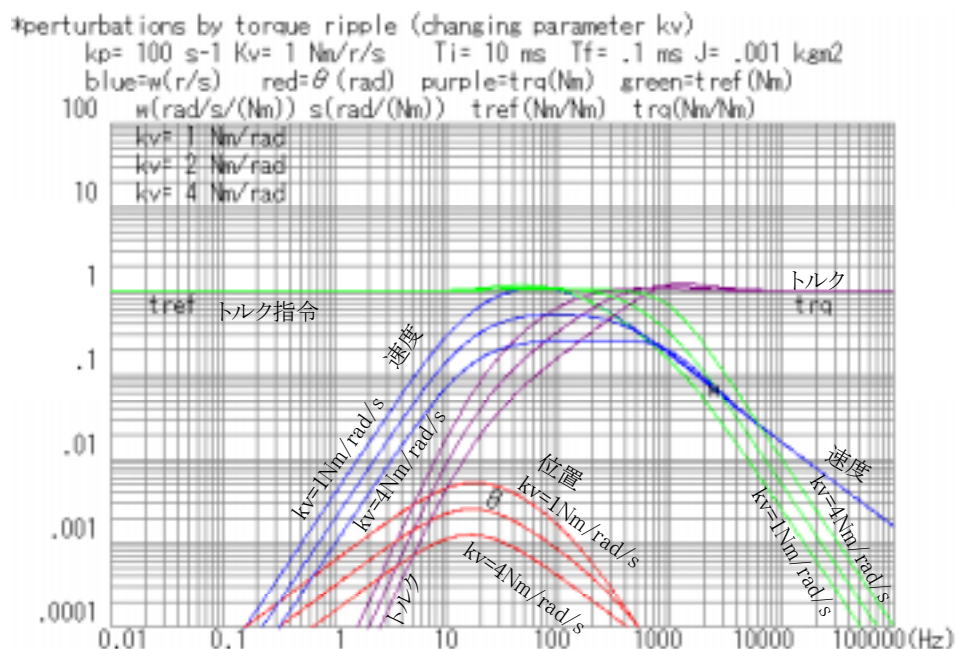


図 3.2.2-11 (a) 速度制御ゲイン k_v を変化させた時の応答

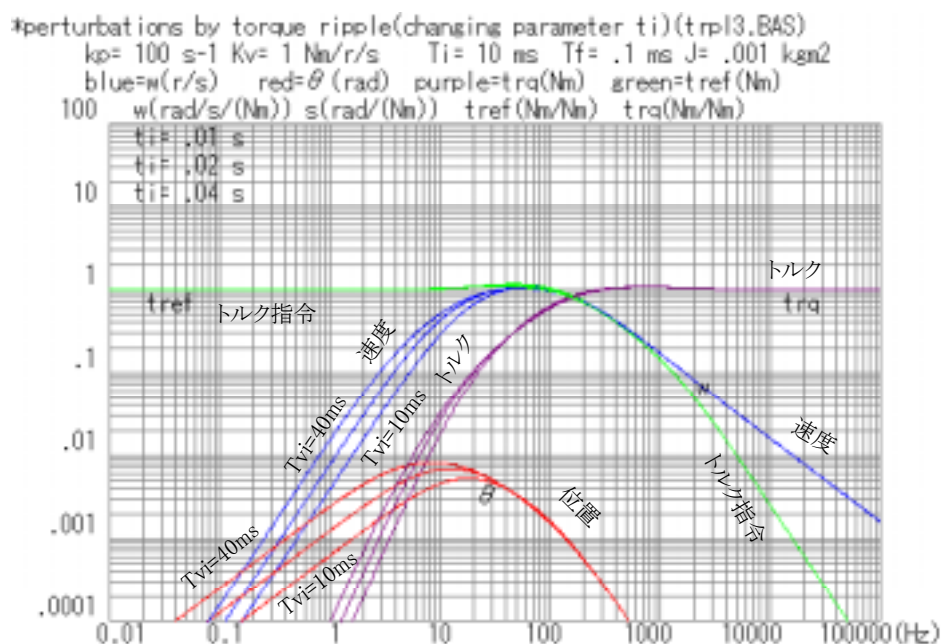


図 3.2.2-11 (b) 積分ゲイン T_i を変化させた時の応答

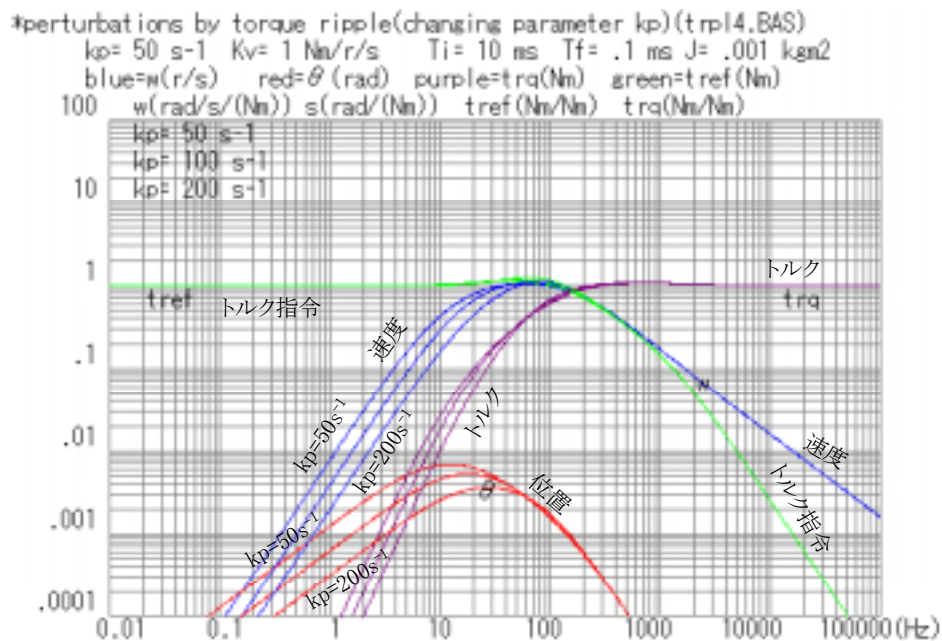


図 3.2.2-11 (c) 位置ゲイン k_p を変化させた時の応答

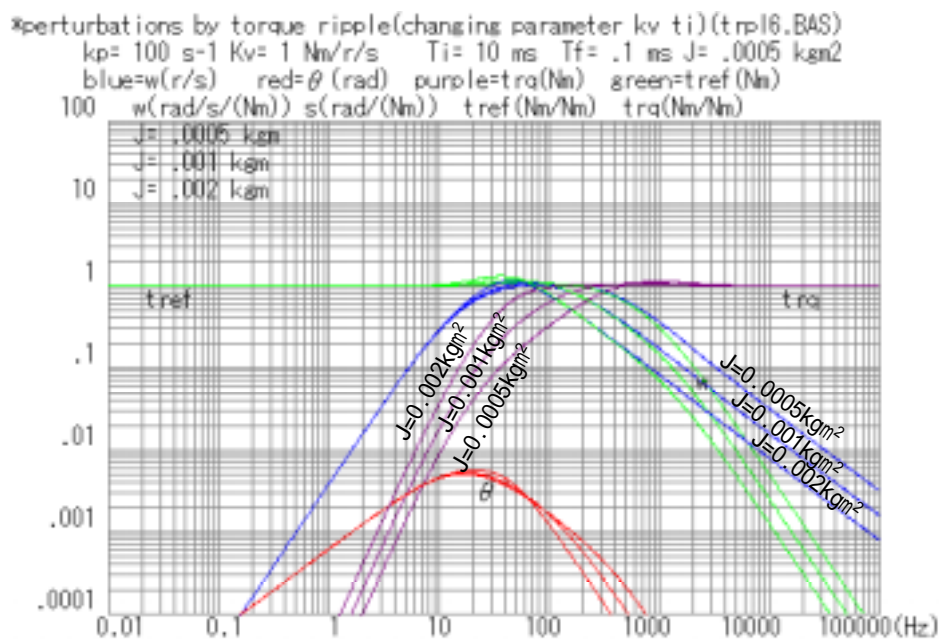


図 3.2.2-11 (d) 慣性モーメント J を変化させた時の応答

これらの図は発生するトルクリップルから速度リップルや位置誤差をもとめ位置精度への影響を見るときに役立つ。

3.2.3 機能設計

3.2.4 ソフトウェアとハードウェアの分担設計

シリーズ名	1000/3000 シリーズ	全デジタルサーボ	- シリーズ	- シリーズ	-3 シリーズ
サーボパック機種名	CACR-SR□BA/AA	CACR-SR□BE	SGDA	SGDM	SGDS
製品化時期	84 年	90 年	92 年	97 年	02 年
電流ループ周波数特性		250Hz	7 0 0 Hz	1800Hz	Hz
速度ループ周波数特性	100Hz/50Hz	100Hz	250Hz	400Hz	600Hz 以上
位置決め整定時間		100Hz	15ms	5ms	1ms 以下
速度 - トルク直線性		± 10%	± 10%	± 3%	
繰り返しトルク精度			2%	2%	1%
回転リップル			10%		
トルクリップル	1%/10%				
サーボパック体積 (200W)		4688	1144	1144	936
速度制御範囲	1 : 1000/1 : 3000	1 : 5000	1 : 5000	1 : 5000	1 : 5000
電流検出ビット数		9 ビット	10 ビット	12 ビット	12 ビット
トルク指令ビット数		14 ビット	14 ビット	10 ビット	10 ビット
速度指令ビット数		16 ビット	16 ビット	16 ビット	16 ビット
電流ループ演算時間	7ナノ秒	21.3μs	21.3μs	16μs	64μs
速度ループ演算時間	1ms	450μs	250μs	125μs	64μs
位置ループ演算時間		-	500μs	250μs	250μs
エンコーダ分解能					
キャリア周波数		3.3KHz	11.8KHz	11.7KHz	KHz
CPU (クロック周波数)	8088	μ PD78322 (16MHz)	MSM67620 (16MHz)	V853 (30MHz)	V850E (48MHz)
ASIC (ゲート数)	-	ゲートレベル (2 万ゲート)	JL026C (4 万ゲート)	JL046 (7 万ゲート)	JL056 (26 万ゲート)
パワー素子	パワートランジスタ	パワートランジスタ	IGBT	IGBT	IGBT

図 3.2.4-1 サーボパックの特性値と主要構成要素の推移

マイクロプログラムの採用決定

1000 シリーズ、3000 シリーズ : 8088、デジタル

SR-SE、SR-AC、… : 80C51、アナログ - FV コンバータ

SR-BE、… : μ PD78344、デジタル

DR1、DR2 : μ PD ?、デジタル

: MSM67620 (沖) JL026C/JL036C + JL034A、デジタル

: μ PD、JL046A、電流ループのマイクロプログラム化、デジタル

: μ PD70F3107F1 (V850E/MA1) JL056A、デジタル

3.2.5 CPU の選定

メモリー容量、演算能力の評価

過去なぜその CPU を選んだか？

3.2.6 ハードウェアの構成

3.2.7 ASIC

3.2.8 ソフトウェアの構成

PART 2 詳細設計

4 詳細設計

最新機種の - タイプ B サーボパック SGDS-02F を例題として具体的に設計内容を解説する。

一般にサーボパックのパワー回路部は電源や容量によりかなり異なるが、コントロール部はほとんど同一である。入出力 I/F、オプション有無、電源電圧、制御電源、基板サイズ等の仕様により多少のバリエーションはあるが、基本的な設計内容は共通なので例題機種を他の機種へ水平展開することは容易である。

この章では設計に当たって注意すべき点を SGDS という具体的製品の設計に即して説明を加えているが、注意すべき点は一般論として拡大すべき内容を含んでいる。これらを適用すべき箇所は他にもあり、それら全てをこのマニュアルで網羅できるわけではない。ここに述べた説明を事例と捉え、読自身でこの事例を他の部分へ展開し応用していただきたい。

4.1 定格および仕様

4.1.1 製品仕様

ユーザズマニュアルに公開されているサーボパックの製品仕様を以下に示す。

表 4.1.1-1 サーボパックの定格・仕様

表 4.1.1-2 サーボパックの電力損失仕様

表 4.1.1-3 モータ軸換算の許容負荷イナーシャ仕様

図 4.1.1 サーボパックの過負荷保護仕様

表 4.1.1-1 サーボパックの 定格・仕様

サーボパック形式 SGDS-			A5	01	02	04	05	08	10	
基本仕様	最大適用モータ容量 [kW]		0.05	0.1	0.2	0.4	0.5	0.75	1.0	
	100 V 入力	連続出力電流[Arms]	0.66	0.91	2.1	2.8	-	-	-	
		最大出力電流[Arms]	2.1	2.8	6.5	8.5	-	-	-	
	200 V 入力	連続出力電流[Arms]	0.66	0.91	2.1	2.8	3.8	5.5	7.6	
		最大出力電流[Arms]	2.1	2.8	6.5	8.5	11.0	16.9	17.0	
	入力電源	100/200 V用 サーボパックの容量 範囲		単相AC100 V用				-		
				単相AC200 V用				-	単相 AC200V	-
				-				三相 AC200V	-	三相 AC200V
		主回路		三相 (または単相) AC200 ~ 230 V +10 ~ -15% 50/60 Hz 単相 AC100 ~ 115 V +10 ~ -15% 50/60 Hz						
	制御回路		単相 AC200 ~ 230 V +10 ~ -15% 50/60 Hz 単相 AC100 ~ 115 V +10 ~ -15% 50/60 Hz							
	制御方式		単相全波、倍電圧または三相全波整流 IGBT PWM制御 正弦波電流駆動方式							
	フィードバック		シリアルエンコーダ 17ビット (インクリメンタル / 絶対値)							
	使用条件	使用 / 保存温度		0 ~ +55 / -20 ~ +85						
		使用 / 保存湿度		90% RH以下 (結露しないこと)						
耐振動 / 耐衝撃		4.9 m/s ² / 19.6 m/s ²								
構造		ベースマウント取付け (オプション仕様でラックマウント形に対応可能)								
性能	速度制御範囲		1 : 5000 (速度制御範囲の下限は、定格トルク負荷時停止しない条件)							
	速度 変動率□	負荷変動率	0 ~ 100% 負荷時 : ±0.01%以下 (定格回転速度にて)							
		電圧変動率	定格電圧 ±10% : 0% (定格回転速度にて)							
		温度変動率	25 ± 25 : ±0.1% 以下 (定格回転速度にて)							
	周波数特性		600 Hz (at $J_L = J_M$)							
	トルク制御精度(再現性)		±1%							
	ソフトスタート時間設定		0 ~ 10 s (加速・減速それぞれ設定可)							
内蔵機能	ダイナミックブレーキ (DB) 機能		主電源オフ、サーボアラーム、サーボオフ、オーバトラベル機能時に動作							
	回生処理機能		回生抵抗外置き					内蔵		
	オーバトラベル (OT) 防止機能		P-OT、N-OT動作時DB停止、減速停止またはフリーラン停止							
	電子ギヤ		0.001 B/A 1000							
	保護機能		過電流、過電圧、不足電圧、過負荷、回生異常、主回路検出部異常、ヒートシンク過熱、電源欠相、オーバフロー、過速度、エンコーダ異常、暴走防止、CPU異常、パラメータ異常、他							
	LED表示機能		CHARGE、7 seg-LED □□5個 (デジタルオペレータ機能を内蔵)							
	その他		逆回転接続、原点サーチ、モータ自動判別機能							

速度変動率は、次式で定義されている。

$$\text{速度変動率} = \frac{\text{無負荷回転速度} - \text{全負荷回転速度}}{\text{定格回転速度}} \times 100\%$$

実際には電圧変動、温度変動により増幅器がドリフトしたり演算抵抗値が変化するので、この影響が回転速度の変化となって表れる。この回転速度の変化を定格回転速度による割合で示したものを、それぞれ電圧変動、温度変動による速度変動率という。

適用サーボパック形式				SGDS-A5A01A～10A01A形 全容量
トルク・速度・位置制御対応	トルク制御	入力信号	指令電圧	DC±3V (DC±1V～±10V：可変設定範囲) 定格トルクにて(プラス指令で正転トルク指令)入力電圧：±12V(最大)
			入力インピーダンス	約14k
			回路時定数	30 μs
		性能	ソフトスタート時間設定	0～10s(加速・減速それぞれ設定可)
		入力信号	指令電圧	DC±6V (DC±2V～±10V：可変設定範囲) 定格回転速度にて(プラス指令でモータ正転)入力電圧：±12V(最大)
			入力インピーダンス	約14k
			回路時定数	30 μs
	速度制御	接点速度指令	回転方向選択	P動作信号を使用
			速度選択	正転側/逆転側電流制御信号を使用(第1～3速度選択) 両方オフのとき、停止または別の制御方式になる。
		性能	バイアス設定	0～450 min ⁻¹ (設定分解能 1 min ⁻¹)
	位置制御	フィード フォワード補償	フィード	0～100%(設定分解能1%)
			完了幅設定	0～1073741824 指令単位 (設定分解能1指令単位)
			位置決め	
		入力信号	指令パルス種類	符号+パルス列、CCW+CWパルス列、90°位相差2相パルス (A相+B相)のうち、いずれか1種類を選択
			入力パルス形態	非絶縁ラインドライバ(+5Vレベル)
			入力パルス周波数	最大1 Mpps (非絶縁ラインドライバ)
入出力信号	位置出力	出力形態	出力形態	A相、B相、C相：ラインドライバ出力
			分周比	任意分周
	シーケンス入力信号	信号の割り付け 変更が可能	シーケンス入力信号	サーボオン、P動作 (または、制御モード切り替え、内部設定速度によるモータ運転の正転/逆転切り替え、ゼロクランプ、指令パルス阻止)、正転駆動禁止(P-OT)、逆転駆動禁止(N-OT)、アラームリセット、正転側電流制限、逆転側電流制限 (または内部速度選択)、ゲイン切り替え
			シーケンス出力信号	サーボアラーム、アラームコード(3ビット)出力
	位置出力	信号の割り付け 変更が可能	位置出力	位置決め完了(速度一致)、モータ回転中、サーボレディ、電流制限中、速度警告、NEAR信号の中から、3種類の信号を選択可能
			速度出力	
その他	観測用アナログモニタ機能 (CN5)	観測機能	速度	速度：1V/1000 min ⁻¹ トルク：1V/(定格トルクの100%) 溜りパルス：0.05V/1指令単位
			トルク	
	通信機能	接続機器	ディジタルオペレータ(ハンディ形)	
			機能	状態表示、ユーザー定数設定、モニタ表示、アラームトレースバック表示、JOG運転

表 4.1.1-2 サーボパックの定格出力時の電力損失仕様

主回路電源	最大適用 モータ容量 kW	サーボパック 形式	出力電流 (実効値) A	主回路 電力損失 W	回生抵抗 電力損失 W	制御回路 電力損失 W	合計 電力損失 W
単相 100V	0.05	SGDS-A5F	0.66	5.2	-	13	18.2
	0.10	SGDS-01F	0.91	12			25
	0.20	SGDS-02F	2.1	16.4			29.4
	0.40	SGDS-04F	2.8	24			37
単相 200V	0.05	SGDS-A5A	0.66	4.6			17.6
	0.10	SGDS-01A	0.91	6.7			19.7
	0.20	SGDS-02A	2.1	13.3			26.3
	0.40	SGDS-04A	2.8	20			33
	0.75	SGDS-08A	5.5	47			74
三相 200V	0.45	SGDS-05A	3.8	27	12	15	54
	1.0	SGDS-10A	7.6	55			82

50W～400Wのサーボパックは回生抵抗を内蔵していない。回生エネルギーが所定値を超える場合は、外置き回生抵抗器を設置する。

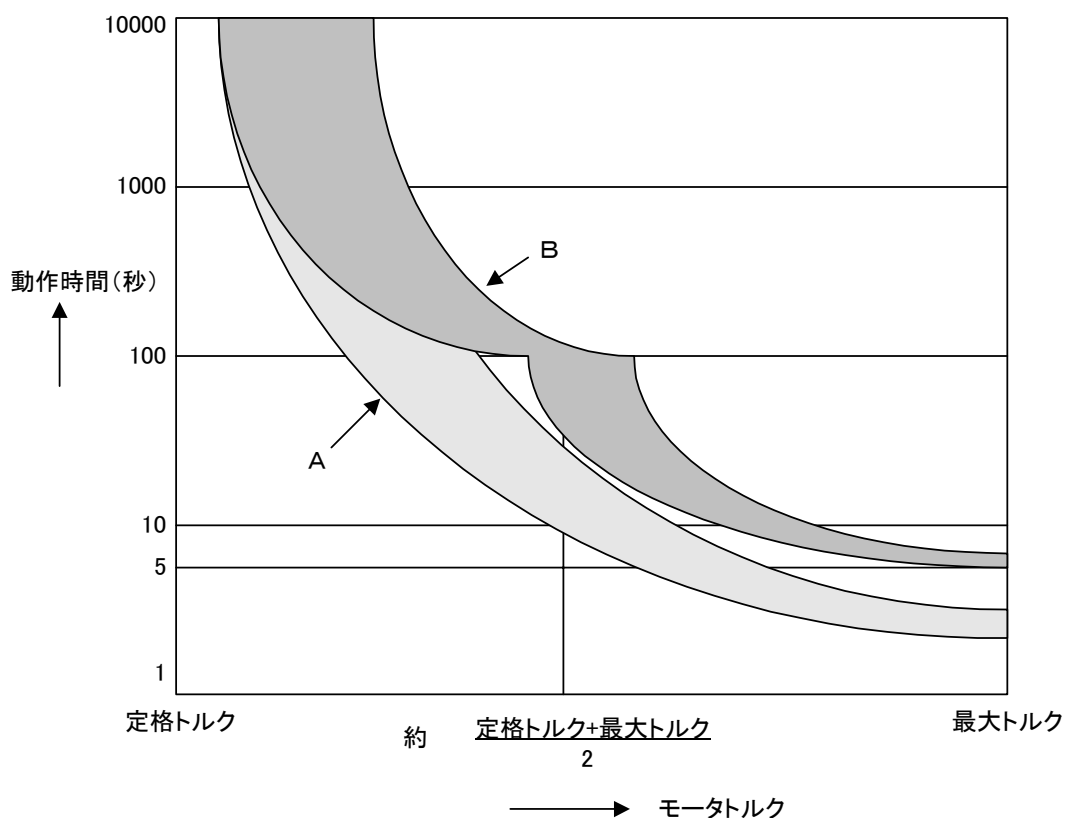


図 4.1.1 サーボパックの過負荷保護仕様

(注) 上図中 A、B の各過負荷保護特性は次のサーボモータとの組合せの場合に適用。

A : 容量 400W 以下の SGMAS 形、SGMPS 形サーボモータの場合

B : その他の SGMAS、SGMPS 形サーボモータの場合

過負荷検出レベルは、モータ周囲温度 40℃ でホットスタートの条件で設定。

表 4.1.1-3 モータ軸換算の許容負荷イナーシャ

サーボモータ		許容負荷イナーシャ (ロータイナーシャの倍率)
シリーズ名	許容範囲	
SGMAS (200V 用)	50W ~ 200W	30 倍
	400W	20 倍
SGMPS (200V 用)	100W	25 倍
	200W	15 倍
	400W	7 倍
	750W、1.5Kw、2.3Kw	5 倍

(注) ロータイナーシャの倍率は、ブレーキなしの標準モータに対する値。

4.1.2 信頼性設計仕様および安全性設計仕様

信頼性や安全性関連の仕様は重要な製品仕様であるが、市場戦略や競合戦略の観点から、カタログやユーザーズマニュアルなどに明示的には表されない仕様項目がある。最近では PL 法の施行に伴ないこれらの仕様もかなりの程度公開されるようになったが、内容の詳細さなど未だ全てとは言い難い。サーボパックの信頼性や安全性の製品仕様を決定するに当たっては、顧客には明示されていないが守らねばならない仕様を以下の社内基準に定めている。

(1) A C サーボパック信頼性設計指針 (DES-D-9011)

「A C サーボパック信頼性設計指針」(DES-D-9011) は信頼性と安全性についての仕様項目のガイドラインをまとめたものである。製品仕様設計の段階でこれらに盛り込まれた項目を製品仕様に反映しなければならない。

表 4.1.2 に A C サーボパック信頼性製品仕様を示す。基準書は随時改版されるので、実際の設計に当たっては最新版を参照すること。

(2) サーボパックの製品安全設計基準 (DES-D-9024)

サーボパックはエネルギー制御装置であり、装置の故障や誤動作や取り扱い方法によっては重大な事故を引き起こす可能性がある。「サーボパックの製品安全設計基準」は想定される重大な事故や環境影響を FTA (Fault Tree Analysis) 手法でまとめたものである。

安全に関する設計の検討項目は多岐にわたり、その対策も仕様書には表せないものが多い。このようなものはこの FTA に基づいて設計の検討を行なうことにより、製品そのものへ対策を組み込むことができる。また、設計完了後にこの基準書のチェックリストにより安全対策が実施されているかを確認することが義務付けられている。

表 4.1.2 ACサ-ボパック信頼性設計指針 (DES-D-9011)

製品仕様項目			AC - SERVOPACK			寿命保証は 技術シートに記載する。
			クラス-A (高品質クラス)	クラス-B (標準品質クラス)	クラス-C (簡易品質クラス)	
電源	1-1 電源電圧		単相3相200-230V+10%/+15% 単相100-115V+10%/+15%		単相3相200-220V+10%/+15% 単相100-110V+10%/+15%	
	1-2 電源周波数		50/60 Hz ±5%			
	1-3 瞬停復帰時間		全停 50ms 半停 100ms	全停0.5サイクル、半停1サイクル		無負荷・定格回転数にて異常なきこと
	1-4 接地		D種以上の保護設置			
耐環境性	2-1 使用周囲温度		0 ~ 60	0 ~ 55	0 ~ 55	
	2-2 保存温度		-20 ~ +85	-20 ~ +70	-20 ~ +65	
	2-3 標高		1000m以下			動作時
	2-4 耐湿性		5~95% (結露なきこと) かつ 溶剤処理	35~95% (結露なきこと) かつ 溶剤処理	35~95% (結露なきこと)	
	2-5 耐水性		無し			収納BOX対応
	2-6 耐振動性 [JISC0911 参照]		片振幅0.15mm 10~55Hz (2G) (試験時間 1H)	片振幅0.075mm 10~55Hz (1G)		JISC-0040 参考試験時間は1H とする
	2-7 耐衝撃性 [JISC0912 参照]		294m/sec ² (30G) (移動装置据え付け)	147m/sec ² (15G) (地上据え付け)		JISC-0041 参考
	2-8 耐ガス性		かつ 溶剤製品のみ対応可燃性 腐食性 がないこと	対応せず		手段: キバノ部フニス処理
	2-9 耐薬品性 耐油性		" (有機溶剤なきこと)	"		手段: キバノ部フニス処理
	2-10 耐塩酸性		" (導電性溶剤なきこと)	"		手段: キバノ部フニス処理
	2-11 耐火性		無し	"		
安全性	3-1 絶縁耐力最低値		DC500V 絶縁耐力にて 10M 以上	DC500V 絶縁耐力にて 1M 以上		
	3-2 絶縁耐力許容値		1500VAC(P-E間)、3000VAC(P-S間) 500VAC(S-E間)	1500VAC (P-E間) 1500VAC (P-S間)		
	3-3 発火 発煙		自己消火性 部品・材料			かつ: UL94V-0 電線: UL 仕様品
	3-4 発熱 (温度上昇最高値)		90 (かつン面)、125 (半導体パッケージ)			
	3-5 感電防止		全面接地力バ-		感電注意NP、または表示	
	3-6 漏電保護		無し			上位システム準備
	3-7 取扱での感電保護		注意NPの貼付付け			
	3-8 準拠規格		UL508C、IEC204 または IEC950	無し		準拠規格は「製品企画書」に記載する。
信頼性	インパルス	4-1 静電耐圧インパルス	1500V (50nsec、及び1μsec)	1000V (50nsec、及び1μsec)		インパルス
		4-2 電線耐圧インパルス	1500V (50nsec、及び1μsec)	1000V (50nsec、及び1μsec)	600V (50nsec、及び1μsec)	"
		4-3 ケーブル			1000V (50nsec、及び1μsec)	"
		4-4 モータ	2000V (300nsec)	1500V (300nsec)		"
		4-5 ノーマル	2000V (1μsec)	1500V (1μsec)		"
	4-6 グラド ノイズ		2000V (50nsec)	1500V (50nsec)	1000V (50nsec)	"
	4-7 耐静電気放電		気中-8KV 接触-6KV	無し		IEC801-2 参考
	4-8 放射電磁界		3V/mm (80MHz~1GHz)	無し		IEC801-3 参考
	ファ-ストラジ-ェント	4-9 静電耐圧	無し			
		4-10 電圧重畳	無し			
	4-11 過負荷耐量		最大電流-連続 1分		最大電流-連続0.5分	周囲温度の上限で行う。
	4-12 寿命保証試験時間		10万時間以上	5万時間以上	2万時間以上	平均周囲温度 40、80%負荷連続
	4-13 製品寿命保証時間		10年以上	5年以上	2年以上	" "
	4-14 MTBF 故障率 (FIT)		100万時間以上/1000FIT 以下	50万時間以上/2000FIT 以下	20万時間以上/5000FIT 以下	" "
	4-15 保護機能 保護範囲		有り (フェ-ル-バック 機能故障保護)		無し	

4.2 サーボパックの構成

図 4.2 に出力容量 100W から 400W までの 200V 入力電源タイプのサーボパックのブロック図を示す。

サーボパックは大きくパワー回路部と制御部で構成される。パワー回路部は主回路と制御電源で構成され、図 4.2 のブロック図では 4PCB のプリント基板に搭載されている。このブロック図のように容量が小さいものではプリント基板にパワー部が搭載可能であるが、大容量になるとプリント基板のパターンでは主回路配線の許容電流容量がカバーできず、バー材や電線による実配線が必要になる。主回路は入力電源の直流変換部（コンバータ）と、AC サーボモータを駆動するための 3 相交流発生部（インバータ）で構成されており、大電流を扱うことによる熱とノイズの発生が設計上の最大の課題である。パワー回路部の詳細については「サーボ設計マニュアル（パワー部）」を参照されたい。

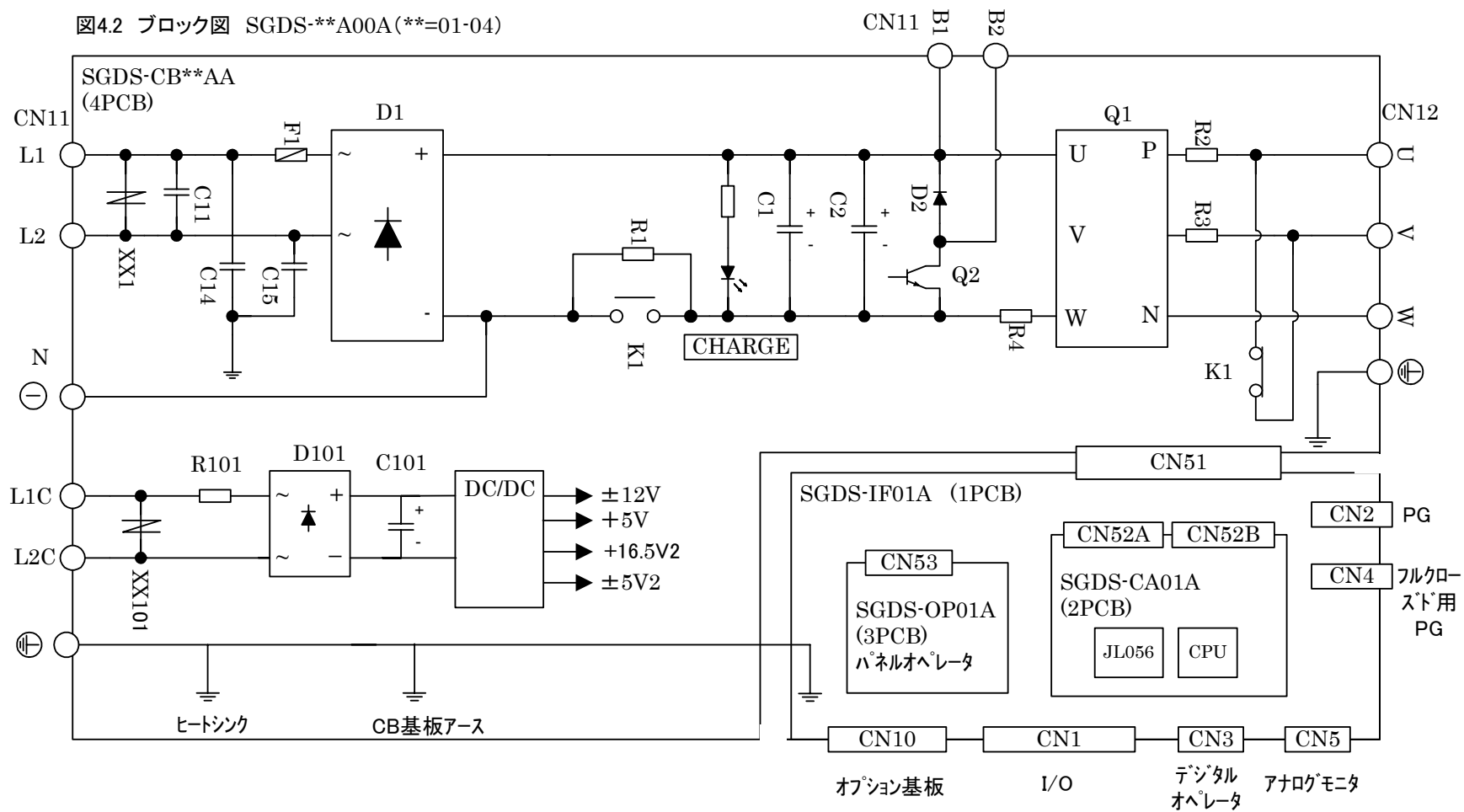
制御部は 1PCB、2PCB、3PCB の 3 枚のプリント基板で構成され、パワー基板とは CN51 のコネクタで接続される。制御部の核は微小信号を扱う IC や LSI であり、これらはノイズや熱に極めて弱い。このためパワー部から物理的、電氣的に極力離して設置したいが、小形化の市場動向に合わせるためには自ずと制約がある。また、上位装置との接続や、フィードバックエンコーダとの接続、サーボ調整用機器との接続など外部機器との接続もこの部分に集中しており、ユーザの取り扱い易さや、回路保護、外来ノイズ耐性についても設計上の重要な考慮点になる。

一般的にノイズ耐性の観点から主回路部と制御部は電氣的に独立させる。このため CN51 コネクタの直近で電氣的アイソレーションを行なう。制御電源もこの意味で主回路と主回路用補助電源からアイソレーションする必要がある。信号線のアイソレーションに当たってはコストや部品配置上の制約からできるだけ信号線の本数を減らすことが望まる。ASIC による回路の集積化が、安く、簡単にできるようになったことと、ASIC 自体の端子数の制約もあり、信号線本数を減らすために信号処理をシリアル化する方式が有効になってきている。

2PCB には ASIC（JL056、東芝製スタンダードセル）と CPU（V850E、NEC 製汎用 1 チップマイクロコンピュータ）が搭載されている。ASIC はかつてディスクリート部品で構成していた部分を集積化した回路と、マイクロプログラムプロセッサおよびそのメモリを内蔵している。マイクロプログラム部はサンプリングタイムが小さく、従って計算サイクルが短い電流制御を担当している。この部分の能力がサーボの応答性能を決定付けるといっても過言ではない。

一方、CPU はメモリ内蔵形の多機能 32 ビットマイクロコンピュータである。専ら外部機器とのソフトウェア I/F や ASIC との I/F、異常処理、サーボループ制御、HMI を担っている。マイクロプログラムほどの高速性能は要求されないが、多種のソフトウェア機能に対応できるように、高級言語によるプログラムの記述が可能な汎用 CPU を選定している。

図4.2 ブロック図 SGDS-**-A00A(**=01-04)



4.3 ASIC

半導体技術の進化は目ざましく、ASIC の集積度はこの 20 年間に 200 倍超となる一方、チップ当たりのコストは漸減してきた。一般的には集積度や素子速度が増大するとチップ当たりの発熱も増大するが、電源電圧を下げることによりこの問題が解決されてきた。これにより複雑かつ大規模な回路を 1 チップの中で実現することができるようになり、製品開発の成否はこの半導体技術成果の活用度いかにかかっていると言っても過言ではない。

しかし一方では電源電圧の低下（5V → 3.3V）によりノイズに敏感になるとか、開発の複雑化などの新たな問題点も発生して来ている。半導体技術の活用には従来を越えるノイズ対応設計や IP(Intellectual Property)化による設計資産の継承や HDL(Hardware Description Language) 技術への対応などが必要になってきている。

ASIC の設計に当たってどの機能を ASIC に入れ、何を外すかが重要なポイントになる。ASIC を適用する上での制約条件（集積度、素子の速度、ASIC 外部端子数など）と要求仕様（コスト、小形化、性能）との両面から評価する必要がある。このためには機能回路毎に必要なゲート数や ASIC 外部端子数を見積り、その回路の応答速度が所要の性能を満たすかを算定しておく。

表 4.3-1 に B 用 ASIC(JL056)の機能回路毎のゲート数一覧を例示する。

表 4.3-1 JL056 機能回路毎ゲート数と外部端子数一覧

JL056 機能回路名称	ゲート数	外部端子数
ホスト CPU インタフェース	12,747	40
クロック分周	695	9
PWM モニタ	1,116	2
拡張 I/O	127	2
同期シリアル	3,719	4
エンコーダトップ	4,795	6
指令入力位置補正カウンタ	6,493	0
非同期シリアル	780	0
シリアルエンコーダ、シリアルエンコーダパルス変換	29,795	7
AD トップ	28,407	10
システム制御	734	6
タイマ	938	1
割込み	1,739	3
EEPROM インタフェース	2,967	4
回生コントロール	6	2
アラーム	985	3
PWM 制御	13,279	12
MPU 部	113,481	0
キャリア割込	7,492	0
APLL 部（マクロセル）	145	0
SRAM 部（マクロセル）	1,677	0
その他（テスト、セレクト、遅延素子、クロックバッファ等）	23,501	3
電源	0	30
JL056 合計	255,618	144

4.3.1 ASIC ブロック図

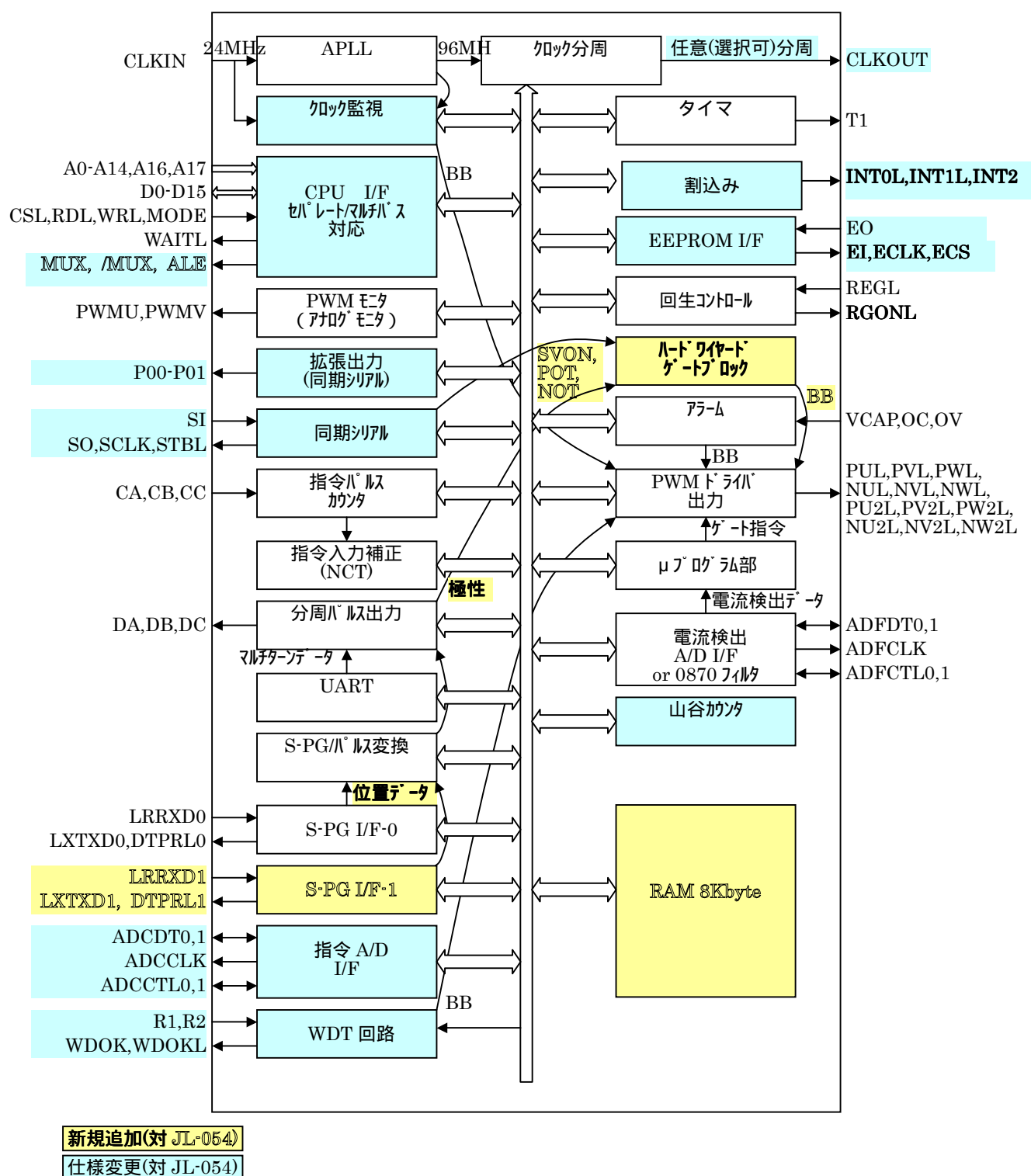


図 4.3.1 JL056 ブロック図

4.3.2 ASIC の機能

JL056 に内蔵されている個別の機能の説明や回路図、タイミングチャートは「 B 用 ASIC JL-056、JL-066 内部説明書」に詳しいのでそちらを参照されたい。ここでは内部説明書の補足として、各機能の回路(前記内部説明書ではモジュールと表現。この節でもこの表現を踏襲する。)についてその目的の解説と設計上の注意点を中心に述べることにし、必要に応じてブロック図やタイミングチャートを引用する。

(1) ホスト CPU インタフェース

ホスト CPU からのアドレス信号はこのモジュールでラッチされ、各モジュールのレジスタを読み書きするためのリード信号やライト信号にデコードされる。これらのコントロール信号のタイミングはホスト CPU のタイミング仕様に厳密に従う必要がある。一方、ホスト CPU のデータバスもこのモジュールへ接続され、ASIC 内の各モジュールのリード/ライトデータとして分配される。一般に ASIC 内部のスリーステートバスは動作検証が難しいので使用しない。各モジュールのリードデータを集約するためにはデータセクタ回路が使用される。

このモジュールからはオプション基板接続用コネクタ CN10 に供給されて外部マルチプレックスバスをコントロールする ALEO、MUX、MUXL 信号も生成される。

(ASIC 内のマイクロプログラムプロセッサに対して、サーボパックに搭載されて各種ソフトウェア機能を実行している汎用マイクロコンピュータをホスト CPU と称する。)

(2) クロック分周

ASIC のマクロセルで組み立てられている APLL (Phase Locked loop) 回路に水晶発振子 (SGDS では 24MHz) を接続することにより 96MHz の信号が発生する。この信号がこのモジュールへの入力となり、分周回路で分周されて以下のクロックが発生させられる。このうちの 1 つをこのモジュールの設定レジスタで選択することにより、CLKOUT 端子から選択したクロックを ASIC 外へ出力できる。これは外部回路のタイミング発生に使用する。各種周波数のクロックは ASIC 内部のタイマや割り込み発生回路などのベースクロックとして使用される。

クロックには以下のものが用意されている。主なクロック波形を図 4.3.2-1 に示す。

48MHz、32MHz、24MHz、16MHz、12MHz、8MHz、6MHz、4MHz、3MHz、2MHz、1MHz、125K、62.5K、125Hz

デジタルサーボ制御はサンプリング制御であり、一定周期のサンプリングクロックに基づいてデータ入手 - 計算 - 出力が行なわれる。制御ループも電流、速度、位置と多重化しており、これらの処理が全て同期して行なわれる必要がある。同期が取れない場合は周波数差によるビートが発生し、リップルなどの原因となる。これを避けるためこのクロック分周回路によってタイミングを一元化し、サーボパック内の処理を同期させている。

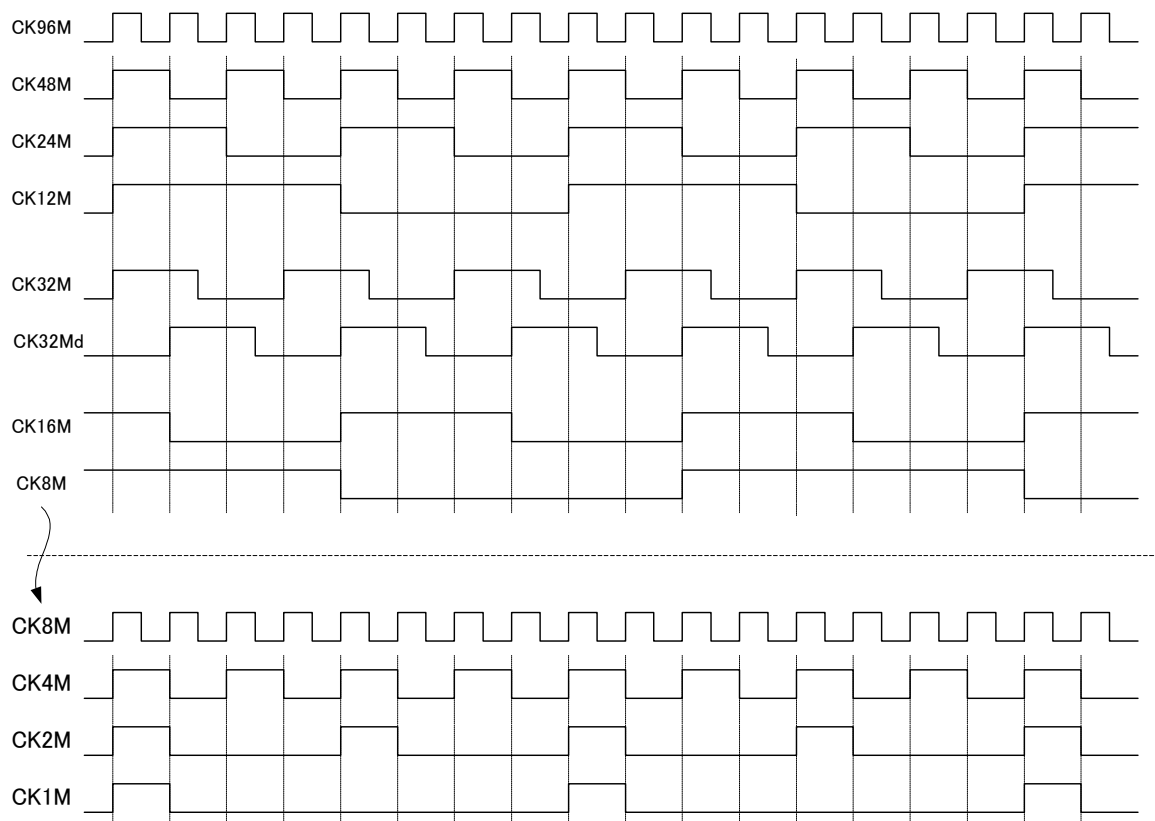


図 4.3.2-1 主なクロック波形

(3) アナログモニタ用 PWM 出力

SGDS は 2 チャンネルのアナログモニタを提供している。このモジュールはアナログモニタ用の PWM (Pulse Width Modulation) 発生回路である。PWM からアナログへの変換部分は 1PCB 基板に実装されており、この部分については 4.6 ハードウェアにて説明する。

アナログ変換回路には PWM 方式以外に抵抗ラダー回路を使用する方法などもあるが、アナログ対応 ASIC は未だサーボの要求性能に耐えられない点から採用していない。また、PWM 方式は出力されたパルス列を簡単なフィルタに通すことによってアナログ信号を得ることができ、比較的回路量が少なくなる点と出力がシリアルパルス列ということで ASIC の外部端子を有効利用できる点がメリットである。

このモジュールは PWM 出力を 2 ポート備えている。アナログに変換すべきデータはホスト CPU からこのモジュールのレジスタに設定する。設定データは 16 ビット長で、上位 8 ビットは PWM 回路に、下位 8 ビットは DDA (Digital Differential Analyzer) 回路に供給される。このモジュールでは 8 ビットカウンタで構成された PWM 回路からのパルス信号を 8 ビットの DDA 回路により変調することで 16 ビット精度の PWM パルス列を出力している。変調方法は DDA のパルス発生レートで、PWM 回路からの発生パルスのパルス幅を 1 クロック周期分間引きすることで行なう。PWM 出力パルス列はデューティ 50%の時設定データ 0 で、最上位ビット

トは符号となる。PWMの基本キャリア周波数は12MHzクロックを256分周して46.875 KHzとしているが、DDA変調成分の周波数が基本キャリア周波数の0~1/256となるので、最も低い周波数成分は最悪183Hzとなる。この周波数成分は下位8ビットの設定データに依存している。図4.3.2-2に入力データとPWM波形の関係を示す。

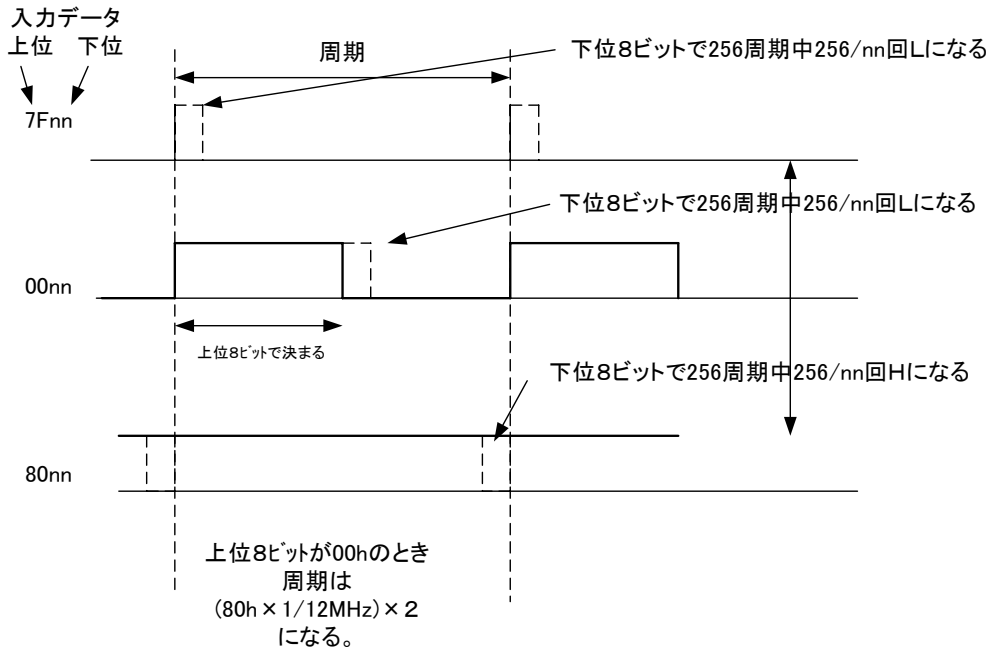


図 4.3.2-2 入力データと PWM 波形の関係

2 台のサーボをマスター・スレーブ運転するために、マスターサーボからのトルクモニタ出力をスレーブサーボのトルク指令に入力することがある。このようなケースではアナログモニタ、延いては PWM モニタの周波数応答への考慮が必要である。マスター・スレーブ運転が必要なタンデム運転などは大型機械に多く、このような機械はイナーシャが大きいので周波数応答もそれほど高応答を必要としないであろう。また、アナログモニタの低周波成分はフルスケールに対し下位 8 ビット分すなわち 1/256 の振幅成分しか持たないので、大型機械に対しては影響は無いと思われる。しかし、今後高い周波数応答と高精度を同時に求める応用が出てくる可能性はあり、設計者としては心に留めておくべき事項である。

(4) 拡張 IO

SGDS IF01 基板 (1PCB) ではこの機能は不使用。説明割愛。

(5) 同期シリアル

サーボパックでは外部機器との情報をやり取りするためのシーケンス入出力信号を準備している。このモジュールはこのための 32 ビット入力 1 チャンネル (ASIC 外部端子: SI) と 32 ビット出力 3 チャンネル (ASIC 外部端子: SO、P00、P01) を備えた同期シリアル通信を行なうモジュールである (ただし、SGDS IF01 基板では SI 入力 0~16 ビット、SO 出力 0~24 ビットのみ使用)。

ホスト CPU からこのモジュールのレジスタに設定した出力データはシフトレジスタでシフトされ、ASIC 外部端子 SO からシリアル出力される。この信号は 4.6.8 節で述べる IF01 基板上に搭載されたシリアル/パラレル変換回路でパラレル信号に変換されて CN1 からシーケンス出力信号として出力される。

CN1 からのシーケンス入力信号は逆順に IF01 のパラレル/シリアル変換回路でシリアル信号に変換され、続いてこのモジュールのシフトレジスタでシリアルからパラレルへ逆変換されてホスト CPU へ読み込まれる。これらのシフトレジスタや、両変換回路をコントロールするための入出力供用のシリアルクロック（ASIC 外部端子：SCLK）とストローブ信号（ASIC 外部端子：STBN）もこのモジュールで生成される。シリアルクロックとストローブ信号は常時動作状態なのでシフト中に内容が変化しないように、入力シフトレジスタと入力レジスタおよび出力レジスタと出力シフトレジスタはそれぞれダブルバッファ構成となっている。それでもホスト CPU からのアクセスには回路構成上の制約があり、注意が必要である。詳しくは JL056 内部説明書または JL056 ユーザーズマニュアルを参照のこと。

動作波形を図 4.3.2-3 に示す。

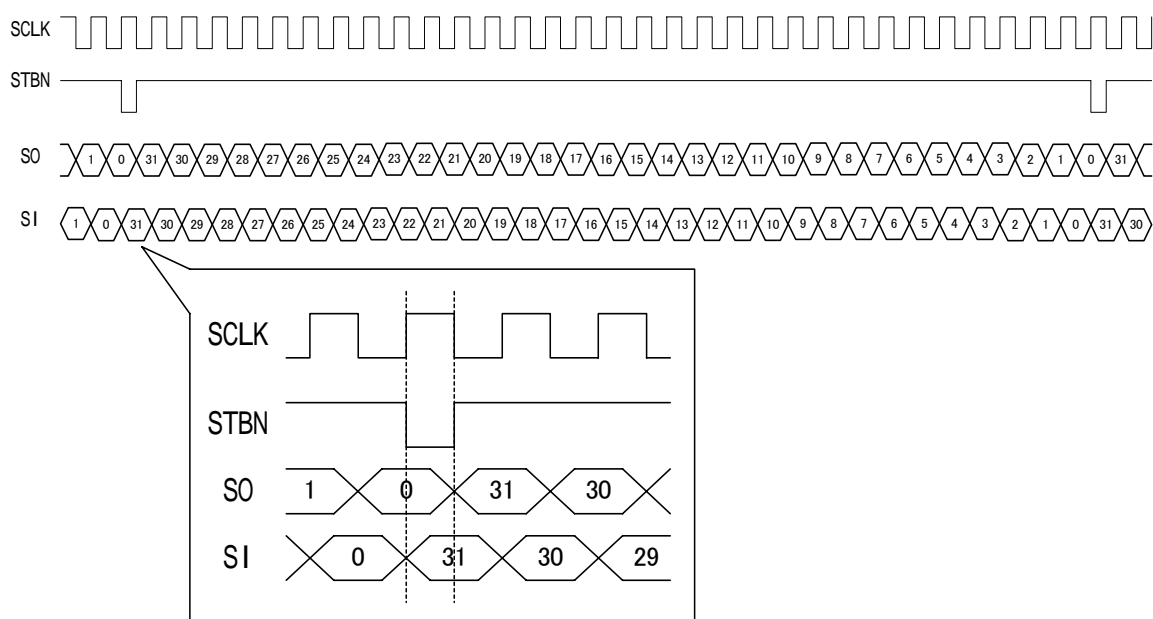


図 4.3.2-3 同期シリアル通信タイムチャート

(6) 非同期シリアルインタフェース

このモジュールは非同期（調歩同期式）シリアル通信を行なう送信専用モジュールである。ホスト CPU から内部レジスタに書き込んだ送信データをボーレート 9600（固定）で出力する。送信データがレジスタに書き込まれると送信を開始し、送信が終了するとレディフラグがセットされる。この出力は分周カウンタの DA パルス出力と ASIC の出力端子が共用されているので、この機能を使用する場合は内部レジスタ DINCSET：0024 のビット 3 の設定によって出力を選択する必要がある。

(7) 指令パルスカウンタ

このモジュールは後節の 4.6.4 で述べる位置指令入力パルスを計数するための 16 ビットカウンタおよびその周辺回路から構成されている。図 4.3.2-4 にブロック図を示す。

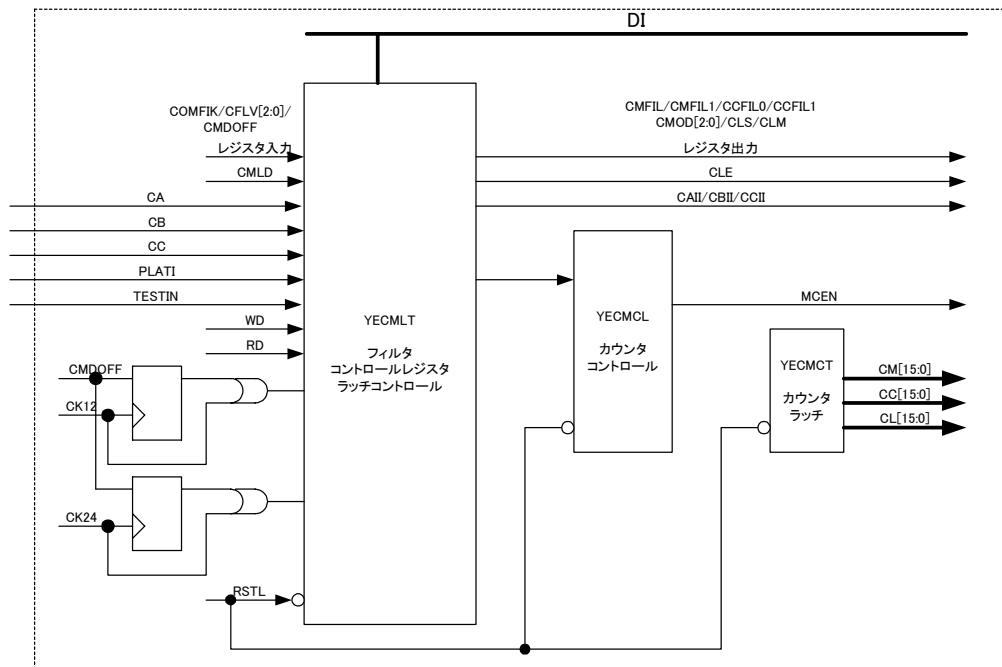


図 4.3.2-4 指令カウンタブロック図

指令パルス信号 CA、CB、CC はノイズやチャタリング吸収用のフィルタ回路を通り指令カウンタへ入力される。指令カウンタのカウントレートは最高 24MPPS である。周辺回路には下記の指令パルスの形態を選択する回路と原点 / ロードラッチ回路がある。原点ラッチは最初の原点ラッチトリガの立ち上がりエッジでカウンタ値がラッチされ、ロードラッチはホスト CPU がコントロールレジスタを読み出すタイミングまたは割り込み信号 INT0、INT1 の立下りエッジでラッチされる。これらのラッチしたデータはホスト CPU から読み出すことができる。指令カウンタの機能が不要な場合(ASIC の消費電力を節減させたい場合など)、コントロールレジスタ(003Ch)の設定により本モジュールへのクロックを停止することができる。

指令パルスの形態は以下の 3 種類とそれぞれの正論理・負論理から選択する。

- ・ 回転情報 (“0” と “1” の符号) とパルス列
- ・ CW パルスと CCW パルス
- ・ 90 度位相差 2 相パルス (A 相 / B 相パルス)

指令入力フィルタ回路はコントロールレジスタ (0022h) の設定により 24MHz クロック同期、41ns(24MHz の 2 クロック)多数決フィルタ、83ns(12MHz の 2 クロック)多数決フィルタ、素通し、のいずれかが選択できる。指令入力 CA CB についてはヒステリシスフィルタを付加できる。コントロールレジスタ(004Ah) の CMFT[2:0]にフィルタスレシヨルドを設定し、この設定値と 5 ビットのヒステリシス U/D カウンタとの比較で、CA(CB)を受け付ける。ヒステリシス幅は $t = (4n - 1) / 24 [\mu s]$ である。(n は CMFT[2:0]の設定値+1)

今、CMFT[2:0]が"000"とすると、n=1 であるから $t=(4 \times 1-1)/24=0.125[\mu s]$ で 125[ns]のヒステリシスフィルタとして機能する。

即ち、"00"->"01"->"02"->"03"->CA(CB)受付、"03"->"02"->"01"->"00"->CA(CB)受付動作を繰り返す。図 4.3.2-5 参照。CAI(CBI)はヒステリシスフィルタからの出力、YE1695A はヒステリシスカウンタである。

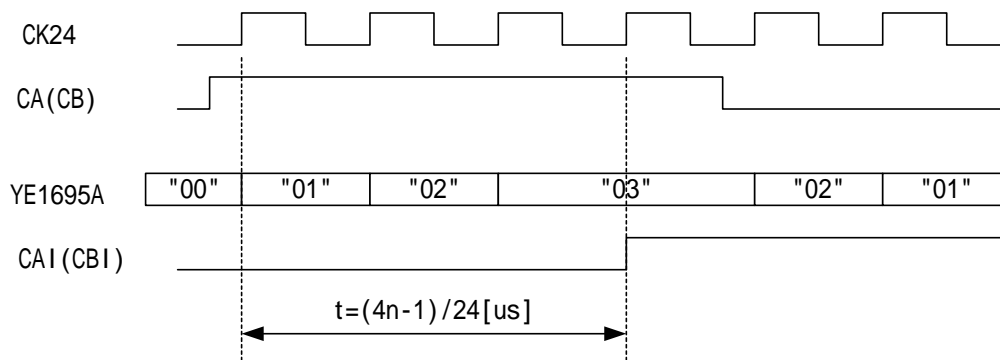


図 4.3.2-5 ヒステリシスフィルタのタイムチャート

(8) 指令入力補正カウンタ

NCT で使用。説明割愛。

(9) シリアルエンコーダ・パルス変換

このモジュールはシリアルエンコーダから送信された位置データを A 相 B 相 C 相のパルス列に変換し、ASIC 外部端子 DA、DB、DC を経由して外部機器へ出力するものである。このモジュールから ASIC 外部端子 DA、DB、DC までの間に分周カウンタが挿入される場合もあるが、これについては次節で説明する。また、ASIC 外部端子から外部機器接続コネクタへ至る駆動回路は 4.6.9 で述べる。以下、このモジュールを構成している、データ/パルス変換回路、クロック発生回路、位置データ選択回路、C 相出力回路の 4 つの回路について説明する。

データ/パルス変換回路

シリアルエンコーダの位置情報はサンプリング時間(62.5 μs)毎にバイナリ数値として与えられる。この数値データを 62.5 μs 間の均一なパルス列に変換するため DDA(デジタルディファレンシャルアナライザ)回路を使用する。図 4.2.3-6 にデータ/パルス変換回路ブロック図を示す。この図において、11 ビット F/F と 10 ビットフルアダー、10 ビット F/F が DDA 回路を構成する。

後で述べる位置データ選択回路によって選択された位置データがこの回路に入力されると、この位置データと 16 ビットアップ・ダウンカウンタの値の差分が、位置データの書き込み毎に上記 10 ビット DDA 回路に入力される。この DDA 回路のオーバーフローは差分の MSB(符号ビット)によって "1" の時アップ、"0" の時ダウンとして、先のアップ・ダウンカウンタに入力される。A 相・B 相のパルス出力は図 4.2.3-6 のように、このアップ・ダウンカウンタの下位 2 ビットから生成される。後で述べるように DDA の動作クロック CK625 は周期が 62.5 μs なので、位置データの書き込みがない場合は 62.5 μs で 10 ビットの全パルスを払い出すように、アップ・ダウンカウンタは動作する。

コントロールレジスタ(B4h)のビット 15、PLPRSEL を " 1 " にする事により、DDA 回路は 128us で全パルスを払い出すよう、カウントレートを落とすことができる。

また、絶対値エンコーダの初期インクレパルスを出力する時のために、コントロールレジスタ(B4h)のビット 14、PLCKSEL を " 1 " に設定することにより DDA 回路の動作周期を 1ms に落とすことができる。

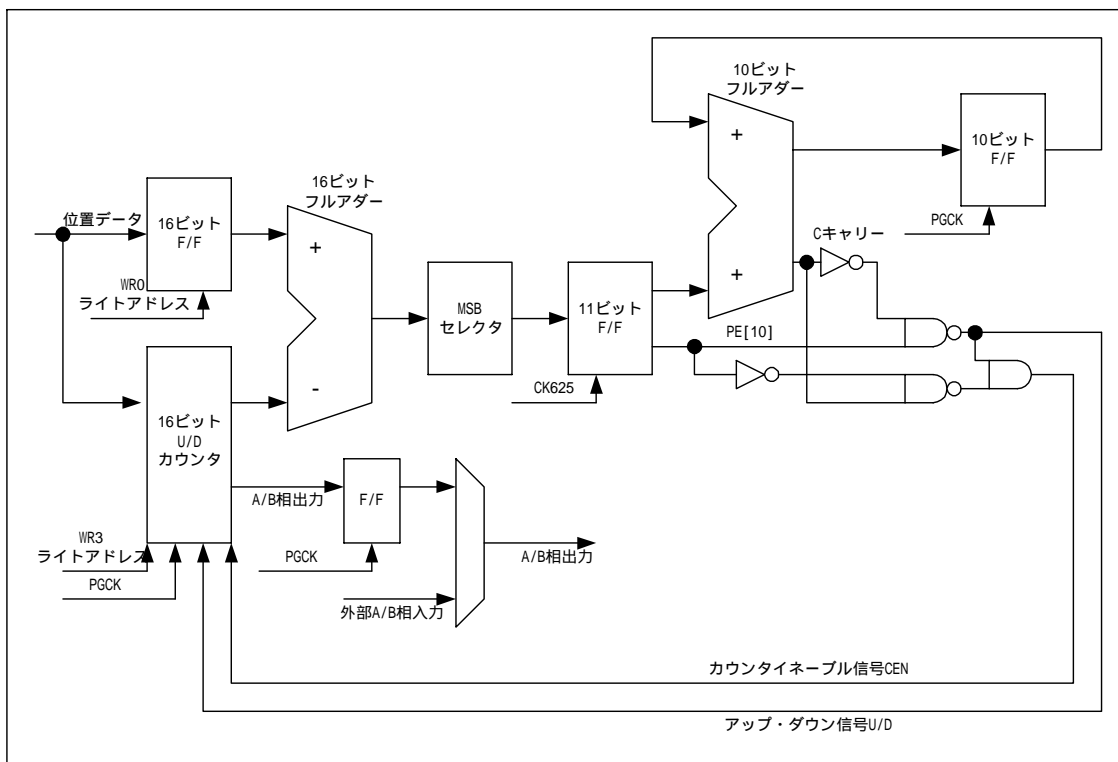


図 4.3.2-6 シリアルエンコーダ・パルス変換回路ブロック図

クロック発生回路

クロック発生回路ではシリアルエンコーダ・パルス変換基本クロック PGCK と DDA 動作クロック CK625(周期 62.5 μs)を生成する。PGCK はソースクロック 48MHz から 19.2MHz と 16MHz を切り替えて生成している。切り替えは下記 CK625 カウンタ値が 0 ~ 8Fh までは 19.2MHz、90h ~ 3FFh は 16MHz である。

DDA 動作クロック CK625 は、上記 PGCK をカウントクロックとする 10 ビットのバイナリカウンタで構成されている。従って、以下の式のように 62.5 μs を 1 周期として動作する。

$$144 / 19.2 + 880 / 16 = 62.5 \text{ (} \mu\text{s) }$$

$$(0 \sim 8Fh) \quad (90h \sim 3FFh)$$

位置データ選択回路

このモジュールではパルス変換する位置データを表 4.3.2-1 のように 4 つの中から選択することができる。また、原点補正值 1 及び原点補正值 2 の入力をホスト・内蔵マイクロプロセッサ部のどちらかを選択することができる。

表 4.3.2 - 1 位置データ選択回路

DVWRSEL1	DVWRSEL0	位置データ	原点補正值 1 及び原点補正值 2
0	0	シリアルエンコーダチャンネル 0	ホスト CPU
0	1	シリアルエンコーダチャンネル 1	ホスト CPU
1	0	ホスト CPU	ホスト CPU
1	1	内蔵マイクロプロセッサ部	内蔵マイクロプロセッサ部

C 相出力回路

原点補正レジスタに設定した値とアップダウンカウンタの値が一致したところで C 相が HIGH になる。C 相を A 相、B 相の 1 パルス分だけ出力させるためには、原点補正レジスタ 1 と原点補正レジスタ 2 に隣あった 2 つのデータを設定する。A 相同期の C 相パルス出力には、補正レジスタに下位 2 ビットが A 相進みであるなら "01"、A 相遅れであるなら、"10" を設定、もう一方のレジスタには、+1 を設定する。

また、ソフトウェアでコントロールレジスタ(B6h)の PCMASK を "1" に設定することによってパルス変換回路からの C 相出力を強制的に "0" にすることができる。

A・B・C 相出力のタイミングチャートを図 4.3.2-7 に示す。

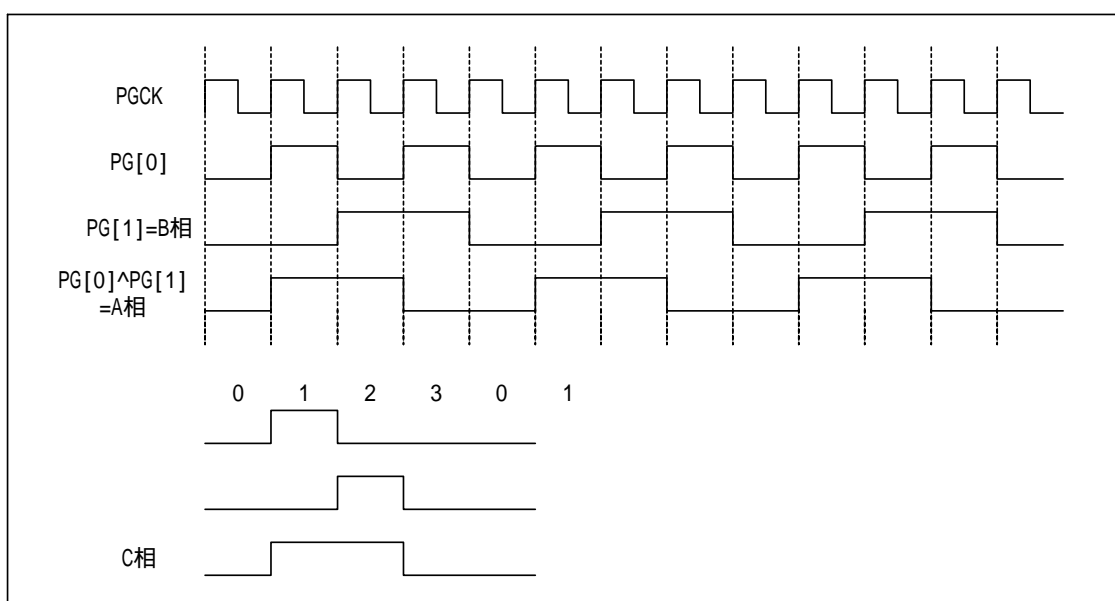


図 4.3.2-7 A・B・C 相出力のタイミングチャート

(10) 分周カウンタ

このモジュールはシリアルエンコーダ受信データから生成されるエンコーダパルスを、ユーザ定数 Pn212 の設定値に従って分周し ASIC 外部端子 DA、DB、DC から出力するパルス数変換回路である。分周したパルスのパルス密度が平均化するように分周回路には DDA を採用している。DDA は 16 ビット構成で、半加算器で加減算を行い演算のオーバーフロー、アンダーフローをアップ・ダウンカウンタに入力して下位 2 ビットから A 相・B 相に変換して出力している。従ってこのモジュールでの分周比は 16 ビット長 N/65536 となるが、ユーザ定数 Pn212 の設定

値は 30 ビット長 (16 ~ 2³⁰P/Rev までの数値) なので、ホスト CPU のソフトウェアで分周回路のビット数まで位置データを右シフトして設定する。パルス周波数の上限は 1.4MPPS である。

DA DB DC の分周出力は以下のようなモードがコントロールレジスタで選択可能である。

- DA DB スルーモード : 分周出力と PA PB 出力の選択
- PC スルーモード : PC スルーと論理 PA & PB & PC の選択
- DB 逆転モード : DB スルー出力と DB 反転出力の選択
- DA 出力モード : DA スルー出力と TXD 出力の選択
- : DA スルー出力とシリアルデータ出力の選択
- DC 強制出力モード : DC スルー出力と H レベル強制出力選択

ここで PA PB PC 信号はシリアルエンコーダ・パルス変換されたフィードバック信号である。

また、C 相の出力モードも通常 C 相出力、分周 C 相出力、分周 C 相合成出力が選択できるようになっている。

回路構成上分周 C 相パルスは 16 ビット毎に出てしまうので、出すタイミングでないときはマスクする必要がある。分周機能が不要な場合、レジスタ CSTP(003C)ビット 11 の設定により、クロック供給を停止する事ができる。

(11) シリアルエンコーダインタフェース

シリアルエンコーダはインクレエンコーダ、ABS エンコーダともに位置データを 4Mbps メカトロリンク方式のデータ伝送によってサーボパックへ送信している。このモジュールはこのための伝送制御用のインタフェースモジュールである。伝送線のラインドライバやラインレシーバについては 4.6.7 で説明する。このモジュールは主フィードバック用のチャンネル 0 とフルクロズドループ用のチャンネル 1 の 2 つの伝送制御ポートおよび伝送の同期を取るための同期カウンタから構成されている。シリアル伝送は HDLC 準拠のマンチェスタ符号半二重通信で、CRC によるエラーチェック機能を備え、このモジュールをマスタとする 1 : 1 マスタスレーブ伝送方式となっている。チャンネル 1 は M-4 (4Mbps メカトロリンク) スレーブ機能も持っている。主な仕様と機能を以下に示す。

伝送速度

伝送クロック周波数は 4 Mbps または 8Mbps に対応。各チャンネル独立設定可。

伝送モードとフレーム構成

チャンネル 0 とチャンネル 1 のマスタ伝送モードには P0 と P1 の 2 つのモードがある。P0 モードはエンコーダへの初期データの書き込みおよび読み出しを行なうモードで、データは 16 バイト長である。ホスト CPU はこのモードを使用して制御電源投入時にエンコーダ内 EEPROM からモータ ID を読み出す。

P1 モードはサイクリック伝送に用いられ、スキャンタイミング毎にエンコーダの位置データが ASIC で受信される。この場合 ASIC からの送信はフレームのみでデータは無い、受信データは 12 バイト長である。

図 4.3.2-8 に伝送モードとフレーム構成を示す。これらのフレームにおいて ASIC はフレームの自動生成およびデータの抽出を行い、データ I₁₂ や I₁₆ そのものは送受信バッファを通じてホスト CPU とやり取りする。なお、データ I₁₂、I₁₆ の内容は 4.5 ソフトウェアにて説明する。

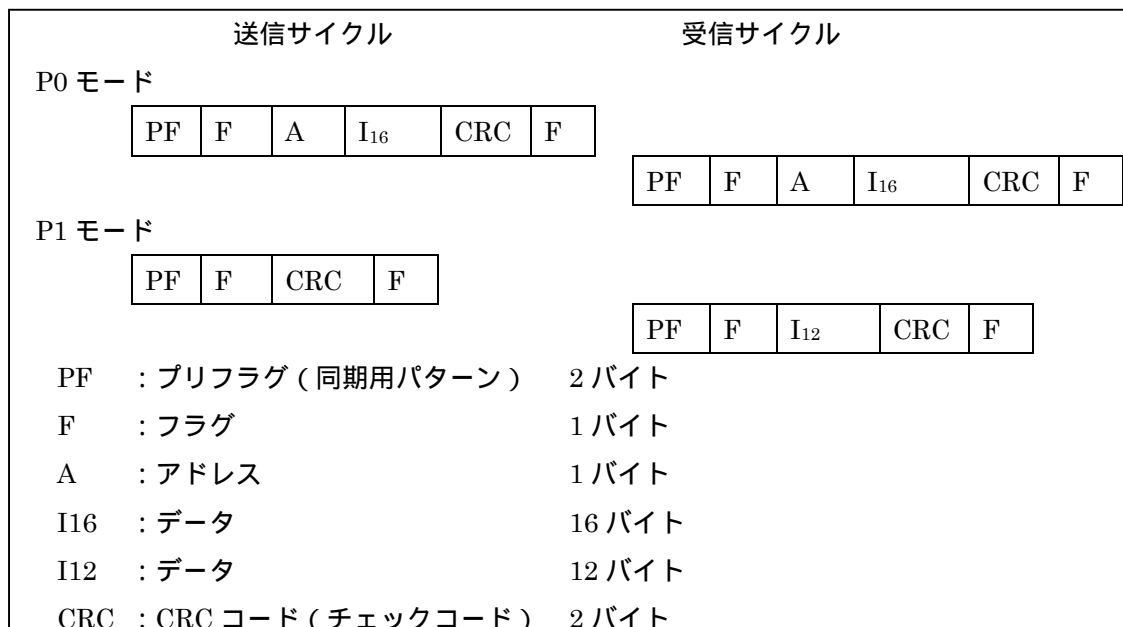


図 4.3.2-8 伝送モードとフレーム構成

(a) 伝送周期

16 バイト P0 モード / P1 モードでは内蔵カウンタにより周期的に送信サイクルが開始される。P0 伝送周期は 125 μs、P1 モード伝送周期は 62.5 μs である。なお、送信周期カウンタはチャンネル 0 とチャンネル 1 で共通の為、16 バイト P0 / P1 モードを両方のチャンネルで使用する場合、同期して動作させるか、片側をレジスタ書き込みでの同期に変更する必要がある。17 バイト P0 モード (簡易マスタ) の送信は外部同期レジスタ (4Eh) への書き込みで開始する。このため、17 バイト P0 モードではホスト CPU による任意の伝送周期となる。

伝送速度を 8 Mbps として周期を短縮した場合、同期カウンタ周期設定を “1” とすると上記の伝送周期を 1/2 に高速化することができる。SGDS では と同様に 62.5 μs 周期を採用している。

(b) 同期カウンタ

多軸システムでは複数のサーボが使用されるが、上位システムではこれらを同期して動作させることを必要とする。アナログサーボの時代には各軸間の制御は時間的に途切れることなく緊密に連結されていたが、デジタルサーボになって制御の系は時間的に断続して接続されるようになった。このため、上位システムから各軸に異なるタイミングで指令され、各軸が独立のタイムベースで動作するようなシステムでは、各軸モータの動作は期待したタイミングからそれぞれ微妙にずれることになる。

同期カウンタは上記のような問題点を解消するためにエンコーダとの伝送の同期を取るために使用される。このカウンタは 6MHz クロックをカウントする 12 ビットカウンタとこ

のカウンタのキャリーをカウントする 3 ビットのキャリーカウンタで構成されている。

同期カウンタイネーブル CNTEN = "1" を設定した場合は 0 176h (62.5 μ s に相当) のカウントを繰り返し、そのキャリーをキャリーカウンタでカウントする。これらの値は ASIC 外部端子 CC 入力や後述の同期要因発生タイミングでラッチレジスタ (78h, bit12 ~ 14) にラッチされ、ホスト CPU で読み出すことができる。キャリーカウンタは外部同期発生でクリアされる。シリアルエンコーダ P1 モードでの送信開始要求は CNTEN = "1" 時のキャリー (62.5 μ s 周期) が使用され、外部同期は直接使用されることはない。このため同期が 62.5 μ s の整数倍で発生するのであれば、初回の同期を除いて伝送路データを破壊する事はない。

CNTEN="0"設定時は 0 FFFh のカウントを繰り返し、ASIC 外部端子 CC 入力や外部同期発生でカウンタ値をラッチすると同時にカウンタ値を 0 クリアする。

外部同期イネーブルビット (44h, bit3) を " 1 " にすると ASIC 外部端子 EXSYNC への Low パルス入力や同期レジスタ (4Eh) への書き込みに同期させる事ができる。この同期は即時同期ではなく 2.67 μ s (カウンタ値で 10h) 遅れで 10h がロードされる。

(c) 伝送路対応

受信時のビット誤認識を検出する為にマンチェスタコードの特性を利用したコードスケルチ機能を備えている。

(d) 割込み出力

(22)で述べる割り込みモジュールを介して、ホスト CPU へ次の INT0L と INT1L の割り込みを掛けることができる。

INT0L の要因としてはチャンネル 0 自局受信、チャンネル 1 自局受信、チャンネル 1 スレーブ時グローバル受信の各要因の論理和が使用され、それぞれ使用 / 不使用が設定可能である。

INT1L の要因としては、チャンネル 0 割込み、チャンネル 1 割込みにそれぞれ使用 / 不使用の選択が可能。

注) 上記の説明においては煩雑さを避けるためチャンネル 1 のスレーブモードや、17 ビットモードなどについては説明を省略している。正確には JL056 内部説明書を参照のこと。また、シリアルエンコーダ側の伝送制御については「マルチドロップエンコーダ用 ASIC JL059 内部説明書」「標準シリアルエンコーダ通信仕様書(社内用)」を参照のこと。

(12) AD インタフェース概要

この ASIC では各種メーカーのシリアルデータ形 AD コンバータに対応できるように、電流検出用 AD インタフェース $\times 2$ チャンネル、デシメーションフィルタ $\times 3$ チャンネル、指令用 AD インタフェース $\times 2$ チャンネル、24 ビット指令用 AD インタフェース $\times 1$ チャンネルを用意している。使用するモジュールの選択やメーカー AD に合わせる設定は内部レジスタにて行なう。図 4.3.2-9 に AD インターフェース全体のブロック図を示す。

以降では SGDS で使用する 24 ビット指令用 AD インタフェースと電流検出用デシメーションフィルタ (HCPL-X870 相当) インタフェースを中心に説明する。他の回路については JL056 内部説明書を参照いただきたい。

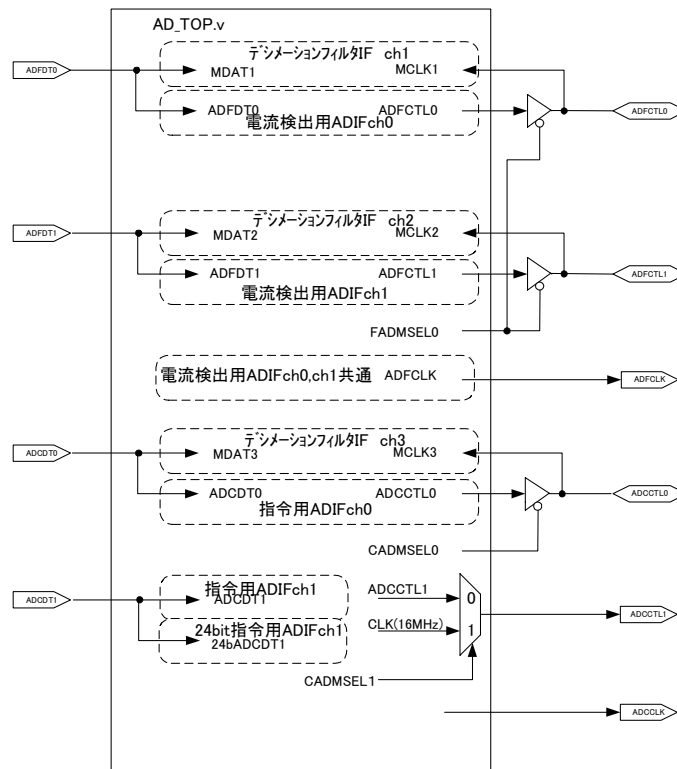


図 4.3.2-9 AD インターフェースブロック図

(13) 24 ビット指令用 AD インタフェース

外部装置から入力された速度指令アナログ信号は 4.6.5 にて述べるアナログ入力回路 - AD コンバータを通してこのモジュールへ入力される。指令用 AD コンバータは IF01 基板に搭載されており、このモジュールはこのコンバータとのインターフェースを受け持つ。AD コンバータには TI 社製の ADS1252 を使用している。ADS1252 は 方式の AD コンバータで、24 ビットの分解能を持っている。これ用のデシメーションフィルタ (間引きフィルタ) はこの AD コンバータに内蔵されており、外部からは モジュレーション用のシステムクロック CLK と変換データを引き出すための SCLK を入力すれば、変換データが出力される。システムクロック CLK (サンプリングクロック) には 16MHz を与えており、この場合の ADS1252 の変換レートは 41.7KHz である。

SCLK 発生タイミング

図 4.3.2-10 に ADS1252 のタイミングチャートを示す。ADS1252 の動作には DRDY モードと DOUT モードがある。ADS1252 からデータを取り出すときは DOUT モード時に SCLK を 24 個入力する。DRDY モードでは AD 変換したデータを ADS1252 が出力用シフトレジスタに書き込み、データが出力できる状態になったときに Low パルスを出力する。Low パルス幅はサンプリングクロック (16MHz) の 6 サイクル時間 (t_2)、High パルス幅も 6 サイクル時間 (t_3) かかる。したがって ASIC 側で DRDY パルスを検出してから指令用 ADIF を起動させるまでの 12 サイクルはこのインターフェース回路でタイミング調整して、 t_2 、 t_3 時間後に SCLK が

ASIC から出力される。

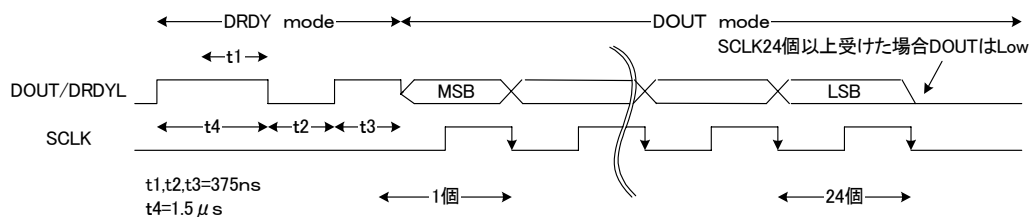


図 4.3.2-10 ADS1252 タイミングチャート

DRDY 検出回路

DOUT/ DRDYL 信号はデータと制御モードを表す情報が一体となった信号なので、この中から DRDY 状態を検出する必要がある。AD 変換データが負の値の場合、DRDY 状態を見分けるのは簡単だが、AD 変換データが正の値の場合は変換データの MSB の L 状態がこの信号に現れるため DRDY 状態との見分けがつかない。図 4.3.2-11 はこの問題を解決するための回路で、DRDYL 信号をシフトレジスタで 8 ビットシフトし、そのうちの 6 ビットが連続 Low でかつ SCLK が開始されていない条件で DRDY を検出している。

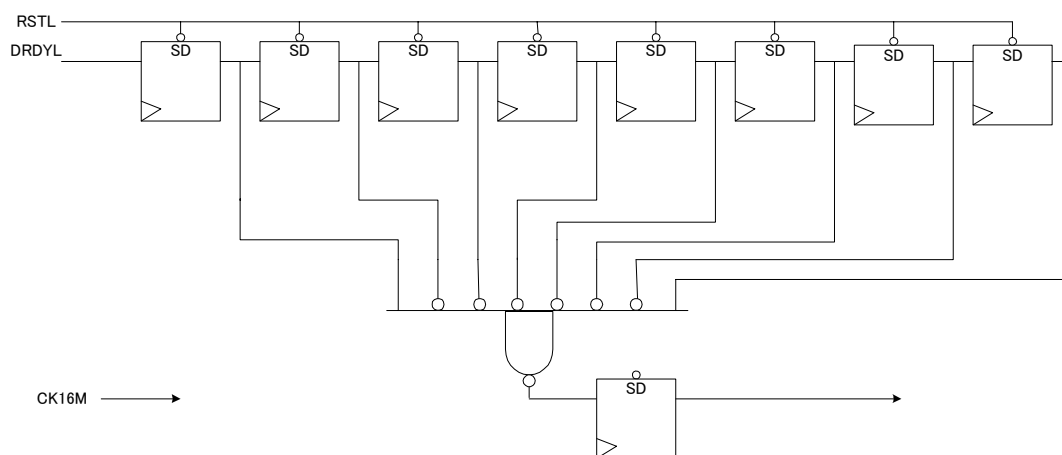


図 4.3.2-11 DRDY 検出回路

AD 変換データ入力回路

図 4.3.2-12 は AD 変換データの入力回路ブロック図である。ADS1252 の DOUT/ DRDYL 信号は ADDATA 信号となり、SCLK と同期して発生させられた ADCK によって 24 ビットのシフトレジスタにシフトインされる。シフトが完了するとラッチ信号 ADCT によって 24 ビットのラッチレジスタにラッチされホスト CPU へ読み込まれる。

ADS1252 インタフェース時間監視回路

DRDY が検出されると AD とのインタフェースが開始されるが、DRDY が何等かの障害で ASIC に入力されなかった場合、AD 変換データを ADS1252 から取り出すことが出来なくなる。このようなはまりこみ防止のために 64μs の AD 変換時間計測タイマを設けタイムアップすると強制的に DRDY にしている。

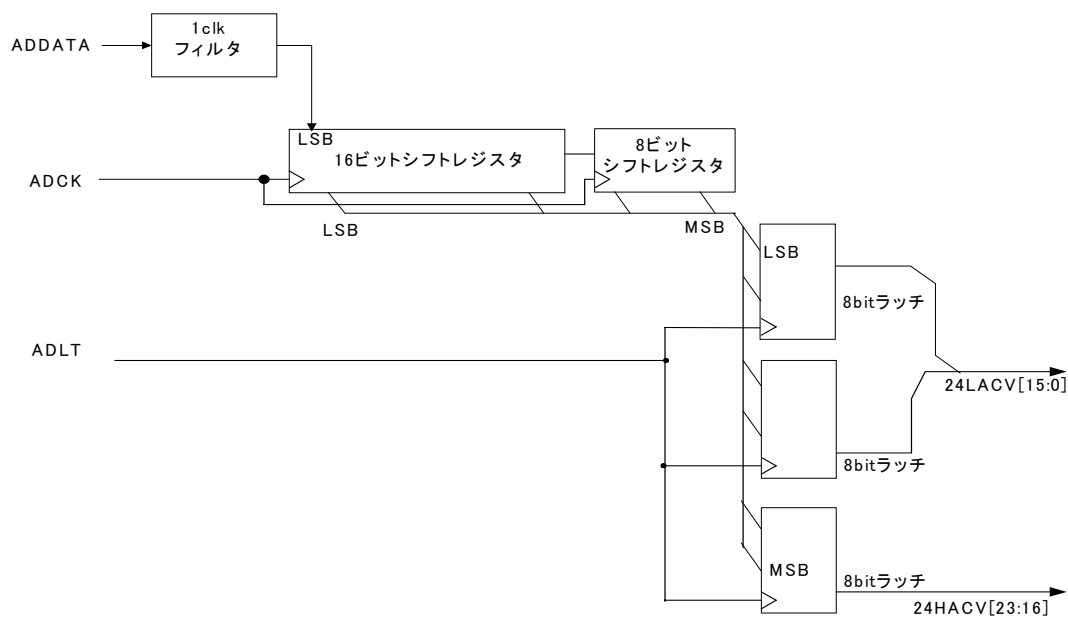


図 4.3.2-11 AD 変換データ入力回路

(14) 電流検出 A/D インタフェース

SGDS の電流検出は、モータ駆動回路の U 相と V 相に挿入されたシャント抵抗の両端電圧を AD コンバータでデジタル値に変換して求めている。W 相の電流は ASIC の内臓マイクロプロセッサで U 相と V 相の検出電流から計算して求める。U 相と V 相の電流検出 AD コンバータには HP 社の絶縁形変換方式 HCPL-7860 を 2 ヶ採用している。HCPL-7860 は同じく HP 社の HCPL-X870 とセットで AD コンバータを形成するが、JL056 では HCPL-X870 の基本機能を取り込んで HCPL インタフェースデータラッチモジュールとして AD コンバータを実現している。HCPL-7860 などのアナログ回路部は IF01 基板に搭載されており、これについては 4.6.3 にて述べる。

変換はアナログ信号を 変調してアナログ値をパルス列のパルス密度に変換する。この信号をアナログ信号に復調するにはローパスフィルタに通せばよいし、デジタル信号に復調するにはパルス密度を計算すればよい。HCPL-7860 は モジュレータで HCPL-X870 はこれをデジタル値に復調するためのデシメーションフィルタ（間引きフィルタ）である。

図 4.3.2-12 に 3 チャンネルのデシメーションフィルタのブロック図を示す。2 チャンネルは電流検出用、もう 1 チャンネルは指令用であるが、SGDS では電流検出用の 2 チャンネルを使用している。この回路には、PDM - パラレル変換回路、出力データラッチ回路、動作モード制御回路、キャリア割込用プリトリガ時間計測回路、自走モード用割込み信号発生回路、オーバーレンジ検出 / オーバーフローステータスレジスタ回路がある。このブロック図には載っていないがこの他に入力フィルタ回路と HCPL-7860 用の MCLK 監視回路がある。以下これらの回路について説明する。

PDM 入力から出力データラッチまで

HCPL-7860 によってアナログ信号から モジュレーションされた PDM(Pulse Density Modulation) 信号はこのモジュールの入力フィルタを通して PDM - パラレル変換回路に入力される。ここで PDM データは平均化されマルチビットデータに変換される。このデータは更に 15 ビットのバイナリーデータに変換されて出力データラッチ回路にラッチされ、ASIC 内臓のマイクロプロセッサ(またはホスト CPU)で読み込まれる。表 4.3.2-2 に入力フルスケールレンジとデジタル出力のコードアサインを示す。

表 4.3.2-2 HCPL-7860 の入力フルスケールレンジとコードアサイン

アナログ入力	電圧入力	デジタル出力
Full Scale Range	640 mV	32768LSBs
Minimum Step Range	20 μ V	1 LSB
+Full Scale	+320 mV	7FFF h
Zero	0 mV	0000 h
-Full Scale	-320 mV	8000 h

変換データは 15 ビットであるが、有効分解能は平均する時間の(モジュレタクロック MCKL の周期を単位とした)関数になる。平均時間を長くすると分解能は上がる。この回路では 4 つの変換モードによって平均回数を設定することができる。表 4.3.2-3 に変換モードと有効分解能、変換時間を示す。

表 4.3.2-3 A/D 変換標準特性

変換モード	SN 比(dB)	平均回数	有効分解能(bits)	変換時間(μ s)	信号帯域(KHz)
3	73	128	11.9	18	22
4	66	64	10.7	10	45
5	53	32	8.5	5	90
6	40	16	6.9	2.5	180

ここで変換時間は信号遅れになるので、制御ループでの検出無駄時間として働く。制御安定性への考慮が必要である。

注) 変換モード 6 は JL056 で新設したモードで HCPL-X870 にはこのモードは無い。

(a) 入力フィルタ回路

ASIC へ入力される信号は基本的にはサーボパックのシステムクロックに同期化されているが、この HCPL-7860 やシリアルエンコーダ、指令入力パルスなどからの入力信号には非同期の信号がある。非同期信号をそのままの状態では回路のあちこちで使用すると、素子の特性の違いや配線の分布定数の違いにより、ある回路では”1”と受け取るがある回路では”0”と受け取るというように信号伝達にバラツキが生じる。このような不具合を無くするために、一般的に、全ての信号の遷移をクロックに同期させる同期回路を採用する。

非同期信号は ASIC 入力段でクロックで洗い同期化する。しかし、非同期信号はこの同期化のところでメタステーブル現象を引き起こすことがある。入力信号をクロックで洗う時点

でメタステーブルが発生してもそれによる誤動作を吸収できる回路構成を考える必要がある。メタステーブルには持続時間が有るので、この持続時間の短い素子（セットアップ時間やホールド時間が短い素子）を入力段に使用することも発生確率を減らす上で有効である。

図 4.3.2 - 13 に入力フィルタのブロック図とタイミングチャートを示す。この図において MCLK と MDAT が HCPL - 8760 からの入力信号で、システムクロック CK96M (96MHz) に同期化される。この回路では Q1、Q2 のところでメタステーブルの可能性はあるが、クロック CK96 のサイクル内でそれが収まれば支障はない。

注) メタステーブル現象とは FF のセット側とリセット側の 2 つの入力信号（どちらか一方がクロック信号の場合を含む）において、セットアップ時間やホールド時間が不足する場合に FF の状態がセット/リセットどちらにも決まらない状態になる現象を言う。ある時間経過すると正常状態に戻るが、帰還が掛かっている場合はメタステーブル状態が持続することがある。一般にメタステーブルは発生確率が低く、これが発生している証拠を掴むことは非常に難しい。設計段階で十分な対策を立てておくべきである。

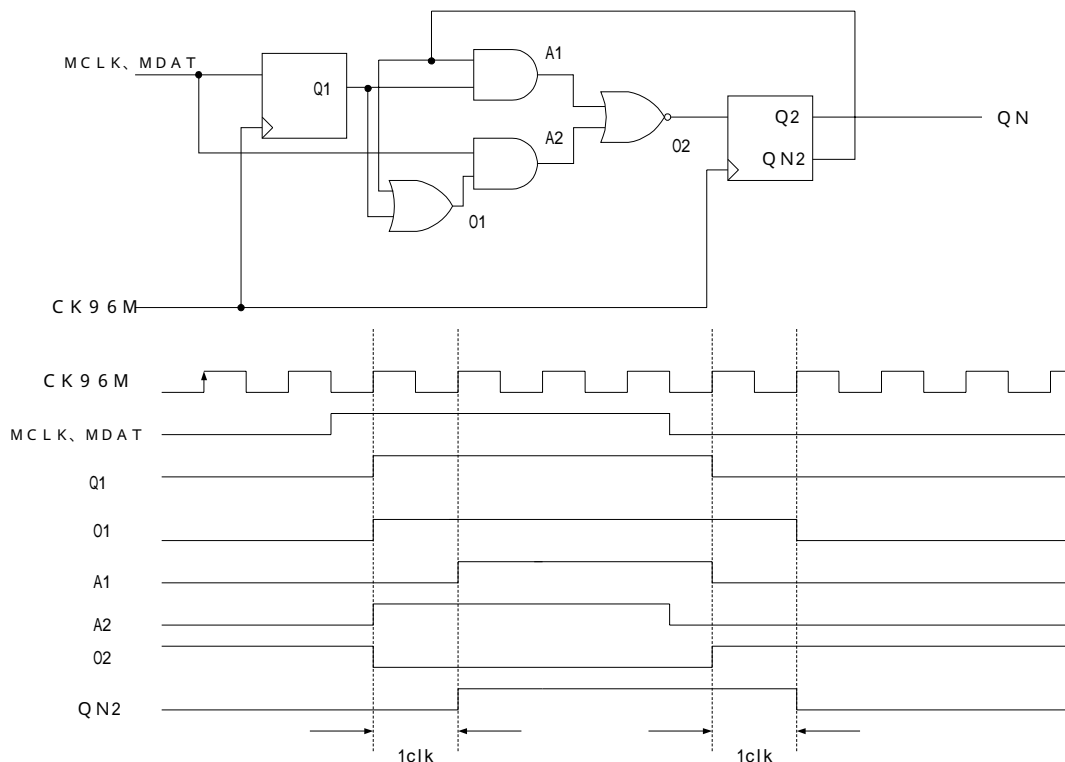


図 4.3.2-13 入力フィルタのブロック図とタイミングチャート

(b) デシメーションフィルタ詳細

このモジュールのデシメーションフィルタは 3 次のローパスフィルタとなっている。

図 4.3.2-14 にデシメーションフィルタ詳細ブロック図を、図 4.3.2-15 にデシメーションフィルタのタイムチャートを示す。

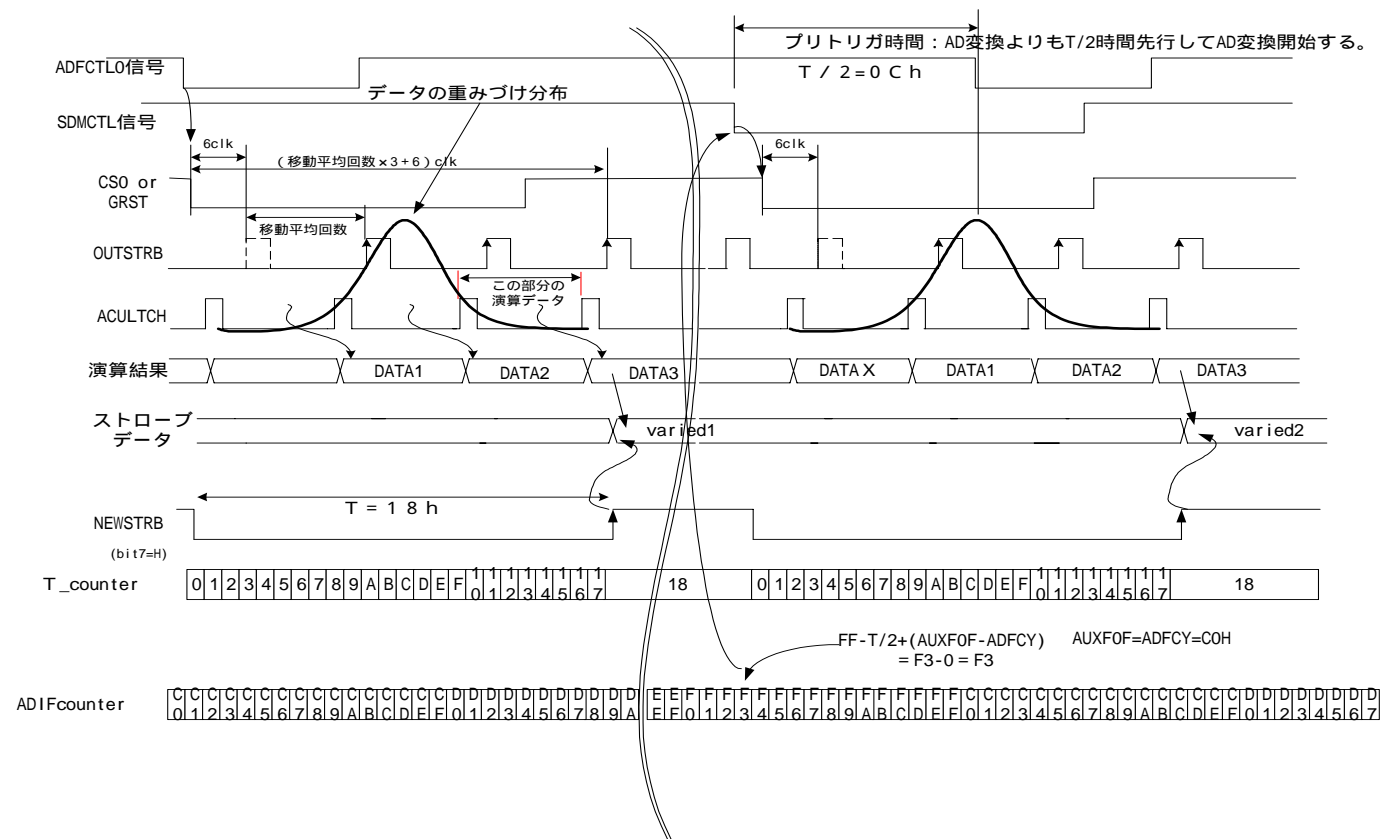


図 4.3.2-15 デシメーションフィルタタイミングチャート

図 4.3.2-14 において、HCPL7860 から入力された PDM データ MDAT とモジュレータクロック MCLK はアップカウンタ(22bit)に入力され、PDM データの”H”の数がカウントされる。カウントされた値は 2 つの加算器で積算される。1 段目の加算器では MCLK 毎に積算し、2 段目の加算器では 1 段目の積算結果を、変換モードの設定によって決定された移動平均回数毎にロード(LOADC)して積算し、移動平均区間のデータを畳み込む。畳み込みデータは後段の微分回路で ACULTCH 信号毎に 2 階微分される。最後に、シフト演算された後、16bit データとなり、更に符号付き 15bit データに変換される。移動平均回数毎に払い出されるこのデータは、ACULTCH 信号の 4 回に 1 回の割合で出る NEWSTRB 信号によって 1/4 に間引きされ、SDM_Dout データとして払い出しポートにラッチされる。NEWSTRB 信号は 変換終了を内臓マイクロプロセッサに通知する SDM_REDY 信号となる。

ブリトリガ回路

この AD コンバータは PDM データを移動平均して AD 変換データに復調する方式なので、データの重みづけ分布が最大になる位置で演算精度が最適になる。図 4.3.2-15 のタイムチャートに示す移動平均演算によるデータの重み付けとデータストロブの波形のように、AD 変換開始から変換データの精度が最適になるまでには時間のずれがある。従って AD 変換したい時刻に変換精度を最適にするためには AD 変換したい時刻より先行して AD 変換開始を行う必要がある。この時間をブリトリガと称する。

ブリトリガには自走モードとキャリア割込モードの 2 つのモードがある。自走モードは ADIF カウンタで変換クロックをカウントし、設定された ADIF サイクル数に基づいて次々に AD 変換をスタートするモードである。一方、キャリア割込モードは PWM のキャリアに同期して AD 変換をスタートするモードである。モータ駆動電流は PWM のキャリアに同期しているので、電流検出はこのキャリアに同期して行なう。以下ではキャリア割込モードについて説明する。

ブリトリガ回路の T カウンタはコンバージョンスタート信号 CS0 が立ち下がってから、デシメーションフィルタ出力を更新する NEWSTRB 信号が立ち上がるまでの時間を計測する。演算精度が最適になる時間は、計測した時間 T の半分 $T/2$ になるので、次に CS0 を出力するタイミングは前回計測した時間を使って、 $T/2$ 先行した時間とする。ブリトリガをキャリアに同期させるためには、キャリアカウンタと同一クロックでブリトリガ時間を計測する必要がある。T カウンタのクロックはキャリアクロックから生成されている。一方、ADIF カウンタは A/DIF サイクル時間を基準に動作する。このカウンタはキャリア割込毎に起動され、カウントアップすると停止する。これにより任意のキャリアに同期させることができる。

動作手順は、まずデシメーションフィルタの動作モードを設定する。次に HOST_CPU から電流検出用 AD に外部同期を行う。この結果、キャリアクロックを基準にしたブリトリガ時間が計測される。次にキャリアをスタートさせる。ブリトリガ回路はキャリアの山谷に対して前回測定したブリトリガ時間を用いたタイミングでパルスを出力する。山谷カウンタ回路では、このパルス信号と山谷カウンタの山谷設定値に対応した AD 変換開始信号を発生する。ADIF

回路から ADFCTL0 信号が発生し、デシメーションフィルタ回路はこれを SDMCSL 信号(デシメーションフィルタ起動信号)として受ける。図 4.3.2-16 キャリア割込モードの山谷カウンタとの連携タイミングチャートを示す。

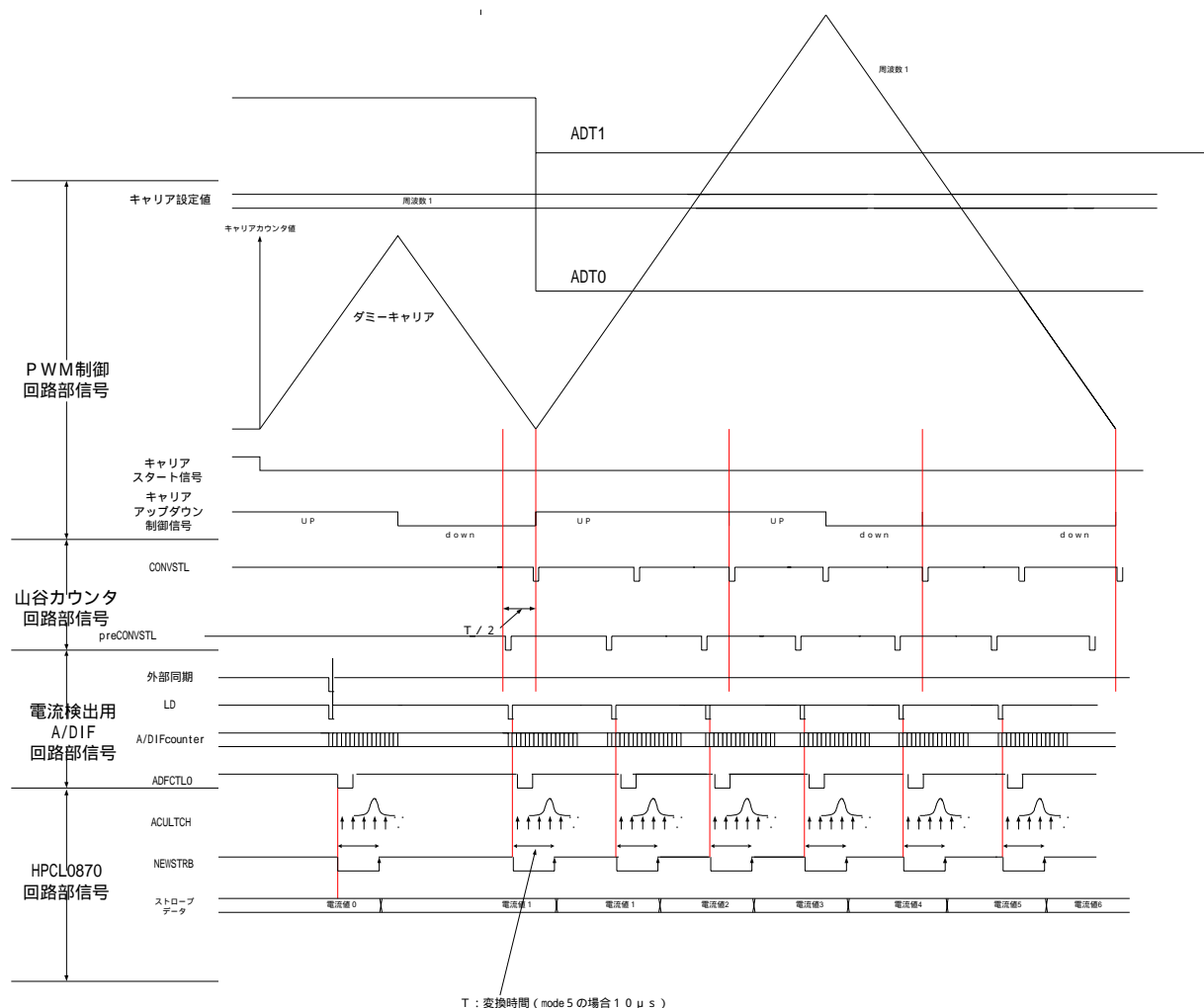


図 4.3.2-16 キャリア割込モードの山谷カウンタ連携タイミングチャート

オーバーレンジ検出 / オーバーフローステータスレジスタ回路

オーバーレンジ検出回路はアナログ入力信号の振幅が約 250mV を越えたところから動作し始め、フルスケールに近づくにつれて幅の狭い周期パルスから幅が広く周期も短いパルスが発生するようになる。フルスケールを越えたときこのオーバーレンジ信号 DOVF は連続 H となる。この検出回路はモジュレータの出力データが設定値の間状態が変化しないのを検知して動作する。標準応答時間は 25 μs 以下である。オーバーレンジ信号はパワー素子のベースドライブをブロックするベースブロック信号 DOVFbb になる。このベースブロック機能を使用しない場合はホスト CPU の設定によりマスクすることができる。図 4.3.2-17 に HCPL7860 の印加電圧とオーバーレンジ設定値との関係を示す。

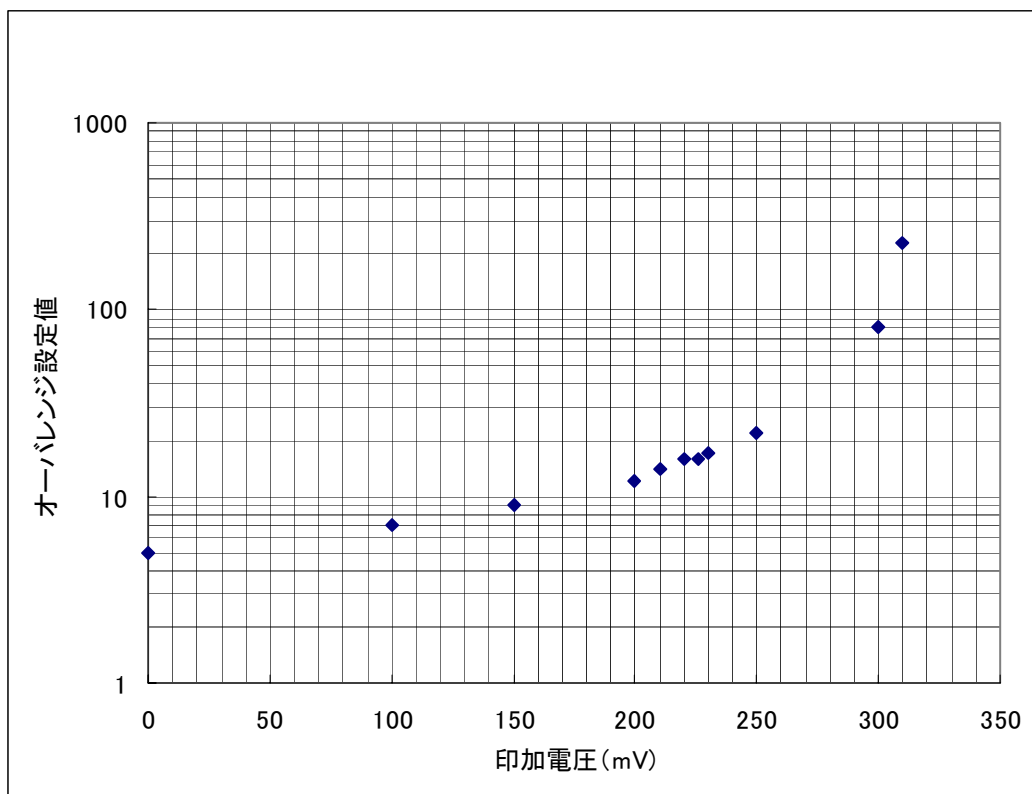


図 4.3.2-17 HCPL7860 印加電圧とオーバーレンジ設定値の関係

HCPL-7860 用 MCLK 監視回路

MCLK が何等かの原因で途切れると変換が終了せず、AD 割込みが発生しない。AD 割込みで起動されるマイクロプログラムの場合はマイクロプログラムが停止してしまうことになる。この回路はこのような異常状態を検出しそれをクリアするためのものである。

図 4.3.2-18 は MCLK 増減監視タイムチャートである。48MHz で動作する 3 ビットの監視カウンタにより HCPL-7860 の MCLK が、変動周期範囲 (71.42 ~ 119.02ns) にあることを監視しカウンタ値が”0”、”1”、”2”、”7”の時エラーとする。検出したエラーステータスは ASIC 内臓マイクロプロセッサからモニタできる。ステータスクリアはホスト CPU から行う。

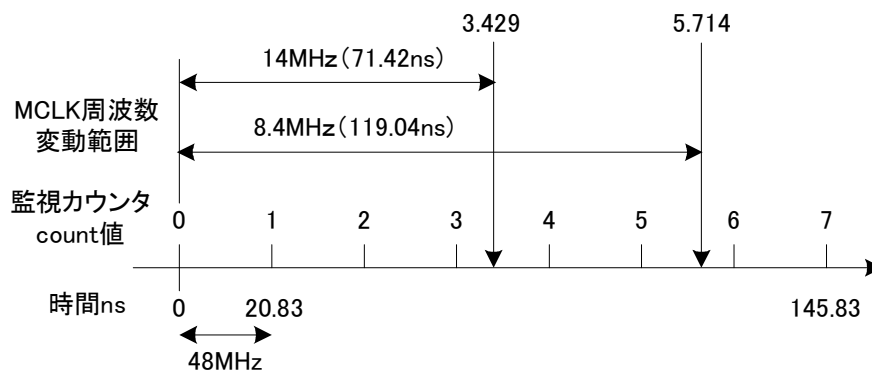


図 4.3.2-18 MCLK 監視増減タイムチャート

(15) 山谷カウンタ

山谷カウンタ回路は PWM 制御回路のキャリアの山谷に同期して電流帰還用 AD の AD 変換開始信号 (CONVSTL、preCONVSTL) を発生する回路である。AD 変換開始信号は汎用 AD コンバータと モジュレータ HPCL7860 に対応できるように考慮されている。モジュレータ HPCL7860 用には 変換デシメーションフィルタ回路 (HPCL0870 相当) がこの ASIC に組み込まれており、AD 変換開始信号はこのデシメーションフィルタ回路への入力となる。

AD 変換開始信号は PWM 制御回路のキャリアの山谷に同期する。また内蔵マイクロプロセッサより AD 変換開始信号タイミングレジスタ:ADT0 を設定することによりキャリアの谷信号と山信号の間でも AD 変換開始信号を発生させることができる。同じく 3 ビットの AD 変換開始信号タイミングレジスタ:CRSET1 へキャリアの山谷の数を設定することによってその設定値毎に AD 変換開始信号を発生させることができる。

汎用 AD コンバータを使用する場合にはキャリアの山或いは谷で AD 変換開始信号を発生させるが、デシメーションフィルタを使用する場合はその演算結果が最適になるタイミングで AD 変換開始信号を発生させる。AD 変換開始の先行時間はこのデシメーションフィルタ回路にて計測される。

(16) 回生コントロール

この回路は JL-046 と同様な機能をもつ回生コントロール回路である。回生コントロール出力端子 REGON は外部入力端子 REGL 及び内部ビット DISCH、REGOFF によりコントロール出来る。

リセット時	リジェネオフ REGONL = High
WDI 入力 Low (ウォッチドッグ正常) かつ	
DISCH = High の時	リジェネオン REGONL = Low
WDI 入力 Low かつ DISCH = Low の時	
REGOFF = High の時	リジェネオフ REGONL = High
REGOFF = Low かつ REG=Low の時	リジェネオン REGONL = Low

(17) アラーム

このモジュールは異常発生時等にベースブロック信号を出力し、ベースドライブ信号を遮断する保護回路である。アラーム入力には OV (過電圧) OC (過電流) VCAP (中性点電圧異常) の 3 種類が ASIC 外部端子から入力される。VCAP は 3 レベル PWM ドライブ用で SGDS では使用していない。また、JL-056 では異常発生時にソフトを介在しないでベースブロックできるハードワイヤードゲートブロック機能を追加している。

OV (過電圧) OC (過電流) VCAP (中性点電圧異常) の 3 つの要因は異常が起きた場合にはラッチされ、アドレス 002Ch のそれぞれのラッチクリアビットを立てるまでは保持される。さらに、SBLK (ホスト CPU のレジスタ書き込みによるソフトベースブロック) M_SBLK (内蔵マイクロプロセッサのレジスタ書き込みによるソフトベースブロック) DLYBL (オンディレイ時間未設定) GUPA (ウォッチドッグダウン) PWMUP (PWM アップ) CAREERSToP

(キャリアストップ)、DOVFBH (デシメーションフィルタオーバーレンジ) によるベースブロックの機能も備えている。

また、JL-056 ではハードワイヤードゲートブロック機能を追加している。ハードワイヤードゲートブロックを使用すれば、同期シリアル入力の固定ビット(31～29)からの信号で、ソフトを介在せずに直接 PWM ドライバ出力をブロックすることができる。さらに、ホストからハードワイヤードゲートブロックの機能有効/無効の選択を行うこともできる。ハードワイヤードゲートブロックのステータスはホストから読むことができる。なお、同期シリアルは MSB 入力であるので最初に入力した信号が bit31 になる。

ベースブロック信号 BLK は次のような論理式で表される。

$$\begin{aligned} \text{BLK} = & \text{OV} + \text{OC} + \text{VCAP} + \text{SBLK} + \text{M_SBLK} \\ & + \text{!DLYBL} + \text{GUPA} + \text{PWMUP} + \text{CAREERSToP} + \text{DOVFBH} \\ & + \text{HBLK}[0] + \text{HBLK}[1] + \text{HBLK}[2] \end{aligned}$$

また、OV、OC、VCAP は極性とフィルタの有無を設定できる。フィルタリング時間は OV が 64 μs 、OC が 2 μs と 4 μs 、VCAP が 64 μs である。

表 4.3.2-4 アラーム内容一覧

アラーム	ラッチ	ホストリッド	マイクロリッド	簡単な説明	復帰方法
OV				過電圧	ラッチクリア
OC				過電流	ラッチクリア
VCAP				中性点電圧異常	ラッチクリア
SBLK	×	×	×	ソフト [*] -ストップロック(ホスト)	0 設定で復帰
M_SBLK	×	×	×	ソフト [*] -ストップロック(マイクロ)	0 設定で復帰
DLYBL	-		×	ウェイトタイム未設定	設定すると BB 解除
PWMUP			×	空間ベクトル設定異常	ハードリセットのみ
CAREERSToP	×	(00B0h の bit8)	×	キャリアをストップさせている状態 (異常ではない)	キャリア開始 (1 を設定) で BB 解除 キャリア停止 (0 を設定) で BB
DOVFBH				デシメーションフィルタオーバーレンジ	ラッチクリア又はリセット
HBLK[2:0] (Slout[29:31])	×			ハードワイヤードゲートブロック	同期シリアル bit29,30,31 ハイレベル入力又はリセット
GUPA	-	GUP1 (マイクロ WDT)	GUP2 (ホスト WDT)	ウォッチドッグ (GUP1+GUP2+GUPCK)	GUP1,GUP2 はトリガを叩いて復帰
GUPCK		GUP1 又は GUPCK	×	クロック停止	ハードリセットのみ
PNER			×	上下短絡	ラッチクリア

(18) PWM 制御

このモジュールはパルス幅変調 (PWM : Pulse Width Modulation) 方式モータ駆動信号発生回路である。モータの駆動回路自体はパワーモジュールが担っており、この回路ではこのパワーモジュールのベースドライブ信号を生成する。このモジュールで生成されたベースドライブ信号は ASIC の外部端子を経由して 2PCB 1PCB 4PCB へと伝達され、4PCB に搭載されたフォトカブラによって絶縁されてパワーモジュールのベースを駆動する。これらの信号はモータ制御の最終段の信号であり、サーボの全制御情報が集約されて出力されているといえることができる。

このモジュールには汎用性を考慮してたくさんの機能が準備されており、PWM 出力設定レジスタにより、三角波 (鋸波) 比較出力と空間ベクトル出力の選択、2 レベルと 3 レベルの選択、ダブル三角波比較の選択、比較値と PWM パターンのロードタイミングの選択、キャリア周波数ロードタイミングの選択、三角波と鋸波の選択、および鋸波のカウント方向の選択ができる。以下の説明においては複雑さを避けるため SGDS で使用する三角波キャリア、2 レベル制御に限定して解説する。

回路構成は SV_PWM_TOP.v と SV_L23LDRVR.v との 2 つのトップモジュールから成る。PWM トップモジュール SV_PWM_TOP.v はキャリア発生回路 CAREER.v とコンペアマッチ回路 PWMCOMP2.v と空間ベクトル PWM テーブル PWMTABLE.v とキャリアカウンタ上限設定値のロード信号発生回路とその他設定値のロード信号を発生させる回路 LDGENE.v 及び LDGENEp.v とからなる。また、ベースドライバモジュール SV_L23DRV.v はベースブロック回路とオンディレイ回路 OFFDLY.v から構成される。

図 4.3.2-19 に PWM 制御モジュールの全体ブロック図を示す。この図により三角波キャリア、2 レベル制御による PWM 制御の動作を簡単に説明する。

[illegible]

キャリア発生回路で発生させられたキャリアカウンタ値と電流制御マイクロプログラムから出力された PWM 電圧指令値がコンペアマッチ回路で比較され、U 相、V 相、W 相に対応した PWM 信号が生成される。この信号はベースドライバモジュールへ入力され、ベースブロック回路とオンディレイ回路の修飾を受けて、上側 IGBT のベースドライブ信号 PUL、PVL、PWL と下側 IGBT のベースドライブ信号 NUL、NVL、NWL として出力される。これらの信号は PWM 電圧指令値の方がキャリアカウンタ値を上回ると Low となり、SGDS では IGBT をオンする方向に働く。

PWM 制御原理

図 4.3.2-20 に 3 相電圧形インバータの基本回路図を示す。この図において Q1、Q3、Q5 は上側トランジスタ（上アーム）で、Q2、Q4、Q6 は下側トランジスタ（下アーム）である。各トランジスタのベースはこの ASIC の出力で駆動され、モータの駆動電圧 E_u 、 E_v 、 E_w は図 4.3.2-21 に示すような 3 相のパルス電圧波形となる。ここで、図中の 0V は実際の回路では存在していない仮想電位である。

図 4.3.2-21 において、 E_{ur} 、 E_{vr} 、 E_{wr} は 3 相の電圧指令で三角波は PWM のキャリア波形である。この両者が比較されて三角波より電圧指令の方が大きいところでは Q1 がオンして E_u は $+E_d/2$ になる。逆に三角波より電圧指令の方が小さいところでは Q4 がオンして E_u は $-E_d/2$ になる。この時 Q1 がオンした時は Q4 はオフし、Q4 がオンした時には Q1 はオフする。U - V 相の相間電圧は E_{uv} は波高値 E_d の PWMsin 波形となる。 E_{no} は 3 相の中性点の電位で、キャリアに同期して脈動しているのが分る。また、 E_{un} はモータの U 相相電圧で電圧指令 E_{ur} に相似していることが分る。

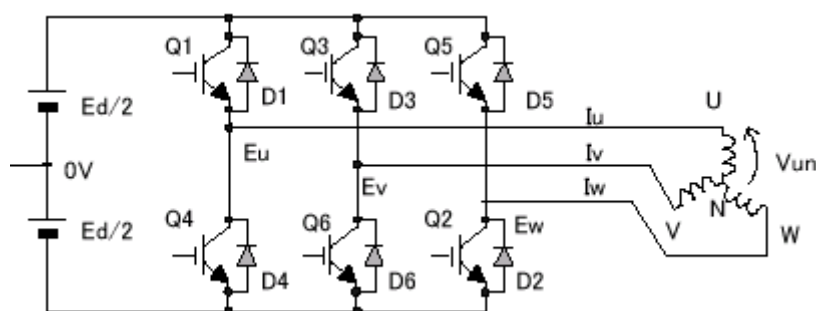


図 4.3.2-20 3 相電圧形インバータの基本回路

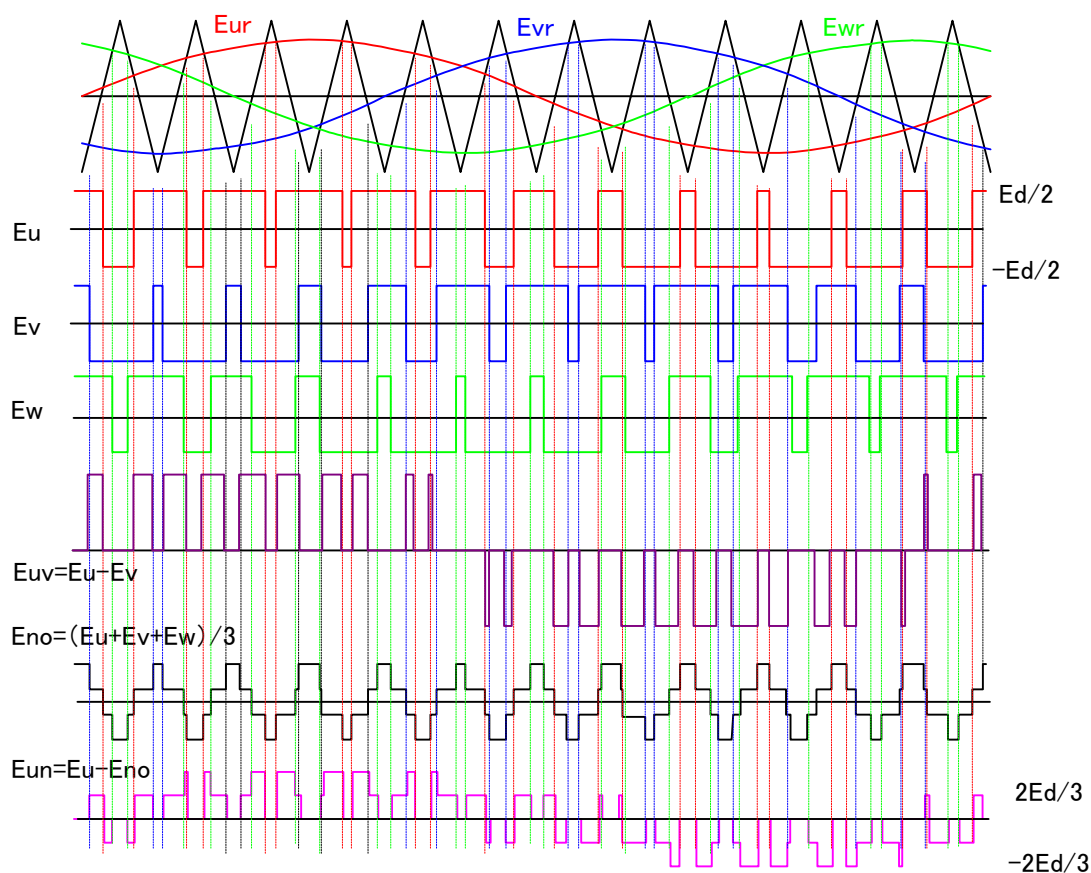


図 4.3.2-21 3 相 PWM インバータの波形

キャリア発生回路

このモジュールはキャリアカウンタと、オーバフロー/アンダーフロー回路と同期 SRDFF から構成されている。ブロック図を図 4.3.2-22 に示す。

キャリアカウンタは 16bit のアップダウンカウンタで 48MHz のキャリアクロックのポジティブエッジでカウントされ、その値は $TR[15:0]$ として出力される。オーバフロー/アンダーフロー回路はマイクロプログラムによって設定されたキャリアカウンタ上限値設定値 PWM_T とキャリアカウンタを比較しそのオーバフロー(OVFL、OVFLpre)とアンダフロー (UNFL、UNFLpre)を検出する。同期 SRDFF はキャリアカウンタがアンダフローするとセットされ、キャリアカウンタをカウントアップするように updown 入力を制御する。逆にオーバフローするとリセットされ次のキャリアクロックからカウンタはカウントダウンされる。OVFLpre、UNFLpre は OVFL、UNFL より 2clk 先行して出力される。この信号は電圧指令比較値、テーブルデータ、キャリア周波数のロード信号になる。図 4.3.2-23 にタイミングチャートを示す。

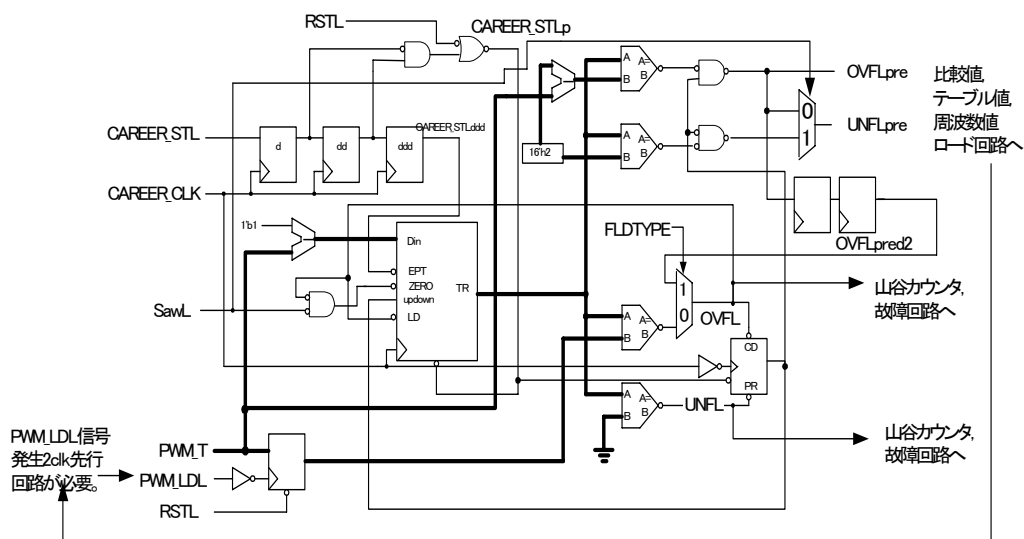


図 4.3.2-22 キャリア発生回路

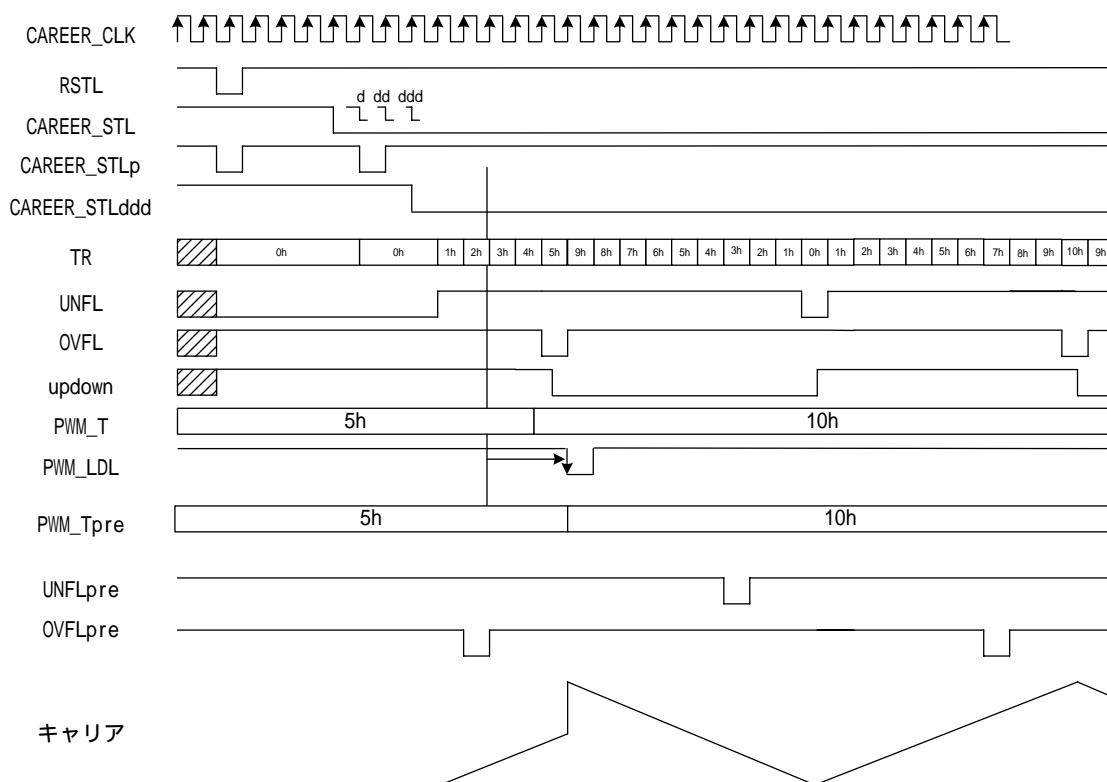


図 4.3.2-23 キャリアカウンタタイミングチャート（三角波の場合）

ロード信号発生回路

PWM 制御モジュールではキャリア発生中やキャリア開始タイミングで各種レジスタに設定する必要があるが、この設定を有効にするタイミングはキャリアと同期して行なわなければ

ならない。このモジュールはキャリアカウンタから入力される OVFLpre、UNFLpre 信号や各種設定データ（キャリア周波数、電圧指令比較値、テーブルデータ）の書き込み信号を受けてコンペアマッチ回路と 2 レベル / 3 レベル PWM 出力回路のロード信号を発生する。重要な回路だが複雑さを避けるため詳細は省略する。

コンペアマッチ回路

このモジュールは PWM 三角波比較値レジスタ (16bit × 12) とコンペアマッチ回路 (12 個) とから構成される。

電圧指令値は 16 ビットの PWM 三角波比較値レジスタ PWMT0 ~ PWMT11 にマイクロプログラムから設定される。この PWM 三角波比較値とキャリアカウンタ値とがコンペアマッチ回路で比較され、その結果キャリアカウンタが比較値より上回ると “H”、下回ると “L” が出力される。三角波比較出力モードの場合、前記出力を一旦反転して出力するが、最終段で再度反転する。したがって比較値がキャリアを上回ると “H” が出力される。一方、空間ベクトルモードの場合は前記比較値結果を 2/3 レベル PWM 出力回路に渡す。電圧指令を設定する PWM 三角波比較レジスタとベースドライブ信号との関係を表 4.3.2-4 に示す。この表の WBCMPH はダブル CMP 機能選択信号の意で PU と NU に別々の比較値を設定できる機能である。通常は WBCMPH = 0 として PU、NU 共に比較値は同一である。NU は PU の反転信号から生成する。

表 4.3.2-5 PWM 三角波比較レジスタとベースドライブ信号との関係

	WBCMPH	ベースドライブ信号	
		0	1
比較レジスタ	PWMT0	PU / NU	PU
	PWMT1	PV / NV	PV
	PWMT2	PW / NW	PW
	PWMT3	PU2 / NU2	NU
	PWMT4	PV2 / NV2	NV
	PWMT5	PW2 / NW2	NW
	PWMT6	-	-
	PWMT7	-	-
	PWMT8	-	-
	PWMT9	-	-
	PWMT10	-	-
	PWMT11	-	-

2/3 レベル PWM 出力回路

このモジュールは空間ベクトルモードが選択された場合に、コンペアマッチ回路からの比較値結果により、マイクロプログラムによって設定された PWM 波形パターンレジスタ

P0PAT[5:0] (E0h 番地) ~ P12PAT[5:0] (E6h 番地) のなかから波形パターンを選択し U1、V1、W1、U2、V2、W2 から出力するパターン変換回路である。詳細は省略。

ベースドライブ回路

この回路は PWM_TOP から出力される U1,V1,W1 及び U2,V2,W2 信号をベースドライブ信号に分配する回路と、デッドバンド回路とから構成される。2 レベル PWM 制御 / 3 レベル PWM 制御の選択結果は LV2L 信号に反映され、LV2L が L の時 2 レベル PWM で、H の時 3 レベルで動作する。2 レベル PWM 制御では 6 ケのパワートランジスタを必要とするのに対し、3 レベル PWM 制御では 12 ケのそれを必要とする。3 レベルはノイズ低減やパワートランジスタの耐電圧低減などのメリットがあるが、パワートランジスタの個数増加によるコストアップのデメリットがあり、SGDS は 2 レベル PWM 制御を採用している。

SGDS の場合は、表 4.3.2-4 に示す PWMT0 ~ PWMT2 信号が PU / NU、PV / NV、PW / NW の各信号に分配され、デッドバンド回路を通った後 PUL、NUL、PVL、NVL、PWL、NWL 信号として ASIC 外部端子から出力される。

デッドバンド回路

デッドバンド回路は上側アームのトランジスタと下側アームのトランジスタとの切替え時に、お互いが導通して上下短絡を起こさないように両トランジスタをオフ状態にするための回路である。PUL ベースドライブ信号は、PU 信号をその負極信号 NU の遅延信号 NUiSELd でゲーティングして生成される。NUL ベースドライブ信号は、NU 信号をその正極信号 PU の遅延信号 PUiSELd でゲーティングして生成される。図 4.3.2-23 にタイミングチャートを示す。

遅延信号は 10 ビットタイマで構成されたオンディレイ回路により生成される。タイマはベースドライブ信号毎にホスト CPU から設定できる。ただし設定値が一つでも未設定の場合、故障入力部でベースブロックが発生し、ベースドライブ信号は外部端子から出力されない。タイマには、オンディレイタイマクロックの 24MHz / 48MHz の選択 (ホスト CPU による) により、48MHz の場合 0 ~ 21.3 μ s、24MHz の場合 0 ~ 42.6 μ s を設定できる。

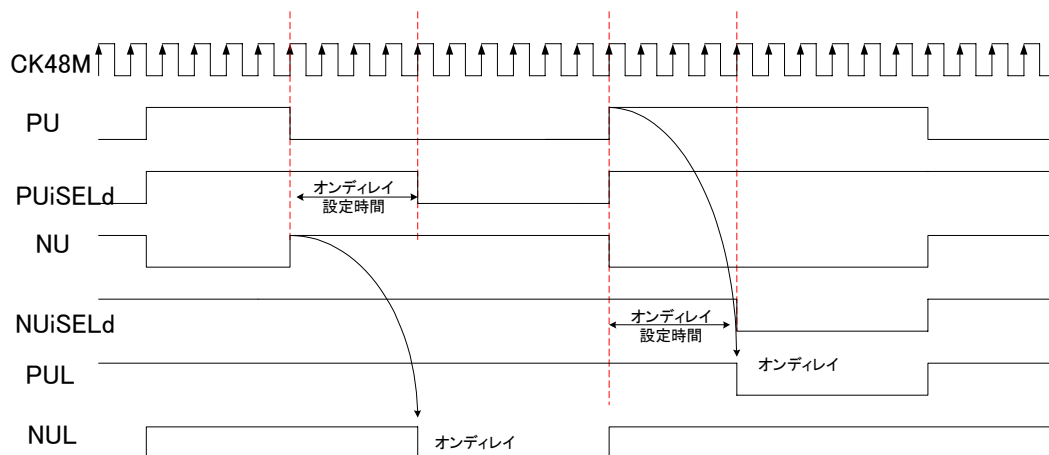


図 4.3.2-24 デッドバンド回路のタイミングチャート

地絡試験機能

この機能は PWM オフ時 (ベースブロック時) に SETREG3 レジスタの GFTON ビットに “ 1 ” を書き込むと ASIC 外部端子 NU1 がオン (= High) にする。これを使用して地絡チェックを行うことができる。PWM オン時 (ベースブロックオフ時) には地絡チェックは行えない。また OC が発生すると ASIC 外部端子 NU1 は強制的にオフする。

チャージポンプ機能

パワー素子として ASIPM を使用する場合に P 側 IGBT のベースドライブ用電源を立ち上げるための機能である。ベースブロック時に使用できる。PWM 信号をスタートする前に SETREG2 レジスタの PUMPON ビットに “ 1 ” を設定して N 側の IGBT を強制的にオンし、チャージポンプコンデンサを充電する。またチャージポンプ動作中に OC が発生すると強制停止 (N 側をオフする) する。

注) チャージポンプコンデンサは 4.6 のハードウェアの説明においてブートストラップコンデンサと表現しているものと同一のものを指している。

(19) システム制御

このモジュールはリセット信号生成回路、ホスト CPU 監視回路、ASIC 内臓マイクロプロセッサ監視回路およびクロック停止監視回路からなる。

ホスト CPU 監視回路とクロック停止監視回路の検出信号は論理和されて CPU 異常信号 WDOKL (異常時 High) として ASIC の出力信号となる。この WDOKL は内部では再生回路、タイマー1、拡張 IO の WDT ステータスとして使用される。さらに、この WDOKL に内蔵マイクロプロセッサ監視回路の検出信号を論理和した GUPA は、ベースブロックの要因の一つとして使われる。また WDOKL の反転信号 WDOK も ASIC 外部端子に出力されており、異常時 Low となるので、外部でのワイヤード OR 接続が可能となっている。

リセット信号生成回路

パワーオンリセット端子から入力された RESIL は、このモジュール内で 56 ~ 64ms までパルス幅を伸ばされて ASIC 外部端子から RESOL として出力される。また、ASIC 内部のリセット信号 RSTL にはこの RESOL とイネーブル信号 SRSTEN によるゲート付きソフトリセット SRESET 信号が OR されており、ソフトウェアによる ASIC のリセットを可能としている。

ホスト CPU 監視回路

ホスト CPU が正常に働いているかどうかを監視するために、モノマルチバイブレータによるウォッチドッグタイマ (WDT) 回路が構成できるようになっている。モノマルチバイブレータのタイマ時定数は ASIC 外部端子 : R1、R2 に接続する C、R によって決定する。ホスト CPU から一定時間 (タイマ時定数以下) 毎にモノマルチバイブレータをトリガすることにより、モノマルチバイブレータがタイムアップする前にこのタイマを更新する。CPU が生きている限り WDT はタイムアップすることがないので、CPU の異常を監視できる。

ASIC 内臓マイクロプロセッサ監視回路

ASIC 内臓マイクロプロセッサ監視回路の場合は WDT として 62.5KHz の 6bit のカウンタによるタイマ回路を使用している。タイムアップまでの時間は 16 ~ 1024 μ s に設定可能である。この場合監視の基準となるクロックが死んだ場合には WDT の用を成さなくなるので、別にクロック停止監視回路を搭載している。WDT のトリガは内蔵マイクロプロセッサから ASIC のレジスタポート WDT1L のビット 0 に書き込む事によりなされる。

クロック停止監視回路

クロック停止監視回路は PLL の自走により内部クロックが発生することを利用した WDT 回路である。この WDT は 3bit カウンタで構成されており、24MHz クロック入力 CK48M の 8 カウント以上変化しなければクロック入力が停止したものと GUPCK を High にする。クロック入力が停止すると CK48M は通常の 48MHz では無く PLL の自走へ移行する過渡状態になる。これにより約 200ns で GUPCK は High となる。この機能は 0036h bit4 の CWDTEN を “0” にすると動作を停止させる事が出来る。

(20) タイマ

このモジュールは 1 入力、1 出力のタイマで、2 つの 8 ビットアップカウンタ TB、TW から構成されている。ホスト CPU から内部 16 ビットレジスタにタイマ周期 TB (0-7bit) とタイマパルス幅 TW (8-15bit) の設定値を書き込むとカウントを始め、ASIC 外部端子 : T1 から出力される。2 つの 8 ビットアップカウンタはフリーランしており電源立ち上げ時から TB、TW は動作している。

ASIC 外部端子 : T1 は DBON 信号と兼用である。SGDB-02 では DBON 信号もタイマ機能も使用していない。

注) SGDB-02 の DB 機能は突入防止抵抗の ON/OFF リレーを兼用して実現しているため、DBON 信号は使用していない。中容量以上の機種では DBON 信号を使用している。

(21) 割り込み

このモジュールはホスト CPU に対する INT0L 割り込み、INT1L 割り込み、INT2 割り込みの 3 つの割り込み出力を持つ割込ポートである。割り込み優先順位は INT0L 割り込みが最も高く、INT1L 割り込み、INT2 割り込みがそれに続く。

INT0L 割り込み

INT0L 割り込みはシリアルエンコーダのチャンネル 0 自局受信、チャンネル 1 自局受信及びチャンネル 1 スレープ時グローバル受信の各割り込み要因がありそれぞれ使用 / 不使用が設定可能である。これら各要因の選択信号の論理和が INT0L 信号として Low パルス出力される。

INT1L 割込

INT1L 割り込みはキャリア割り込み、定周期割り込み、指令カウンタ割り込み、シリアルエンコーダ I/F チャンネル 0 割り込み、シリアルエンコーダ I/F チャンネル 1 割り込みの 5 つの要因があり、それぞれの要因は個別にマスク可能である。割り込み発生で INT1L 端子が Low レベルとなり、割り込みステータスレジスタを読むと High に復帰する。以下各割り込み要因について説明する。

(a) キャリア割り込み

キャリアカウンタの頂点と谷底で発生する AD 変換開始信号で割込む。

(b) 定周期割込み

フリーランしているタイマカウンタから定周期で割込みが発生する。ホスト CPU からタイマカウンタのクロック周波数を内部レジスタ(00E4h)に設定することにより、割込信号出力周期を変更することができる。また、内部レジスタ 00E8h に書き込み動作を行うと、強制的にカウンタがロードされ、定周期割込みタイマを外部同期することができる。

(c) 指令カウンタ割込み

指令パルス入力の信号変化点で割込みが発生する。

(d) シリアルエンコーダ I/F チャンネル 0・1 割込み

P0/P1 モードでの送信完了時、簡易マスターモードでの受信完了時、チャンネル 1 スレーブモードでの受信完了時に割込みが発生する。

INT2 割込

INT2 割込は内蔵マイクロプロセッサからホスト CPU へ割込みを掛ける場合に使用する。内蔵マイクロプロセッサから D0h アドレス bit0 へ書込むとそれがそのまま INT2 端子の出力となる。

(22) EEPROM インタフェース

サーボパックではパラメータ格納用として不揮発性シリアルメモリ EEPROM を使用している。EEPROM はデータ読み出し：READ、データ書込み：WRITE、データ消去：ERAZE などの命令によってホスト CPU とデータの送受信を行なうが、メモリ容量や送受信速度などのデバイス仕様によってこの命令の構成が変わる。このモジュールはこれらの仕様のバリエーションに対応できるように命令構成と送受信用クロックをホスト CPU から設定できるようにしている。

市場のシリアル EEPROM のインターフェース方式には MICROWIRE と I2C バスの 2 つの方式があり、このモジュールでは両方の方式に対応している。なお、MICROWIRE 方式の回路は JL-054 と同じである。

ASIC と EEPROM とのインターフェース信号を以下に示す。

信号名	内容
EO	MICROWIRE 方式の場合 : EEPROM からのシリアルデータ入力信号 I2C バスの場合 : EEPROM シリアルデータ入出力信号
EI	EEPROM へのシリアルデータ出力信号
ECS	EEPROM へのチップセレクト出力信号
ECLK	EEPROM へのクロック出力信号

MICROWIRE インターフェース

ホスト CPU から、EEPROM への送信データをレジスタ EPRLW(0014h)と EPRHW(0016h)に書き込むと、このデータはシリアル/パラレル変換部で ECLK に同期したシリアルデータに変換され、ASIC 外部端子 EI から出力されて EEPROM へ送信される。このデータには EEPROM のアドレス情報と書込みデータ (WRITE の場合) が含まれている。書き込みの場

合は EEPROM の指定されたアドレスに書き込み情報が書き込まれる。読み出しの場合は読み出し命令を受信した EEPROM から ECLK に同期したシリアルデータが出力され、ASIC 外部端子 EO を通じてはこのモジュールへ入力される。ここでシリアル/パラレル変換部でパラレルデータに変換され、ホスト CPU が読み出すことができる。読み出しの場合のタイミングチャートを図 4.3.2-25 に示す。

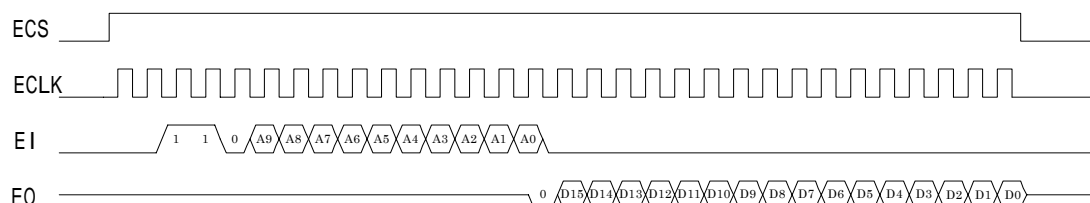


図 4.3.2-25 読み出しタイミングチャート

伝送クロック ECLK 回路は周波数設定用とクロック数設定用それぞれ 8 ビットのカウンタで構成され、クロック周波数とクロック数をホスト CPU から設定することができる。クロック周波数は EPRCLK[7:0] に、 $f = 12 / (256 - n)$ [MHz] によって 12MHz ~ 46.875kHz の範囲で設定できる。(但し n は 8 ビット binary データを decimal で表現したもの)。同様にクロック数の設定は EPRCNT[7:0] に $N = (254 - n) / 4$ [クロック] で設定できる。伝送動作は EPRCNTWrL ライト信号によって開始し、送受信が完了すると ECLK は停止しチップセレクト ECS も解除される。

SGDS で採用している SII 社製 EEPROM S-29530A を使用する場合のインターフェースの設定例を表 4.3.2-6 に示す。

表 4.3.2-6 S-29530A を使用する場合の設定例

命令	レジスタ (ホスト CPU アドレス)			備考
	EPRCNT(0018h)	EPRHW(0016h)	EPRLW(0014h)	
初期化	00CAh(13 バイト)	1...11...11...11...1		
READ	008Ah(29 バイト)	1...11...11...11...1	1...1A ₀ ... A ₉ 01	1 ワード読み出し
WRITE	008Ah(29 バイト)	1...1D ₀ ... D ₁₁	D ₁₂ D ₁₃ D ₁₄ D ₁₅ A ₀ ...A ₉ 10	1 ワード書き込み
ERASE	00CAh(13 バイト)		1...1A ₀ ... A ₉ 11	1 ワード消去
EWEN	00CAh(13 バイト)		1...1 0...0 0...0 1100	書き込み消去許可
EWDS	00CAh(13 バイト)		1...1 0...0 0...0 0...0	書き込み消去禁止

最初のアクセス時には初期化命令でこのインタフェースを初期化してやる必要がある。

I2C バスインターフェース

クロック周波数設定部・クロック数設定部は MICROWIRE と共用だが、データ SDA の送受信は双方向バスで行なうところと、アクノリッジコントロールなどシーケンス処理が MICROWIRE と異なる。詳細は割愛。

(23) MPU 部

ホスト CPU は電源投入時のイニシャルセットで電流制御のためのマイクロプログラムを MPU 部の RAM に格納し、MPU 部ではこのマイクロプログラムを実行して電流制御を行なう。マイクロプログラムの詳細は 4.4 ASIC による電流制御を参照。

この MPU (マイクロプログラミングプロセッサ) は 4 段パイプライン構成の 32bit 演算ユニットで構成され、32MHz (内部) 動作時 32MIPS の性能 (ピーク値) を持っている。プログラムは、ホスト CPU からロードし、2048 の演算ステップが可能である。

主な回路要素

プログラム用 S R A M	: 31 ビット命令長 * 2048 ステップ
A L U	: 16/32 ビット演算機能
乗算器	: 16 * 16 ビット = 32 ビット演算機能 (符号付き) 32 * 32 ビット = 64 ビット演算機能 (符号付き)
除算器	: 32 ÷ 16 ビット = 16 ビット演算機能 (符号付き)
バレルシフタ	: 32/64 ビット
リミット演算	: 16/32 ビット
sin テーブル	: 16 ビット * 1024 分解能
atan テーブル	: 16 ビット * 256 分解能
平方根テーブル	: 16 ビット * 256 分解能
電圧リミットテーブル	: 16 ビット * 1024 分解能
空間ベクトル用テーブル	: 16 ビット * 1024 分解能
ホスト IF レジスタ	: 16/32 ビット * 48 ワード
初期設定レジスタ	: 16/32 ビット * 160 ワード (ワークレジスタを含む)
プログラムカウンタ	: 11 ビット
割込	: 4 本 (レベル設定機能付き)

ブロック図 (図 4.3.2-26)

演算部は大きく分けて次の 4 つのブロックにより構成されている。

- ・ HOSTIF block : ホスト側とのデータのやりとりおよび、プログラム、データの格納。
- ・ PIPE1 block : 命令の解釈、他ブロックへの指令、割込制御など、MPU 部全体の動作のコントロールを行う。
- ・ PIPE2 block : 実際の演算を行う。
- ・ OUTREG : 演算結果の、他モジュールへの出力を行う。

基本動作フロー

パワーオンリセット

ホスト CPU からマイクロプログラムをプログラムエリア UPLD にダウンロード

演算初期データをマイクロプログラムワークエリア PREGA にダウンロード

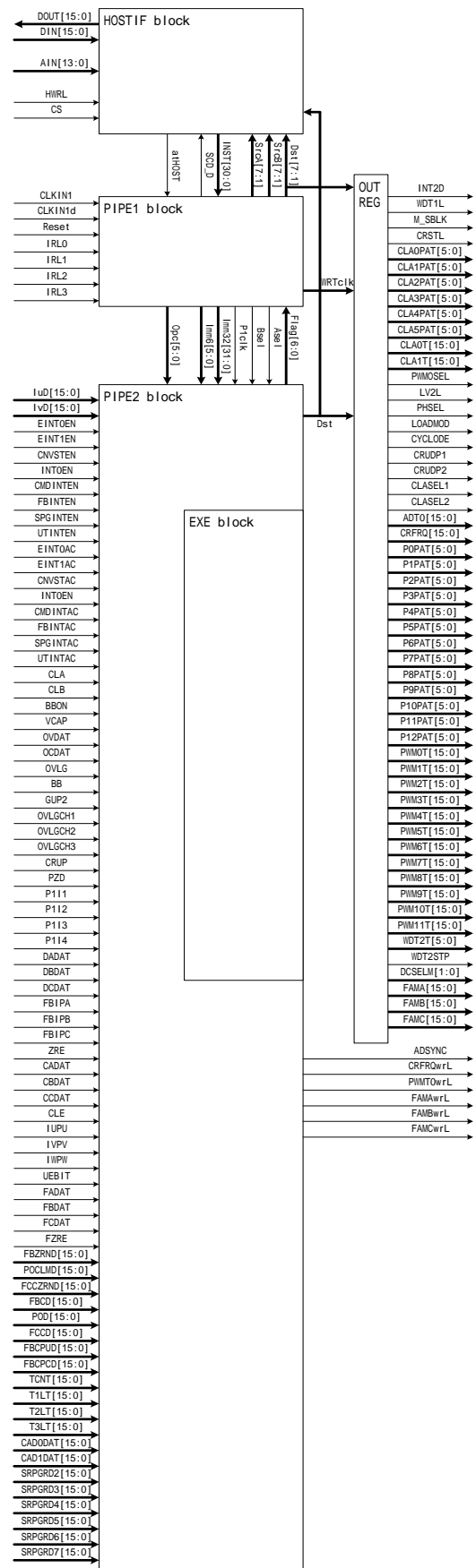
演算制御レジスタ PCTRL の ATHOST ビットに 1 を書き込む

演算部プログラムカウンタの動作開始

初期設定

割込レベル、割込開始アドレスなどを設定する。

割込イネーブル(注 1)



- ・ ステータス等の監視（割込待ち）

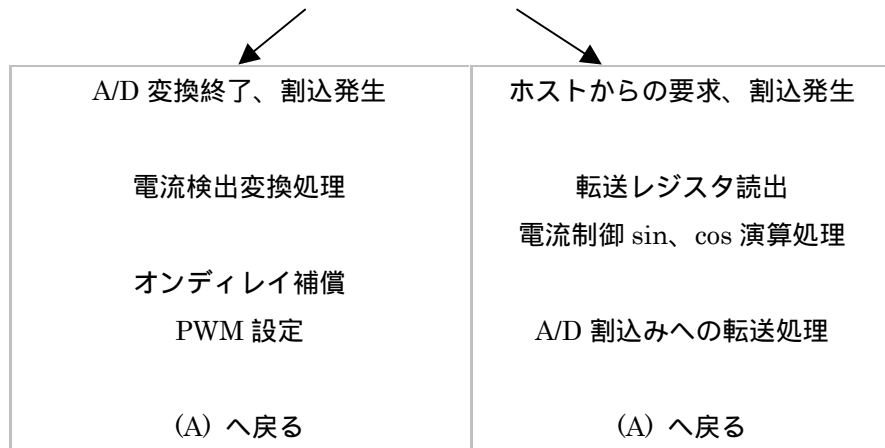


図 4.3.2-27 基本動作フロー

注 1：演算部が、レジスタ EIX に対し MOVI 命令による書込動作を行う(データは無関係)ことにより、割込がイネーブルになる。同様に、レジスタ DIX に対し MOVI 命令による書込動作を行う(データは無関係)ことにより、割込がディスエーブルになる。

4.3.3 アドレスマップ

(1) ホスト側アドレスマップ概要

アドレス	アクセス	内容
0000 ~ 000E	R/W	PWM モニタ、同期シリアル、タイマ設定、非同期シリアル
0010 ~ 001E	R/W	分周設定、EEPROM_IF、割込み設定
0020 ~ 002E	R/W	分周、指令カウンタ設定、アラーム設定
0030 ~ 003E	R/W	汎用入力、故障入力、内部機能設定、クロック停止
0040 ~ 004E	R/W	回生設定、シリアルエンコーダ設定、拡張 I/O、指令フィルタ設定
0050 ~ 005E	R/W	シリアルエンコーダチャンネル 0 送信データ
0060 ~ 006E	R	シリアルエンコーダチャンネル 0 受信データ
0070 ~ 007E	R	同期シリアルデータ、シリアルエンコーダコマンド、指令ラッチ値
0080 ~ 008E	R	カウンタラッチ値
0090 ~ 009E	R/W	デシメーションフィルタ設定、オンディレイ設定
00A0 ~ 00AE	R/W	オンディレイ設定
00B0 ~ 00BE	R/W	分周機能設定、演算部 WDT 設定、パルス変換設定
00C0 ~ 00CE	R/W	パルス変換設定、指令 A/D 設定、電流 A/D 設定
00D0 ~ 00DE	R/W	指令 A/D 設定、電流 A/D 設定
00E0 ~ 00Ee	R/W	電流 A/D 設定、指令 A/D データ、定周期割込み設定
00f0 ~ 00FE	R	電流 A/D データ、指令 A/D データ
0100 ~ 010E	R	
0110 ~ 011E	R	I2C モード EEPROM 設定
0120 ~ 012E	R/W	NCT 設定、NCT データ
0130 ~ 013E	R/W	WDT トリガ、演算部割込みポート、ソフトリセット
0140 ~ 014E	R/W	シリアルエンコーダチャンネル 1 送信データ
0150 ~ 015E	R	シリアルエンコーダチャンネル 1 受信データ
2000 ~ 3FF0	R/W	内蔵 S R A M
4000 ~ 5FFE	R/W	内蔵 CPU マイクロプログラムロード領域
7000 ~ 713E	R/W	内蔵 CPU 初期設定レジスタ
7400 ~ 745E	R/W	内蔵 CPU 転送用レジスタ
7800 ~ 7802	R/W	内蔵 CPU 制御、ステートレジスタ

(2) マイクロプログラムアドレスとホスト CPU アドレス対応表

ホスト側から見た場合の、アドレス対応表

ホスト側		DQ 内部			内容
ホスト側 アドレス A[14]-A[1]	モジュール入力 アドレス AIN[13]-AIN[0] (16bit 基準)	μ プログラム アドレス (32bit 基準)	レジスタ 番号	レジスタ アドレス (16bit)	
4000	2000	000	-	-	Program SRAM μ プログラム ロードエリア
4002	2001				
4004	2002	001			
4006	2003				
5FFC	2FFE	7FF			
5FFE	2FFF				
7000	3800	-	00	-	初期設定用 レジスタ
7002	3801		01		
7004	3802		02		
7006	3803		03		
713C	389E		9E		
713E	389F		9F		
7400	3A00	-	A0	-	転送用 レジスタ
7402	3A01		A1		
7404	3A02		A2		
7406	3A03		A3		
745C	3A2E		CE		
745E	3A2F		CF		
7800	3C00			DD	制御ステータス
7802	3C01	-	-	DD	制御ポート

ワークレジスタ、転送用レジスタは共に CPU から参照は可能であるが、マイクロプログラム実行中にはワークレジスタに書き込みはできない。

4.4 ASICによる電流制御

本項では III TypeB(SGDS)に搭載したサーボ電流制御の手法および仕様について説明する。

一般的なサーボモータでは主回路として電圧型インバータ(VSI)を用いて、電流制御を行うことによりトルクを制御している。従来、電流制御はアナログ回路を用いて交流の電流指令に各相の電流を直接フィードバックする、あるいは A/D 変換した電流検出値を用いてロジック回路により交流の電流指令と比較して制御する交流電流制御方式がとられていた(I)。最近ではプロセッサ能力の向上や ASIC 回路技術の向上により、ソフトウェアによる dq 軸電流制御が主流となっている。当社でもインバータでは VS-676VG 3、サーボでは II 以降、dq 軸電流制御を採用している。

d q 軸電流制御は、モータ磁束の位置に d 軸、それと直交する方向に q 軸とる。このように軸を取ることで、磁束を d 軸、トルクを q 軸により個別に制御することができ、制御量は直流となるため、PI 制御することで電流指令と実電流を一致させることができる。従来の交流電流制御では高周波数(高速)になると、電流指令と実電流が一致しなくなりトルク特性が悪化するという問題点があったが、d q 軸電流制御ではこの点が改善される。

サーボ製品における電流制御としては、II から dq 軸電流制御を採用することになり、この演算のために MPU 内臓のドライブ ASIC (JL-046)を開発した。この成果を元にして様々な拡張を加え、複雑なプログラムまでを可能とする MPU を内蔵した JL-056 を開発し SGDS に採用した。d q 軸電流制御の機能も II では単純な機能のみであったが、MPU 機能拡張により各種補償機能までを搭載することが可能になった。以下に SGDS に搭載した dq 軸電流制御の主な機能を示す。

- ・ トルクフィルタ(ノッチフィルタ 2 段、1 次 LPF2 段)
- ・ トルクリミット処理
- ・ 電流検出(ゲイン、オフセット調整)
- ・ dq 軸変換(2 相 3 相、3 相 2 相)
- ・ EMF、非干渉化補償(電圧 FF 補償)
- ・ 電圧補正(変調率 100~115%の補正)
- ・ 過変調補正(変調率 115~127%の補正)
- ・ オンディレイ補償(台形波補償方式)

本項ではこれらの詳細な説明と、CPU とのインタフェース仕様、および CPU 側で必要となる定数演算について解説する。

4.4.1 電流制御操作手順

図 4.4.1 に JL-056 のマイクロプログラムプロセッサとその周辺のブロック図を示す。プロセッサ部はプログラムロードメモリ、各種演算器、演算用テーブル、ワークレジスタ、転送用レジスタ、外部入出力用レジスタ(A/D 検出、エンコーダデータ、PWM 出力など)から構成される。また、割り込み機能を持ち、電流検出完了、エンコーダ、タイマ、CPU などからの割り込み要求を受け付ける。

電流制御はマイクロプログラムで記述され、CPU からプロセッサ部の RAM へ転送して実行する。マイクロプログラムプロセッサについては 4.3.2(23)を参照のこと。

変数の格納にはレジスタを使用する。レジスタは全て 16bit 幅である。変数格納用のレジスタはワークレジスタと転送用レジスタの 2 種類があり、ワークレジスタは 160 個、転送用レジスタは 48 個を持つ。ワークレジスタ、転送用レジスタは共に CPU から参照は可能であるが、マイクロプログラム実行中にはワークレジスタに書き込みはできない。実行中(SERVO OFF 中も含む)に変更の必要がある定数、電流指令、速度などは転送用レジスタに配置する。転送用レジスタにデータを書き込むことによりプロセッサ部へ転送することができる。

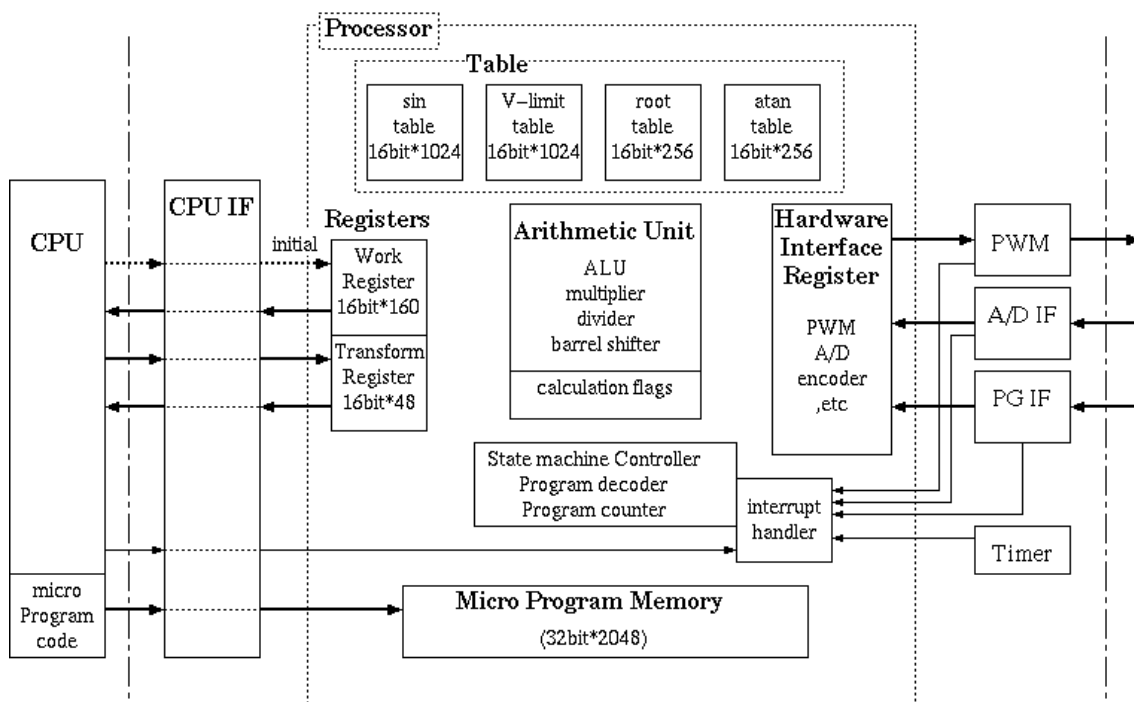


図 4.4.1 マイクロプログラムプロセッサとその周辺のブロック図

(1) ファイルの作成およびコンパイル手順

ファイルの作成手順について説明する。

- ・ 電流制御演算をマイクロプログラムの書式に従い記述する (acr.a86)
- ・ レジスタ定義ファイル(reg.i86)、定数データファイル(imm.i86)を書式に従い記述する。

これは CPU がアクセスする場合に参照するアドレスにも関係する。CPU 側でもレジスタをマッピングしたアドレスから、レジスタファイルで定義したものと同一順で同じ内容を

定義しておく。

- ・ 専用のコンパイラ (asic_emu.exe) を用いてコンパイルして C 言語のデータファイルを作成する。
- ・ % asic_emu -sc acr.a86
- ・ コンパイル結果の C 言語データファイル(acr.c)を CPU 側の適当な場所にコピーし、CPU 側のコンパイルにより、CPU データの一部として取り込む。

(2) CPU 側での初期化処理

- ・ プロセッサ部の初期化時、ライトプロテクトを解除する。
 - ASIC レジスタの SETREG1 の CDWREN ビットを ON
 - TSTR の atHOST ビットを OFF
- ・ 必要に応じて、ASIC の MPU 部メモリ (ロードエリア、レジスタ) のメモリチェックを行う。
- ・ 作成したマイクロプログラムコードをプロセッサ部のマイクロプログラムロードメモリに書き込む
- ・ 必要であればワークレジスタの初期化を行う
- ・ 定数値や指令初期値を転送用レジスタに書き込む
- ・ ライトプロテクトを設定しプロセッサを起動する。
 - SETREG1 の CDWREN ビットを ON
 - CTSTR の atHOST ビットを ON にする

(3) 制御実行時の処理

- ・ オペレータ等からの指令や定数を転送用レジスタの当該箇所に書き込む。ただし、定数値変更は安全のためサーボ OFF 時に書き込むようにする
- ・ 電流制御部から必要な内部データを取り込む。
 - 基本的に全てのレジスタは読み込み可能であるが、CPU からの読み込みとマイクロの書き込みが重なった場合に不定データを読む可能性がある。速度制御周期に同期したスキャンのデータは、指令を書き込む直前に読むことでこれを避けることができる。
- ・ 速度(位置)制御ループで演算した速度、位相、電流指令を転送用レジスタの当該箇所に書き込む
- ・ 演算部への割り込みポートに任意データを書き込む。割り込みが発生すると指令データが制御実行部へ転送される。

4.4.2 電流制御機能ブロック図

dq 軸電流制御を理解する上で必要となるモータの電圧方程式を導く。

サーボモータとして最も良く用いられる表面磁石貼付け型の 3 相同期電動機 (SPM) の等価回路を図 4.4.2-1 に示す。ロータは一樣なマグネットとし、ステータは 3 相の巻線が Y 結線されているとする。トルクが最大となる位相は、マグネットの N 極に対して $\pi/2$ の位置である。

そこでマグネットを基準とした座標軸で方程式を立てる。ロータの N 極に d 軸をとり、d 軸から位相の進み方向 $\pi/2$ の位置に q 軸を取ると図 4.4.2-2 のようになる。このように軸を取った場合、各軸の端子電圧は直流電圧となる。

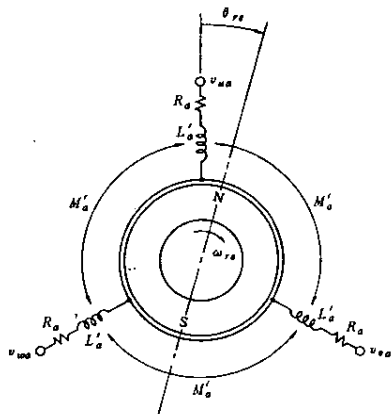


図 4.4.2-1 同期電動機の等価回路

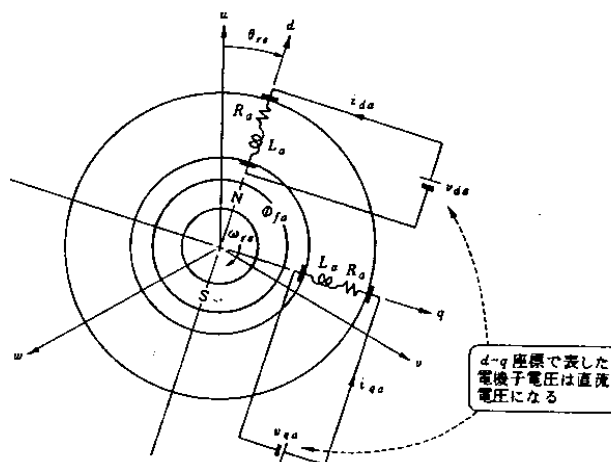


図 4.4.2-2 同期電動機の等価回路 (d q 軸変換)

このように軸をとると逆起電力成分 $\omega_{ra} \Phi_{ra}$ [V] は q 軸に現れる。ただし Φ_{ra} [wb] は磁束、 ω_{ra} [rad/s] はロータの角速度である。またインダクタンスによる励起電圧成分は各軸間の干渉項として現れる。これらより dq 軸変換した電圧方程式は以下ようになる。

$$\begin{bmatrix} v_{da} \\ v_{qa} \end{bmatrix} = \begin{bmatrix} R_a + PL_a & -\omega_{ra} L_a \\ \omega_{ra} L_a & R_a + PL_a \end{bmatrix} \begin{bmatrix} i_{da} \\ i_{qa} \end{bmatrix} + \begin{bmatrix} 0 \\ \omega_{ra} \Phi_{ra} \end{bmatrix}$$

dq 変換した電流電圧方程式が得られた。この式から、dq 軸干渉項 $\omega_{ra} L_a$ を無視すれば dq 軸は独立に制御が可能である。 L_a が分かっているれば干渉項は速度から計算が可能であり、フィードフォワード補償により非干渉化が可能である。このように dq 軸それぞれについて PI 制御により電流を制御する方式を dq 軸電流制御と呼んでいる。

尚、発生トルクは磁束と q 軸電流から次式により得られる。

$$T = p \omega_{ra} i_{qa}$$

ただし、p はポール数である。この式からもわかるように q 軸電流はトルクに比例する。Dq 軸電流制御を利用して SPM を制御する場合は、d 軸電流を 0 固定とし、q 軸をトルク指令に従って変化させる。

図 4.4.2-3 に dq 軸電流制御機能の概要をブロック図で示している。

指令値としてトルク指令、d 軸電流指令、速度、位相を入力する。Q 軸電流はトルク指令にフィルタ処理やトルクリミット処理を施した後に電流の単位へ変換して求める。d 軸電流は通常は 0 である。

電流は AD コンバータにより検出した各相の電流を 3 相から dq 軸へ変換(3 相 2 相変換)して求める。求めた dq 電流検出値と指令電流とを比較して PI 制御 (ACR) を行う。また、回転数と電流からモータモデルにより電圧成分を計算し電圧 FF 補償を行う (EMF 非干渉化)。

ACR 出力と電圧 FF とから dq 軸の電圧指令を計算し、3 相の電圧成分に変換する (2 相 3 相変換)。その後、電圧飽和を考慮して電圧を補正し (電圧補正) PWM のデッドタイムによる電圧変動分を補償 (オンディレイ補償) して PWM 電圧指令を計算する。

次項では、各機能の詳細について説明する。

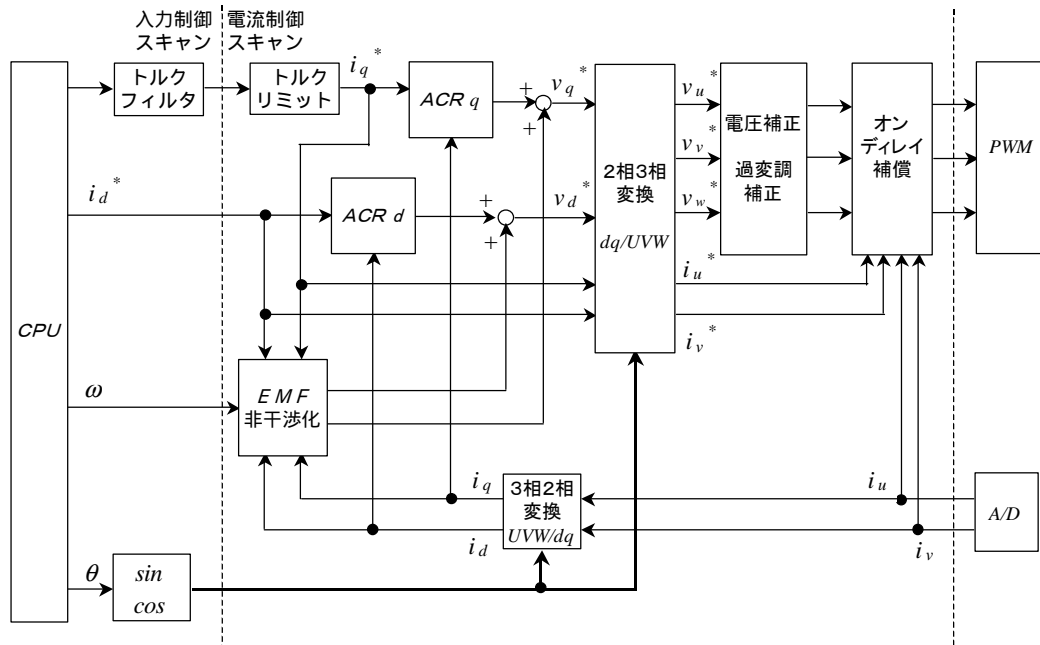


図 4.4.2-3 電流制御概要ブロック図

図 4.4.2-4 にフローチャートを示す。割り込みとして電流検出割り込みと CPU 割り込みの 2 種類を使用する。電流制御割り込みは電流検出 A/D 変換完了時に発生する。電流制御のサンプリング時間は、A/D の検出周期に依存する。A/D スタートはタイマとキャリア周波数カウンタのどちらかを選択するようになっている。SGDS ではキャリアカウンタを使用し、キャリア周波数の 6 倍の周期で電流検出 A/D スタートを行うようにした。キャリア周波数として 10.667kHz (小容量) を選択すると、電流検出周期は 15.625 μ s となり、PG 検出周期 62.5 μ s に同期させることができる。CPU 割り込みは CPU から ASIC の割り込み用レジスタに書き込むことにより発生する。基本的にエンコーダ検出の周期で、速度と位相、電流指令 (トルク指令) を書き込んだ後、割り込みを発生させ、ASIC へデータを転送する。

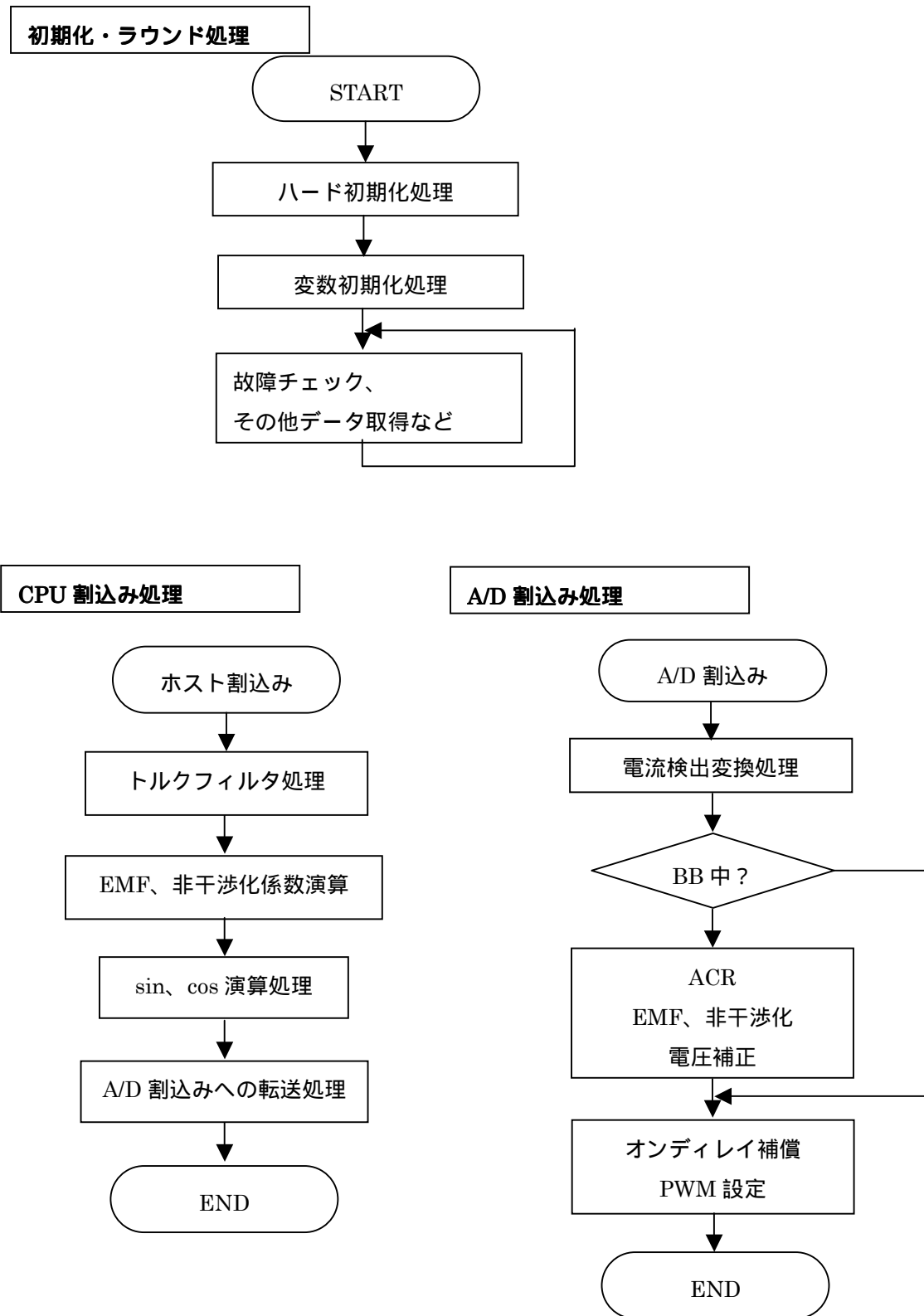


図 4.4.2-4 電流制御フローチャート

4.4.3 電流制御演算

ここでは、前項で説明したブロックの各項目について詳細に説明する。項目は次のようになる。

- dq 変換処理（2 相 3 相変換および 3 相 2 層変換）
- 電流検出処理
- ACR（電流制御 PI 処理）
- 電圧 FF 補償処理（EMF、非干渉化）
- 電圧補正処理
- オンディレイ補償
- トルクフィルタ

制御はシミュレーションや研究用途を除き、製品としては固定小数点演算を行う。ドライブ ASIC は整数演算命令のみであるため、ここでは固定小数点演算のアルゴリズムについても解説する。

(1) dq 変換処理

SPM モータでは、ロータマグネットの N 極に d 軸を取り、d 軸から位相進み方向に 90° の位置を q 軸として、dq 軸の 2 相で制御を行う。これにより操作量は直流量となり、q 軸電流はトルクに比例し、d 軸電流は磁束を変化させることができる。電流検出および電圧出力は UVW の 3 相であるため、dq 軸電流制御を行うには以下の 3 相 2 相変換および 2 相 3 相変換処理が必要となる。図 4.4.3-1 のように固定子の U 相位置を基準に取り、U 相から V 相方向に角度 θ の位置に d 軸、d 軸から 90° だけ進んだ位置に q 軸を取ると、

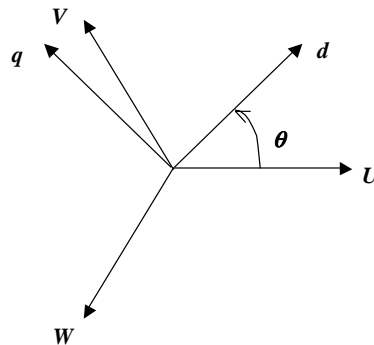


図 4.4.3-1 dq 座標軸

これより UVW 相と dq 軸の関係は次のように表せる。

$$\begin{bmatrix} d \\ q \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos \theta & \cos \left(\theta - \frac{2\pi}{3} \right) & \cos \left(\theta + \frac{2\pi}{3} \right) \\ -\sin \theta & -\sin \left(\theta - \frac{2\pi}{3} \right) & -\sin \left(\theta + \frac{2\pi}{3} \right) \end{bmatrix} \begin{bmatrix} U \\ V \\ W \end{bmatrix}$$

3 相電流はモータ内部で短絡されており $i_w = -i_u - i_v$ の関係が成り立つので、電流としては 2 相のみを入力すれば十分である。上式に $i_w = -i_u - i_v$ を代入し uv 相電流から dq 軸電流への変換式を求めると次のようになる。

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos \theta - \cos\left(\theta + \frac{2\pi}{3}\right) & \cos\left(\theta - \frac{2\pi}{3}\right) - \cos\left(\theta + \frac{2\pi}{3}\right) \\ -\sin \theta + \sin\left(\theta + \frac{2\pi}{3}\right) & -\sin\left(\theta - \frac{2\pi}{3}\right) + \sin\left(\theta + \frac{2\pi}{3}\right) \end{bmatrix} \begin{bmatrix} i_u \\ i_v \end{bmatrix}$$

電圧出力は dq 軸から UVW 軸へ変換する。上記の逆行列を求めて dq 電圧指令を 3 相に変換すればよい。3 相電圧の和が 0 になるように変換する場合は、次のようになる。

$$\begin{bmatrix} v_u \\ v_v \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos \theta & -\sin \theta \\ \cos\left(\theta - \frac{2\pi}{3}\right) & -\sin\left(\theta - \frac{2\pi}{3}\right) \end{bmatrix} \begin{bmatrix} v_d \\ v_q \end{bmatrix}$$

$$v_w = -v_u - v_v$$

また、dq 電圧指令を電圧の大きさ V_1 と位相 θ_v の極座標系に変換して求める方法もある。上記と同じ結果を得るには次のようにする。

$$V_1 = \sqrt{v_d^2 + v_q^2}$$

$$\theta_v = \tan^{-1}(v_q / v_d)$$

$$v_u = V_1 \cos(\theta_v + \theta)$$

$$v_v = V_1 \cos(\theta_v + \theta - 2\pi/3)$$

$$v_w = V_1 \cos(\theta_v + \theta + 2\pi/3)$$

インバータでは極座標系の指令を求めた後、 V_1 に対する修正をし、位相 $\theta_v +$ によって出力するパターンを選択し、修正された V_1' からパターンを出力する時間を設定する方法(空間ベクトル PWM)で PWM 出力を行っている。この方法の場合、 \tan^{-1} 演算が必要となり演算時間がかかる。SGDS では演算時間を短縮するため dq から直接 3 相に変換する方式をとり、電圧補正は 3 相の電圧に対して行うようにした。

位相 θ はエンコーダにより検出される。位相 θ を検出した時点で、電流変換行列の 6 つの要素を sin テーブルによりあらかじめ求めておき、電流検出時と電圧出力時の軸変換時に使用する。

(2) 電流検出処理

図 4.43-2 に電流検出のブロック図を示す。

2 相電流から 2 相 I_u 、 I_v を検出し、各々ゲイン調整、オフセット調整を行い dq 軸電流を求める。ゲインやオフセットを調整しないとトルクリップルの原因になる。電流オフセットは出力周波数同期 (1f) の振動を誘発し、ゲインは 2f の振動を発生させる。オフセット調整は 0 電流時

の A/D 検出値の平均値を求め、符号反転してオフセットとして設定する。オフセット調整後は 0 電流時に 0 となる。ゲイン調整は、ある一定電流を流した時の A/D 変換値が電流値に一致するように設定する。図 4.4.3-2 では調整ゲイン K_{cu} 、 K_{cv} を $256 / 1.0$ で表現した値で調整するようにしている。

その後、電流は(1)の演算式に従って dq 変換を行う。Dq 変換後の値の大きさは、最大電流基準の値になるように変換係数 K_c ($512 / 1.0$) により補正する。

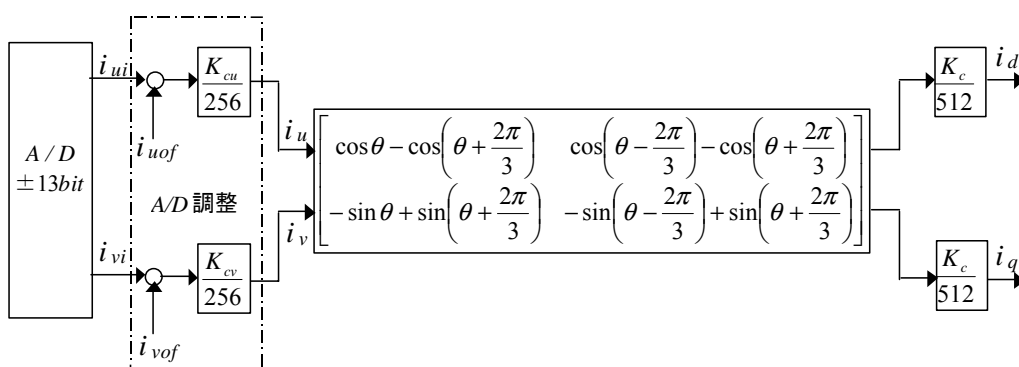


図 4.4.3-2 電流検出ブロック図

相電流が最大の時の AD コンバータ出力を I_{ADMAX} とし、最大電流時の dq 軸電流値が 15000 とすると、 K_c は以下のようにして計算できる。

$$K_c = 15000 \cdot \frac{2}{3} \frac{1}{I_{ADMAX}} \cdot 2^9$$

(3) ACR (Auto Current Regulator)

ACR の基本ブロックを図 5 に示す。Dq 軸電流制御では電流が直流量であるため PI 制御を行い電流偏差がなくなるように制御する。Dq 軸それぞれについて同じ制御器を用意する。以下は d 軸を例に説明するが、q 軸も全く同じ構成をとる。

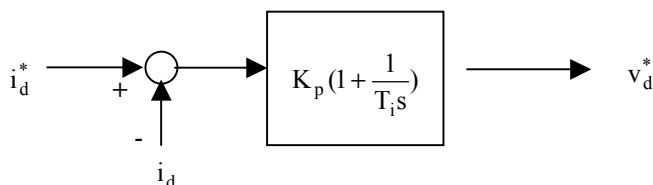


図 4.4.3-3 ACR 基本ブロック図

電流指令 i_d^* と電流検出 i_d の差分をとり、比例積分要素を掛け電圧補正量 v_d^* を求める。 K_p は電流の応答特性を決める。 T_i は定常偏差を 0 とするための積分時間である。 K_p の設定については以下のようにする。

積分なしとして、指令からフィードバックまでの伝達関数を求める。ただし、電圧は理想的だと仮定する。

モータの伝達関数 $G_m(s)$ を

$$G_m(s) = \frac{1}{Ls + R}$$

とすると電流指令からフィードバックまでの伝達関数は次のようになる。

$$G(s) = \frac{i_{fb}}{i_{ref}} = \frac{K_p G_m(s)}{1 + K_p G_m(s)} = \frac{K_p}{Ls + R + K_p} \cong \frac{1}{\frac{L}{K_p}s + 1}$$

これより、時定数 L/K_p の一次遅れであることがわかる。従って応答周波数 K_f [Hz] の場合の K_p は次のようにすればよい。

$$K_p = 2\pi K_f L$$

次に固定小数点演算を行う場合について説明する。固定小数点（整数）演算では、各変数をある基準値に対する比率で表し、その分解能を 100% 時の値の大きさで表す。III を例にとると、電流は最大電流を基準とした比率に換算し、最大電流時に 15000（ の場合）となるように換算する。電圧も同様に最大電圧を基準とした比率換算を行い、波高値の最大点を 8192 として演算するようにしている。PI 制御の比例ゲインに電流と電圧の単位換算係数を掛けることによって単位の整合性を取っている。整数化を上記のように行った場合の比例ゲインは次のようにして計算する。電流と電圧の整数化係数を考慮した電圧電流の関係は以下ようになる。

$$\frac{V_{MAX}}{8192} V = K_p \frac{I_{MAX}}{15000} (i^* - i_{fb})$$

これに応答周波数を代入し、実際に使用する比例ゲイン K_{dp} を計算する。 L を 0.01mH 単位とすると、

$$K_{dp} = 2\pi K_f \frac{L}{10^5} \frac{8192}{V_{MAX}} \frac{I_{MAX}}{15000} \cdot 512$$

最後の 512 は K_{dp} の整数化係数であり、電流差分に K_{dp} を掛けた後に 9 b i t シフトすることによって比例項を計算するようにする。

積分は離散化すると積分前回値に $K_{dl}(I^* - I_{fb})$ を加算する形になる。このときの積分ゲイン K_{dl}

$$K_{dl} = \frac{K_{dp}}{2^9} \frac{T_s}{T_i} \cdot 2^{13}$$

の計算は以下ようになる。

T_s はサンプリング周期、 2^{13} は整数化係数である。積分は精度を向上するため、32bit で計算し上位 16bit を出力、下位 16bit を余りとして使用する。この積分ゲインを使用した積分処理は次のようになる。

$$V_i = V_i + K_{dl}(I^* - I_{fb}) 2^3$$

このようにして整数化した ACR(d 軸)ブロック図を図 4.4.3-4 に示す。

整数演算では、オーバーフローも考慮する必要がある。以下の例では、16bit の最大値 ± 32767 で制限するようにしている。以下、ブロック図で行っている演算について説明する。

まず検出した電流と電流指令との差分から電流偏差を求める。

$$I_{de} = \text{limit}((I_d^* - I_d), \pm 2^{15} - 1)$$

比例項は電流偏差に比例ゲインを掛け、オーバフロー防止のため $(\pm 2^{15} - 1)$ で制限する。

$$I_{dP} = \text{limit}((K_{dP} \cdot I_{de}/2^9), \pm 2^{15} - 1)$$

積分項の演算は、電流偏差に積分ゲイン (比例ゲイン \times サンプル時間 / 積分時間) を掛けて前の値を加算し、積分リミット値 V_{dlim} で制限する。

$$I_{dI}' = (K_{dI} \cdot I_{de}) \cdot 2^3 + I_{dI}$$

$$I_{dI} = \text{limit}(I_{dI}', \pm V_{dlim} \cdot 2^{16})$$

出力可能な電圧は電源に依存するため、電圧飽和にかかるような場合に積分はオーバーシュートを引き起こす。これを抑えるための手法は様々報告されているが、II では演算時間の制限から積分値のホールド (limit) とクリア処理のみを加えている。III では別の手法を取り入れることとしている。

求められた比例項と積分項 I_{dIh} (上位16bit) を足し合わせ、飽和处理を施す。

$$V_d'' = \text{limit}((I_{dP} + I_{dIh}), \pm 2^{15} - 1)$$

II、III では高調波を除去するためのフィルタを PI 制御の出力側に設けている。フィルタは単純な一次遅れをオイラー近似により離散化したものである。計算は以下になる。

$$V_d' = (V_d'' - V_{dh}) \cdot T_{fil} \cdot 2^2 + V_d$$

$$V_d = \text{limit}(V_d', \pm (2^{31} - 1))$$

一次遅れフィルタの離散化については、(6)トルクフィルタの項で説明する。

抵抗値 R_m	0.001
インダクタンス L_{dm}, L_{qm}	0.01mH
EMF 定数 Φ_m	0.1mVrms/ min ⁻¹
速度	15000 / モータ最大速度(N_{os} [min ⁻¹])
電流 I_d, I_q	15000 / 最大電流 (I_{MAX} : 0.1A)
電圧 V_{dc}, V_{qc}	2^{13} / 最大電圧 V_{MAX}

図 4.4.3-5 の演算を式で表現すると次のようになる。

$$V_{qc} = \frac{V_{MAX}}{2^{13}} + R_1 I_q \frac{2^{15}}{15000} + L_d \frac{2^{15} I_d}{2^{15}}$$

$$V_{dc} = R_1 I_d \frac{2^{15}}{15000} - L_q \frac{2^{15} I_q}{2^{15}}$$

逆起電力の項は、 Φ_m に 2^{15} をかけて 2^{15} で割った結果が電圧の単位となるので、次のように表現できる。

$$V_\phi = \omega \Phi_m \cdot 2^{-15}$$

$$V_\phi \frac{V_{MAX}}{2^{13}} = \frac{\omega N_{os}}{15000} \frac{\Phi_m}{10000} 2^{15} \cdot \frac{1}{2^{15}}$$

従って Φ_m はパラメータ値 Φ_m により次のようにして計算する。

$$\Phi_m = \frac{N_{os}}{15000} \frac{\Phi_m}{10000} \frac{V_{MAX}}{2^{13}} 2^{15}$$

非干渉項（インダクタンス項）は L_q を掛けて 2^{15} で割った結果に電流を掛けて 2^{15} で割り電圧としている。D 軸を例にとると、次のように表現できる。

$$V_{L\omega} = \omega L_q \cdot 2^{-15} \cdot I_q \cdot 2^{-15}$$

これを整数換算すると、

$$V_{L\omega} \frac{V_{MAX}}{2^{13}} = \frac{2\pi\omega N_{os}}{60 \cdot 15000} \frac{L_{qm}}{10^5} \frac{2^{15}}{2^{15}} \cdot \frac{I_q \cdot I_{MAX}}{15000 \cdot 10} \frac{2^{15}}{2^{15}}$$

$$L_q = \frac{2^{15} \cdot 2\pi \cdot N_{os}}{60 \cdot 15000} \frac{2^{15} \cdot I_{MAX}}{15000 \cdot 10} \frac{L_{qm}}{10^5} \frac{2^{13}}{V_{MAX}}$$

従って L_q は

L_d も同様に計算する。

抵抗値 R_1 は電流を掛けて 2^{15} で割って電圧としているので、次のようになる。

$$V_R = R_1 I_d \cdot 2^{-15}$$

$$R_1 = \frac{R_m}{1000} \frac{2^{13}}{V_{MAX}} \frac{I_{MAX}}{150000} \cdot 2^{15}$$

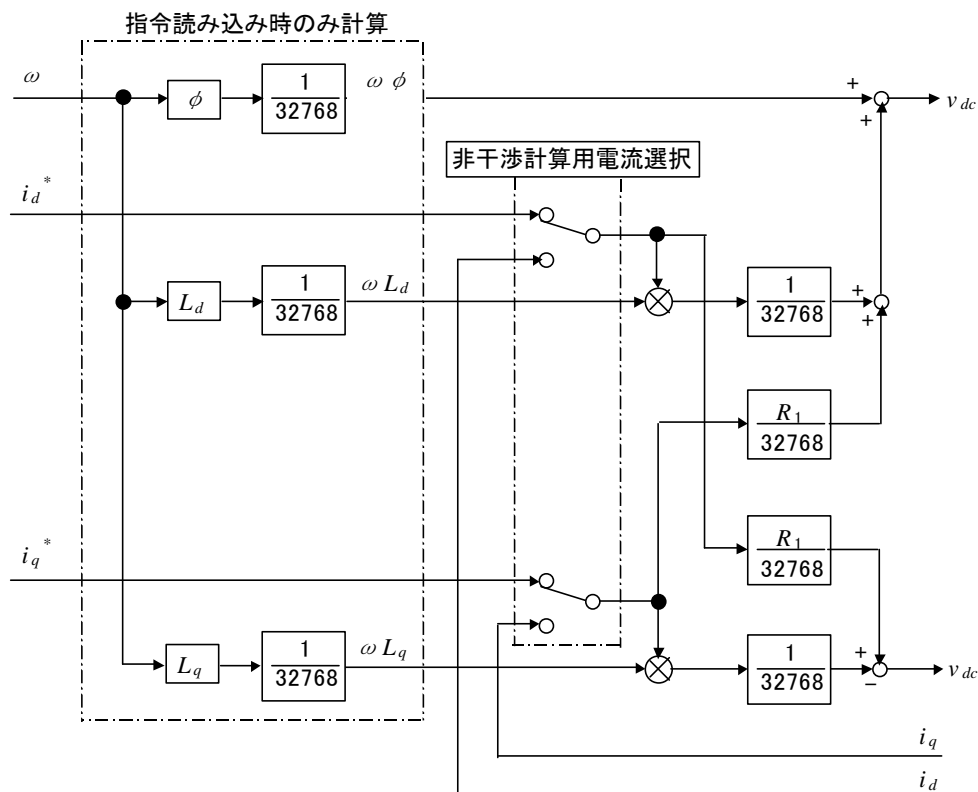


図 4.4.3-5 電圧 FF 補償ブロック図

(5) 電圧補正

ACR および電圧 F F 補償から求められた dq 電圧指令を 3 相の電圧指令に変換した後、電圧補正を行う。電圧補正としては、DC 母線電圧変動による修正と電圧を有効に使用する変調方式の適用がある。

電圧指令はある固定の基準電圧（200V クラスなら 200 2）を想定しているため、電源電圧により電圧指令と出力電圧は一致しない場合がある。サーボでは電流を制御するため、電圧誤差は ACR の積分にたまるだけであるが、応答特性にも影響するため電圧指令と実電圧を一致させることが望ましい。一致させるためには DC 母線電圧を検出し、その変動に応じて変調率（PWM 指令）を修正する。DC 母線電圧を V_{DC} 、指令電圧を V_x 、変調率を M_i とすると、200V クラスの場合、次のようにして変調率を計算する。

$$M_i = \frac{200\sqrt{2}}{V_{DC}} \cdot V_x$$

UVW 各相に対してこのような補正を加えることで指令と実電圧を一致させることができる。

$$K_v = \frac{200\sqrt{2}}{V_{DC}} \times 8192$$

と整数化すると以下のブロック図のようになる。

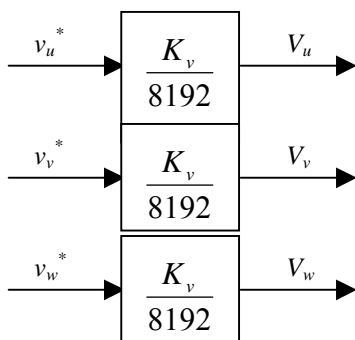


図 4.4.3-6 母線電圧による補正

次に電圧を有効に使用するための方法について説明する。4.4.3(1)項で示した電圧変換では、sin 状電圧波形のピーク値が最大電圧（DC 母線電圧）を超えると出力波形が歪み、線形性が保てなくなる。ピーク値が最大となるときの電圧は、入力電圧に対して 86.6% ($\sqrt{3}/2$) である。しかし、線間電圧を考慮した場合、入力と同じだけ出力することは可能である。一般的に良く用いられる方法は 3 次高調波を重畳する方式である。U 相を例にとると、次のような式で与えられる。 $(\theta_o = \theta_v + \pi/6)$ とすると

$$V_u = V_1(\cos \theta_o + \cos 3\theta_o / 6)$$

重畳する高調波は sin 状だけでなく、三角波状にする場合もある。空間ベクトル変調を利用して同様である。ただしこれらは極座標系の電圧指令が与えられることを前提としている。

電圧指令として UVW 相電圧が与えられた場合は、位相の判断が難しいため、各相電圧の大きさの比較により電圧を修正する。以下に 2 通りの方法を紹介する。

3 相のうちの最大相が飽和領域を越えた場合に超えた分だけ各相から減算する。図 4.4.3-7 にこの方法による補正の様子を、また図 4.4.3-8 にブロック図を示す。図 4.4.3-7 の実線が補正前、破線が補正後の電圧波形である。相電圧は歪んでいるように見えるが、線間電圧は正弦波状になる。この方法は、飽和にかかるまでは通常正弦波状で飽和にかかった時点から修正を行う。その状態の移行は連続的であるため、現行の手法に対する補正としては有効である。

図 4.4.3-8 のリミット処理は、飽和にかかる場合にのみ、この方法を適用するためのものであるが、このリミットを外した場合、電圧が最大または最小相の指令の大きさを最大値または最小値とし、残りの 2 相で電圧を制御するようになる。これは 2 相変調と呼ばれるもので、線間電圧としては同じであるが、PWM のスイッチングは 2 相のみでよくなるためスイッチングによるロスを低減できる。ただし、リップルやノイズが増加するという問題があるため、サーボでは通常使われない。

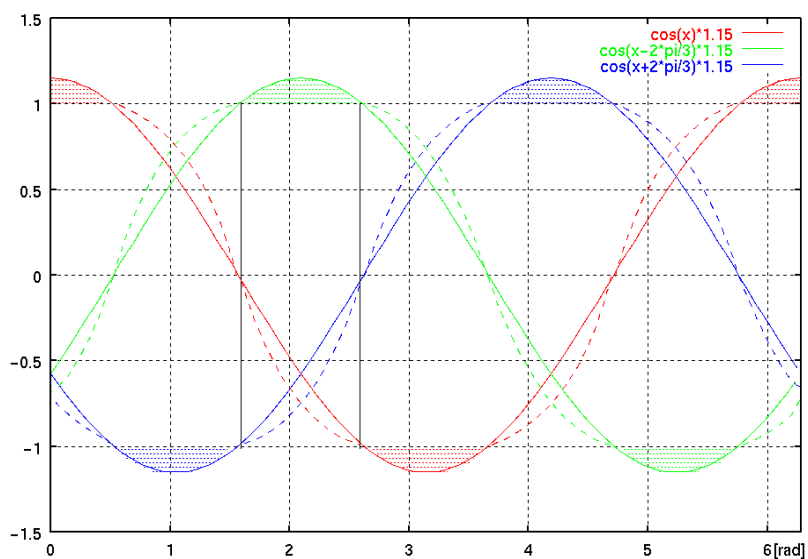


図 4.4.3-7 電圧補正 1 波形

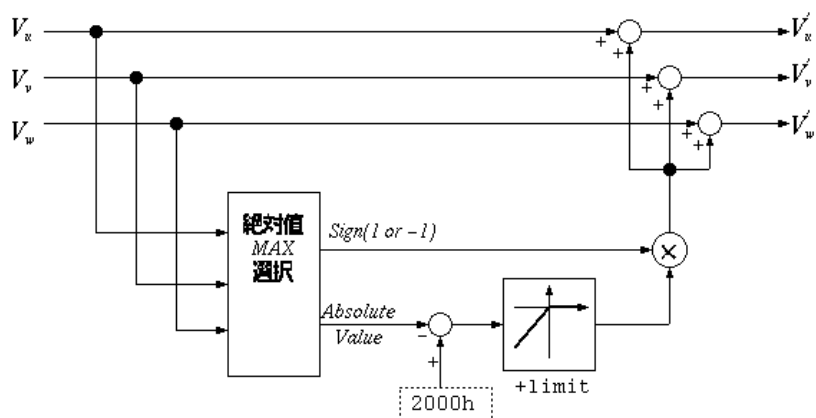


図 4.4.3-8 電圧補正 1 ブロック図

もうひとつの方法として、UVW 相の最大値と最小値との和を $1/2$ して各相の指令値から引く方法がある。図 4.4.3-9 に波形、図 4.4.3-10 にブロック図を示す。この方法では通常の波形と切り替えると不連続になるため、飽和にかからない領域でも常に計算する必要がある。この方法により得られる波形は、一般的な空間ベクトル変調と同じである。この場合の PWM 波形は通常の波形と比較して PWM によって発生する高調波成分が少なくなるという特徴がある。しかし従来の波形と比較して中性点電位の変化が大きくなるため、現行の置き換えを行う場合はノイズなども含めて検討する必要がある。

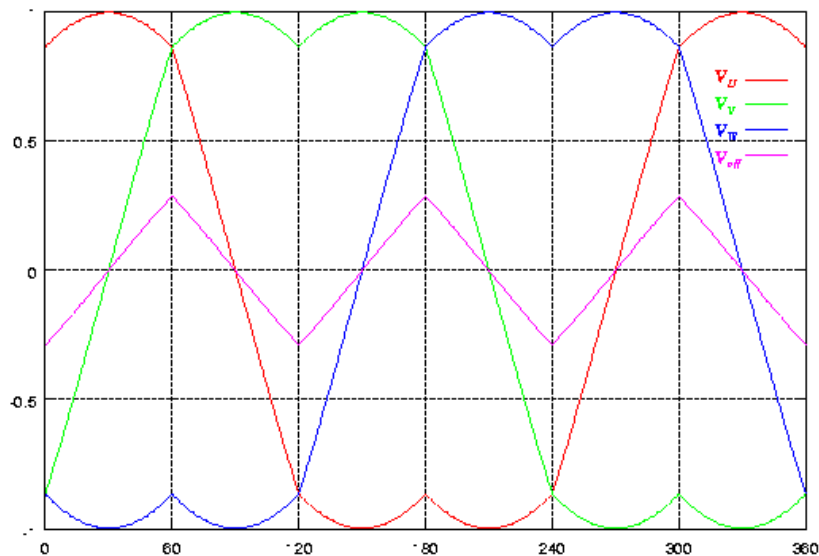


図 4.4.3-9 電圧補正 2 波形

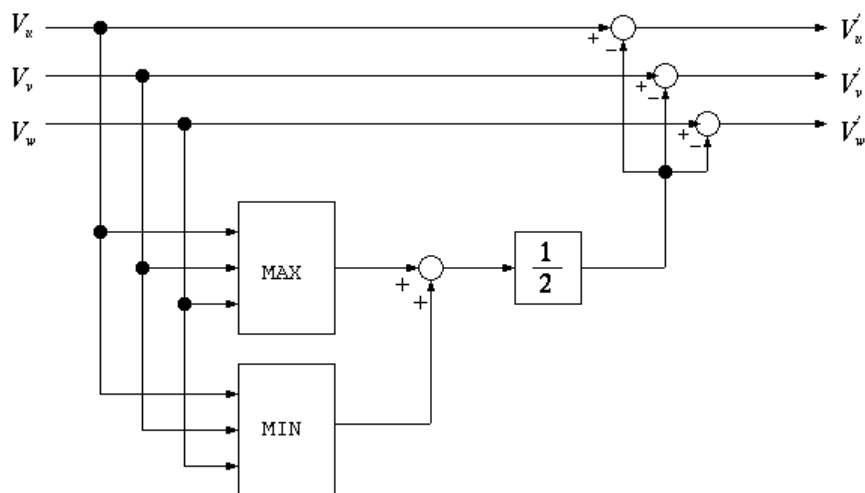


図 4.4.3-10 電圧補正 2 ブロック図

電圧指令を正弦波状としてピーク値が最大電圧に一致する時の変調率を 1.0 と定義すると、上記の補正を加えることによって、 $1.15(2/\sqrt{3})$ まで線形領域を伸ばすことができる。

更に変調率を上げると、その歪み成分により高調波リップルが増加するが、基本波成分のみに注目すると 6 ステップ（各相が最大または最長値の矩形波状）まで上げることができる。6 ステップ時の基本波成分の変調率は $1.27(4/\sqrt{3})$ である。6 ステップまで線形性を保つようにするには上記とは別に過変調補正と呼ばれる方法を適用する。過変調補正には様々な方法があるが、電圧補正 1 の特性を利用した単純な方法を採用した。指令と実電圧（変調率）の関係を図 4.4.3-11 に示す。横軸が指令で縦軸が実電圧である。電圧補正 1 による方法では 1.15 までは理想的であるが、その後は指令に対して実電圧の方がり、指令が 2.30 になったときに 6 ステップ(1.27)と

なる。このため、電圧指令 1 を用いる場合は、実電圧が 1.15 から 1.27 までの指令と実電圧の比を関数化（テーブル化）し、変調率指令が 1.27 の時に 2.30 の指令になるように補正を加えることで変調率 1.27 まで理想的に出力することが可能になる。

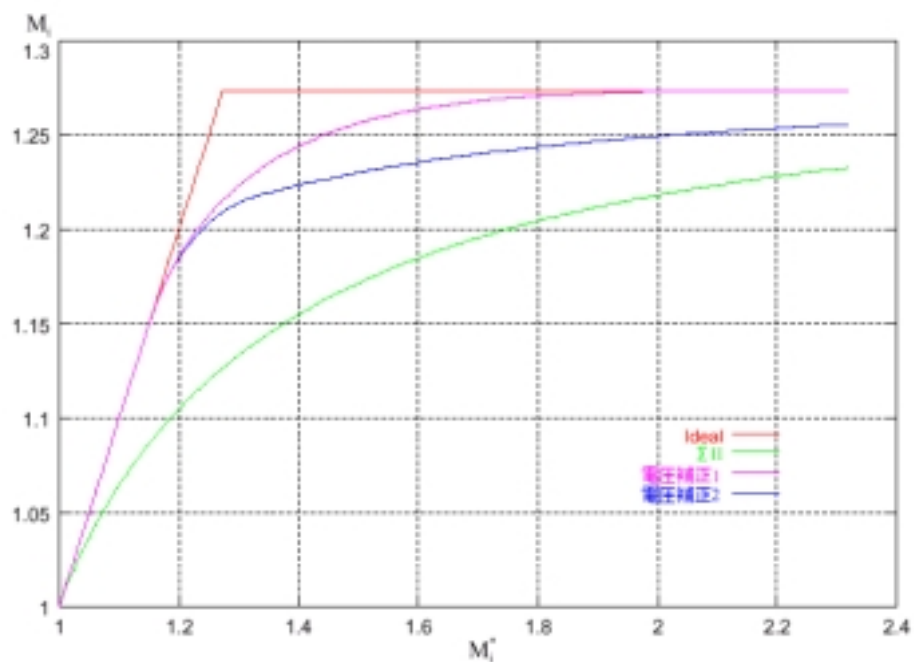


図 4.4.3-11 変調率比較

(6) オンディレイ補償

スイッチング素子の応答遅れによる短絡事故を防止するため、通常スイッチング指令にデッドタイムを付加するが、これにより指令と実際の電圧には誤差が生じる。これを補償するものがデッドタイム補償あるいはオンディレイ補償と呼ばれるものである。「オンディレイ補償」はデッドタイム作成手段としてオンディレイ回路を利用することから呼ばれるようになった。

図 4.4.3-12 にスイッチング波形およびスイッチング素子の概要を示す。波形は指令電圧(U_{ref})と上下のスイッチング指令波形(PU、NU)および電流方向別の端子電圧を示している(端子電圧は電流方向により異なる)。下図の V_U および V_{U+} の P 側の区間に注目すると、電流が正方向のときオンディレイ分だけ長くなり(V_{U+})、電流が負方向の時はオンディレイ分だけ短くなる(V_U)。区間の増減はそのまま電圧の誤差になるため、電流の極性から判断したオンディレイ補償値をあらかじめ電圧指令(PWM 指令)に加算して出力する。これにより指令通りの波形を出力することができる。

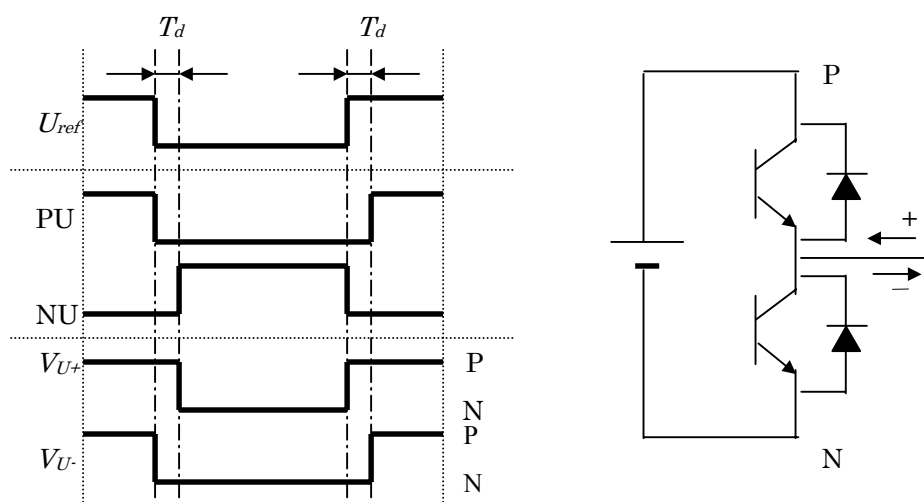


図 4.4.3-12 スwitchング素子と PWM 波形

しかし、図 4.4.3-12 から 1 周期内で電流の極性が反転する場合は、補償しなくとも正しい電圧となる場合もあり、補償を加えることで逆に悪影響を与えることもある。また零電流付近では素子の応答の変化などもあり、通常の方法では正しく補償できない。実際にオンディレイ補償値を 0 としてデッドタイムによる電圧誤差を測定してみたところ図 4.4.3-13 のようになった。図 4.4.3-13 は、電圧 FF 補償を入れ、モータをロックしてトルク指令を変化させたときの電流指令と電圧誤差(電流制御積分量)の関係である。

図 4.4.3-13 を見てわかるように、電流が 0 の付近ではオンディレイ補償を入れない方が電圧誤差量は少なく、電流がある程度上昇するとデッドタイム分の電圧に相当する誤差が生じている。

インバータではオンディレイ補償を台形波状、つまり図 4.4.3-13 の破線に相当する補償を入れるようにすることで、電流の歪みが減少し、制御性能が向上した。サーボでは III (SGDS) から、台形波補償を追加した。

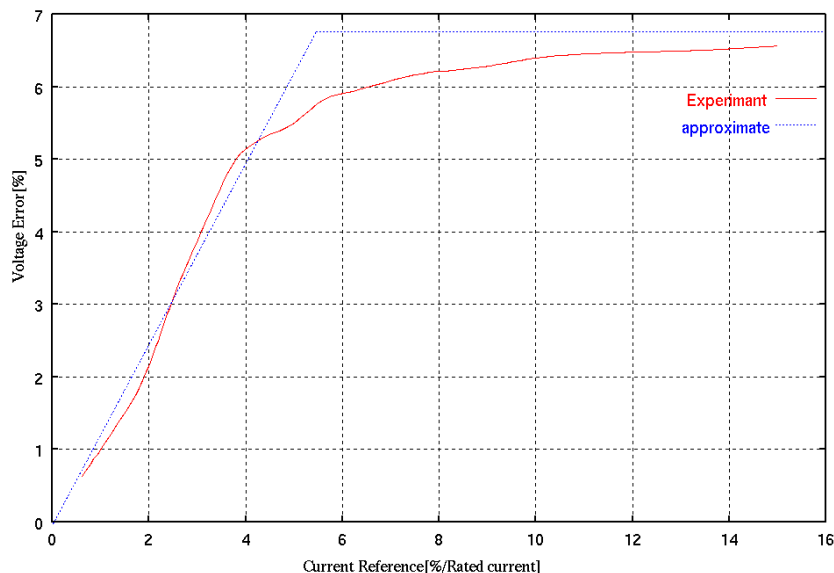


図 4.4.3-13 デッドタイムによる電流と電圧誤差の関係
(SGDS200W/200V を使用)

図 4.4.3-14 にオンディレイ補償のブロック図を示す。オンディレイ補償は、電流値 (UVW) の符号に従って補償値を求め、指令電圧より求められた PWM タイマ設定値に加算する。符号を判断する電流は OD_LVL により選択し、検出値が OD_LVL よりも大きいときは検出値、小さいときは指令値とする。つまり OD_LVL に最大値を入れれば常に指令値、零とすれば常に検出値となる。3 相電流指令は dq 軸電流指令を 2 相 3 相変換して求める。通常は指令を使用する。

台形波補償は、台形波の傾きを表す K_{ondv} を導入し、これを電流値に掛けてオンディレイ補償設定値でリミットするようにした。

$$T_U = \text{limit} (K_{ondv} \cdot I_u / 2^{13}, \text{ONDV})$$

これにより、電流が小さい場合には電流に比例した大きさの補償値、電流値がある程度大きくなると一定値 (設定値) で補償するようになる。また、 K_{ondv} の値が零の場合は従来の矩形波補償とし、補償方法の切り替えも可能としている。

ONDV の値は次のようにして計算する。PWM タイマのクロック周波数を 48MHz とすると、オンディレイ補償時間 T_{delay} ($0.1[\mu\text{s}]$) より、

$$\text{ONDV} = \frac{48 \cdot 10^6}{2} \frac{T_{\text{delay}}}{10^7} = \frac{24 \cdot T_{\text{delay}}}{10}$$

傾き係数 K_{ondv} は、補償が 100% となる電流の最大電流に対する比を P_{ondv} とすると次のようになる。

$$K_{ondv} = 2^8 \cdot 2^{13} \frac{P_{ondv}}{15000}$$

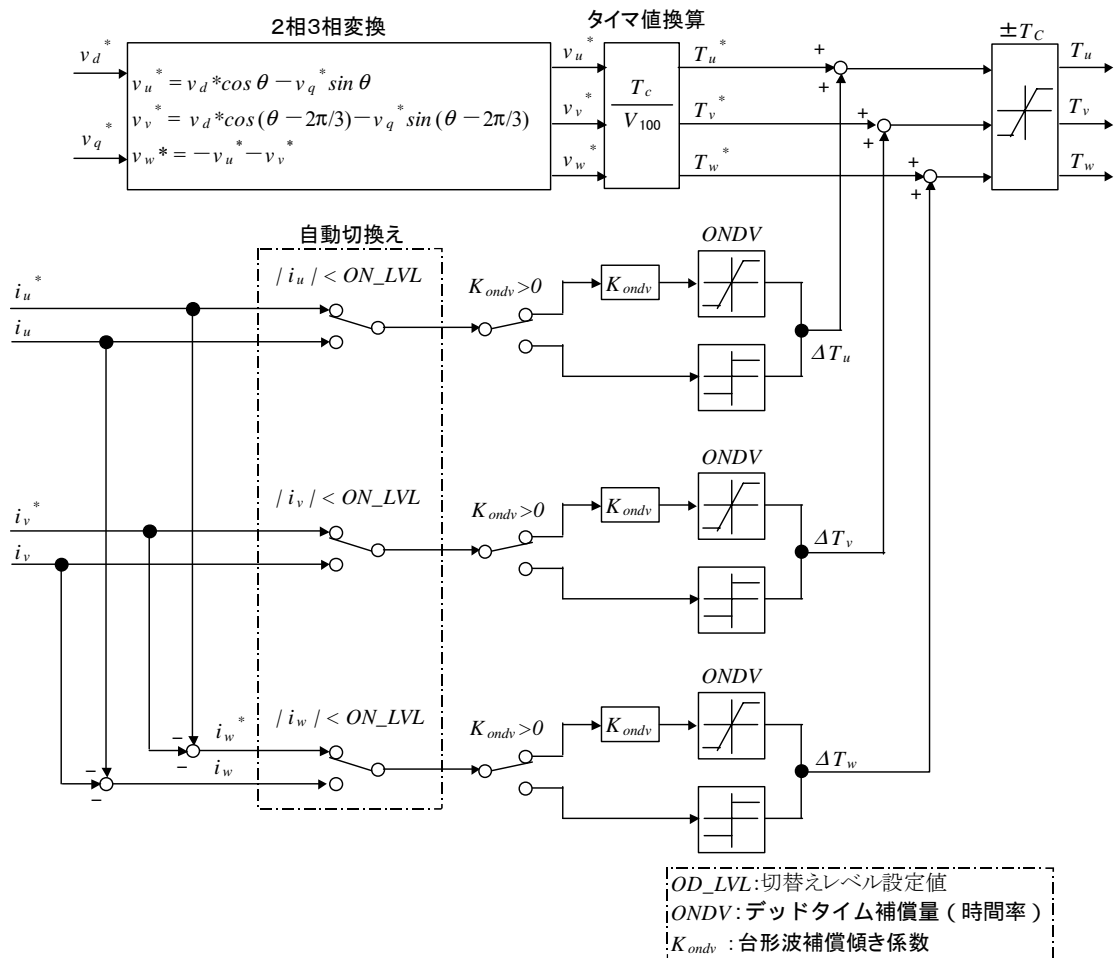


図 4.4.3-14 オンディレイ補償ブロック図

(7) トルクフィルタ

機械系振動の特定周波数成分除去のため、トルクフィルタに対してノッチフィルタを使用する。また、高調波成分除去のためにローパスフィルタ（二次）を使う場合もある。また、除去したい振動成分は複数ある場合もある。このため、サーボでは2段のノッチフィルタとローパスフィルタを使用している。SGDSではCPU側の演算量低減のため、ノッチフィルタをASIC側で行うようにした。フィルタは図 4.4.3-15 に示すように、2段のノッチフィルタと一次のローパスフィルタおよびそれらの ON/OFF スイッチにより構成した。

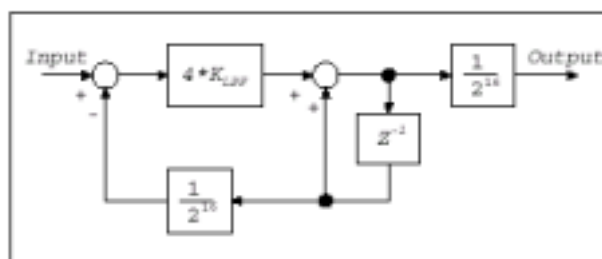
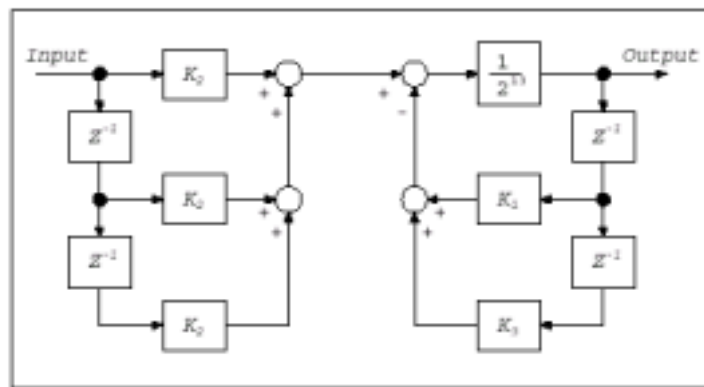
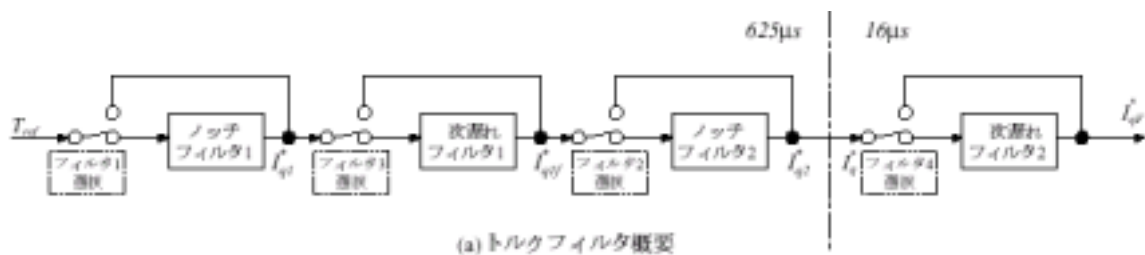


図 4.4.3-15 トルク指令フィルタ

ノッチフィルタ

クオリティエレメントを Q 、カットオフ周波数を ω_n [rad/s] とすると

$$G_{NF}(s) = \frac{s^2 + \omega_n^2}{s^2 + \frac{\omega_n}{Q}s + \omega_n^2}$$

となる。これを双一次近似により離散化する。S を以下で置き換える。

$$s = \frac{2}{T_s} \frac{1 - Z^{-1}}{1 + Z^{-1}}, \quad h = \frac{2}{T_s}$$

ここで、 T_s はサンプリング時間[s]である。

$$G_{NF}(Z) = \frac{K_2 + K_4 Z^{-1} + K_2 Z^{-2}}{1 + K_1 Z^{-1} + K_3 Z^{-2}}$$

ただし、

$$K_1 = \frac{2(\omega_n^2 - h^2)}{h^2 + \frac{\omega_n}{Q}h + \omega_n^2} \quad K_2 = \frac{h^2 + \omega_n^2}{h^2 + \frac{\omega_n}{Q}h + \omega_n^2}$$

$$K_3 = \frac{h^2 - \frac{\omega_n}{Q} + \omega_n^2}{h^2 + \frac{\omega_n}{Q}h + \omega_n^2} \quad K_4 = K_1$$

ノッチフィルタを図 4.4.20(b)のように構成した場合、二次のローパスフィルタとしても使用可能である。二次ローパスフィルタの場合は

$$K_2 = \frac{\omega_n^2}{h^2 + \frac{\omega_n}{Q}h + \omega_n^2} \quad K_4 = 2K_2$$

とすることで実現できる。内部演算は整数で行われるため、これを整数化する。図 4.4.20(b)中の $1/2^{13}$ は整数化ゲインを 2^{13} としたものである。 $K_1 \sim K_4$ に 2^{13} をかけて整数化する。

一次遅れフィルタ

連続系の伝達関数は、

$$G_{LPF}(s) = \frac{1}{1 + T_f s}$$

これを一次近似し、逐次演算の形にすると、

$$y(k) + (y(k) - y(k-1)) \cdot \frac{T_f}{T_s} = x(k)$$

$$y(k) = \frac{T_s}{T_s + T_f} (x(k) - y(k-1)) + y(k-1)$$

となる。整数化のため、

$$T_{LPF} = \frac{T_s}{T_s + T_f} \cdot 2^{14}$$

とすると、演算は以下ようになる。

$$Y(k) = T_{LPF} (X(k) - \frac{Y(k-1)}{2^{16}}) \cdot 4 + Y(k-1)$$

ただし、入力 X は 16bit、出力 Y は 32bit である。これにより得られた Y の上位 16bit が最終的なフィルタ出力となる。

4.4.4 定数値（パラメータ）計算

電流制御パラメータはトルクフィルタを除き、パラメータ変更時に電源再投入が必要になる。ただし、ASIC 側はサーボオフ状態であれば常に書き換え可能としている。

パラメータの書き込みは、ASIC_WR マクロを用い、書き込み後は読み出しにより正しく書き込めたかをチェックする。プログラムは以下ようになる。

```
ASIC_WR( DQ_XXXX, data_buf);
err_flag |= ( data_buf ^ ASIC_RD( DQ_XXXX ) );
```

この項では以下の関連データを前提に説明する。

キャリア周波数： F_c [Hz] (PnE2C)

電流サンプル周期： T_{sc}

指令更新周期： $T_s = 62.5[\mu s]$

電流：15000 / 最大電流時

最大電流： $I_{max}[0.1A]$

電圧：8192 / 基準電圧時

DC 電圧： $V_{DC}[0.0002V]$ (200V 級では $200 \cdot 2 \cdot 10000$)

電流のサンプル周期は、電流検出設定に従う。バージョン A107 以降は A/D タイマ設定により指定する。[ns]単位でサンプル周期を求める場合は以下ようになる。

$$T_{sc} = (1000 \cdot (256 - (ASIC_ADFCNT2 \& 0x00ff))) / (24 / (16 - (ASIC_ADFCNT1 \& 0x000f)));$$

(1) トルクフィルタ

ノッチフィルタ 1

$$\text{伝達関数： } G_N(s) = \frac{s^2 + k \cdot \frac{\omega_c}{Q} s + \omega_c^2}{s^2 + \frac{\omega_c}{Q} s + \omega_c^2}$$

これを双一次変換により離散化してまとめると次のようになる。

$$G_N(Z) = \frac{K_2 + K_1 Z^{-1} + K_4 Z^{-2}}{1 + K_1 Z^{-1} + K_3 Z^{-2}}$$

ただし、

$$h = \frac{2}{T_s}, K_0 = h^2 + \frac{\omega_c}{Q} h + \omega_c^2$$

$$K_1 = \frac{2(\omega_c^2 - h^2)}{K_0} \quad K_2 = \frac{h^2 + \frac{k\omega_c}{Q} h + \omega_c^2}{K_0}$$

$$K_3 = \frac{h^2 - \frac{\omega_c}{Q} h + \omega_c^2}{K_0} \quad K_4 = \frac{h^2 - \frac{k\omega_c}{Q} h + \omega_c^2}{K_0}$$

となる。 ω_c 、 Q 、 k は Pn409[Hz]、Pn40A[0.01]、Pn40B[0.001]より、

$$\omega_c = 2 \cdot \text{Pn409}$$

$$Q = \text{Pn40A}/100$$

$$k = \text{Pn40B}/1000$$

ASIC では整数化ゲインを 8192 として計算するため、ASIC への設定は

$$DQ_KF1=K1*8192$$

$$DQ_KF2=K2*8192$$

$$DQ_KF3=K3*8192$$

$$DQ_KF4=K4*8192$$

とする。

次フィルタ

$$\text{伝達関数： } G_{LPF}(s) = \frac{\omega_c^2}{s^2 + \frac{\omega_c}{Q}s + \omega_c^2}$$

$$\text{離散化すると： } G_{LPF}(Z) = \frac{K_2 + K_4 Z^{-1} + K_2 Z^{-2}}{1 + K_1 Z^{-1} + K_3 Z^{-2}}$$

(係数番号がノッチと異なるので注意)

各係数はノッチフィルタの場合と同様に、

$$K_1 = \frac{2(\omega_c^2 - h^2)}{K_0} \quad K_2 = \frac{\omega_c^2}{K_0}$$

$$K_3 = \frac{h^2 - \frac{\omega_c}{Q}h + \omega_c^2}{K_0} \quad K_4 = 2K_2$$

となる。 ω_c 、 Q は Pn40F[Hz]、Pn410[0.01]より、

$$\omega_c = 2 \cdot \text{Pn40F}$$

$$Q = \text{Pn410}/100$$

ASIC では整数化ゲインを 8192 として計算するため、ASIC への設定は

$$DQ_KF21=K_1*8192$$

$$DQ_KF22=K_2*8192$$

$$DQ_KF23=K_3*8192$$

$$DQ_KF24=K_4*8192$$

とする。

一次遅れフィルタ 1

$$\text{伝達関数： } G_{1D}(s) = \frac{1}{1 + T_f s}$$

これをオイラー近似して逐次演算式を求めると次のようになる。入力を x_n 、出力を y_n とすると、

$$y_n = \frac{T_s}{T_s + T_f} (x_n - y_{n-1}) + y_{n-1}$$

T_s はサンプリング時間(62.5 μ s)である。整数化係数は 16384 とし、内部演算は次のようにしている。

$$y_n = T_{LPF}(x_n - \frac{y_{n-1}}{2^{16}}) \cdot 4 + y_{n-1}$$

以下の計算により TLPF を求めて ASIC のレジスタへ設定する。

$$DQ_TLPF = T_{LPF} = \frac{T_s}{T_s + T_f} 2^{14}$$

尚、SGDS では本機能は使用しないため、DQ_TLPF は 4000h (フィルタなし) で初期化する。

一次遅れフィルタ 2

本フィルタは電流制御周期(T_{sc})で動作し、62.5 μ s 毎に更新される指令の平滑化のために使用する。

演算は上記一次遅れフィルタ 1 と同じで、 T_s を電流制御周期 T_{sc} に置き換えるだけである。

$$DQ_TLPFC = T_{LPFC} = \frac{T_{sc}}{T_{sc} + T_{fc}} 2^{14}$$

ただし、 $T_{fc} = Pn411 \cdot 10^3 [ns]$

(2) ACRd、ACRq

電流制御は PID + 出力フィルタ (一次遅れ) により構成する。d q 軸それぞれ全く同じ計算を行うので、以下は d 軸についてのみ説明する。

比例ゲイン (KDP、KQP)

内部演算は次のようにしている。

$$\text{比例項(d)} = KDP \cdot (IDREF - IDFB) / 512$$

比例ゲインパラメータを応答周波数とした場合、上式に当てはめるためには応答周波数と比例ゲインの関係を求める必要がある。積分がない場合の指令からフィードバックまでの伝達関数は、

$$G_{ACR}(s) = \frac{i_{fb}}{i_{ref}} = \frac{K_p}{Ls + R + K_p} \cong \frac{1}{\frac{L}{K_p}s + 1}$$

これより応答周波数を K_f [Hz] にする場合の比例ゲインは

$$K_p = 2\pi K_f L$$

となる。 K_f は d 軸が PnE20、q 軸が PnE21 により設定する。 L はモータインダクタンス (PnF0E) である。

ASIC パラメータ (KDP、KQP) への設定値は、内部演算の電流電圧の整数化とゲインの整数化係数 2^9 とから、次のようにして計算する。D 軸を例にとると

$$K_{DP} = 2\pi K_f \frac{L}{10^5} \frac{2^{13} \cdot 20000}{V_{DC}} \frac{I_{max}}{150000} \cdot 2^9$$

またディレーティング K_{delay} (Pn117) を考慮しまとめると次のようになる。

$$K_{DP} = \frac{K_{\text{delay}} \cdot K_f}{V_{DC}} \cdot \frac{411775}{1171875} \cdot I_{\text{max}} \cdot L$$

積分ゲイン (KDI、KQI)

積分演算は次のようになっている。

$$\text{積分項 IDI(d 軸)} = (KDI \cdot (IDREF \cdot IDFB)) \cdot 8 + IDI$$

積分値 IDI は精度向上のため 32 ビットとし、上位 16 ビットが出力、下位 16bit が余りとなる。

積分ゲインは積分時間を T_I とすると

$$K_I = \frac{K_P \cdot T_{sc}}{T_I}$$

となり、上記演算の比例ゲインの整数化係数 2^9 とを考慮すると ASIC パラメータ (KDI、KQI) への設定値は、

$$K_{DI} = \frac{K_{DP}}{2^9} \cdot \frac{T_{sc}}{T_{DI}} \cdot \frac{2^{16}}{2^3} = \frac{2^4 K_{DP} \cdot T_{sc}}{T_{DI}}$$

PnE22、PnE23 は μs 単位であるので、サンプリング時間と単位をあわせて上記演算を行う。

$$T_{DI} = Pn422 \cdot 10^3 [ns]$$

積分リミット (VDLIM、VQLIM)

PnE24、PnE25 は整数化後のリミット値を入力する。100%電圧でリミットする場合は 8192 となる。初期値は 10430 (127.3%) とする。これは ASIC パラメータへそのまま転送する。

微分ゲイン (KDD、KQD、DFILD、DFILQ)

微分は高調波成分除去のため、ハイパスフィルタの構成をとる。微分時間を T_D 、微分のフィルタ時定数を T_{fD} とすると

$$\frac{K_P \cdot T_{Ds}}{1 + T_{fDs}} = \left(1 - \frac{1}{1 + T_{fDs}}\right) K_D$$

フィルタ時定数 T_{fD} (DFILD、DFILQ) については、設定値 PnE37、PnE38 の値から前記一次遅れフィルタと同じ計算を行う。

$$DFILD = \frac{T_{sc}}{T_{sc} + T_{fDD}} 2^{14} \quad (T_{fDD} = \text{PnE37 の設定時間})$$

微分ゲインは微分時間 T_D (PnE35、PnE36) を用いて

$$K_{DD} = \frac{K_{DP} \cdot T_{DD}}{T_{fDD}}$$

(3) 3 相 2 相変換

電流検出部、d q 変換、レベル調整から構成される。d q 変換は位相入力を用いて行う。[位相については\(11\)で説明する。](#)

電流検出

電流検出部は A/D 読み込み値に対してゲイン・オフセット調整をして U、V 相電流値を求める。電流検出値は $\pm 15\text{bit}$ で入力されるが、下位 2bit は正確でないため削除し $\pm 13\text{bit}$ として調整を行う。

$$IU = (ADIU \gg 2 + IUOFIN) * KCUI / 256$$

まずオフセット調整は、オフセットを 0 としてサーボ OFF 時の電流検出値をある時間平均した値の符号を反転し 2bit シフトして IUOFIN、IVOFIN に書き込む。ただし、サーボ OFF 時は AD コンバータへの電源が供給されないため、Fn00E による自動調整時はチャージポンプを駆動して電源を供給してからこの作業を行う。マニュアル調整は、サーボ駆動時の速度に同期したトルクリプル成分が最小になるように PnE50、PnE51 を用いて調整する。ASIC レジスタ IUOFIN、IVOFIN には設定値をそのまま書き込む。

ゲイン調整は、電流源を用いて一定電流を流し、電流値と A/D 検出値の関係が正しくなるように PnE52、PnE53 を調整する。PnE52、PnE53 は基準値からの増減であるので、設定値に基準値 256 を加えて ASIC レジスタ KCUIN、KCVIN に書き込む。

$$KCUIN = PnE52 + 256$$

ASIC 側のゲイン・オフセット調整値はリアルタイム(指令転送タイミング)の変更を可能としている。

電流レベル調整

d q 変換後に d q 軸電流値が最大電流時に 15000 になるように変換する。PnE28 にサーボ電流最大時の A/D 変換値 I_{ADMAX} を設定し、以下の計算により KC の設定値を求める。KC の整数化ゲインは 2^9 である。

$$K_c = \frac{2}{3} \frac{15000}{I_{ADMAX}} \cdot 2^9 = \frac{20000}{I_{ADMAX}} \cdot 2^8$$

(4) 2 相 3 相変換

位相に従い、d q 軸電圧指令を UVW 相電圧指令に変換する。電圧変換後に電圧を制限する目的で PnE2B を使用するようにパラメータを用意したが、現状は対応しておらず、常に最大 (128% : 6 ステップ) まで出力するようにしている。設置値はそのまま ASIC レジスタ VMAX へ書き込む。

(5) 電圧補正(PnE2A)

電圧補正方法の選択に PnE2F を用いる。PnE2F については(8)で説明する。

電圧補正の一つに AVR 機能がある。これは DC 電圧の変動に従って PWM の変調率を変更するもので以下の計算を行っている。

$$v_u' = v_u \frac{K_{vv}}{8192}$$

K_{vv} (レジスタ KVVIN)は DC 電圧基準値 V_{DC} と DC 電圧検出値 V_{DCDET} を用いて次のように計算する。

$$K_{VVIN} = K_{VV} = \frac{V_{DC}}{V_{DCDET}} \cdot 8192$$

DC 電圧検出は 8bit の PWM を用いた簡易型の電圧検出であり、実電圧 V_{DCDET} と検出値 V_{DCPWM} の関係は以下のようになる。

電圧クラス [V]	最大時電圧 V_{DCMAX} [V] (PnE70)	演算基準電圧 V_{DC}
100	225	$100\sqrt{2}$
200	494	$200\sqrt{2}$
400	900	$400\sqrt{2}$

$$V_{DCDET} = \frac{V_{DCPWM} \cdot V_{DCMAX}}{2^8}$$

電圧検出は精度が荒く分解能も低いいため、桁を上げてフィルタを通した結果を検出値として利用する。

$$V_{DCFIL} = \frac{V_{DCPWM} \cdot 2^8}{1 + T_{vdc}s}$$

これを用いて K_{VV} を計算すると次のようになる。

$$K_{VV} = \frac{V_{DC} \cdot 10000 \cdot 2^{16}}{V_{DCPFIL} \cdot V_{DCMAX} \cdot 10000} \cdot 8192 = \frac{V_{DCRATE}}{V_{DCPFIL}}$$

$$\text{ただし、} V_{DCRATE} = \frac{V_{DC} \cdot 10000 \cdot 2^{16}}{V_{DCMAX} \cdot 10000} \cdot 8192$$

とし、 K_{VV} の最大値は 32767 でリミットする。

PnE2A は設定値を 0 とした時に上記計算による自動補正とする。自動補正しない場合は、基準電圧・8192 / 電源電圧による計算結果を入力する。

(6) 電圧外乱補償（オンディレイ補償）

オンディレイ補償時間(PnE2D.h)[0.1 μs]を用いて PWM タイマ値を補償する。PnE2D.h の設定値は基本的にはオンオンディレイ時間 (PnE2D.l) と同じにする。PWM 設定値はクロックカウンタ数基準であるので、補正值は次のようにして計算する。クロックは 48MHz なので、

$$ONDV = V_{on} = \frac{48000000}{2} \cdot \frac{T_{delay}}{10000000} = \frac{24 \cdot T_{delay}}{10}$$

オンディレイ補償変更レベルは、オンディレイ補償量の基準電流を電流検出と電流指令のどちらにするかを切り替えるレベルである。設定レベルより小さい時は指令、大きい時は検出値となる。PnE2E.l 設定値 $I_{SW\%}$ は最大電流に対する比率である。ASIC レジスタ ODLVL への設定値は次のようにする。

$$\text{ODLVL} = \frac{15000}{I_{\text{rate}}} \cdot I_{\text{MAX}} \cdot \frac{I_{\text{SW}\%}}{100}$$

III ではオンディレイ台形波補償を導入した。台形波の傾きを決めるのが PnE2E.h である。設定値は補償量が 100% となる時の電流値の最大電流に対する比率 $I_{\text{TRA}\%}$ である。ASIC 側では傾きゲイン K_{ONDV} を電流に掛けて 100% でリミットし、上記オンディレイ値に積算する。実際の演算は次のようになる。

$$K = \lim_{I_u \rightarrow 8192} \left(\frac{K_{\text{ONDV}} \cdot I_u}{2^8}, 8192 \right)$$

$$\Delta T_u = \frac{K \cdot V_{\text{on}}}{8192}$$

従って ASIC レジスタ K_{ONDV} への設定値は以下のようにして計算する。

$$K_{\text{ONDV}} = 2^8 \cdot 2^{13} \cdot \frac{1}{15000} \cdot \frac{100}{I_{\text{TRA}\%}} = \frac{139810}{I_{\text{TRA}\%}}$$

(7) 電圧 FF 補償

モータモデルと電流指令により必要な電圧が計算できる。これを電圧 FF 補償として加える。演算式は

$$v_{\text{dc}} = R_l \cdot i_d - \omega \cdot L_q \cdot i_q$$

$$v_{\text{qc}} = \omega \cdot \phi + R_l \cdot i_q + \omega \cdot L_d \cdot i_d$$

モータパラメータ PnF0B、PnF0D、PnF0E は以下のようにになっている。

PnF0B	E M F 定数	m	$0.1 \text{mVrms/min}^{-1}$
PnF0D	巻線抵抗	R	10^{-3}
PnF0E	巻線インダクタンス	L	10^{-2}mH

ASIC 内での EMF 補償演算は

$$V_{\phi} = \frac{\omega \cdot \phi}{2^{15}}$$

となっており、 2^{15} を 100%速度 N_{OS} としている。従って ASIC パラメータ MAG は

$$MAG = \frac{N_{\text{OS}} \cdot \Phi_m \cdot 2^{15}}{15000 \cdot 10000} \cdot \frac{2^{13}}{V_{\text{MAX}}} = \frac{\Phi_m 2\sqrt{2}}{V_{\text{DC}}} \cdot \frac{N_{\text{OS}}}{15000} \cdot \frac{2^{13}}{10000} 2^{14}$$

非干渉項の演算は以下のようになる。

$$V_{L\omega} = \frac{\omega \cdot L}{2^{15}} \cdot \frac{I_q}{2^{15}}$$

従って ASIC のインダクタンス設定値 LD 、 LQ は、電圧、電流、速度の整数換算を考慮して、以下のようになる。

$$LD = LQ = \frac{2^{15} \cdot 2\pi \cdot N_{\text{OS}}}{60 \cdot 15000} \cdot \frac{2^{15} \cdot I_{\text{MAX}}}{150000} \cdot \frac{L}{10^5} \cdot \frac{2^{13}}{V_{\text{MAX}}} = \frac{L \cdot 3217}{3515625} \cdot \frac{1048576}{234375} \cdot \frac{20000}{V_{\text{DC}}} I_{\text{MAX}} \cdot N_{\text{OS}}$$

ASIC 内ではインダクタンスは d q 軸それぞれで持つようにしている。サーボでは一般的に d q で同じ値を使用する。

抵抗ドロップ補償は

$$V_R = \frac{R \cdot I_q}{2^{15}}$$

よって、ASIC の抵抗設定値 R1 は、

$$R1 = 2^{15} \frac{R}{1000} \frac{I_{MAX}}{150000} \frac{2^{13}}{V_{MAX}} = \frac{R \cdot I_{MAX}}{150000} \cdot \frac{163840}{V_{DC}} \cdot 32768$$

(8) その他

キャリア周波数設定

ASIC に対しては 48MHz クロックのカウント値として設定する。PnE2C キャリア周波数設定値 F_c [Hz]から

$$CRFQ = \frac{48000000}{2F_c}$$

制御スイッチ (CSW)

PnE2F は次のようになる。ただし、bit4 ~ 7 は Pn408 にて設定する。

Bit No	初期値	内容
0	0	積分クリア選択 (1:あり)
1	1	電圧 FF 補償用電流選択 (1:指令、0:検出)
7~4	-	Pn408 設定に従う
9、8	01	電圧補正方式選択 (00:なし、01:補正方式 1、02:補正方式 2)
10	1	過変調補正選択 (1:あり)

電圧補正方式について、補正方式 1 は 3 相電圧の絶対値が最大の相が出力可能領域を越えた時に、超えた量を 3 相それぞれから減算する方式。補正方式 2 は、3 相の最大と最小の和の $1/2$ を 3 相から減算する方式。補正方式 1 により出力される波形は II と似た波形になるので特に問題とはならない。補正方式 2 は電流リップルが減るというメリットはあるが、ノイズ(コモンモードノイズ)の評価が必要になる。そのため初期値は補正方式 1 としている。

4.4.5 指令転送処理

指令転送は位相更新周期で一括して行い、レジスタに書き込み後、ASIC に対して転送指令を発生させることによって行う。転送指令はバージョン A107 より同期ポート入力を入力するように変更した。これは II と同じ方式である。A107 以前では割り込みを利用していた。割り込み出力は WDT クリアも兼用であるため、これはそのまま残し、同期ポート 1 出力を追加した。

```
ASIC_WR(DQ_INTH1, 0); /* ASIC 演算部割り込みポート 1 書き込み */
```

```
ASIC_CTSTR_PORT1; /* ASIC 演算部への転送 */
```

また、位相更新のみは $31.25[\mu s]$ で行うため、位相のみを更新する場合は同期ポート 2 を利用する。

```
ASIC_CTSTR_PORT2;          /* ASIC 演算部へ位相のみ転送 */
```

同期ポートは CTSTR レジスタの bit1(ポート 1)、bit2(ポート 2)に割り当てている。CTSTR レジスタへのアクセスは JL056.h にて以下のように定義する。

```
#define    ASIC_CTSTR_WR(dat)    ASIC_WR( DQ_CTSTR、 (ctstr_dat = dat) )
#define    ASIC_CTSTR_PORT1     ASIC_WR( DQ_CTSTR、 (ctstr_dat |
                                     DQ_UP_PORT1) )
#define    ASIC_CTSTR_PORT2     ASIC_WR( DQ_CTSTR、 (ctstr_dat |
                                     DQ_UP_PORT2) )
```

速度演算は ScanB で行うので、速度、トルクリミットは ScanB にて書き込みを行う。実際に転送されるのは、その直後の ASIC への転送時となる。

ASIC 電流制御データを取得するのは割り込み指令の直前が良い。フィルタ後のトルク指令は制御で使用するので割り込み直前に取得するようにする。それ以外のタイミングで取得する場合、ASIC 側が同じレジスタに書き込みしている場合があり、その時はデータは補償できない。

(1) トルクリミット、速度

トルクリミットは入力として Pn404、Pn405 とアナログ入力などがあり、シーケンス部で選択して設定する。ASIC への設定値は 15000 を最大値として設定する。

正側：TLMTPIN

負側：TLMTMIN

速度も最大速度が 15000 となるように変換してから転送する。

```
CNVNORM( bro.nfb1、 speedfb1、 15000、 work );    /* 15000/nos 差分速度計算 */
```

演算後にトルクリミットと共に転送するが、ASIC 演算は符号付であるので sysf.dir により次のようにして転送する。

```
If( sysf.dir )    /* 逆回転モード */
{
    ASIC_WR( DQ_VELIN、 -bro.nfb1 );    /* EMF 補償計算用速度は差分速度
    bari.nfb1 を使う */
    ASIC_WR( DQ_TLMTPIN、 asic_tlimn );    /* 逆転側電流制限値 */
    ASIC_WR( DQ_TLMTMIN、 asic_tlimp );    /* 正転側電流制限値 */
}
else
{
    ASIC_WR( DQ_VELIN、 bro.nfb1 );    /* EMF 補償計算用速度は差分速度
    bari.nfb1 を使う */
    ASIC_WR( DQ_TLMTPIN、 asic_tlimp );    /* 正転側電流制限値 */
    ASIC_WR( DQ_TLMTMIN、 asic_tlimn );    /* 逆転側電流制限値 */
}
```


(2) 電流指令、トルク指令

トルク指令は最大トルクを 15000 とした値に換算する。

```
CNVNORM( bai.asic_trf0, trqref0, 15000, wk1 );
```

d 軸電流指令はサーボでは通常 0 とする。またトルクは速度と同様にして回転方向により次のようにする。

```
If( sysf.dir ) /* 逆回転モード */
{
    abcro.Iqref = -(ASIC_RD(DQ_IQMON)); /* 電流制限後の Iq 指令 */
    ASIC_WR( DQ_IDIN, 0 ); /* Id 指令 = 0 */
    ASIC_WR( DQ_IQIN, -bai.asic_trf0 ); /* Iq 指令 = -trf0 */
}
else
{
    abcro.Iqref = ASIC_RD(DQ_IQMON); /* 電流制限後の Iq 指令 */
    ASIC_WR( DQ_IDIN, 0 ); /* Id 指令 = 0 */
    ASIC_WR( DQ_IQIN, bai.asic_trf0 ); /* Iq 指令 = trf0 */
}
```

(3) 位相

位相は電気角で $65536 / 2$ の単位に換算して書き込む。つまりエンコーダの位相にポール数 $/ 2$ を掛け $65536 / 2$ となるように換算してから書き込む。

```
ASIC_WR( DQ_PHAIN, aro.pole0 );
```

また、検出遅れを補償するため、検出遅れ時間と速度に応じた補正 ($62.5 \mu s$ で進む位相を加算)を行うのが良い。これをしない場合は、回転数が上がるに従ってトルクの直線性が悪化する。

(4) 電圧指令

通常は使用しない。V/F 運転や、電圧 FF 補償の追加補償を行う場合に使用する。

4.5 ソフトウェア

ソフトウェアにはイベント駆動形とスキャン同期形があるが、サーボパックではスキャン同期形を採用している。一般にイベント駆動形は外部からの要求に応じて動作を開始し結果を返すが、スキャン同期形は常に定周期でプログラムの動作が循環実行されて常時結果が出力される。イベント駆動形は非同期に発生する多くの仕事を同時(厳密な同期は必要ない)にこなさなければならないようなアプリケーションに向いており、通常はオペレーティングシステム(OS)が使用されて各仕事はタスクと呼ばれるモジュールに割り振られる。一方、スキャン同期形は比較的単純な同一動作を繰り返し行い、しかも内部の処理を厳密に同期して行う必要があるアプリケーションに向いている。このようなスキャン同期形ソフトウェアは定周期に起動される割込みプログラムをベースにして実現される。

ソフトウェアの実現手法におけるもう一つの観点として、外部要求機能志向でまとめるか、内部共通機能志向でまとめるかがある。一般には外部機能志向でまとめた方が機能同士の干渉が無く、安定した品質のものが実現されやすい。しかし、同じ働きを持つプログラムが重複するため、プログラムメモリの使用効率が極端に悪くなり、延いてはコストアップの要因となる。

サーボパックのソフトウェアを大まかに分類すると、ハードウェアを動かすためのインターフェース部分、ユーザとのインターフェース部分、制御アルゴリズムの部分に分けられる。ユーザインターフェース部分は外部要求機能が集約されているところであり、しかも近年この部分の機能の増加が著しい。このような機能は外部要求機能志向が向いている。これに対し、ハードウェアインターフェース部分と制御アルゴリズム部分はユーザインターフェース部分から共通的に使用される機能が多いので内部共通機能志向かつスキャン同期形で実現する。

4.5.1 ソフトウェア構成

サーボのソフトウェアは、Reset/Initial 処理プログラム，Round 処理プログラム及び複数の割り込み処理プログラムから構成される。

図 4.5.1-1 のサーボソフトウェア実行フローに示すように、電源投入によって発生させられたパワーオンリセット信号によって、Reset ルーチンが始動され、Reset ルーチンから Call される Initial ルーチン(main 関数)にて、ハードウェアやソフトウェアの初期化处理が実行される。この後、割り込みがイネーブルされると共に Round ルーチンに入ってラウンド処理を行いながら割り込みを待つ。

サーボのソフトウェア機能の大半は、定周期起動されるスキャン処理(ScanA/B/C)とラウンド処理にて実行される。通信オプションを使用するシステムにおいては、通信オプションからの通信に同期した定周期割り込み信号により同期割り込み処理が起動され、多軸サーボシステムにおける多軸スキャン同期処理が定周期で行われる。表 4.5.1-1 にサーボソフトウェア割り込み一覧と各割り込み処理プログラムの処理概要を、図 4.5.1-2 にサーボソフトウェア機能ブロック図を示す。

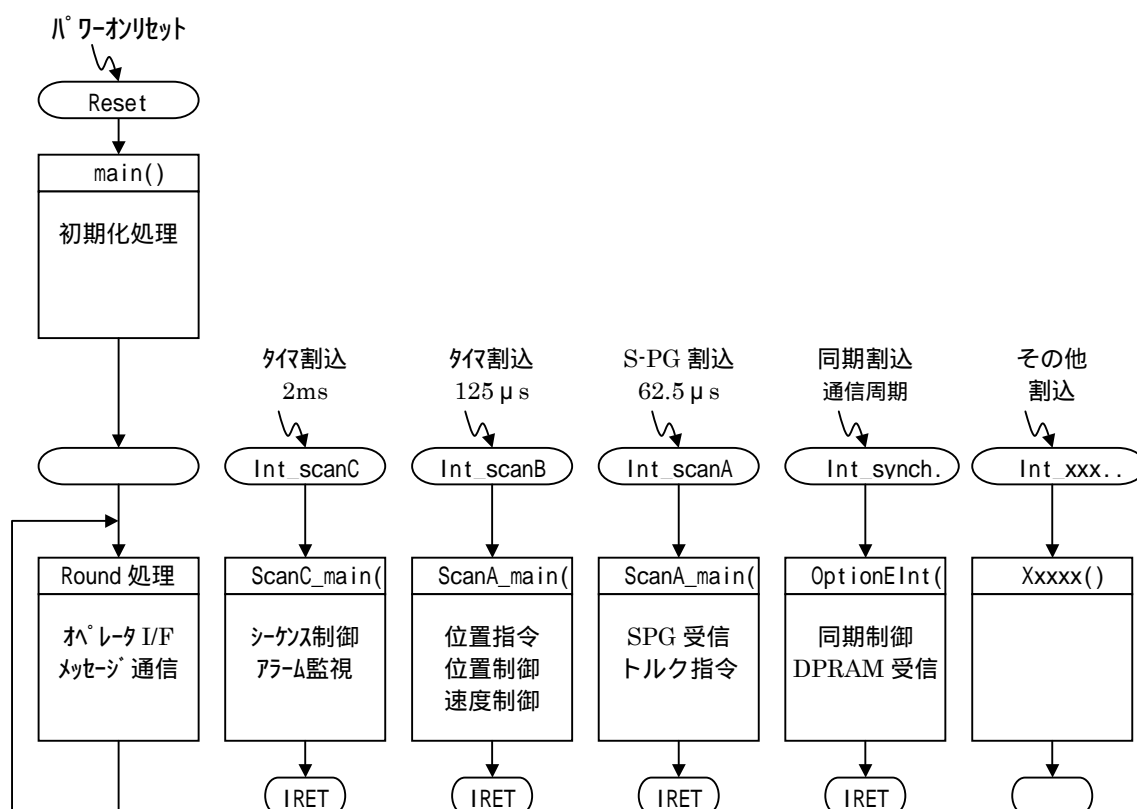


図 4.5.1-1 サーボソフトウェア実行フロー

表 4.5.1-1 サーボソフトウェア割込一覧

優先度	名称	割込周期	処理概要
0	同期割込(Sync)	通信周期	通信オプションからの同期割込信号にて起動され、各スキャン同期処理を行うと共に、DPRAM 経由で通信オプションからのデータを受け取る。 本スキャン同期処理により、多軸サーボシステムの多軸スキャン同期(同期精度：約 2 μ s)が実現される。
2	ScanA 割込(S-PG 割込)	62.5 μ s	シリアルエンコードとの定周期通信の送信開始タイミング(受信完了と等価)で定周期起動され、シリアルエンコードからの受信データを読み、F B パルス及びモータ磁極位相の演算を行う。 また、トルク制御時にはトルク指令 A/D 値を読み込みトルク指令を演算する。
3	偏差クリア割込	-	偏差クリア信号にて起動され、位置偏差のクリア処理を行う。偏差クリア信号入力タイミングと ScanA 起動タイミングの時間を計測し、補間演算にて位置偏差をクリアする。
3	外部ラッチ割込 1	-	外部ラッチ信号にて起動され、F B 位置のラッチ処理を行う。外部ラッチ信号入力タイミングと ScanA 起動タイミングの時間を計測し、補間演算にて F B 位置のラッチ演算を行う。
3	外部ラッチ割込 2	-	
3	外部ラッチ割込 3	-	
4	ScanB タイマ割込	125 μ s	タイマ割込により定周期起動され、サーボ制御演算処理を行う。 位置指令作成、位置制御及び速度制御の基本制御機能に加えて、剛性の低いメカ等においては、アドバンス F F 制御(予測制御等)や各種制振制御などの処理を行う。
5	シリアル受信エラー割込	-	シリアル通信受信エラー発生時のエラー処理を行う。
6	ScanC タイマ割込	2.0 ms	タイマ割込により定周期起動され、外部からの運転指令入力信号または通信オプションからの運転指令データにより、サーボ運転シーケンス処理を行い、他スキャン及び ASIC マイクロプログラムへの運転指令を出力する。 また、各ハードウェア異常や制御異常等のアラーム監視及びアラーム発生時の異常処理を行い、ハードウェア及び機械の保護を行う。
-	ラウンド	-	イニシャル処理から呼び出された後、無限ループにより繰り返し実行され、オペレータとのインタフェース処理ならびに通信オプション及びパソコンとのメッセージ通信処理を行い、パラメータ設定(Pn)、モニタ機能(Un)及び補助機能(Fn)の実行処理を行う。
*	シリアル受信完了割込	-	割込マスク：DMA 転送による処理にて実現
*	シリアル送信完了割込	-	割込マスク：DMA 転送による処理にて実現

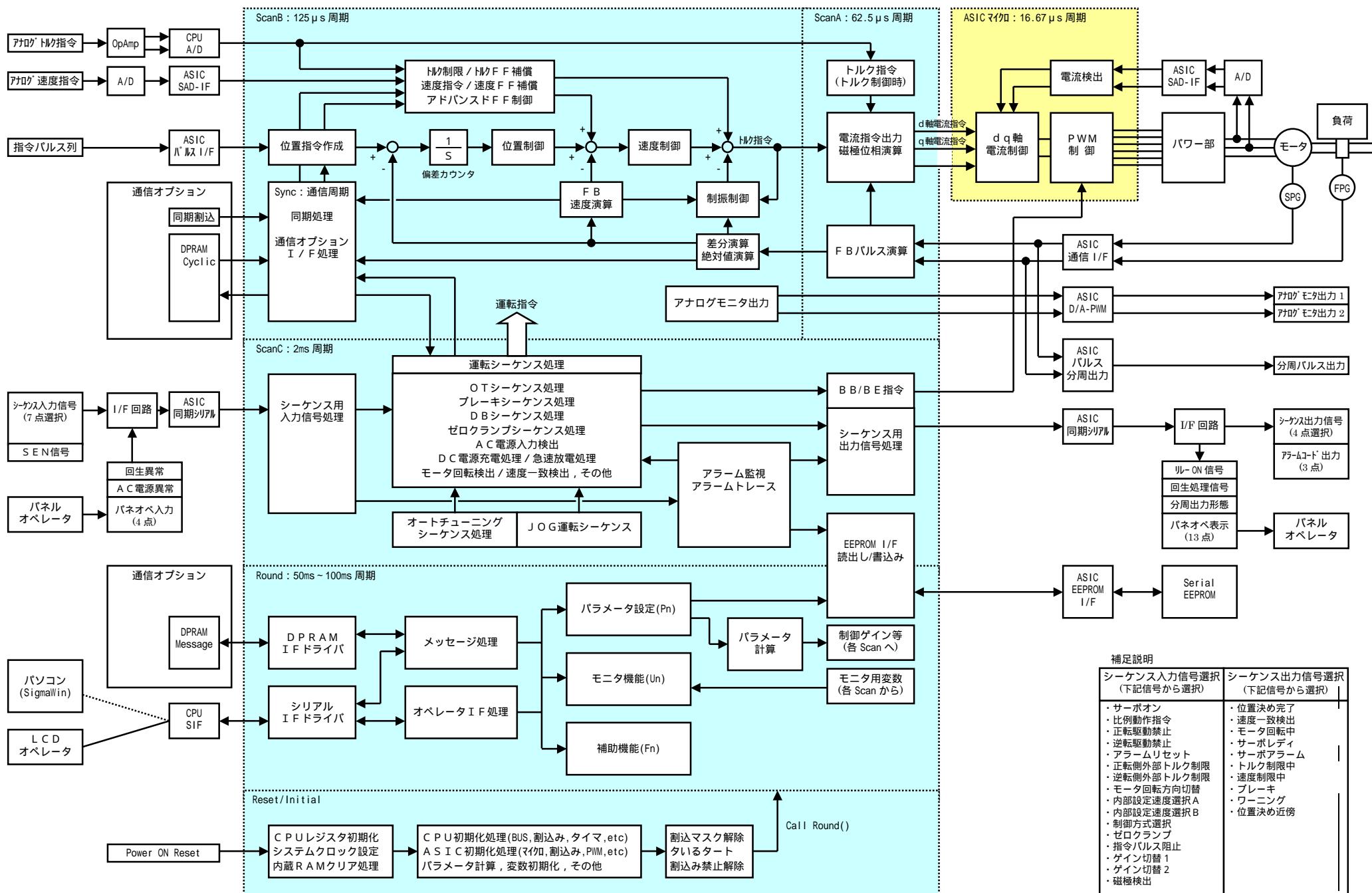


図 4.5.1-2 サーボソフトウェア機能ブロック図

4.5.2 割込処理実行スケジューリング

サーボソフトウェアにおける各割込処理の実行スケジューリングは、CPU(ハードウェア)の優先順位制御多重割込機能を利用して実現している。図 4.5.2.1 に示すように、優先度の高い割込が発生すると、優先度の低い割込処理は一時中断され、優先度の高い割込処理が先に実行される。割込処理の実行スケジューリングが CPU(ハードウェア)にて行われるため、割込処理の切り替えは非常に高速($1\mu\text{s}$ 以下)に行われる。本割込処理高速切り替え機能は、サーボ制御の高速スキャン処理を実現するのに必要不可欠な機能で、一般のリアルタイムOS では実現が困難な機能であり、サーボソフトウェアの特徴の一つである。

また、サーボソフトウェアの各スキャン処理は、図 4.5.2-1 に示すように、その処理周期を ScanA の処理周期の $2n$ 倍に設定すると共に、優先順位の高いスキャン処理から順番に起動することにより、各スキャン処理の整然とした乱れのない定周期実行を実現している。本定周期スキャン処理実行機能により、安定した高速サーボ制御性能を実現している。

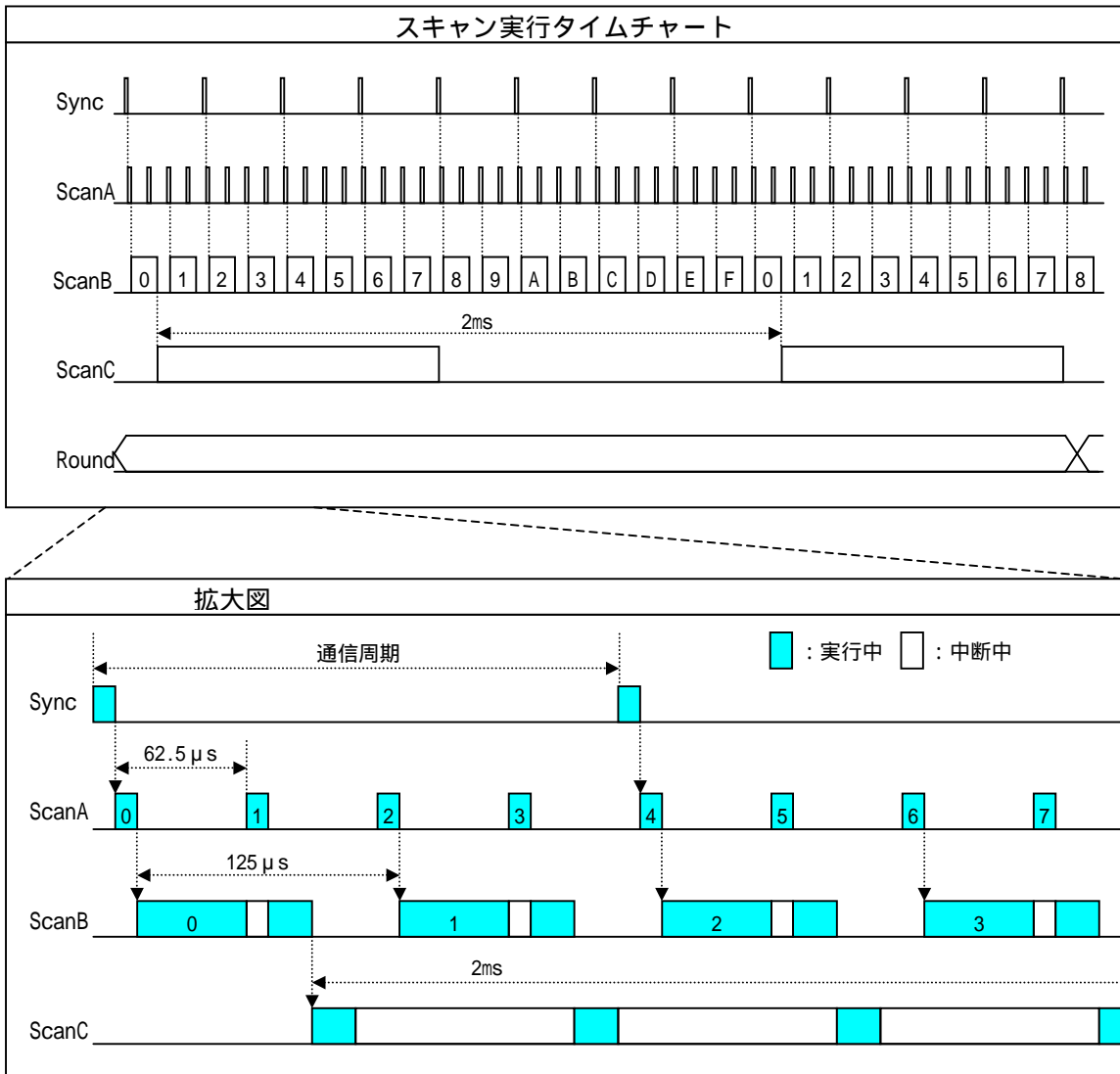
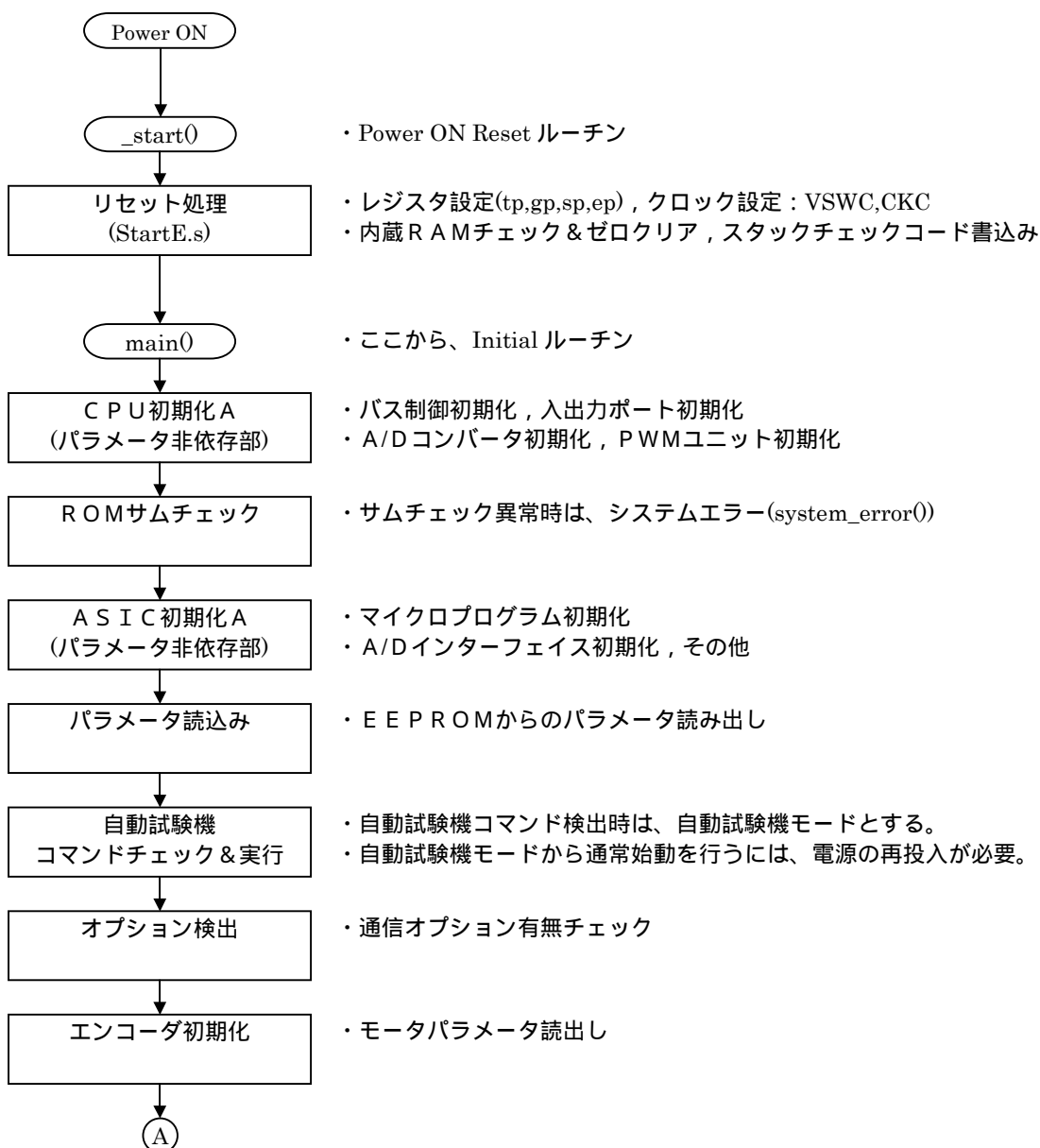


図 4.5.2-1 スキャン実行タイムチャート

4.5.3 イニシャル処理

パワーオンリセット信号により起動された Reset ルーチンと Reset ルーチンから Call される Initial ルーチン(main 関数)により、以下のサーボの初期化処理が行われる。初期化処理が終了すると、割込を許可し、通常処理(round)に入る。

Reset/Initial 処理の処理内容を図 4.5.3-1 に示す。



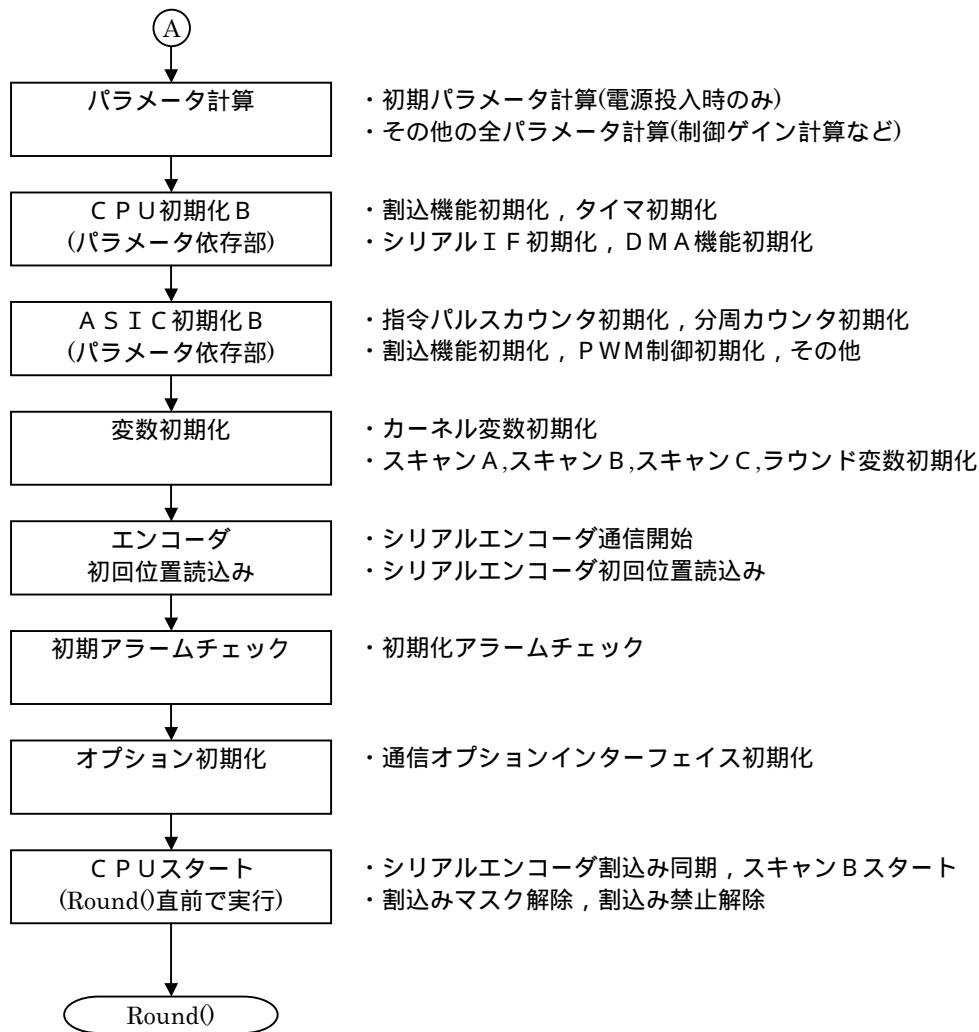


図 4.5.3-1 Reset/Initial 処理

(1) エンコーダ初期化処理

シリアルエンコーダとの通信は、ASIC のハードウェアで実行され、P0 モードと P1 モードの 2 種類の通信手順が準備されている。P0 モード通信手順は、コマンド / レスポンス形式で、モータパラメータの読み出し処理, マルチターンクリア処理, マルチターンリミット設定処理などで使用される。エンコーダ初期化処理は P0 モードで実行される。

以下にシリアルエンコーダの P 0 モード通信の概要を説明する。

P 0 モード通信のフォーマット

P 0 モード通信のコマンドとレスポンスのフォーマットを表 4.5.3-1 に示す。

マスタのサーボパックはコマンドを発行し、スレーブのエンコーダはレスポンスを返す。上位からのコマンドは意図して変更しない限り同じ内容のデータが送信周期毎に連続してエンコーダへ出力される。エンコーダ側でコマンドの内容にしたがって処理を行うと、処理が終わっても再び同じコマンド処理に入り、いつまでもたっても終了しないことになる。これをさける

ためにエンコーダ側は同じコマンドを連続しては受け付けられないようになっている。もし同じコマンドを連続して指令したい場合は、NOPなどの別の無害なコマンドを間に挟んで指令する。エンコーダは同じコマンドかどうかをD0の1バイト目で判定している。D1～D15の値が異なってもD0が同じであれば受け付けない。したがって、コマンドを書き込む場合はD0の内容を最後書き込むのが正しい手順でなる。

電源投入時の初期状態は、NOPコマンド実行終了状態である。

表 4.5.3-1 P0モード通信のフォーマット

[バイト]	[コマンド]	[レスポンス]
D0	コマンドコード	コマンドコード (エコー)
D1		ステータスフラグ
D2	コマンドパラメータ	コマンドパラメータ (エコー)
D3		
D4		
	(コマンドパラメータ)	(処理結果)
D15		

コマンドコード	:	マスタからスレーブへのコマンドの種類 スレーブ側はそのまま返す
コマンドパラメータ	:	コマンドに付随するパラメータ スレーブ側はそのまま返す
ステータスフラグ	:	ハンドシェイクのための状態を示すフラグ
処理結果	:	コマンドの処理結果

P0 コマンド

P0 コマンドには下表に示すものがある。通常のやり取りで使うコマンドは、NOP、BREAK、RESET、READ__PRM（パラメータ送信）、ECHO（エコーバック）の5種類である。このほかにメンテナンス用にいくつかのコマンドが用意されている。

詳細は「標準シリアルエンコーダ通信仕様書（社内用）- 多回転式絶対値エンコーダ、インクリメンタルエンコーダ - DP9404243」を参照。

表 4.5.3 - 2 P0 コマンド一覧

コマンドコード	名 称	コマンドの概要
00H	NOP	何もしない。コマンドの区切り（デリミタ）として使用する。
01H	BREAK	現在処理中のコマンドを強制的に中断する。
【ア】04H	RESET	多回転データとアラームのクリアを行う。
【ア】05H	BKUP_MUL	現在の位置を不揮発メモリに記憶して、次のリセット時に復帰させる。
【ア】06H	MUL_LIMIT	多回転リミットを変更する。
08H	READ_PRM	指示されたアドレスのパラメータを返す。
【ウ】0AH	BANK	EEPROM アクセスアドレスの切り替えを行う。
FFH	ECHO	通信のテスト用。エコーバックを返す。

注)【ア】は絶対値エンコードのみ、【イ】はインクリメンタルエンコードのみ、【ウ】は主軸エンコードのみに適用していることを表す。

ステータスフラグ

ステータスフラグにはエンコードの状態が示されている。上位装置は、このフラグの内容を監視することによりエンコードが待機中であるかコマンド処理中であるかを知ることができる。待機中にコマンドを与えると、エンコードはコマンド処理状態となる。コマンド処理が終了すると再び待機状態になる。このときエンコードからはコマンド処理結果が出力されている。ステータスフラグの内容をつぎに示す。

表 4.5.3 - 3 ステータスフラグ一覧

ビット	記 号	内 容
0	BUSY	コマンド処理中
1	COMERR	コマンドエラーまたはコマンド処理エラーが発生した
2～5	-	‘0’ 固定
6	WNGFLG	ワーニング発生中
7	ALMFLG	アラーム発生中

図 4.5.3-2 に Reset/Initial 処理の PAD を示す。

コメント	
main	
CPU初期化	
ASIC RAMチェック	
プログラム領域のサムチェック	
ASIC初期化	
パラメータロード	
オプション自動検出処理	
シリアルエンコーダ初期化	
パラメータ計算	
NCTパラメータ初期化	
変数初期化	
ASIC初期化 (パラメータ依存部)	
NCT初期化	
タイプアンマッチ検出処理	
過負荷アラームレベル設定	
シリアルエンコーダの初回位置設定	
外部PG処理	
CPUポート設定変更	
シリアルIOへ0出力	
アラーム有り?	ASIC ALMビットON
	ASIC ALMビットOFF
実行開始処理	
割込み禁止 (ラウンドで割込み許可)	
スタートASIC処理	
スタートCPU処理	
電源投入からの急速放電用カウンタのクリア	
round() /*ラウンドメイン関数*/	
ソフトリセット	
ラウンドから戻った場合はシステムエラー	

図 4.5.3-2 Reset/Initial 処理 PAD

注) PAD : Problem Analysis Diagram

以下に示す PAD は 2002/4/17 版 SGDS ソースコード (src0003_001F) から、(株)日立システムアンドサービス社の TOPITAL を用いて逆生成したものである。正確さよりも見易さを重視したので関数名や一部分岐を省略している。

4.5.4 同期割込処理

通信オプションを使用する場合には、イニシャル処理にて同期割込が有効とされる。同期割込処理は、通信オプションからの同期割込信号にて起動され、各スキャンの同期処理を行うと共に、DPRAM 経由で通信オプションからのデータを受け取る。

同期割込信号は、上位コントローラとサーボ間の通信周期に同期して生成され、各サーボ軸のスキャン処理を本同期割込信号に同期させることにより、多軸サーボシステムのスキャン同期を実現している。

上位コントローラとサーボ間のデータの授受は、通信オプションの CPU を介して行われる。また、通信オプションの CPU とサーボ CPU 間のデータの授受は共有メモリ(DPRAM)を介して行われる。このように、上位コントローラとサーボ間のデータの授受は、通信オプションの CPU を介して行うため、データの授受が2段階となり、時間遅れが発生する。現状は CPU の処理能力の問題から、通信オプションの CPU を必要としているが、将来的には、サーボ CPU で通信インターフェイス処理を行うことによりこの時間遅れを解消する必要がある。

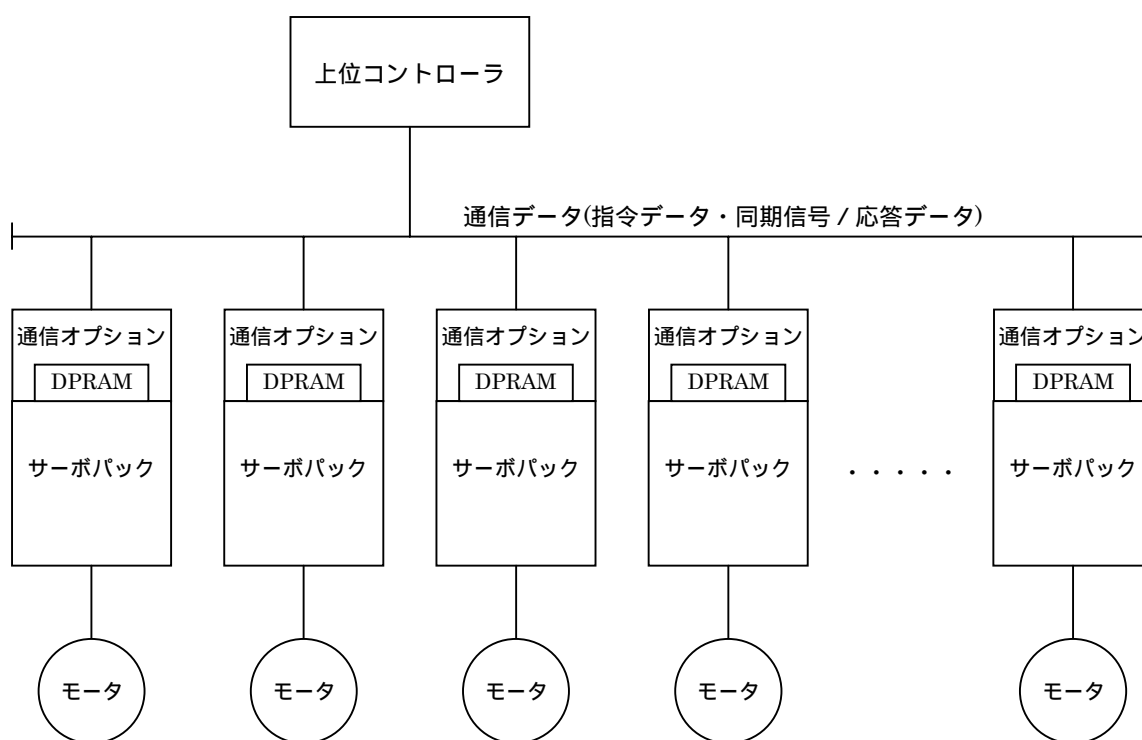


図 4.5.4-1 多軸サーボドライブシステム

スキャン同期処理は、図 4.5.4-2 に示すように、同期割込信号を起点として、ScanA 割込処理、ScanB 割込処理および ScanC 割込処理の開始タイミングを揃えることにより実現している。同期割込処理を定周期で繰り返し実行することにより、上位コントローラとサーボパックとのハードウェアタイマ誤差に伴う同期誤差が逐次修正されるため、同期ズレが発生することはない。なお、スキャン同期精度は、同期周期間のハードウェアタイマ誤差(約 $1\mu\text{s}$)とソフトウェア最大割込禁止区間(約 $1\mu\text{s}$)に依存し、SGDS では最大で $2\mu\text{s}$ 程度である。

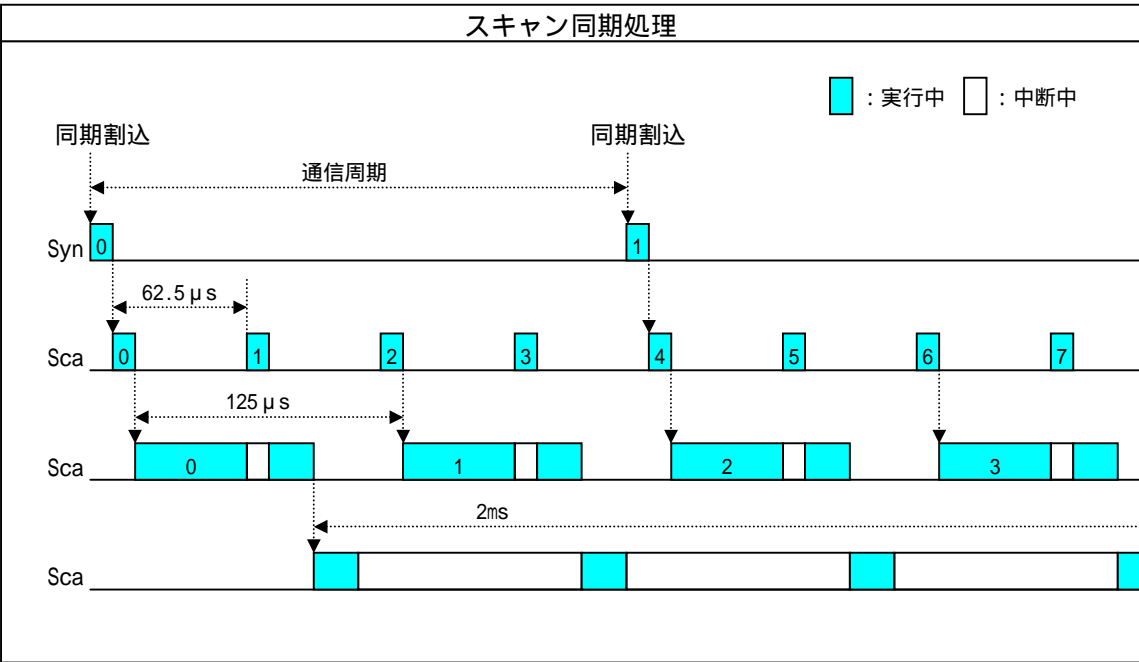


図 4.5.4-2 スキャン同期処理

4.5.5 スキャン A 割込処理

スキャン A は、図 4.5.5-2 に示すように、ASIC(JL-056)とシリアルエンコーダとの定周期通信の送信開始タイミング(受信完了と等価)で、ASIC からの割込信号により定周期起動される。

スキャン A 割込処理は、サーボソフトウェアの中で最も高速に定周期実行される割込処理であり、図 4.5.5-1 に示すように、シリアルエンコーダからの受信データを基に、F B パルス演算およびモータ磁極位相演算を行うとともに、トルク制御モード時には、トルク指令 A/D 値を読み込み、トルク指令演算およびトルクフィルタ処理(ノッチフィルタ&ローパスフィルタ)を行う。また、ASIC マイクロプログラムとのインターフェイスは、スキャン A 割込処理で行い、ASIC マイクロプログラム d q 軸電流制御への指令値(磁極位相指令, d 軸電流指令, q 軸電流指令)の書き込み処理を行う。

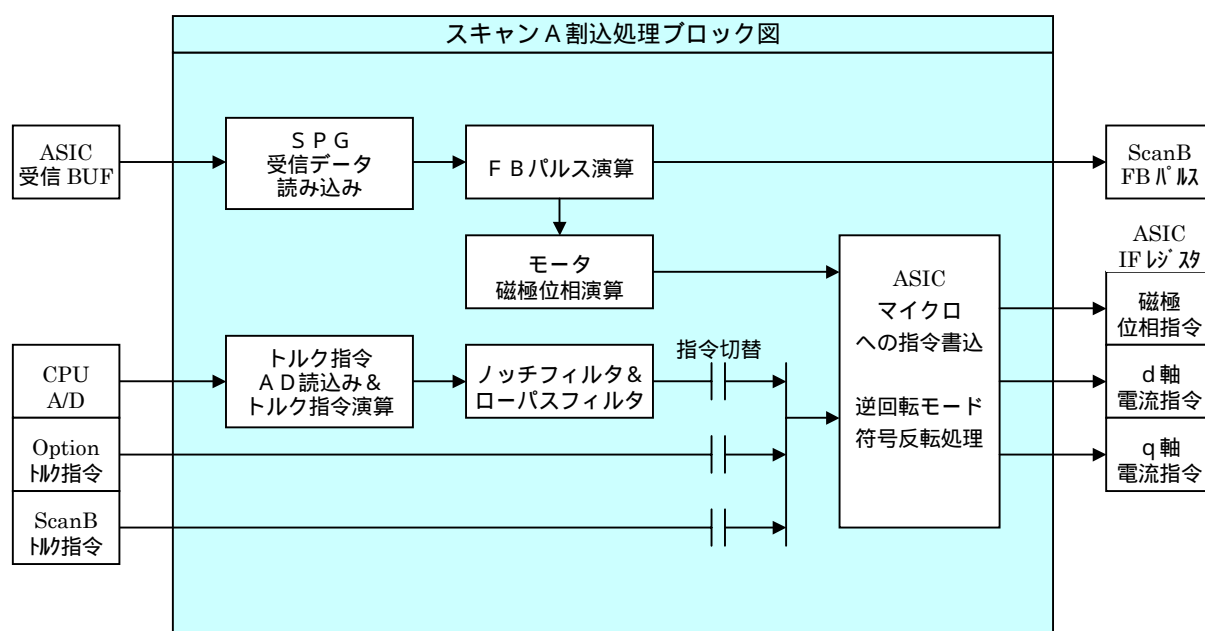


図 4.5.5-1 スキャン A 割込処理機能ブロック図

シリアルエンコーダとの通信は、ASIC のハードウェアで実行され、P0 モードと P1 モードの 2 種類の通信手順が準備されている。P0 モード通信手順は、コマンド / レスポンス形式で、モータパラメータの読み出し処理 , マルチターンクリア処理 , マルチターンリミット設定処理などで使用される。

通常時のシリアルエンコーダとの通信は、図 4.5.5-2 に示すように、P1 モード通信手順にて定周期で行われ、ASIC からの P1 モードコマンドフレーム(6byte)に対して、シリアルエンコーダはアラーム情報や位置データ等を含む応答データフレーム(18byte)を返信する。ASIC は、応答データを正常に受信すると受信完了 Flag をセットし、送信開始時に CPU への割込を発生する。CPU は、受信完了 Flag がセットされていれば、ASIC の受信 BUF から受信データを読み込む。

なお、JL-056(ASIC)では、8Mbps(31.25 μ s 通信周期)と 4Mbps(62.5 μ s 通信周期)の通信速度をサポートしているが、現在は、4Mbps(62.5 μ s 通信周期)の通信速度のみを使用している。

シリアルエンコーダからの受信データは、図 4.5.5.2 に示すように、応答データの受信に要する時間だけ遅れており、制御特性に悪影響を与える可能性がある。しかしながら、シリアルエンコーダは、位置検出の高分解能化やサーボパックとサーボモータ間の Plug&Play を実現するのに必要不可欠な技術であり、今後の主流であると考えられる。

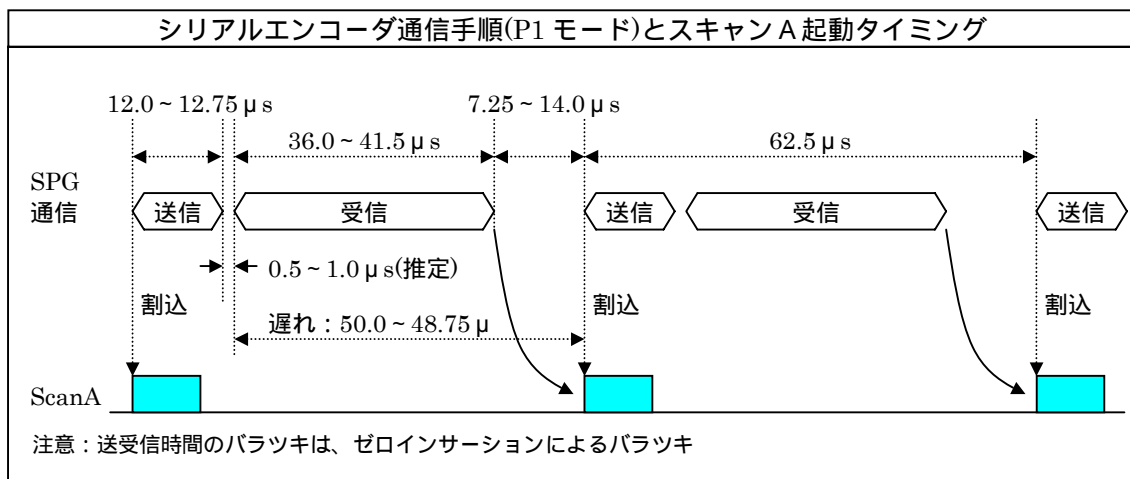


図 4.5.5-2 スキャン A の起動タイミング

ScanA 割込処理のソフト処理項目を以下に示す。

(1) シリアルエンコーダのデータ取得

図 4.5.5-3 に処理フロー例を、図 4.5.5-4 にシリアルエンコーダの P1 モード通信レスポンスデータフォーマットを示す。P1 モード通信では、エンコーダの位置情報・アラーム情報が受信される。ここではこの中で速い処理が必要な位置関係のデータを取得する。その他のデータは要求される処理速度に応じて各 scan で処理する。

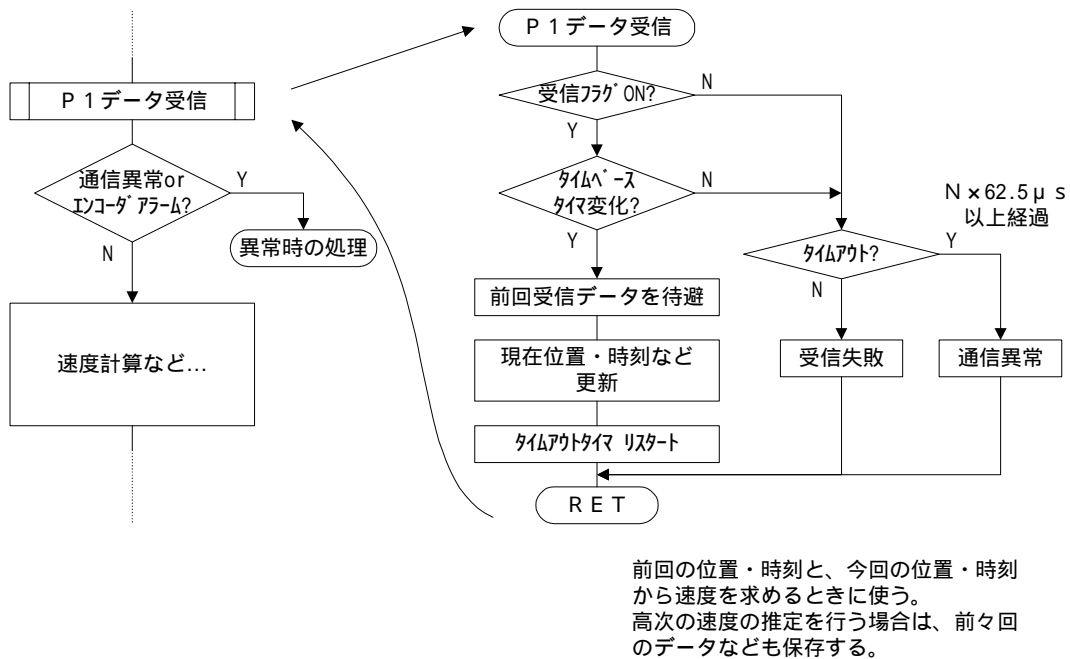


図 4.5.5-3 P1 モードの通信処理フロー例

	[レスポンス]【ア】	[レスポンス]【イ】【ウ】
D0	アラームコード	アラームコード
D1	(データ 1)	(データ 1)
D2	(データ 2)	(データ 2)
D3	タイムベースタイマ 下位	タイムベースタイマ 下位
D4	上位	上位
D5	変化時刻タイマ 下位	変化時刻タイマ 下位
D6	上位	上位
D7	1 回転内位置データ 下位	インクレ位置データ 下位
D8		
D9	上位	上位
D10	多回転位置データ 下位	インクレ補正データ 下位
D11	上位	上位

図 4.5.5-3 P1 モード通信のレスポンスフォーマット

注) 図中【ア】【イ】【ウ】はそれぞれアブソエンコーダ、インクレエンコーダ、主軸エンコーダの場合を表している。

以下各受信データについて説明する。アラームについては次節で説明する。

- ・ データ1：エンコーダの内気温度（バイナリ、オプション仕様）

エンコーダの温度が 100 を超えるとオーバーヒートアラームが検出されるが、これはエンコーダの故障防止のためであって動作保証ではない。

検出温度範囲	- 4 0 度 (D 8 H) ~ + 2 1 5 度 (D 7 H)
検出誤差	± 7 度 (0 ~ 8 5 度)

- ・ データ2【ウ】：モータ巻線温度サーミスタのA / D直読値(バイナリ)

検出温度範囲	F F H (- 3 0 度) ~ 3 C H (+ 2 0 0 度)
検出誤差	± 4 b i t (0 ~ 8 5 度)

- ・ タイムベースタイマ：タイマ出力。クロック周波数 6MHZ。16 ビットで約 11msec で一周。通信毎に値が変わるので通信異常のチェックに使用。

7	D 4	0	7	D 3	0
タイムベースタイマ					
上位			下位		

T15 T8 T7 T0

- ・ 変化時刻タイマ：位置データが最後に変化してからの経過時間。クロック周波数 6MHZ。タイムベースタイマとあわせて、速度の計算に使用。

7	D 6	0	7	D 5	0
変化時刻					
上位			下位		

T15 T8 T7 T0

(2) エンコーダ受信失敗時の補正、異常検出処理

エンコーダデータとの通信異常や、エンコーダのアラームによりデータの受信に失敗した場合は位置データの補正処理をする。前回速度、位置より直線補間により補正値を求める。連続して受信失敗した場合はシリアルエンコーダ通信異常とする。異常とする回数はシステム定数で可変とする。表 4.5.5-1 にアブソエンコーダのアラームを、表 4.5.5-2 にインクレエンコーダののアラームを示す。

表 4.5.5-1 アブソエンコーダのアラームコード一覧【ア】

ビット	名 称	種 類	記憶モード	解除方法	内 容
B0	バックアップアラーム	アラーム	記憶	リセット	内部データが消えた。
B1	エンコーダエラー	アラーム	記憶	リセット	エンコーダに異常が発生した。
B2	バッテリー警告	警告	レベル	-	電池電圧が低下した。
B3	アブソリュートエラー	アラーム	動作中記憶	電源再投入	位置データが誤っている可能性がある
B4	オーバースピード	アラーム	動作中記憶	電源再投入	電源投入時の回転速度が速すぎる。
B5	オーバーヒート	アラーム	レベル	-	エンコーダ内気温度が高すぎる。
B6	リセット完了	警告	動作中記憶	電源再投入	エンコーダがリセットされた。
B7	' 0 ' に固定	-	-	-	-

表 4.5.5-2 インクレエンコーダのアラームコード一覧【イ】

ビット	名 称	種 類	記憶モード	解除方法	内 容
B0	‘ 1 ’ に固定	-	-	-	-
B1	エンコードエラー	アラーム	動作中記憶	電源再投入	エンコードに異常が発生した。
B2	‘ 0 ’ に固定	-	-	-	-
B3	ポジションエラー	アラーム	動作中記憶	電源再投入	原点の位置、ポールセンサの位置が異常
B4	‘ 0 ’ に固定	-	-	-	-
B5	‘ 0 ’ に固定	-	-	-	-
B6	原点未通過フラグ	ワーニング	-	-	原点を一度も通過していない。
B7	‘ 0 ’ に固定	-	-	-	-

(3) インクレ使用時原点通過による位相初期化处理

シリアルインクレエンコーダは電源投入時は正確な位相が判らないので、ポールセンサ信号により $\pm 30\text{deg}$ 誤差の仮の位相でモータを制御し、原点を通過することにより、正確な位相に修正する。

(4) 位置データ生成

シリアルエンコーダから送られてくる 1 回転内位置データは、ハードウェアの都合で LSB が最小単位になっていない。LSB が最小単位になるようにシフト処理をして、位置データを生成する。ただし、13bit s-inc は、演算がしやすいように、左に 3bit シフトして、16bit で 1 回転データになるように加工する。

(5) 分周パルスの ASIC への出力

位置データを ASIC のデータ / パルス変換器に設定し、分周パルス出力する。

(6) 位相データ生成と ASIC への出力

モータ電気角を ASIC に設定する。

位相補償を加える。

電気角 360deg を 65536 とする。

(7) トルク制御時トルク指令処理

トルク制御モード時は、 $62.5\mu\text{s}$ で処理する。

マイコン内蔵 A/D 変換器よりトルク指令値を読み取り、ノーマライズする。

変換時間が必要なので scan の先頭で変換開始する。

(8) 電流指令等 ASIC (マイクロプログラム) 入出力処理

電流指令、速度、電流制限値を ASIC に設定する。

逆回転モード時は、Q 軸電流 (トルク)、速度の極性を反転する。

(処理時間短縮のためには、速度、電流制限を scanB に移しても良い。)

スキャン A 処理の PAD を図 4.5.5-3 に示す。

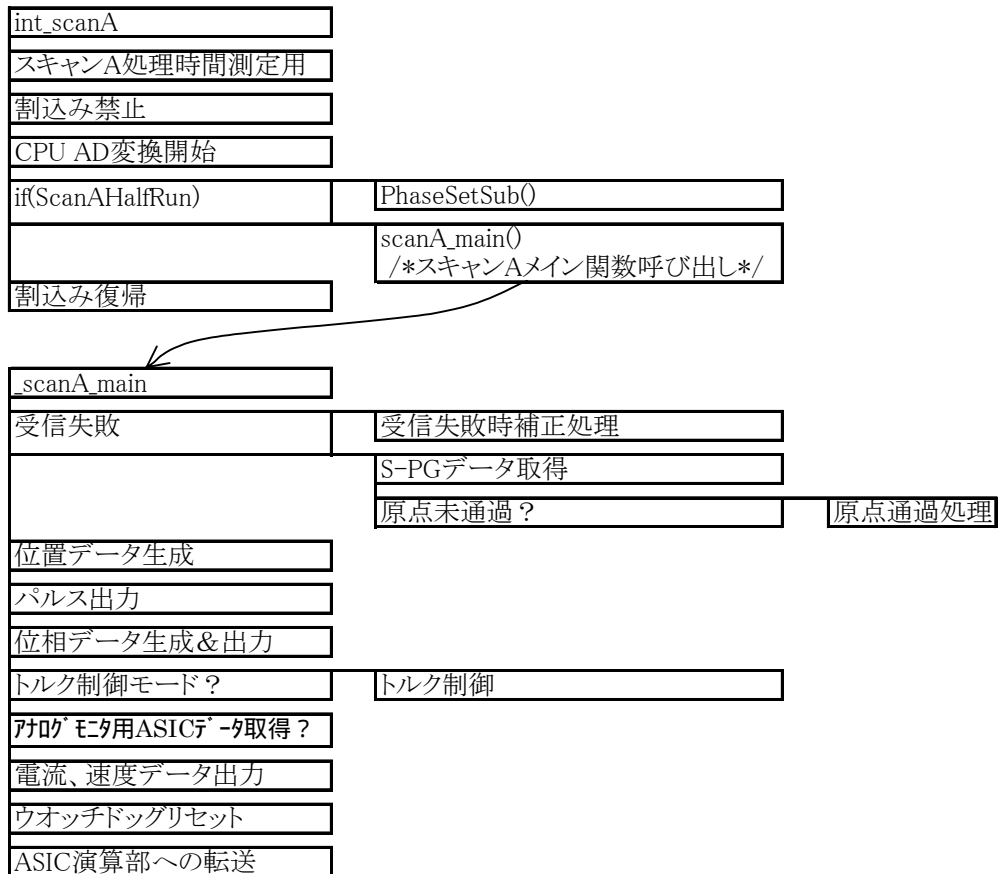


図 4.5.5-3 スキャン A 割込処理 PAD 図

4.5.6 スキャン B 割込処理

スキャン B 割込処理は、CPU のタイマ割込により定周期で起動され、図 4.5.6-1 に示すように、サーボ制御全般の演算処理を行う。位置指令作成、位置制御及び速度制御の基本制御機能に加えて、剛性の低いメカ等においては、アドバンス F F 制御(予測制御等)や各種制振制御などの演算処理を行う。

サーボの制御演算は、定周期スキャン処理によるサンプル値制御演算(離散型制御演算)であり、サンプル値制御に伴う無駄時間が制御性能に悪影響を与える。この無駄時間を短くするためには、スキャン処理周期(サンプリング周期)を出来るだけ短くする必要があるが、一方、スキャン処理周期を短くした場合には、速度検出分解能が低下し制御性能を劣化させることが考えられ、速度検出方式の見直しも必要である。

また、制御演算分解能も制御性能に影響を与えるため演算分解能の確保も重要である。現在、SGDS で採用している CPU(NEC 製 V850E/MA1)は浮動小数点演算をサポートしていないため、24bit の演算分解能をサポートする整数演算型の制御演算ライブラリを準備して、各種制御演算プログラムを作成している。しかしながら、整数演算によるソフトウェア制御演算では、ハードウェアによる浮動小数点演算に比べて、演算時間的に不利であり、将来的には、浮動小数点演算をサポートした CPU の採用が必要である。

現在、SGDS のスキャン B 割込処理の実行周期は $125\mu\text{s}$ であるが、図 4.5.6-1 に示すように、位置指令演算は $250\mu\text{s}$ の演算周期(2 スキャンに一回の処理)としている。これは、ScanB の処理時間短縮のための止むを得ない処置であり、本来ならば、位置指令演算も $125\mu\text{s}$ 周期での演算とするべきものである。

このように、まだまだ、CPU の処理性能が不足しており、より高級な制御機能の搭載のためには、今後、より高速な CPU の採用とソフト処理見直しによる処理時間短縮が必要である。

スキャン B 各処理にて参照及び変更される変数は、入出力特権において、スキャン間データの整合性が保証されるように処理する。各処理の順序は、カウンタラッチ等、同じタイミングで行ないたい処理を前に置く。スキャン割込処理のソフト処理内容を以下に示す。

(1) 入力特権処理

スキャン B よりも優先順位の高いスキャン処理において、スキャン B 実行中に割り込んで、メモリ内の変数を変更する可能性があるため、スキャン B 各処理にて直接メモリ内の変数を参照すると、データの整合性が保証されない。したがって、スキャン B の各処理にて参照する変数の内、スキャン B よりも優先順位の高いスキャンにて変更される可能性のある変数を、スキャン B 処理の最初に、割り込み禁止状態である。スキャン B 専用メモリにコピーし、各処理では、専用メモリの変数を使用する。

カウンタラッチ

A S I C 内部のカウントをロードビットによりラッチする。S G D S で使用するカウンタは、

- ・指令パルスカウンタ
- ・指令パルス位置補正カウンタ (N C T)
- ・フルクローズドパルスカウンタ (パルスエンコーダでのフルクローズド制御の場合、オプション基板との組み合わせ)

指令 AD 読み込み

A S I C 内部のロードビットにより、速度指令 A / D 入力をラッチしデータを読み出す。C P U の A / D を使ったトルク指令 A / D (電流制限、トルク F F 用) のラッチはスキャン A で行っているため、データ読み出しのみを行う。

P - N 間電圧は、過電圧検出等に C P U の P W M 出力をフィルタによりアナログ電圧にし、D C 電圧とコンパレータ比較することにより求める。

SPG シリアルデータ読み込み

擬似 C 相出力

C 相ラッチ

SPG 断線検出処理

制御ルーチン処理

(2) 出力特権処理

スキャン B よりも優先順位の高いスキャン処理において、スキャン B 実行中に割り込んでメモリ内の変数を参照する可能性があるため、スキャン B 各処理にて直接メモリ内の変数を変更すると、データの整合性が保証されない。したがって、スキャン B の各処理にて変更する変数の内、スキャン B よりも優先順位の高いスキャンにて参照される可能性のある変数は、スキャン B 専用メモリにて変数の変更を行ない、スキャン B 処理の最後に、割り込み禁止状態でメモ

りに書き込む。

モータ速度計算

位相補償速度オブザーバ処理

位置 FB 処理

(3) 位置制御処理

バックラッシュ補正

バックラッシュ補正を 250us 位置差分に加減算することによって行い、機械のバックラッシュを一方向に補正する。

予測制御

MFC + 比例制御

比例位置制御

電子ギア処理

電子ギア処理は 250us 周期で行なう。電子ギア比パラメータが 32 ビットデータ長になったことから、指令に電子ギア比（分子）を掛け、フィードバックに電子ギア比（分母）を掛け、位置偏差を電子ギア（分子）で割る - 方式をやめ、指令に（電子ギア比（分子） / 電子ギア（分母））演算を余り処理して行う方式とする。本方式は、制御演算ライブラリ (Mlib85E.s) の関数 `pcmdgear0`にて行われる。

位置指令フィルタ処理

位置指令補償は、電子ギア処理後の 250us 位置差分に対して処理を行う。位置指令補償には、指数加減速フィルタ（バイアス付）、移動平均フィルタを公開し、非公開として揺れ止めフィルタ、最短時間揺れ止めフィルタ、振動抑制フィルタを提供する（予定）。パラメータのオンライン切換を可能とするが、指令バッファがなくなった後切り換える仕様とする。

バイアス付け指数加減速フィルタ処理

移動平均フィルタ処理

最短時間揺れ止めフィルタ処理

振動抑制指令フィルタ処理

位置ループ安定化制御

フルクローズド制御において、負荷速度を使用して位置ループの安定化させる。

偏差レス制御

トルクフィードフォワード

速度フィードフォワード

(4) 速度制御処理

速度指令フィルタ処理

速度制御モード

接点速度制御モード

JOG 速度制御モード

ソフトスタート

速度比例積分制御

速度制御方式は、従来と同じ P I / I P 制御である。モデルの速度制御も同様に組み、その差から負荷イナーシャの同定を行う(モデルの速度制御は μ プログラムにて組み込む可能性もある)。

PI/IP ハイブリッド制御

モデル速度積分制御

ゼロクランプ処理

原点サーチ処理

M 型制振制御

A 型制振制御

モードスイッチ

停止時振動抑制

指令入力がなく、かつ設定時間経過後、トルク指令変化量に減衰率をかけ出力トルクを抑える。

トルクフィードフォワード

外乱抑圧制御

発振検出

(5) トルク制御処理

過剰トルク計算

スキャン B 割込処理の PAD を図 4.5.6-2 にモータ制御処理の PAD を図 4.5.6-3 に示す。

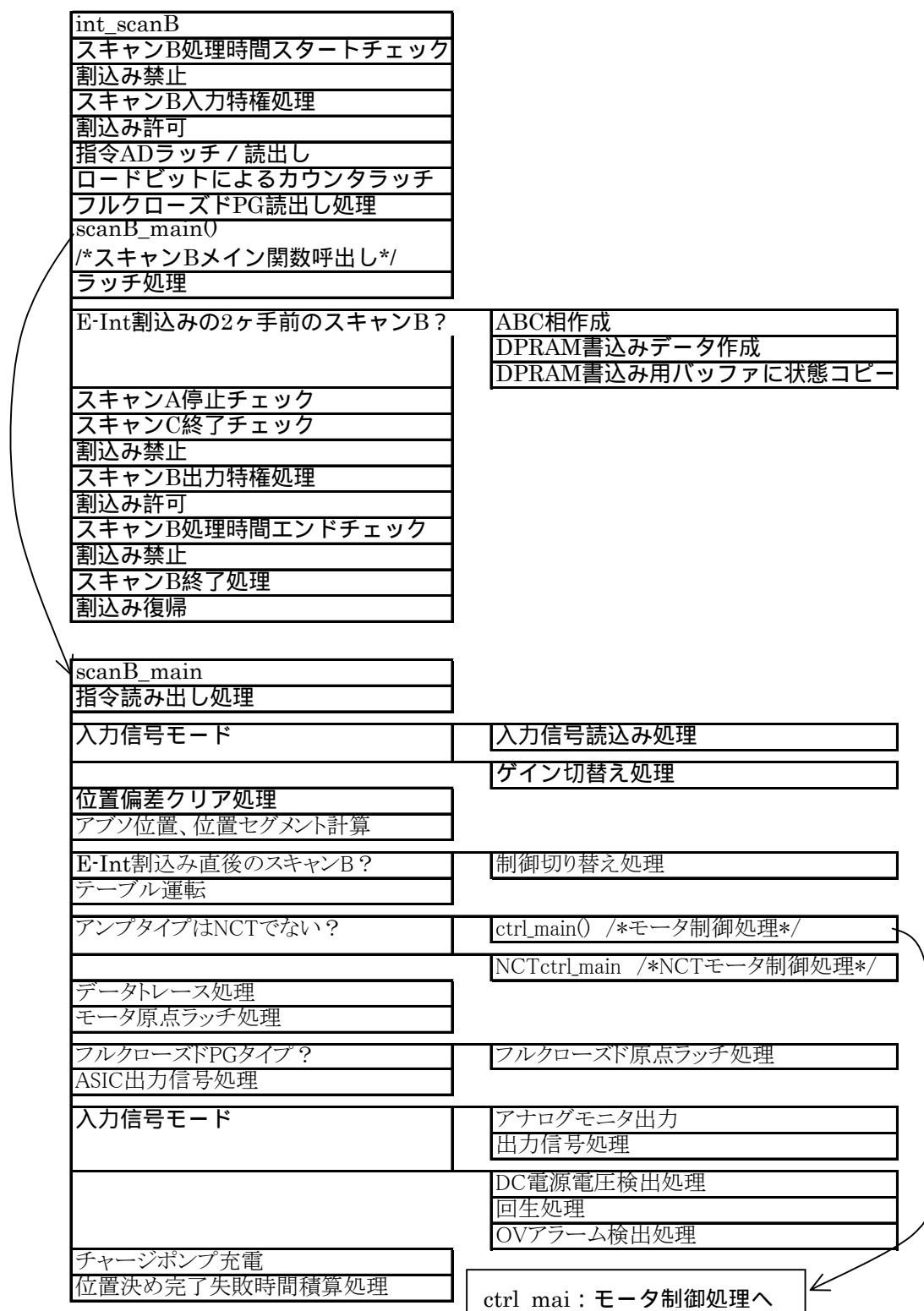


図 4.5.6-2 スキャン B 割込処理 PAD

図 4.5.6-3 モータ制御処理 PAD

ctrl_main		
位置制御処理：各位置制御の速度指令計算、速度FF計算、位置制御信号処理を行う if(ctrl.f.p) /*位置制御モード？*/	電子ギア、指令フィルタ、指令セグメント分割処理	
	if(scanbf.ParamSW.pdttype) /*予測制御有効条件？*/	スキャンB1回目：予測制御演算 スキャンB2～4回目：フィードバック積算 速度FF指令 トルクFF指令
	else if(scanbf.ParamSW.mfctype) /*MFC有効条件？*/	MFC演算 比例位置制御演算 速度FF指令 トルクFF指令
	else /*比例位置制御*/	
		比例位置制御演算 速度FFフィルタ処理
	位置制御信号処理 ソフトスタートパルファ初期化 速度制御速度指令フィルタパルファ初期化 整定時間算出 オーバーシュート量算出	
	位置制御以外：各位置制御の変数クリア処理を行なう 速度FF、トルクFF変数クリア処理	
	if(ScanB250)	位置レファレンスクリア 整定時間用変数クリア オーバーシュート量算出用変数クリア
速度制御処理：位置制御以外の場合の速度指令計算を行なう if(ctrl.f.s) /*速度制御モード？*/	if(tinfo.table_state==TABLE_RUN)	ソフトスタート 速度(指令&FF)フィルタ処理 ソフトスタート 速度FFフィルタパルファ初期化
	else if(ctrl.f.c) /*接点速度制御モード？*/	接点速度指令選択 ソフトスタート
	else if(ctrl.f.i) /*ジョグモード？*/	ソフトスタート ジョグモードの時のみトルクFFクリア
	else if(ctrl.f.t)	速度指令フィルタ処理 ソフトスタートパルファ初期化
	else if(ctrl.f.z)	
		速度指令クリア 速度指令フィルタクリア 速度FFフィルタパルファクリア トルクFF指令クリア
シーケンス処理及びモータ用速度指令		
速度FB計算処理		
24bitMAX差分速度計算		
24bitMAX差分速度計算（外部PG）		
発振検出処理		

次ページへ続く

前ページより

速度FB補正処理 速度FB補正機能有効？ 位相補償速度ω _{サ-ハ} 有効？ else /*標準速度FB*/	速度ω _{サ-ハ} 推定速度計算	
	位相補償速度ω _{サ-ハ} 推定速度計算	
	標準差分速度を速度FBとする	
差分速度計算 if(ScanB250)	位相補償：250μsサンプリング 差分速度	
速度制御処理(トルク制御以外):位置、速度 制御で行なう速度ループ内処理を行なう トルク制御モード以外？	安定化制御 フルクロスド制御？	外部PG差分速度
		セミクロスド制御：モータ差分速度
	制振制御	
	M1型制振制御	
	M2型制振制御	
	A型制振制御	
	R型制振制御(ROM削減のため削除)	
	外乱トルク補償処理：外乱ω _{サ-ハ}	
	セロクランプ 速度指令	
	速度制御ループ	
	速度フィードバック	
	速度指令	
	速度フィードフォワード	
	トルクFF指令	
	トルクFB補償	
	外乱トルク指令加算処理	
	ASIC設定用トルク指令変換	
	モードスイッチ処理	
	モードスイッチ用速度指令	
	モードスイッチ処理	
	モードスイッチI/P動作	
	オンラインイシャ同定モデル計算&トルク積算処理 (トルク制御の時モデル計算&トルク積算 処理を行なわない)	
	速度偏差を平均化	
	位置指令または速度指令が入力中で かつ速度が60min ⁻¹ 以上でイシャ同定 を実行する	
	速度指令の増分値にフィルタをかける	
	トルク制御処理：速度制限値の算出 トルク制限時にVrefを速度制限として使 う	
	外部、内部の小さい速度で制限 or Pn407による内部速度制限 制限速度から制限トルクを計算	
(ASIC)トルク制限値計算		

4.5.7 スキャンC 割込処理

スキャンC 割込処理は、CPUのタイマ割込により定周期で起動される。具体的には、スキャンB 割込処理が16回実行される毎に、スキャンB 割込処理ソフトウェアから起動される。

図4.5.7-1に示すように、外部からの運転指令入力信号または通信オプションからの運転指令データにより、サーボ運転シーケンス処理を行い、他スキャン及びASIC マイクロプログラムへの運転指令を出力する。

また、コントロール基板やパワー部の各ハードウェアの異常監視，過電流監視，過電圧監視，不足電圧監視，過負荷監視等のアラーム監視およびアラーム発生時の異常処理を行い、異常時の安全確保，サーボバックハードウェアの保護，モータの保護などを行うと共に、OTシーケンス(正転駆動禁止/逆転駆動禁止)などの機械を保護する機能も有している。

このように、スキャンC 割込処理は、サーボドライブシステムを安全に運転するための重要な役割を担っている。

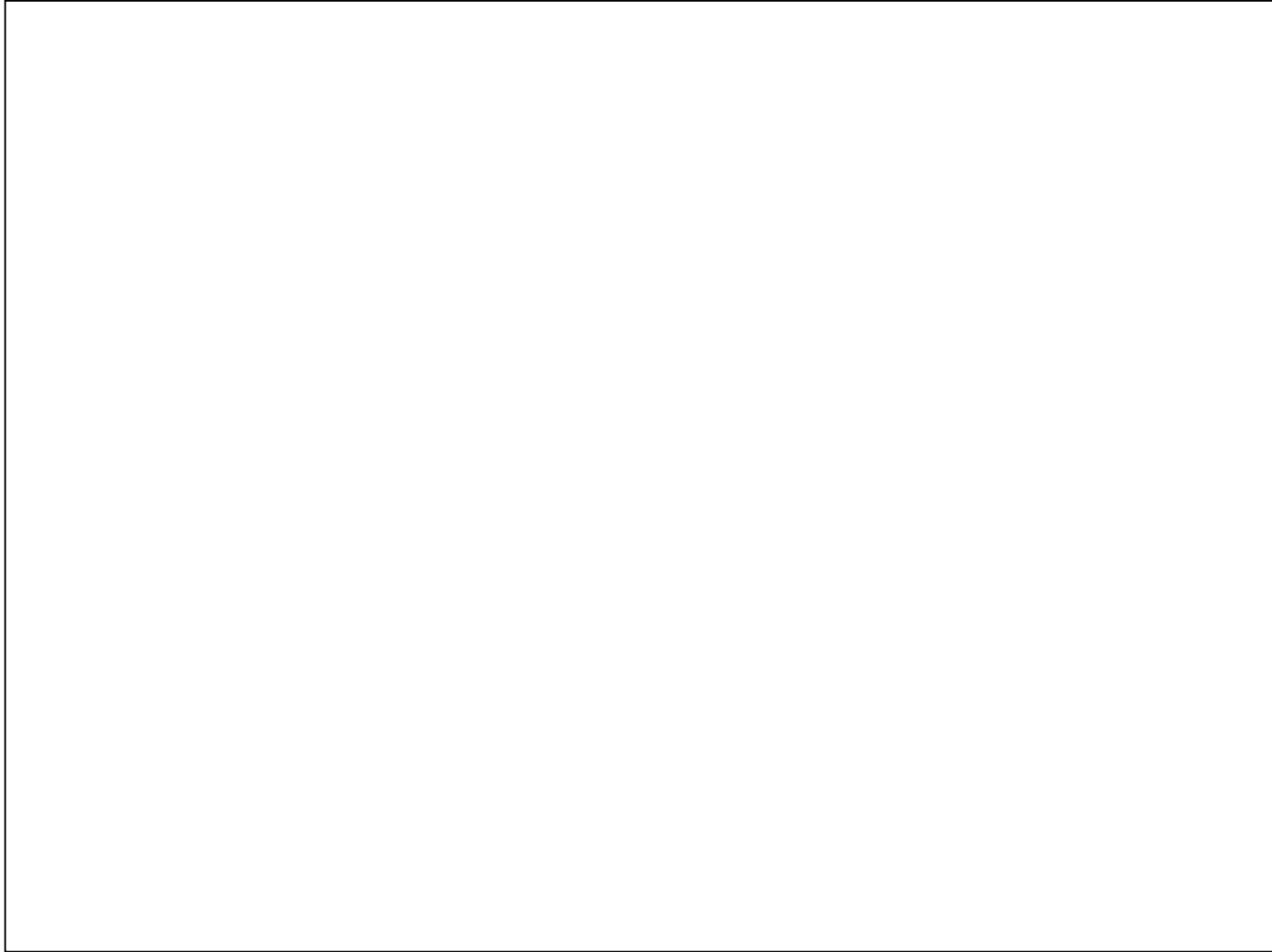
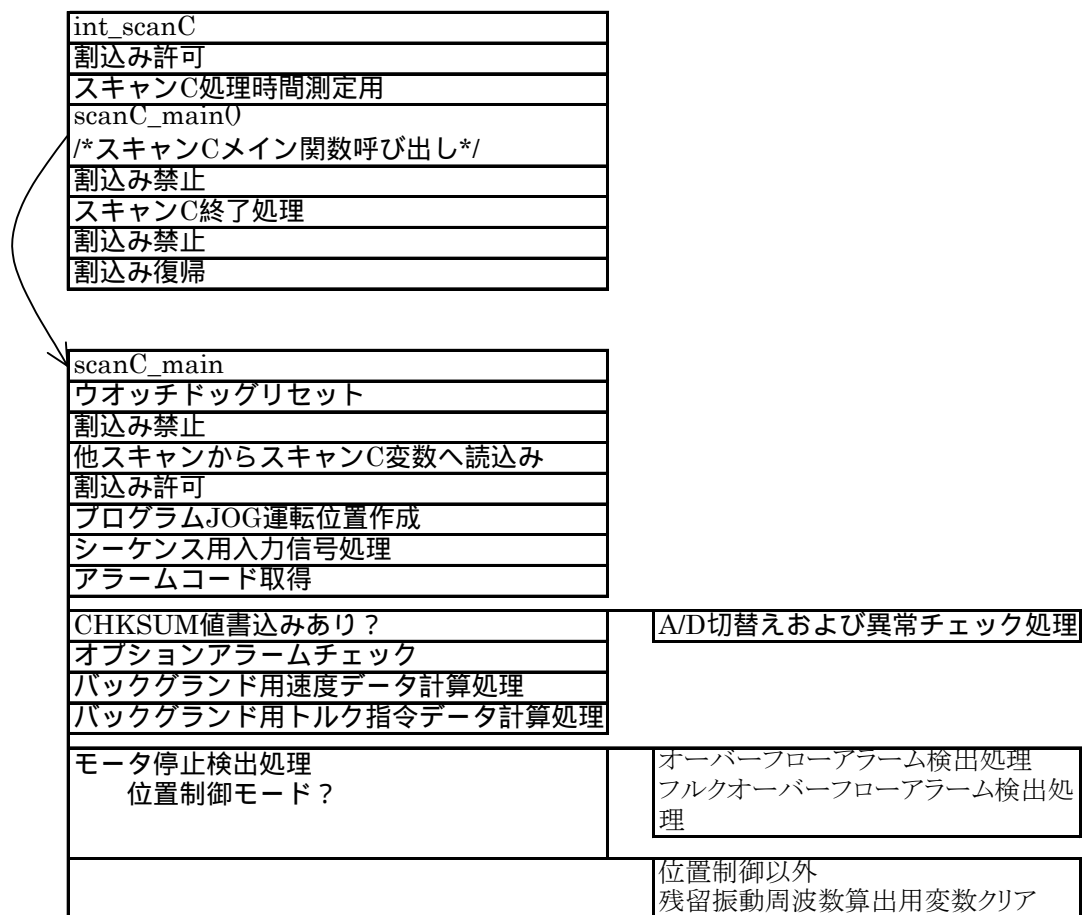


図 4.5.7-1 スキャンC 割込処理機能ブロック図

図 4.5.7-2 にスキャン C 割込処理の PAD を示す。



acon入力フィルタ処理
AC電源入力検出
延べ稼働時間計測
DC電源充電処理
DC電源急速放電処理
不足電圧検出
欠相検出
加速度アラーム検出処理
過負荷アラーム検出処理
回生負荷アラーム検出処理
DB負荷アラーム検出処理
突入抵抗過負荷アラーム検出処理
発振アラーム検出処理
暴走アラーム検出処理
速度一致検出処理
モータ回転検出処理
ゼロクランプ処理要求
加速度を使ったモードスイッチ切替え
オートチューニングイナーシャ同定&Kv更新
アドバンスドオートチューニング関係処理
トルク加振による最大ゲイン探索
指令応答による最適ゲイン探索
負荷トルク&振動レベル測定
パルスカウンタモニタ用32bitカウンタ作成
フルクローズドF/B差分パルス計算
ハードウェアアラーム検出
回生異常検出処理
外付けPGアラーム検出
マルチターン処理
PG状態セット
エンコーダアラームチェック
アラームシーケンス
アラームコード→EEPROM書込み設定処理
ゼロ停止アラーム処理
内部I/Fによるゼロ速停止
SGDBコンパチモード制御切替え処理
トルク制限選択処理
OTシーケンス
トルク制限値設定
ゼロクランプシーケンス
ブレーキシーケンス
DBシーケンス
デイスチャージ処理
リレー処理
信号出力処理
EEPROMデータ書込みサービス
トレーストリガ
回転量リミット検出
デジオペ通信処理
NCTサービス
Stackチェック
割込み禁止
スキャンC変数から他スキャンへ書込み
割込み許可
return

図 4.5.7-2 スキャンC 割込処理 PAD

4.5.8 ラウンド処理

ラウンド処理は、図 4.5.8-1 に示すように、イニシャル処理から呼び出された後、無限ループにより繰り返し実行され、オペレータとのインタフェース処理ならびに通信オプションおよびパソコンとのメッセージ通信処理を行い、パラメータ設定(Pn)、モニタ機能(Un)および補助機能(Fn)などの実行処理を行う。

ラウンド処理は、ユーザインターフェイス処理が主体であるため、厳密な定周期処理は必要ではないが、キー入力応答速度・表示データ更新速度の面から約 100ms 程度の応答速度が必要となる。

また、ラウンド処理は、ユーザインターフェイスの高級化・多機能化の要求に応えるため、サーボソフトウェアの中で、ソフトウェアの量と複雑さが最も増大している部分である。今後のサーボソフトウェア開発のスピードアップのためには、ラウンド処理ソフトウェアの整理・プラットフォーム化が必要不可欠である。

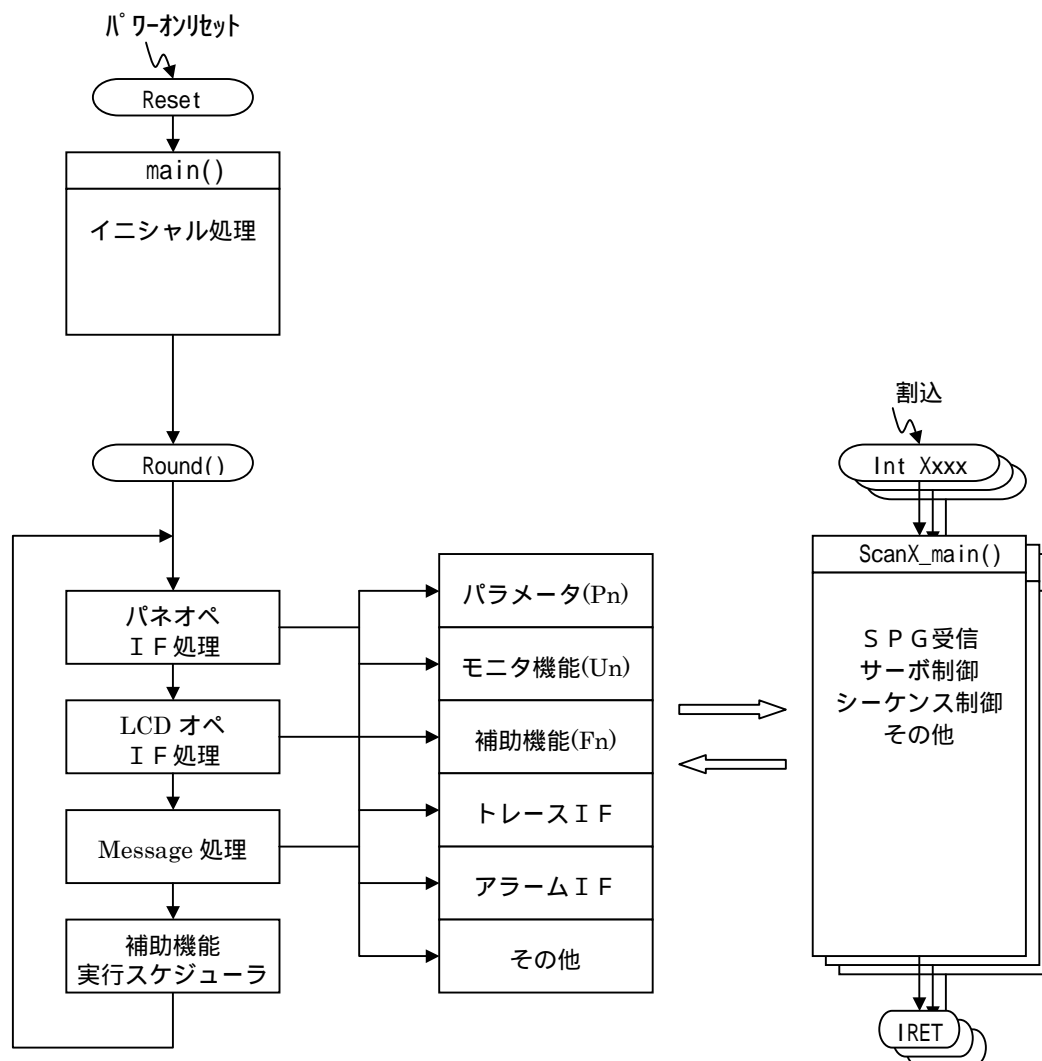


図 4.5.8-1 ラウンド処理実行フロー

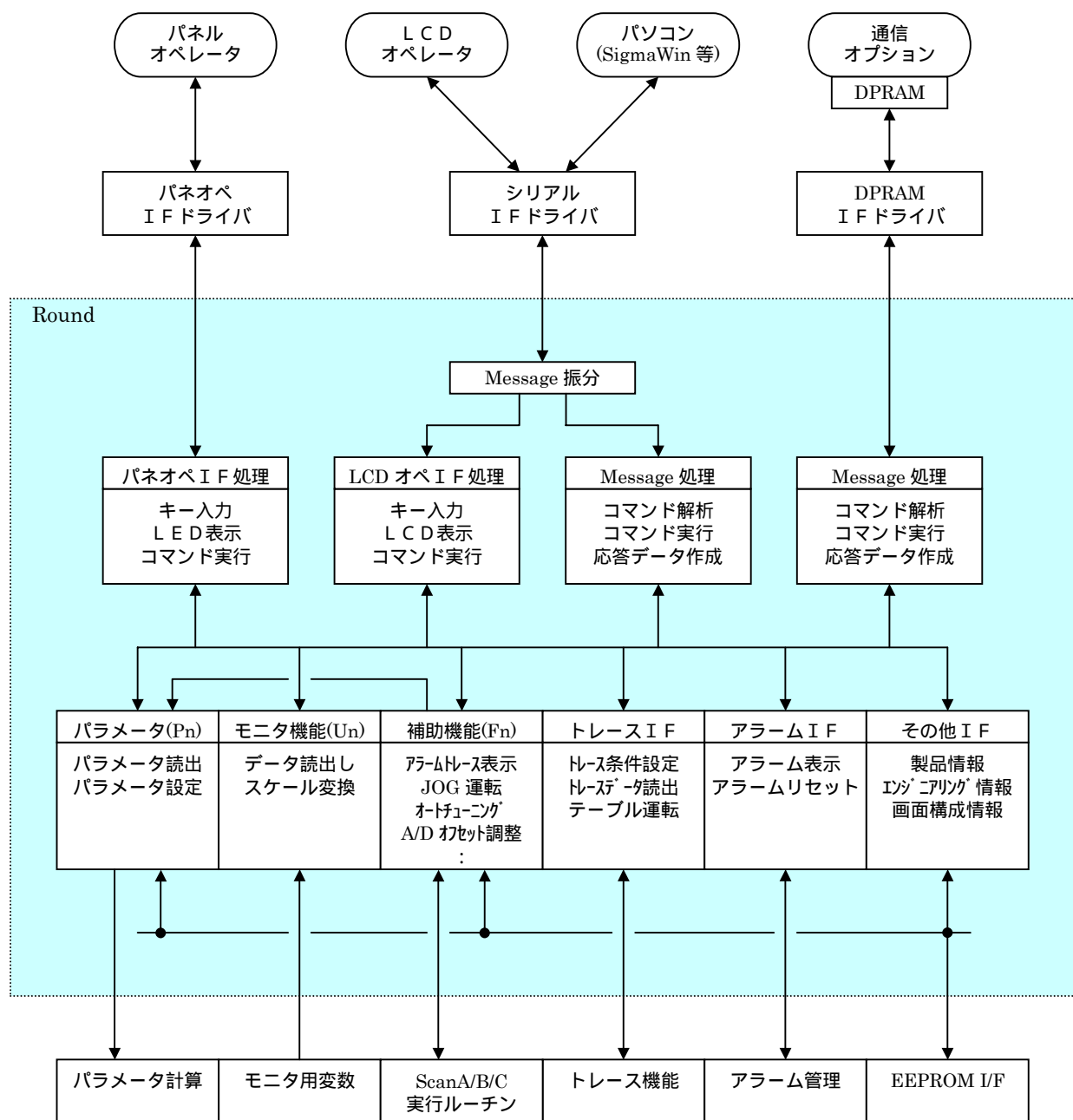


図 4.5.8-2 ラウンド処理機能ブロック図

図 4.5.8-3 にラウンド処理の PAD を示す。

round	
ラウンド初期処理	
以下の処理はループする	
スキャン間変数インポート	
PC通信にて内部IFの応答を引き取る前に、 LCDデジオペに切り換わった場合の処理	
オプションハンドシェイク	
オプション非同期コマンド要求検出	
レジスタアクセス処理	
タイムアウトならSigmaMessageSerial応答 / コマンドタイムアウト検知時処理	
SigmaMessageSerialレジスタアクセス継続	
SigmaMessageSerialコマンド受信完了？	受信コマンドチェック
	LCDデジオペ処理または SigmaMessageSerialコマンド
LCDデジオペ、ハネオペ、LEDデジオペ以 外の時、またはFn005,Fn009実行中でLCD 通信ホールド中なら機能実行	
ScancCNTが周期100ms以上ならパネルOP 処理orLEDデジOP処理orパネルOP状態表	
ベースブロック状態を確認してリセット実 行	ASICリセット処理
	ASIC書き込み許可
	μプログラム実行停止
	ASICソフトリセット
	ASIC書き込み禁止
	割込み禁止
	Start Up ルーチンへジャンプ
共通I/F用モニタデータ作成	
スキャン間変数エクスポート	
時間計測	

図 4.5.8-3 ラウンド処理 PAD

4.5.9 偏差クリア割込処理

偏差クリア割込処理は、図 4.5.9 に示すように、偏差クリア割込信号にて起動され、位置偏差のクリア処理を行う。偏差クリア信号入力タイミングと ScanA 起動タイミングの時間を計測し、補間演算にて位置偏差をクリアする。

現在、偏差クリア割込信号の入力タイミングの計測は、偏差クリア割込処理の先頭でその時間 (tx) を計測することにより行っているが、割込処理の起動は優先レベルにより制御されており、より優先度の高い割込処理を実行中であれば、偏差クリア割込処理の実行が保留され、時間計測に誤差を生じることになる。この時間計測は、CPU のタイマラッチ機能 (V850E の場合タイマ C のキャプチャ機能) を使用すべきである。

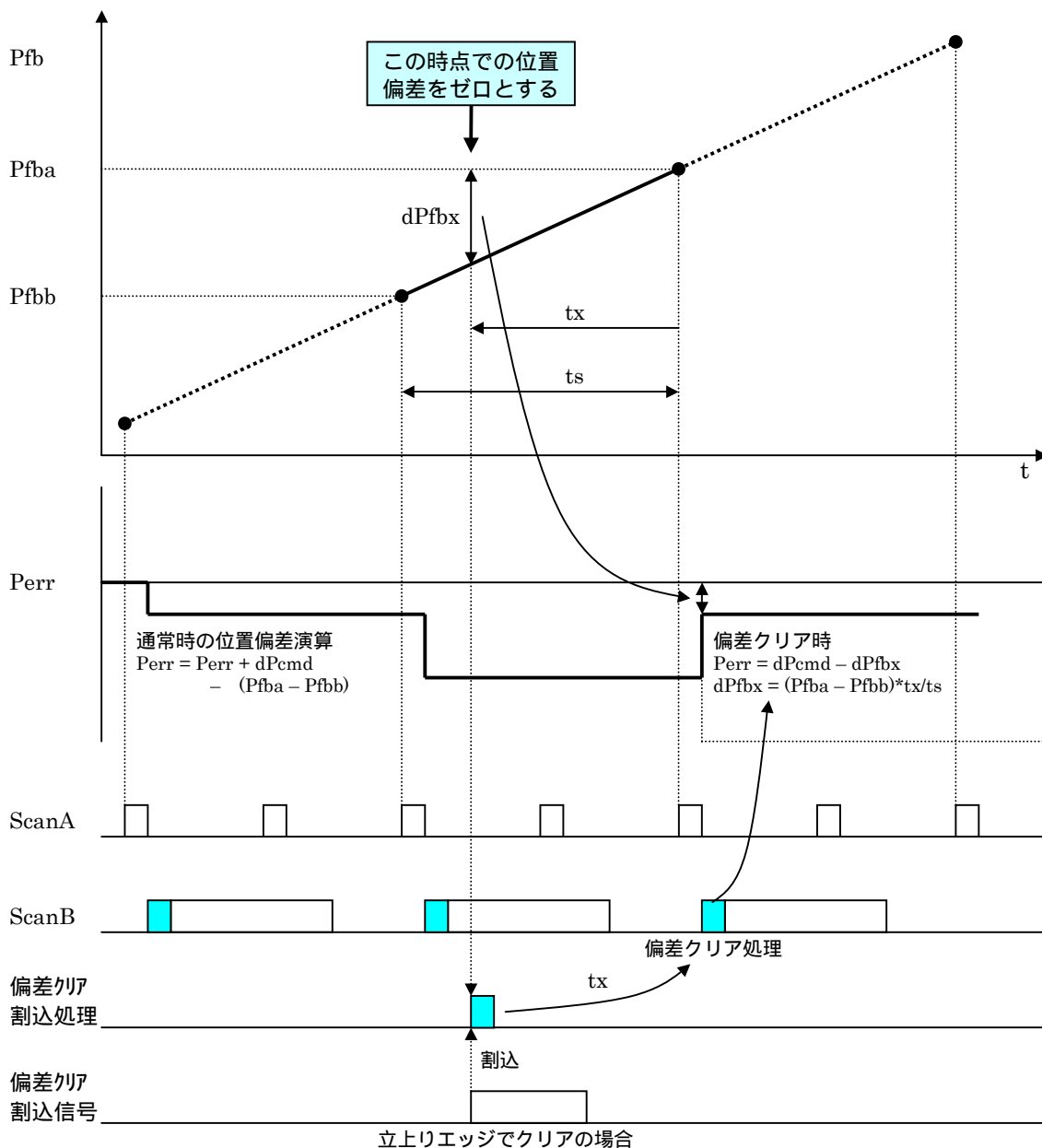


図 4.5.9 偏差クリア割込処理

4.5.10 外部ラッチ割込処理

外部ラッチ割込処理は、図 4.5.10 に示すように、外部ラッチ割込信号にて起動され、F B 位置のラッチ処理を行う。外部ラッチ信号入力タイミングと ScanA 起動タイミングの時間を計測し、補間演算にて F B 位置のラッチ演算を行う。

現在、外部ラッチ割込信号の入力タイミングの計測は、前述の偏差クリア割込処理と同様に、外部ラッチ割込処理の先頭でその時間(t_x)を計測することにより行っているが、割込処理の起動は優先レベルにより制御されており、より優先度の高い割込処理を実行中であれば、外部ラッチ割込処理の実行が保留され、時間計測に誤差を生じることになる。この時間計測は、C P U のタイマラッチ機能(V850E の場合タイマ C のキャプチャ機能)を使用すべきである。

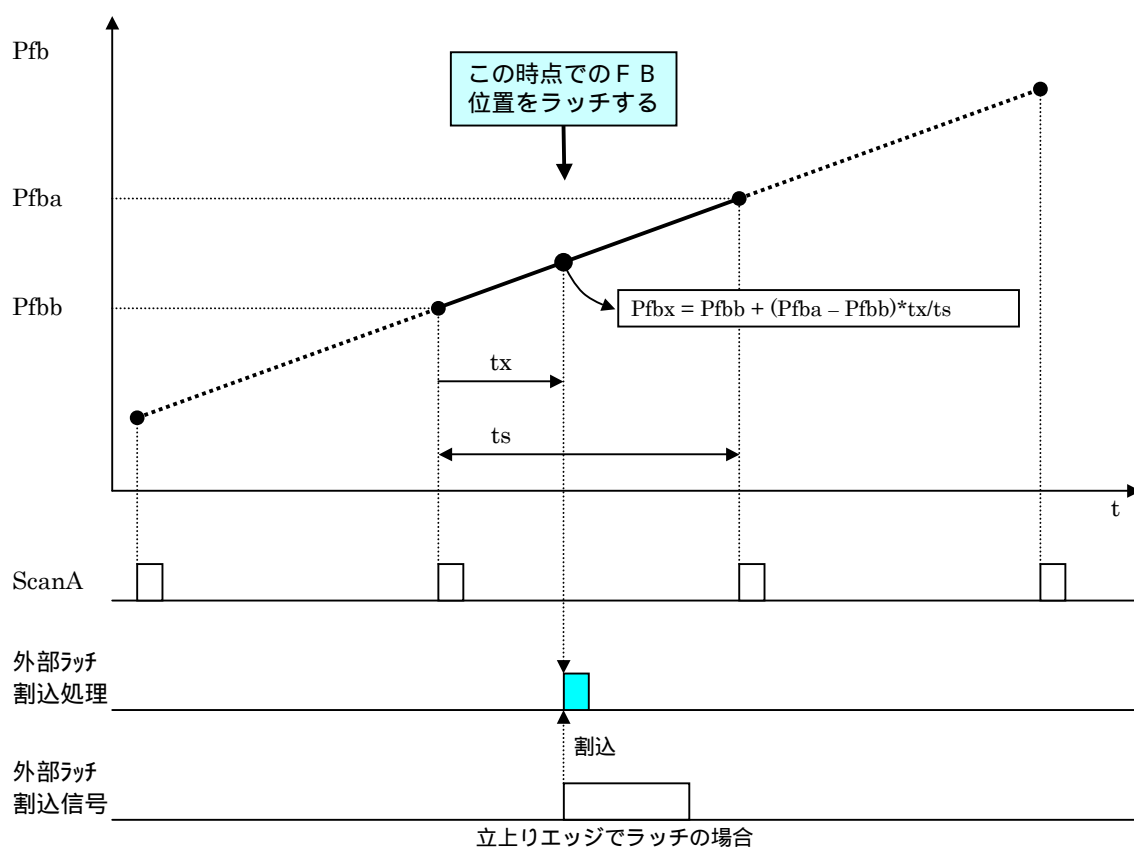


図 4.5.10 外部ラッチ割込処理

4.5.11 制御演算ライブラリと演算分解能

現在、サーボバックで採用している CPU(V850E/MA1)では、浮動小数点演算がサポートされていない。このため、整数演算を使用して制御演算処理を行うことになるが、整数演算では演算オーバフローに細心の注意を払いながらプログラムを作成しなければならず、制御プログラムの作成に多くの労力を要していた。

このため、SGDS では、整数演算形の制御演算ライブラリを準備し、表 4.5.11-1 に示すように、制御演算ライブラリを使用して制御プログラムを作成している。

制御演算ライブラリでは、演算分解能および演算処理速度を考慮して、表 4.5.11-2 に示すように、制御演算用変数、制御ゲインのデータ形式を定めている。

表 4.5.11-1 サーボ制御演算プログラミング方法

項目	演算方法	備考
ゲイン乗算	<ul style="list-style-type: none"> ・ゲイン乗算関数を使用する ・最大値(2^{24})を越える場合はリミットされる 	<ul style="list-style-type: none"> ・mulgain()
変数加減算	<ul style="list-style-type: none"> ・通常の整数加減算を使用する ・最大値が 2^{24} 場合、127 回までの連続加減算が可能 	<ul style="list-style-type: none"> ・通常の加減算(+,-)
積分演算	<ul style="list-style-type: none"> ・積分関数を使用する ・最大値(2^{24})を越える場合はリミットされる 	<ul style="list-style-type: none"> ・integral()
微分演算	<ul style="list-style-type: none"> ・整数減算(差分演算)とゲイン乗算関数を使用する ・最大値(2^{24})を越える場合はリミットされる 	<ul style="list-style-type: none"> ・$dx = x(k) - x(k-1)$ ・$y = \text{mulgain}(dx, k)$
フィルタ演算	<ul style="list-style-type: none"> ・フィルタ演算用関数を使用する ・リミット処理は通常不要(上記関数でも未処理) 	<ul style="list-style-type: none"> ・ローパスフィルタ: lpfilter1() ・ハイパスフィルタ: hpfilter1() ・ノッチフィルタ: nxfilter2()
パルス演算	<ul style="list-style-type: none"> ・パルス処理関数を使用する ・余りは上記関数内で処理される 	<ul style="list-style-type: none"> ・電子ギヤ演算: pcmdgear() ・位置偏差演算: perrcalx() ・その他
パラメータ計算	<ul style="list-style-type: none"> ・パラメータ計算用関数を使用する ・計算途中でのオーバフローは発生しない 	<ul style="list-style-type: none"> ・比例ゲイン: pcal__kxgain() ・フィルタゲイン: pcal_flgain() ・その他

表 4.5.11-2 制御演算用変数のデータ形式

項目	データ形式	備考
制御用変数	<ul style="list-style-type: none"> ・通常の符号付き 32bit 整数 ・16777216(2^{24})を最大値として正規化 ・演算分解能は 24bit で、の約 1000 倍 	<ul style="list-style-type: none"> ・単精度浮動小数点と同じ分解能
制御ゲイン	<ul style="list-style-type: none"> ・制御ゲイン専用データ形式 ・指数部(8bit) : 0 ~ 24 ・仮数部(24bit) : $-2^{23} \sim +2^{23}-1$ ・データ範囲 : $\pm 1/2^{24} \sim \pm 2^{23}$ 	<ul style="list-style-type: none"> ・演算速度を考慮した特殊形式 ・通常の浮動小数点のデータ形式とは異なるので注意すること

SGDS における各制御用変数の演算データ語長と演算分解能を表 4.5.11-3 に、制御ブロック図を図 4.5.11 に示す。

表 4.5.11-3 演算データ語長と演算分解能

No	項 目	計算式	演算分解能	最大値
1	位置偏差	$Perr(k) = Perr(k-1) + Pcmd(k) - Pfbk(k)$	F B 単位	64bit
2	位置制御	$Nref(k) = Kp * Perr(k)$	24bit/Nos	24bit
3	速度偏差	$Nerr(k) = Nref(k) - Nfbk(k)$	24bit/Nos	24bit
4	速度制御	$Xwkp(k) = Kv * Nerr(k)$ $Xwki(k) = Xwki(k-1) + Ki * Nerr(k),$ 但し、 $Ki = Kv * Ts / Ti$ $Trfv(k) = Xwkp(k) + Xwki(k)$	24bit/Tmax	24bit
5	トルクフィルタ	$Tref(k) = Tref(k-1) + Kf * (Trfv(k) - Tref(k-1))$	24bit/Tmax	24bit

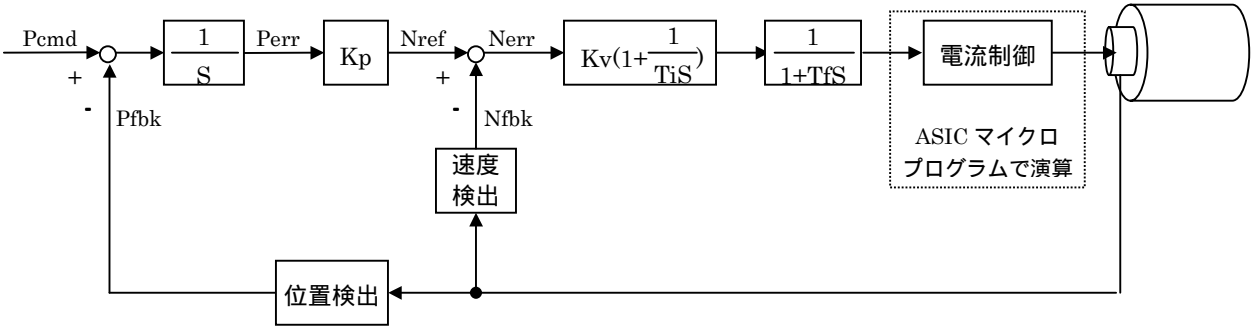


図 4.5.11 制御ブロック図

4.6 ハードウェア

ハードウェアの設計において留意すべき点は、ユーザサイドの機器との物理的な接続を行う上での仕様を保証することと、ノイズや熱などの環境条件への対応および安全への配慮である。このことはユーザのシステムでサーボがどのように使用されるのかを良く研究して設計に活かすことを求めている。

近年サーボの応用範囲が拡大し、色々な機械において色々な使われ方をされるようになってきた。このような幅広い使用条件の中で安定に動作するようにするためには、仕様のマージンのみならず使用部品のマージンを考えた設計が求められる。使用部品の仕様保証範囲と特性のバラツキからサーボの特性を満たす設計をしなければならない。

サーボパックの使用部品はそれぞれが深い技術に基づいて作られている。これをブラックボックスとして使用してもそこそこには動作する。これは部品メーカーが叡智を傾けて、バラツキを抑え、耐量を大きく取り、使い易い製品を送り出しているからである。しかしブラックボックス化して使用すると思わぬところに落とし穴があり、製品出荷後に問題化して大きな損失と信用失墜を招くことがある。特にコストダウンで部品をぎりぎりで使用しなければならない場合などは注意を要する。

集積度の高い半導体部品は分厚いマニュアルが準備されている。逆にパワー部品はどちらかというとデータが不足がちだが、どちらにせよこれらを隅々までよく読み、よく理解しないと信頼性の高い設計は望めない。

この章の説明に当たっては代表的な特性項目の計算例を設け、そのための回路図をできるだけ設けたが詳細な回路図は分量が増えるので割愛している。巻末の参照資料に上げた回路図を参照しながら読まれることを勧める。また、使用部品のデータシートについても計算に使用する項目については載せているが、取り上げた項目以外にも使用する上で検討の必要な項目がたくさんある。これらも適宜原本を参照いただきたい。アプリケーションノートやユーザズマニュアルについても同様である。

4.6.1 制御部ブロック図

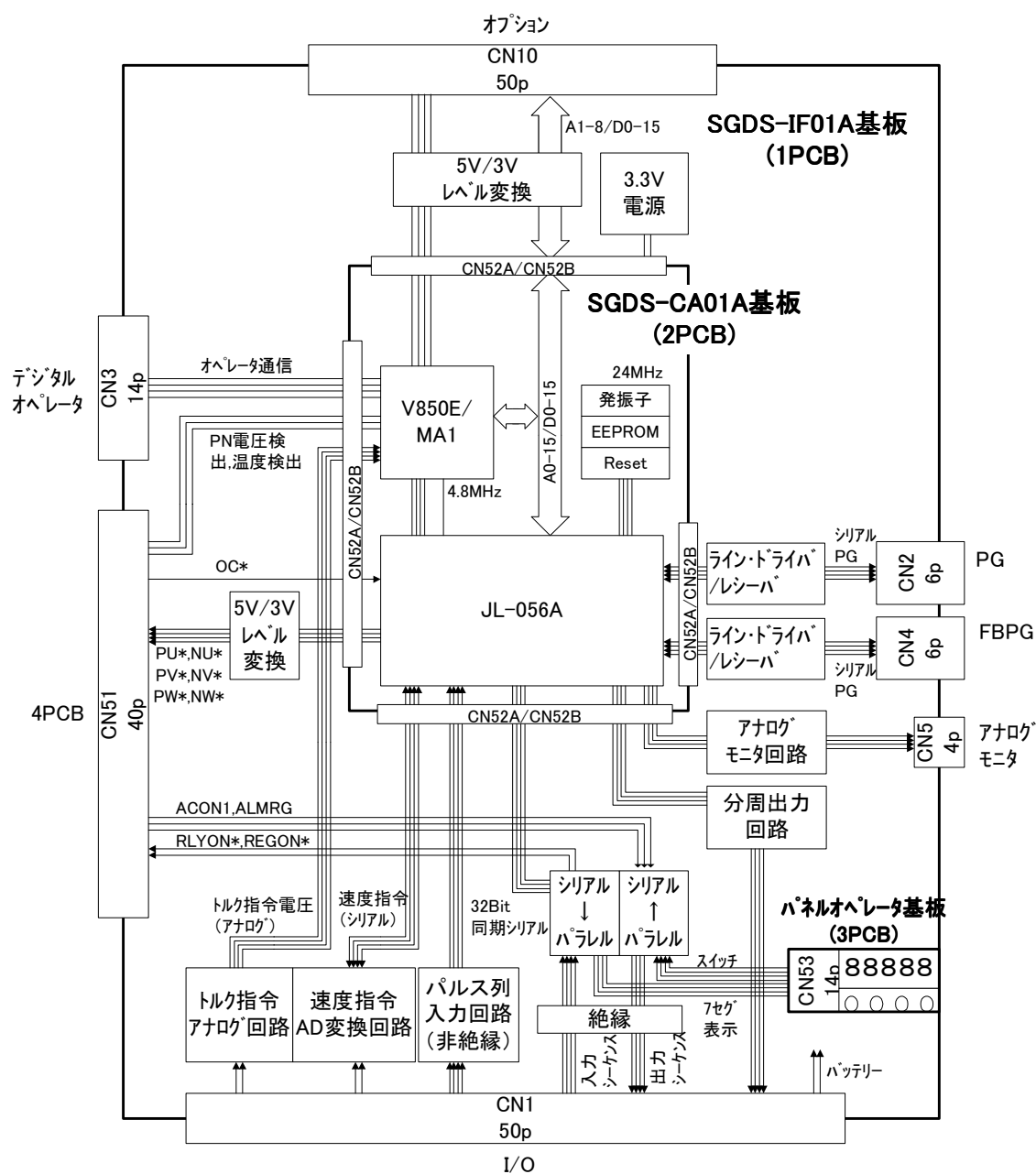
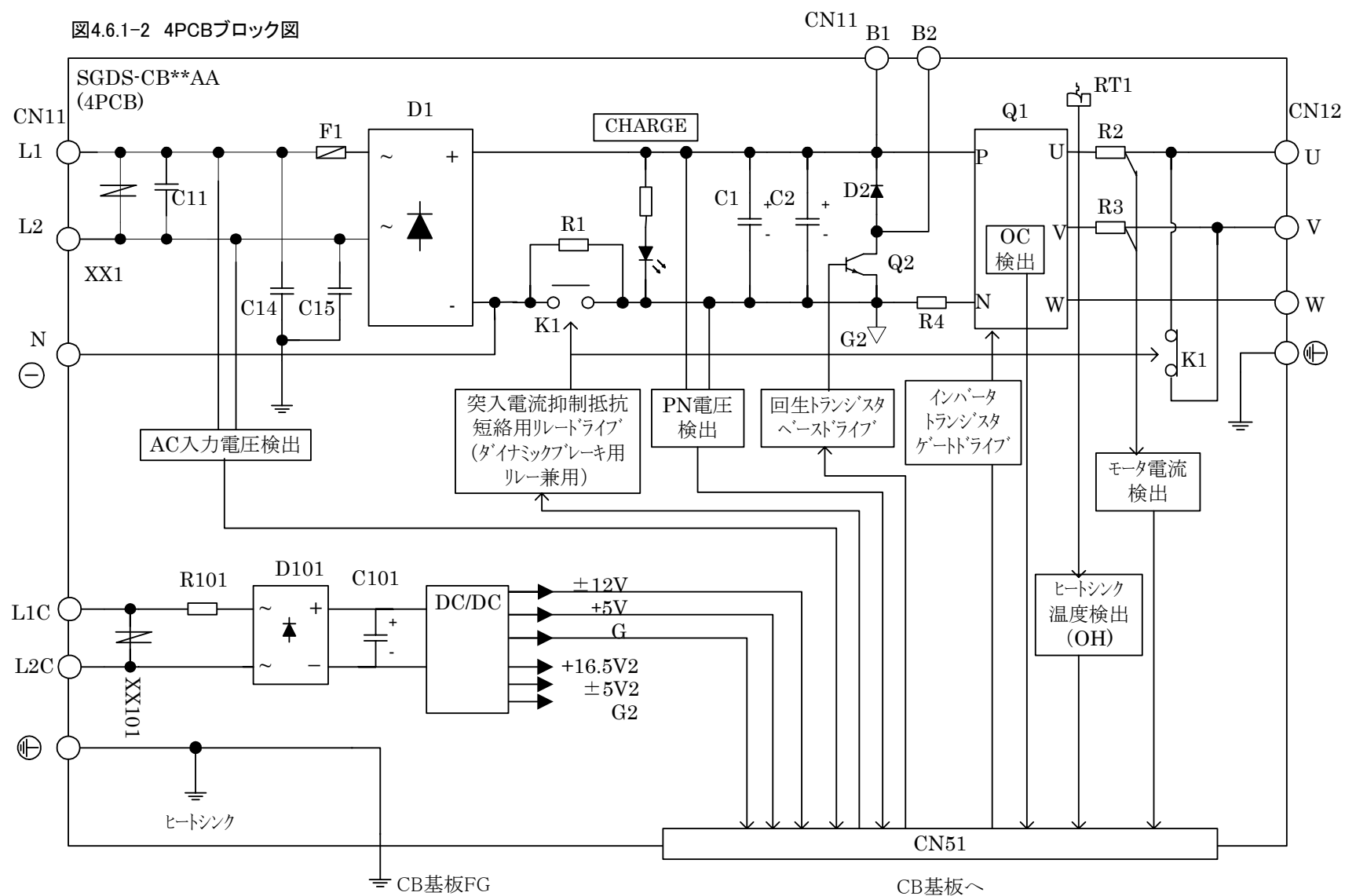


図 4.6.1-1 1PCB、2PCB、3PCB ブロック図

図4.6.1-2 4PCBブロック図



4.6.2 ゲートドライブ回路

SGDS-02A のスイッチング用パワーモジュールには三菱電機製トランスファーモールド形 IPM PS21353-N を採用している。図 4.6.2-1 のブロック図において破線枠で示した部分がゲートドライブ回路である。

ゲートドライブ回路は P 側アーム IGBT 駆動用のハイサイド側と N 側アーム IGBT 駆動用のローサイド側があり、ハイサイド側の 3 ケのゲートドライブ回路と N 側のゲートドライブ回路 (3 IGBT 分まとめて) とは互いに独立している。ゲートドライブ回路への入力信号はハイサイド側とローサイド側共にコモングラウンドの 5V 系ロジック信号である。

以下にゲートドライブ信号の変換回路とゲートドライブ回路を独立化するためのブートストラップ (4.3 章ではチャージポンプと表現) 回路について説明する。

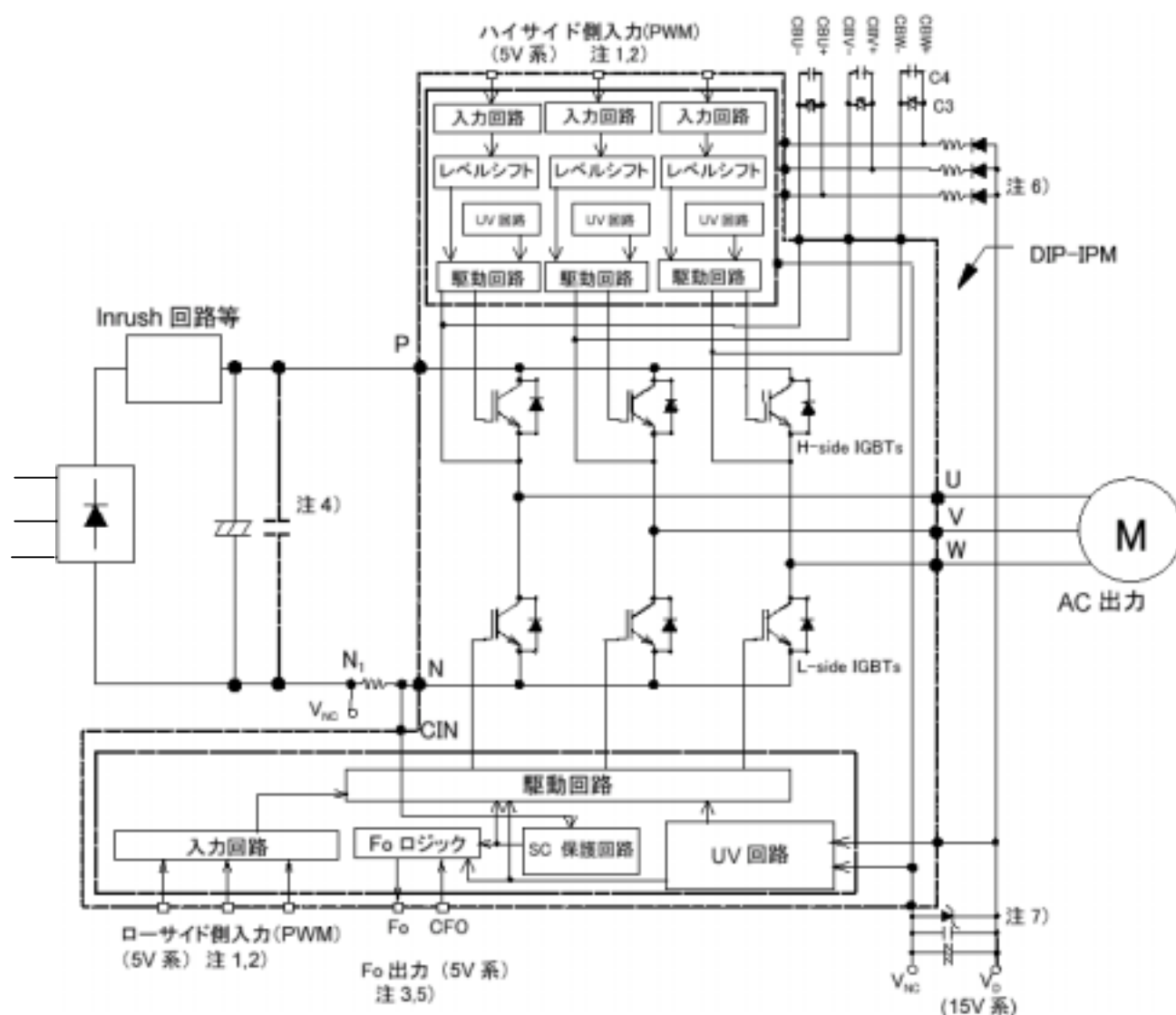


図 4.6.2-1 トランスファーモールド形 IPM ブロック図

(三菱 小形 DIP-IPM 活用の手引きより。注記については原図を参照)

(1) ゲートドライブ信号変換回路

2PCB(CA 基板)の JL056 から出力された 6 本のゲートドライブ信号は、1PCB (IF 基板)で 3.3V 系ロジック信号から 5V 系ロジック信号へレベル変換され、コネクタ CN51 を経由して 4PCB のパワー基板(CB 基板)に入力される。ここでフォトカプラによって 5V 系信号から 5V2 系信号に絶縁変換され、IPM のゲートドライブ回路に供給される。

サーボパックでは一般に 5V 系電源は制御回路に供給し、5V2 系電源はパワー回路用ロジック回路に供給している。これらの電源はパワー回路からのノイズの影響を避けるためにお互いに絶縁されている。

フォトカブラの検討

フォトカブラの採用に当たっては信号伝達の確実さの検証として CTR(Current Transfer Ratio)を、ノイズ耐性の検証として CMR(Common Mode Noise Rejection)を、スイッチングデッドタイムの検証として Propagation Delay Time を検討する必要がある。スイッチングデッドタイムについては IPM 内臓のゲートドライブ回路と ASIC のデッドバンド回路を含めて検討する必要があるのでここでまとめて検討する。

(a) C T R の検討

フォトカブラの 1 次側発光ダイオードは時間経過と共に発光効率が低下し 2 次側への電流伝達率 CTR が下がる。このため 10^5 時間後にも CTR が十分であるかを検討する。

<条件> **フォトカブラが Rev.B より PS9713-V-F3 に変更になった。変更要。**

フォトカブラ(400W 以下) : HCPL-M456 アジレント社製

CTR : 44%(min)、90%(typ) @IF=10(mA)

CTR 温度補正 : 0.94

V_F : 1.5V(typ)、1.8V(max) @ IF=10(mA)

V_{OL} : 0.3V(typ)、0.6V(max) @ IF=2.4(mA)

(以上 HCPL-M456 データシートより)

CTR 経年変化マージン : 50%

(フォトカブラ選定基準より)

I_{IPM} : 200 μ A(max)(PS21353-N データシートより)

電源電圧変動 : 5V \pm 3%

抵抗器偏差 : \pm 5%

<計算>

・ 1 次側電流

$$I_F(\min) = (5.15 \times 0.97 - 1.8) / (330 \times 1.05) = 9.22 \text{ (mA)}$$

$$I_F(\text{typ}) = (5.15 - 1.5) / 330 = 11.1 \text{ (mA)}$$

・ 2 次電流

$$I_O(\max) = (5.15 \times 1.03 - 0.3) / (3300 \times 0.95) + 0.2 = 1.8 \text{ (mA)}$$

$$I_O(\text{typ}) = (5.15 - 0.3) / 3300 = 1.47 \text{ (mA)}$$

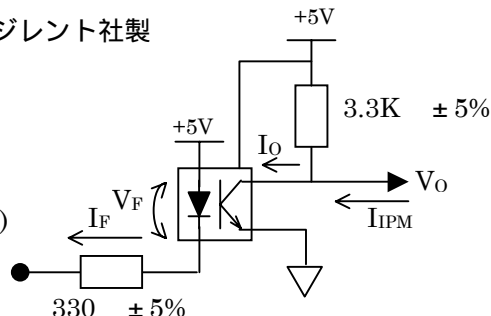


図 4.6.2-2 ゲートドライブ
フォトカブラ回路

・ CTR 補正

$$CTR(\min)=44 \times 0.94 \times 1=41.4\%$$

$$CTR(\text{typ})=90 \times 0.94 \times 1=84.6\%$$

順電流補正值はデータシートに記載が無い為 1 としておく。

・ 2 次側に流せる電流(10⁵H 保証)

$$I_{CTR}(\min)=9.22 \times 0.414 \times 0.5=1.91 \text{ (mA)} > 1.8 \text{ (mA)}$$

$$I_{CTR}(\text{typ})=11.1 \times 0.846 \times 0.5=4.70 \text{ (mA)} > 1.47 \text{ (mA)}$$

<結果> CTR のマージンは十分ある。

(b) CMR の検討

AC200V 電源入力のサーボパックの PN 電圧は回生時の電圧上昇まで入れると 400V 弱ある。この電圧をパワーモジュールである。イッチングすると、スイッチング電圧波形の立ち上がり時またはたち下がり時に $dV/dt=400V/t$ に比例したサージ電流が発生する。サージ電流は回路のあちこちに存在する浮遊容量を通じて回路に流れ込みこれを誤動作させる。実際には配線のインダクタンス成分によりサージはこの値より更に大きくなる。ここではフォトカブラによるパワーモジュールへのコモンモードノイズ除去効果を検討する。

・ フォトカブラ HCPL-M456 の CMR : 15KV/ $\mu s(\min)$

・ PS21353-N のスイッチング電圧波形の立ち上がり時間またはたち下がり時間

$$t=0.3 \sim 0.7 \mu s$$

・ フォトカブラ 1 次-2 次間コモンモード電圧最悪値 $V_{cm} : 400V+ =800V$ (倍と見る)

・ $dV/dt = 800V/0.3 \mu s \sim 2700V/\mu s < 15KV/\mu s$ --- ノイズ除去効果は十分である。 t_{rr} の効果

をどう評価するか？

ただし、ノイズ除去効果を十分に発揮させるにはプリント基板のパターン設計や使用回路などフォトカブラの使用条件に注意すべきである。これらについてはフォトカブラのデータシートやアプリケーションノートを参照のこと。

(c) スwitchングデッドタイムの検討

パワーモジュールの IGBT は、上アーム IGBT の ON(OFF)と下アーム IGBT の OFF(ON)を同時に指令すると、スイッチングの遷移時に両方の IGBT が同時に ON 状態となって P-N 間短絡を起こす。これは IGBT のストレージ効果などによるスイッチング遅延時間やダイオードの逆回復時間など ON 時と OFF 時の特性が異なることや、素子のスイッチング特性がばらつくことが原因である。これを防止するため、上/下 IGBT へのゲートドライブ入力信号タイミングに ON 禁止のデッドタイムを設ける (JL056 にはデッドタイムレス機能もあるが、これについては JL056 の内部説明書を参照)。この ON 禁止時間はオンディレイ時間としてシステム定数 PnE2D に設定され、これがホスト CPU から ASIC のレジスタに設定される。図 4.6.2-3、図 4.6.2-4 参照。

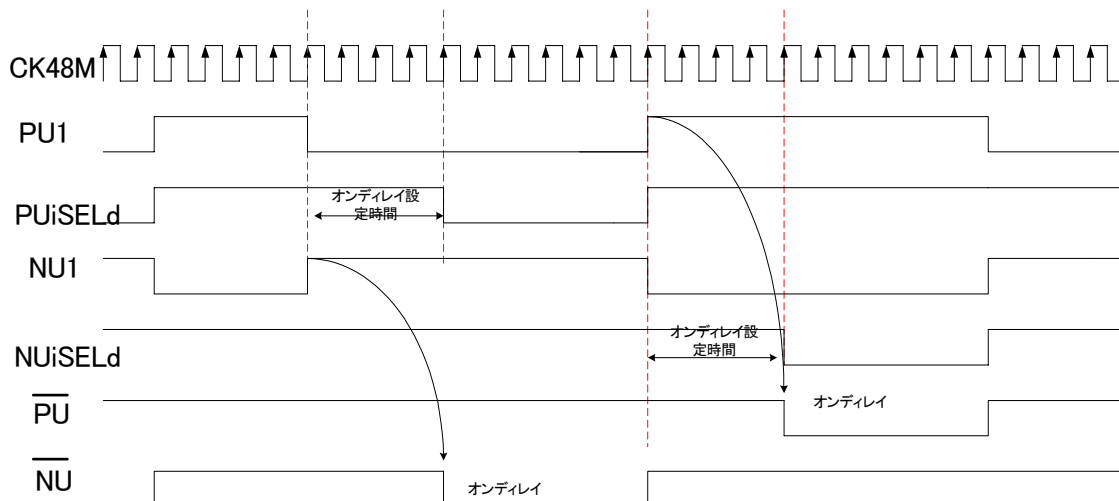
ON 禁止時間内にはフォトカブラによるゲートドライブ信号の伝達遅延時間(Propagation Delay Time)による ON/OFF の重なり時間も吸収されねばならない。以下これを検討する。

HCPL-M456 および PS21353-N データシートより

- ・ HCPL-M456 の Propagation Delay Time : $t_{PHL}=400\text{ns}(\text{max})$ 、 $t_{PLH}=550\text{ns}(\text{max})$
- ・ PS21353-N の上下アーム休止時間 : $t_{\text{dead}}=1.5\text{ }\mu\text{s}(\text{min})$

よって、最悪スイッチング重なり時間 $=0.55\text{ }\mu\text{s}+1.5\text{ }\mu\text{s}=2.05\text{ }\mu\text{s}$ となる。

50%のマーヅンをみて、システム定数 PnE2D の初期設定値 $=3\text{ }\mu\text{s}$ としている。



PU1 : P 側 U 相信号

PU1SELd : P 側 U 相オンディレイ信号 (オンディレイ設定時間がデッドバンドとなる)

NU1 : N 側 U 相信号

NU1SELd : N 側 U 相オンディレイ信号 (オンディレイ設定時間がデッドバンドとなる)

PU : P 側 U 相ゲートドライブ信号 (JL056 出力信号、フォトカプラへの入力となる)

図 4.6.2-3 ASiC(JL056)PWM 回路のデッドバンドタイミングチャート

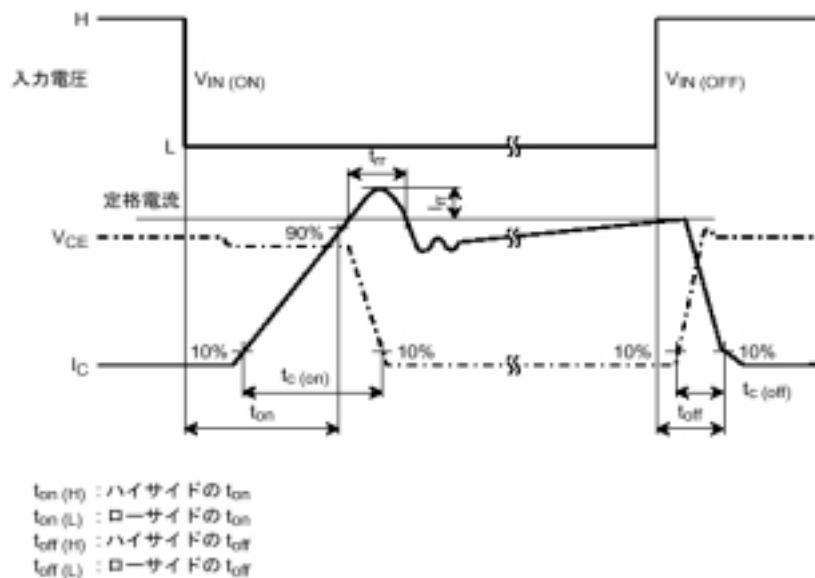


図 4.6.2-4 パワーモジュールのスイッチング波形

(2) ブートストラップ回路 (4.3 章ではチャージポンプと表現)

このモジュールはゲートドライブ回路とこのための電源回路を内蔵している。外部からのゲートドライブ用供給電源は単電源だが、4 つの独立したゲートドライブ電源回路を作り出すためブートストラップ回路を採用している。このために外付けの高速・高耐圧のブートストラップダイオードとコンデンサを必要としている。

初期充電時

このパワーモジュールは始動時にブートストラップコンデンサを充電する必要がある。ブートストラップコンデンサの充電は図 4.6.2-5 のように PWM 動作を開始する前に N 側 IGBT をターンオンさせることで行う。これはホスト CPU より ASIC の PUMPON ビットに “1” を設定し、所定のオン時間経過後 “0” を再設定することにより達せられる (時間設定のシステム定数 $PnE2D, PnE2E$)。ASIC のこの機能はベースブロック時に有効で、また、OC が発生すると強制停止 (N 側をオフ) する。

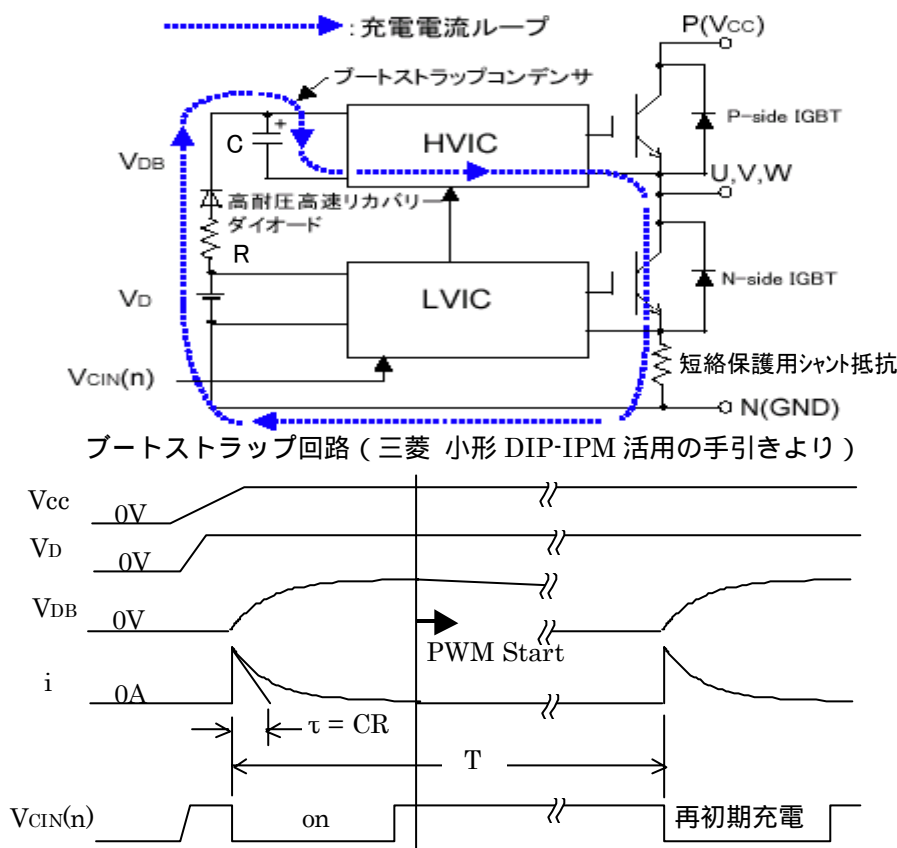


図4.6.2-5 ブートストラップ初期充電時等価回路とタイミングチャート

(a) 充電時間 (99%まで充電される時間) の検討

ホスト CPU より ASIC に設定する充電時間を検討する。

充電抵抗器 R : 22 Ω、1W (短絡保護用シャント抵抗は 0.03 Ω と小さいので無視する。)

ブートストラップコンデンサ C : 47 μF (U、V 相) 4.7 μF (W 相)

充電時間： $-RC \cdot \ln(1-0.99) = 22 \times 1.05 \times 47 \times 1.2 \times 10^{-6} \times \ln 0.01 = 5.9 \text{ ms (max)}$

マージンを 2 倍見て 10ms 以上とする。

(b) 充電抵抗器の検討

電源投入やベースブロックからの復帰時の初期充電時に充電抵抗器の消費電力が許容値を超えないかを検討する。

<条件>

充電抵抗器 R：22 $\pm 5\%$ 、定格電力 1W、定格電圧 4.7V(換算値)、最高使用電圧 100V、
耐圧 200V、短時間過負荷電圧 11.7V(試験条件 5S)、形式 MCR100JZHJ220、
表面実装 (ROHM データシートより)

ブートストラップコンデンサ U、V 相：47 $\mu\text{F} \pm 20\%$ 、25WV、UUX1E470MCR6GS、
(NICHICON データシートより)

W 相：4.7 $\mu\text{F} \pm 20\%$ 、25WV、GMK316F475ZG-T (太陽誘電)

電源電圧 V_D ：16.5V $\pm 10\%$

最悪初期充電繰り返し時間 T：100ms (充電時定数の 100 倍とする。)

充電時定数： $\tau = CR = 1.03 \text{ ms (typ)}$

抵抗器安全係数：0.45 (設計内規による)

<計算・評価>

瞬時最大負荷電圧： $V_p = 16.5\text{V} \times 1.1 = 18.2\text{V} > 11.7\text{V}$ (短時間過負荷電圧は NG)

瞬時最大消費電力： $P_p = (16.5\text{V} \times 1.1)^2 / 22 = 15\text{W} > 6.2\text{W}$ (短時間過負荷電力は NG)

電源投入時抵抗器平均消費電力 P：

$$i = \frac{V_D}{R} e^{-\frac{t}{\tau}} \quad (\tau = C \cdot R)$$

$$P = \frac{1}{T} \int_0^T R \cdot i^2 dt = \frac{C \cdot V_D^2}{2T} \quad (T \gg \tau)$$

$$P = 47 \times 1.2 \times 10^{-6} \times (16.5\text{V} \times 1.1)^2 / (2 \times 0.1\text{s}) = 0.093\text{W} < 1\text{W} \times 0.45 = 0.45\text{W}$$

瞬時負荷に対する V_p 、 P_p はカタログスペックを超えているが、平均消費電力では定格の許容値を満足する。実際の抵抗器平均消費電力はインバータ動作時の平均電力と合算されるので、次節で再検討する。

(参考：ROHM のデータシートには許容パルス電力に対する規定は無いが、松下の難燃性耐パルス抵抗器 (ERD25FAJ、炭素皮膜抵抗器、チップ抵抗器ではない) の仕様は参考になる。パルス負荷の場合はメーカーに許容パルス負荷仕様を確認することと、検証試験で抵抗の表面温度の確認をする必要がある。)

スイッチング動作中のブートストラップ充放電動作

PWM スwitching動作中のブートストラップコンデンサの充放電は、N 側 IGBT が ON した時に充電され、P 側 IGBT が ON した時にその駆動回路の消費電流により放電される。また、回生モードで N 側フリーホイールダイオードが ON の時は充電され、同じく回生モードで P

側フリーホイールダイオードが ON の場合は充電されずに C は自然放電する。

このようにブートストラップコンデンサは充放電を繰り返し、その端子電圧（制御電源電圧： V_{DB} ）はスイッチングにつれて脈動する。スイッチングを安定に行なうにはこの制御電源電圧はその電圧低下保護電圧以上（保護電圧は 12.5V、最小推奨使用電圧は 13.5V）に保持されねばならない。また、コンデンサへはリップル電流が流れるので高リップル電流タイプのコンデンサを選定する必要がある。

サーボバックには電解コンデンサが多用されるが、リップル電流による発熱はコンデンサの寿命に大きく影響する。PN 間の主回路コンデンサと制御電源の平滑コンデンサと共に、このブートストラップコンデンサは発熱体の近くに配置されることもありサーボバックの中で最も寿命が厳しい部品である。リップル電流と部品配置への配慮を十分に行なう必要がある。

このコンデンサが劣化して容量が低下すると P 側 IGBT の電源電圧が不足し、その結果スイッチングスピードが遅くなって N 側 IGBT とのデッドタイムが守れなくなる。これによって P-N 間短絡が起これ、パワーモジュールの短絡保護回路によって素子の破壊にまでは至らないものの、サーボバックは OC アラームで機能を停止してしまう。

(a) 設定例

<条件>

PWM キャリア周波数：10667Hz（システム定数 PnE2C）

V_{DB} が 13.5V 以下にならないように、例えば V_{DB} (I_{DB} による消費電圧)=1V とする。

P 側 IGBT1 の最大 ON パルス幅 T_1 を 5ms とする。 I_{DB} は規格 max の 1mA とする。

$$C = I_{DB} \times T_1 / \Delta V_{DB} = 5.0 \times 10^{-6}$$

すなわち、ブートストラップコンデンサ C の容量は、5 μ F となり、これにマージン分を付加する。バラツキ、信頼性等を考慮し、C の容量は計算結果の 2～3 倍に選定するのが一般的である。

次に、P 側 IGBT1 の最大 ON パルス幅 5ms で減衰した電圧 V_{DB} (I_{DB} による消費電圧)=1V を、N 側 IGBT2 の最小 ON 期間または、P 側 IGBT1 のみが ON-OFF-ON を繰り返すモードがある場合は、P 側 IGBT1 最大 ON パルス直後の P 側 IGBT1 最小 OFF 期間（FWDi1 の還流期間）で充電する必要があるので、その場合の制限抵抗 R の設定例を下記に示す。

例)

ブートストラップコンデンサ C の容量を、5 μ F、 $V_D=15V$ 、 $V_{DB}=14V$ と仮定する。N 側 IGBT2 の最小 ON 期間または、P 側 IGBT1 最小 OFF 期間 t_0 を 20 μ s と仮定すると、この期間で $V_{DB}=1V$ 充電する必要がある。

$$R = \{ (V_D - V_{DB}) \times t_0 \} / (C \times V_{DB}) = 4$$

すなわち、制限抵抗は 4 Ω となる。

*：DCBLM 制御、IM 2 相変調を行う場合は、P 側 IGBT の ON 期間が長いモードが発生するため注意が必要である。

(b) シミュレーションによる検討

上記は計算による設定例であるが、実際の制御パターンを考慮したシミュレーション結果を以下に示す。

<目標仕様>

充電周期 : キャリア周波数 5kHz

変調率 0 出力周波数 0Hz (0min-1)

変調率 0.5 出力周波数 150Hz(3000min-1)

変調率 0.9 出力周波数 300Hz(6000min-1)

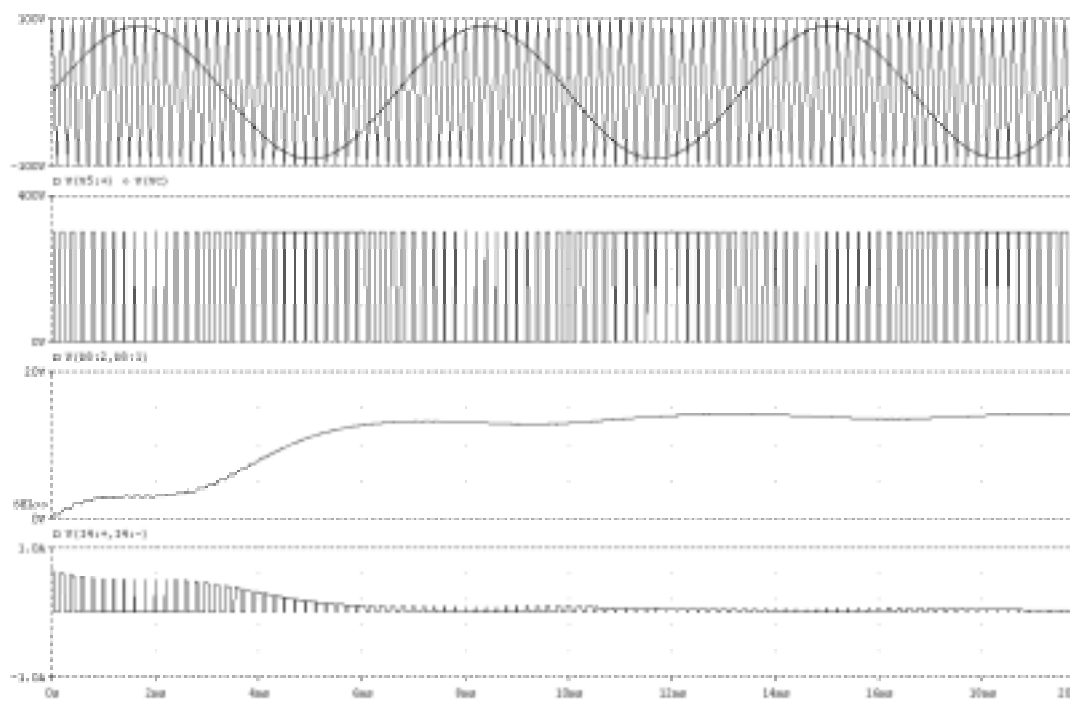
充電時間 : 30msec (3)

充電ピーク電流 : 1A (1軸あたり)

平均出力電流 : 20mA (U相、V相) 3mA (W相)

リップル電圧 : 200mVp-p

出力電圧 : $15V \pm 1.5V$



動作チャート

<シミュレーション条件>

$f_c=5\text{kHz}$ 、変調率 = 0.9、出力周波数 = 150Hz、コンデンサ容量 = 56 μF 、負過電流 = 20mA

消費電流

U15V、V15V の消費電流を下記の通り見積もる。

HCPL7860 : 15mA(max)

IPM : MIG30J502H (東芝) 1.5mA (TYP)

PS21455-E (三菱) 1mA (MAX)

以上より IPM の 1CH 当たり消費電流 I_o は

$$I_o (\text{MAX}) = 1.5 \times 1.5 + 15 = 17.5\text{mA}$$

コンデンサ容量

目標仕様

IPM の仕様より必要ゲート電源電圧は

	CUV(max)	U15V(min)	U15V(typ)	U15V (max)
MIG30J502H	12.5V	13.5V	15.0V	16.5V
PS21455-E	13V	13.5V	15.0V	16.5V

以上より、電源電圧が 13.5V 以下に落ち込まないように選定する。

リップル電流は消費電流 (20mA) の 2 倍以上とする。

電圧変動の計算

電圧変動の計算は PSpice でおこなう。条件は以下の通りである。

キャリア周波数 : 5kHz

変調率 : 1

出力周波数 : 150Hz

電源電圧 : 16.5V

充電抵抗 : 22 (16.5V 電源の電圧ドロップを考慮し右の抵抗以上を使用する)

負荷抵抗 : 700

C[uF]	V(min) [V]	V(max) [V]
22	13.38	15.24
33	13.86	15.19
47	14.17	15.13
56	14.28	15.10
68	14.39	15.06
82	14.47	15.03
100	14.54	15.00

以上の計算より、電源のばらつきを $\pm 0.5\text{V}$ 、電解コンデンサ容量のばらつきを $\pm 20\%$ とすると、56uF 以上は必要である。

電解コンデンサとして、PV シリーズ (ニチコン) より 25V 品から選定すると、

UPV1E560MGH ($6.3 \times L11$) となる。許容リップル電流は 235mA (at100kHz) 周波数補正係数を 0.8 (1kHz) としても 188mA とれるので仕様を十分に満足する。

(c) ブートストラップダイオードの選定

パワーモジュール PS21353-N は電源電圧の最大定格は 450V だが、ブートストラップダ

イオードにはサージ電圧を含めると 500V 程度が印加される。マージンを考慮し耐圧は 600V 以上とする。また、特性に関しては高速リカバリーのものが必要である。

富士電機製 SC201-06 を選定する。

SC201-06 の仕様：最大平均電流 0.5A、サージ電流 10A (10ms、サイン波) 耐圧 600V、リカバリー時間 $t_{rr}=400\text{ns}$

<平均電流の検討>

ダイオード許容平均電流： $I_p = 0.4\text{A} \times 0.8 = 0.32\text{A}$ (データシートより周囲温度 60 にて 0.4A にディレーティング、更に安全係数 80%を見込む。)

実際の平均電流： $20\text{mA}/0.1/0.6 = 0.33\text{A}$ 0.32A ダイオード仕様をマージン分で満足 (変調率 0.9 波形率 0.6 で計算)

< I^2t の検討>

ダイオードの短時間許容電流耐量は短時間エネルギー時間積である I^2t で評価する。ダイオード許容 I^2t をデータシートのサージ電流 10A (10ms、サイン波) から計算すると

$$\text{ダイオード許容 } I^2t = (10 / 2)^2 \times 10\text{msec} = 0.5\text{A}^2\text{sec}$$

となり、実際の $I^2t(\text{max})$ は以下ようになる。

$$\begin{aligned} \text{実際の } I^2t (\text{max}) &= (16.5\text{V} \times 1.1 / 22 / 0.95)^2 \times 1.23\text{msec} / 2 \\ &= 0.465 \times 10^{-3} \text{A}^2\text{sec} < 0.5\text{A}^2\text{sec} \quad \text{ダイオード許容 } I^2t \text{ を満足。} \end{aligned}$$

< 電圧降下 >

ダイオードのデータシート $V_F - I_F$ 曲線より、0.3A で $V_F=0.92\text{V}$ の順電圧ドロップが発生する。

$V_{DB}(\text{min}) = V_D(\text{min}) - V_F(\text{max}) = 16.5 \times 0.9 - 0.92 = 13.93\text{V} > 13.5$ パワーモジュールの推奨最小電源電圧を満足

(d) 注意事項

<ノイズ誤動作対策>

パワーモジュールのノイズ誤動作を防止するため、制御系電源端子 ($V_{P1} - V_{NC}$ 間、 $V_{N1} - V_{NC}$ 間、 $V_{UFB} - V_{UFS}$ 間、 $V_{VFB} - V_{VFS}$ 間、 $V_{WEB} - V_{WFS}$ 間) にノイズフィルタ用コンデンサを挿入する。データ - シートの推奨は $0.22 \sim 2\mu\text{F}$ 程度のフィルムコンデンサまたはセラミックコンデンサである。プリント基板のパターン設計において電源ラインの配線を短くすることによりインピーダンスを低減して、コンデンサ容量を小さくすることができる。また、回路誤動作を防ぐため電源ノイズの変動成分は $\pm 1\text{V}/\mu\text{s}$ 以下に、リップル電圧は 2V 以下となるように設計する必要がある。

<PWM スタート前リセット>

ブートストラップコンデンサが十分に充電された後、PWM スタート前に P 側にリセット用パルスを入力する必要がある。詳細は「三菱 小形 DIP-IPM 活用の手引き」を参照。

4.6.3 電流検出回路

モータ駆動電流の電流検出方法にはカレントトランス(CT)を用いる方法とシャント抵抗を用いる方法とがあるが、SGDS ではシャント抵抗方式を採用している。旧シリーズでは CT を用いたものが多かったが、電流制御の高度化に伴い CT では要求精度を満たすことが困難になってきた。CT の原理は電流が発生する磁束をホール素子で検出するというものだが、磁束を集める磁気回路にコアを使用するためコアのヒステリシスが存在し、このために検出値にオフセットが生じてしまう。このオフセットは温度の影響を受けやすく、オフセットを初期調整しても長期的にドリフトする傾向があった。オフセットが残ると 3 相電流にアンバランスが生じ、その結果モータにトルクリップルとして表れる。

シャント抵抗方式はモータのU相、V相にシャント抵抗を直列に挿入し、この両端の電圧を A/D変換して読み取る方式である。シャント抵抗は単なる抵抗なのでヒステリシスもなくドリフトも小さいので、トルクリップルを低減できる。CT 方式は各相毎に主回路と検出回路が電磁結合によってアイソレーションされるが、シャント抵抗は主回路と直結されるため AD 変換部でアイソレーションする必要がある。以下に SGDS の電流検出回路について説明する。

(1) 回路説明

モータのU、V、W、3相のうちU相とV相の電流を検出しW相の電流は他相の電流から計算で求める。図 4.6.3 にU相の電流検出回路と関連する周辺の回路を示す。図 4.6.3 において、4PCB に実装されたパワーモジュールのU相駆動出力回路にシャント抵抗(R)が挿入される。このシャント抵抗の両端電圧信号はフォトカプラ絶縁形方式の AD コンバータ(HCPL - 7860)に入力され、ここでシリアルデジタルデータ(MDATU)に変換されて 1PCB を経由し 2PCB の ASIC(JL056)へ入力される。ASIC ではシリアルデータをパラレルデータに変換し、これを ASIC 内臓 CPU が読み込む。

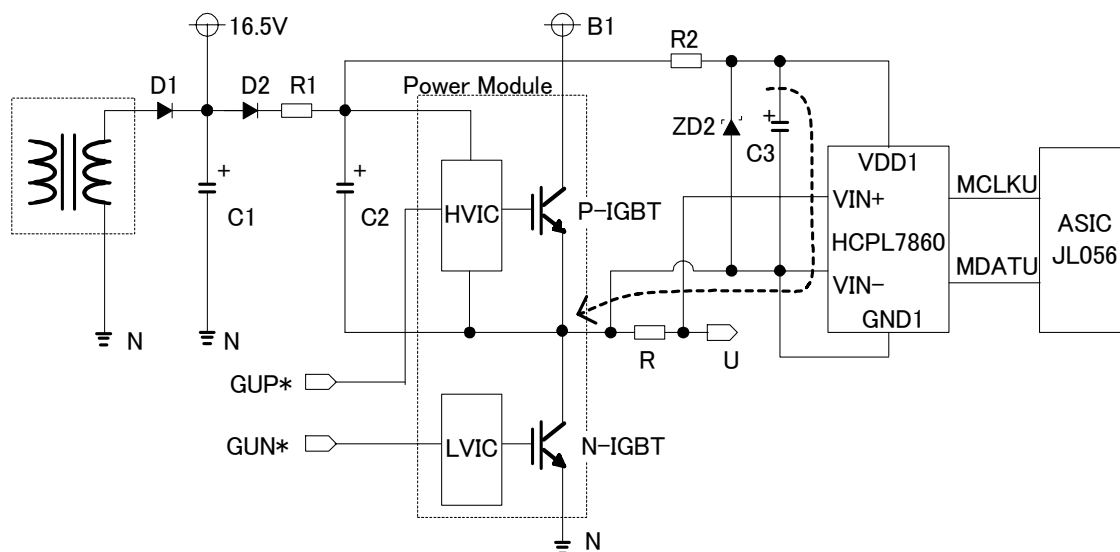


図 4.6.3 電流検出回路

この方式ADコンバータはモジュレータ HCPL-7860 とデモジュレータ HCPL- \times 870 のセットで構成されるが、SGDS では HCPL- \times 870 の機能を ASIC に取り込んで実現している。HCPL-7860 は常時動作状態にありシリアルデータ(MDATU)とモジュレータクロック (MCLKU) 信号を ASIC へ出力し続ける。

(2) 使用部品仕様

AD コンバータ

形式・方式・メーカー：HCPL-7860、絶縁形 変換方式、HP 社製
アナログ入力電圧範囲： $\pm V_{ref}$ (推奨 $\pm 200\text{mV}$)
入力インピーダンス：450K (typ)
フルスケールレンジ： $2 \times V_{ref} = 640\text{mV}$ (typ)
分解能：15 ビット、実効分解能 12 ビット (@変換時間 20 μs)
積分直線性誤差：30LSB(0.14%)(max) @-40 ~ 85
内臓基準電圧 V_{ref} ：320mV(typ) 絶対偏差： $\pm 4\%$ 、同一梱包内偏差： $\pm 1\%$ (@25)
対周囲温度 V_{ref} ドリフト：60ppm/ (typ)
対電源 V_{ref} ドリフト：0.2%(typ)
オフセット誤差 V_{os} ： $\pm 3\text{mV}$ (min/max)
対周囲温度オフセットドリフト：10 $\mu\text{V/}$ (max)、
対電源オフセットドリフト：0.12mV/V(typ)
バンド幅：18KHz(min) @コンバージョンモード 3
変換時間：40 μs @コンバージョンモード 3
出力クロック周波数：8.2MHz(min)、10MHz(typ)、13.2MHz(max)
コモンモードリジェクション CMRR：60dB (typ) @-40 ~ 85
アイソレーショントランジェントイミュニティ：15Kv/ μs (min)
シャント抵抗器：NPRITE0.03J 0.03 $\pm 5\%$ 、温度係数 $\pm 200\text{ppm/}$ 、1W、
ディレーティング係数 0.91%/ (@70 以上、グラフより) KOA 社製
ツェナーダイオード：RD5.1MB1 4.84V~5.04V、温度係数 0 @5mA NEC 製

(3) シャント抵抗の選定

SGDS-02 の出力は定格電流 $I_m=2.1\text{Arms}$ 、瞬時最大電流 $I_{mp}=6.5\text{Arms}$ である。

$V_{ref}(\text{min})=320\text{mV} \times 0.95$ (偏差、ドリフトを含む) を超えないシャント抵抗 R を選定する。

$$R(\text{max}) \leq \frac{V_{ref}(\text{min})}{\sqrt{2} \cdot I_{mp}} = \frac{0.32 \times 0.95}{\sqrt{2} \times 6.5} = 0.033\Omega$$

これより 0.3 を選定する。この時 $V_{IN+}(\text{max})=290\text{mV}$ となり AD コンバータのデータシート推奨値 200mV を超えるが $V_{ref}(\text{min})=304\text{mV}$ は超えない。定格の 2 倍以上のところでの電流検出精度が低下するが OK とする。

シャント抵抗の消費電力 $P(\text{max})$ は

$$\text{定格電流時 } P(\text{max})=I_m^2 \times R(\text{max})=0.139\text{W}$$

瞬時最大電流時 $P(\max)=I_{mp}^2 \times R(\max)=1.33W$

特定用途加減速時 $P(\max)=1.33 \times 0.3=0.4W$

となり、1W の抵抗とする。この場合のディレーティングは 40% で最悪ケースということで OK である。ここで最悪特定用途としてチップマウントを想定した。その加減速頻度は加(減)速時間 50ms ずつの位置決め 3 回/s とした。(加減速レート: $50 \times 2 \times 3/1000=0.3$)

シャント抵抗を用いて電流検出する場合、抵抗体素子と引出し端子との接合部の電流密度分布の偏りや、測定対象の大電流による抵抗体素子近傍の電圧降下などによる検出誤差が発生する。これを防ぐために、電流端子とセンシング端子を別々に備えたシャント抵抗器を採用するのが一般的だが、コストアップの観点から 2 端子のシャント抵抗を採用する。しかし、意図せざる抵抗器近傍の電圧降下を検出系に組み込まないように、プリント基板への抵抗器の実装においては(7)でのべるパターン設計上の注意事項に留意する必要がある。

(4) 検出精度

前節で検討したようにこのアナログ入力電圧は $VIN+(\max)=290mV$ と推奨電圧範囲 - 200mV ~ +200mV を超えている。データシート上、推奨電圧範囲を超えた仕様は明示されていないが、ここでは推奨電圧範囲と同等とみなして検討する。(新規設計では推奨範囲内で設計することを勧める。)

分解能と直線性

SGDS のトルク制御精度 1% を実現するためには電流ループ上の色々な特性項目をクリアしなければならないが、制御基板での割付は各項目 1/4 ずつとして、許容電流検出精度を 0.25% とする。これは瞬時最大電流時のアナログ入力電圧 $VIN+(\text{typ})=276mV$ に対して 690 μV に相当する。

この AD コンバータの分解能は 15 ビットだが、実効分解能は変換時間に依存する。変換時間が 20 μs の時、実効分解能は 12 ビットである。フルスケールは 640mV(typ)なので分解能 15 ビットの 1LSB は約 20 μV で、実効分解能は 160 μV となる。

従って、許容電流検出精度 0.25%(690 μV) は実効分解能 160 μV の 4.3 倍に当たり、AD コンバータの分解能は十分である。

AD コンバータの積分直線性誤差の直線性誤差は最大 30LSB 600 μV だが、これは許容電流検出精度 0.25%(690 μV) の約 0.9 倍に相当し OK である。

ゲイン誤差

ゲイン誤差とオフセット誤差のうち部品のバラツキによる固定誤差はゲイン調節とオフセット調節により吸収する。これらの調節値はシステム定数 U 相電流検出ゼロ調 PnE50、同 V 相 PnE50、U,V 相電流検出ゲイン調 PnE50 に保存され、ソフトウェアによって検出データを補正して使用する。

(a) ゲイン誤差固定分

ゲイン誤差固定分は AD コンバータ電源電圧の偏差と内臓基準電圧 V_{ref} の偏差 $\pm 4\%$ およびシャント抵抗の偏差 $\pm 5\%$ で決まる。

AD コンバータの電源にはツェナーダイオードを使用しておりその偏差は 0.2V である。これが Vref に及ぼす影響は、対電源 Vref ドリフトが 0.2%(typ)なので $0.2\% \times 0.2V = 0.4mV$ となり、対フルスケールでは $0.4mV / (\pm 320mV) \pm 0.13\%$ となる。これよりゲイン誤差固定分は Vref の偏差 $\pm 4\%$ に比べ無視することができる。

シャント抵抗については、 $V=I \times R$ なのでシャント抵抗値の精度はそのままゲイン誤差となる。また Vref の偏差もそのままゲイン誤差となる。

従って、シャント抵抗による電流検出ゲイン誤差は $\pm 5\%$ で、Vref の偏差によるゲイン誤差は $\pm 4\%$ (@-40 ~ 85 の場合の値なので温度ドリフト分を含んでいる)なので、電流検出の総合ゲイン誤差は $\pm 9.1\%$ となる。これは AD コンバータのフルスケールに対する値なので、瞬時最大電流に対する精度に換算すると 10.6% になる。これはゲイン誤差ドリフト分を除きゲイン調節で吸収される。

(b) ゲイン誤差ドリフト分

ゲイン誤差ドリフト分は対電源 Vref ドリフトと Vref 温度ドリフトおよびシャント抵抗の温度係数 3 つの要因で決定される。

対電源 Vref ドリフトについては使用しているツェナーダイオードの温度係数がほぼ 0 なのでドリフト 0 とみてよい。(ツェナーのレギュレーションに問題があるが、これについては後で述べる。)

シャント抵抗については、前述した最悪特定用途における抵抗消費電力 0.4W の場合の抵抗温度上昇をディレーティング係数から推定すると $0.4W / (0.91\% / \times 1W) = 44deg$ となり、周囲温度変化幅を 25 ~ 75 とすると抵抗の温度変化幅は 94deg となる。シャント抵抗の温度係数は $\pm 200ppm/$ なので、抵抗値の温度ドリフト分は $\pm 200ppm \times 94deg = \pm 1.9\%$ となる。(抵抗の温度上昇は抵抗の基板への実装方法やその環境によって影響される。ここでは、メーカーのデータシートから読み取れる範囲での検討とした。)

一方 Vref 温度ドリフトは、 $60ppm/ \times \pm 50deg = \pm 0.30\%(typ)$ となるが、シャント抵抗の温度ドリフトに比べれば約 1/6 と小さい。

以上の要因をまとめた総合ゲイン温度ドリフトは、 $\pm 2.2\%$ となり、瞬時最大電流に対する電流精度に換算すると $\pm 2.6\%$ となる。この誤差はゲイン調整では調整されないで、各相の電流検出ドリフトが逆方向に振れると相電流のアンバランスとなりトルクリップルとなる。データシートによれば Vref は温度に対して正方向の変化を示すので、各相の電流アンバランスはこの分については軽減されるが、シャント抵抗の温度係数は一様ではない。以上よりトルク制御精度 1%の目標仕様に対しては最悪ケースでは満足していないといえる。

オフセット誤差

電流検出のオフセット誤差要因は AD コンバータのオフセット誤差とツェナーダイオードの温度ドリフトによる電源変動だが、このうち後者は温度ドリフト 0 で無視できる。

前者については AD コンバータのオフセット誤差は $\pm 3mV$ で、このうち下記の温度ドリフト分を除いてゲイン誤差と同じくオフセット調整にて吸収される。

AD コンバータの使用温度 0 ~ 75 °C での最大オフセットドリフトは、 $10 \mu\text{V}/^\circ\text{C} \times 50^\circ\text{C} = 500 \mu\text{V}(\text{max})$ で、これは許容電流検出精度 0.25%(690 μV)の約 0.7 倍に相当し OK である。

(5) 電源および CMMR の検討

AD コンバータの電源はブートストラップ電圧をツェナーダイオードにより安定化して作る。

AD コンバータの最大電源電流は 15mA、 $R_2=680 \Omega \pm 5\%$ なので必要ブートストラップ電圧は

$$V = R_2 \times I_s + V_z = 680 \Omega \times 1.05 \times 15\text{mA} + 5.04\text{V} = 15.8\text{V}$$

となる。ツェナーダイオードへの入力抵抗が 680 Ω ではブートストラップ電圧が 15.8V 以下になると、最悪ケースではツェナーダイオードによる十分なレギュレーションが得られない可能性がある(再設計検証要)。レギュレーションが不十分だと V_{ref} が変動し、前述のゲイン誤差やオフセット誤差として現れ、最終的にはトルクリップルになる。

(6) 入力フィルタの検討

入力フィルタはアンチエイリアシングフィルタ(AD 変換のサンプリングに対応できない周波数帯の除去フィルタ)と AD コンバータ内のスイッチドキャパシタへの高速充電の役目を果たす。電流検出信号にはパワー回路のスイッチングノイズが含まれているので、これを十分減衰させておかないと変換結果にひずみを生じる。AD コンバータの変換時間は 40ns なので変換可能周波数(ナイキスト周波数)は $1/40\text{ns} = 78\text{KHz}$ である。AD コンバータ入力段の CR によるカットオフ周波数 f_c は

$$f_c = 1 / (2 \times 100 \text{ns} \times 0.047 \mu\text{F}) = 34\text{KHz}$$

で、キャリア周波数 $10\text{KHz} < 34\text{KHz} < 78\text{KHz}$ (8dB ダウン) なのでアンチエイリアシングフィルタとして OK である。

また、コンデンサについてもスイッチドキャパシタへの高速充電用としてデータシートの推奨値を満足している。

(7) パターン設計上の注意事項

AD コンバータの負側アナログ入力端子($V_{\text{IN-}}$)はこの IC の一次側グランド(GND1)に接続されるが、 GND1 端子はこの IC の一次側電源 V_{DD1} のグランドでもある。一次側電源 V_{DD1} はブートストラップコンデンサ C_2 から供給された電圧をツェナーダイオードでクランプして作られる。したがってブートストラップコンデンサのグランドも GND1 に接続されるので図 4.6.3 の破線のようなブートストラップコンデンサへのリターン電流や N-IGBT が ON した時のブートストラップ電流が流れる。このため $V_{\text{IN-}}$ とシャント抵抗までの配線が長いと、配線のインピーダンスによる電圧降下がシャント抵抗の検出電圧に重畳され検出ノイズが増える。これを避けるために $V_{\text{IN-}}$ と GND1 を AD コンバータの直近で直接接続しないで、 GND1 を別配線でシャント抵抗に接続する必要がある。(このところは AD コンバータのデータシートを参照。)

また、(3)で述べたように、シャント抵抗の電流配線パターンによる電圧降下の影響をなくすため、シャント抵抗から引き出すセンシング用配線パターンは電流用配線パターンとは分離して抵抗器の抵抗素子に近い端子部分から引き出すようにする必要がある。

参考：プリント基板銅パターンの抵抗率は $1.67 \times 10^{-6} \text{ cm} (@20^\circ\text{C})$ なので、銅箔厚 1.6mm × パターン幅 1mm × パターン長 5cm (片道 2.5cm) の電流配線パターンの抵抗値は 0.26mΩ となり、ほぼシャント抵抗の 1% に相当する。これをセンシング用に兼用した場合 1% 相当の誤差を生じることになる。

4.6.4 位置指令入力インターフェース

外部上位装置からのサーボ制御指令には位置指令、速度指令、トルク指令がある。これらの入力インターフェース回路は 1PCB (IF 基板) に搭載され、ノイズに対する配慮や情報をソフトウェアに渡すための前処理が行なわれる。ここでは、位置指令入力インターフェースについて説明する。指令入力にはネットワークによるものやオプション基板からのバス経路によるものもあるが、これらについての説明は割愛する。

(1) 動作

位置指令は非絶縁の 5V 系差動形パルス列信号で外部 I/O コネクタ (CN1) から 1PCB 基板へ入力される。入力されたパルス列は 1PCB 内の RC ノイズフィルタを通してラインレシーバに供給され、ここで 5V 系ロジック信号に変換される。この信号は内部接続コネクタ (CN52A) 経由 2PCB の ASIC (JL056) に入力され、ASIC 内の指令パルスカウンタで計数される。

この信号入力回路には、信号線への信号の反射を防ぐために、線間にターミネーション抵抗が挿入される。製品仕様では差動パルス信号の配線にはツイストペア線を指定しているが、一般にツイストペア線の特性インピーダンスは 120Ω 程度なので、ターミネーション抵抗は 120Ω 程度としている。

差動パルス信号のラインレシーバは信号端子がオープンの際に出力が不定となる。これを避けるため差動信号端子のプラス側を +5V にプルアップしマイナス側を 0V にプルダウンしている。

最近ではサーボに求められる性能が高度化しているが、指令入力パルスの高速化もその一つである。指令入力パルスの許容パルスレートはユーザーズマニュアルでは 1MHz としているが、製品仕様上は 4MHz が可能のようにノイズフィルタの RC 時定数を選定している。

図 4.6.4-1 に位置指令入力回路 3 回路のうち 1 回路目を示す。

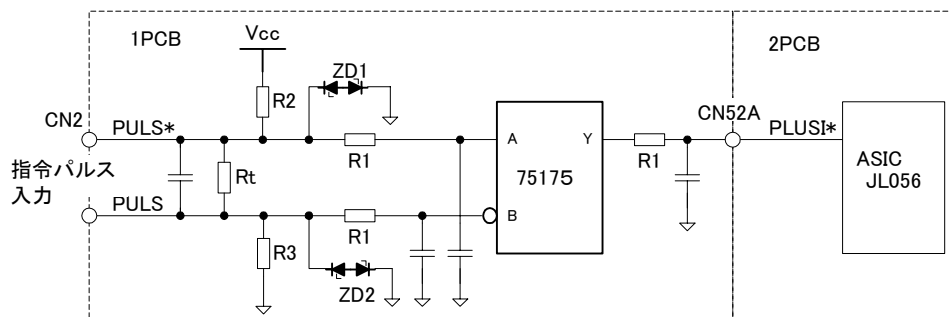


図 4.6.4-1 位置指令入力回路図

(2) 位置指令入力パルスの仕様

図 4.6.3-2 に指令入力パルスの仕様を示す。これらのタイミング仕様は JL056 の指令カウンタ回路と前述のノイズフィルタの RC 時定数によって決まるが、RC 時定数は約 5ns で影響はほとんど無い。むしろ信号伝送線の特性による信号波形のなまりの影響の方が大きく、使用上の制約になる。

入力形態	: ライン・レシーバ
最小パルス幅	: 850ns
エッジ間最小パルス幅	: 167ns
差動入力電圧範囲	: 1.0 ~ 12.0V
絶縁タイプ	: 非絶縁

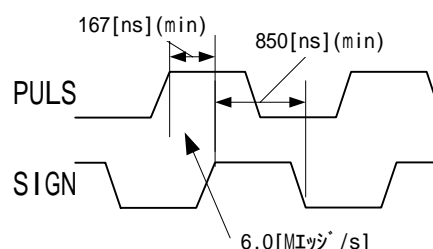


図 4.6.4-2 位置指令入力パルスの仕様

4.6.5 速度指令入力インターフェース

速度指令には外部 I/O コネクタ CN1 からアナログ電圧信号を入力する方法と、内部設定速度を外部デジタル入力信号で選択する方法の 2 つがあるが、ここでは前者について述べる。後者については後段で説明する PCON、PCL、NCL のシーケンス入力信号により処理される。

(1) 動作

外部 I/O コネクタ CN1 から 1PCB へ入力されたアナログ電圧信号は、ノイズフィルタと周波数特性に優れたノイズクランピングダイオードによってノイズを削除され、分圧抵抗で 1/3 にスケールされる。この信号はオペアンプでバッファリングされ、後段の AD コンバータの差動入力条件に合うように、レベルシフトとスケールが施されて正 / 負 2 本の差動信号となる。AD コンバータ (T I 社製 ADS1252) は差動入力、変調方式で、19 ビットの実効分解能 24 ビット分解能、変換レート 40KHz の性能を持っている。AD コンバータは JL052 で生成されたシステムクロック (ADCLK、16MHz) とシリアルクロック (ADSCLK、12MHz) によってコントロールされ、アナログ信号はシリアルデジタル値 (2 の補数表現形式) に変換され MSB より出力される。このシリアルデータはコネクタ CN52A 経由 2PCB の JL052 へ入力されホスト CPU へ読み込み処理される。ブロック図を 4.6.4-1 に示す。

速度指令入力部の必要精度と AD 変換レートは 3.2 構想設計で検討されたサーボの目標性能から決定される。速度指令入力部の精度に影響を及ぼす要因としてオフセット誤差やゲイン誤差、

変調ノイズがある。オフセット電圧はオペアンプ部と AD コンバータ部に生じ、これが存在すると 0V を指令したにもかかわらずモータが微速回転することになる。また、位置ループを組んで位置制御を行なっている用途では、オフセットドリフトによりドリフト発生の前後で位置が狂ってしまう。最近のオペアンプは低オフセット、低ドリフトのものが製品化されているが、温度ドリフトや電源ドリフト、その他要因による長期ドリフトなど総合的な検討を加えておくことが必要である。

ゲイン誤差はオペアンプ部の抵抗器の抵抗値偏差と AD コンバータのゲイン誤差による。これについては後段で説明する。 変調ノイズは AD コンバータの実行分解能を決定する。これについては AD コンバータのデータシートに詳しく説明されているのでそちらを参照していただきたい。

ここではアナログ回路として押さえておかなければならない項目をこの速度指令入力回路を例題に少し詳しく述べる。

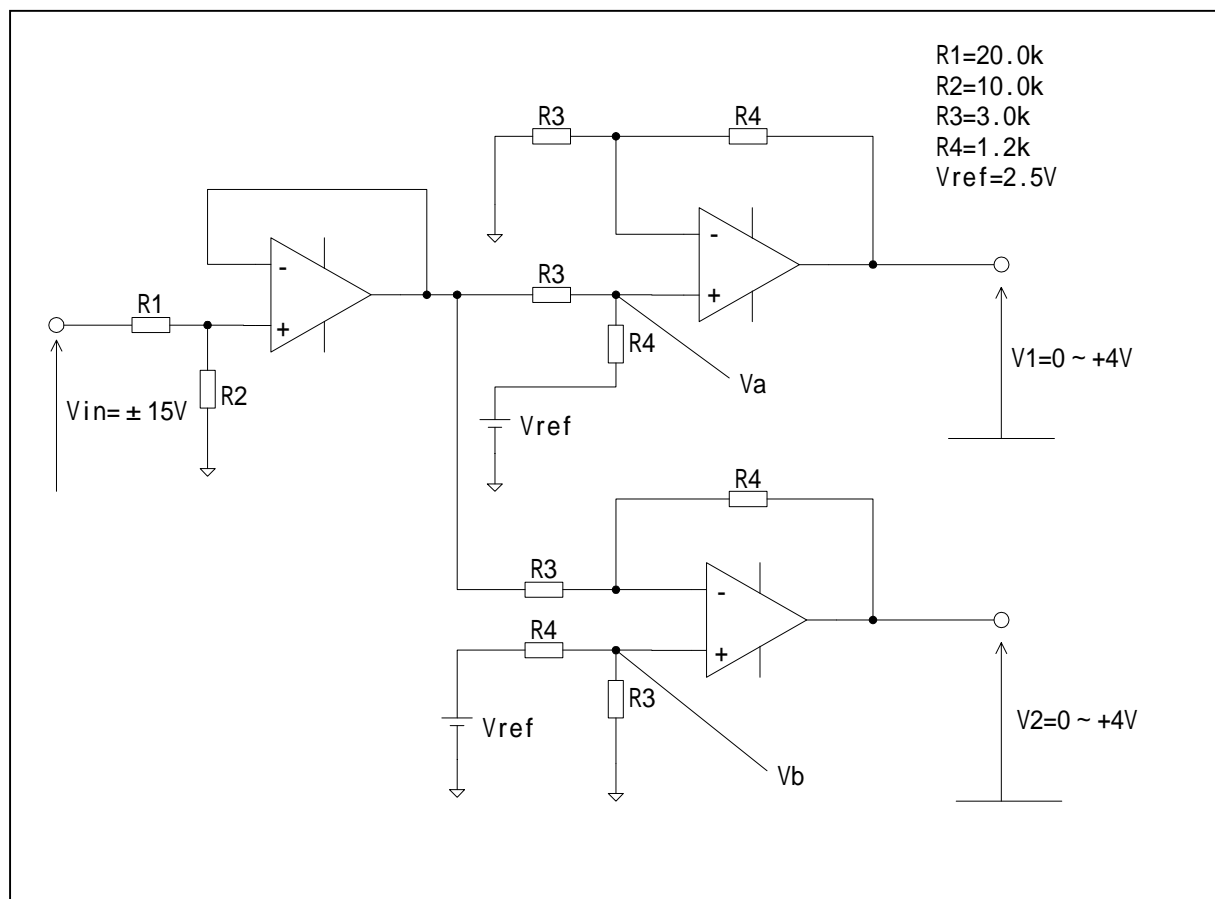


図 4.6.5-1 アナログ速度指令入力回路図

(2) 速度指令入力回路の要求仕様 (製品仕様)

- ・入力電圧範囲 V_{in} : $\pm 2V \sim \pm 10V$
- ・許容最大入力電圧 : $\pm 12V$ (max)
- ・速度制御範囲 : 1 : 5000
- ・温度変動率 : $\pm 0.1\%$ 以下 (@ $0 \sim 50^\circ C$)
- ・入力インピーダンス : 14k 以上
- ・入力オープン時 : 0V
- ・回路時定数 : $30 \mu s$
- ・サーボ周波数特性 600 Hz (at $J_L = J_M$)

(3) 回路検討のための条件

オペアンプ : OPA2277U(@135) TI 製

入力電圧範囲 V_{CM} : $(V^-)+2V \sim (V^+)-2V = \pm 10V$

出力電圧範囲 : $(V^-)+0.5V \sim (V^+)-1.2V = -11.5V \sim +10.8V$

入力オフセット電圧 V_{os} : $\pm 50 \mu V$ (max) @ $-40 \sim 85$ 、ドリフト含む

対電源電圧入力オフセット電圧 PSRR : $0.5 \mu V/V$ (max) @ $-40 \sim 85$

-PSR 周波数特性(-PSR) : $f_c=1.2KHz$ 、20dB/Dec (typ)

入力オフセット電流 I_{os} : $\pm 2nA$ (max) @ $-40 \sim 85$

コモンモードリジェクション CMRR : 128dB (min) @ $-40 \sim 85$

CMR 周波数特性 : $f_c=10KHz$ 、20dB/Dec (typ)

オープンループゲイン : 126dB (min) @ $-40 \sim 85$

ゲインバンド幅積 : 1MHz (typ)

オペアンプ用基準電圧 : $\mu PC1093T-E1$ NEC 製

基準電圧 V_r : $2.495V \pm 2\%$

基準電圧温度変化 : 17mV(max) (@ $0 \sim 70$ 、 $V_{ka}=V_r$)

抵抗器 : ERJ2RHD 1/16W、偏差 $\pm 0.5\%$ 、温度係数 $\pm 50ppm/$ 、松下製

抵抗値は回路図を参照

AD コンバータ : ADS1252、方式、TI 社製

アナログ入力電圧範囲(差動) : $0 \sim \pm V_{ref}$

入力インピーダンス(差動) : 19K

フルスケールレンジ FSR : $2 \times V_{ref}$

分解能 : 24 ビット、実効分解能 19 ビット (変換レート 40KHz)

帯域幅 : 9KHz (-3dB、変換レート 40KHz)

積分直線性誤差 : $\pm 0.0015\%$ FSR(max) @ $-40 \sim 85$

ノイズ : 3.8ppm FSR,rms (max) @ $-40 \sim 85$

ゲイン誤差 : 1%FSR(max) @ $-40 \sim 85$ 、ドリフト含む

ゲインドリフト : 13ppm/ (typ)

オフセット誤差：±200ppm FSR(max) @-40 ~ 85 、ドリフト含む
 オフセットドリフト：0.07ppm/ (typ)
 コモンモードリジェクション CMRR：90dB (min) @-40 ~ 85 、DC
 電源除去比 PSRR：60dB (min) @-40 ~ 85
 AD コンバータ用基準電圧：LM4040CIM3-4.1、NS 社製
 基準電圧 Vref：4.096V±20mV(max) (@25)
 基準電圧温度係数：±100ppm/ (max)
 基準電圧長期安定性：120ppm (typ)

(4) オペアンプ部の検討

オペアンプ部の入出力電圧範囲の検討

4.6.5-1 回路図より、 V_1 、 V_2 は 4.6.5-1 式となる

$$\begin{cases} V_1 = \frac{R_2}{R_1 + R_2} \cdot \frac{R_4}{R_3} \cdot V_{in} + V_r \\ V_2 = -\frac{R_2}{R_1 + R_2} \cdot \frac{R_4}{R_3} \cdot V_{in} + V_r \\ V_{dif} = V_1 - V_2 = 2 \cdot \frac{R_2}{R_1 + R_2} \cdot \frac{R_4}{R_3} \cdot V_{in} \end{cases} \quad - 4.6.5-1 \text{ 式}$$

(抵抗値の偏差は無いものとして 2 番目の添え字は無視している。)

製品仕様からの要求仕様では速度指令入力の最大振れ幅は±12V だが、マージンを見て ±15V で検討する。各出力電圧範囲は速度指令入力 $V_{in} = -15V \sim +15V$ に対してそれぞれ

$$V_1 = 0.495V \sim 4.495V, \quad V_2 = 4.495V \sim 0.495V$$

となり、AD コンバータへの差動入力電圧は

$$V_{dif} = V_1 - V_2 = \pm 4V$$

となる。オペアンプ出力電圧範囲と AD コンバータ入力電圧範囲の使用条件を満足している。

また、各オペアンプ入力電圧範囲は

$$OP1 V_{CM} = \pm 5V, \quad OP2 V_{CM} = \pm 3.211V, \quad OP3 V_{CM} = \pm 1.782V$$

となり、オペアンプの使用条件 ±10V を満足している。

速度指令入力端子の入力インピーダンスと端子オープン時の検討

入力インピーダンス： $R_1 + R_2 = 30.0K \quad 14K \quad \text{-----OK}$

入力端子オープン時：0V-----OK (入力端子がオープンの場合速度指令が 0 となりフェールセーフ動作となる。)

(5) AD コンバータ部の検討

速度指令入力電圧の検討

AD コンバータのフルスケールは $2 \cdot V_{ref} = 8.192V$ なので 1LSB の V_{dif} は $0.48828125 \mu V$ となる。よって、速度指令入力が±15V の時の差動入力±4V に対して、AD コンバータの変換出力はそれぞれ 7D0000H(@+4V)と 830000H(@-4V)となる。これを図 4.6.4-2 に示す。

速度制御範囲 1 : 5000 の製品仕様より、定格速度の時の速度指令入力電圧を $\pm 6V$ とすると最小速度指令入力電圧は $6V/5000=1.2mV$ が必要となる。最高速度の速度指令入力電圧を $\pm 15V$ とすると、分解能は $\pm 1.2mV/15V = \pm 1/12500$ となる。これは AD コンバータのフルスケールで表すと $1/25000$ になるので、AD コンバータの実効ビット数は 16 ビット（符号ビットを含む）が必要である。

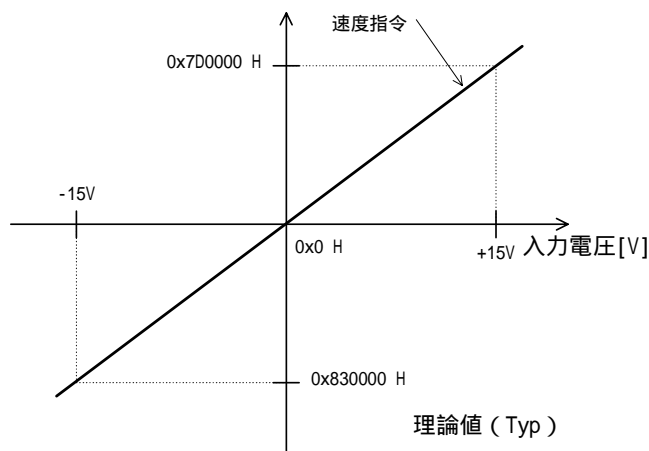


図 4.6.4-2 速度指令入力と変換出力

最小速度指令入力電圧 $1.2mV$ の時の AD コンバータへの差動入力 $0.32mV$ となり、この変換出力は 28FH である。

実効分解能の検討

この AD コンバータの実効分解能は量子化ノイズによって決定されるが、この量子化ノイズは変換レートによって変わる。SGDS では変換クロック (ASIC によって生成される) に 16MHz を使用しているので変換レートは 41.667KHz となる。この変換レートで保証されている実効分解能は 19 ビットで必要分解能 16 ビットの 8 倍のマージンを有している。

(6) 精度の検討

速度指令入力部の精度要因であるゲイン誤差とオフセット誤差、直線性誤差、電源変動誤差について検討する。速度指令の保証値の設定に当たってはこれらの誤差を加味すべきである。

ゲイン誤差の検討

速度指令入力部のゲイン精度について製品仕様上は特に規定していないが、回路の実力値を把握しておくことは品質保証上重要である。ゲイン誤差がある場合システム定数 PnE55 によりソフト的にゲイン調整を行なうが、ドリフト成分の誤差はゲイン調整できないので固定誤差とドリフト誤差に分けて検討する。

(a) オペアンプ部の抵抗器の抵抗値偏差によるゲイン誤差

4.6.5-1 式に抵抗値のバラツキを考慮すると 4.6.5-2 式となる。

$$\left\{ \begin{array}{l} V_1 = \frac{R_2}{R_1 + R_2} \cdot \frac{R_{31} + R_{41}}{R_{32} + R_{42}} \cdot \frac{R_{42}}{R_{31}} \cdot V_{in} + \frac{R_{31} + R_{41}}{R_{32} + R_{42}} \cdot \frac{R_{32}}{R_{31}} \cdot V_r \\ V_2 = -\frac{R_2}{R_1 + R_2} \cdot \frac{R_{43}}{R_{33}} \cdot V_{in} + \frac{R_{33} + R_{43}}{R_{34} + R_{44}} \cdot \frac{R_{34}}{R_{33}} \cdot V_r \\ V_{dif} = V_1 - V_2 = \frac{R_2}{R_1 + R_2} \cdot \left(\frac{R_{31} + R_{41}}{R_{32} + R_{42}} \cdot \frac{R_{42}}{R_{31}} + \frac{R_{43}}{R_{33}} \right) \cdot V_{in} \\ \quad + \left(\frac{R_{31} + R_{41}}{R_{32} + R_{42}} \cdot \frac{R_{32}}{R_{31}} - \frac{R_{33} + R_{43}}{R_{34} + R_{44}} \cdot \frac{R_{34}}{R_{33}} \right) \cdot V_r \end{array} \right.$$

- 4.6.5-2 式

4.6.5-2 式の V_{dif} の式において第 1 項の V_{in} の係数がゲインで第 2 項の V_r の係数がオフセットである。まず第 1 項のゲイン G_{amp} について各抵抗の微小変化による変動 ΔG_{amp} を求めると 4.6.5-3 式となる。

$$\left\{ \begin{array}{l} \frac{\Delta G_{amp}}{G_{amp}} = -\frac{R_1}{R_1 + R_2} \cdot \left(\frac{\Delta R_1}{R_1} + \frac{\Delta R_2}{R_2} \right) \\ \quad + \frac{R_3}{2 \cdot (R_3 + R_4)} \cdot \left(-\frac{\Delta R_{32}}{R_{32}} - \frac{R_4}{R_3} \cdot \frac{\Delta R_{31}}{R_{31}} + \frac{R_4}{R_3} \cdot \frac{\Delta R_{41}}{R_{41}} \right. \\ \quad \left. - \frac{R_4}{R_3} \cdot \frac{\Delta R_{42}}{R_{42}} \right) + \frac{1}{2} \cdot \left(\frac{\Delta R_{43}}{R_{43}} - \frac{\Delta R_{33}}{R_{33}} \right) \\ \frac{\Delta G_{amp}}{G_{amp} \text{ (WorstCase)}} = \pm \left(\frac{2 \cdot R_1}{R_1 + R_2} + \frac{R_3 + 3 \cdot R_4}{2 \cdot (R_3 + R_4)} + 1 \right) \cdot \frac{\Delta R}{R} \end{array} \right.$$

- 4.6.5-3 式

- ・抵抗器のばらつきによるゲイン誤差は抵抗値偏差が $\pm 0.5\%$ なので、ワーストケースの G_{amp}/G_{amp} 固定分は次のようになる。

$$G_{amp}/G_{amp}(\text{fix}) = \pm 3.12 \times R/R = \pm 3.12 \times 0.005 = \pm 1.6\%(\text{max})$$

- ・抵抗器の温度係数によるゲイン変動は温度係数が $\pm 50\text{ppm/}$ 度なので、温度変化範囲を $25 - 25 \text{ deg} \sim 25 + 50 \text{ deg}$ とすると、 G_{amp}/G_{amp} のドリフト分は次のようになる。

$$G_{amp}/G_{amp}(\text{drift}) = -3.12 \times 50 \times 10^{-6} \times 50 \text{ deg} = \pm 0.8\%(\text{max})$$

(b) AD コンバータ部のゲイン誤差

AD コンバータのゲイン誤差固定分は以下の各誤差の集積値となる。

- ・AD コンバータ自身のゲイン誤差=1%(max) (40 ~ 85 のドリフトを含む)
- ・基準電圧の偏差によるゲイン誤差= $\pm 20\text{mV}/4.096\text{V} = \pm 0.5\%(\text{max})$
- ・従って、AD コンバータ部のゲイン誤差固定分= $\pm 1.5\%(\text{max})$ となる。

同様に、ゲインドリフトは以下の AD コンバータ自身と AD コンバータ用基準電圧のドリフトの集積値になる。

- ・ AD コンバータ自身のゲインドリフト $=13 \times 10^{-6} \times 50\text{deg} \pm 0.07\%(\text{typ})$
- ・ 基準電圧の温度係数によるゲイン変動 $=\pm 100 \times 10^{-6} \times 50\text{deg}=\pm 0.50\%(\text{max})$
- ・ 基準電圧の長期安定性によるゲイン変動 $=\pm 120 \times 10^{-6}=\pm 0.012\%(\text{typ})$
- ・ 従って、AD コンバータ部のゲインドリフト $=\pm 0.6\%(\quad)$ となる。

(AD コンバータのデータシートには、ドリフトのみの最大値は規定されていないが、ゲイン誤差に含む形で規定されている。ワーストケースではこの値をドリフト値として使用するが、ここでは便宜上上記計算結果 0.6% (これにはティピカル値を含むが) をドリフトの最大値としておく。)

(c) 速度指令入力回路全体のゲイン誤差

以上のワーストケースゲイン誤差を総合すると以下ようになる。

- ・ ワーストケースゲイン誤差固定分 $=\pm 1.6\% \pm 1.5\% =\pm 3.1\%\text{FSR}$
- ・ ワーストケースゲインドリフト $=\pm 0.8\% \pm 0.6\% =\pm 1.4\%\text{FSR}$

オフセット誤差の検討

(a) オペアンプのオフセット電圧とオフセット電流によるオフセット誤差

- ・ オペアンプ自身のオフセット電圧 $V_{os} = \pm 50 \mu\text{V} @ -40 \sim 85$
- ・ オフセット電流によるオフセット電圧 $= R_3/R_4 \cdot I_{os} = 0.857 \times \pm 2\text{nA} = \pm 1.7 \mu\text{V} @ -40 \sim 85$ 。 R_3/R_4 は R_3 と R_4 のパラ接続の抵抗値を表す。
- ・ 電源電圧変動によるオフセット電圧 $= 0.5 \mu\text{V/V} \times 12\text{V} \times \pm 0.1 = \pm 0.6 \mu\text{V}$
電源電圧変動は $12\text{V} \pm 10\%$ としている。
- ・ よってオペアンプのワーストケースオフセット電圧 $\pm 52 \mu\text{V}$ となる。

(b) オペアンプ部の抵抗と基準電圧のばらつきおよび温度係数によるオフセット誤差

4.6.5-2 式の第 2 項は抵抗値偏差がある場合に V_r がキャンセルされずに残るオフセット電圧である。各抵抗の微小偏差 $\Delta R/R$ によるオフセット V_{ofs} を求めると 4.6.5-4 式となる。

$$\left\{ \begin{aligned} V_{ofs} &= \left(\frac{R_{31} + R_{41}}{R_{32} + R_{42}} \cdot \frac{R_{32}}{R_{31}} - \frac{R_{33} + R_{43}}{R_{34} + R_{44}} \cdot \frac{R_{34}}{R_{33}} \right) \cdot V_r \\ &= \frac{R_4}{R_3 + R_4} \cdot \left(\frac{\Delta R_{32}}{R_{32}} - \frac{\Delta R_{42}}{R_{42}} - \frac{\Delta R_{31}}{R_{31}} + \frac{\Delta R_{41}}{R_{41}} \right. \\ &\quad \left. + \frac{\Delta R_{34}}{R_{34}} - \frac{\Delta R_{44}}{R_{44}} - \frac{\Delta R_{33}}{R_{33}} + \frac{\Delta R_{43}}{R_{43}} \right) \cdot V_r \\ V_{ofs} (\text{WorstCase}) &= \pm \frac{8 \cdot R_4}{R_3 + R_4} \cdot \frac{\Delta R}{R} \cdot V_r \end{aligned} \right.$$

- 4.6.5-4 式

抵抗器のばらつき ($\pm 0.5\%$) とオペアンプ用基準電圧 V_r のばらつき ($\pm 2\%$) によるワーストケースのオフセット電圧固定分 $V_{ofs}(\text{fix})$ は次のようになる。

- ・ $V_{ofs}(\text{fix}) = \pm 2.29 \times V_r \cdot \Delta R/R = \pm 2.29 \times 2.495 \times 1.02 \times 0.005 = \pm 29\text{mV}$

抵抗器の温度係数(50ppm/°C)とオペアンプ用基準電圧 V_r の温度変化(17mV)によるワーストケースのオフセット電圧ドリフト分 V_{ofs} (drift) は次のようになる。

$$\cdot V_{ofs}(\text{drift}) = \pm 2.29 \times V_r \cdot R/R = \pm 2.29 \times (2.495 + 0.017) \times 50 \times 10^{-6} \times 50\text{deg} \quad \pm 14\text{mV}$$

(c) AD コンバータのオフセット誤差

$$\cdot \text{オフセット誤差(固定分+変動分)} = \pm 200\text{ppm} \times 2 \times 4.096 \quad \pm 1.6\text{mV} \quad @-40 \sim +85$$

$$\cdot \text{オフセットドリフト(変動分)} = -0.07\text{ppm}/^\circ\text{C} \times 50\text{deg} \times 2 \times 4.096 \quad -0.029\text{mV}(\text{typ})$$

(d) オフセット誤差の総合考察

速度指令入力回路全体のオフセット誤差固定分と変動分とを求めると以下のようなになる。これは殆どオペアンプ部の抵抗の偏差と温度係数によって決定され、他のオペアンプ自身や AD コンバータ自身、基準電圧などの影響は桁違いに少ない。

$$\cdot \text{速度指令入力回路全体のオフセット誤差(固定分)} \quad \pm 29\text{mV}$$

$$\cdot \text{速度指令入力回路全体のオフセット誤差(変動分)} \quad \pm 14\text{mV}$$

固定分と変動分を合わせたオフセットは 43mV で、これは最小速度指令入力 1.2mV 時の AD 差動入力 0.32mV に換算すると 134 倍に相当する大きな値であり、オフセット調整を必要とする。

ゲインと同じくオフセットもソフトで補正する。この補正方法にはマニュアル調整 (Fn00A) と自動調整 (Fn009) の 2 通りがある。マニュアル調整では固定分オフセットを調整することができるが、自動調整では変動分も自動補正される。ただし、自動調整は位置ループを組んだ状態では使用できない。オフセット調整による調整値はシステム定数は PnE53 に記憶される。

積分直線性誤差

AD コンバータのデータシートより積分直線性誤差は $\pm 0.0015\% \text{FSR}$ ($@-40 \sim +85$) である。この値は必要分解能 $1/25000 = 40\text{ppm}$ の約 1/3 に相当する。即ち指令値のあらゆる点において最悪では最小速度指令入力電圧の 1/3 相当の誤差があり得ることになるが、必要分解能以下であり特に問題は無い。

電源変動による誤差

オペアンプと AD コンバータではデータシートに電源除去比 PSRR が規定されている。オペアンプのそれは、 $0.5 \mu\text{V/V}$ でデシベルに換算すると 126dB である。この影響は(2) - (a)のところで検討したようにオフセット電圧で $0.6 \mu\text{V}$ であり、他の誤差に比べて問題にならない大きさである。しかし、PSRR の周波数特性-20dB/Dec を加味すると 100KHz では PSRR は 30dB しかない。もし電源に 200mV の波高値で周波数成分 100KHz のスイッチングノイズが載っているとすると、オペアンプの出力には 6.3mV のノイズ電圧が現れることになる。これは最小速度指令入力 1.2mV 時の AD 差動入力 0.32mV の 10 倍に相当する。DC ~ 120Hz 近辺での電源変動やリップル除去効果は十分であるが、高周波のスイッチングノイズの除去効果には大きな期待はできない。しかし、図 4.6.4-3 に示す AD コンバータのノッチフィルタにより 100KHz 以上の周波数成分に対しては 90dB の減衰効果があるので、AD コンバータまで含め

てみた時にはこの影響は無視できるレベルとなる。

一方、AD コンバータの PSRR は 60dB でオペアンプの約半分である。データシートには PSRR の周波数特性について特には規定されていない。+5V の電源変動（リップルやスイッチングノイズを含む）を $\pm 5\%$ とすると AD コンバータの出力には 0.25mV の変動誤差が現れる。これは最小速度指令入力 1.2mV 時の AD 差動入力 0.32mV の約 0.8 倍に相当し、速度指令入力の必要分解能以下には収まる。しかし、電源電圧に 5% のリップルがのっていると想定した場合、最悪では AD コンバータの出力に最小速度指令入力電圧相当のリップルが現れることを意味している。ここではこの影響は最小速度指令入力電圧相当なので OK とするが、リップルはサーボ系の振動などを引き起こすのでこれ以上の影響がある場合は注意が必要である。

注) 一般にスイッチング電源のスイッチング周波数は数 10KHz のものが多いが、発生ノイズの周波数帯域は、スイッチングの立ち上がりや立下り時間によってスイッチング周波数の数 10 倍におよぶ。一般論としてオペアンプの電源の設計においてはこのようにスイッチングノイズの周波数帯域を含めた影響を検討する必要がある。)

(7) 周波数応答の検討

サーボの周波数特性の製品仕様は 600 Hz なので、アナログ入力変換部での減衰が無視できるようにこの部分の必要周波数応答を $f_c=5\text{kHz}$ (時定数 $32\mu\text{s}$) 以上とする。

- ・入力フィルタのカットオフ周波数 f_{cin}

$$f_{cin} = 1/(2 \cdot T_{in}) = 5.1\text{KHz} \quad \text{ここで } T_{in} = C_1 \cdot R_1 \cdot R_2 / (R_1 + R_2)$$

- ・AD コンバータ入力段フィルタのカットオフ周波数 f_{CADN} (差動)

$$f_{CADN} = 1/(2 \cdot T_{AD}) = 41\text{KHz} \quad \text{ここで } T_{ADN} = (C_2/2 + C_3) \cdot R_5 \cdot R_{AD} / (R_5 + R_{AD})$$

R_{AD} : AD コンバータ入力インピーダンス (差動)

- ・AD コンバータ入力段フィルタのカットオフ周波数 f_{CADC} (コモンモード)

$$f_{CADC} = 1/(2 \cdot T_{ADC}) = 53\text{KHz} \quad \text{ここで } T_{ADC} = C_2 \cdot R_5$$

- ・AD コンバータノッチフィルタ帯域幅 : 9KHz @ -3dB

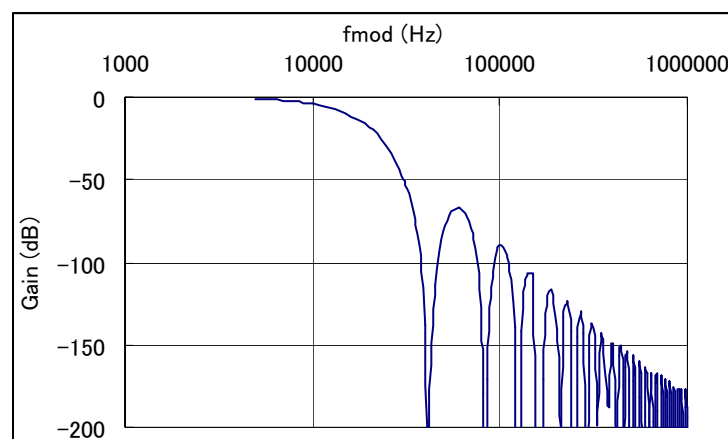


図 4.6.4-3 AD コンバータノッチフィルタ周波数特性

以上から周波数応答特性は入力段のフィルタによって決定されることが分る。必要周波数応答 $f_c=5\text{KHz}$ を満足（回路時定数 $30\mu\text{s}$ はほぼ満足）している。

(8) アナログ回路の注意事項

微小な信号を取り扱うアナログ回路では外乱から信号を守らねばならない。外乱は外来ノイズであったり、内部発生ノイズだったりする。外来ノイズはノイズフィルタなどにより抑制するが、内部発生ノイズは対策が難しい。ノイズが発生しないように回路を構成することが肝要である。特に 0V の配線には注意が必要で、微小信号のコモン間に他の信号の電流が流れるとコモン間のインピーダンスによる電位差が生じ、微小信号にとっては望まざる外乱電圧信号が紛れ込むことになる。これを避けるにはディジタル回路とアナログ回路の 0V コモン配線を分離して 1 点で相互を接続することや、コモン線のどの部分にディジタル回路の電流が流れるかをよく検討して配線パターンを決定すべきである。

4.6.6 トルク指令入力インターフェース

(1) 動作

速度指令入力回路と同様に 1PCB の I/O コネクタ (CN1) から入力されたトルク指令 (アナログ電圧) は入力段オペアンプでスケーリングされ、正極性の信号は TREFP 信号に、負極性の信号は TREFN 信号に変換される。この 2 本の信号は 2PCB の CPU (V850E/MA1) に入力され、CPU 内蔵の AD コンバータでディジタル値に変換される。

CPU 内蔵 AD コンバータは 10 ビット分解能を持つが、速度指令入力の AD コンバータと同様なレベルシフトによる負極性/正極性変換では分解能が不足するためアナログ入力 2 チャンネル分を使用して正/負それぞれ別に AD 変換する。

AD 変換回路の要点については速度指令入力回路で詳しく述べたので、ここでは異なる点を中心に説明する。回路図を図 4.6.6-1 に示す。

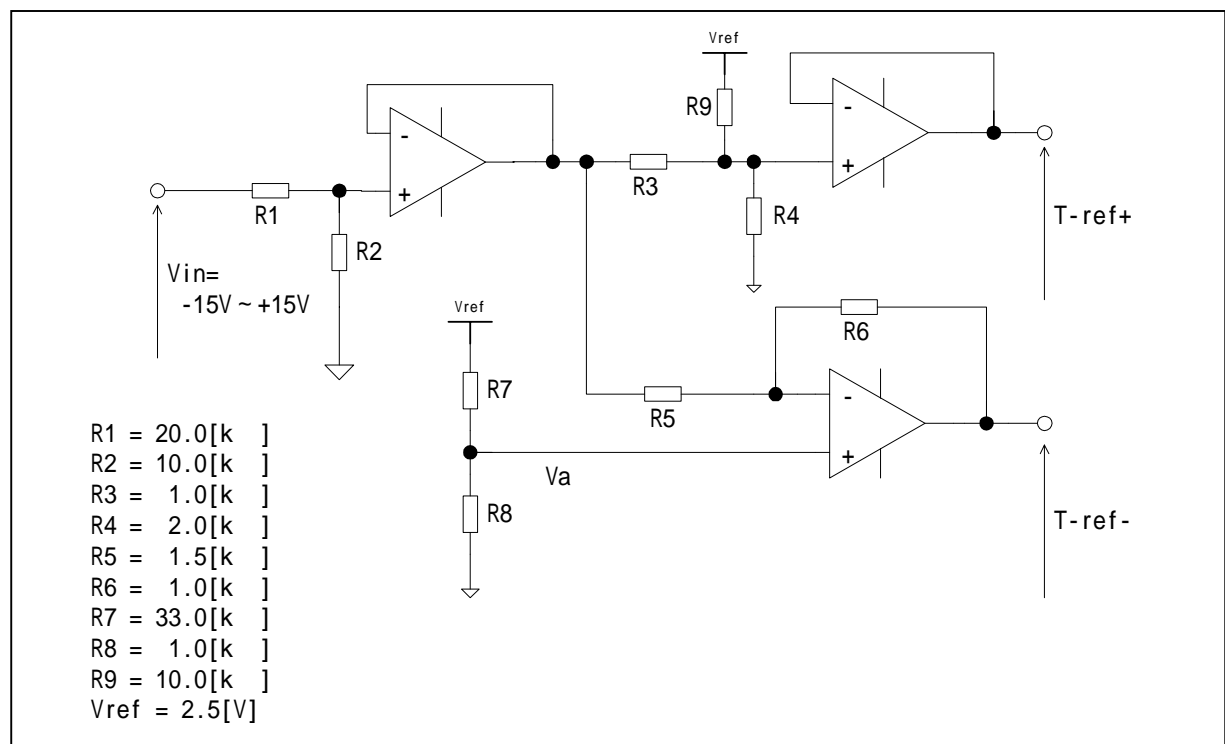


図 4.6.6-1 トルク指令入力回路図

(2) トルク指令入力要求仕様（製品仕様）

- ・入力電圧範囲：DC ± 3 (DC ± 1 V $\sim \pm 10$ V：可変設定範囲)
- ・許容最大入力電圧： ± 12 V (max)
- ・トルク制御精度： $\pm 1\%$
- ・入力インピーダンス：14K 以上
- ・入力端子オープン時：0V
- ・回路時定数：30 μ s

(3) 回路検討のための条件

- ・ 入力電圧範囲 (Vin): $\pm 15\text{ V}$ (製品仕様は $\pm 12\text{ V}$ だがマージンを見て $\pm 15\text{ V}$ とする。)
 - ・ 出力電圧範囲 (TrefP、TrefN): $0 \sim 3.3\text{ V}$ (CPU V850E/MA1 の仕様より。)
 - ・ 応答周波数: 5 kHz 以上 (回路時定数 $30\text{ }\mu\text{s}$ より)
 - ・ 温度変動範囲: $0 \sim 85\text{ deg}$ (Typ 25 deg)
 - ・ オペアンプ: OPA2277(@¥135) TI 社製 速度指令入力回路と同一部品
 - ・ オペアンプ用基準電源 Vr: μPC1093 (@¥18.4) 速度指令入力回路と共用
 - ・ 抵抗: ERJ2RHD 速度指令入力回路と同一部品
 - ・ AD コンバータ: V850E/MA1 内臓 NEC 製
- 分解能: 10 ビット
- 総合誤差: $\pm 0.49\%$ FSR
- 変換時間: $10\text{ }\mu\text{s}(\text{max})$

・AD コンバータ用基準電圧：μPC29M33T NEC 製（CPU の V_{DD} と兼用）

出力電圧 AV_{ref} ：3.17V(min)、3.3V(typ)、3.43V(max)

総合出力電圧安定度：3.14V(min)、3.46V(max)

出力電圧温度変化：-0.4mV/

・クランプダイオード：RB706f-40 ROHM 製

クランプ電圧 V_F ：0.37V @1mA

(4) 入出力電圧範囲の検討

回路図より、AD コンバータへの入力電圧 T_{refP} 、 T_{refN} は次の式で求まる。

$$\begin{cases} T_{refP} = \frac{R_3 R_4 R_9}{R_3 R_4 + R_4 R_9 + R_9 R_3} \cdot \left(\frac{1}{R_3} \cdot \frac{R_2}{R_1 + R_2} V_{IN} + \frac{1}{R_9} V_r \right) \\ T_{refN} = -\frac{R_6}{R_5} \cdot \frac{R_2}{R_1 + R_2} \cdot V_{in} + \left(1 + \frac{R_6}{R_5} \right) \cdot \frac{R_8}{R_7 + R_8} \cdot V_r \end{cases} \quad 4.6.6-1 \text{ 式}$$

トルク指令 $V_{in}=+15V$ の時： $T_{refP} = +3.281V$

$V_{in}=0V$ の時： $T_{refP} = +0.156V$

トルク指令 $V_{in} = -15V$ の時： $T_{refN} = +3.456V$

$V_{in}=0V$ の時： $T_{refP} = +0.122V$

T_{refP} 、 T_{refN} は AD コンバータの入力電圧仕様より、クランプダイオードにより 0V と 3.3V にクランプされているので、トルク指令 V_{in} と AD コンバータ入（出）力の関係は図 4.6.6-2 のようになる。

T_{refP} と T_{refN} とでゲインおよびオフセットがそれぞれ異なるのでシステム定数 $PnE56$ 、 $PnE57$ によりソフトウェアで補正する。トルク指令オフセットのマニュアル調整用補助機能 $Fn00B$ も用意されている。

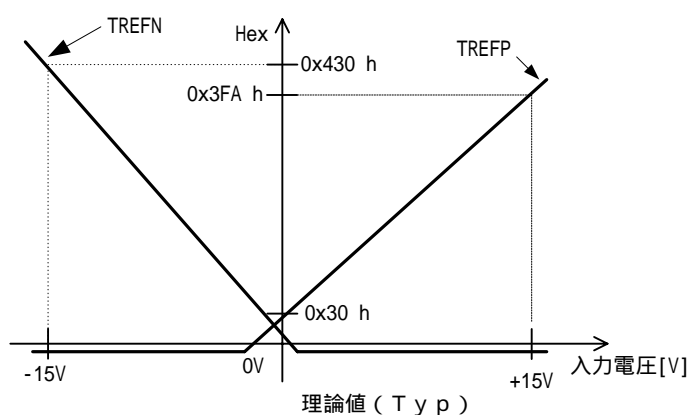


図 4.6.6-2 トルク指令 V_{in} と AD 入(出)力の関係

(5) 入力電圧最小分解能の検討

AD コンバータの 1LSB は $AV_{ref}/1024 = 3.3V/1024 = 3.22mV$ で、トルク指令入力電圧に換算すると 15.5mV(@ T_{refP})、または 14.5mV(@ T_{refN})となる。

一方、製品仕様の標準トルク指令入力範囲は $\pm 3V$ 、トルク制御精度は $\pm 1\%$ なので、トルク指令入力電圧最小分解能としては 30 mV が必要である。これは 2LSB に相当し仕様を十分に満たす。

(6) 精度の検討

ゲイン誤差とオフセット誤差共にソフトウェアで補正されるが、調整後の温度変動による誤差や電源変動による誤差は補正されないのについて検討する。

ゲインドリフト誤差

(a) 抵抗の温度係数によるゲイン誤差

4.6.6-1 式の第 1 項はゲイン、第 2 項はオフセットの項である。TrefP のゲインと TrefN のゲインをそれぞれ G_{TP} 、 G_{TN} 、抵抗の温度変動によるそれぞれの微小変化 ΔG_{TP} 、 ΔG_{TN} の最悪値を求めると 4.6.6-2 式となる。

$$\begin{aligned}\frac{\Delta G_{TP}}{G_{TP}} &= \frac{R_2}{R_1 + R_2} \left(\frac{\Delta R_1}{R_1} + \frac{\Delta R_2}{R_2} \right) \\ &\quad + \frac{R_3}{R_3 R_4 + R_4 R_9 + R_9 R_3} \cdot \left((R_4 + R_9) \frac{\Delta R_3}{R_3} + R_9 \frac{\Delta R_4}{R_4} + R_4 \frac{\Delta R_9}{R_9} \right) \\ \frac{\Delta G_{TP}}{G_{TP} \text{ (WorstCase)}} &= \pm \left(\frac{2 \cdot R_2}{R_1 + R_2} + \frac{2 \cdot R_3 (R_4 + R_9)}{R_3 R_4 + R_4 R_9 + R_9 R_3} \right) \cdot \frac{\Delta R}{R} = \pm 2.083 \cdot \frac{\Delta R}{R} \\ \frac{\Delta G_{TN}}{G_{TN}} &= \frac{R_2}{R_1 + R_2} \left(\frac{\Delta R_1}{R_1} + \frac{\Delta R_2}{R_2} \right) + \frac{\Delta R_6}{R_6} - \frac{\Delta R_5}{R_5} \\ \frac{\Delta G_{TN}}{G_{TN} \text{ (WorstCase)}} &= \pm \left(\frac{2 \cdot R_2}{R_1 + R_2} + 2 \right) \cdot \frac{\Delta R}{R} = \pm 3.333 \cdot \frac{\Delta R}{R}\end{aligned}$$

4.6.6-2 式

抵抗の温度係数は 50ppm/°C なので ±50deg の温度変化があるとする 0.25% の抵抗値変化となる。この要因によるゲイン変動は TrefP、TrefN それぞれ ±0.52%、±0.83% となる。

(b) AD コンバータの温度変動によるゲイン誤差

AD コンバータの基準電圧 AVref の温度係数は -0.4mV/°C なので、50deg の温度変動では最悪 20mV の変動となる。これはフルスケール 3.3V に対し -0.61% に相当する。

(c) 温度変動による総合ゲイン誤差

従って、温度変動による総合ゲイン誤差は最悪 ±1.4% に達する。これはトルク制御精度 1% の仕様を満たさないが、全ての抵抗の温度係数が最悪値を取る可能性は低い。厳密には全抵抗の温度係数の確率分布を考慮して検討する必要があるがここでは省略する。

一般に、起こりそうに無いことにコストを掛けることは過剰品質であるが、どの程度の起こり難さかは押さえておかないと市場に出てから思わぬ品質トラブルを招き、高い失敗コストを払うことになる。製品コストと発生確率を予測した故障コストから判断すべきである。

オフセットドリフト誤差

4.6.6-1 式第 2 項のオフセット項について、TrefP と TrefN のオフセット電圧を V_{OTP} 、 V_{OTN} 、抵抗の温度変動によるそれぞれの微小変化 ΔV_{OTP} 、 ΔV_{OTN} の最悪値を求めると 4.6.5-3 式となる。オペアンプによるオフセットドリフトは速度指令入力回路で検討したように非常に小さいので無視する。

$$\begin{aligned}
\Delta V_{OTP} &= \frac{R_9}{R_3 R_4 + R_4 R_9 + R_9 R_3} \cdot \left((R_3 + R_4) \frac{\Delta R_9}{R_9} + R_3 \frac{\Delta R_4}{R_4} + R_4 \frac{\Delta R_3}{R_3} \right) \cdot V_r \\
&\quad + \frac{R_3 R_4}{R_3 R_4 + R_4 R_9 + R_9 R_3} \cdot \Delta V_r \\
\Delta V_{OTP(WorstCase)} &= \pm \left(\frac{2 \cdot R_9 (R_3 + R_4)}{R_3 R_4 + R_4 R_9 + R_9 R_3} \right) \cdot \frac{\Delta R}{R} \cdot V_r \pm \frac{R_3 R_4}{R_3 R_4 + R_4 R_9 + R_9 R_3} \cdot \Delta V_r \\
&= \pm 4.678 \cdot \frac{\Delta R}{R} \pm 0.0625 \cdot \Delta V_r \\
\Delta V_{OTN} &= \frac{R_6}{R_5 + R_6} \left(\frac{\Delta R_6}{R_6} + \frac{\Delta R_5}{R_5} \right) + \frac{R_7}{R_7 + R_8} \left(\frac{\Delta R_8}{R_8} + \frac{\Delta R_7}{R_7} \right) \cdot V_r + \frac{R_5 + R_6}{R_7 + R_8} \cdot \frac{R_8}{R_5} \cdot \Delta V_r \\
\Delta V_{OTN(WorstCase)} &= \pm \left(\frac{2 \cdot R_6}{R_5 + R_6} + \frac{2 \cdot R_7}{R_7 + R_8} \right) \cdot \frac{\Delta R}{R} \cdot V_r \pm \frac{R_5 + R_6}{R_7 + R_8} \cdot \frac{R_8}{R_5} \cdot \Delta V_r \\
&= \pm 5.509 \cdot \frac{\Delta R}{R} \pm 0.0490 \Delta V_r
\end{aligned}$$

4.6.6-3 式

4.6.6-3 式に抵抗の温度変化による抵抗値変化 0.25%とオペアンプの基準電圧変化 17mV を代入すると、オフセット電圧変動は V_{OTP} 、 V_{OTN} それぞれ $\pm 12.8\text{mV}$ 、 $\pm 14.6\text{mV}$ となる。この変動は殆ど抵抗の変化分で決定されている。この値は 1LSB (14.5mV ~ 15.5mV) 相当の大きさであり要求仕様を満足している。

電源変動誤差

ここで使用しているオペアンプは速度指令入力回路と同じもので電源変動除去率は 126dB であるが、周波数特性を加味すると 100KHz では 30dB しかない。速度指令入力回路では AD コンバータのノッチフィルタ特性によりこの影響を押さえることができたが、トルク指令用の AD コンバータにはここまでのフィルタ機能は搭載されていない。もし電源に 200mV の波高値で周波数成分 100KHz のスイッチングノイズが載っているとすると、オペアンプの出力には 6.4mV(2LSB)のノイズ電圧が現れることになる。これはトルク指令必要最小分解能 30 mV 時 (ただし指令範囲が $\pm 3\text{V}$ の場合) 相当のトルクリップルとして現れる。

一方、AD コンバータの基準電圧 AV_{ref} は CPU 電源 V_{DD} と共用されている。従って、CPU 電源の変動は AD コンバータのゲインに 1 : 1 で影響する。もし、2LSB(6.4mV)相当のリップルがあるとオペアンプの場合と同じくトルク指令必要最小分解能 30 mV 相当のトルクリップルとして現れる。

以上、電源変動に対してはオペアンプも AD コンバータも同程度の誤差要因となり得、しかもかなりセンシティブである。6.4mV 以下の電源リップルやスイッチングノイズの実現には細心の注意を払って設計および評価試験をする必要がある。特に CPU の V_{DD} - V_{SS} 電源配線はノイズの影響を受けないように、また CPU などの動作による消費電流変動による電圧変動が起きないように注意することが必要である。

注) かって、サーボパックにおいて DC FAN の電源リップルによりモータが停止時に振

動するというクレームがあった。原因はトルク指令入力回路のオペアンプの電源と DC FAN の電源を共有していたため、DC FAN の負荷変動によりオペアンプの電源が変動し、結果としてトルク指令が変動していたというものであった。(DC FAN のベアリング寿命によって負荷が増加し、それによって DC 電源の消費電流が増えて、電源スイッチングノイズが正常時の 50mV から 200mV に増加した。) 一般的にはアナログの精度を要する回路の電源を他の負荷変動を伴うような回路の電源と共用することは避けるべきである。

(7) 入力インピーダンス、入力端子オープン時、周波数応答の検討

速度指令入力回路と同一。

4.6.7 シリアルエンコーダインターフェース

(1) 回路説明

シリアルエンコーダ通信はメカトロリンク方式を採用しているため、伝送回路構成もほぼ同一である。回路図を 4.6.7 において、シリアルエンコーダ(PG)からの差動信号は 1PCB の CN2 コネクタから入力され、ノイズ対策用コモンモードチョーク L1 を通ってターミネーション抵抗 Rt で終端される。この信号はラインドライバ/レシーバ(SN75ALS1178NS)で差動信号から TTL 信号に変換され 2PCB の ASIC(JL056) の伝送制御回路に入力される。

エンコーダには初期データとして使用されるモータ情報や、アラーム情報、位置データ等の定周期データ(18byte)がある。これらのデータは ASIC の伝送制御回路から出力され、前述と逆コースでラインドライバ/レシーバ(SN75ALS1178NS)によって差動信号に変換されて、同じ差動信号線に接続される。R2、R3 は伝送線が断線した場合に、差動信号をを固定させるためのプルアップおよびプルダウン抵抗、ZD1、ZD2 はノイズクランプ用双方向ツェナーダイオードである。

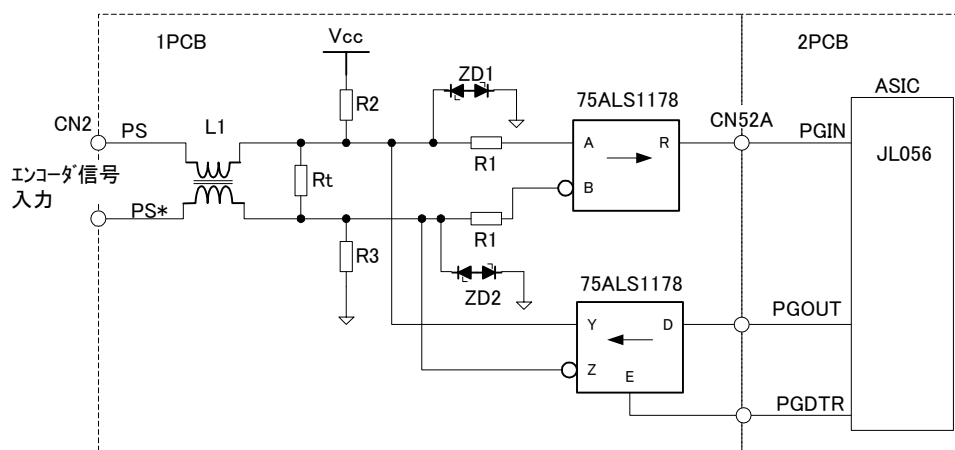


図 4.6.7 シリアルエンコーダインターフェース回路図

(2) 断線検出方式

シリーズより位置 / 速度のフィードバックにシリアルエンコーダを使用している。それ以前のシリーズではパルス列インターフェースのエンコーダだった。パルス列インターフェースの場合信号線が断線すると、指令値とフィードバックとの偏差がゼロとならないためモータが暴走

する危険性がある。 シリーズ以前のサーボパックではこれを防止するためエンコーダ信号が差動信号であることを利用した断線検出回路を設けていた。

シリーズ以降はエンコーダとのインターフェースをシリアル通信としたので、断線検出は信号の有り無しではなく、正常データの有り無しをソフトウェアによって判定している。この方式だと従来方式では難しかったエンコーダ自身のだんまり検出も可能となり、安全性が向上する。

(3) エンコーダ電源電圧の検討

エンコーダの電源はサーボパックから供給するが、ケーブルによる電圧降下が大きいとエンコーダの動作が不安定になる。供給電源電圧が標準仕様エンコーダケーブル：20m に対応できることを確認する。

条件

- ・シリアルエンコーダ電源仕様

電源電圧保証値 $V = 5.00V \pm 5\%$ (実力値：4.5～5.5V)

電源電流 $I = 200mA$ (max)

- ・制御電源仕様： $V_{cc} = 5.15 \pm 0.1V$

- ・標準仕様エンコーダケーブル仕様：55 /km、ケーブル長 20m

検討

エンコーダケーブルによる電圧ドロップ：

$$V = I_{max} \times 2 \times 20m \times 55 /km = 0.44V$$

シリアルエンコーダの電源電圧 (最悪値)：

$$V_{cc} = 5.15 - 0.1 - 0.44 = 4.61V(\min)$$

シリアルエンコーダの電源電圧保証値を満足しないが実力値では満足するので OK とする。

4.6.8 32Bit 同期式シリアル通信インターフェース

同期シリアル通信インターフェース回路は、入力と出力それぞれ独立したシフトレジスタによって構成され、ASIC で生成されたコントロール信号に従って ASIC との間で 32 ビット長のデータをサイクリックにやり取りする。このデータは ASIC から CPU へまたは逆方向に伝達される。このインターフェース回路で扱う入力信号を表 4.6.8-1、出力信号を表 4.6.8-2 に示す。

入力信号には外部シーケンス入力信号(ビット位置 24～31)と内部入力信号(ビット位置 17～23)があり、出力信号には外部シーケンス出力信号(ビット位置 4～7)と内部出力信号(ビット位置 0～3、8～23)がある。外部シーケンス入出力信号はユーザが外部装置との接続に使用する信号で、コネクタ CN1 に接続される。これらの信号は一部の信号を除き基本的にはノイズ対策のためにアイソレーションされている。また、これらの信号はユーザが多目的に使用できるように信号の機能をユーザの指示によってソフトウェア的に割り付けを変更することができる。表 4.6.8-1 にはその代表信号名と機能のみを記載している。シーケンス入出力信号についてはユーザーズマニュアルに詳しく説明されているのでそちらを見ていただきたい。

内部入出力信号はサーボパックの内部回路と CPU との情報授受のための信号でユーザには開放されていない。内部で使用するためパワー基板の主回路に接続される信号を除きノイズ対策用のアイソレーションは設けていない。

表 4.6.8-1 シーケンス入力信号一覧

ビット位置	信号名	機能
31	SVON*	サーボオン信号（絶縁）
30	POT	正転オーバートラベル（絶縁）
29	NOT	逆転オーバートラベル（絶縁）
28	PCON*	制御切替え信号（絶縁）
27	ARST*	アラームリセット：サーボアラーム状態を解除（絶縁）
26	PCLT*	正転側電流制限（絶縁）
25	NCLT*	逆転側電流制限（絶縁）
24	SENI	絶対値エンコードのイニシャルデータ要求信号（非絶縁）
23	ALRG*	回生異常（絶縁）
22	ACON1*	A C 電源異常検出 1（絶縁）
18～21	B-SW1 ～ B-SW4	パネルオペレータ用スイッチ入力（非絶縁）
17	OPT*	- オプション基板対応（非絶縁）
0～16	-	予約（入力：0）

表 4.6.8-2 シーケンス出力信号一覧

ビット位置	信号名	機能
24-31	-	予約
16～23	B-A～ B-DPK	パネルオペレータ文字表示（非絶縁）
11～15	B-LD1～ B-LD5	パネルオペレータ桁表示（非絶縁）
8～10	AL1～AL3	アラームコード出力（非絶縁、外部出力）
4～7	OUT1～ OUT4	シーケンス出力（絶縁、外部出力、ウォッチドッグエラー時 OFF、ユーザ定数にて割付変更可能）
3	PLSEL	分周出力形態選択（ラインドライバ出力イネーブル/ディセーブル、非絶縁）
2	PGON	- オプション基板 PG 電源 ON 信号（非絶縁）
1	RGON*	回生処理信号（絶縁）
0	RLYON*	リレー ON 信号（非絶縁）

(1) シーケンス入力回路の検討

シーケンス入力信号はユーザが使用するので使用条件を考慮した仕様決定とマージン設計が重要である。また、ノイズ対策用に挿入されているフォトカプラは経年変化により内部の発行素子が劣化して光量が減少する。これについても CTR のマージンの検討が必要である。

回路図を図 4.6.8 に示す。

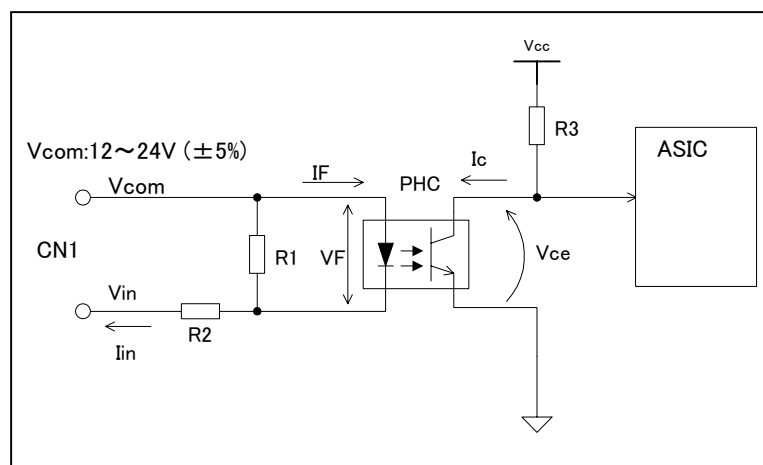


図 4.6.8-1 外部シーケンス入力回路

仕様と条件

シーケンス入力信号仕様：

電源電圧： $V_{com}=12V$ or $24V(\pm 5\%)$ (12V/24V 両用とする)

OFF 電圧： $V_{inH}=V_{com} - V_{inOff}(\min)$

$V_{inOff}=2V(\min)$ (フォトカプラが ON しない入力電圧)

ON 電圧： $V_{inL}=1V(\max)$ @12V コモン

$V_{inL}=3V(\max)$ @24V コモン

使用温度範囲：0 ~ 85

制御電源電圧： $V_{cc}=5.15V \pm 0.1V$

フォトカプラ：PS2805-4-F3(4 回路/チップ) or PS2805-1-F3(1 回路/チップ) NEC 製

順電圧 V_F ：1.4V(max) @ $I_F = \pm 5mA$ 、25

電流伝達率 CTR：80%(min) @ $I_F = \pm 5mA$ 、 $V_{CE} = 5V$ 、25

電流補正係数：0.83(typ) @ $I_F = \pm 5mA$ $\pm 2mA$

温度補正係数：0.7(typ) @25 85、 $V_{CE} = 5V$

経時変化率：0.65(typ) @ $I_F = \pm 5mA$ 、60、 10^5 時間経過後

抵抗 R_1 ：MCR01MZSJ 3K 1/16W 容量偏差 $\pm 5\%$ ROHM 製

R_2 ：MCR50JZHJ 3.3K 1/2W 容量偏差 $\pm 5\%$ ROHM 製

R_3 ：MCR01MZSJ 10K 1/16W 容量偏差 $\pm 5\%$ ROHM 製

適用対象負荷例： 2 線式近接スイッチ E2E-X 2D シリーズ、オムロン製

電源電圧：DC12～24V

漏れ電流：0.8mA 以下

残留電圧：3V(max)

CTR マージンの検討

(a) 12V コモンの場合

$$I_F(\min) = \frac{V_{com}(\min) - V_{inL}(\max) - V_F(\max)}{R_2(\max)} - \frac{V_F(\max)}{R_1(\min)}$$
$$= \frac{12 \times 0.95 - 1.0 - 1.4}{3.3 \times 1.05} - \frac{1.4}{3 \times 0.95} = 2.11 \text{mA}$$

$$I_C(\max) = \frac{V_{CC}(\max) - V_{CE}(\text{sat})(\min)}{R_3(\min)} = \frac{5.25 - 0}{10 \times 0.95} = 0.553 \text{mA}$$

$$\text{CTR}(\min) = (\text{データシート CTR}(\min)) \times (\text{順電流補正值}) \times (\text{温度補正值}) \times (\text{経時変化率})$$
$$= 0.80 \times 0.83 \times 0.70 \times 0.65 = 0.30$$

$$\text{CTR}(\text{margin}) = \frac{I_F(\min) \cdot \text{CTR}(\min)}{I_C(\max)} = \frac{2.11 \times 0.30}{0.553} = 1.14 \geq 1.0$$

以上より CTR のマージンはワーストケースで 14%あり OK である。

(b) 24V コモンの場合

$$\text{CTR}(\text{margin}) = \frac{I_F(\min) \cdot \text{CTR}(\min)}{I_C(\max)} = \frac{4.82 \times 0.30}{0.553} = 2.6 \geq 1.0$$

以上より CTR のマージンはワーストケースで 160%あり OK である。

入力電流と抵抗容量の検討

シーケンス入力信号はリレーやスイッチの接点信号である場合が多い。接点信号の場合には接点に十分な電圧と電流を供給しないと接触不良を起こす。一般に 12V 以下の電圧信号でリレー接点信号を読み込む場合には微小電流でも安定した接触信頼性を持っている金メッキ接点を使用する。リレーなどの非金メッキ接点を読み込む場合には 24V の電圧信号とし、電流も 5mA 以上流すのが普通である。これは接点にできた不良導体である酸化膜を高電圧と大電流によって破壊する効果があるためである。

24V 入力信号電圧でのワーストケース入力電流 I_{in} についてこれを検討する。

$$I_{in}(\min) = \frac{V_{com}(\min) - V_{inL}(\max) - V_F(\max)}{R_2(\max)} = \frac{24 \times 0.95 - 0 - 1.4}{3.3 \times 1.05} = 6.2 \text{mA} \geq 5 \text{mA}$$

となり、電流 5mA 以上を満足している。ただし、 $V_{inL}(\max)$ は接点を対象としているので 0 としている。

また、この場合の入力抵抗 R_2 の消費電力 $P(\max)$ は

$$P(\max) = \frac{(V_{com}(\max) - V_{inL}(\min) - V_F(\min))^2}{R_2(\min)} = \frac{(24 \times 1.05 - 0 - 0.7)^2}{3.3 \times 0.95} = 191 \text{mW} \leq 500 \text{mW}$$

となり、抵抗の最大容量をディレーティング 38%で満足している。

入力信号電圧の検討

フォトカブラの出力が入力される VHC165 の HIGH 入力スレッシュホールド電圧 $V_{IH} = 3.5V$ だから、フォトカブラが OFF するコレクタ電流 I_{Coff} は以下となる。

$$I_{Coff(min)} = \frac{V_{CC(min)} - V_{IH(min)}}{R_3(max)} = \frac{5.05 - 3.5}{10 \times 1.05} = 0.148mA$$

この時の CTR を図 4.6.8-2 のように求め、図 4.6.8-3 より I_{Foff} を求める。

$$I_{Foff(min)} = \frac{I_{Coff(min)}}{CTR(max)} = \frac{0.148}{120} = 0.123mA$$

これより、 V_{inoff} 、 I_{inoff} は以下ようになる。ここで $V_{Foff} = 0.7V$ 、 $I_{Foff} = 0.05mA$ としている。

$$\begin{aligned} V_{inoff(min)} &= R_2(min) \cdot I_{Foff(min)} + \frac{R_1(max) + R_2(min)}{R_1(max)} \cdot V_{Foff} \\ &= 3.3 \times 0.95 \times 0.05 + \frac{3 \times 1.05 + 3.3 \times 0.95}{3 \times 1.05} \times 0.7 = 1.6V \quad \text{----4.6.8 式} \end{aligned}$$

$$I_{inoff(min)} = \frac{V_{Foff(min)}}{R_1(max)} + I_{Foff(min)} = \frac{0.7}{3 \times 1.05} + 0.05 = 0.27mA$$

2 線式近接スイッチが入力信号として使用される場合、近接スイッチ自体の電源を信号線から供給する必要がある。この場合は信号が OFF の場合でもある一定以上の電流を流す必要がある。使用例にあげたオムロン製 2 線式近接スイッチ E2E-X 2D シリーズではこの電流として 0.8mA が必要であり、4.6.8 式の結果によるとこの用途には使用できない。(外部にブリダ抵抗を接続すれば使用できる。)

シーケンス入出力信号の仕様は従来シリーズとの互換性をもたせなければならない面があるのでこのところはやむを得ないこととしている。

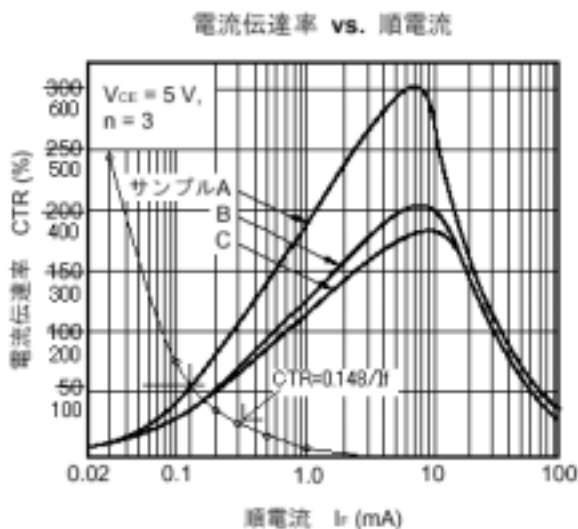


図 4.6.8-2 CTR - 順電流特性

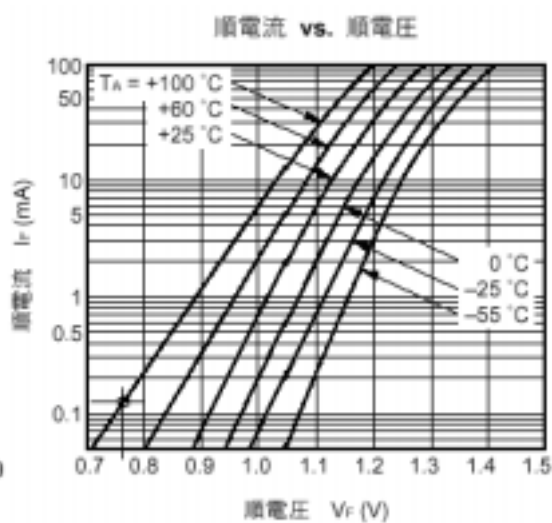


図 4.6.8-3 順電流 - 順電圧特性

(フォトカブラデータシートより)

(2) シーケンス出力回路の検討

シーケンス出力信号もシーケンス入力信号と同様にユーザが使用する信号なので入力回路と同様な検討が必要である。回路図を図 4.6.8-4 に示す。

RGON*、RLYON*については回路が異なるので(3)で触れる。

仕様と条件

シーケンス出力信号仕様：

最大出力電流 $I_C(\max)$ ：50mA

最大使用電圧 $V_{CE}(\max)$ ：30V

初期状態：OFF

WD エラー時：OFF

使用温度範囲 0~85

制御電源電圧 $5.15 \pm 0.1V$

フォトカプラ：PS2702-1-F3(K) (1 回路/チップ) NEC 製

コレクタエミッタ間電圧 V_{CEO} ：40V (絶対最大定格)

コレクタ電流 I_C ：200mA (絶対最大定格)

コレクタ飽和電圧 $V_{CE}(\text{sat})=1.0V(\max)$ @ $I_F=1mA$ 、 $I_C=2mA$ 、25

注) データシートのグラフより $I_F=10mA$ でもこの程度と読み取れる。

受光側許容損失 P_C ：150mW (絶対最大定格) 低減率：1.5mw/

順電圧 V_F ：1.4V(max) @ $I_F=5mA$ 、25

電流伝達率 CTR：2000%(min) @ $I_F=1mA$ 、 $V_{CE}=2V$ 、25

電流補正係数：1.0(typ) @ $I_F=1mA$ 9.2mA

温度補正係数：0.7(typ) @25 85、 $V_{CE}=5V$

経時変化率：0.5)@ 10^5 時間経過後

注) データシートのグラフから経時変化率を読み取ると[0.85(参考値)]@ $I_F=1mA$ 、25、 10^5 時間経過後]だが、この値は通常のものから判断すると低すぎるのでマージンを見て 0.5 とする。

抵抗 R_1 ：MCR01MZSJ 330 1/16W 容量偏差 $\pm 5\%$ ROHM 製

I C：74VHC595FT $V_{OL}=0.44V(\max)$ @85 東芝製

CTR マージンの検討

$$I_F(\min) = \frac{V_{CC}(\min) - V_F(\max) - V_{OL}(\max)}{R_1(\max)} = \frac{5.05 - 1.4 - 0.44}{330 \times 1.05} = 9.26mA$$

$$CTR(\min) = (\text{データシート } CTR(\min)) \times (\text{順電流補正値}) \times (\text{温度補正値}) \times (\text{経時変化率}) \\ = 20 \times 1.0 \times 0.70 \times 0.5 = 7.0$$

$$CTR(\text{margin}) = \frac{I_F(\min) \cdot CTR(\min)}{I_C(\max)} = \frac{9.26 \times 7.0}{50} = 1.3 \geq 1.0$$

以上より CTR のマージンはワーストケースで 30%あり OK である。

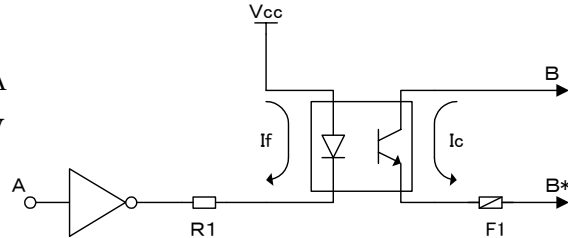


図 4.6.8-4 シーケンス出力回路

フォトカブラの絶対最大定格と最大許容損失の検討

製品仕様最大使用電圧 $V_{CE(max)} = 30V \quad 40V$ (フォトカブラの V_{CEO})

製品仕様最大出力電流 $I_{c(max)} = 50mA \quad 200mA$ (フォトカブラの I_C)

フォトカブラ受光側最大損失 $PC = V_{CE(sat)} \times I_{c(max)} = 1V \times 50mA = 50mW \quad 60mW$

(フォトカブラの受光側許容損失 $150mW$ から低減率 $= 1.5mw/$ で低減)

以上よりフォトカブラの絶対最大定格と最大許容損失は満足している。

(3) シーケンス入出力信号の安全性設計

サーボはエネルギー制御機器であり、安全面での配慮が欠かせない。シーケンス入出力信号はユーザがサーボシステムのシーケンス制御に使用するので、フェールセーフの観点から信号の極性や初期状態、エラー発生時の状態などについて設計上配慮する必要がある。

信号の極性

シーケンス入出力信号の極性は信号線が断線した場合にフェールセーフになるように決定する。ただし、いろいろな使われ方をするのでユーザ定数の設定により極性を変えられるようになっている。この場合でも製品の工場出荷時の標準設定はフェールセーフでの設定が基本である。(まれにエネルギー供給が遮断されると危険方向へ行く用途がある。)

表 4.6.8-1 と表 4.6.8-2 の信号名に “*” が付いている信号は負論理信号をあらわしている。逆に “*” が付いていない信号は正論理信号を表している。負論理信号は信号線が断線した場合 FALS になり動作を止める方向へ動くように設計する。例えば $SVON^*$ 信号は負論理信号なので、LOW 入力の際にサーボを ON し、HIGH 入力の際に OFF する。この信号線が断線した場合にはフォトカブラが ON しないのでサーボは OFF しエネルギー供給が遮断されて安全方向へ移行する。

RGON*、RLYON*の信号極性について説明すること。基板間接続で断線した場合を考慮すると NOT 信号のほうが望ましいが、電源投入時にイネーブルしないようにするためには NOT でない方がよい。

電流ソース形信号

一般に機械制御の配線には電流ソース形の信号を使用する。機械のボディは接地されているので、配線が何らかの要因で機械と短絡した場合信号電流はそちらに流れ入力信号線には電流が流れない。電流ソース形信号の逆は電流シンク形の信号だが、この場合は機械と短絡すると入力信号線に電流が流れ、正常信号電流と短絡電流を区別できない。このことを利用してフェール設計を行う。半導体が N 形半導体を中心に進化したこともあり、世の中の PLC などのコントローラは NPN トランジスタを使用した電流シンク形出力回路を備えたものが主流だったが、最近では電流ソース形に対応して来ている。

SGDS ではシーケンス入力信号、シーケンス出力信号ともに電流ソース形・シンク形両方の使い方ができる回路となっている。

出力信号の初期状態とエラー時の状態

サーボの上位装置まで含めたシステムでは各種機器が使用され、これらの電源投入タイミン

グはサーボ側では規定できない。このようなシステムの中でサーボが使用される場合、サーボの出力信号が不用意な信号を出すとシステム全体の誤動作につながる可能性がある。不用意な信号を出す恐れがある場合が電源投入時と電源切断時と異常発生時である。

特に電源投入時にはハードウェアの出力レジスタの内容が初期化されないままに出力されたり、ソフトウェアから初期化されていないデータが出力されたりすることがないように注意するひつようがある。シーケンス出力信号の初期状態は OFF となるように設計する。

RGON*、RLYON*の信号極性について説明すること。電源投入時にイネーブルにならないようにすべき。

ウォッチドッグエラーは CPU の動作に異常が発生した場合に出力される。このエラーが発生した場合、シーケンス出力信号の不正出力を防ぐためシーケンス出力信号を OFF する。

ハードワイヤードゲートブロック

外部シーケンス入力信号の SVON*(ビット位置 31)、POT(ビット位置 30)、NOT(ビット位置 29)はサーボのエネルギー供給を遮断する性格の信号なので、信号伝達には格段の信頼性が求められる。JL056 ではこれらの信号の受け渡しにソフトウェアを介在させず、直接ベースブロック信号をディスエーブルすることができる。

4.6.9 その他インターフェース

(1) 分周出力インターフェース

上位装置でモータの位置制御や位置の管理を行ないたい場合、シリアルエンコーダの出力をそのまま顧客が使用することはシリアルエンコーダ技術の公開が必要になったり、技術的に難しくったりする。通常上位装置の位置データインターフェースは A 相、B 相、C 相のパルス信号である場合が殆どである。SGDS ではこのためのインターフェースを分周出力インターフェースとして準備している。

シリアルエンコーダから入力された位置データは ASIC(JL052)のシリアル・パルス変換回路でパルス列に変換され、分周カウンタによって分周されて A 相、B 相、C 相のパルス信号となる。この信号は 2PCB から 1PCB へ渡り、ラインドライバによって差動信号に変換されてコネクタ CN1 から上位装置に出力される。(オープン・コレクタ出力、S 相出力は、Y 仕様で対応可)

(2) デジタルオペレータインターフェース

デジタルオペレータインターフェースは CPU(V850E)と外部機器とのデータ通信インターフェースを提供する。外部機器の一つは LCD デジタルオペレータ (JUSP-OP05A) で、もう一つは CPU 内臓フラッシュメモリへの書き込み機である。

2PCB の CPU から出力 (または入力) されたシリアルデータ信号は 1PCB のラインドライバ / レシーバによって差動信号に変換 (または逆に変換) されてコネクタ CN3 で外部機器に接続される。

通信方式：調歩同期式全二重通信、信号レベル RS-422 (非絶縁差動) / RS-232C 両用

フラッシュ書き込み電圧 V_{pp} (7.8V) は外部機器より供給。

(3) オプション・ユニット対応インターフェース

部品実装することにより、CN10(2 用オプション基板接続コネクタ)を介して、 用オプション・ユニットとの I/F を行う。

アドレス・バス : 8 本 (A1 ~ A8)

データ・バス : 16 本 (D0 ~ D15)

外部割込み入力 : 2 本 (EINT*、SKIP*)

(4) 3.3V 系回路インターフェース

2PCB の CPU (V850E) と ASIC (JL056) は 3.3V 系ロジック IC だが、1PCB はノイズ耐性向上の観点から 5V 系ロジック IC を中心に回路を構成している。3.3V 系ロジックは 5V 系に比べて信号のエネルギーが低く、スレシュホールドも低いのでノイズの影響を受け易い。ノイズ誤動作は回路の 2 点間の電圧変動により起こるので、1PCB のように多数の回路素子を基板面に分散配置する回路ではノイズに強い 5V 系ロジック IC を使用する。

大規模 IC は集積度を上げるため低電圧化が進んでおりノイズ耐性が下がっている。LSI との配線や放射ノイズを受けないように LSI の配置には十分な配慮が必要である。

また、3.3V 系回路と 5V 系回路を接続する場合、5V 系の信号をそのまま 3.3V 系 IC に接続すると、IC の入力回路に逆電圧がかかりラッチアップや誤動作の原因になる。逆に 3.3V 系信号をそのまま 5V 系 IC に接続する場合は、5V 系 IC のスレシュホールド電圧仕様を満たさない場合がある。このような不具合を避けるため、相互接続する場合には信号レベル変換機能を持った IC を間に挿入する。

4.6.10 アナログモニタフィルタ

(1) 動作

SGDS には速度やトルク、溜りパルスなどのサーボパック内部の状態変数を観測するためアナログモニタ機能がある。これは 4.3.2(3)PWM モニタのところ述べてのように、JL052 によって状態変数データがデジタルデータから PWM 信号に変換され、更にフィルタ回路によってアナログ信号に変換されることで実現される。アナログモニタフィルタ回路は 1PWB に搭載されており、2PWB に搭載されている JL052 からの 3.3V 系 PWM 信号を受ける。この回路はレベル変換と 2 次のローパスフィルタから成り、3.3V 系 PWM 信号はここで $\pm 8V$ のアナログ信号に変換されて、モニタ用コネクタ (CN5) から出力される。この回路は同時に 2 つのモニタデータを扱うことができるように 2 チャンネル準備されている。1 チャンネル分の回路図を図 4.6.10-1 に示す。

(2) 要求仕様

- ・モニタデータ 速度 : $1V/1000\text{min}^{-1}$
 トルク : $1V/\text{定格トルクの } 100\%$
 溜りパルス : $0.05V/1$ 指令単位
- ・最大出力電圧範囲 : $\pm 8.0V$

(3) 回路検討のための条件

- ・ゲイン変動調整範囲 : $\pm 50\%$ 以内 (ソフトウェア調整範囲より)

- ・オフセット調整範囲：± 2V 以内（ソフトウェア調整範囲より）
- ・カットオフ周波数：940Hz（Typ）
- ・PWM信号：キャリア周波数 46.875 KHz、信号振幅 0 ~ 3.3V
- ・3.3V 系電源電圧 VDD：3.3V ± 4%、温度変化 - 0.4mV/ μ PC29M33T NEC 製
- ・オペアンプ供給電源電圧：± 12V ± 10%
- ・オペアンプ：μ PC4570G2（NEC 製）@¥28
 利得帯域幅積：10MHz(min)
 コモンモード除去率：80dB(min)
 電源変動除去率：80dB(min)
- ・抵抗：抵抗値偏差 ± 5%、温度係数 250ppm、1/16W MCR01 MZSJ ローム製
- ・コンデンサ：CM05W5R 京セラ製

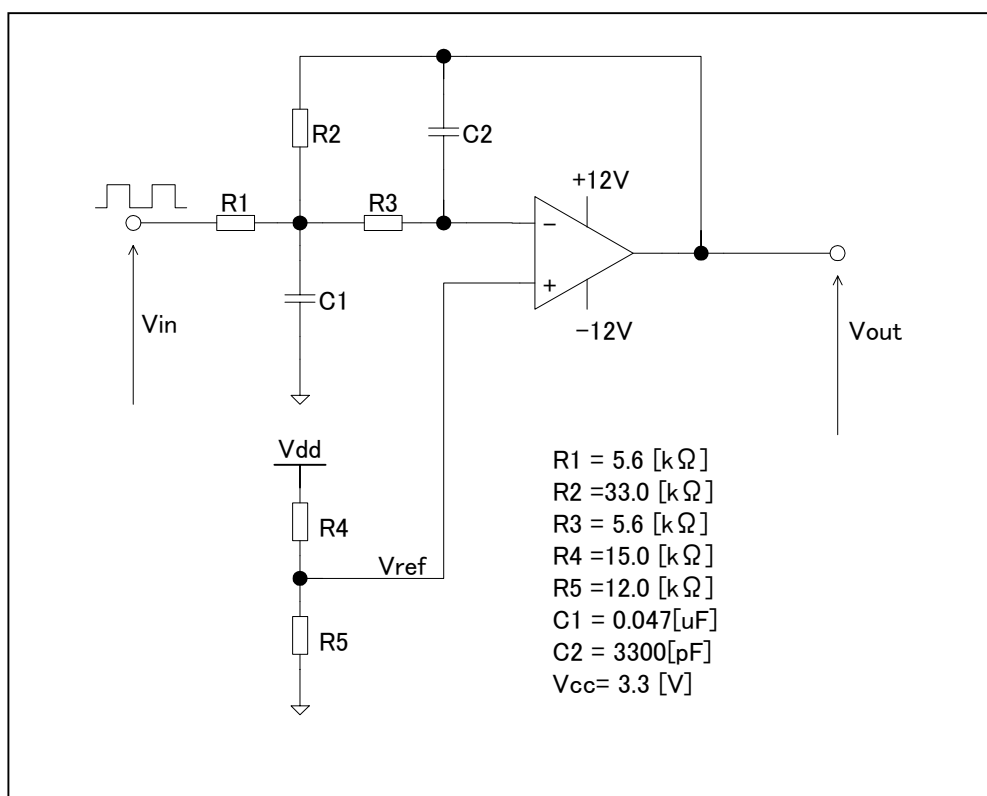


図 4.6.10-1 アナログモニタフィルタ回路

(4) 回路検討

PWM 信号の平均電圧を V_{in} とする時、アナログ出力電圧 V_{out} は 4.610-1 式で求まる。

$$\begin{cases} V_{OUT} = -\frac{R_2}{R_1} \cdot \left(V_{in} - \frac{V_{DD}}{2} \right) + V_{offset} \\ V_{offset} = \left(-\frac{R_2}{2 \cdot R_1} + \frac{R_1 + R_2}{R_1} \cdot \frac{R_5}{R_4 + R_5} \right) \cdot V_{DD} \end{cases} \quad 4.610-1 \text{ 式}$$

オフセット電圧 V_{offset} は PWM のパルスデューティが 50% ($V_{in} = V_{DD}/2$) の時の残留電圧である。

入出力の関係を図 4.610-2 に示す。

オフセット電圧の検討

4.610-1 式より抵抗値の偏差 $\pm 5\%$ 、 V_{DD} 電圧誤差 $\pm 4\%$ の時のオフセット電圧最大値 $V_{offset(max)}$ 、 $V_{offset(min)}$ は

$$V_{offset(max)} = \left(-\frac{R_2(min)}{2 \cdot R_1(max)} + \frac{R_1(max) + R_2(min)}{R_1(max)} \cdot \frac{R_5(max)}{R_4(min) + R_5(max)} \right) \cdot V_{DD(max)} = 1.04V$$

$$V_{offset(min)} = \left(-\frac{R_2(max)}{2 \cdot R_1(min)} + \frac{R_1(min) + R_2(max)}{R_1(min)} \cdot \frac{R_5(min)}{R_4(max) + R_5(min)} \right) \cdot V_{DD(max)} = -0.35V$$

となる。ソフトウェアの調整範囲は $\pm 2V$ なのでこれは調整範囲を満足している。オフセット電圧はシステム定数 PnE58 によりソフトウェアで調整する。

ゲイン誤差の検討

抵抗値の偏差 $\pm 5\%$ でゲイン $G = R_2/R_1$ の最悪誤差を計算すると次のようになる。

$$\frac{\Delta G}{G} = \frac{\Delta R_1}{R_1} - \frac{\Delta R_2}{R_2} = \pm 2 \cdot \frac{\Delta R}{R} = \pm 10\% \quad 4.610-2 \text{ 式}$$

ゲイン誤差はシステム定数 PnE59 によりソフトウェアで調整する。ソフトウェアの調整範囲は 50% なので誤差 $\pm 10\%$ をカバーしている。

ドリフト誤差の検討

抵抗値の温度係数 $250\text{ppm/}^\circ\text{C}$ 、 V_{DD} 電圧温度変化 $-0.4\text{mV/}^\circ\text{C}$ 、温度変化範囲 50°C の時のゲインとオフセットのドリフトを求める。これらは製品仕様上では特に規定していないが、ソフトウェアで調整した後の変動誤差となるので使用に当たっての留意項目である。

- ・ゲインドリフト誤差 (4.610-2 式より)

$$G/G(\text{drift}) = 2 \times 250 \times 10^{-6} \times 50 = 2.5\%$$

- ・オフセットドリフト誤差

同じく抵抗値と V_{DD} 電圧の微小誤差によるオフセット電圧の誤差を計算する。

$$\begin{cases} \Delta V_{OFFSET} = \pm \left(\frac{R_2}{R_1} \cdot \frac{(R_4 - R_5)}{R_4 + R_5} + \frac{R_1 + R_2}{R_1} \cdot \frac{2 \cdot R_4 R_5}{(R_4 + R_5)^2} \right) \cdot V_{DD} \cdot \frac{\Delta R}{R} \pm V_{OFFSET} \cdot \frac{\Delta V_{DD}}{V_{DD}} \\ = \pm 13.4 \cdot \frac{\Delta R}{R} \pm 0.386 \cdot \frac{\Delta V_{DD}}{V_{DD}} \end{cases}$$

4.610-3 式

これより、 $V_{offset(drift)} = \pm 0.17V$ となる。

この値は要求仕様出力電圧 $\pm 8V$ に対し約 2% の誤差に相当する。

オペアンプの電源変動誤差の検討

オペアンプの電源変動除去率は 80dB なので $\pm 12V \pm 10\%$ 変動の影響は $\pm 0.12\text{mV}$ となり、要求仕様出力電圧 $\pm 8V$ に対しては $\pm 15\text{ppm}$ となる。オペアンプのデータシートに電源変動除去率の周波数特性が規定されていないので高周波の影響は不明だが、低周波での誤差としては

ドリフト誤差に比べ無視できる。高周波の影響については電源変動除去率の高周波特性をオペアンプのメーカーに確認する必要があるが、ここでは説明を省略する。

出力電圧範囲の検討

・ $V_{in} = 0V$ の時

$$\begin{aligned} V_{out} &= 10.11V \text{ (typ)} \\ &= 10.11 \times 1.1 + 0.69 \\ &= 11.81V \text{ (max)} \\ &= 10.11 \times 0.9 - 0.69 \\ &= 8.41V \text{ (min)} \end{aligned}$$

・ $V_{in} = 3.3V$ の時

$$\begin{aligned} V_{out} &= -9.34V \text{ (typ)} \\ &= -9.34V \times 0.9 - 0.69 \\ &= -7.72V \text{ (min)} \\ &= -9.34V \times 1.1 + 0.69 \\ &= -10.96V \text{ (max)} \end{aligned}$$

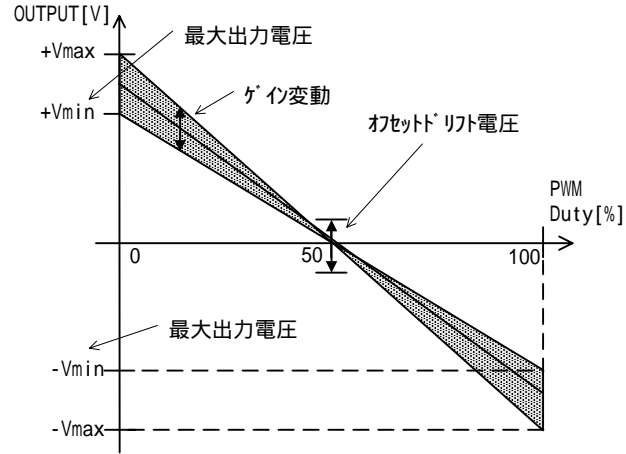


図 4.6.10-2 アナログモニタの入出力グラフ

オペアンプの電源電圧は $\pm 12V$ なので出力電圧 $\pm 10.4V$ 以上は飽和領域に入る可能性があるが、要求仕様出力電圧範囲 $\pm 8V$ に対しては問題ないレベルである。また $-7.72V$ の負側最小出力電圧は要求仕様出力電圧範囲 $\pm 8V$ を満足していないが、前節のトルク指令 AD コンバータのゲイン誤差のところでも述べたように、部品特性の確率分布の検討に属する事項である。

応答周波数の検討

PWM信号のキャリア周波数は 46.875 KHz で、DC 電圧平滑化後のリップル電圧が最大になるのはパルスデューティが 50% の時である。このフィルタ回路に求められる特性は、リップルの減衰が十分でかつトルク指令変化への追従性が十分なことである。従って 46.875 KHz 以上の周波数成分の減衰は 40dB 以上とし、トルク指令応答性は約 $f_c = 1\text{KHz}$ とする 2 次のローパスフィルタとする。このためのオペアンプの利得帯域幅積は $10\text{MHz}(\text{min})$ あり十分である。

$$\left\{ \begin{aligned} G(s) &= \frac{-R_2}{R_1 R_2 R_3 C_1 C_2 \cdot s^2 + (R_1 R_2 + R_2 R_3 + R_3 R_1) \cdot C_2 \cdot s + R_1} \\ \omega_n^2 &= \frac{R_1}{R_1 R_2 R_3 C_1 C_2} \\ 2\zeta\omega_n &= \frac{R_1 R_2 + R_2 R_3 + R_3 R_1}{R_1 R_2 R_3 C_1} \\ 20 \cdot \log_{10} |G(j\omega)| &= -10 \cdot \log_{10} \left[\left\{ 1 - \left(\frac{\omega}{\omega_n} \right)^2 \right\}^2 + 4\zeta^2 \left(\frac{\omega}{\omega_n} \right)^2 \right] \end{aligned} \right. \quad 4.610-3 \text{ 式}$$

$$\omega_n = 5.91 \times 10^{-3} \text{ rad/s} \quad f_n = 0.94 \text{ KHz}, \quad \zeta = 0.70$$

4.610-3 式より、ボード線図は以下ようになる。ただし R_2/R_1 のゲインは省略してユニティゲインで表している。

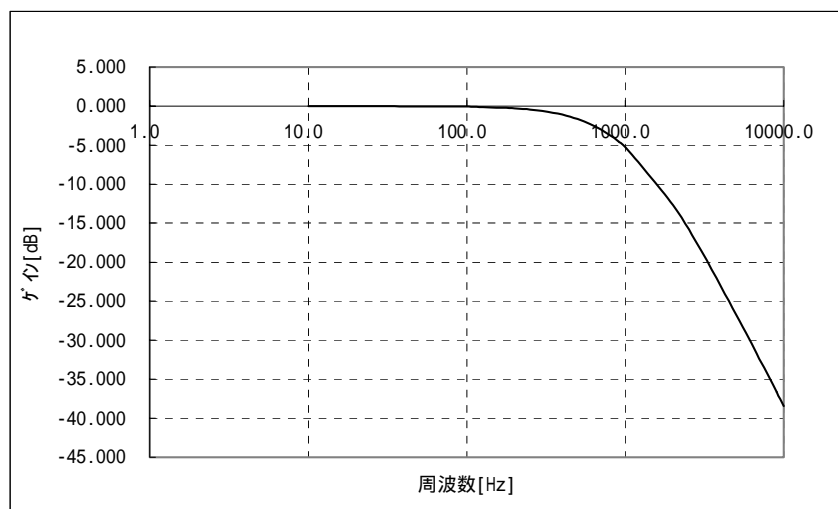


図 4.610-3 アナログモニタフィルタ回路の周波数特性

4.6.11 監視・異常検出回路

(1) 過電流検出回路

過電流検出は 4PCB に実装されているパワーモジュール(PS21353-N)に内蔵されている。主回路の N1 ラインに過電流検出用シャント抵抗を挿入し、この抵抗の両端をパワーモジュールに入力してその電位差を検出する。検出値がパワーモジュールの保護レベルに合致するようにシャント抵抗値を選定する。このモジュールはシャント抵抗による過電流保護機能の他に制御電源電圧低下保護機能も装備しており、エラー出力端子から両方のエラーが OR されて出力される。ただし、エラー出力されるのは N 側 IGBT の過電流保護と制御電源電圧低下保護がエラーとなった場合で、P 側 IGBT については制御電源電圧低下保護機能はあるがエラーとなってもエラー出力はしない。また P 側 IGBT 単独の短絡保護機能は機能そのものがない。

エラー出力は 1PCB のフォトカプラで絶縁されて 1PCB 経由 2PCB の ASIC へ入力される。

(2) ヒートシンク温度検出回路

サーボパックではパワー素子を保護するため、パワー素子が実装されているヒートシンクにサーミスタを取り付けてこの電圧を読み込み、ソフトウェアにてヒートシンクの温度を監視している。監視結果が設定レベルを超えるとヒートシンク過熱(A.7A0)としてアラーム表示される。

CN51 を介してパワー基板 4PCB (SGDS-CB *AA) から出力されるヒートシンク温度検出アナログ電圧を、CPU (V850E) 内臓の AD コンバータ (ADC) で読み込む。図 4.5.11 の検出電圧 - 温度補正グラフによりソフトウェアで温度を補正する。

電圧範囲 : 0 ~ 3.3V

(5V 信号を 3.3V にダイオードでクランプ)

温度検出範囲 : 0 ~ 120

検出精度 : ± 10

サーミスタ : 13800-0780

MICRON 製

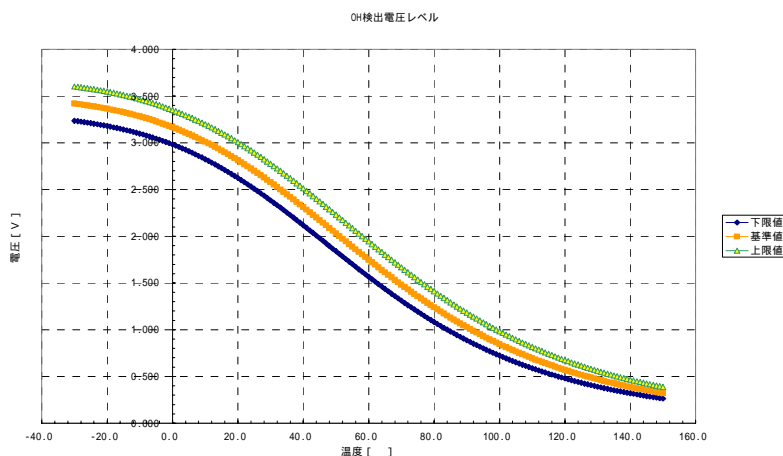


図 4.6.11-1 検出電圧 - 温度補正グラフ

(3) 主回路電源電圧検出回路

主回路電源電圧(PN)検出は回生抵抗の入り切りを制御したり、不足電圧(UV)、過電圧(OV)の監視のために用いられる。

動作

CPU から出力される PWM パルス信号をアナログ変換し、これと PN 電圧を比較して PN 電圧と PWM 出力が一致するまで PWM 出力を増減することにより PN 電圧を計測する。即ち、CPU - PWM - 比較器によるソフトウェア制御逐次比較形 AD コンバータを構成する。

2PCB の CPU から 1PCB 経由 4PCB のパワー基板(SGDS-CB)へ PWM 信号を送出し、フォトカプラにて絶縁する。絶縁された PWM 信号をフィルタリングしてアナログ信号に変換し、PN 電圧を抵抗分圧したアナログ電圧とコンパレータで比較する。比較した結果はパワー基板から再度フォトカプラで絶縁して CPU へフィードバックする。CPU は比較結果の 1/0 に応じて、PWM 回路への設定データを増減する。回路図を 4.6.12-2 に示す。

サーボバックの入力電圧には AC100V 系、AC 200V 系、AC 400V 系があり、システム定数 PnE70 で PN 電圧検出レベルのスケーリング値を設定する。PnE5B には P-N 電圧検出レベル微調整値とゼロ調整値が設定される。

仕様

PN 電圧検出範囲：0 ~ +500V

検出精度：±10V

リニアリティ：±5V 以内

応答性能：2V / 250us

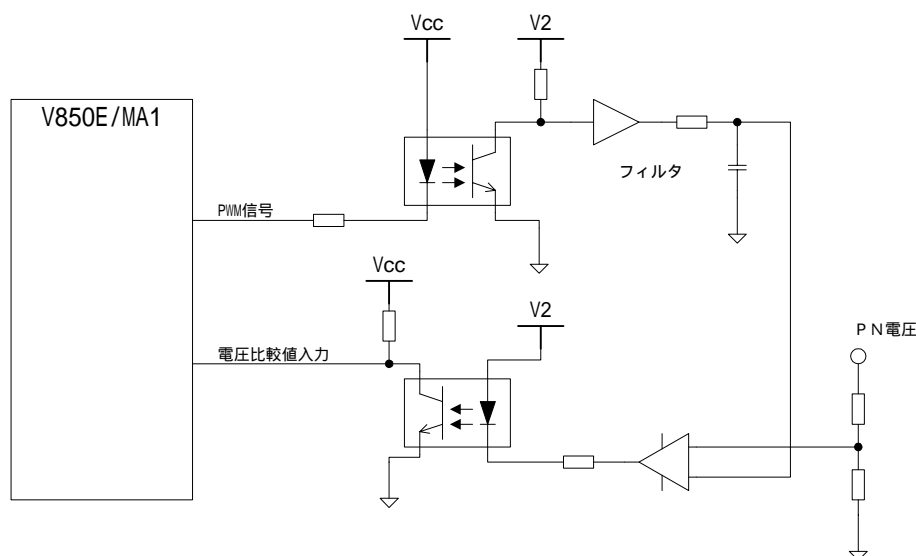


図 4.6.12-2 主回路電源電圧検出回路

回路検討

省略

過電圧(OV)検出

PN 電圧がシステム定数 PnE71 に設定された過電圧検出レベル(410V)以上になるとソフトウェアは過電圧検出処理を行なう。

不足電圧(UV)検出

PN 電圧がシステム定数 PnE73 に設定された不足電圧検出レベル(170V)以下になるとソフトウェアは不足電圧検出処理を行なう。また、PnE74 に UV 検出フィルタ時定数があり、ノイズなどで誤動作する場合にはソフトフィルタをかけることができる。

回生動作

モータが回生モードに入ると主回路コンデンサ C1、C2 に回生エネルギーが充電されて、PN 電圧が上昇する。主回路コンデンサに使用されている電解コンデンサは、使用電圧が高くなると寿命が短くなるので適切な電圧で使用する必要がある。回生により PN 電圧が上昇しすぎるのを防ぐため、PN 電圧がシステム定数 PnE72 の設定値(385V)より上回れば、ソフトウェアは 4PCB の回生トランジスタ Q2 をオンにして回生電力を外付け回生抵抗で消費するようにする。回生抵抗を通じてコンデンサのエネルギーが放電されて PN 電圧が低下し、375V を下回ったことをソフトウェアが認識すると回生トランジスタをオフする。

(4) 回生異常

回生抵抗の断線や回生トランジスタの短絡故障時に回生トランジスタのコレクタが 0V になることを利用して異常検出する。回路は回生トランジスタのコレクタ側電圧を抵抗分圧してコンパレータ(使用回路ではオペアンプ)で基準電圧と比較してこの結果を CPU で読み込む。不完全断線や不完全短絡でもコレクタ電圧が基準電圧 (3V typ、PN 電圧換算 137V) を下回れば異常となる。

(5) ACON 検出回路

AC 電源が入力されていることを検出しソフトウェア動作のインターロックに使用する。

(6) 充電表示

サーボパックの主回路には大容量の電解コンデンサが使用されており、電源を切断した時しばらくの間はコンデンサにチャージが残ることがあり、保守などのために電源を切っているにもかかわらず主回路に触れると感電することがある。このような事故を防ぐため、主回路の電源が生きていることを LED で点灯表示す。

4.6.12 クロック、リセット、バッテリー回路

4.6.13 制御電源

(1) 電源容量の見積

(2) 回路方式

(3) AC 電源入力回路

(4) スイッチング電源回路

トランスの選定

回路定数検討

スイッチング電源の定数計算

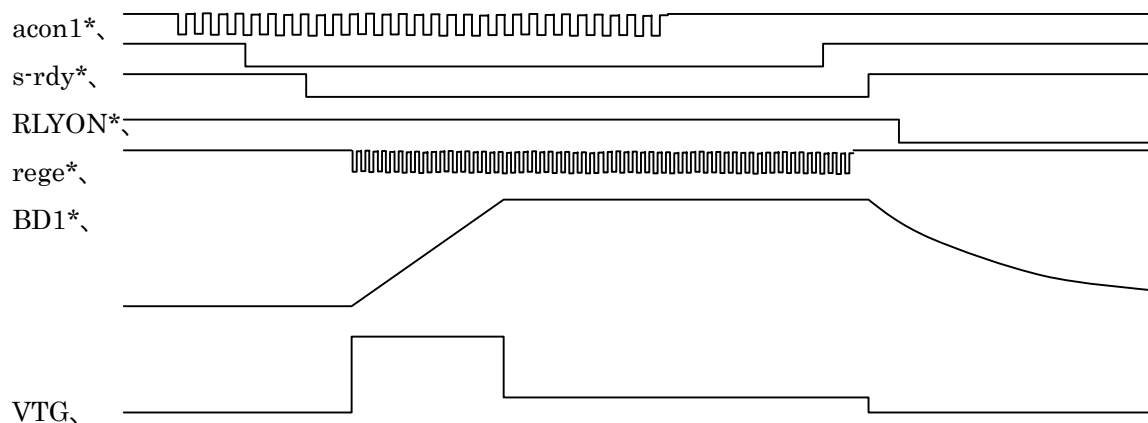
(5) DC 電源出力回路

リップル

5V2 系と 16.5V2 系電源の立ち上げシーケンス

EEPROM パラメータ破壊 (ATMEL)

4.6.14 電源投入・切断シーケンス



最大回転数で運転し、瞬停保持時間 max で主電源を止し、DC 電源電圧の低下により、不足電圧アラームが発生することを確認する。上記測定点に DC 電源電圧を追加する。

電源投入時に制御電源と主回路が同時に投入された場合に回生 Tr が ON して回生抵抗が断線するクレームあり。

回り回路

4.6.15 ノイズの検討

AC200V 電源入力サーボパックの PN 電圧は回生時の電圧上昇まで入れると 400V 弱ある。この電圧をパワーモジュールである。スイッチングすると、スイッチング電圧波形の立ち上がり時または落ち下がり時に $dV/dt=400V/t$ に比例したサージ電流が発生する。サージ電流は回路のあちこちに存在する浮遊容量を通じてロジック回路に流れ込みこれを誤動作させる。実際には配線のインダクタンス成分によりサージはこの値より更に大きくなる。

注) t : スwitchング電圧波形の立ち上がり時間または落ち下がり時間。PS21353-N では $t=0.3 \sim 0.7 \mu s$ なので、 $dV/dt=400V/t=1.3KV/\mu s$ 、 $dI/dt=10A/t=33A/\mu s$

C: 10pF

L: 1 μH

$C \cdot dV/dt=13mA$

$L \cdot dI/dt=33V$

等価回路

5 おわりに

このマニュアルでは基本動作や設計の考え方について物理的なイメージが湧くように解説してきた。また、ハードウェア設計では部品特性のバラツキや使用環境条件およびこれらを加味したマージンの確保などの信頼性設計についてもできるだけ紙数を割いた。製品設計のためにはこれらは欠かすことができない項目であり、読者はこれらを充分踏まえた設計を行うとともに、単なる以前からの設計数値の置き換えだけでなく、そこに起こっている物理的な現象を理解し、部品の選定を的確に行い、コスト、品質両面でバランスのとれた設計を心がけていただきたい。

経済のグローバル化が進みサーボも全世界で使用されるようになってきている。サーボ製品も海外展開に合わせ各種海外規格に対応しなければならないが、この方面の適用事項はパワー部で対応する内容が多いのでこのマニュアルではこれらについては一切触れていない。しかし、制御部にも当然対応すべき項目があるので、海外規格を良く調査し設計に反映していただきたい。

このマニュアルがサーボ技術者の財産になるよう、今後とも常にリフレッシュされレベルアップして行くことを期待する。

末筆ながら、執筆および査読をしていただいた方々を掲載させていただき、謝意に代えさせていただく。

また、参照・引用・参考にさせていただいた資料の中には、執筆者の個別の使用許諾を得ていないものもある。ここにタイトルを掲載させていただき、使用許諾事後承認のお許しと謝意に代えさせていただく。

参照・引用資料

シリーズ SGM S/SGDS ユーザーズマニュアル
SGDS 製品仕様書
DPL99008 次期サーボ製品企画書（全体企画書）
DPL99009 タイプ B サーボ SGDS 製品企画書
SGDS ソフトウェア処理概略説明書
SGDS scanA ソフト設計書
SGDS ソフト開発要求仕様書
SGDS ソフト仕様書（ソフト DR 資料）
SGDS パラメータ、アラームコード一覧（社内用）[改版 6]
SGDS-CA01、-IF01 基板仕様説明書
SGDS ハードウェア設計計算書
SGDS 接続図、回路図、部品表 DE0300721～DE0300726
RTR-B0101 B 用 ASIC JL-056、JL-066 内部説明書
DP9404243 標準シリアルエンコーダ 通信仕様書（社内用）
技報安川電機 第 62 巻 No.4 1998 通巻 241 号[高性能 AC サーボドライブ - シリーズ]

三菱 小形 DIP-IPM 活用の手引き

三菱半導体 インテリジェントパワーモジュール PS21553-N データシート

V850E/MA1 32 ビットシングルチップマイクロコンピュータ ユーザーズマニュアル

μPD70F3107A 32 ビットシングルチップマイクロコンピュータ データシート

HCPL-7860 Isolated 15-bit A/D Converter Technical Data

ADS1252 24 ビット、40KHz A/D コンバータ データシート

OPA2277 High Precision OPERATIONAL AMPLIFIERS Data-sheets

M51995AP/FP スイッチングレギュレータコントロール データシート

その他各社部品データシート

参考資料

サーボ設計マニュアル (パワー部)

RTR-B0102 B 用 ASIC JL-056、JL-066 ユーザーズマニュアル

マルチドロップエンコーダ用 ASIC JL059 内部説明書

技報 安川電機 第 62 巻 No.4 1998 通巻 241 号 [新世代サーボへの展望]

TOPITAL マニュアル

索引

失敗事例

マグネットの減磁 19

設計上の注意事項

ノイズ 179

パターン設計 38, 157, 164, 167, 169, 180

設計事例

AD コンバータ 52, 165, 171, 180, 199

DA コンバータ 43, 194

オペアンプ 174, 180, 195, 201

差動伝送回路 170, 185

編集委員、査読委員、執筆者一覧

編集責任者 (信) 小長

編集委員 (信) 杉村、(M 技) 桜井、(S 企) V 遠矢

査読委員 (信) 小長、(信) 山本、(M 技) 桜井、(S 企) V 遠矢、(信) 杉村

執筆者

2 AC サーボモータと制御の概要 (S 企) V 遠矢

3 要求仕様と構想設計 (M 技) 桜井、長江

4.3 ASIC (信) 杉村

4.4 ASIC による電流制御 (開研 M) 森本

4.5 ソフトウェア (開研企) 谷口

4.6 ハードウェア (信) 杉村

上記以外 (信) 杉村