

## EAD 使用说明

准备工作：

icfbn7 & 启动 virtuoso，在启动目录下有 .cadence 的目录，将文件夹 /wrk/BJCKTT3/angelf/wrk/EDA/EAD\_N7/.cadence/dfll/EAD copy 到当前路径下的 .cadence/dfll 下

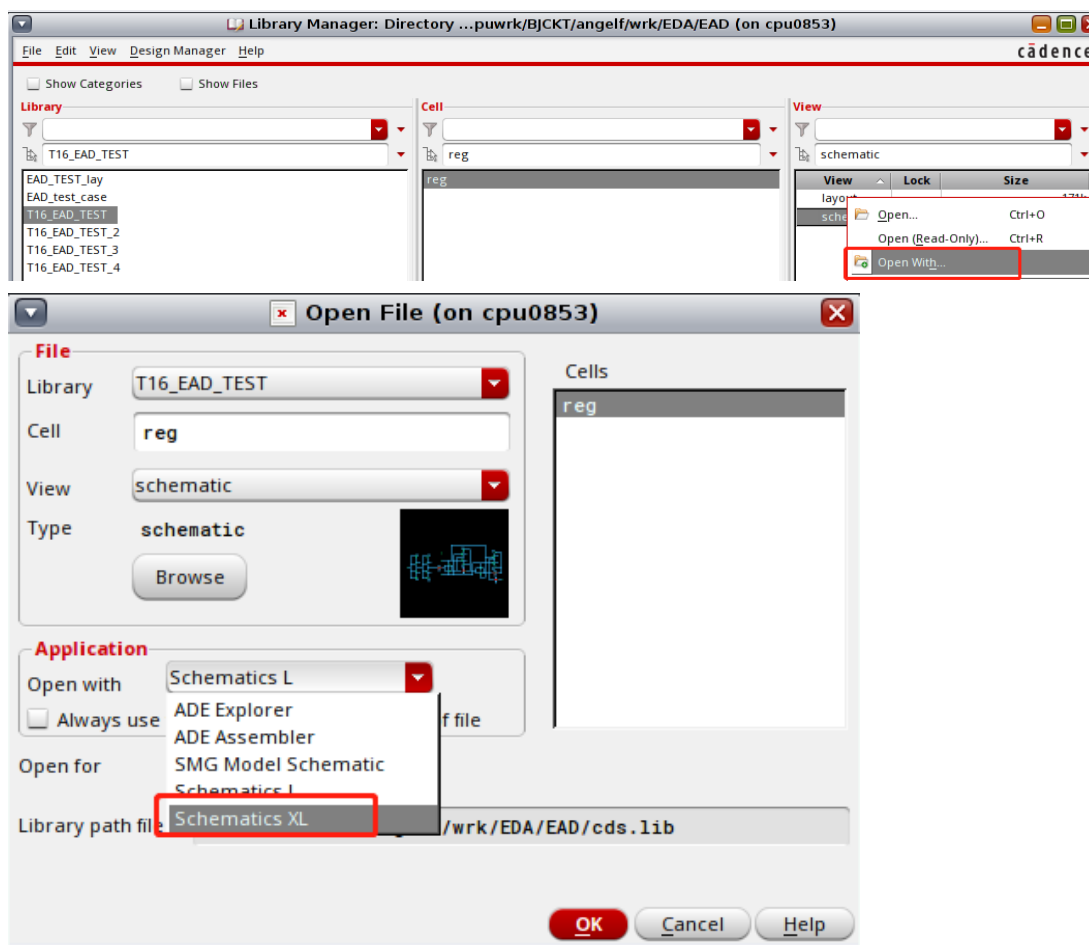
**7nm : /wrk/BJCKTT3/angelf/wrk/EDA/EAD\_N7/.cadence/dfll/EAD**

**16nm : /wrk/BJCKTT3/angelf/wrk/EDA/EAD/.cadence/dfll/EAD**

(如果是新建的目录，需打开一个 view，如 schematic，才会看到隐藏文件夹.cadence)

一、对 schematic 设 constrain

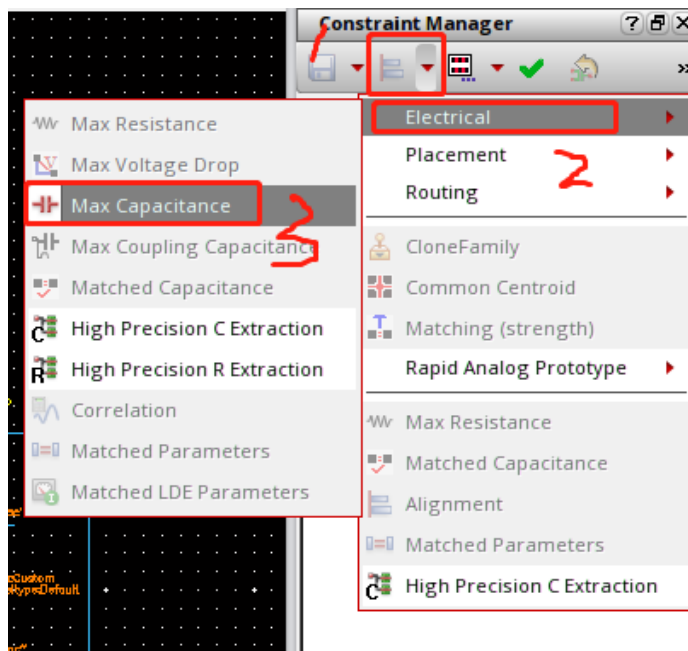
1. 在 Library Manager 中，选择想要编辑的 library 和 cell，选择 schematic，右键选择 open with，用 schematic XL 打开；



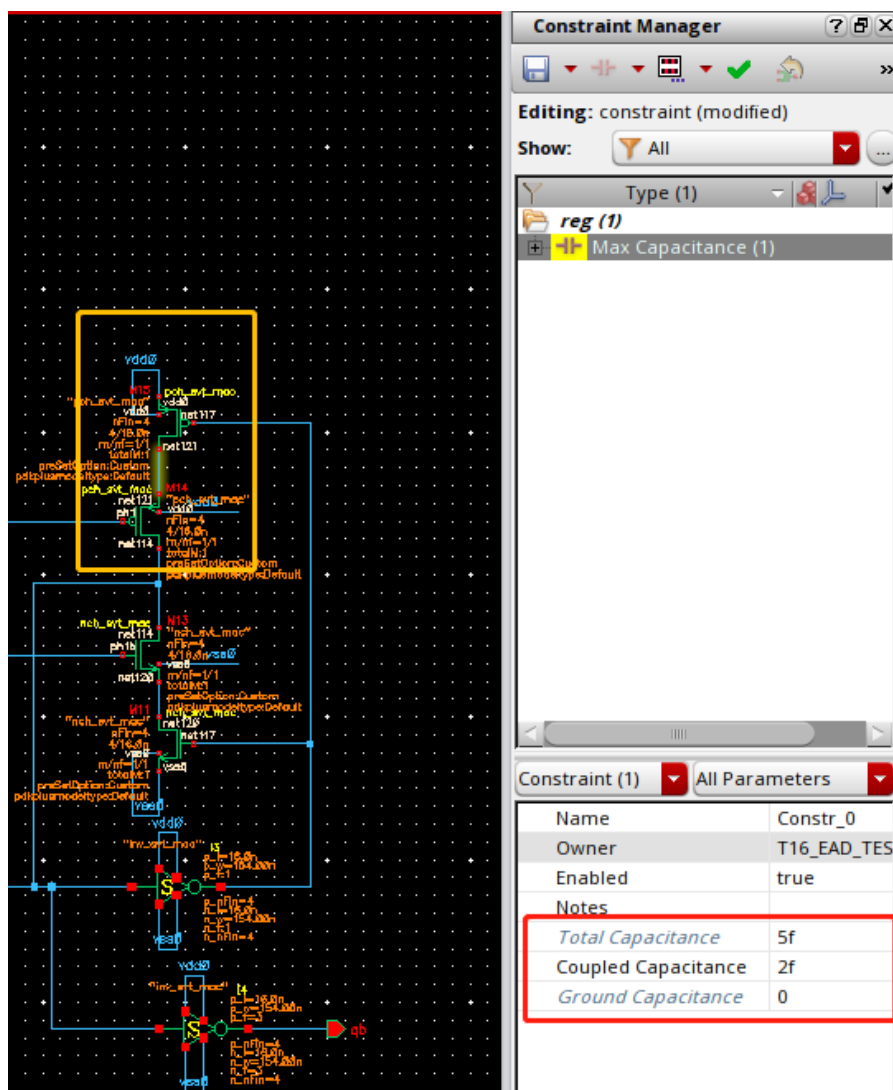
2. 根据 design 需求，进行 constrain 设置，举例几个如下

- (1) 设某条 net 的 max cap

在 Navigator 中选中想要设 constrain 的那条 net，在 Constraint Manager 中按图中标注的步骤操作：

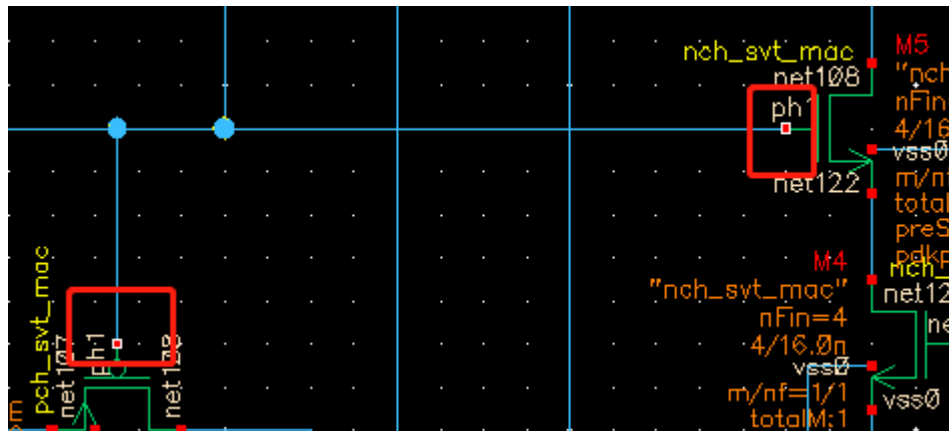


然后出现如下对话框，可以根据 design 需求设置 Total C、Coupled C 和 Ground C (如红色框中所示)，同时，在 schematic 中会 highlight 这条 net(如黄色框中所示)：

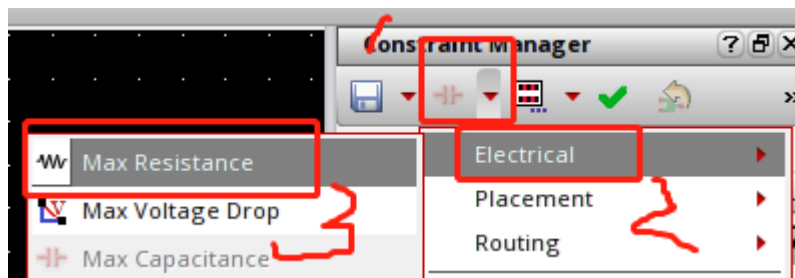


- (2) 设两个 instance 之间的 max res (这部分现在还存在一些问题, 即这两个 instance 不包括 inv, nand, nor, 目前只能是单纯的 mos 之间)

根据 design 需求选中两个 instance 的两端 (选第二个的时候按住 shift 键), 如下图  
中红色框所示:



在 constrain manager 菜单中进行与设 net 的 constrain 类似的操作:

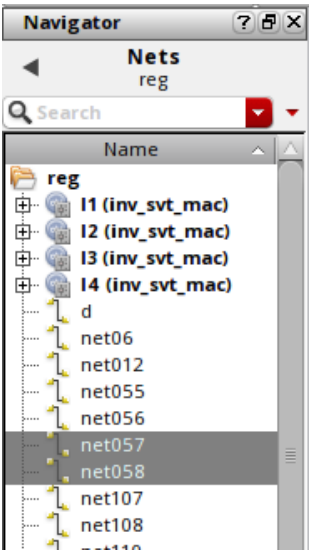


根据 design 需求, 在下图的红色框中设置 max res, 同时这条 constrain 会在 schematic 中 highlight, 如图中的黄线。

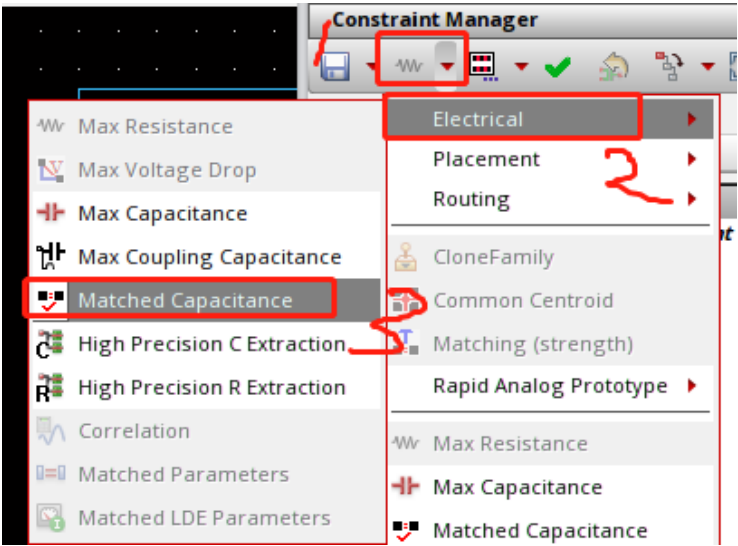
Name	Constr_1
Owner	T16_EAD_TEST.reg:constraint
Enabled	true
Notes	
Max Resistance	50m

- (3) 设两条 net 的 match cap

根据 design 需求，在 Navigator 中选中两条 net（按住 shift 键选第二条 net）



在 constrain manager 菜单中进行与之前类似的操作：



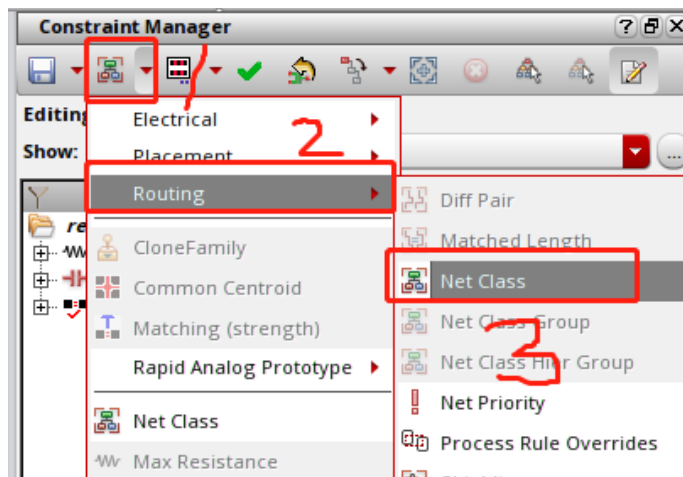
根据 design 需求，选择需要的类型进行相应设置，同样，这两条 net 会在 schematic 中 highlight：

Name	Constr_2
Owner	T16_EAD_TEST.reg:constraint
Enabled	true
Notes	
Diff. Type	absolute
Difference	absolute
	percent

Name	Constr_2
Owner	T16_EAD_TEST.reg:constraint
Enabled	true
Notes	
Diff. Type	percent
Difference	5

(4) 对 net 指定 mask 类型

在 schematic 中选中需要指定 mask 的 net，按如下图所示的步骤操作：

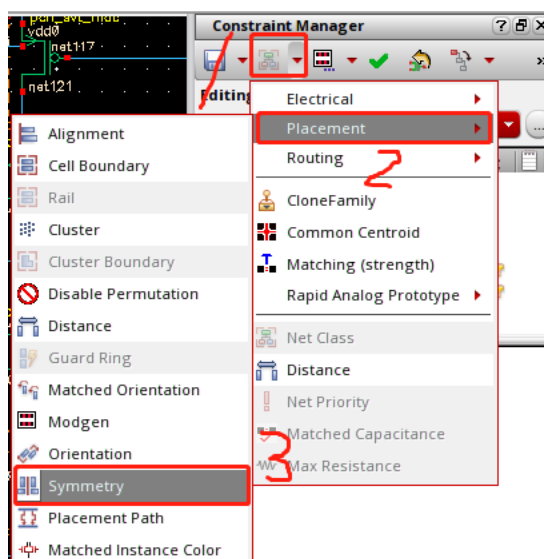


然后在 Within Group 中，Same Mask 选为 true，Mask Name 选要指定的 mask 类型，如下图所示：

Name	Constr_4
Owner	T16_EAD_TEST.reg:constraint
Enabled	true
Notes	
<i>pinProximity</i>	false
Default Group	Empty
Within Group	Custom
Spacing	(various)
Tolerance	20
Same Mask	true
Mask Name	mask1
Group to Outside Group	Empty
Spacing	(various)
hierarchicalScope	local

(5) 设 constrain 要求 instance 对称

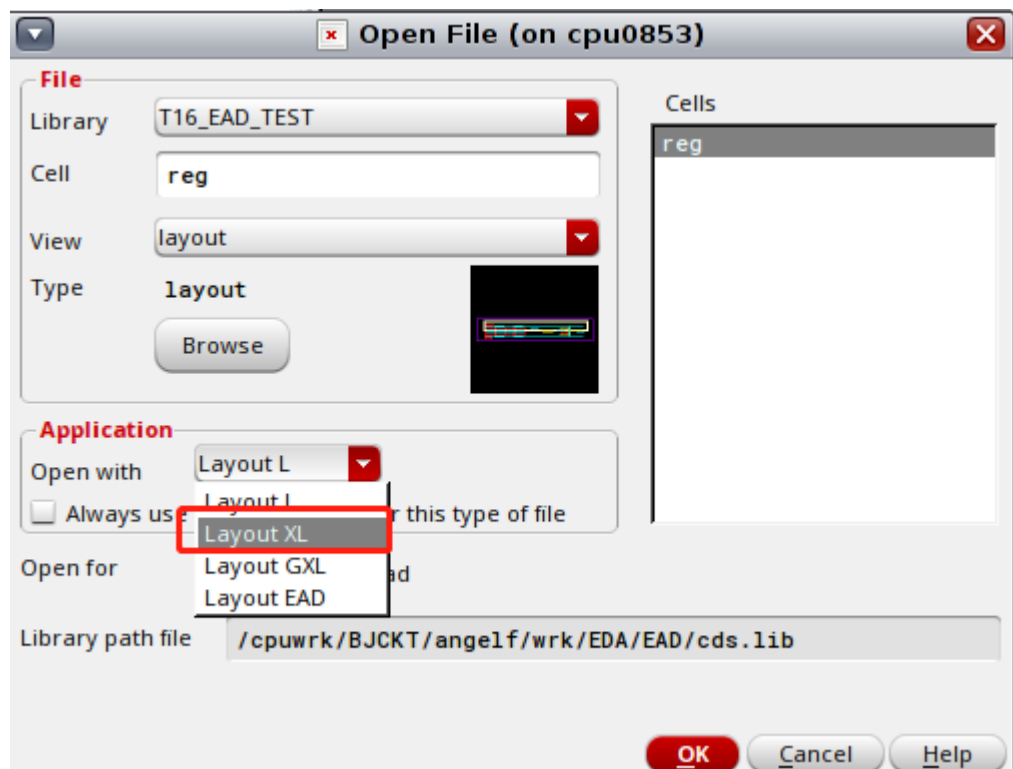
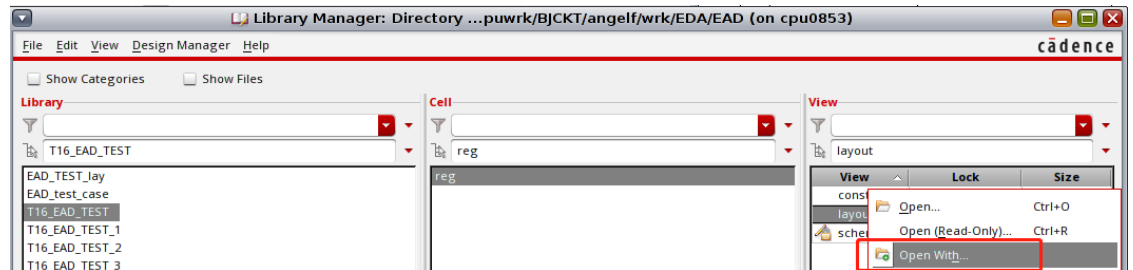
选中需要对称分布的两个 instance（按 shift 键选中第二个），按下图中的步骤操作：



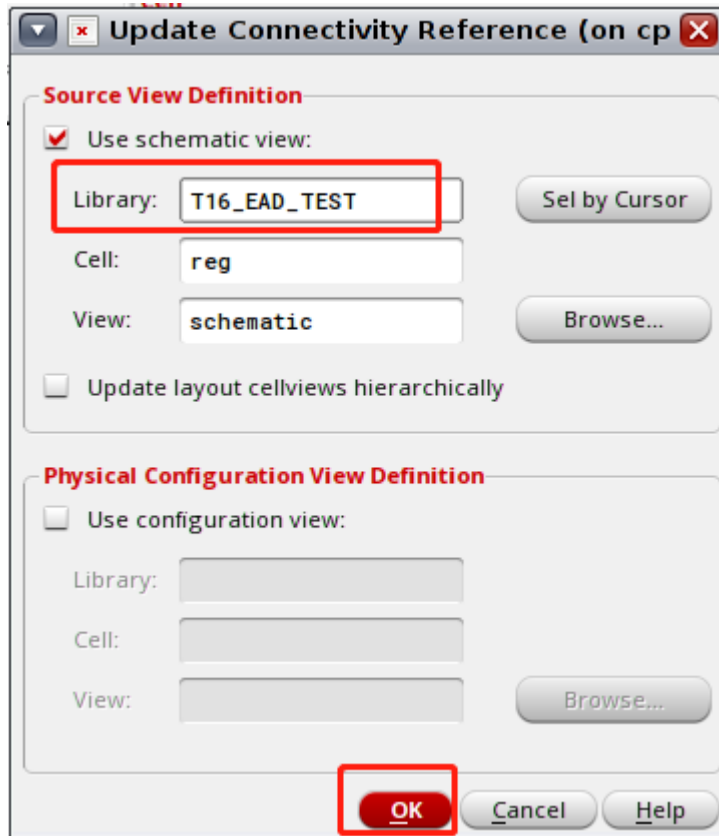
其他的 constrain 设置与上述这几种都类似，请根据自己的需求进行设置。

二、将 schematic 中的 constrain 导入到 layout 中

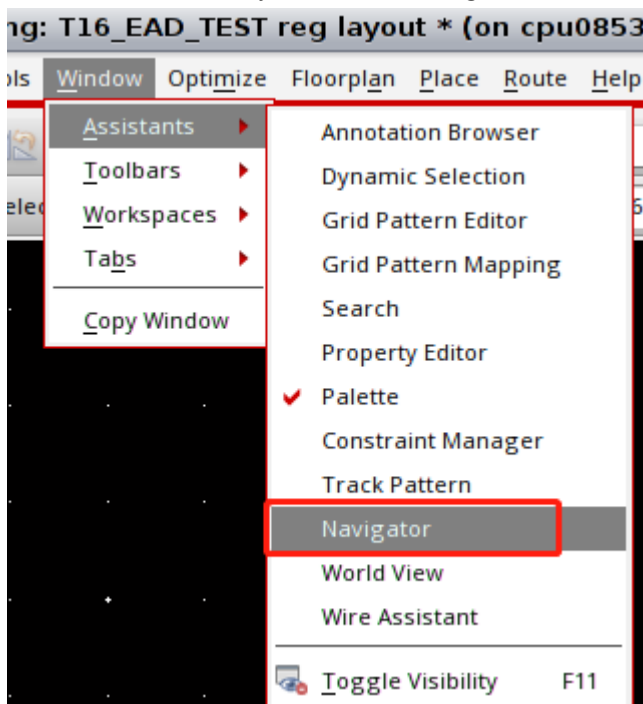
1. 首先需要将 layout copy 到与 schematic 同一个 cell 下，使 layout 具有 edit 权限
2. 与 schematic 类似，用 layout XL 打开 layout



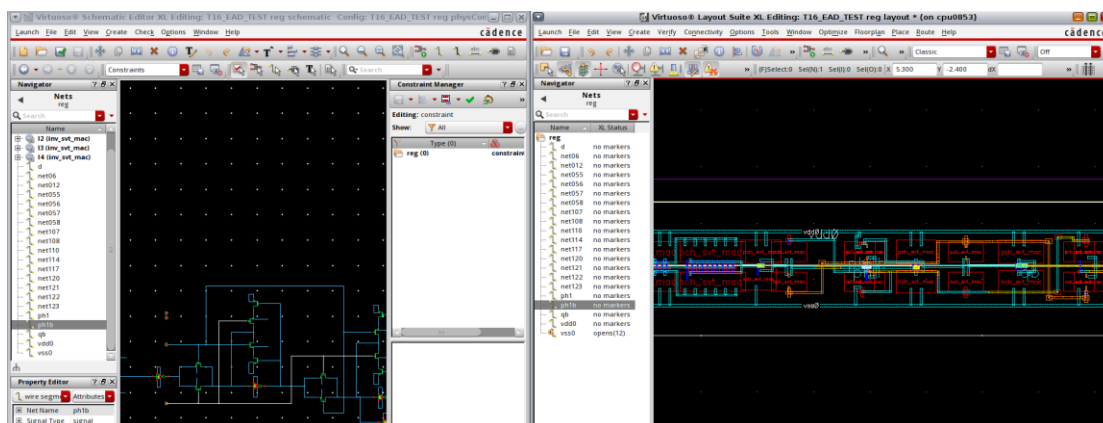
3. 然后会弹出一个 update connectivity reference 的对话框，这个是为 layout 指定与其对应 schematic, 所以在 Library 处输入 schematic 所在的 Library (或者点 Browse, 选择对应的 Library, cell 和 view), 然后点 OK 就可以，如下图所示：



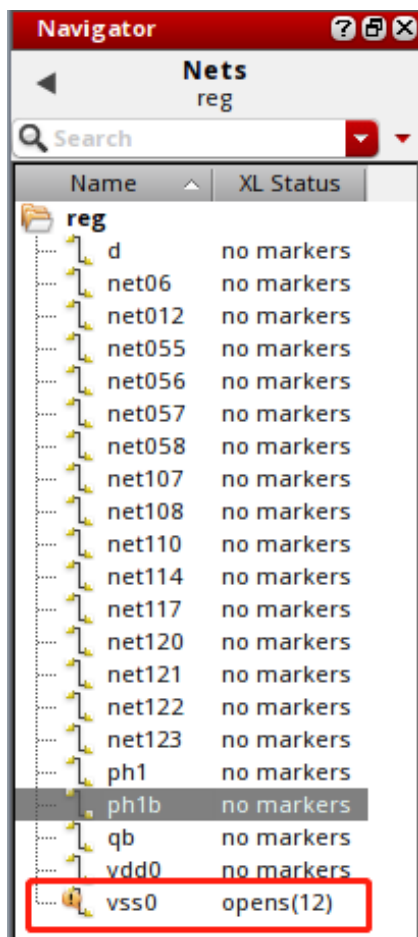
4. 为了方便使用，在 layout 中打开 Navigaor 菜单，操作如下图：



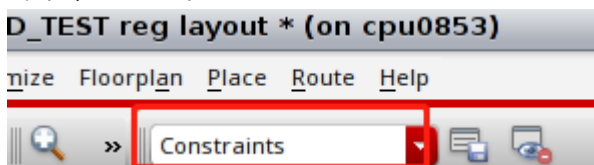
5. 此时，在 layout 中选中某条 net，在 schematic 中，对应的 net 就会 highlight，反之，在 schematic 中选中某条 net，在 layout 中也会 highlight。如下图所示：



在 layout 的 Navigator 菜单中，net 名前面有叹号，或者 XL Status 为 open，表示该条 net 还没有完成，若 XL Status 为 no markers，表示该条 net 已经完成，如下图所示：



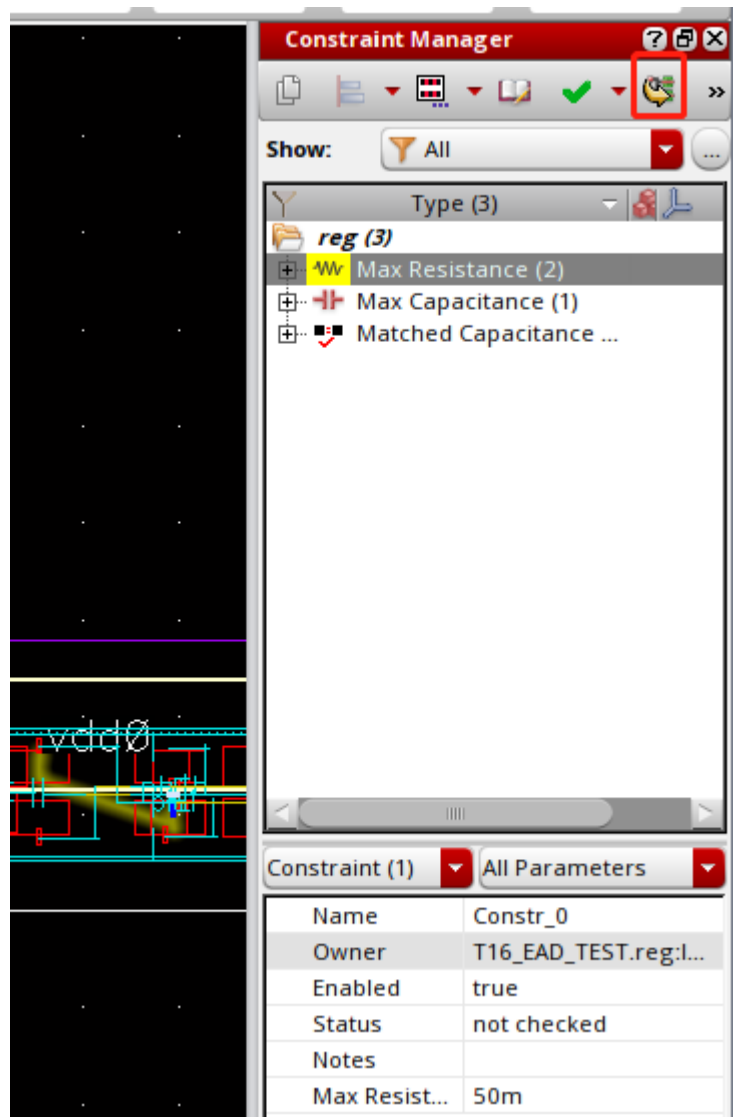
- 在 layout 中，如下红框圈住的地方选为 constraints，然后会有 constrain manager 的菜单显示出来。



检查 layout constrain list 中，有没有在 schematic 中设的 constrain，如果有，删除，

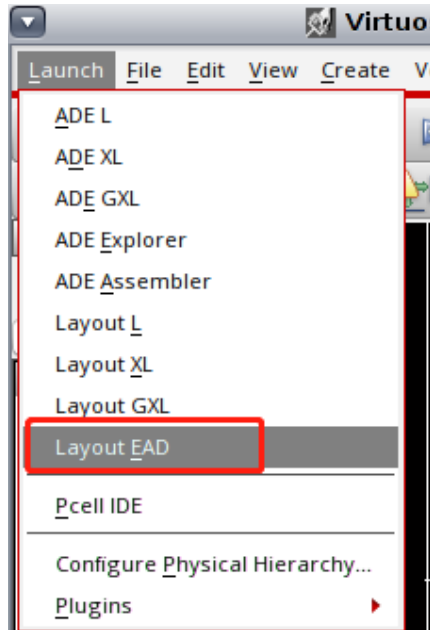


然后点击下图中红色框住的 update，在 schematic 中设的 constrain 就会被 update 到 layout 中，点击每条 constrain，在 layout 图中也会被 highlight，如图中的黄线所示。



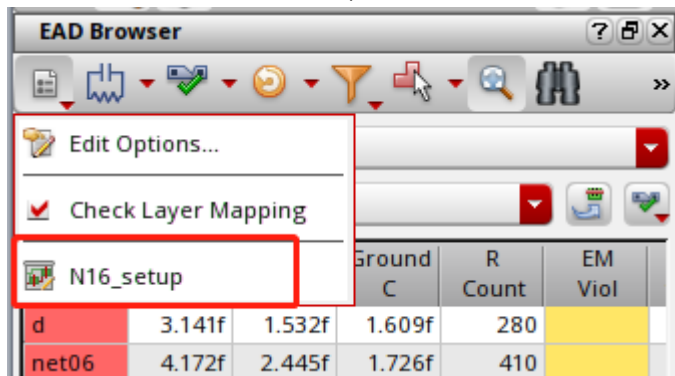
### 三、RC 提取

1. 不要关闭 schematic，在 layout 界面启动 EAD，点击 Launch->layout EAD

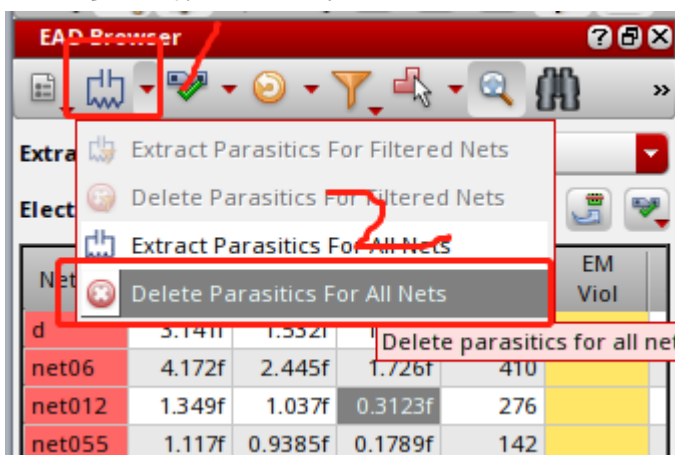


2. RC 提取 (由于 N7 目前没有 eadTechFile, 所以不能快速抽 RC, 只能选高精度的模式抽 RC)

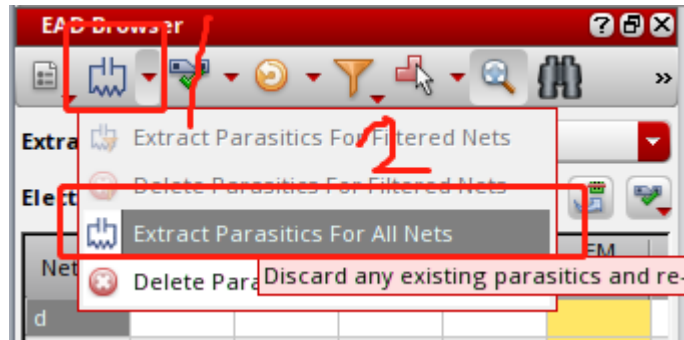
(1) 在 EAD Browser 中, 选择 setup 文件 (此说明是以 T16 为例, 所以选择 N16\_setup)



(2) 按如下步骤删除所有 net 的 RC

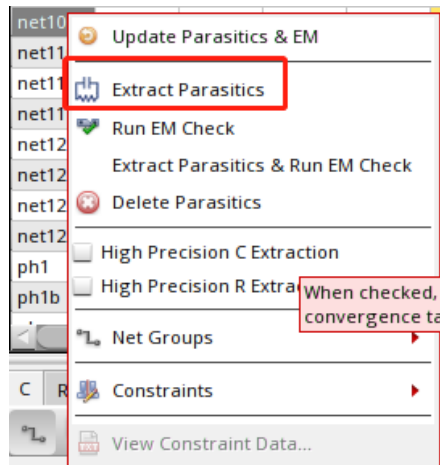


(3) 按如下步骤, 抽取所有 net 的 RC



也可以选中某条 net，点右键，选 Extract Parasitics，抽取某条 net 的 RC 参数，如下图所示。

注：High Precision C/R Extraction 是指用高精度的抽取方式抽取 RC，选用该方式抽 RC 的 net 在最后结果中会以加粗的字体方式 highlight 出来，但由于高精度抽取会花费较长的时间，所以一般不推荐使用此方法。



(4) 如下所示为 RC 抽取结果：

在如下的表格中，红色标出的，表示是 violation，net 那列，黄色标出的表示没有连接完成的 net（因为测试用的 rule 是 AE 自己生成的，layer map 可能有点问题，所以在 Navigator 中 vdd0 显示完成了，在该视图中 vdd0 显示没有完成，在这儿这个问题先 ignore）

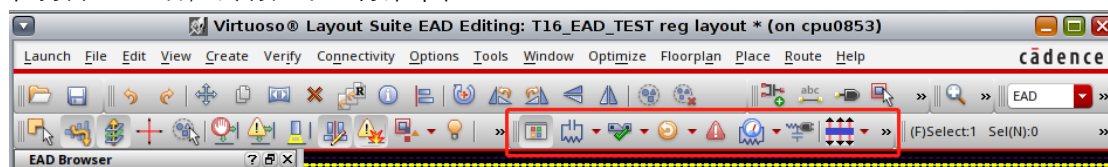
Net	Total C	Coupled C	Ground C	R Count	EM Viol	J/Jma
d	2.013f	1.177f	0.8354f	280		
net06	3.042f	2.027f	1.015f	410		
net012	1.272f	0.9671f	0.3049f	276		
net055	1.114f	0.7254f	0.3885f	142		
net056	1.118f	0.724f	0.3936f	142		
net057	1.132f	0.7721f	0.3601f	142		
net058	1.127f	0.7739f	0.3528f	142		
net107	0.4921f	0.2273f	0.2648f	47		
net108	0.9311f	0.5805f	0.3506f	73		
net110	0.9159f	0.6052f	0.3107f	107		
net114	1.165f	0.6372f	0.5274f	108		
net117	0.4867f	0.2809f	0.2058f	52		
net120	0.0461f	0.0406f	0.0055f	7		
net121	0.0442f	0.0392f	0.0049f	7		
net122	0.0465f	0.0409f	0.0055f	7		
net123	0.0478f	0.0423f	0.0055f	7		
ph1	1.093f	0.676f	0.4172f	75		
ph1b	1.117f	0.6866f	0.4306f	78		
qb	0.4147f	0.2876f	0.127f	50		
vdd0	2.948f	1.556f	1.392f	272		
vss0	2.829f	1.269f	1.561f	256		

High Precision C Extraction 结果呈现，如图中所示，O 和 VDD 两条 net 使用 High Precision C Extraction，所以在结果中加粗 highlight 出来。

Net	Total C	Coupled C	Ground C	R Count	EM Viol	J/Jmax	Max Drop
I	0	0	0	31	0	93.35m	94.47u
<b>O</b>	0.9037f	0.4598f	0.4439f	26	8	37.92	8.917m
<b>VDD</b>	0.9658f	0.1358f	0.83f	64	30	766.7K	116.3
VSS	0	0	0	70	8	35.01	2.656m

- (5) 在 layout 中测量某一段 net 的 R (补充内容)

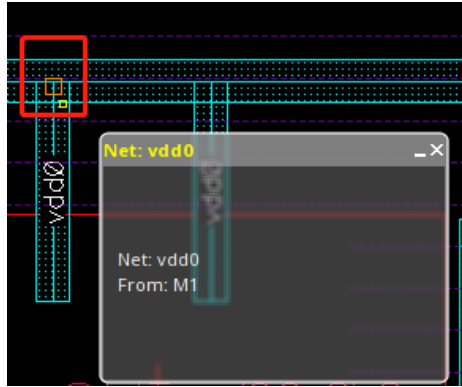
在打开 EAD 后，会有如下一行菜单栏



点击如下图标



如下图所示中，黄色方框可以点的地方，表示 layout 中可以取的点



选中要测量的两点后，会出现以下窗口，显示所属 net、该段 net 的 res 等信息。



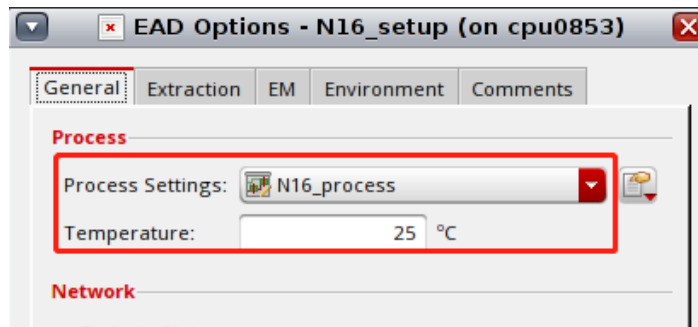
#### 四、搭建仿真电路，获取 EM IR 信息

##### 1. EAD option 设置

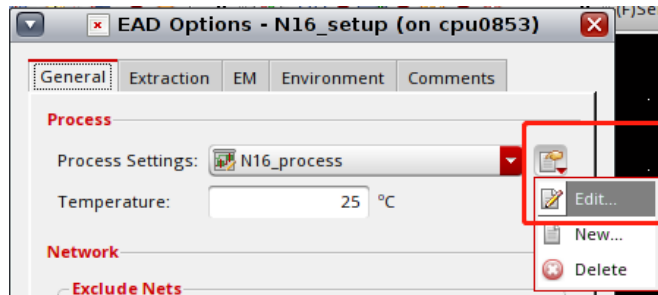
- (1) 在 EAD Browser，操作如下图所示，选择 Edit Option



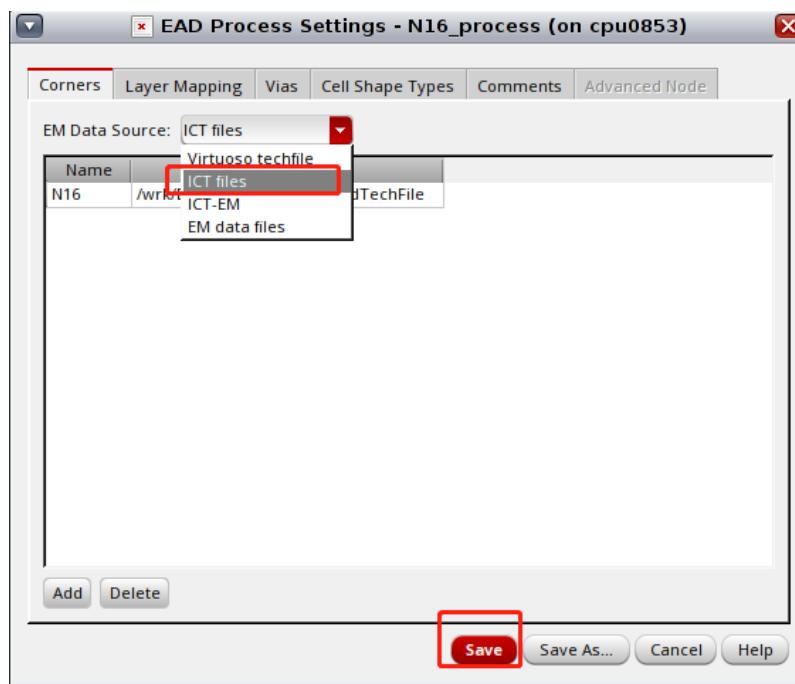
- (2) 如下图所示，选择对应的 Process Settings，设置仿真的 temperature



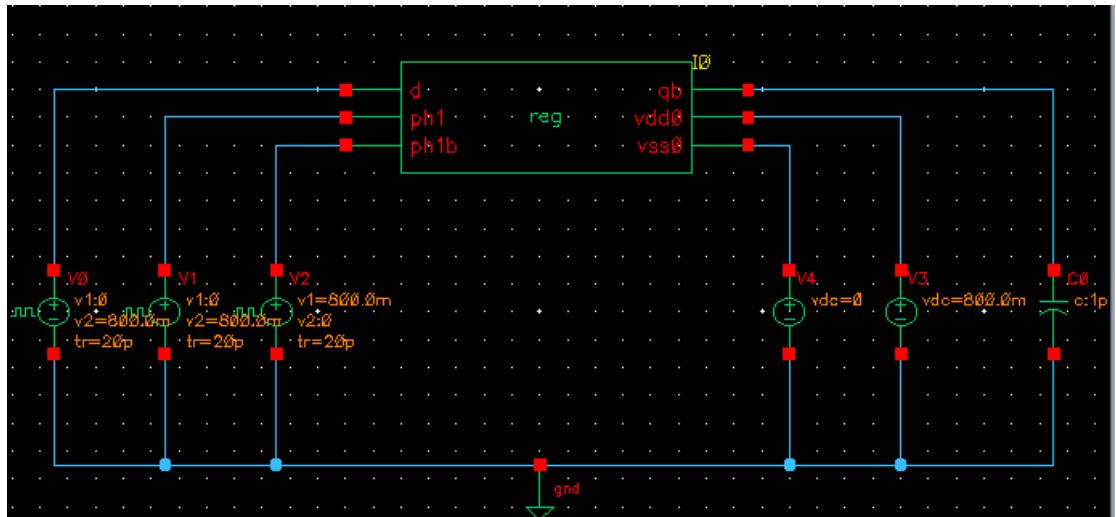
(3) 设置 EM data source, 操作如图, 选择 edit



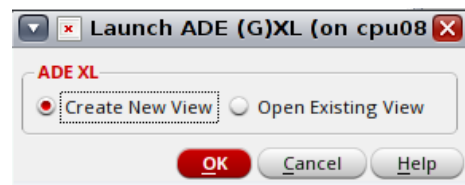
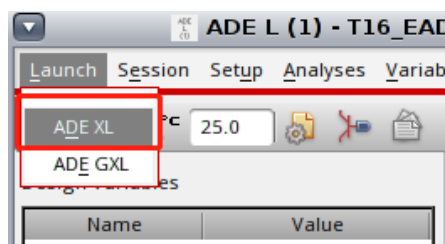
在 EAD process settings 中, EM data source 选择 ICT files, 然后点击 save 保存, EAD options 对话框点击 OK 保存设置。如下图所示: (在 N7 中, 测试时该项选择 ICT-EM, 后面若有改变, 再邮件通知大家)



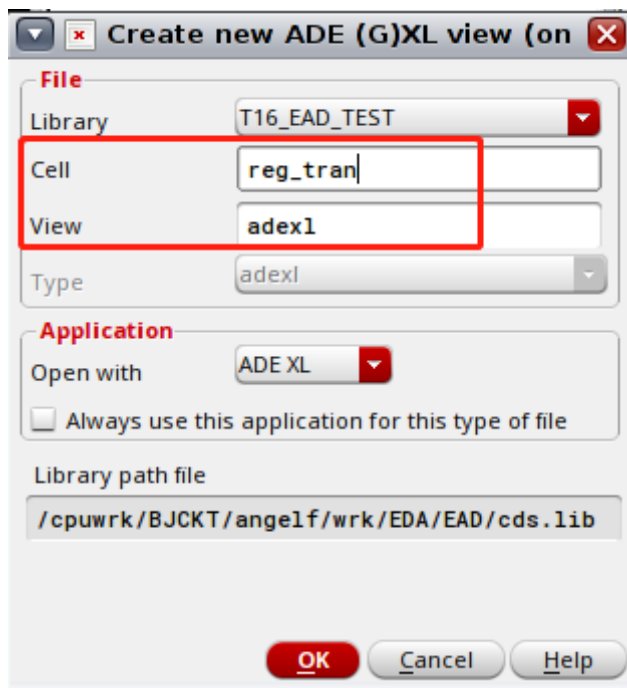
2. 搭建仿真电路, 创建 ADE XL view, 以如下电路为例:



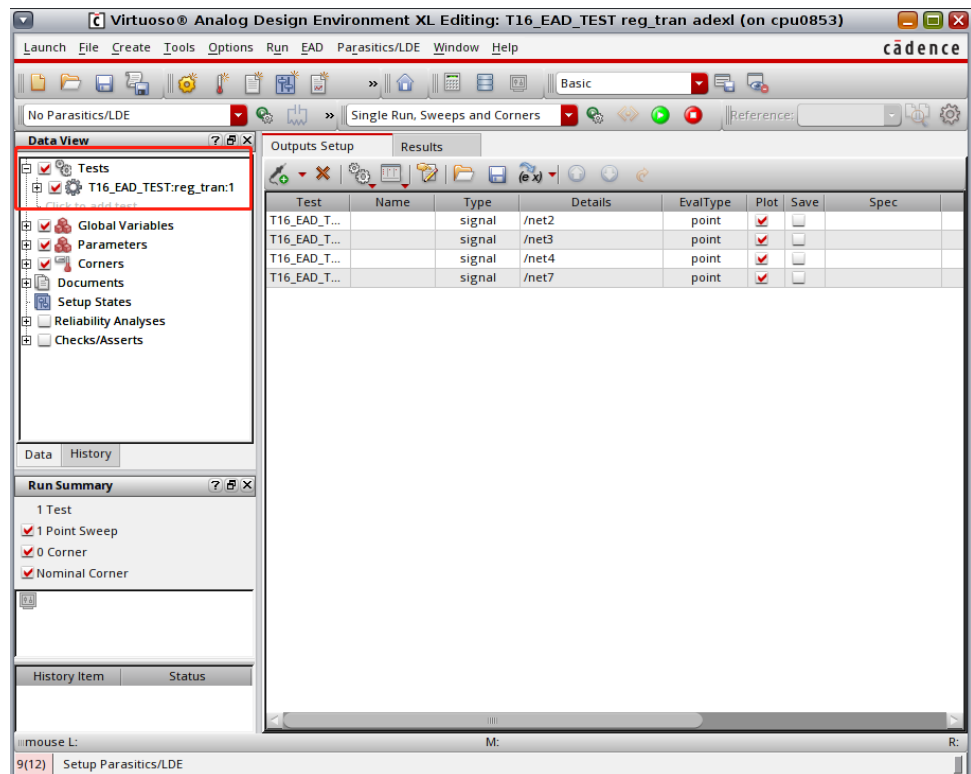
- (1) 在仿真电路的 schematic 中启动 Launch ->ADE L
- (2) 在 ADE L 的界面下 setup 仿真环境，建立完之后，点击 run,跑仿真看看是否正确。
- (3) 在 ADE L 界面下，Launch->ADE XL，并且选择 Create New View，点击 OK



- (4) 然后在弹出的界面中，设置 cell name, view 为 adexl, 点击 OK



弹出的 ADE XL edit 窗口如下图所示：

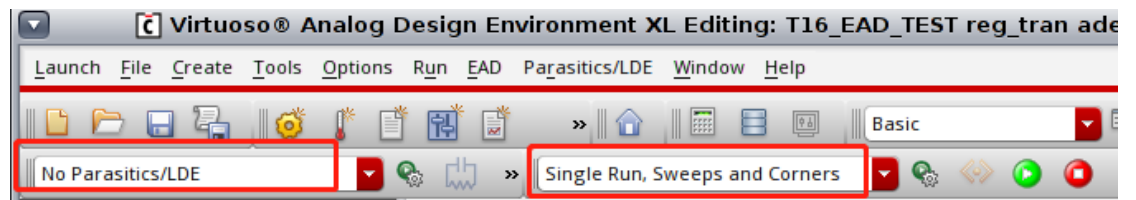


### 3. 仿真

#### (1) Presim

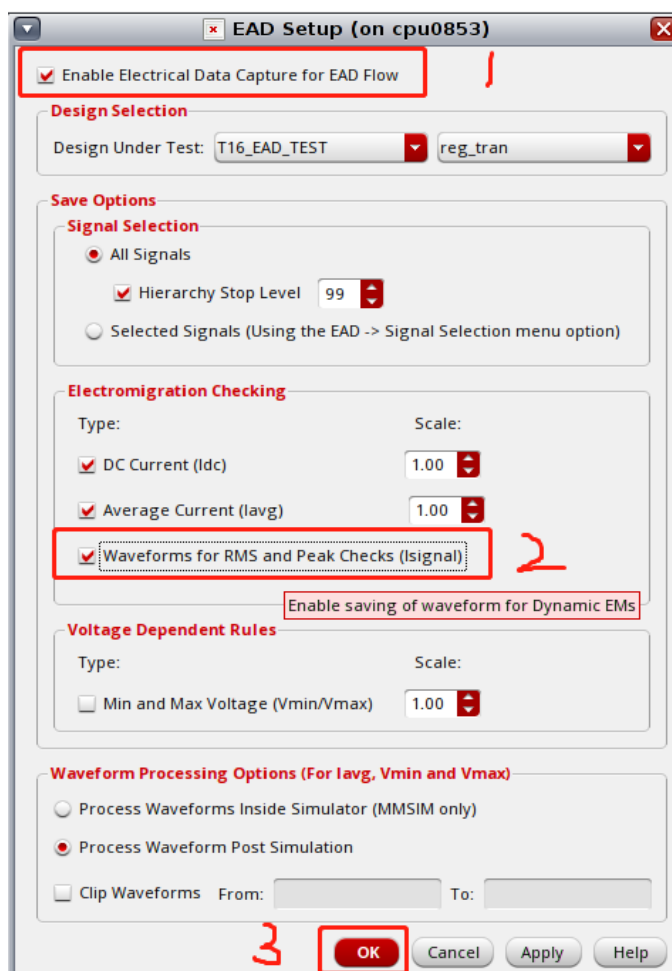
##### A. 前仿环境设置

先检查如下红色框住的地方与图中一致

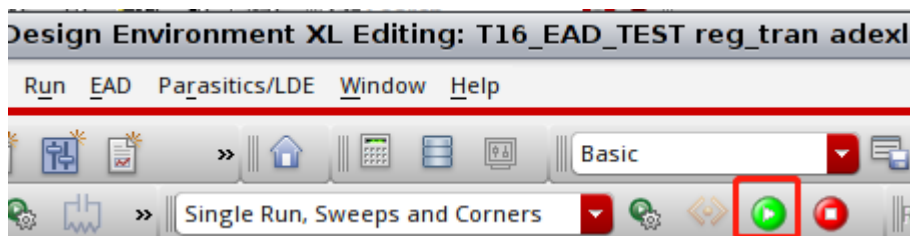


再在菜单栏中选择 EAD->Setup, 弹出如下对话框, 按图中步骤操作进行设置



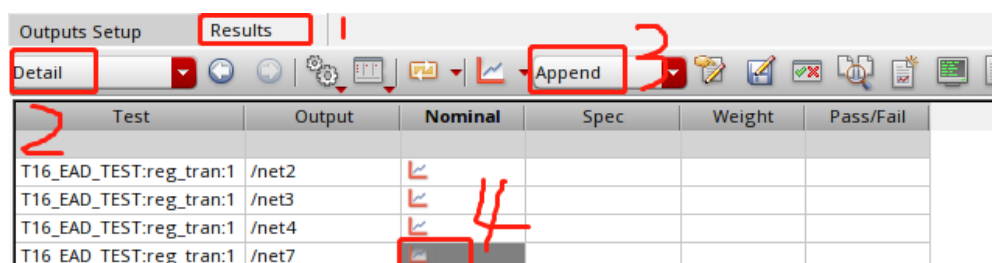


然后点击绿色图标，run 该仿真



B. 查看仿真结果：

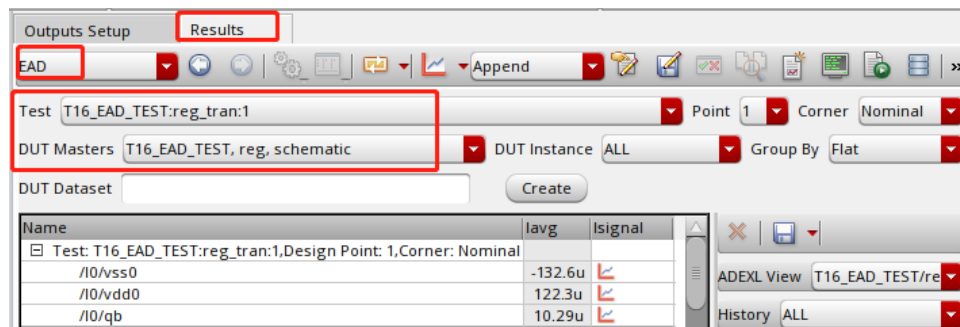
在下图中红色框住的地方选择对应的设置：



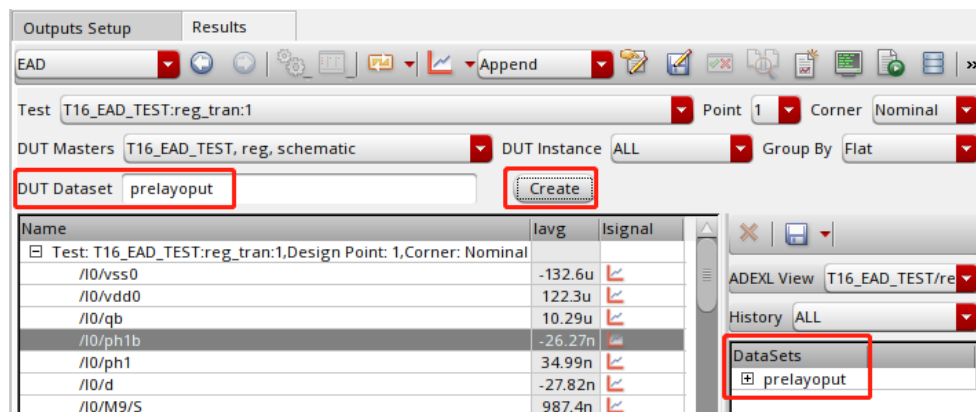
双击上图中的波形图标，如 4 处，可以用 viva 查看仿真结果。

C. 保存仿真结果

在如下图中红色框住的地方恢复为图中的设置：



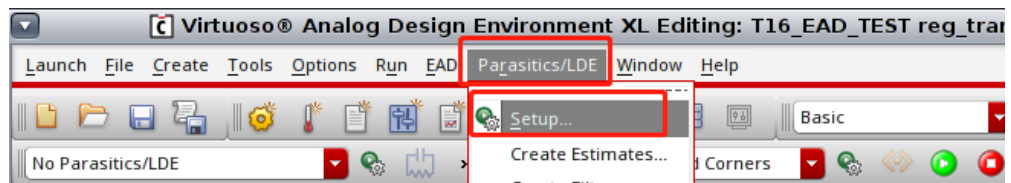
在 DUT Dataset 处随意写入一个名字（我以 prelayout 为例），点击 Create，这样就将 presim 的结果保存在 prelayout 中，并在左下角中会看到+prelayout，如下图所示。



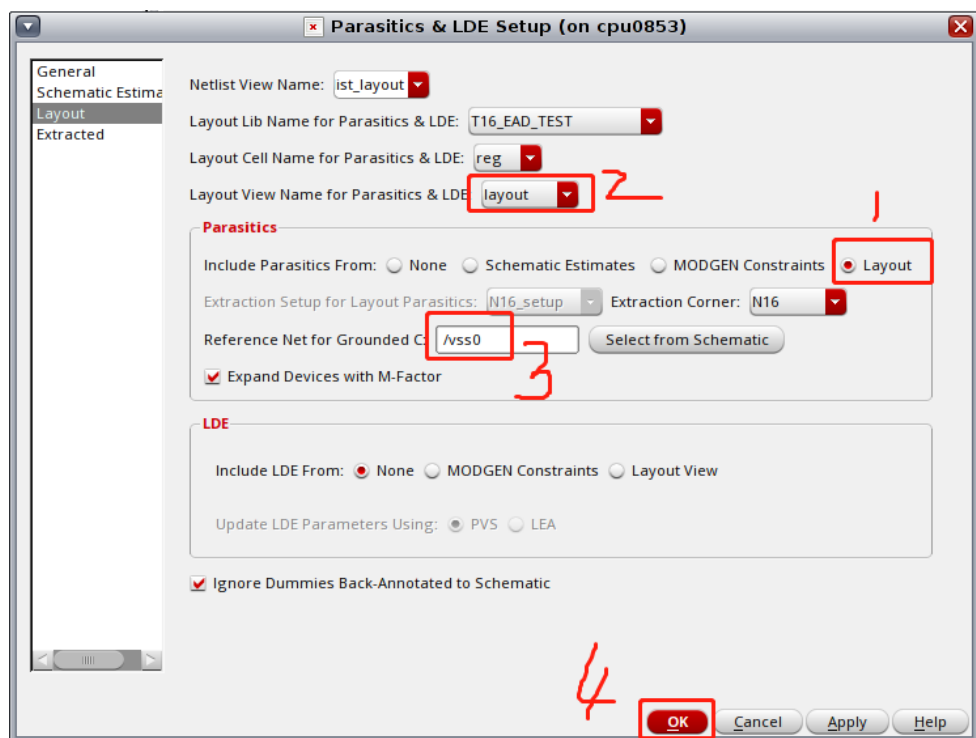
(2) Postsim

A. 仿真环境设置

在 ADE XL 的菜单中选择 Parasitics/LDE->setup

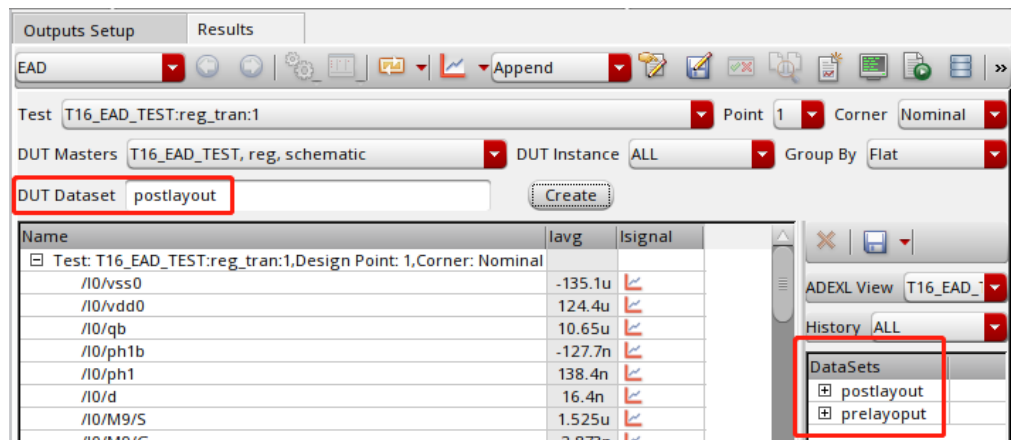


弹出如下对话框，按图中的步骤进行操作：



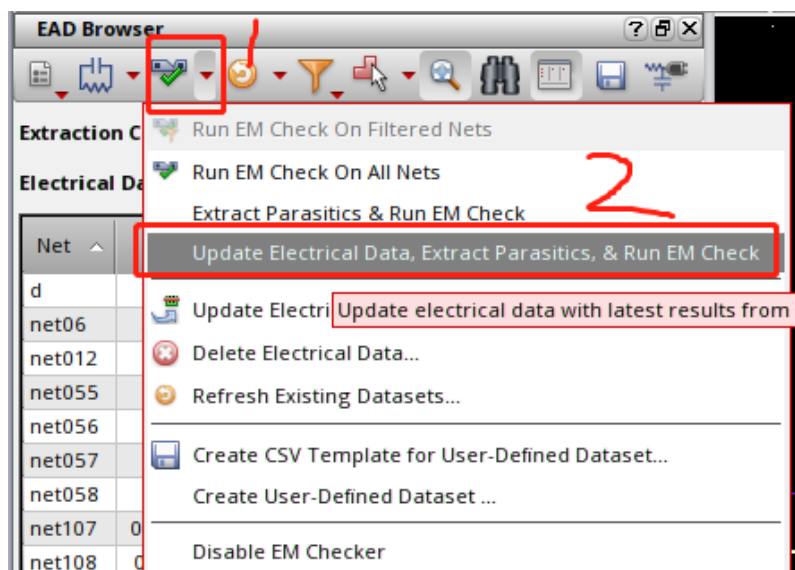
然后同样点击绿色图标，run 后仿。

- B. 查看仿真结果（与 presim 的操作相同）
- C. 保存仿真结果（与 presim 的操作相同，我将结果保存为 postlayout），如下图：

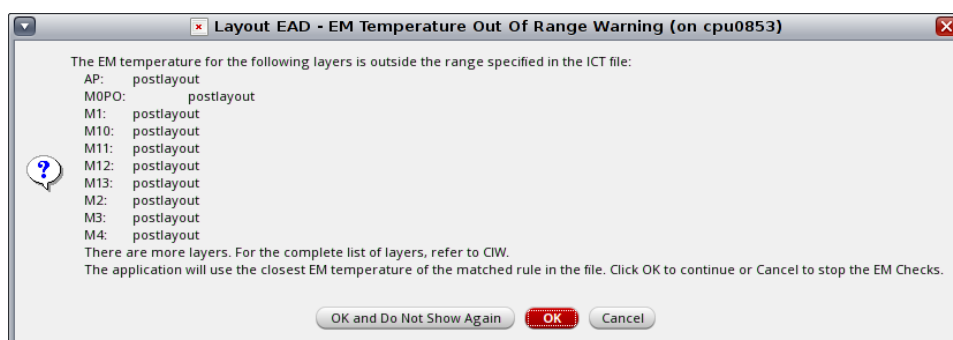


#### 4. EMIR 检查

- (1) 关闭 ADE L，ADEXL，viva 等界面，留下 schematic 和 layout
- (2) 在 layout 的 EAD Browser 中按图中的步骤操作



如果有如下的提示框弹出，点击 OK 就可以。



- (3) 然后再表格中就会看到 EMIR 信息，在 Electrical Dataset 中，可以选择刚才仿真的结果 prelayout/postlayout，如下图所示。在 EMIR 的结果中，红色 highlight 出来的表示 violation，黄色表示超过 limit 的 75%。

The screenshot shows the EAD Browser window. The 'Electrical Dataset' dropdown menu is open, showing 'prelayout' and 'postlayout' options. The table below shows EMIR results for various nets, with some cells highlighted in red and yellow.

Net	Total C	All	CUSTOM	Max Drop
net058	1.127f			207u
net107	0.4921f	0.5805f	0.3506f	51.52u
net108	0.9311f	0.5805f	0.3506f	13.14u
net110	0.9159f	0.6052f	0.3107f	55.52u
net114	1.164f	0.6377f	0.5267f	30.78u
net117	0.4867f	0.2809f	0.2058f	23.58u
net120	0.0461f	0.0406f	0.0055f	0
net121	0.0442f	0.0392f	0.0049f	0
net122	0.0465f	0.0409f	0.0055f	0
net123	0.0478f	0.0423f	0.0055f	0
ph1	1.093f	0.6743f	0.4184f	5.42u
ph1b	1.117f	0.6872f	0.4301f	3.835u
qb	0.4147f	0.2876f	0.127f	10.53m
vdd0	2.948f	1.556f	1.392f	12.91m
vss0	2.843f	1.267f	1.576f	13.83m

- (4) EAD 默认只 highlight 超过 limit 的 75%以及 violation 的信息，在 layout 中 highlight 这些 net 的操作方法如下：  
 先在表格中选中 violation 的 net，选择 EM，点一下！号，就可以在 layout 中 highlight 出来，如下图：

vdd0	2.948f	1.556f	1.392f	272	0	753.3m	12.91m
vss0	2.843f	1.267f	1.576f	258	2	1.746	13.83m

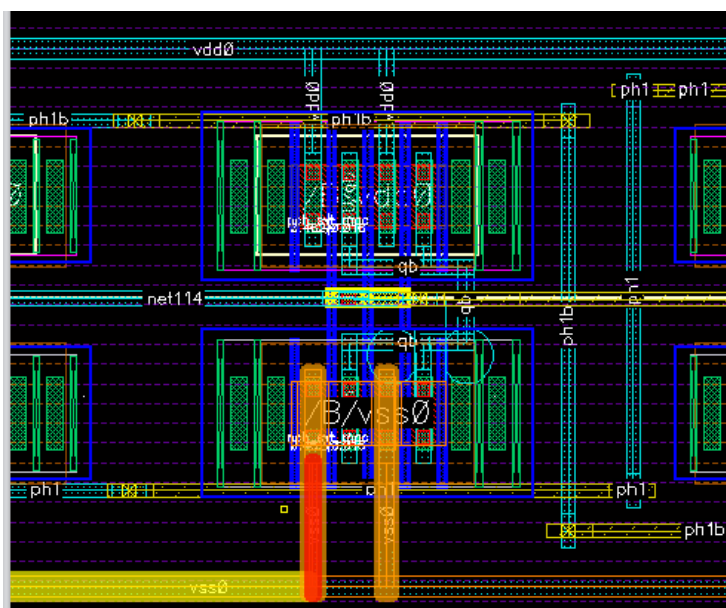
  

C	R	Compare	EM	IR Drop
---	---	---------	----	---------

Worst-case

EM Results (vss0, 2 violations)

R	J/Jmax Worstcase	J/Jmax Static-Avg	Layer	W	L
5.155	1.746	1.746	M1	0.02	0.147
5.161	1.746	1.746	M1	0.02	0.148
2.349	819.5m	819.5m	M1	0.038	0.112
8.363	819.5m	819.5m	M1	0.038	0.416



关于每条 net 的 R、C、EMIR 等详细的信息，可以在如下的位置中查看。

qb	0.4147f	0.2876f	0.127f	50	0	502.2m	10.53m
vdd0	2.948f	1.556f	1.392f	272	0	753.3m	12.91m
vss0	2.843f	1.267f	1.576f	258	2	1.746	13.83m

C	R	Compare	EM	IR Drop
---	---	---------	----	---------

Search

Capacitance By Net (vss0, 0.2664f max, 0.0015f min)

To Net	Total C	Count
net055	0.2664f	72
net056	0.2644f	73
net06	0.1001f	34
d	0.0976f	29
ph1	0.0067f	20

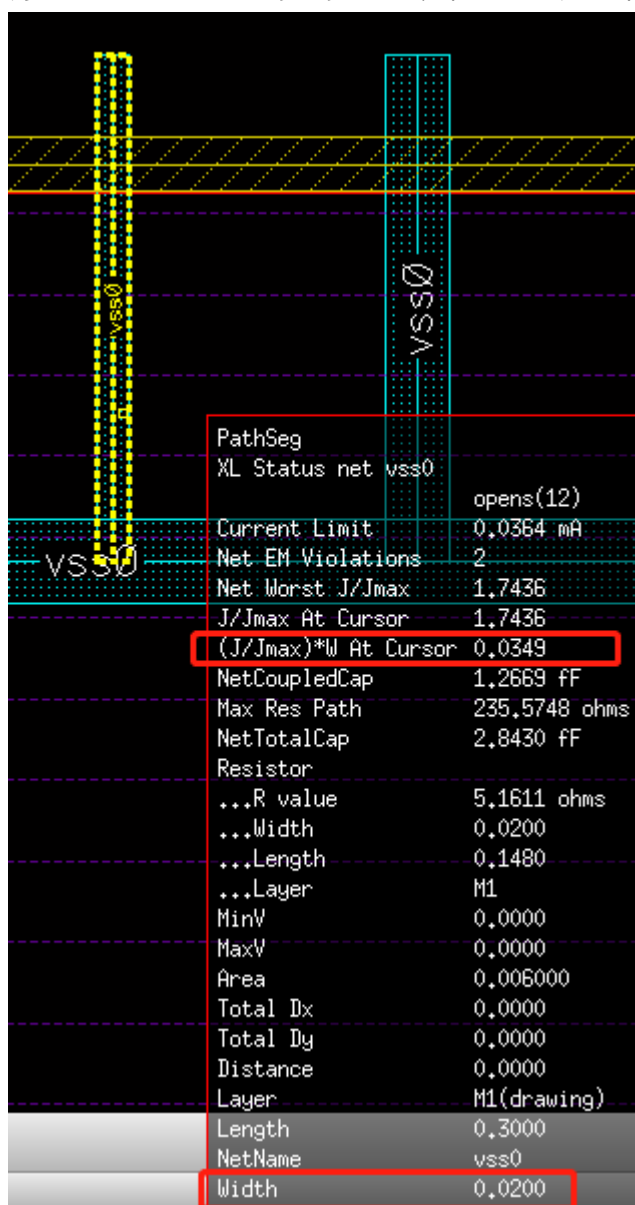
Coupling Caps (vss0, 1.267f coupled, 1.576f ground)

C	Layer	To Net	To Layer
0.0254f	M1	ph1	M2
0.0251f	M1	ph1	M1
0.023f	M1	ph1h	M2

- (5) 当 net 有 violation 时，获取 net 不 violation 时的最小 width  
点击菜单栏中类似灯泡的图标，如下图所示：

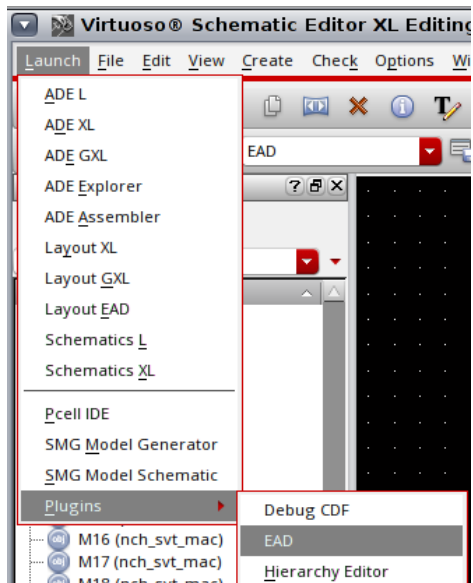


然后在 layout 中选中 violation 的那段 net，会出现如下图的提示框，其中最后一行 width 表示现在的 net width，中间红色框住的， $(J/J_{max}) * W$  At Cursor 的值为该 net 不 violation 的最小 width，但此值只是一个近似值。

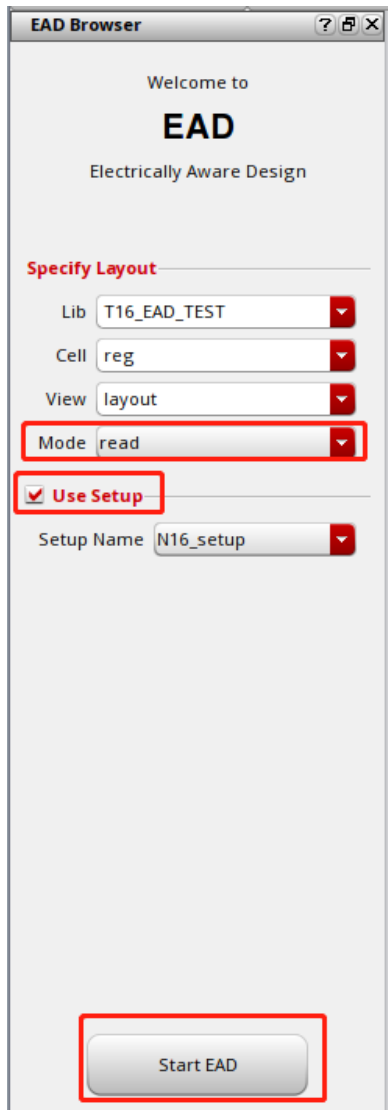


五、将 C, EM 等信息反标到 schematic 中

1. 在 schematic 中启动 EAD，操作步骤如下：Launch->Plugins->EAD

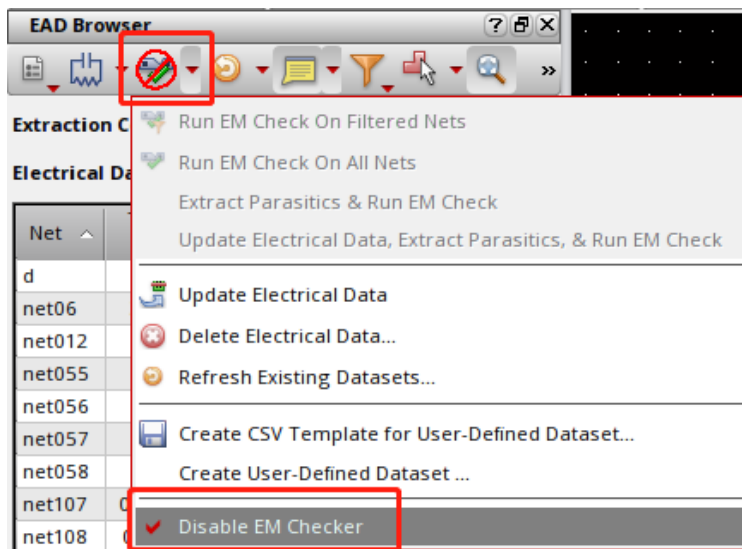


选择刚刚的 layout, mode 为 read, 同时勾选 use setup, 然后 start EAD

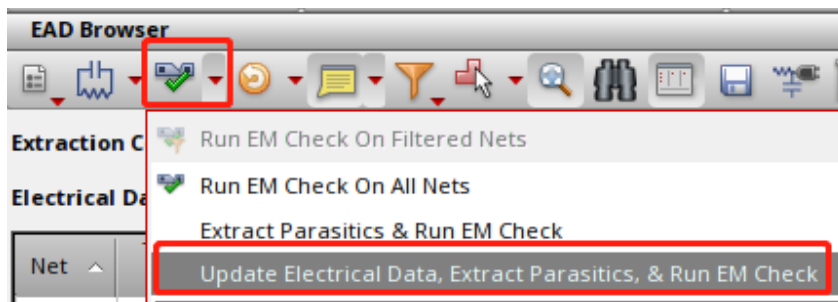


2. 在 schematic 中获取刚刚的 EMIR 信息  
先 enable EM check, 按如下步骤点 Disable EM Checker, 将 Disable EM Checker 前的

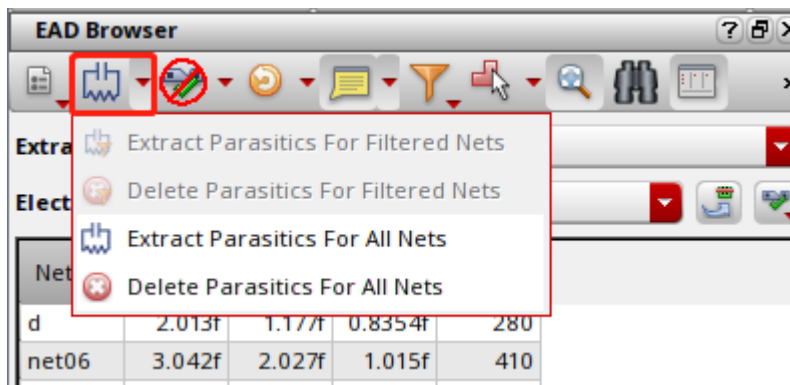
√ 去掉



然后在 Electrical Dataset 中选择一个 dataset，再按之前的方法 update 数据



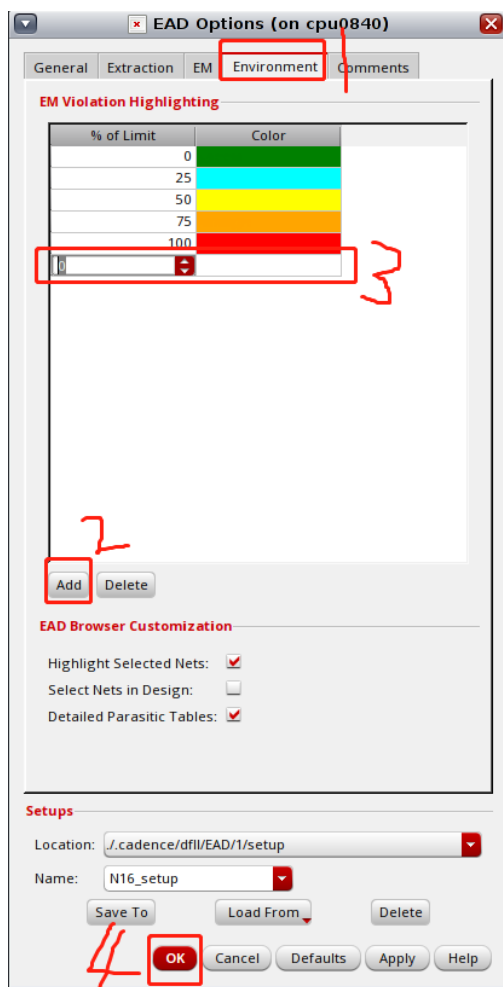
3. 如果不需要在 schematic 中反标 I 的信息，则不需要操作步骤 2，执行完步骤 1 之后，执行下面的操作。先 delete 数据，然后再 extract 数据。



4. 将 C,  $I_{avg}$  信息反标到 schematic 中  
先选择要反标的信息，C 或 I 或者 C 和 I，根据需要对如下黄色框住的内容进行选择，选择完之后 schematic 中会有相关信息。



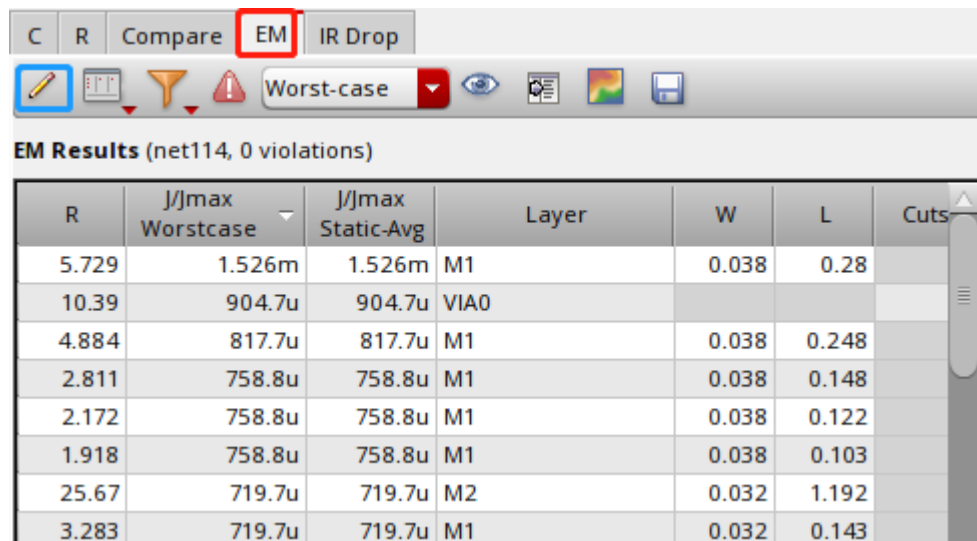




如上设置之后，Dataset 数据呈现如下：

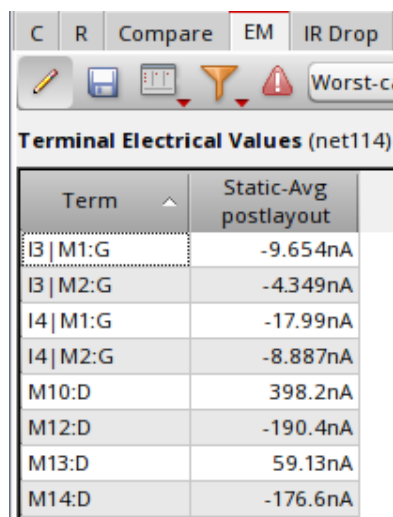
Net	Total C	Coupled C	Ground C	R Count	EM Viol	J/Jmax	Max Drop
d	2.013f	1.177f	0.8354f	280	0	73.85u	1.937u
net06	3.042f	2.027f	1.015f	410	0	25.34m	278.8u
net012	1.272f	0.9671f	0.3049f	276	0	7.928m	87.28u
net055	1.114f	0.7254f	0.3885f	142	0	25.48m	290.9u
net056	1.118f	0.724f	0.3936f	142	0	7.923m	90.45u
net057	1.132f	0.7721f	0.3601f	142	0	7.958m	91.77u
net058	1.127f	0.7739f	0.3528f	142	0	25.36m	292.5u
net107	0.4921f	0.2273f	0.2648f	47	0	2.961m	111.2u
net108	0.9311f	0.5805f	0.3506f	73	0	725u	26.28u
net110	0.9159f	0.6052f	0.3107f	107	0	3.21m	101.9u
net114	1.165f	0.6372f	0.5274f	108	0	1.526m	52.12u
net117	0.4867f	0.2809f	0.2058f	52	0	687.4u	24.61u
net120	0.0461f	0.0406f	0.0055f	7	0	0	0
net121	0.0442f	0.0392f	0.0049f	7	0	0	0
net122	0.0465f	0.0409f	0.0055f	7	0	0	0
net123	0.0478f	0.0423f	0.0055f	7	0	0	0
ph1	1.093f	0.676f	0.4172f	75	0	129.9u	5.499u
ph1b	1.117f	0.6866f	0.4306f	78	0	119.9u	3.909u
qb	0.4147f	0.2876f	0.127f	50	0	499.9m	10.5m
vdd0	2.948f	1.556f	1.392f	272	0	749.9m	12.9m
vss0	2.829f	1.269f	1.561f	256	0	818.3m	13.67m

随便选中一条 net，在下面的 EM 中会有详细的信息。



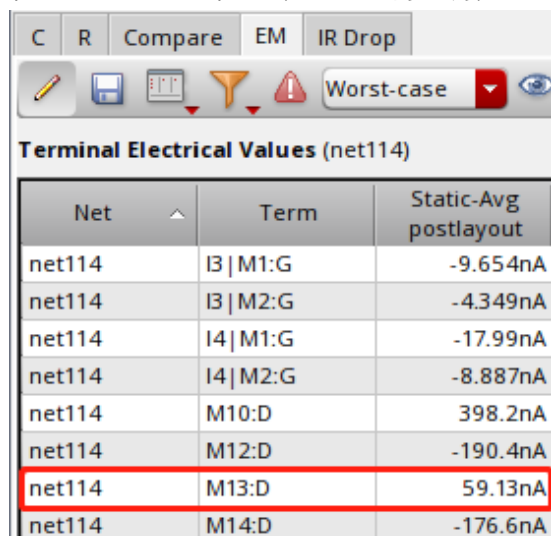
R	J/Jmax Worstcase	J/Jmax Static-Avg	Layer	W	L	Cuts
5.729	1.526m	1.526m	M1	0.038	0.28	
10.39	904.7u	904.7u	VIA0			
4.884	817.7u	817.7u	M1	0.038	0.248	
2.811	758.8u	758.8u	M1	0.038	0.148	
2.172	758.8u	758.8u	M1	0.038	0.122	
1.918	758.8u	758.8u	M1	0.038	0.103	
25.67	719.7u	719.7u	M2	0.032	1.192	
3.283	719.7u	719.7u	M1	0.032	0.143	

然后点击上图中蓝色框中的图标，呈现以下信息：



Term	Static-Avg postlayout
I3   M1:G	-9.654nA
I3   M2:G	-4.349nA
I4   M1:G	-17.99nA
I4   M2:G	-8.887nA
M10:D	398.2nA
M12:D	-190.4nA
M13:D	59.13nA
M14:D	-176.6nA

在 Term 那行点击右键，把 net 前打钩，呈现如下：



Net	Term	Static-Avg postlayout
net114	I3   M1:G	-9.654nA
net114	I3   M2:G	-4.349nA
net114	I4   M1:G	-17.99nA
net114	I4   M2:G	-8.887nA
net114	M10:D	398.2nA
net114	M12:D	-190.4nA
net114	M13:D	59.13nA
net114	M14:D	-176.6nA

红框中的信息表示 net114 到 M13 的 D 端的  $I_{avg}$  为 59.13nA，这些值就是在 schematic 中的  $I_{avg}$ 。