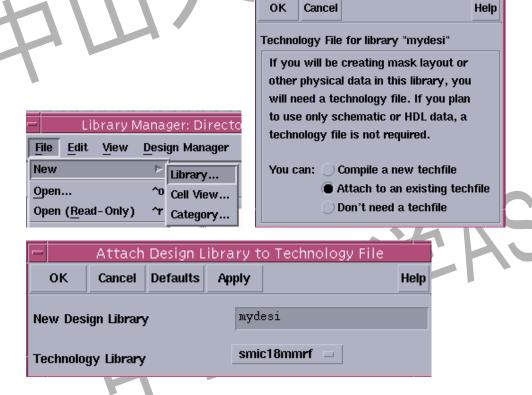
Cadence Virtuoso-XL 设计流程

——以反相器为例,从器件生成到验证的全过程图解

By 研 10 级 李志滔

登陆 UNIX 平台,输入 icfb &,进入 cadence,鼠标右键选择 Tools Library Manager... 新建一个设计库(如 mydesign),连接到 SMIC0.18 的工艺库中(切记)

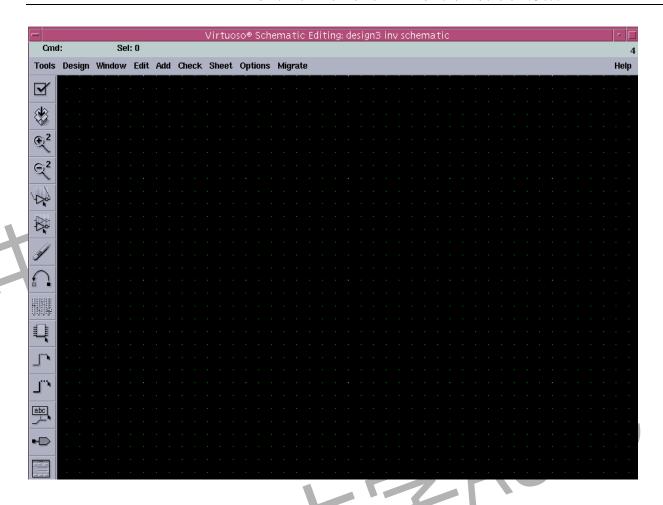
Technology File for New Library



然后新建一个 cell 单元,用于反相器的设计。本文档不再讨论手绘反相器版图部分,直接进入利用工艺库的元件生成版图的步骤。



首先进入电路图编辑版面:

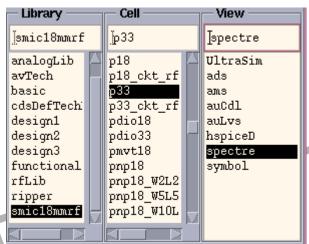


利用 add—instance 添加元件(快捷键为"i",请各位同学自己记住,下面不再重复叙述)。

dit	Add	Check	Sheet	0
	Insta	nce	i	

			8 dd 1 4	-
			Add Instanc	е
Hide	Cancel	Defaults		
Library	smic18m	mrf		Browse
Cell	р33į́			
View	spectre			
Names	Ĭ.			

按 browse 选择器件,如 PMOS (p33)

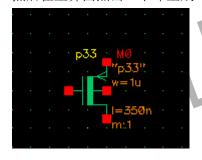




修改参数如下: 主要是把器件的硅栅长度和宽度修改一下,长 350nm,宽 1um。

Model Name	р33		
Multiplier	1		
Length	350n Mj		
Total Width	lu Mi		
Finger Width	lu Mį		

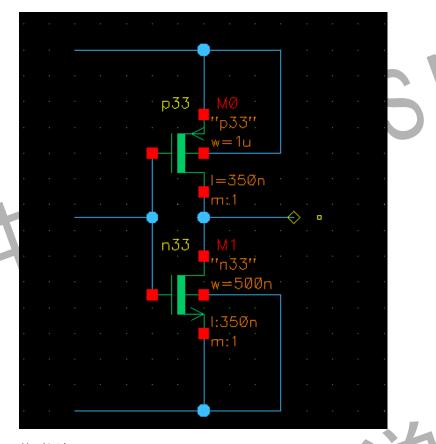
然后在主界面点击一下即生成一个器件,如图:



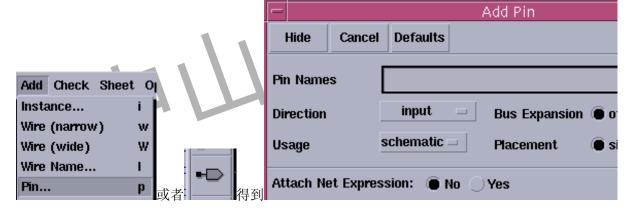
同样生成一个 NMOS,参数修改:长度 350nm,宽 500nm。

Model Name	n33		
Multiplier	1		
Length	350n Mj		
Total Width	500n Mi		
Finger Width	500n M		

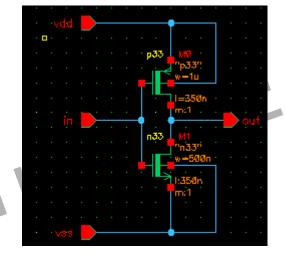
生成以后进行连线,得到如图所示的电路:



然后添加 I/O Pin:

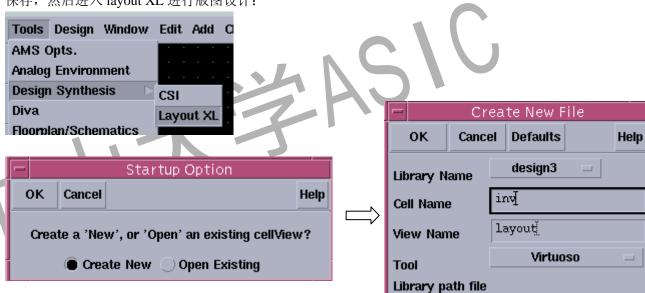


设置三个输入一个输出后得到如图所示:





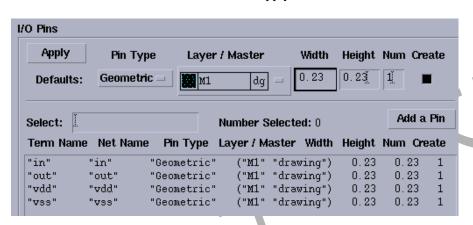
保存, 然后进入 layout XL 进行版图设计:



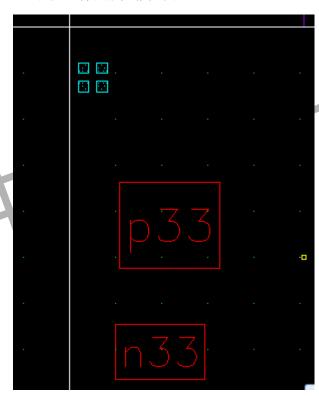
在 virtuoso 使用 gen from source 命令生成器件:



I/O Pin 修改成第一层金属(M1),然后 apply



OK 以后器件摆放大概如图:

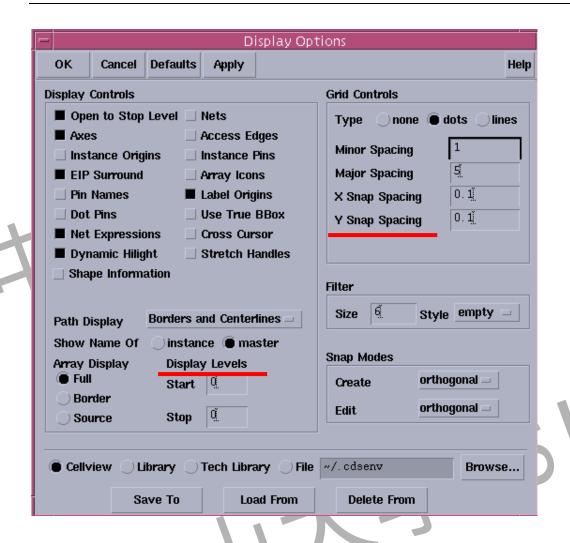


接着在进行版图布局布线前,先对 display 进行设置:



得到:

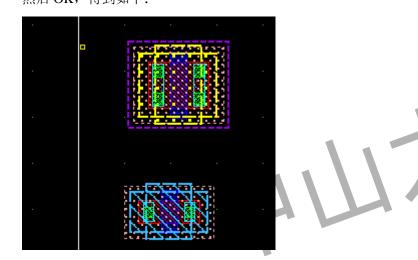


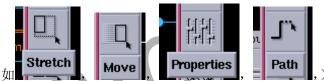


重点修改左下方的 display levels(显示层数),以及右上方的单元间距(snap spacing),前者能够让你看到原件的内部构造,后者能够让你修改更加精确。

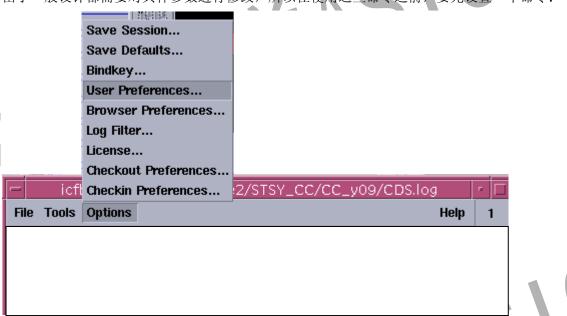
Display Levels		
Start 🤼	X Snap Spacing	0.005
Stop 11	Y Snap Spacing	0.005

然后 OK,得到如下:

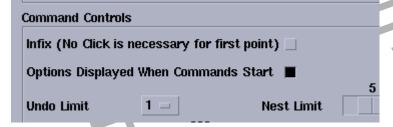




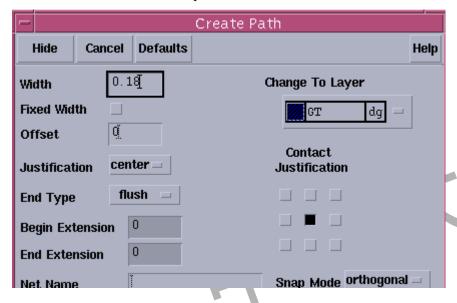
然后把器件进行放置、连线,使用各种命令(如**上**一人,**Move** ,**L** ,,)由于一般设计都需要对具体参数进行修改,所以在使用这些命令之前,要先设置一个命令:



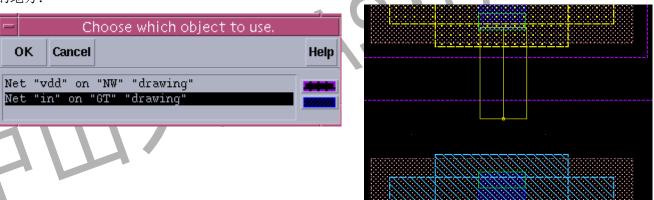
进入 CIW 窗口,options--user preferences,把 Options Displayed When Commands Start 点中,然后 OK, 此后,每当你选择一个命令,都会弹出一个菜单,你可以根据你的需要进行参数修改。



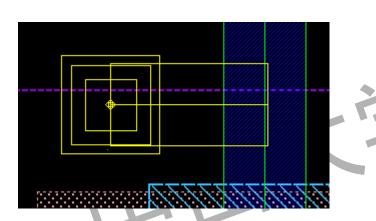
比如进行一个连线,使用 path 命令,点击后弹出菜单:



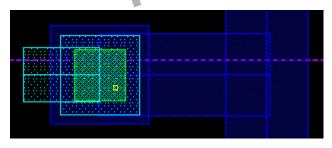
要连接栅极,选择 GT drw , 修改宽度为 0.35 (与电路图设置对应)。然后点击连线的地方:



双击确定,如果不能够对齐,则放大进行移动。如果需要打上接触孔的,可以使用 Change To layer 的命令,比如修改至金属 1 层(M1),则如图:

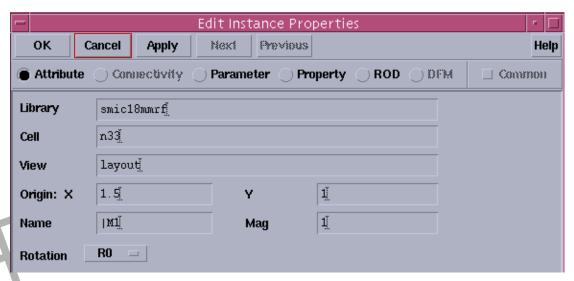


点击后下一步则为金属1层连线,最后确定:



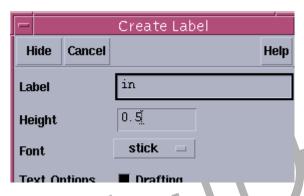
需要注意的是,虽然 virtuoso 提供了这一种打孔(via/contact)的方式,不过不代表这种方式的连线能够通过 DRC,有时候需要修改一下,具体可以参考 UCLA 的教程。

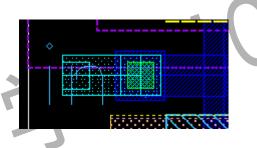
精确地对准器件最好使用修改坐标的方法: 如下;



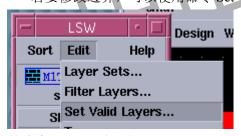
当布好线以后记得要对每一个 IO Pin 贴上标签,贴标签使用的层是 M1TXT(因为之前定义了 I/O Pin

为 M1 层), **对 M1 层**), 然后添加标签如图,记得标签名要与 74 原理图一致。





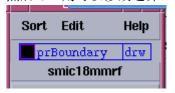
若要修改边界,可以使用命令 Set Valid Layers。



并选中 prBndry 如图:

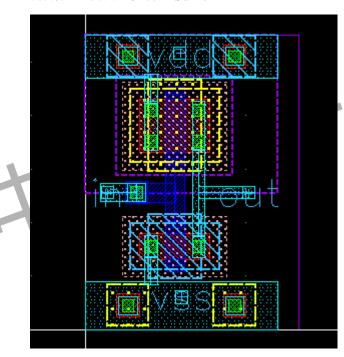


然后 OK 则可以修改边界。



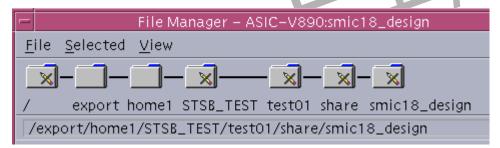


得到如图所示的结果(仅供参考) 衬底和 N 阱间也要打上接触孔。



然后进行 Assura 验证(这里是重点) 前期准备:

进入这个目录:



复制这个目录里面的一个文件夹以及一个文件到自己的目录里:





复制的方法可以利用 ctrl+c:



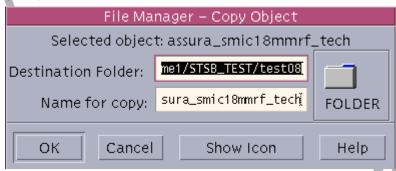
其中 destination folder 修改为自己帐号下的目录: 如:



/export/home1/STSB_TEST/test08

File Manager – Copy Object							
Selected object: assura_smic18mmrf_tech							
Destination Folder:							
Name for copy:	sura_smic18mmrf_techį́	FOLDER					
OK Cancel	Show Icon	Help					

拖动地址到 folder,得到如图:(必须保证地址准确,可以手动输入,不能完全显示的地方用方向键来回确认一下)

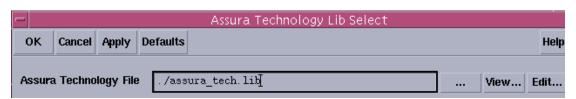


两个文件复制好以后进入下一步

在 virtuoso 的主界面进入 assura 的 technology。



选择刚才复制过来的 lib 文件:



DRC: 选择 run drc 命令:



弹出菜单,把中间的 technology 和 rule set 设置一下: (rule set 选用 M6 或者 M6 no bind 均可)

View Rules Files	■ Techr	nology	smic18mmrf =	R	ule Set	TopLevel_M6
如果正常识别,	是这个样	子:				
View Rules Files	■ Tec	hnology	smic18mmr	f 🗆 📗	Rule Set	TopLevel_M
☐ Rules File	RL4PM6P_a	RL4PM6P_asr018_mixlog_sali_p1mtx_1833.drc				
Switch Names	Mixed_Sig	Mixed_Signal flagOffGrid				
RSF Include						View
Variable	Value	D	efault	Description		

如果前面复制不到,或者复制错误得不到这个结果的,请回去检查一下。



一般运行后报错误都会很多,尝试去读懂每一个错误在什么地方,由于它对每个金属多晶硅等有密度要求,所以这样的初级布局会有很多这样的错误,在本例中可以暂时忽略,在实际的版图设计需要额外进行填充。而其他的规则错误则尽可能去进行修改,

[1] GT.12: Min. GT density must be greater than 14%
[1] M2.7: Min. M2 density 30%
[1] M3.7: Min. M3 density 30%
[11] MiM 9: Min density of MiM nattern 3%

(上图的这些错误可以暂时忽略)

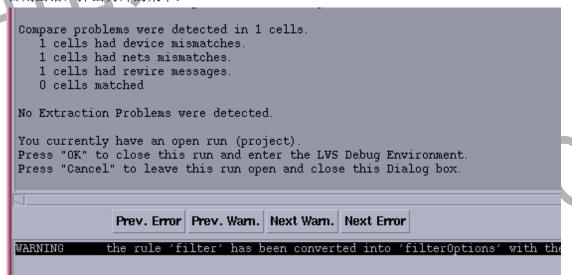
LVS: LVS 的验证设置与 DRC 大致一样:

View Rules Files	•	Technology	smic18mmrf —	Rule	Set	TopLevel_M	6_No_Bin
☐ Extract Rules	ign/	assura_smic18	mmrf_tech/lvs/ext	ract.rul		View	Reload
☐ Compare Rules	b18_	design/assura	a_smic18mmrf_tech/	lvs/compare.ru	ul	View	
Switch Names						Set Swi	tches
☐ Binding File(s)						View	
RSF Include	assu	ra_smic18mmrf	_tech/lvs/smic18_	lvs_include.r	sf	View	

如果没有连线错误,且各器件 I/O Pin 都对应上,则弹出如下菜单



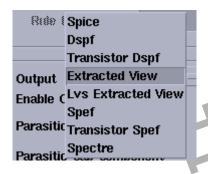
否则出错,弹出另外的菜单:



尝试读懂出错的地方:一般是连线错误,或者漏了一些线,或者没接上电源或地之类的,需要注意,这一步通过了才能够进行下一步的 RCX 参数提取。



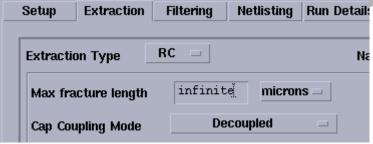
RCX:参数提取可以生成若干类型文件,本例使用 Extracted View,能够直观从版图中看到寄生参数



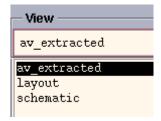
修改 setup dir 的路径,在后面添加/rcx/mixed:



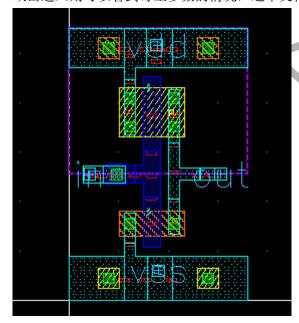
一般提取的参数为 RC, 默认即可。

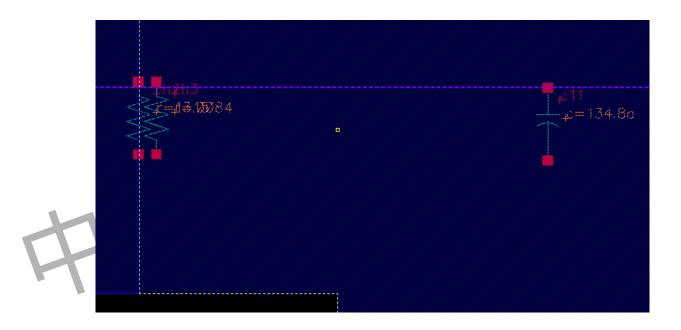


然后 OK 可以运行,如果之前 LVS 通过了,这一步可以很顺利进行,生成一个 av_extracted 文件:



双击进入则可以看到寄生参数的情况,这个文件可以应用于后仿真。





至此,本例完。



