## 刷题

http://asic.co.in/Index\_files/verilog\_interview\_questions.htm  
http://www.asic-world.com/digital/questions.html  
<http://asicdigitaldesign.wordpress.com>

[http://www.sunburst-design.com/p ... NUG2002SJ\_FIFO1.pdf](http://www.sunburst-design.com/papers/CummingsSNUG2002SJ_FIFO1.pdf)

<http://pan.baidu.com/s/1nBQgb>

## 经验1：

在这里主要学的就是两部分，VLSI design和CPU的构架课。话说我们这届学VLSI的拿到O家的offer真心很多，大部分集中于Verification和physical design， 其他做CPU，Device和Storage等等的也有不少。我这offer也是年初寒假拿到的，但是来地里报的确实不多，我就在这里分享下我面试的经验吧。  
  
我是在去年10月份左右开始大量网投的，其实一开始感觉效果并不理想，投过的大多数都石沉大海了。之后在10月中来了个B家的实习，岗位虽说是搞DDR3，但是工作内容感觉很水，是去单纯用示波器测数据的。我当时就无语了，但是都给我安排面试了，就去试试呗。第一面是manager给我的，是个白哥，感觉年纪比较大，发音很清晰，问的问题很基础，画两个FFs,中间一个Combinational Logic，谈谈Setup time和Hold time，之后再说说clock skew和jitter（我这里给的例子都是个大概的介绍，大家去google上搜搜一大堆相关的解答和衍生问题）。其实这类问题一般的题库里都很多。主要跪在他问我懂不懂一些接口问题上，直接问我懂不懂USB，我说我根本没学过，之后问我知不知道DDR，我说我们正在学这玩意，之后他的态度就不太好了，简单说了几句就没了。我也感觉可能没戏了，之后没想到一两个星期后，接到他们组里一个三哥给我的二面，还好在学校的课有三哥老师交的，还能勉强hold住。其实现在想来那三哥问我的问题确实也很简单，但是我自己更二逼，确实答错不少。记得一开始问了我power的问题，问了我一个short-circuit power dissipation和gate leakage的解决方法。可惜我对leakage的印象只有subthreshold，这题就没答上来。 之后又问了我个很简单的题，说说把一个CMOS inverter的nmos和pmos换过来的behavior，哥想都没想就来了句还是inverter，只是输出会有一定偏差。。。然后就没有然后了。。。  
  
之后就是在11月份的时候O家给我来了个电面。话说这个时候，我们这届已经有不少人拿到他家的offer了，所以对我们后面的人有个好处，就是可以有更多更直接的面经。O家的电面通常只有一轮，直接manager和你聊。我这manager是个白哥，搞physical design，一口英式英语，有点难懂。电面一小时，问了10到20道小题吧，平均2-3分钟一题。题目都不难（主要是有面过的朋友和我分享过），主要问点在于各种delay model（LE，Elmore，RC，ACC，NLDM），SIZING，Dynamic Logic，timing（setup&hold），还有Noise Margin， Xtalk和Electromigration等等，构架问题主要问了下pipeline的pros&cons，cache等。之后等了一周，来了三个组的onsite，都在同一个地方，一个CAD组，两个physical design（一个做lib，一个搞block设计）。  
  
Onsite那天一共有3个组10个人来面， 平均一个人40-50分钟吧，其实看着时间有点长，实际上在你面的时候会感觉还是蛮快的。CAD组实际上配合硬件组的，考我的问题实际上还是离不开VLSI，编程很少。问了Xtalk，clock network buffering的一些问题，主要就是给你个简单问题，要你分析分析，知道这些概念的话还是很容易的。这里唯一的一道编程题就是用Perl写个子程序来查找加计算，最多就用到regular expression。然后后面两个physical的组其实问的东西真的是大同小异，无非就是我之前提到过的那些的几种，话说这些题目好多都是我们课上讲过的，所以说我们学校VLSI课程真是和工业界结合的蛮紧的。印象深刻的一题就是然你画个DFF的gate level的schematic图，之后指出setup time和hold time violation 都有几个gate delay，分别是哪几个（这题算是里面比较有意思的）。其他的题记得不是太清楚，都算是比较简单的吧。最后有个比较难的是个manager出的一道设计题，印象不深了，就是按照自己思路和他说，最后感觉他这设计题里面有些说法有问题，争论了一会，最后他来了句没事，不会不要紧，你在我们这会学到的。。。给他跪了。。。  
  
结论就是第2天早上收到job offer，physical design做block-level设计的。懒得等其他的组，果断从了后退房飞回LA。

## 经验2

不知不觉开始找工作也有半年多了，感觉自己多多少少也算是有点心得体会。在这里写下一些东西算是对这个过程的一个记录，主要是想感谢李晶在这段期间对我的不断鼓励，几次把我从我自己的黑暗小想法中拯救出来。也希望能为她攒攒人品，祝她能早日找到一个圆满的实习！  
这篇文章主要是一些自己的胡乱撺掇，也许两年后再回来看这篇日志，只会觉得幼稚可笑罢了。我觉得在找一份工作之前要先了解产业。一来你可以知道未来你每天大概所做的事情，看看这样的一份工作究竟适不适合自己。二来可以建立你所学到的知识和产业界的联系，更好的方便你理解所学的东西。我觉得比较好的了解这方面信息的途径就是和公司里的engineer聊天。在interview或者career fair上和来的engineer好好聊聊，其实不要去问他们做的什么product，我觉得这类问题其实对自己的帮助不大，我觉得更重要的是问他们每天都做些什么，有时候发现也许产品听起来很厉害很复杂，但是实现的方法其实也就是在学校里学过的最基本的知识。所以在大多的面试中，公司看中的也是人的fundamental学的好不好，基础好将来学新的东西也相对会快一些。  
Digital Circuit的工作我所经历过的大概分为两类，RTL Level，Circuit level。两类工作有相同的地方也有不同的地方，下面说说我所知道的。  
一、RTL Level   
Knowledge Requirements: Verilog/VHDL, Synthesis, Logic Design, Timming, Modelsim, Scripting language  
其实RTL Level说白了就是sequetial logic 和combination logic。常说的ASIC design and verification就是这一类。这一方向比较熟，经历的面试大多也是在这个方面的。了解这类工作准备这类工作的面试，我觉得要先从VLSI design的Flow开始入手。简单来说：  
Specifications--RTL design--Logic Synthesis--Gate Level Simulation--Place and Route--Post Silicon Verification  
主要分为上面几类。我感觉在我经历过的面试中，大部分的组所做的工作都是相同的，都是按照上面的flow来划分工作。不同的是不同组的产品不一样，但是所做的事基本相同，有一些大的公司会进一步划分，一些组负责前半部分，到logci synthesis结束。另一个组继续接手把这个设计放到板子上来继续跑timing和其他verification。或者一些其他做SOC的组，会负责的更多的一些，要把不同的IP拼到一起，分配时钟等等，做的事听起来繁琐，但是其实基本概念都不复杂。  
所以基本上一个新人进组，他最先开始做的事就是verification，毕竟这份工作相对风险小，上手快。做了几年的verication之后好一点的组可能会慢慢开始让你写RTL design的code，在后再慢慢负责一些更复杂的工作。  
所以根据以上的分析，把自己想象成是一个要招人的manager，对应以上几点，问问自己想要candidate具备哪些素质。这样想准备面试也会更加系统有条理一些。  
Interview Question: 简单总结一下我经历过的面试问题。  
一般面试会先问下你的个人背景，和学过的东西。我觉得这类问题一定要好好准备，这类问题回答的好坏会给面试官一个直接的印象，这个人的personality怎么样，对待project的态度是什么样的。如果回答的很结巴，一问三不知，就会给人一种很不认真负责的感觉。第一印象也会比较差。

接下来就是技术问题了，就像上面所说的，有了对行业的了解。准备起来也可以系统一些。  
RTL design:  
这类问题首先要求的就是verilog。其实Verilog的语法很简单，他的特点就是他是硬件描述语言，所以写好verilog的前提是要明白电路。就像verilog一定会问到的问题blocking， Non-blocking的区别。 因为RTL最本质的特点是sequential logic和combination logic。能说清blocking和non-blocking的区别才能说明是明白什么是RTL的。其他的问题比如：synchronous和asynchronous reset的写法，写一个latch，什么情况会infer a latch或者画一个RTL 电路出来让你把对应的verilog code写一下等等。这类问题虽然简单，但是能反映出对电路的了解和code习惯的好坏。  
还会问到的就是Logic Design了，最基本的就是真值表，卡诺图。用NAND门去实现电路。这就是考是否懂combination logic了。我觉得在digital circuit里面，再复杂的功能归根结底就是一张真值表，如何简化，如何快速不浪费时间的实现这个逻辑，如何合理的运用各种NAND,NOR,XOR门。这类问题还有用MUX 实现NAND, NOR, XOR，如何用MUX实现one-bit full adder。这些知识其实都是本科数电学的，但其实其重要性不亚于其他知识。  
综合以上两点，就能明白为什么面试中那么多state machine的问题了，一考你思维清不清晰，二考你verilog写的好不好，最后在问你如何实现你的state machine考你对电路逻辑的了解。同时state machine也是现实当中运用的比较多的结构。同样类似的问题还有设计一个三分频的时钟，我觉得不仅要能说出来怎么来做，写出verilog code来实现，要进一步想一下，如何来用门逻辑设计来实现这个电路。  
Verification:  
RTL设计好了如何来验证设计的正确与否，我觉得这类问题考验的更多是思维和考虑问题的全面性。是否能把所有可能的情况都设想到。给你一个design让你来说出思路来如何验证他的功能。我经历的一般都是开放性的问题，基本没有标准答案，有时思路错了面试官也会慢慢引导你。还有就是问你用过什么语言来verification，一般会用到的就是system verilog，有一些还会用到matlab,C/C++。这些没做过也没关系，主要是了解这方面的概念。再者就是script language，verification一般都需要掌握一门scripting语言，tcl,perl,python任选其一。我被问到的比较多的是perl，貌似这种是目前比较常用的。  
DFT（Design for Testability)，DFT是一般涉及到verification一定会被问到的问题，这类就不是verification verilog code了。这类感觉更多的是用来verification一个已经成型的板子的。来给电路提供controllability, Observability，主要是用来解决manufacturing会出现的错误，比如Stuck问题等等。要明白是用SCAN 来实现的，我觉得要能说清楚SCAN的原理，能说清楚细节。感觉这类问题基本偏概念性的比较多。  
Logic Synthesis   
Verilog code写出来，功能仿真正确并不能说明一个design的好坏。真正决定design好坏的是timing, power和area。Logic Synthesis是一个快速简单的办法来对设计有一个大概的概念。  
面试涉及到synthesis的问题一种是问做synthesis的constraints是什么，Tcl file是怎么写的，一些基本的command是什么。另一种会考你对verilog的理解，比如问有一个什么样的代码，这个code synthesis出来的结果是什么样子。还有就是问你做过那些相关的synthesis的工作，运用的technology是什么，用的软件是什么。  
Gate Level Simulation  
另一个比较重要的感念就是Timming。Setup time，hold time，Tclk的公式。还有skew, jitter的影响，这几个概念一定要烂熟于心的。还有就是如何解决setup time，hold time violation。这些问题也是最常见的。  
其实gate level simulation没有做过，大概理解是用来跑timming过不过关的。好像还有一种Static Timming Analysis(STA)也是做这种的。对这块不是特别了解。  
Gate Level之后的了解就不是很多了。个人感觉以上的知识基本上就是一个ASIC design and Verification会涉及到的主要问题。当然还有一些其他的概念我觉得也同样重要的列在下面。  
Clock Domain Crossing and FIFO:  
这类问题之所以重要是因为在现在的chip design里面各个不同的IP用的clock都是不一样的，但是各个模块之间如何传递信号？所以这类问题，在面试中一般都会涉及，因为这是比较常见的会遇到的问题。明白基本概念并能区分什么情况下运用什么很重要。比如Clock Domain Crossing有两种方式，Double flip flop和Enable Transfer，要能知道single bit要用double flip flop， multi-bit用Enable Transfer，并明白为什么。FIFO分两种synchronous和asynchronous，最好明白verilog code如何写，每一种的architecture是什么。我在面试中就遇到过让我画出两种不同FIFO的结构，并把verilog code写出来的问题。并且针对architecture的每一个细节都再具体问到。比如asynchronous FIFO为什么要用Gray code之类的问题。  
Crosstalk and Interconnect：  
这些基本都是概念问题，一般会问你知不知道什么是Crosstalk，都是实际中经常遇到的问题。其实crosstalk的基本原理很简单，就是coupling，感觉比较主要的是能说清如何减轻crosstalk，crosstalk对电路有哪些影响。这类问题大多都是概念性的，感觉就算被问到说句不知道也不会减分，但是如果你能说清楚相对别人就是优势了。  
   
Power:  
power是电路设计的一个主要指标，所以这类问题也常常会被问到。power一般分两种，dynamic power和static power。dynamic power又包括short cut，swtich。 Static Power主要指的就是leakage。接下来就会问你如何来减少power：  
Dynamic：先从Transistor Level讲，E=Cload\*Vdd^2，减少负载电容，降低supply voltage。Short cut通过使得load的transition比input的transition slow来减少。接下来就是multi-vdd，和clock gating。 multi-vdd要知道使用level shifter来实现的，能知道level shifter的具体结构讲清原理最好。clock gating能画出电路图，知道原理，是为了glitch的。  
Static:Leakage从哪里来的，两种来源，junction和subthreshold Leakage。主要就是sub threshold leakage，明白Leakage大小和threshold的关系。如何解决leakage，主要方法:stack effect, body bias, sleep transistor，multi-VT。  
目前能想到的就是以上这么多了，感觉以上知识都了解了，起码应付一个电话面试肯定没问题了。On-site可能就要看具体发挥，再看看天时地利了。  
二、Circuit Level  
Knowledge Requirements: Logic Design, Process, Layout, Cadence, Analog  
其实对这个方向的了解没有RTL那么深，经历的面试很少。RTL是high level的design,这个方向就更偏向Low Level的design。感觉目前会运用的这个方面的，主要就是MEMORY，还有其他一些可能的IP design。这个方面还需要多去了解多去学习。  
毕竟也是digital circuit design所以很多东西和上面的是互通的。比如说logic design，Power analysis。但是Circuit level更偏向transistor，更偏向physics一些。所以了解transistor的特性，知道一些physics层面的东西是这个方向的主要要求。就我所知的大概说一点：  
Transistor Character：  
要知道NMOS，PMOS是如何形成的，比如NMOS是P well上doping N+ 杂质，在知道沟道是如何形成的，triode, saturation, velocity saturation，能熟练写出各个区域的电路公式，并能说清是什么原因。还有就是影响transistor速度的因素有哪些，Vdd, Vth, Temprature对速度的影响等等。gate, source, drain的电阻电容各是多少等等。  
CMOS, Dynamic Logic:  
比如问你如何实现一个5 input的NAND gate，用transistor来实现，在问你这样的设计有什么好坏，5输入NAND，就有5 NMOS stack，速度会很慢这样。NAND门和NOR门比更倾向哪一个门。  
Layout:  
layout可以说完全不了解，就记得本科的时候大概学了那么一点。为了面试自己随便看了些，也就是最多会画stick diagram，知道简单的原理。  
写的累了，要去吃饭了。基本以上能想到的也就这么多了。很多东西也仅仅是浅尝则止。有什么错误还望各路大神指正。前面路还长，慢慢走慢慢学慢慢成长吧。共勉！

## 经验3

第一个fulltime的面试是M家，但是那组是做synthesis的。和其他本校的同学差不多，LZ的知识范围主要在RTL上，对于backend并不是很了解。电话面试大约半个小时，问了placement和routing的一些问题，ex. routing congestion的solution，怎样fix hold/setup，还有一些深入。LZ事先都准备了答案（之前舍友面过相同的组），但是有些深入的问题还是需要hands-on experience才会理解。比如LZ回答可以旋转macro来解决congestion，面试官马上来了精神，问朝哪面旋转，LZ只能瞎答一通。电面之后无下文。。。  
  
进入15年初，面试逐渐多了起来。曾在一周内接到3个面试，分别是B家，A家和Alt家。一周内接到这么多面试的原因据LZ分析应该是学校的Career Fair和比较漂亮的resume（GPA和半年的实习）。在此提一句，GPA还是非常重要的一环。之前找实习之所以面试少，有一部分原因就是选了太多比较tough的核心课程，gpa太低了。进入MS第二年，刻意选水课刷GPA。言归正传，Alt家是manager直接打电话（事先无email通知），position是layout engineer，我根本没学过layout好么！面试10分钟不到直接GG。。。B家招design engineer，但是要求有1-3年工作经验，问的主要是logic design（把mux变成一个and或者or之类的），两种FSM的优缺点，还有一道二进制计算的问题：有一个rom，15K entry，平分成两份，问第二份的第一个entry地址的二进制是多少？这道题其实蛮简单，但是LZ忘了考虑地址从0开始，面试官有点不满意，所以电面完也GG了。  
  
A家的manager算比较有诚意的（可能因为position比较match），不过面试过程繁琐。一开始HR给我打电话了解我的基本情况，然后约我和manager screen interview。manager面完后又约我和一个group里的senior进行screen interview。问的问题主要有分频，logic design（设计逻辑实现在时钟上下沿产生pulse，以及这个设计的潜在问题），system level design等等。onsite的问题则具体的多，尤其是FSM的设计，cross clock domain的问题，需要比较深的理解。当时LZ认为掌握得比较好的cross clock domain，反而在面试官的拷问之下，暴露出了很多知识的空白。建议大家有空着重研究一下跨时域的解决方法（synchronizer，fifo，handshaking），包括各种方法的优点缺点和适用范围（例如给一个例子知道使用哪种方法），数据传输的波形图，同步异步fifo的block diagram，为什么异步fifo使用gray code，以及在哪个block使用等等。因为onsite表现并没有让每个面试官都满意，最终还是没有拿到offer。  
  
之后又进入了一段时间的沉寂。舍友比我稍好一些，有一个intel的面试，但最终倒在computer architecture的问题上。不得不再次吐槽我们学校的课程设置。大部分找工作相关的知识全靠我们自学。。。唉。。。由于现在design的职位已经很少，我和舍友一起旁听了CS的课程，关于OOP，C++和data structure，开始为找verification的工作做准备。后来接到一个verification的面试，还是来自A家，虽然电面秒挂，不过至少证明这个方向是正确的。  
  
  
转眼进入3月底，面临毕业后jobless的状态。我和几个同学商量后决定“迁徙”到北加找工作，我们还在北加当地一所培训学校里学习verification，很受用！每天我们除了复习ASIC的相关面试题之外，还时常聚在一起讨论面试时可能被问到的关于project的题目。这样的总结十分有效。  
. 1point3acres  
  
进入4月，面了两家公司，X和C。X给的position是design engineer，很奇怪的是要求2-4年工作经验。。。HR说是通过career fair的简历找到我的。电面主要涉及intern时候的project和基本时序问题。onsite全程感觉很好，问题基本都回答正确。 问题有timing（setup和hold，需要深入研究），logic design，verilog（fullcase，parallel case，什么时候会有unwanted latch，给一段code问synthesis后的gate netlist同步异步fifo，怎么样判断full/empty）和control（给input和output的waveform，让你设计电路，最常规的方法是看成FSM，值得好好研究）等等。  
面试官问我D ff可不可以用blocking assignment以及原因，例如：  
always@（posedge clk） begin  
q=d;. From 1point 3acres bbs  
end . check 1point3acres for more.  
但是面试后杳无声息，直到过了一个月，HR才突然打电话给我说feedback is good，问我有没别的offer。严重怀疑是把LZ当成备胎。直到LZ拿到别家offer开始催X家，HR才又打电话来说正在moving forward，让我再等等（太没诚意）。此后对X家的印象大打折扣。  
  
C家第一轮是director电面，说是从career fair简历里挑选的。电面问了一些perl script，logic design和behavioral question。onsite总共4个人，其中就有director。由于是position是DV，除了design的经典问题，还问了OOP，project和verification methodology（verify a round robin arbiter）。两周后拿到offer，最后也决定从了。  
  
在面完C和拿到C家offer的空档期，接到4个面试机会，两个B家（一个design一个verification），一个R家，一个I家。  
R家是一家规模20+人的小公司，主要做EDA tool，position是application engineer，要求会SV，perl，C++等等。面试官主要和我讨论了internship project, timing的具体问题，perl scripting，data structure & c++ coding（bst comparison），什么是static verification等等。onsite后两天拿到offer。  
B家design电面直接挂，问了很多DSP，LZ并没有涉猎。  
B家verification主要问了SV coding（什么是automatic task，dynamic array，pass by reference，SV中为什么没有destructor），onsite的时候比较有印象的几个technical问题：write a c++ in place function to reverse a string；给了一个senario要求verilog coding，之后问如何verify；一段SV代码考察handle和object的赋值问题；给定一个senario让你说说如何设计SV code实现（利用fork join），当天下午回家拿到offer。  
I家给的position是physical design engineer，LZ实在是无能为力。。。两轮phone，一轮onsite。最后拿到offer，也是蛮意外的。  
  
总结：  
按照时间先后顺序  
M家synthesis group: 电面挂  
  
Alt家layout：一秒挂  
B家design：电面挂  
A家digital EE: onsite挂  
  
A家verification:一秒挂  
  
X家design：feedback good，but 。。。  
  
C家verification：offer  
  
R家application：offer  
B家design（DSP）：一秒挂  
B家verification：offer  
I家physical design：offer

## 经验4

楼主女友上周拿到了湾区一个小公司的硬件ASIC口头offer，将近一年的找工作之旅终于看到了终点站。过去这大半年里，她经历了投简历石沉大海，面试被取消，面试悲剧等等各种无助和煎熬的时刻，也面对过是否放弃硬件甚至回国的艰难抉择。经过诸多风雨时刻，楼主决定写下她的这段经历，写给那些还在求职路上坚持的朋友。

       首先 介绍一下背景吧。楼主现在在湾区一个硬件公司做ASIC Engineer。楼主女友14年毕业于一个东北部大农村综排前50的学校EEMS，选定的方向也是ASIC。14年6月搬到湾区来找工作。

一、硬件总体形式

       常逛一亩三分地求职板块的各位一定看过W大那篇EE各方向就业前景分析的文章，其中提到EE最好找工作的是数电ASICDesign和Verification。[http://www.1point3acres.com/bbs/ ... ghlight=ASIC&page=1](http://www.1point3acres.com/bbs/forum.php?mod=viewthread&tid=27825&extra=&highlight=ASIC&page=1) W大并没有骗大家，那篇文章写于2012年，而在两年多以前，数电ASIC的工作的确是仅次于软件最好找的。好找到什么程度呢？那个时候这个专业的NewGrad，只要学校还OK，哪怕是那几所申请时被大家称作大水校的，几乎都可以在毕业之前搞定一份甚至多份工作。这个方向的热门促使后来许多EE的小本跳入了硬件ASIC这个坑。可是世界的变化就是如此之快，当我们在学校里刷技能两年之后走出新手村，面对的却是一个副本已经大为减少的世界。

  如果你不想看下面大段的解释和分析，那么楼主首先给出自己的结论：**芯片设计行业（这里指广义的芯片设计，包括ASIC/CPU/FPGAdesign, verification）已经过了蓬勃发展的阶段，进入了稳定期，这个行业对于新人的渴望已经大幅度降低，毕业生供大于求，仅有的坑是属于少数来自牛校的牛人的**。

  当然每个人的看法都有局限性，楼主的结论也仅供参考。从整个行业来说，硬件已经逐渐变成了制造业，而软件在向着服务业发展。作为承担服务的管道和载体，硬件在当前的移动互联网时代其实很难分到很多利润，而激进如小米的雷军都已经喊出了硬件免费的口号。其次，在摩尔定律的鞭策下，硬件需要不断提升工艺，而新工艺所需要的投入越来大，一次28nm，22nm的流片投入需要成百上千万美元，这样巨大的投入直接拒绝了绝大多数创业公司—要知道一个软件startup拿到几百万美金就可以活好久，而这些钱对硬件来说也就是一次流片的钱，流完就死了。所以硬件的趋势是不断整合并购，小公司不断被大公司吃掉，甚至排名靠前的中型的公司也可能被行业的头几名收购。这样，对于还在新手村练级的grad和newgrad，在找工作时面临的选择就非常有限，如果行业的那几个大公司不怎么招，就麻烦了。举例来说，12年Q家招了非常多13年的暑期实习，然后给几乎所有人给了returnoffer，结果他家13fall和14spring就几乎没有招人，这可是行业老大啊。再比如O家，向来靠名校和高GPA招人，在14年也早早招够了人，结果很多让原本打算O家保底的同学无底可保。想找小公司？更不现实，因为根本找不到小公司。这个行业竞争如此激烈，即使有小公司，也大都负担不起培养newgrad的成本。最后更坏的消息是，去年半导体公司发生了多起裁员事件，Q,Intel, BRCM, IBM, AMD都裁了，人才市场上一下多了很多有着多年工作经验的senior, staff， newgrad拼技术那是绝对拼不过的。

  从实际数据对比上来看呢，很简单，在Linked In， Indeed上搜关键词，比如ASIC,VLSI等等去和Software对比，工作职位的数目是**1：100**甚至更多。在楼主帮女友投简历的过程中楼主就发现，刷各大招聘网站，每天能够刷出来的可以投的职位不超过10个，这当中还包括许多要求多年工作经验的职位。

  副本少了，可是不要忘了，新手村毕业的人可多了。这就是所有还在硬件求职路上奋斗的各位面临的残酷现实。如果你是[stanford](http://www.1point3acres.com/stanford-ee-ms-admission-letter/),Berkeley, MIT毕业的大牛，那大可轻松占上这些仅有的坑，可是其他人，我相信你们的感觉都会是：硬件太难找工作了。

  如果你看到这里还是坚定要走硬件这条路，那么我相信你一定是对硬件有着极大的热情。楼主和楼主女友便是这样的人，我俩对于各种算法和程序无感，却对实际看得见摸得到的电路和芯片充满好奇。你有这样的热情，那么我要恭喜你，因为有兴趣，你可以以更大的热情投入到知识的学习和面试的准备中。因为有梦想，在你面试遇到打击时你依然不会轻易倒下。那么我相信，只要有付出，便一定有回报属于你。

二、求职之路

  关于硬件的求职，楼主比较幸运，早早拿到一个暑期实习并且拿到return offer。而女友就波折许多。在这期间我们也有许多收获和教训。求职之路就以我们粗浅的几点收获来分别谈谈。

     1. 学校地理位置

bitbrahms，本帖隐藏的内容需要积分高于 133 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

  综上，学校的地理位置对于找工作极其重要。

     2. 关于GPA

  在工作机会多的时候，GPA也许不是那么重要，3.0以上足够。但是当形式不好，供大于求的时候，**GPA就极其重要了**。HR每天收到n多简历，project大家都查不多，初步的筛选只能靠学校名声和GPA了。所以在校的同学一定要认真上课，至少保证3.6+的GPA，这样才能保证可以过简历筛选关。其次还有一些公司甚至会在发offer时卡GPA，地里有个帖子就是讲述因为GPA低，虽然hiringmanager面试过了offer却依然批不下来，最后又被VP面试了一轮之后才拿到offer的例子。另外，**GPA是学生职业精神的直接体现**，4.0或许需要努力、聪明和运气，但是MS的3.0却可以认为是不够努力态度不认真。作为没有任何工作经验的学生，面试官如何知道你的职业素养呢？很多时候，只能靠GPA。

  那么GPA低要怎么弥补呢？如果你还在学校，那么尽量在接下来的时间里努力上好课做好作业，选一些水课也不失为一种策略。而毕业之后就比较困难了，楼主女友GPA不高，很多时候简历关都过不了。最后在SJSU注册了两门课，踏踏实实上下来之后拿到了3.85的GPA，写在简历上之后情况才好很多。面试的时候每个面试官都问到了她在SJSU上课的事情，也表示过如果没有这段经历是不会给她面试机会的。这里说明一下，SJSU有个openuniversity，可以让非本校学生注册课程，收钱注册后可以和本校学生一起上课做作业考试，也会拿到成绩单，只不过没有学位。有想了解的同学可以自行google。

      3. 关于简历

   简历的作用简单总结就是，让看简历的HR觉得你匹配招聘的要求，然后决定是否把简历转发到hiringmanager那里；让看简历的hiringmanager觉得你基础扎实，会该会的东西，最好还是一个聪明的人，让他愿意和你安排一次电话面试。如果能够成功收到电话面试，那么简历80%的作用就达到了。

   那么什么是好的简历？我总结下来其实只有一个词

bitbrahms，本帖隐藏的内容需要积分高于 133 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

      4. 关于面试

  女友第一份面试来自career fair，一个公司在询问过她过去的上课经历之后就再没有了下文。毕业前她自己投的简历没有收到任何消息，仅仅通过朋友内推，拿到过一次A家，跪在电话面试，一次M家，两轮电话面试之后没有了消息，一次BRCM的onsite，可是奈何水平不够，没有了下文。之后她就来到了湾区。

  来到湾区之后本以为可以更容易拿到面试，但是结果完全出乎我们意料—自己投的完全石沉大海，而朋友推荐的也几乎没有反馈。她的心情也日渐焦虑，上学的时候还好，每天会去上课，但是毕业之后却只能在家呆着，对于未来的不确定会使心情变得烦躁不安。那期间也是我们吵架最频繁的时候。七月中旬的时候再次接到M家的一个电话面试，可是因为紧张和基础的不牢固，连犯好几个低级错误（holdtime和时钟频率是否有关，表示6个状态需要几个bit都回答错误），搞得面试官在电话里就失去了耐心，直言表现很差。这次面试后，我们总结当前的情况是她水平不够，基础不扎实，这样即使有面试机会也根本抓不住，因为基础问题回答错误被毙那是肯定的。于是我劝她去SJSU上课，真正系统学习相关的知识。上课的目的有四个， 其一是学习知识，其二是为了将project列上以充实简历，其三是弥补她的低GPA，最后更重要的是，一个人在家憋着会使精神状态变得很差，而每天去学校上课做作业会使得自己有事情做，这样日子也好过一点。

  开始上课的初期因为简历并没有什么可以提高的地方，收到的面试依然寥寥无几。这其中通过朋友打听，分别知道了I家和BRCM家的实习机会。可是当Hiringmanager知道她已经毕业之后，却都说这种情况没有办法实习。是的，这是一条很令人蛋疼和费解的规定，**行业内所有大公司在招实习生的时候，都明确地说明申请人必须是正式注册的在读学生，且必须是要拿学位的program**。这样尽管这两次实习机会技术面都没有问题，但是却无法拿到，经理也都表示爱莫能助，因为这是公司的规定。所以这里岔开一句，对于还在学校里的同学，务必要努力的去找实习，要知道实习对于找全职的工作是巨大的加分项，而且你毕业之后再想退一步找实习已经不可能了，所以抓紧在学校里的机会。

  这两次实习机会的擦肩而过对她打击很大，期间去参加SJSU的招聘会，排了4个小时队却连会场都没有进去，她甚至有了即使再努力也没有办法开花结果的念头。楼主各种安慰鼓励，才勉强稳定住她的情绪。进入十二月份之后恐惧感再次来袭，因为课程在十二月中旬即将结束，而如果上完课还没有面试，那么又要回到像六七月份在家憋着的时候。那段时间她几乎每天回家都哭，吃不下饭，甚至开始考虑回国、异地等等。现在回想起来，那段时间是我们最艰难的时刻。好在在期末考试前两天，一下拿到M家和D家的两个面试。M家的面试本来是要招senior，于是问的问题都特别细节，简历上写了了解I2C，面试官于是问了很多细节，就差拿着I2C的标准问了，而D家的两轮面试都还不算难，很快确定D家会在圣诞节之后onsite。圣诞节我们哪里都没有去，专心在家准备面试，将基础知识，简历，面经等等反复复习排练。新年第二周去了onsite，经历了8个面试官长达9个小时的轰炸之后，终于拿到了Manager的口头offer。当刷到邮件里的congratulations的时候，一切压力都随之消散，如释重负，觉得过去半年的辛苦努力都是值得的。

  总体来说，面试是专业水平的试金石。有经验的工程师通过面试可以很准确地把握你对于基础知识、设计流程的掌握，设计思路的熟练程度，以及智商的高低。所以那些所谓的面试技巧在内功没有修炼好之前都是没有什么用处的。要提高内功，就扎扎实实去学习。从基础知识学起，比如基本的组合逻辑，时序逻辑，到进阶的时序分析，逻辑优化，再到更高阶的跨时钟域设计，每一个知识点都准确掌握搞懂。通常电话面试不会问太难的问题，会问一些基础问题，而onsite则自由度很大，但是一个goldenrule是基础知识要扎实，简历问不倒。基础问题回答错误，简历记不清是属于直接秒拒的，高下立判，没有商量的余地。

     5. 关于知识储备

  楼主女友的亲身经历，系统扎实的上课是非常必要的。这里可以列出

bitbrahms，本帖隐藏的内容需要积分高于 133 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

  另外楼主推荐一本书，

bitbrahms，本帖隐藏的内容需要积分高于 133 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

课后题也几乎就是面试题。楼主可以拍着胸脯保证，只要你把这本书仔仔细细看过，例子的code自己写一遍，做完每一道课后题，那么design的职位基本就稳了。

  高阶的知识包括跨时钟域的设计，Asynchronous FIFO等，请在

bitbrahms，本帖隐藏的内容需要积分高于 133 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

     6. 关于心态

  找工作对于绝大多数人来说，都是一件不容易的事情，这其中一定会经历各种煎熬、期待、失望甚至绝望，但是请相信这一切都是暂时的。不要轻言放弃，要相信自己即使在黑暗中摸索，只要不断努力提高自己，那么就是再向着黎明前进，而**黎明终将到来**。

## 经验5

刚VP approved，为了回报地里给为前辈同仁的信息与帮助，在这里把自己硬件ASIC全职求职过程以及一点心得体会和大家分享一下，也希望论坛越办越好，帮助留美华人群体不断壮大！https://www.1point3acres.com/bbs/static/image/smiley/QQ/em02.gif  
  
先按面试过的公司大概为大家捋一下流程吧：  
  
Marvell：  
  
著名的ASIC大众情人公司，7月份刚投简历没多久就有组给我发电面，还耐心等到我八月份回来再打电话，还是蛮感谢的。一共有拿过四个组的面试，第一个CPU组时差还没倒过来发挥的特差被毁三观就没消息了，第二、三个verification组一个是急着要人，另一个自己脑残问了一个不该问的问题就都没然后了，最后一个SOC组给了onsite，让我skype面5轮，因为主要做中端synthesis所以对ASIC design flow要求较高 （这个之后会细讲）。前三轮技术面出题简历与介绍都蛮顺利的，话里话外都要放口头offer了，搞得自己提前放松，结果第四轮HR manager姐姐来了一个数学证明题考逻辑https://www.1point3acres.com/bbs/static/image/smiley/QQ/em23.gif，弄的自己措手不及，加上第一次onsite经验太少不知道该怎么调整节奏，于是便连跪两轮(包括第五轮的perl)， 所以很可惜的没过。。  
  
Marvell这两年招人形势貌似都不错，前中后端各个组两栋楼都有放opening，个人感觉，一方面自从移动终端市场崛起后，芯片的用途被大大扩宽，各大公司在不同领域都在重新洗牌。Marvell之前做SSD，后来加上chip set，之后又在手机芯片吃掉了Intel的份额，市场扩的很宽，这也是为什么作为一家硬件公司把前中后端基本包完了的节奏（管的最宽的还是Intel）。家大业大了之后嘛，招人是不可少了啦。另一方面，Marvell的待遇在大公司中偏低，加上组员skill set往往很广，有轮值的的习惯（怎么感觉这两点都是老中工程师的通病，和烙印一比差别顿显），所以组员流动性较大，自然也给新人提供了更多的机会啦。自己由于第一家就面它，经验太弱没把握住机会，各位童鞋伙伴们还是可以多多关注它的哦  
  
Nvidia：  
  
没错，就是那个笔记本Intel标志旁边绿色眼睛标示的公司，垄断GPU市场多年（虽然这两年情况有变）。给了我一个verification组的电面，第一轮问简历还是蛮欢乐的，过个礼拜第二轮的时候在线编binary tree（咦，这不是CS公司的节奏吗），然后深挖cache，感觉一般就没然后了。. check 1point3acres for more.  
  
Nvidia感觉算是硬件公司中的软件园了，这次说是招GPU verification，但组里用的都是C/C++，感觉更适合码农们踊跃报名（profit margin蛮高的），作为硅工的我没下文也正常。至于公司自身吗，同上文的marvell一样，受到移动终端发展的影响，也开始转战mobile GPU，只是不同于marvell抢其他人地盘，nvidia的市场反倒在被挤压，也许是技术上一旦没占到先手资金又跟不上就注定要在战场上厮杀了而不是坐享其成了吧。公司待遇在湾区比average高不少（对比marvell），组里印度人掌控的现象不强，对于软硬件的童鞋们都是一个不错的选择哦  
  
Qualcomm：  
  
很奇怪作为硬件评价最高的公司之一，高通居然搞了接近两年的hiring freeze，然后今年又开始招人了，然后把我的简历递给了一个名字叫memory实际做physical level的组，然后电面善良的面试官直接说我也不知道HR在想什么，要不帮你内推到其他组吧，然后。。。确实内推了，反正到现在没消息。高通不多做评价了，个人建议，能投就投，能推就推，蛮好的一家公司，进去了很高大上的哦https://www.1point3acres.com/bbs/static/image/smiley/QQ/em22.gif  
  
  
Juniper：  
  
从它家总算还是拿到一个蛮合适的offer，所以才有脸来地里求轻拍https://www.1point3acres.com/bbs/static/image/smiley/QQ/em08.gif。 本来刚开始投简历的时候没有太关注这家公司，毕竟做通信设备出身，不是像之前几家纯偏芯片。面我的是ASIC team at Boston area,唯一一个不是加州找我点。第一轮manager问简历，第二轮skype出题编verilog发过去讨论，觉得孺子可教也然后就给onsite了，终于可以花回公司的钱出门了（marvell居然懒得出机票钱，skype就打发我了。。。）。onsite一共六轮，难度高于marvell，但都还是ASIC前端设计与验证，verilog为主，UVM与C为辅，前五轮都是技术面，题都答出来了，沟通的也蛮顺利的（紧张就深呼吸，管用）。第六轮manager介绍性的问了问觉得positive就给了口头offer，然后带我去芯片成品测试车间逛了逛，又是聊芯片路由器终端，又是聊性能低功耗设计散热，感觉这小子实在是有备而来过两天在加州的HR就给offer谈package了（Boston组里的人面完就没事情的了），等到现在approved算是最终定下来了吧（师兄师姐说给offer接了就是定下来了，看来我还是胆子太小https://www.1point3acres.com/bbs/static/image/smiley/QQ/em14.gif）。待遇从绝对数来讲中等偏上一点，算上地区因素可能还更滋润一点（westford的税和生活成本相比于湾区还是有优势的），身份政策也蛮给力的，终于可以松一口气继续享受engineer的美（ku）好（bi）生活了https://www.1point3acres.com/bbs/static/image/smiley/QQ/em02.gif~  
  
/\*----------------------------------------------------------------------------------------------分割线1------------------------------------------------------------------------------------------------------------\*/  
  
对于东部学校的VLSI专业来说，实习和全职都不占地利，尤其是Rochester这个极少被硬件公司光顾开career fair的地方。下面我从个人角度抛砖引玉来聊一聊求职的准备以及行业的发展，也希望地里各位前辈同仁能多多指点。  
  
求职和面试，自身的知识框架搭建与积累是基石，那我就先从ASIC design flow为主线拉一下相关知识储备吧。  
  
前端：design specification, architectual design, functinoal verification  
  
design spec估计每所学校的VLSI导论课都会讲，但就像我一个PHD师兄说的一样，搞硬件就是在前端与后端之间反复来回才能不断取其精髓，实际要把对delay，power，area以及更多细节的spec落实下来需要之后verilog，systemverilog，tcl，sta，place&route等等一步步大量反复工作。总之，上导论课可以试着把概念植入脑海作为design idea，为之后的学习工作做好guidance。  
  
架构设计是重中之重，估计也是多数学校课程重点，其中以CPU架构设计与mem controller为重点方向。前者从基本MIPS pipeline到cache到tomasolu out of order，后者DDR2/3 controller都是工业界关注的重点。曾经的RISC与CISC之争现在已经开始慢慢融合，各取所长，看上去越来越复杂的pipeline实际上已经有了一个大致的方向，只是memory system反倒成了问题，所以面试的时候如果写了tomasolu就问tomasolu，没写就着重问cache，再没写的话。。。CPU组估计与你无缘了。总之，个人感觉架构设计是整个ASIC流程中最有难度的一环，连接OS与VLSI，之前一起上架构课一个大神找了大牛老师读架构博士，另一个觉得硬件来的太慢主攻OS去了，剩下我跟在后面姥姥不疼舅舅不爱继续坚守VLSIhttps://www.1point3acres.com/bbs/static/image/smiley/QQ/em03.gif。唉，其实见多了大神自己心里反倒会平衡一些了，也就慢慢静下心来了。  
  
functional verification估计学校教的不多，原因很简单，课程里那些设计用个testbench做functional simulation就足够了，没必要搭一个UVM平台费时费力。但换到工业界，设计量往往巨大，单纯用仿真已经不能满足测试要求了。而前端测试基本要满足bug near free，否则后面综合和layout的人还怎么活啊。。anyway，UVM说起来复杂，其实基本原理就是做一个测试用的model，和实际设计的DUT在相同输入环境下对比输出结果。具体实现起来需要In/Out agent（sequence，sequencer，driver，monitor），virtual interface连接DUT，reference model做对比，scoreboard做比对，中间还有各种port，fifo。面Juniper的时候测试组的头头和我说做测试的代码量一般是做设计的10倍左右，对比可见。  
  
中端：synthesis，sta，dft insertion  
  
做好RTLcode， 接下来就是把代码综合成实际的schematic netlist了。不管是Cadence RC 还是 synoptic DC，用的都是TCL。根据自己的设置它会输出一系列报告，用perl将报告中自己感兴趣的方面提取出来分析，然后要嘛改TC了，要嘛回去改RTL，知道最后各种report达到要求为止。DFT insertion学校里也很少接触到，这是因为学校一般没钱给学生做fab，反正做出来也是一堆废板子。DFT是在fab之后检查flip-flop用的，所以在synthesis的时候就要给每一个FF加一个mux变成scan-FF，之后fab完用ATPG加input vector，再用ATE调到scan mode。不过面试官知道学校不怎么教，也不会问的太深，觉得这一块头脑清晰逻辑分明就蛮好的了，别汗哦~~  
  
  
后端：floorplan, place&route, cts  
  
综合生成的std cell网表还要做成layout才能发去生产。floorplan主要是给各个模块在芯片区域上大概规划一下地盘，哪一块是mem，哪一块是ALU啥的。之后就把cell按网表place上去，然后在一层一层的route，最后再加上clock tree（cts file）。值得注意的是工业界中因为每一步都会向TCL file中加入新的约束，所以每一步之后都需要重新做一次STA，检查setup，hold等等。  
  
大家也能看出来，越偏生产的环节学校做的越少，而工业界又有需要，所以中间的差距就只有自己下来补咯。这也是为什么我在这里格外强调知识架构的重要性。一方面，一个清晰地知识框架会让你在学校的学习研究有的放矢，做到有条不紊。这一点对CS也很重要啊，CS说是一个大类，其中细分无数，基础是算法，往后一条走OS，一条走数据库，再上层还有网页前端以及应用app，可不只是刷体那么简单哦。另外，在准备面试的过程中总会遇到许多自己陌生的知识，一个清晰的知识框架能更好的帮助自己[定位](http://www.1point3acres.com/warald-evaluation-%E5%85%8D%E8%B4%B9%E5%92%A8%E8%AF%A2%E8%83%8C%E6%99%AF%E8%AF%84%E4%BC%B0%E5%AE%9A%E4%BD%8D/)所欠缺的东西，并能够结合前后理解掌握，即使没有太多实践经历，但在面试过程中能一五一十的把自己的理解清楚地表达出来会给面试官一个很好的印象。  
  
/\*------------------------------------------------------------------------------------------------分割线2-------------------------------------------------------------------------------------------------\*/  
  
好了，现在说到面试，当然第一步是简历啦。关于简历怎么写地里有太多的前辈总结，肯定比我能讲的多得多，这里只说一点吧，那就是尽可能突出重点。就像蒙古军队从成吉思汗到速不台，每次以小克大，战略上与对手最大的区别就是突出重点，主力就是主力，偏师就是偏师，一正一奇，往往收效颇丰。你要找哪一类的职位，就把哪一类的project集中分类展示，不相关的能省就省掉，这样你的重点也突出，人家看起也方便，自然拿面试的几率更高咯。  
  
  
电面多数问简历，注意一下一些细节，比如project中做的processor频率啊，cache的size啊之类，之前在这上面栽过，希望能帮大家少走一点弯路。. From 1point 3acres bbs  
  
onsite技术面的话一般分这么几类：  
  
1. 简历的project：  
  
这个最好准备，毕竟主动权完全在自己手上，巴不得人家多问这一块自己熟悉的。首先是简短清晰地介绍这个project，然后会有画出框图走一遍流程，细节一点会要求讲一下具体算法、波形以及compiler code，再讲一讲改进。  
  
2. 概念题：. check 1point3acres for more.  
  
附一个链接吧<http://asic.co.in/Index_files/verilog_interview_questions.htm>。这里面涵盖还是蛮广的，不过有些只是略过，细节还需要自己继续google深挖。不过能有一个guide总还是好的，毕竟概念先理解，不能理解联系自己的知识体系解释，不能解释就硬背，总能过的。  
  
3. 设计题：-baidu 1point3acres  
  
这个变数最大，一般会给出一个design spec（或是input output），从框图或是状态图画起，再在白板上写code（Verilog为主，C为辅，会比较关注链表）。不写code的话一般会画波形图解释。中间多注意和面试官交流。比如面Juniper onsite第四轮的时候有一道题开始没有头绪，聊着聊着接着面试官的提示就想出来了，然后一步步从mem架构到read、write波形就做出来了，而且人家也觉得聊得蛮高兴的，自然positive咯。附一个面试设计题链接吧<http://www.bawankule.com/verilogcenter/quest.html>，很多题答案都是开放的，训练出解题思维方式之后就一通百通了。  
  
一般onsite每一轮会从上面三种出2~3道题细讲，再问问概念和behavior。Behavior建议不要轻视，准备一个常见问题和自己的答案，回答的时候语速慢一些清楚一些，再带上中国人特有的眼神和微笑https://www.1point3acres.com/bbs/static/image/smiley/QQ/em08.gif  
  
/\*-------------------------------------------------------------------------------------------分割线3--------------------------------------------------------------------------------------------\*/  
  
再聊聊自己知道的一些行业信息吧，也希望能抛砖引玉向各位多多学习。  
  
硬件行业这两年就业形势在走下坡。高通终于结束了hiring freeze但依旧高冷。Intel和Apple总觉得可望不可及，多数需要工作经历或是PHD。Broadcom本来是招实习大户，好多人去UCI就奔着它来的，结果。。今年搞裁员，硬件类部门裁掉接近5000，内部实习生消化一半，剩下寥寥无几的opening因为实习生新人太多也多要senior level，一度analog的opening比数电还多。Oracle去年小高潮，好像是因为要新出CPU使劲招人，当然还是有GPA划线，今年貌似硬件招满了。。9月中才开始零星放entry level，之前投过的senior level HR实在看不下去了直接和我聊邮件说我们这儿现在真没有entry level的坑儿，要不你再等等。Marvell一直在招人，如前面说的，但给的待遇略低，不知道是不是有台湾老板吃透了中国留学生小九九的原因，而且华人比例实在很高，好多组的工作语言都是中文，这个有好有坏，不过感觉在烙印慢慢把持中上层的硅谷能有marvell nvidia apple这样华人话语权相对较高的公司在还是蛮欣慰的。  
  
再来聊聊我现在要去的这家Juniper吧。Juniper和思科华为同属通信设备公司，本来是和思科分地盘全球第二的（当然比思科小不少），但近几年用“无量头颅无量血”一步步做起来的华为力道越来越大，已经超越Juniper直追思科了。这三家公司各有特点：思科重在设备整合，Juniper提出芯片自主开发（所以才有了给我的坑儿），而华为虽然技术上暂时没有领军项目，但低一层的设备做的非常扎实，而且从战略、销售、技术三个方面勤勤恳恳做了这么多年，从中国通信四巨头中脱颖而出一家独大，继而利用国内用工成本低的优势（Juniper招我的待遇够华为招6、7个人了）开辟海外市场，当然在美国因为打着反垄断名义的保护主义影响还比较难（中国对于高通等等亦然）。现在通信市场正在向网络通信发展，各家都在抢制高点，不过这三家之间除了竞争之外还有共存的制衡作用，估计短时间内局面不会有大的变化，长期的话就是公司战略与市场发展的问题了。作为尘世间一小小ASIC engineer，自己顺势而为吧。  
  
再聊聊我身边小伙伴们的情况吧。U of Rochester名声还可以，但在ECE/CS领域并没有受到太多关注，这对于我们这群中国留学生来讲感受更加直接。而且作为留学生，在国内总觉得会有些异样的眼光。比如之前CE的一个朋友回国内某外企实习，身边的本土硕士们就会有些闲言碎语，无外乎是觉得留学生家里一定有钱云云，搞得我那个同学蛮调整了一阵的。作为留学生群体，我们也是同龄人中的一份子，来到了一个更为健全的国度，同时也面临着更为激烈的竞争。我们这一届到现在为止，CS有一个找到工作，ECE拿到全职offer的还只有我一个，可以三学期顺利毕业，甚至连VLSI上一届的好多师兄师姐都还没有找落，都准备考虑转软件了。我写这篇帖子，也是希望为身边以及上一届的的师兄师姐小伙伴们打打气加加油，同时也为自己的未来鼓劲，从开始哭着嫉妒，变成了笑着羡慕，时间是怎么样滑过了我刚满23岁的皮肤只有我自己最清楚。

## 经验6

楼主在文章一开始，先表示这是一篇不是特别technical的文章，被问及的题目会被提及，但是不是一篇简明的题目列表。因为通过这学期从9月初开始，一直到现在还没有结束的面试经验里，楼主体会到重要的是心态，一切都是由心态变化而达成的质变。

楼主从9月campus career fair开始面试，投简历的公司包括APPLE，NVIDIA，TEXAS INSTRUMENT, MICROSOFT和YELP（因为有一些数据库的经验）。找工作的方向是asic/digital design/verification engineer，yelp是数据库方向软件工程师.最后拿到面试的有4家公司，微软实在是被我大四第一次的表现毁了三观，从此再也不理我了。其中这里面多么一波三折，绝对的一言难尽。关于NVIDIA怎么过了campus screening的quiz，怎么拿了两轮positive因为budget原因被VP拒签offer，花了一个月配进另外一组，就是another story了。TI和Yelp的故事也可以再讲，这里面就细说一下苹果的经历吧。

注意到苹果可能会有希望，全因为假期的时候，有一个好友被组里phdrefer面了第一轮product safety engineer。当时他面完第一轮就木有然后了，可是我注意到其实这个职位和systemtest engineer非常适合我的背景。网投过苹果的孩纸都知道苹果网投跟没投一样，所以我一直在想办法，怎样能确保自己拿到面试。然后我处心积虑的过程在加州就开始了（当时在我大天朝华为的硅谷分部实习）。大家都说加州地理位置好，人脉广，我三个月没开发完全，但是也利用了一些。首先是很宅的楼主，在3个月的暑假开了8000mile，到处乱跑，到处和硅谷工程师混脸熟，加[linkedin](http://redirect.viglink.com/?key=a1aa544c3b328def412653f9fc432107&u=http%3A%2F%2Flinkedin.com)。接着就是和被我harass了3年的[斯坦福](http://www.1point3acres.com/stanford-ee-ms-admission-letter/)好友搅基，跑去参加人家的师兄师姐求职经验座谈会云云。通过这些活动，见一些前辈和同龄人，将来混内推，也学到了一些经验。其中斯坦福一个在埃森哲的学姐作为interviewer，给了很多很好的建议。比如面试时你说话的方式，你简历怎么让我觉得impressive等等。

假期做好了一些心里的规划后就是实践了。Campus interview的时候，我第一天去排了NV, TI, Yelp 和 微软，第二天就在苹果那里排了好几个小时，和CPU组的recruiter简短地聊了下，当场拿下了campus interview。很多人问我怎么在短短几分钟内impress一个站了一天，烦得要死的recruiter。其实所有你认为不利的因素都要反被你利用。你知道这个recruiter现在看任何一份简历都眼花，听你解释你复杂的research,project都想死，你为什么要说。即使要说，你为什么要说的让对方理解不了，记不住。我排队的时候，站在我前面的筒子们犯了几个不可原谅的typical错误。有一个被问及什么是你的dream job。这哥们直接看了一眼recruitername tag说：ah, design cpu? 然后直接被recruiter吐槽，you should go to INTEL. 另外一个直接被recruiter表示简历太难看，不简明扼要，改了再来。剩下的每个人都上前去说，这是我的背景，我的GPA，我多么多么优秀，你有没有什么职位给我。楼主在一年前，跟前面这些筒子们一模一样。我看多了大家的经验分享，自己认真地思考了以后，我感觉很多人真就输在这第一步。很多朋友问我，你就去careerfair跟人家握手，你准备个p。其实你真的需要准备，你需要想好一套措辞严谨，表达流畅的自我介绍和背景介绍，以及你为什么来这家公司，以及你想要什么职位。楼主猪猪一般地干过很多令人不齿的事情，比如不知道NI是干嘛的，被recruiter当场鄙视，从此再也不敢投NI。

当终于轮到我和苹果recruiter聊天时，楼主递了简历，等到他示意我tell me a little bit about yourself时，介绍了自己的背景，经验，迅速告诉他我从7月就想要productsafety engineer or system test engineer的职位，我要这个职位的原因有两重。一是本人是脑残果粉，进一个公司先相信这个公司的产品，blablabla说了一堆crap，列了一遍我i系列产品，明显看到recruiter表情变了！那表情基本就是为什么放弃治疗。接着结合自身背景，谈到这两个职位对我学业的重要性，以及我的背景会帮助苹果。Recruiter此时明显已经把我和前面那些不知道自己要干嘛，还要他配职位的筒子们分开了。他马上问的问题就是，你既然这么想要这俩职位，为什么不在7月投简历。我说我本科网投过你们，但是我知道网投会石沉大海，所以我2个月处心积虑就在等今天。他下一个问题直接是什么是combinational/sequential circuit，什么是synthesis，什么是verification，都很基础，就是看你不能发愣。就在我还在细分pre-silicon verification和post-silicon validation的时候，他直接表示:tellme more in tomorrow's interview. 当时真的很激动，看到前面一片筒子被呵呵了，拿到campus interview感觉很珍惜。

当晚23：00之后，苹果campus HR给我邮件confirm了第二天早上9：00的面试。当晚直接基本没睡，把简历上得project，相关可能被问的问题都想了一遍，就去面试了。一见到recruiter，就是昨天cpu组的那哥们。他上来就表示我已经忘了你是谁，今天你从零开始impress我。他扫了一眼我简历，看了GPA直接就问了一句话，当场把我弄得巨紧张：verilog or VHDL,pick one.我当时准备的一堆crap都被噎了回去，直接说了verilog.然后就是半小时的白板写code。都很基础，一边写code一边问blocking,non-blocking等这些很基础的问题，接着是手动synthesis成硬件。还非常细致地问了cache coherency，为什么要注意这个问题，给你一个dual-core system，选一种protocol，解释几个重要的transition，比如write miss, read miss, write to shared state.在一个snoop based system里面，master CPU是怎么在protocol FSM上transit的，其他CPU是怎么transit的。一定要非常清楚。我当时没想到他问这么细，所以一直在犯错误，但是他们其实看你反应，你修得快，你反应快，其实还是positive。半小时过后，这哥们一直擦黑板，看都不看我，就说了一句you did well，我当时就觉得我完蛋了，请允许我做一个悲伤的表情。

. From 1point 3acres bbs

没想到一星期之内，我竟然收到了positive feedback，面试被proceed了。这次联系后，苹果消失了好久好久，就在我完全不抱希望的时候，Texas的CPU组给了面试。当时我在面的三个公司都在Texas，没一个回加州的，我郁闷得要死。CPU组面试完全是disaster，面试的哥们一上来就及其不友好，一直在叨叨，我可能丢了你的简历，我没时间准备，我半小时以后有个会，blablabla，我在这边怎么ice breaker都没用。不论我如何回答，他总能找到一个很rude的方式来refute whatever I said。他问的问题涉及verification,dynamic simulation, formal verification, architecture, out-of-order scheduling,register renaming, data hazard (三种要非常细致地说出来)，cache coherency (how many protocols you are familiar with)，MESI protocol 为什么要有E这个stage, TLB, virtual memory, C++, data structure。还剩5分钟的时候，我当场给他写了一个merge sort，他要求code，not description。还进行了complexity estimation。反正就是有点tookme by surprise，而且气氛被他弄得巨紧张。最后还剩2分钟的时候，他说，问我一个我可以在两分钟内回答的问题。当时是keynote第二天，我就说你评价一下新的64位系统？在业界的地位，将来发展中你看好它么？然后他非常令我吃惊地说：Iwould rather not answer. 然后就是uncomfortable silence。我说是因为confidential么? 他说no, I have no comment, that’s it.那一刹那，我真的什么都不想问了。当时我就知道我的苹果面试可以结束了。不出意外，当晚我就被拒了。当晚楼主一夜没睡着，觉得巨窝火，无耻地打了一夜植物大战僵尸2。

从此，我就开始专心面别的公司，专心干自己的事情了。又隔了一段时间，苹果突然冒出来说加州芯片组决定继续面试，formal verification intern！当时我就觉得机会来了！因为扫一遍职位描述，exactly what Ido。我简历专门挑出来留下的材料覆盖了全部要求。被拒过一次就格外珍惜。芯片组面试take两星期多一点，做决定只用了一下午。两次面试都非常smooth，面试官都很友好。第一次基本是skillbased interview，我们做什么，你喜欢不喜欢。你会什么，你做过什么，你research什么。一定要条理清晰，简明扼要地介绍。而且随时expect digging。比如我说我有formalverification经验，他马上就会问什么叫formal verification，优点是什么，缺点是什么。这些可能你都知道，但是一两句话内，解释到recruiter满意，楼主这种战五渣没提前想过肯定跪。面试中因为很欢乐，他还推荐了我一本书，”TheArt of Verification with System Verilog Assertions”,楼主挂了电话就买了。中途他一直问我formal verification那个project的细节，我就说我去给你查一下report。他直接说给我发过来。我觉得这个report很加分。大家在学校写report时，一定不要敷衍了事，这个反应了你的处事态度，你的认真程度。第一场面完，他当场给了positive，还给了后续面试的建议！第二场面试，我按照他的建议，把formal verification project准备地巨充分。第二个recruiter不出所料把这个project问到了底，然后又是cache coherency的细节，不过这次完全准备好了。他每问一个问题，我说一个答案，他都问一句areyou sure。他一问我就会把细节全分析一遍，给他一个confirm。然后每次都是评价一句excellent。我觉得这个挺重要的，他看你的自信和反应速度，以及你在pressure之下怎么反应。后来他问多了areyou sure，我就老笑场，表示你为什么一直吓我，他说我看你真懂假懂。这两场面试中，有一个小细节我认为帮我拿下了两个人的印象分，那就是我一个好习惯：stockyour interviewer on linkedin without leaving a footprint.现在我们全组都被我培养了这个好习惯。HR一般会给你组，first name或者全名。这时你只需要google这个名字+公司，你基本就能找着这人。不行的话，加地点，加职位。你面verification engineer，你的recruiter基本100%也是同样的职位，不过是senior 罢了。找到recruiter以后，分析他的背景，他的强项，他可能会问的问题。比如第一个recruiter是UT-austin毕业的，当过DAC committee，发过一篇关于automatic assertion generation的文章老被我搜到，我就觉得这人会很research，果不其然，问了好久我的research。第二个recruiter来苹果之前，在INTEL干了11年，经验主要覆盖computer architecture, formal verification这一领域。果不其然，面试的时候全是我cache coherency formal verification的项目。这个黄金准则，在本学期，在楼主身上，适用于任何一个公司，任何一个recruiter。我简历上放着analog circuit project，面了两个月，没有任何一个人问过，因为面我的人都没有analog background。还有一个tip就是，面你的人，你运气好，他看了一遍你简历，你运气不好，他基本就是闭着眼随便出题。你如果明显能感觉recruiter没看你简历，你要take initiative。主动表示哥们儿，今儿天儿挺好，你中午哪儿吃去。我给你做个自我介绍吧。你能采取主动，lead整场interview，给他一个台阶下，对方一般会比较开心。楼主比起众多大神，渣得可以，就一个优点敢到处拿出来显摆，就是性格巨好（捂脸）。这个优点其实挺重要，面试中想办法展示出来，言谈话语让人家觉得你热情大方，跟你工作是absolute pleasure。拿到offer时，一封小邮件连带HR一起感谢了，大家都会很喜欢你。没拿offer时，也回一封，谢谢你废了这么多努力，希望有新职位记着我。我不知道这些多管用，肯定不减分。离开华为时，VPAlan Gatherer直接打电话给我老板，表示我是pleasant kid，supervisor们都发邮件表示你性格好pleasant。这次还没有进苹果，HR和未来两位同事已经表示super happy totalk to you, like your personality。Recruiters 也是人，大家轻松愉快一点么~

通过这些经验sharing，我只是想说，你拿不拿offer，看运气，看时机，看how much dedication you take。更重要的一点，看你想不想要。你想要这个offer，你总能想尽办法make it work。我本学期再次开始面试之前，再也不会像本科一样，不知道这个公司干嘛的，不知道自己想要什么职位。再也不会拿着电话，看着简历，自己都不知道自己当时干了神马。再也不会跟人家说我忘了，我不会。再也不会明明会一个问题，因为没有练习过，答得磕磕巴巴，跟不会一样。再也不会你让我做一个clock divider，我会divided by 2, 就不会4，会even不会odd number division。我说了我做过computer architecture的项目，打比方你从RISC,CISC问到Princeton architecture, [harvard](http://tinyurl.com/nukrh85) architecture,in-order-processor, out-of-order processing, 如何处理各种hazard我都提前anticipate好了。准备面试绝不是看你简历，能解释你project即可就可以了。你告诉别人你会一个领域，那相关的题你要记录，要积累，今天会一道，明天会一道，不能忘。软件可以刷[careercup](http://www.amazon.com/Cracking-Coding-Interview-Programming-Questions/dp/0984782850/?&_encoding=UTF8&tag=1point3acres-20&linkCode=ur2&linkId=9b955ce5e3d3a4ad316bdbd14bc87c3e&camp=1789&creative=9325), cracking the coding interview，硬件我还没发现这么好的网站。glassdoor有一些经验但是完全不充分，所以全靠你自己总结。总结出来自己说几遍，你觉得你能让人听懂么？你说话调理清晰么？这都非常重要。

楼主一年前是战斗力为负的渣渣，上学期一个面试都没拿，GPA发指，华为是老板直接塞进去的。这篇文章鼓励所有不放弃自己的战零渣筒子们，平和心态，慢慢积累，常常反思，多交朋友。你的心态改变了，慢慢就出现了质变：）先变战五渣，对吧。

## 经验7

恩 power和timing被问的比较多 我觉得这本书看完 circuit方面基本就可以了  
主要是digital logic 和verilog 要很熟练 不仅要会写verilog，还要能想象出怎么生成这些gate-baidu 1point3acres  
一般我面试之前都去glass door上面看看公司的题 再刷下asic-world 和 asic.co   
  
最好能背下一些常问到的题,每个都写过verilog，比如  
divide by 2/3 circuit with 50 duty cycle  
sequence detector(这个种类太多了但是万变不离其宗）. From 1point 3acres bbs  
detect number of 1's in 8 bit  
synchronizer/ asynchronous fifo.  
Arbiter  
128 bit priority encoder/ encoder design  
. From 1point 3acres bbs  
暂时只能想到那么多了 另外C++和数据结构也要懂点

## 经验8

<https://www.1point3acres.com/bbs/forum.php?mod=viewthread&tid=273967&extra=&page=1>

找工作也算告一段落了，面对周围大多数小伙伴转码的现实，我还是毅然决然的决定坚守自己热爱的硬件，结果还算满意，也希望自己的面经能帮到一些人吧。先自我介绍一下背景吧，本人Berkeley的eecs Meng，方向是digital system和computer architecture，本科无实习。我找工作的方向很广，从后端的physical design到前端的ASIC/FPGA design再到verification，下面面经也会具体介绍每个岗位的要求与面试内容。  
  
Offer：Cisco, Juniper, Qualcomm, Intel, Texas Instruments  
Reject: Apple, Oracle, Nvidia, Sandisk  
Other: Google, Arista, Micron,Facebook  
  
  
Reject：  
1.Apple： 他们家我一共面了四个组，因为是按组招人，所以理论上可以面很多次，但问题是如果你onsite了，后面的组不会再给你onsite，因为他们已经有了你第一次oniste足够多的feedback，所以不会move on至少我是这样被坑的  
ASIC Design: 这是我第一个onsite screen，所以非常紧张，导致最后血崩。面了一道bit manipulation，

bitbrahms，本帖隐藏的内容需要积分高于 188 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

因为那时候没有准备充分，所以很多题都没有回答得很好，面试官给了巨多hint才勉强答出，第二天被告知不match，但hr很好地居然给我match了第二个组  
FPGA Design：其实非常match的组，因为本科研究生的时候做了很多FPGA的proj，所以期望值很高，两轮phone考的都是很基本的general asic/fpga 面试题，asic.io上基本都有，因为是phone screen所以基本概念和简历问的比较多。  
phone完两周（不忍吐槽apple效率）给了onsite。 onsite一共九轮，一轮45-60 minutes绝对是一场拉锯战。apple的onsite的面试应该是我面的公司里算是很难的，一个简简单单的resume上的点，他可以不停地follow up，直到把你问傻。还有就是他们居然还考了我perl/python scripting, 也属于意料之外。其他的题也是很难，都是大的design题，比如如何设计一个recrusive的algorithm用最少的hardware module实现，然后如何用pipeline，parallel，time-multiplexing去优化,平衡trade-off。最后manager还考了一道fpga partition里data的transfer的问题，完全不会orz，有两人问了很多c++的OOP和linked list准备过leetcode应该不难。虽然有5-6轮面的很好，但一个月后还是不出意外地收到了拒信  
SOC Physical Design: 因为本科方向是physical design并发了一篇7nm的paper，所以也收到了Apple PD 的onsite screen。应该说面的很顺，主要聊我research的paper，面试官也非常感兴趣，然后问了一下crosstalk，clock/power gating的点，再问了cmos，linked list的题目就放我走了。过了几天feedback就positive了，但问题来了，Apple hr内部是不沟通的并保持相对独立，在PD onsite前审我的材料时发现我已经onsite过一次，可能有1-2个negative feedback让他们最后反悔了给我onsite的inivitatiin，让我也非常郁闷，但也只能move on了  
SOC Design Verification: 也是很无语，是我Apple里最想去的组，因为可以学到很多programming和computer architecture，但也是PD一样的原因最后不了了之，他们内部HR运作实在是混乱。这几次折腾后Apple最后再也没理过我呵呵。。  
  
2.Oracle: 又是一家非常郁闷的公司，因为在我面完他们就大规模地裁员了，所以我觉得虽然面试很顺利但没有一个组给offer应该是内部的原因（只是找借口orz）  
Switch ASIC:

bitbrahms，本帖隐藏的内容需要积分高于 188 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

SOC Verification: DV组，面的纯软件，从linkedlist，BST, String，stack/queue 到一些简单的DP/Design（count stairs combinations/snake game design）。因为面之前把leetcode easy/median常见题都刷了几遍，所以都不难。都不是很复杂的算法题，但DV 还是要确保你的programming skills是有优秀的，不然每天写码还是很吃力。也问了一些SystemVerilog的例子，但因为我说我没有很深入研究过，他们也表示理解，放了放水。Manger也半聊天半问题，还问了一下经典的puzzle题（也是很奇葩）  
SPARC Firmware/OS:

bitbrahms，本帖隐藏的内容需要积分高于 188 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

Oracle 过了很久说没有match，所以不move on了，但那时候他们SPARC/Solaris已经开始裁员了，然后我面的也都是和SPARC/Solaris相关的组，所以感觉还是因为内部裁员的原因。说实话，这次Oracle裁员基本已经给SPARC/Solaris 画上了句号，他们hardware以后也不会怎么招人，已经进入维护和衰退的阶段，毕竟除了oracle自己没人用他们的server了。不建议再投他们家。. check 1point3acres for more.  
  
3.Nvidia：一家2016年底大红大紫的公司，股票直接涨的飞起。自己也是很看好很喜欢他们做的GPU产品，所以第一个学期也是着重准备了他们的面试。给的是ASIC Design/Verification. 但phone面完大概知道其实Nvidia面的基本都是纯software的题，design不怎么找新人，进去一般都是直接用C++做verification，因为那时候leetcode没怎么刷，所以非常的血崩。  
phone round1: 非常程序化的面试，题目都不难，FSM/Data hazard/OOP/Verilog/C/C++,去glassdoor看一下发现他们每年的题都八九不离十. 1point3acres  
phone round2: 这一轮很晕，问的三道经典算法题，也是很醉，上来reverse linkedlist，然后写完说可不可以用recursion，我直接一边拖住他一边网上抄了，勉勉强强move on。。第二题是circle linkedlist，怎么找起始位置，也是原题，没见过肯定不会做。最后一道count stair combinatins，其实就是Fibonacci series，我说了Fib还没说完，他就说OK了，面得一身虚汗，感觉software那时候太薄弱，已经招架不住。  
Onsite: 一共六轮好像，应该说很坑，因为我感觉他们问的题很多面SDE才会被问道，很多题hardware里我那时候觉得根本不需要知道。  
round3：第一个印度小哥，上来就说you should be very confident with C++. 然后就是悲剧的开始，第一题还好，怎么用linked list写一个stack/queue的data structure，注意add在开头就行不然很慢。第二题是Leetcode的原题Search in Rotated Sorted Array II，没做过，一脸懵逼地看了他十几分钟。最后还问了一道Minimum Size Subarray Sum 。 都是leetcode里偏难的题目，那时候直接献给了他我的膝盖。  
对的  
round4：一个美国的nerd小哥，完全不理你，给了一道BST的题让你去写，然后全程自己在玩电脑，也不看我，导致最后完全慌了。后来想想也还好，就是写一些BST的traversal已经如何去delete node分多种情况，然后还怎么去balance， AVL tree的一些知识点，都学过，但因为他不理你不给你feeback，所以导致很崩溃最后. 1point3acres  
round5：面了两轮纯software，我已经开始怀疑人生了，双手合十希望下一个[linkedin](http://redirect.viglink.com/?key=a1aa544c3b328def412653f9fc432107&u=http%3A%2F%2Flinkedin.com)上写hardware manger的能给我一些硬件题，调整一下状态。但崩溃的是他上来第一句话，也不看简历，还是good with C++,right？let's start. 内心很拒绝，但他面的还好，就是一些pointer的题，但很多follow up很诡异，比如virtual function有什么缺点，我真是见了鬼了知道有什么缺点，还让我举例子为什么他可能会不好。最后看我被虐得太惨，给了我一道FSM的题，我因为精神已经错乱，虽然答对，但都反了一些低级的错误被他指出，又一个strong negative。  
round6: 因为知道自己前面基本无望，所以也无所谓了，这个manager还算客气，问了一道大的design/verification题，

bitbrahms，本帖隐藏的内容需要积分高于 188 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

round8： HR, 简单聊了聊process和我的expectation，一些behaviour questions，因为知道面跪，所以也没什么好谈的，三周后收到拒信。  
Nvidia其实面完我很责怪自己，为什么知道他们会着重问c++（phone interview就看出来了他们的风格），我也没有好好刷leetcode，面的题事后回想起都是可以做的很好的，那之后，我把leetcode easy/mediumi和常见的hard题都刷了一遍，自此sw的题也再也没有翻过船。虽然很遗憾，但也算是为后面的面试铺了路知道了自己需要加强的方向。. From 1point 3acres bbs  
  
4.Sandisk: 一家自己根本不想去的公司，因为做的是memory，我自己觉得会很无聊很底层，所以也只是抱着去玩玩的心态去面了，面的应该说很好，但估计他们看出来我死鱼的心态，所以最后拖着一直不给结果，一个月后一个reject。  
phone：Resume，聊他们的产品，我也没怎么听明白，到时间了就给我schedule了onsite  
round1: 问我mosfet的三个region，早就忘了，直接给个Idk，面试官看着我心里都好笑，后面的题目都还好，很简单，都是一些logic gate的知识，怎么用nand/nor 做xor/xnor。还有些demorgan 的运算忘了  
round2: 第二个是个ucla的校友，问了我一些很简单的C++题然后就带我去吃饭了，食堂装修不错，但汉堡又硬又不好吃，impression比较差  
round3: 是他们的大boss，一个台湾女的，超级的严肃，全程问题，也不给你feedback，冷的不行。

bitbrahms，本帖隐藏的内容需要积分高于 155 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

round4: 电面我的engineer，人很好，讲了很多我的projects，resume，然后也是问了最基本的verilog/circuit 题目，秒答  
round5: 好像问了asynchronize/synchronize的reset的问题，问的很细，还叫你block diagram画出来说区别和优缺点，其他的题也都还好  
round6: 一个黑人大叔，很友善，问了clock gating的两种design方法，和怎么detect rising/falling edge, 和一些logic gate的circuit实现，最后聊了聊就送我出去了。  
  
Offer：  
1. Intel: Intel 前前后后也面了三个不同的组，两个因为地理原因我把它们拒了，感觉Intel虽然对中国人卡的蛮严这些年，在加上他们的hiring freeze，要拿到offer也是蛮不容易的一件事情  
Intel Standard Cell Design: 组在Oregon，一个印度manager约的phone。先是介绍他们的hiearchy，说他们在work on 7nm的standard cell libary，

bitbrahms，本帖隐藏的内容需要积分高于 188 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

发邮件把他们组拒了哈哈  
Intel Microprocessor Design/Verification: 是很晚收到的一个面试，他们组做的是Xeon processor 的DDR memoery interface的verification和design，应该说很感兴趣，但location在遥远寒冷的boston。

bitbrahms，本帖隐藏的内容需要积分高于 188 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

Intel FPGA IP design: 其实是Altera前几年被Intel收购了。他们核心的产品当然是FPGA，我也非常感兴趣，manager很奇怪是linkedin联系我的问我要不要面试，也不给我具体什么position，虽然最后拿到offer但整个process非常不专业  
phone: 大boss和我聊了简历，和他们组干的活，应该说从后端到前端都做，所以onsite会考量我具体胜任哪个position。基本都是resume related follow up问题，到点了就schedule onsite  
onsite： 一共五轮，可以说是最水的onsite没有之一，全程弱智题，然后做完就聊天  
round1: 大boss again，问了很多CTS的东西以及怎么insert buffer/inverter去修delay，然后还是一些基础的logic gate 的设计题不难，第三题是BST，最后一题是怎么用FF判断轮盘的顺/逆转向，网上都有

bitbrahms，本帖隐藏的内容需要积分高于 155 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

round4: 一个有着浓郁咖喱味的印度哥哥，问了FF是怎么用circuit实现的，磕磕绊绊的说出来后，followup怎么确定circuit里的setup/hold，想了想还是答出来了  
round5: 一个中年国人大叔，非常nice，全程国语交流，面完几道很简单的题后，就让我给他聊简历，听完他说很impressive。。但说他们组可能更后端一点，让我考虑清楚  
Intel还是一个不错的公司，就是待遇真的很差，我知道的基本都在90k左右的base salary，非常的standard。  
  
2. Qualcomm： 纯网申，给了一个digital hardware (entry level)的面试，组里面做的是用FPGA做5G 的test platform，本人也很感兴趣，因为5G和手机芯片 Qualcomm一直是市场巨无霸  
phone: 一个senior engieer面的，面的应该说还蛮难，第一道题还是 setup/hold 的变种题。第二题很深， 是multi-bit domian crossing 和FIFO，以及各种情况下的fix 方法。面完一周给san diego的onsite  
onsite: 一共五轮，Qualcomm在san diego应该说是工业支柱的感觉，campus超级大也非常的fancy，关键是南加的天气实在是太完美  
round1: 组的manager，很和蔼，全程就是一道design 题，Qualcomm所有的题感觉都是他们自己project里遇到的问题，所以网上很难找到对应的题型，好像问了关于complex number multiplication的题目，然后要求你用minimized的hardware去实现，绞尽脑汁想出一个solution，manager看了看也还满意，带我去了下一个room  
round2: 一个中年印度大叔，基本是聊简历问问题，

bitbrahms，本帖隐藏的内容需要积分高于 188 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

round5: 是面我phone的小哥，上来直接给我一张纸，上面写了一大道类似LFSU的题目，具体google一下然后理解了就很easy。接着问我FIFO里gray code 怎么programme，写个algorihtm，因为proj做过所以也没问题，最后的最后问了一下one-hot/binary encoding孰优孰劣  
Qualcomm一周后发了offer，给的也很不错，但就是因为妹子在湾区工作所以没办法忍痛decline了，这两年Qualcomm也在慢慢的恢复，不像前几年一直freeze搞得很尴尬。这个组感觉是hw sw一半一半的构成，所以还是可以学到很多hw/sw的东西，感兴趣的同学可以试一下  
  
3. Texas Instruments: 校招给的面试，前前后后一共三个月，效率堪忧。TI一直是Analog/mixed signal 的行业标杆，这两年接受了Iot的业务，也是发展迅猛的不行。总体感觉他们面试很behaviour  
campus screen: career fair后一天给了个面试，基本就是问简历，然后问你怎么团队合作，很水，完全没考technical questions，过了一周schedule了second phone interview  
phone screen: 形式很奇怪，是用cisco的webex，然后让我用ppt给他们讲我做的proj，两个manager同时面，因为他们都是做physical design的，所以也主要围绕我的PD 的paper问问题，实在没东西聊了就挂了电话，全程基本都是我在扯，他们在听，非常的奇葩，但feeback还是很positive  
onsite: onsite很诡异，开始给我的是Texas的组的onsite，我死活不满意因为知道他们硅谷有分部，所以hr帮我去reschedule onsite，这一等就是一个半月，最后还是安排了santa clara的onsite面试  
round1: 也是问简历，介绍他们组是干什么的，好像是给tesla做芯片的，具体不是很熟悉，但跟IO有关。一个字，水。。。  
round2: 一个国人大叔，

bitbrahms，本帖隐藏的内容需要积分高于 188 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

当天晚上就给了口头offer，其实总体还是不错，但做的东西还是很mixed-signal，和自己的方向不是很相关，以及公司特性就是anolog 为主，所以担心职业前景，最后还是decline了  
  
4. Juniper Networks: 自己非常喜欢的network的公司， 跟cisco是行业里最大的竞争对手，虽然他们的ASIC group规模不大，人也不多，但都是很smart的people非常的有经验。传说是平均工资给的最高的硅谷公司，设施也非常的fancy，总之给我的impression非常的高 大 上。我是通过伯克利spring的career fair，然后hr给了asic 的manager，最后拿到的电话面试，职位是ASIC verification  
phone screen：大boss面的，上来问了一道不难的Fib series，开始给了recursion和O(n)的解，但他要我再快一些，我说log(N),但死活想不出来了，他说fine没有关系就下一题了，第二题有点忘了，就是一道leetcode 题，在data stream里找median，感兴趣的同学可以看一下leetcode，应该室友原题的，最后答得还算满意，直接给了onsite  
onsite: onsite一共五轮，每轮都是非常detail的软件题目，面完虽然很累感觉明显高出了正常面试的要求，但因为之前nvidia血的教训，软件知识储备还是很不错这次  
round1: 一个亚裔，上来显示问我proj里fifo怎么设计，然后开始软件题，reverse linkedlist，bit manipulation， 然后用queue去处理一个switch的processing，从来没见过和学过network的知识，后来想了一下还是给出了最优解  
round2: 一个黑哥哥，非常的严肃，上来一道硬件design 题，然后还是怎么用最少的hardware去优化，其中设计很多去观察data p[att](http://https/redirect.viglink.com?key=a1aa544c3b328def412653f9fc432107&u=https%3A%2F%2Fwww.att.com%2Fshop%2Fwireless%2Fdevices%2Fcellphones.html)ern去optimize，事后回想去还是很巧妙。然后就是systemverilog，SVA，UVM, C++, OOP Concepts，问得很杂，但都不是很深，学过应该都答得出来  
round3: 一个印度小哥，上来显示怎么find unique number，用xor，leetcode原题，然后还有cache coherency/Round Robin arbiter design。 问完就是一堆UVM的题目，非常的难，还要结合network的知识，以及static/automatic在SV里运用，还有fork join的三种类型。  
round4: 小manager，问了很多computer architecture的点，branch predication/MEOSI/Pipeline/cache, 然后还有很多BST的easy/median题目，最后过了一遍C的pointer，就结束了  
round5: phone的大boss，看我很累，就放了放水，介绍了一下juniper的产品和工作life balance以及我的expectation，就送我出去了  
最后juniper给的package也是非常的好，base加bonus也超过13万了，还有股票signon relocation，但最后还是和cisco的比较中放弃了juniper，很可惜，不知道自己会不会后悔  
  
5. Cisco: 最后决定取得公司，录得是他们的data center swith组，做ASIC design, ASIC verifcation and FPGA emulation, 我喜欢的原因是不同的project phase会去做不同的活，所以基本做完整个前端都可以很熟悉，非常的全能，也比较符合我的特点。纯属网申，因为career fair hr和我说hardware engineer 不招国际生，所以一直没有考虑进我的list，最后拿到也是很意外。他们家的特点就是没有onsite，但用他们自己的cisco webex，类似skype的软件，然后share 你的screen给他们写code  
round 1：ASIC director面的，他应该是data center 硬件组的老大，非常的牛x，先是聊了一下简历，扯了扯伯克利（他也是伯克利毕业），然后开始[刷题](http://www.1point3acres.com/bbs/forum-84-1.html)，第一题就是用mux实现各种logic gate，很简单，第二题还是各种bit manipulation，leetcode上做一遍就没事，最后一题是怎么在一堆数里找median，不难，想一想就没事  
round2:  就一到题，要求用verilog写 systemveriog verify，

bitbrahms，本帖隐藏的内容需要积分高于 188 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

Cisco去年裁了很多hardware的员工，说是在转型，我也不知道去cisco是不是合理，但他们data center的业务还是很大的一个支柱，觉得短期也不会有什么问题，给的package很梦幻，base 122500还有很多bonus signon relocation，以及1.5的overtime fee，加在一起第一年可能有17/18 万，最后还是决定从了。  
  
Other:  
这都是一些没有面完，或者联系过就没有继续的公司，也有一些坑爹公司  
1. Google: 找人内退的hardware position，很少听说google招hardware，但其实他们也是做得就是需求量不那么大而已，最后因为实在太慢，面了一次后就和hr说了句抱歉不面了，因为那时候cisco juniper ddl快到了  
2. Facebook: 面的也是他们data center的infrastureture组，hr打了一次电话说去match，就再也没理过我  
3. Micron: 签完cisco后来约我design verification的面试，最后也是直接pass了，虽说是家做memory的公司，但听说待遇比大多说硬件公司都要好，大家可以试一下  
4. Arista: 一家很新的network的startup，最近一直在和cisco抢地盘，但公司真的很差劲，面了两轮screen，最后说不sponsor 好h1b，我内心一个大写的呵呵  
  
大概就是那么多了，虽然现在是software工作遍地的年代，如果你还想留在硬件，也不是没有机会，虽然我不能代表大多数，面试的机会也可能是因为伯克利的牌子的缘由，但多多提升自己software/hardware的知识储备还是很重要的，需要了解的可以私信我，我也非常乐于帮助大家，也希望打击都有不错的去处。good luck

## 经验9

<https://www.1point3acres.com/bbs/forum.php?mod=viewthread&tid=37381&extra=page%3D18%26filter%3Dsortid%26sortid%3D192%26searchoption%5B3088%5D%5Bvalue%5D%3D2%26searchoption%5B3088%5D%5Btype%5D%3Dradio%26sortid%3D192%26orderby%3Ddateline>

找工作大半年，终于尘埃落定。最终结果自己还算满意，在此写个对自己过去准备和面试的总结，也算是为EE专业正在找工作的同学提供一点点经验以供参考，希望能帮到大部分的EEer。本人见识有限，如说法有误，恳请看官指出，欢迎一起讨论。  
  
先说下结果吧：拿到五场onsite，分别是AMD, SanDisk, Intel, Marvell, Qualcomm。 除了AMD因为特殊原因没去成onsite外，最后拿下了除SanDisk外的别的三家的offer。不出意外应该会签Q。. 1point3acres  
  
本人基本信息：本科毕业于Sun Yat-Sen University， 专业微电子；研究生毕业于University of Pittsburgh, 专业ECE。 GPA过低不提也罢。但是GPA会影响对某些公司的申请，比如Oracle,所以建议后来者还是多多重视GPA。3.8/4是最低要求。  
面试准备：（无视NDA，为广大童鞋谋幸福。。。）  
本人主要申请的方向是Digital ASIC Design和Design Verification。前者更偏重纯设计，后者除了设计能力外，编程能力也很看重。如果你不会System Verilog, 对各种verification的methodology不熟悉，请务必练好C++，因为这是他们考察你能否做verification的标准。  
  
C++的考察重点

以下内容需要积分高于 100 您已经可以浏览

集中在OO的概念理解，抽象继承封装多态啥的一定要很懂。虚函数几乎是必考，也就是所谓的动态绑定如何实现。抽象基类，多重继承，纯虚函数偶尔也会考考，但是概率不大。面试题基本都是位操作，请务必练熟，网上和cracking the coding interview都有专门的介绍，其实技巧就那几个，熟悉就不难了。链表，数组，二叉树有时候会考，尽量熟悉总不是坏事。其余的，比如模板，操作符重载，复制控制等等应用，其实硬件考得不多，不用过于纠结，当然还是建议至少知道是怎么回事。本人只看过C++ primer，所以很多高级用法都没听过，但如果是准备硬件公司的面试，我可以负责的说C++ primer绝对足够了。建议多看几遍，我看了4遍，每次看都有新收获，而且还要练，光看不行。练习题我都是做Cracking the coding interview的数据结构部分。个人认为你能搞定这些，C++以及各种编程相关的，都不会难倒你。

脚本语言，最好懂Perl或Python。一般会出些简单的正则表达式考你。个人经历是，脚本考得概率不是很大，好像不会也不是大事，但会的话总是一个plus，也不算难学。  
  
至于数电方面的准备，首先整个ASIC FLOW一定要搞懂，包括前端和后端分别要干什么。其实面Front End的职位，不会涉及太多的VLSI的事情（这里有个例外，synchronizer常考，必须懂）。但是VLSI能帮助你更好的理解整个数电设计的flow。复习它们，也不会是浪费时间的。异步时钟域的通信，也是常考的概念。除了Synchronizer, handshake技术以及Asynchronous FIFO，都是解决异步时钟域的常用办法。至于什么时候用什么，各位Google下就可以知道。Asynchronous FIFO有可能会考写Verilog源代码，我没被考过，但是有不少人被考过，建议大家准备。有一个经典的PDF是讲这个的，标题叫“Simulation and Synthesis Techniques for Asynchronous FIFO Design”，各位有兴趣的可以Google，里面有可综合完整源代码。对于FIFO Depth的计算也要了解。. From 1point 3acres bbs  
  
数电设计并不是我的强项，我就不介绍太多了，有下面的网站强烈推荐，基本概况了面试70%的题目，如果你应聘的是数电工程师，我建议先把这个网站的内容全部搞定，面试就会相对轻松：  
<http://asic.co.in/Index_files/verilog_interview_questions.htm>  
概况了Verilog，synthesis，digital，timing，ASIC， CMOS， MISC的问题。这几个基本上是面试常考的问题， 尤其是时序分析， 一定要精通这个，100%会考的。最好拿几个面试题来练练手。  
  
Computer architecture，也是属于optional，除了特定的组（比如CPU组），别的组不会也没太大所谓，但会总是一个plus, 而且考的概率还是蛮大。主要集中在Pipelining, Hazards, Memory Hierarchy (especially cache design), branch prediction (Tournament Predictors), Dynamic Scheduling (Tomasulo Algorithm & Speculation)， SMP (cache coherency, MESI protocol) . 这几个最常考。当然有时间的话还是建议好好的把教科书 “Computer Architecture-A Quantitative Approach 4th”好好看一遍，绝对是值得的。下面的网站用Java Applet可以让你更生动的了解Pipelining和Cache Design  
<http://www.cs.iastate.edu/~prabhu/Tutorial/title.html>  
  
技术方面本人不是大牛，就不多说贻笑大方了，下面主要说说这几次面试的经历和对各个公司的一些简单的看法：  
  
MARVELL（USB组，Design Verification Engineer, 拿到offer）  
第一家onsite是Marvell，很幸运的第一次就中了，对他家印象相当不错。楼比较气派，周围环境也可以。食堂没传说中吹的那么牛逼。。。但是比别的公司来说确实还是更适合国人去吃饭。这家公司基本上评价是毁誉参半，好的不用多说，国人很多（内部工作语言是中文），培训大方（manager说会送去Cadence和Synopsys培训verification methodology和EDA软件），地点好（Santa Clara）, 据说绿卡政策也是很好。唯一不好的，可能就是待遇明显低于平均水平（我的offer是用Intel的verbal offer压过来的，所以会比正常的偏高15k左右，但其实他家的标准package确实不咋地）。主要业务是硬盘控制器的芯片，我的组是USB组，给的title是Design Verification Engineer. 这家的onsite强度有点大，从早上10:30开始，面到下午的5点。中间吃饭是个休息，别的时间都在面试，还有不少2:1的面试。总体来说，难度偏低于平均水平，只要正常发挥，相信很多人可以答得很好。特别要注意的是personality，这个其实是会重点考虑的。很多时候candidate的水平不会差很多，你的人格和性格也会是他们做选择的一个重要考虑点。  
总结下就是，拿到Marvell的onsite，机会其实就很大了（这家公司其实真心蛮抠门的，CA site一般都不大愿意出机票，都是用Skype面试当onsite的）。所以如果你能说服他们给你出机票（我足足用了4轮电话面试，现在想起来真是蛮crazy）, 你离成功就很近了，要给自己信心！







SanDisk （NAND组，Verification Engineer,被拒）  
Marvell面完后第二天就去Milpitas 面SanDisk, 这家主要是做NAND Flash存储。这家公司的风格跟start-up没啥区别，连corporation credit card都没有，旅馆还要我自己订的。。。还给我找个比国内7天都不如但是价格高达259刀的旅店。。。（虽然说会报销）而且中午吃饭的时候是Director带出去下馆子的。。。还好是个粤菜馆。这家公司貌似就在大名鼎鼎的大华对面，所以下班了可以直接过去那边的Mall各种消遣，还是蛮惬意的。这家公司如果去面试，一定会见到大名鼎鼎的Director James, 基本上电面也是他来搞定，onsite的时候吃饭也是他。他在整个面试过程中占据蛮重要的地位。  
SanDisk是我连续3天onsite的第二场，所以Director只安排了5轮。三轮技术面试，总体来说难度平均，但是考察点都很全面，所以还是建议准备充足再去。这家把我拒了，我也没太多建议可以提供，但是据内部人说SanDisk一般不是挑最牛的人，而是挑最适合相处的人。。。所以大家一定要重视personality这样东西。  
SanDisk的Pay好像比Marvell要稍高点，但也高不到哪里去。基本属于一个等级。仍然算是一个不错的选择。





    
Intel（Smartphone/Tablet组，Software Engineer,拿到offer）  
面完SanDisk后，就离开San Jose, 奔向Portland面传说中的巨无霸公司：Intel  
实话实说这家公司是我面试过的所有公司中，难度最高的，不仅仅是onsite，电面的难度也比其他公司高出一截。倒不是说他家的面试真有多么难，而是这个职位是HW/SW Co-Design, 需要你软硬的背景都很好。组里的成员都是Software Engineer, 但都是EDA公司过来的Software Engineer， 甚至还看到Electronic Arts公司过来的。这个组是新成立的

bitbrahms，本帖隐藏的内容需要积分高于 133 才可浏览，您当前积分为 109。   
[查看如何攒积分 Click here for more info.](https://www.1point3acres.com/bbs/thread-71069-1-1.html)

Intel 的好处就是名气特别大，这点我是深有体会。他家不仅仅产品好技术牛，做广告的能力也是冠绝很多IT公司的。相比Qualcomm和Marvell和SanDisk, 只有Intel是几乎所有人都知道的，哪怕你不是做IT技术领域的。坏处就是他家Santa Clara的总部很难进，我面试的这个点是Portland in Oregon，如果是Santa Clara总部的话我估计毫不犹豫就签他家了。虽然面试难，但确实能接触到很多方面的知识，而且mobile device肯定是未来几年发展的重点，做这个以后跳槽估计也比较方便。待遇不是很理想，感觉就算考虑了地区消费差异，他家待遇也有点低，算是给各位对Intel有兴趣的童鞋一个小小的参考。 他家招国人要办Export License Control, 这玩意一般要办2~3个月，RP不好的话6个月也是可能的。如果你想马上上班赚钱，可能Intel不见得是个很好的选择。当然总体来说，reputation摆在那里，去这种公司应该还是很稳定的，对以后的career path也是不错的开始 （毕竟一开始就站在了很高的起点上）。





    
Qualcomm （SOC图形组，Graphical Design Verification Engineer,拿到offer）  
接下来说说很多人心中engineer的Dream Company---Qualcomm。  
很有幸的，在投了30多次申请后，Q给我电面的机会。很幸运的，电面只一轮，就给了onsite的机会。而且onsite也幸运滴中了。  
所以很多人说什么Q很挑人，Q面试很难，Q很难去这些的问题，其实我并没有太深切的感受……他家的面试难度基本上也是average，没有偏题和怪题， 很标准。 这家公司给我最大的感受就是不差钱： 首先是自己可以随便选航班，选旅馆，住几晚都没有问题，只要你给出足够reasonable的理由； 面试的时候是先去某栋叫做“candidate care center”的building报道，然后乘坐shuttle bus去特定的building面试。去过Q在San Diego总部的人都知道，Q在那边有37栋左右的楼，还要在扩建10栋。他家的campus是我见过最大的，如果没有shuttle bus我完全不知道怎么行动。。。可能正是因为楼很多，地方大，他家不是像很多公司一样集中办公，而是每两个engineer share一个office，如果你是Sr. title的engineer或manager，你自己一个人一个office，隐私空间无限爽。。。。。。饭堂一般（面多了几家公司后就知道Marvell的饭堂确实赞的。。。可惜开始时身在福中不知福）。我的组里面全是烙印，算是一个比较大的遗憾。做的是SOC里图形部分的design verification，大老板是AMD图形组挖过来的。考虑到Q在现在移动设备芯片中的强势，我觉得这个职位还是蛮吸引我的。  
Q家的好处也是很多的，首先这家公司的package确实很强势，福利也很好。考虑到他家CDMA技术的专利垄断，基本上公司还是很稳定的。工作强度据说比Marvell要低，员工满意度一向很高（据说仅次于Apple公司），长年进入福布斯最佳雇主100强的前10。San Diego是个很适宜居住的地方，消费也没有硅谷那么高。如果不是那么多烙印在组里，Q几乎挑不出明显的缺点。如果不在乎公司知名度差异的话，很多时候Q不会是比Intel差的选择（我觉得很多人说Q不说Intel并不是因为Intel不好，而是因为Intel确实很少招中国master，intern是甭指望了，FT招的也不多）。





还有点空间，再说说别的几家面试过的公司给我的一些印象吧：  
  
AMD： 这公司电面是压根不考技术的。。。纯粹考communication的能力。按大Boss的说法，他们组的东西特别复杂，需要50多个人一起做（我申请的是前ATI组，做Graphical Design Verification）, 所以沟通能力比什么都重要。电面虽然面了2轮，但完全就是扯淡，会考察你一些leadership和solve conflicts within a team这样的behavioral 问题。这家公司一开始一直是我的Dream Company, 并不是说他家有多牛，而是他家的manager和team member对我特别满意，这是我从来没受到过的待遇，所以本来对他家的onsite是很抱信心的。后来发生一些不可抗拒的事情，就没去onsite，但即便如此，manager和HR都分别写了很长的信来，说以后要是还有机会，希望我考虑他们家。从这一点上看，AMD其实是相当有人情味的公司，至少我那个组是这样的。他们给我相当positive的feedback也给我后面的面试增强了很多信心。  
  
NVIDIA： 完全是刚开始面试的时候拿来练手的。面过一个后端的SRAM IP组和一个CPU组。面的一塌糊涂，后来才了解NVIDIA的面试难度几乎是全部EE公司中最高的，完全可以跟Apple相提并论。所以吧。。。但拿这公司练手也是有好处的，就是你以后很难再碰到比这公司更BT的面试题了。。。  
  
[Amazon](http://www.amazon.com/b?_encoding=UTF8&tag=1p3a-guanlian-20&linkCode=ur2&linkId=89c11e2c5b86155c5422f19cca1e9880&camp=1789&creative=9325&node=5): 由于很长一段时间我都在找coder的工作，所以这家大众公司显然逃不开。已经是去年6月份的事情，当时是找同学内推的。也是面的一塌糊涂。。。在这里要劝告很多EE想转CS的同学，一定要早做准备，多take CS的课，多做有用的project，而且算法和数据结构要练到很熟，这样你成功的机会才会增加。CS的机会是有很多，但是真正好的公司，比如Amazon, Microsoft, Google这类的还是竞争很激烈的，不要以为纯会做题就可以了，尽量通过project来增加你的CS sense，最好找个intern做做，了解整个software development cycle是怎么回事。  
  
TI： 这家烙印很多，而且做模电为主。基本上没做过他家的intern想拿FT有点困难。  
  
Apple: 在我签约后2个星期到现在，recruiter找了我三次，都是DV的职位。因为不想浪费双方时间就没面了。之前找工作的时候死活没理我。  
ARM, Broadcom: 从来不理我  
  
  
  
Additional information (讨论一些比较Hot的Topics，纯属个人看法，如有不同意见欢迎拍砖)  
  
1.        名校+高GPA是不是对找工作有帮助？如果是大众背景怎么办？  
首先我必须要承认名校+高GPA是相当有利找工作的，甚至可以在很大程度上弥补你别的的不足。有些公司比如O家，是出了名的卡学校卡GPA。他家面试不难，但是拿到面试资格却不容易。而且名校的Career fair会有很多好企业来到现场，很多时候如果你当场表现出色，绕开电面直接onsite也是很常见的。这点LZ我在Pitts的两年是深有体会，因为旁边就是CMU，两家的career fair的质量完全不能比。GPA高很多时候会给interviewer很好的第一印象，如果低于3.5的童鞋，尽量要努力把GPA提高到最好3.8，要不很可能会在面试中被challenge为啥你GPA低的问题。  
但是LZ本人其实也是非名校+大众GPA（3.5~3.8）的背景，没有intern，research也跟我找工作的方向没太大关系，resume列的很多都是课上的projects。所以大家只要用心修好简历，好好准备常见的面试题，找到好工作是一定可以的；现在market已经在转好，要给自己信心！  
  
2.        EE有没有必要转CS？  
我觉得这个真的要看个人，不是所有人都适合学CS的。LZ我本科连数据结构，算法，C++都没学过，离散数学没学过，在自学算法的时候就感觉特别吃力（LZ数学不大好）。而且没有take过课做过project，光靠看书，收效甚微。现在的大环境舆论好像是啥专业只要集中精力做几个月的题目就可以去AMGFLT这类公司，但如果你的background不行，很多时候连做题的机会都捞不到，又有什么用呢？CS的最大优势是机会很多，你不会局限于在某个行业，但其实现在EE的opportunity也一样不少！LZ在这种招聘淡季都能拿到这么多面试足以证明。而且实话实说，EE的pay就算总体没有CS的高，但也不会低的太离谱，因为EE主要是大公司招人，小公司很难进。至少我拿到的package普遍还是很不错的，不见得就比Amazon这类的offer低太多（跟Google当然没法比，但也没几个人能去Google）。如果你本身的背景就不错，尤其是IC设计or 体系架构方向的，完全没有必要专门转CS，得不偿失。  
当然，CS绝对机会的数量还是比EE多很多的，做SDE相比做IC，以后回国选择也更大（如果你未来想回国）。这个孰优孰劣，就见仁见智了。只是衷心提醒一句：要转CS一定要趁早开始计划和准备，如果你2年的program，等到过了一年才想到转方向，后果一般都不会太理想。因为对于很多人来说第二年一开始就要找intern或FT的工作了。打基础基本都在第一年完成。  
  
3.        有没有必要搬去硅谷常住？  
本人找工作期间一直住在匹兹堡（东部城市），没有像很多人一样搬去加州硅谷长住。我相信有不少人跟我当时一样，对于要不要搬去那边有一些疑惑有一些不安。 首先好处是有不少，就是拿到onsite的几率很大，哪怕你电面表现一般（marvell有个组曾经连电面都没有就说如果我在local可以直接onsite，当然那是有人refer的https://www.1point3acres.com/bbs/static/image/smiley/QQ/em08.gif）。而且如果你想投小公司，去硅谷的话投小公司他们理你的概率会大不少（LZ我投的小公司全军覆没https://www.1point3acres.com/bbs/static/image/smiley/QQ/em03.gif估计跟在东部有关，他们只考虑local candidate）。风险可能就是搬家很麻烦，而且CA的消费偏高，如果长期找不到工作可能会鸭梨很大。这个问题也是见仁见智，LZ我主要是因为太懒不想搬家https://www.1point3acres.com/bbs/static/image/smiley/QQ/em14.gif。  
  
Update: Intel后来CA大老板联系我说如果我对Portland地方不满意，他们可以重新分配到Santa Clara(因为刚好总部也有跟分部同在一个组的），而且愿意negotiate工资到match Q为止。我只能说这个消息来得太晚了，毕竟已经sign了Q的offer。但是如果以后有童鞋碰到类似情况，可以参考一下，感觉Intel的人还是很nice的，offer也有一定的讲价空间。

## 经验10

<https://www.1point3acres.com/bbs/forum.php?mod=viewthread&tid=34480>

<http://www.1point3acres.com/bbs/thread-40840-1-1.html>

## 经验11

LZ背景:  
美本EE大四,提前了一个学期毕业(2011年12月毕业)，因为申请的PhD都是2012年秋季入学，所以最后一个学期一直在找2012年从1月到8月的实习。  
  
N  
lz找他家工作就是一段死磕血泪史：  
这家公司有印好的quiz，会直接在career fair上发给来搭讪的人做。  
大一下学期,作为一只无知而无畏的菜鸟,lz跑到N公司的摊位上做题,莫名其妙得只做了SW的题,被秒了, 深受打击..  
大二上学期, 再接再厉, 这次做了digital design和VLSI的题并且全做做出来了,当时那个recruiter笑眯眯的说回联系我面试的，然后....我等了很久...就没有然后了  
大三上学期，lz摩拳擦掌打算再次杀到career fair上去做题，却在那之前直接收到了他们的电话面试邀请，说是收到我简历（鬼知道是哪一年投的）觉得不错云云.于是有了电话一面，电话二面，电话三面，然后...又没有然后了...没有然后的意思是说3面之后音讯全无，音讯全无的意思是连拒信都没有. lz那时脸皮薄,一直没好意思发邮件去问, 再加上当时手头有个还可以的intern offer,也就不了了之了...  
  
大四上学期，也就是我本科生涯最后一个学期，我又照例去了学校career fair做quiz。当时申的position是VLSI。Quiz相当基础，最难的一题应该是算一个synchronous design 的最高时钟频率。题目大概就是给两个flipflop，中间一朵云，两个flipflop的clock line上面分别有buffer。算最高频率只需写出setup time的constraint就行。我顺便把holdtime constraint也给写上了。做完quiz之后给在场的一个硬件工程师(后来知道是个group leader) 解释了一下，应该是全部答对。跟他小聊了一会儿最后他说会有人跟我电话联系。前面提到了，N的quiz有很多种，从软件到硬件都有，就算是硬件也有digital design和VLSI的区别，一定要做自己熟悉的topic。最好能找recruiter要几份题看看是不是适合自己，不行就放弃没有必要硬着头皮做。这次我也拿了份software的题目打算试试，结果上面一堆编译器优化的问题几乎没有头绪，于是只能把卷子还给recruiter。  
  
几个星期之后，收到电话面试通知。这次HR特别好，发的邀请里就直接说面完之后一个礼拜没回音，就再跟她联系。面试官是当时聊天的那个group leader。整个电话面试持续大约20分钟，内容全部是关于他们group在做的东西，以及我过去的经验和兴趣。最后快结束的时候我问没有technical question吗，他说没有，因为之前已经做过quiz了。结束前他说HR会再联系我。  
  
过了一个星期没回音，我发邮件问，HR回了说还没有从面试官那里hear back表示一旦hear back一定马上联系我。过了一个星期，还没回音，于是再催，终于收到第二轮电话面试通知。这次是group里面的一个工程师，开头的时候给我解释了一遍他在做的东西，以及可以给我选的project，然后问了一下我的兴趣。接下来终于有问题了，先是小问题，关于我的编程经验，比如polymorphism是什么，在C++里有什么关于这个的概念(当时就说了virtual methods。。混过去了)，还有就是Verilog里面的blocking和non-blocking assignment有什么区别，会什么scripting language，会不会Perl，等等。最后一个大题，题大概是这样的：比如说有一个9-bit的存储器，里面有两个bit坏掉了，如果任何一个输入bit是1，输出的两个bit都是1，否则两个输出都是0.怎么用最少的步骤找出那两个坏掉的bit。他听了我的解释说非常好，最后告诉我HR应该会很快跟我联系的。  
  
但是过了一个礼拜，没回音，催，再过一个礼拜，继续催，然后hr回复说下个礼拜会跟我联系next step，听口气好像还有interview.于是接着等，中间夹着感恩节，等了足足2个礼拜才有另外一个HR联系我，让我填一些表格，我填完发回去小心翼翼刺探next step是什么，结果第二天那个hr直接回了我一个offer package的ups tracking number. 看到邮件那一刻心潮是澎湃的，有种dream finally came true的感觉。唔，对了，这个公司在Santa Clara.  
  
  
  
M. check 1point3acres for more.  
M是一开始在学校career fair的时候给recruiter扔了一份简历，当时觉得M没有什么hardware position，完全没有抱任何希望。结果后来居然还是收到on-campus面试邀请，面试官还居然是个硬件工程师，主要做test/verification。面试被问到的问题包括谈自己做过的最成功的project，怎么加快一个数字设计的时钟频率，一个sequence detector的FSM设计和HDL实现，还有不值一提的小问题若干。话说当时由于很久没有做过sequence detector的题，刚走出面试的楼就想起来设计出来的FSM其实有几个错误，顿时觉得这么简单的题都做错肯定没有希望了。  
  
不过后来还是收到了onsite面试的邀请。 hr跟我说是很少有的机会，Xbox VLSI intern. 顺便说一句M公司的HW group不在公司总部，在Mountain View. 我当时还没收到N家offer, 于是果断跟M家敲定了interview。囧的是，当时我爹娘刚刚订好从国内来参加我毕业典礼的不能改签的机票。我是12月17号毕业典礼，我爹娘13号到芝加哥，onsite interview为了配合其他人必须是15号。于是我不得不在13号到芝加哥接我爹娘，把他们送上回我学校的火车，然后14号飞到湾区参加dinner reception, 在飞机上还做了一个online final exam. 然后15号面试，然后16号飞回芝加哥，然后17号参加毕业典礼。 而且大家都懂得，13,14,15号各种学校的application轮番due, 于是我悲剧的面试前晚和面试之后那晚都没睡觉，一直在酒店房间里捣鼓application。  
  
Onsite面试是一个上午总共4轮，每个面试大约50分钟，中间会有休息所以总共4+小时。参加上午面试的有十几个人，全部是一对一的面试。中间休息的时候，大家会集合在一个会议室里面做游戏和看recruiter播的搞笑视频。。。  
  
第一个面试，被问到一堆很杂的小问题。比如说画个CMOSNOR Gate，画个MOSFET的截面并且解释工作原理，怎么设计一个latch，latch和flipflop的区别，怎么用latch做flipflop。。。然后是一个稍微复杂点的digital design，不过题目有点长记不清楚了，但是难度并不大。最后就是关于简历的一些问题。谈到我的编程经验之后，又让我写个排序。我说不好意思我很久没写过快排了肯定不记得，他说随便写一个就好。于是我写了个冒泡（汗。。），他也很满意的样子。闲聊了一会儿就结束了。  
  
第二个面试官看起来非常tough，问了很多问题。首先让我设计了一个comparator。然后设计一个component输出两个数里更大的那个。再然后设计一个component输出n个数里面最大的一个。最后问我有没有加快这个design的方法。这个问题没有啥固定的答案，大概就是换更快的logic family，用更大的gate，化简逻辑等等。我随便说说他也比较满意。接下来，他问我DMA是怎么工作的，为什么要用DMA，如果CPU有cache会有什么问题，怎么解决这些问题等等。虽然没有怎么学过architecture，不过基本上还都答上来了。然后他又问我asynchronous和synchronous reset的区别，各有什么优缺点，并且让我用VHDL写出两种flipflop的实现。我回答之后他继续问，既然asynchronous reset会有timing的问题，synchronous reset又必须有clock signal才能正常工作，在industry里一般怎么解决这个问题呢。这是我那天面试唯一没有回答上的问题。还好他不是很在乎的样子，看到我犹豫就直接告诉我答案了（reset是asynchronously asserted，synchronously deasserted）。他说我好像做前面那些题都没啥压力，然后就给了我最后一道难题，设计一个FSM，判断一个输入是否能被5整除，输入每次1bit，从MSB开始。这题很有意思，大家可以仔细想想。Hint是只要注意记录余数就可以了。剩下的时间还是聊天，不过我问的问题好像都有点敏感他基本上不能回答。。  
  
第三个面试官是个搞test/verification的大妈。可能跟前面两轮面试的表现有关，这轮面试比较轻松，基本上就是闲聊一些技术问题。她得知我以前做过跨时钟的FIFO之后，让我解释metastability是什么，什么是synchronizer，让我解释了一下那个FIFO大致的实现（就是怎么保证不会出现overflow和underflow，两个时钟之间怎么同步等等）。然后问我怎么去test这样的设计。最后她介绍了一下她的工作，然后一起抱怨了一下硬件debug起来是多么困难的一件事，面试基本上就结束了。  
  
最后一轮面试见到了team leader，这次一个技术问题都没有，谈话的内容基本上就是M的各种benefits，以及他希望我重新考虑一下grad sch，让我加入M，blah blah blah.... check 1point3acres for more.  
. 1point3acres  
后来recruiter说他们想直接给个design engineer full-time offer(6位数啊,穷鬼lz给亮瞎了), 诱惑我不要去读phd了@.@, 还说来full-time他们可以资助我去大S念part-time ms!

## 经验12

analog的面试题真是少啊。。。  
一共面过六个组，前三个跪在电面，后面三个拿到了onsite。第一个onsite的公司顺利拿到了offer因为公司和地点都很喜欢所以就定下来了。分享一些电面题希望对大家有帮助^\_^  
  
  
Analog bits 是加州一个startup，给analog （不是EE）的学生群发过招聘邮件。发了简历后收到电话让我毕业前再联系。这家的电面很有意思不看简历问的基本上全是数字电路问题，而且和glassdoor上总结的基本没差。我搜集了glassdoor上的问题，结合我自己面过的问题分享在下面：  
. From 1point 3acres bbs  
The schematic of the NAND and NOR gates.  
-baidu 1point3acres  
How would you draw the CMOS schematic for a 2-input NAND gate? What would the pull-up and pull-down networks look like? If VDD and VSS are switched, what gate is formed?    
  
What is the difference between latches and flip-flops? What is the output of a flip-flop if the output is passed through an inverter and then fed back to the input?    
  
What happens if the output of an inverter is fixed at minus 1 volt?   
  
How would you size the NMOS and PMOS transistors in an inverter to obtain equal rise and fall times? assume the mobility of the holes is half of the mobility of electrons.  
. check 1point3acres for more.  
For the NMOS transistor, 4V at gate, 5V at drain, open source, then what's the voltage at source  
For the NMOS, if Vg=3 V, Vd=5 V, source is floating. What is the source voltage.   
  
When connected two NMOSs at their drains, say NMOS1 and NMOS2, assign Vg1=3V, Vg2=4V, Vs1=5V, what will be the voltage at Vs2? What is the working region of NMOS2   
  
an inverter with resistor feedback, what's the output voltage. What's the output voltage if a load resistor is added.  
  
an inverter whose vdd is connected with an inductor, what's the output waveform  
  
  
这个公司是用来保底的所以之前很认真的看了454那门课的教材。面试时遇到不会的问题，面试官有引导，我觉得那时候一定不能紧张要顺着他的引导来，慢慢应该能答出来。面了四十多分钟，快结束时面试官给了onsite的invitation（后来withdraw了）。glassdoor上负面评价蛮多，但我个人对这个公司印象其实还好，如果没有合适的公司我想我是会去的。  
  
IBM的austin site最近也在招人，对tamu友好到有点夸张。。我们一个班有五个人拿到onsite............据我所知大家的第一轮电面只是问了research/course porject/intern做了啥。。。都没问很general的技术问题就给了onsite. 不过他们问的非常细，楼主只是提到有个模块layout改了好多遍，他们让我把每一遍为啥要改，改了啥，有什么提高都给说了==  
  
然后楼主想说前三个跪掉的都是brcm的组。。。一个是在santa clara的serdes组，一个是irvine的serdes组，一个是irvine的60GHz组。brcm的问题还是有点难的，不过都是razavi模电书上的内容，楼主九月份没来得及看书，一周多的时间把这三个组都面跪了。。。 好在同学顺利拿下irvine的serdes组, tamu威武嘎嘎。据说那里有tamu analog的派系 哈哈。还有就是据说brcm有题库，楼主木有。。所以没有办法提供更多信息了。  
  
还差一个公司木有写因为题目忘的差不多了真是郁闷，再让我酝酿下。。。  
  
其实analog面试的题差不多就那么多，多面几家就会有感觉，可惜半导体本来面试机会就不算多所以。。。所以其实楼主很感谢brcm...！！

NMOS, sub类型是什么？给gate加负压，然后逐渐增大到0再到正压，gate上的cap如何变化. check 1point3acres for more.  
latch和Flipflop的区别。用transistor level or gate level, 给出任意latch的电路图  
CS buffer中 的中和电容用什么电容做？如果要能track process variation, 这个电容应该用什么做  
还被问到bandgap， 是我课程project里的问题  
如何设计CML divider  
VCO的工作原理；VCO用于expand tuning range的switch cap, 里面的transistor size在选取时有什么trade off-baidu 1point3acres  
an inverter with resistor feedback, what's the output voltage-baidu 1point3acres

再来补充一些Intel的面试题  
  
PVT的定义  
mobility和Vth随温度的变化  
CS CG CD三种放大器结构各自的特点  
skew和jitter的区别  
stripline和microstrip的区别  
传输线的特征阻抗  
为什么要做equalization  
latch up的原理  
画出教科书上最简单的二级运放，为什么要做compensation。如果只是电路里有个两级buffer，这种结构也引入两个极点要不要做compensation.   
inductor peaking可以expand bandwidth, 但是inductor会引入什么问题？inductor的Q值是不是一个问题？什么时候用high Q 什么时候low Q? inductor fabricate在哪一层，为什么  
画出NMOS的cross section, 描述NMOS的工作原理  
CTLE那个电路的frequency response  
  
楼主从了这家，希望export license顺顺利利尽快办下来^\_^

Digital Logic:  
     This is another important part. Some design questions will be asked.  
     - boolean algebra, de morgans theory  
     - K-map  
     - arithmetric logic ( half adder/full adder/ how to use full adder count no of 1's in 7 bit?carry ripple adder/comparator)  
     - how to use mux implement gate(or/not....)  
     - how to use NAND/NOR implement all gate not/or/and...? ( use 4 NAND implement XOR, use 4 NOR implement XNOR)  
     - how to use tri-state buffer and not gate to implement all gate?  
     - state matchine, state reduction  
     - sequence detector (overlay/non-overlay)  
        you can use state machine/shift register.  
        state machine, what is differece between Mealy/Moore state machine.  
        101/110/1001/1011/1010/1101/10010/101X1/10XX1 try yourself solve all of them with both state matchin/shift register  
     - setup time/ hold time,  where do they come from? how to solve them. what is metastablity  
     - give you an inifinite sequence, you every 1 bit every cycle, write the state matchine if the current number can be divided by 5?  
       what if MSB coming first? what if LSB coming first?  
     - how to do a divide by 2 clk divide? how about divide by 3? how to make it 50% duty cycle? how to do a divide by 5 with 50% duty cycle?  
     - synchronizer ( 2 FF), toggle synchronizer( just google it)  
     - synchronous fifo code. check 1point3acres for more.  
     - asynchronus fifo( there is a paper design and synthesis technique of asynchronous fifo just understand it, it use grey code)  
     - how to write a fix-priority arbiter, how to write a round robind arbiter ( use kill chain). How do you verify it?  
     - google "ASIC interview puzzle", some people like use questions from it.  
     - how to write a CAM?   
     - how to design HW linked list