# 名词解释

* IRQ：Interrupt Request ，中断请求；
* BIOS：Basic Input Output System，基本输入输出系统；
* USB：Universal Serial BUS，通用串行总线；
* VHDL：Very-High-Speed Integrated Circuit HardwareDescription Language，高速集成电路硬件描述语言；
* SDR：
* DDR：Double Data Rate，双倍速率；
* IC ：Integrated Circuit，集成电路；
* SOC：System on a Chip，系统级芯片；
* SSI：Synchronous Serial Interface同步串行接口
* SSI：SmallScaleIntegratedcircuites小规模集成电路
* MSI：Medium Scale Integrated circuites中规模集成电路
* LSI：Large Scale Integration Circuit超大规模集成电路；
* VLSI ：Very Large Scale Integration Circuit超大规模集成电路；
* CVD ：Chemical Vapor Deposition化学气相淀积；
* DRC：
* PCI：Peripheral Component Interconnect
* OPB :On-chip Peripheral Bus 片上外围总线
* PLB：Preofessor Logic BUS 处理器逻辑总线
* SRAM：Static Random access memory 静态随机存取存储器
* SSRAM：synchronous static random access memory 同步静态随机存取存储器
* SDRAM：Synchronous Dynamic Random Access Memory 同步动态堆积存取存储器
* IIR：Infinite Impulse Response数字滤波器（无限长单位冲激响应滤波器）
* FIR: Finite Impulse Response有限长单位冲激响应滤波器

# 同步电路和异步电路的区别是什么？

电路设计可分类为同步电路和异步电路设计。

异步电路主要是组合逻辑电路，用于产生地址译码器、FIFO或RAM的读写控制信号脉冲，其逻辑输出与任何时钟信号都没有关系，译码输出产生的毛刺通常是可以监控的。同时也用于时序电路中，通常输入信号只在电路处于波动状态时菜发生变化，也就是说一个时辰容许一个输入产生变化，以防止输入信号之间形成的竞争冒险。

同步电路有时序电路和组合逻辑电力构成的电路，其所有操作都是在严格的时钟控制下完成的，这些时序电路共享同一时钟CLK，而所有的状态变化都是在时钟的上升沿或下降沿完成。

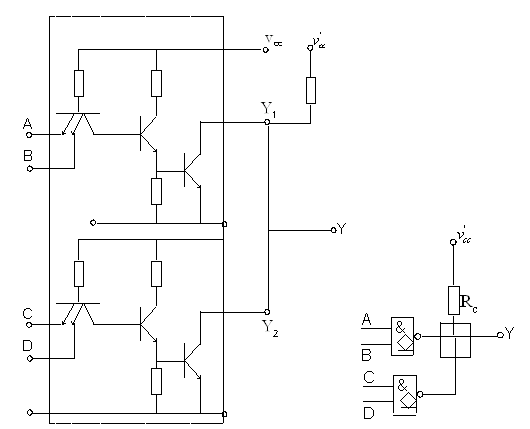
# 什么是同步逻辑和异步逻辑？

同步逻辑是时钟之间有固定关系的，异步逻辑是个时钟之间没有固定的因果关系。

# 什么是“线与”逻辑，要实现它，在硬件特性上有什么具体要求？

“线与”逻辑：即两个输出端（或者两个以上）直接互连就可以实现AND的逻辑功能。在总线传输等实际应用中需要多个门的输出端并联连接使用，而一般TTL门输出端并不能直接并接使用，否则这些门的输出管之间由于低阻抗形成很大的短路电流（灌电流），而烧坏器件。在硬件上，可用OC门或三态门（ST门）来实现。 用OC门实现线与，应同时在输出端口应加一个上拉电阻。

http://www.willar.com/shudian/images/Image1024.gif



# 什么是Setup 和Holdup时间？

Setup time和Holdup time 是测试芯片对输入信号和时钟信号之间的时间要求。

Setup time是触发器时钟信号上升沿到来之前，数据稳定不变的时间，当Setup time不满足时，数据不能打入触发器；

Tsetup< T - Tc\_q – Tlogic + Ts;

Holdup time是是触发器时钟信号上升沿到来之后，数据稳定不变的时间，当Holdup time不满足时，数据不能打入触发器；

Tholdup < T - Tc\_q min– Tlogic + Ts

如果数据信号在时钟沿出大前后持续的时间均小号过建立和保持时间，那么超过量就成为建立时间裕量和保持时间裕量。



# 说说数字逻辑中的竞争和冒险，并举例说明，如何判断，如何消除？

竞争和冒险：在理想状态下，由于多输入信号发生变化，也可能有先后快慢的差异，可能在输入信号变化的瞬间，在输出端出现不正确的尖峰信号，称之为竞争冒险现象。

举例：F=a.b.当输入信号由（01）变化为（10）时，每一个变量的变化都是有一定是延时，当a的变化快于b时，就会产生一个毛刺，也就是竞争与冒险。

判断：产生竞争和冒险有两种情况

（1）当输入变量A和~A通过不同的传输途径到输出端时，那么当输入变量A发生突变是，输出端有可能产生竞争冒险；

（2）当有两个或两个以上的输入变量发生变化时，输出端有可能产生冒险。

解决方法：（1）修改逻辑设计，增加多余项；（如F=AB+~AC,可以增加多余项BC，但是适用范围有限）；

（2）引入取样脉冲；

（3）输出加滤波电容。

# 你知道哪些常用电平，TTL与CMOS电平可以直接相连吗？

常用的逻辑电平：12V，5V，3.3V；TTL和CMOS不可以直接互连，由于TTL是在0.3-3.6V之间，而CMOS则是又在12V的又在5V的，CMOS输出接到TTL是可以直接互连。TTL接到CMOS需要在输出端口加一上拉电阻接到5V或者12V。

# 亚稳态是怎么产生的，如何解决亚稳态？

 亚稳态是指触发器无法在某个规定时间段内达到一个可确认的状态。当一个触发器进入亚稳态时，既无法预测该单元的输出电平，也无法预测何时输出才能稳定在某个正确的电平  
上。

1. 在异步复位逻辑中，如果复位结束出现在有效时钟沿上。会导致出现亚稳态，同时导致不能有效复位。
2. 建立时间和保持时间不满足要求。

解决方法：

1. 增大时钟频率；
2. 使用反应速度快的ff；
3. 使用同步机制，防止亚稳态的传播；

# IC设计中同步复位和异步复位的区别？

同步复位：同步复位仅在有效的时钟沿时对触发器复位，该复位信号经过组合逻辑馈送到触发器的D输入端。

同步复位优缺点：

1. 优点：
2. 有利于仿真器的仿真
3. 可以使所设计的系统成为100%的同步时序电路，这便大大有利于时序分析，而且综合出来的fmax一般较高。
4. 因为他只有在时钟有效电平到来时才有效，所以可以滤除高于时钟频率的毛刺
5. 、缺点：
6. 复位信号的有效时长必须大于时钟周期，才能真正被系统识别并完成复位任务。同时还要考虑，诸如：clk skew,组合逻辑路径延时,复位延时等因素。
7. 由于大多数的逻辑器件的目标库内的DFF都只有异步复位端口，所以，倘若采用同步复位的话，综合器就会在寄存器的数据输入端口插入组合逻辑，这样就会耗费较多的逻辑资源。
8. An active clock is essential for a synchronous reset design. Hence you can expect more power consumption.

异步复位：它是指无论时钟沿是否到来，只要复位信号有效，就对系统进行复位

1）异步复位优点：

1. 大多数目标器件库的dff都有异步复位端口，不需要加额外的组合逻辑，因此采用异步复位可以节省资源
2. 设计相对简单。
3. 异步复位信号识别方便
4. Clocking scheme is not necessary for an asynchronous design. Hence design consumes less power. Asynchronous design style is also one of the latest design options to achieve low power. Design community is scrathing their head over asynchronous design possibilities.

2）异步复位缺点：

1. 最大的问题在于它属于异步逻辑，问题出现在复位释放时，而不是有效时，如果复位释放接近时钟有效沿，则触发器的输出可能进入亚稳态，从而使复位失败。
2. 可能因为噪声或者毛刺造成虚假复位信号，
3. 对异步复位INS静态定时分析比较困难。
4. 对于DFT(DESING FOR TEST)设计，如果复位信号不是直接来自于I/O引脚，在DFT扫描和测试时，复位信号必须被禁止，因此需要额外的同步电路。

# MOORE和MEELEY的区别？

MEELEY机：时序逻辑的输出不但取决于当前状态还取决于输入；即，

下一个状态= F（当前状态，输入信号）；输出信号=G（当前状态，输入信号）；

MOORE机：时序逻辑的输出只取决于当前状态；即输出信号=G（当前状态）；

# 多时钟域中，如何解决跨时钟域问题？

1. 两个域的时钟频率相同，但相位不固定，称为同频异相时钟域的同步。同频异相问题的简单解决办法是用后级时钟对前级时钟数据采样两次。该方法可以有效的减少亚稳态的传输，使后级电路数据都是有效电平值。
2. 两个时钟域频率根本不同，称为异频时钟域的同步。要可靠地完成异频时钟域同步，可以使用DPRAM或者FIFO，利用上级时钟写数据再用本级时钟读出即可。

# 组合逻辑和时序逻辑电路的区别？

组合逻辑电路：电路任何时刻的输出仅与该时刻输入有关，综合出来是锁存器；时序逻辑电路：电路任何时刻的输出不仅仅取决于当前的输入信号，而且取决于电路原来的工作状态。

# 块语句中串行块和并行块的区别？

串行块：（1）以begin-end为开始结束标示符；（2）语句是顺序执行；（3）用于电路中数据在时钟及控制信号作用下，沿数据通道的各级寄存器之间的传送过程。

并行块：（1）以fork-join为开始结束标示符；（2）每一条语句在同一时刻开始执行；（3）用于电路上电后，个模块同时开始工作的过程。

# Veilog中，哪些语句不可综合？

这些不可综合：time，defparam，$finish，fork，join，initial，delays，UDP，wait，always中同时带有上升沿和下降沿的。

# 过程赋值语句和连续赋值语句的区别？

过程赋值语句：（1）赋值格式为：寄存器类变量=赋值表达式；（2）当敏感变量表中条件满足或变化，进行一次赋值；（3）同一时刻只允许一条过程赋值语句进行赋值。

连续赋值语句：（1）赋值格式为：assign 连线类变量=赋值表达式；（2）赋值语句中信号一旦变化，进行一次赋值；（3）一条连线可以被多条连续赋值语句同时驱动，根据连线类型的不同来处理冲突。

# 阻塞赋值语句和非阻塞赋值语句的区别？

阻塞赋值：（1）对应的电路结构往往与触发沿没有关系，只与输入电平的变化有关；（2）前一句赋值语句结束后才允许再开始下面的赋值；（3）其综合为组合逻辑输出。

非阻塞赋值：（1）对应的电路结构往往与触发沿有关系，只有在触发沿的时刻才能进行非阻塞赋值；（2）本赋值语句不影响其他赋值语句的执行；（3）其综合为触发器输出。

# 任务和函数的区别？

1. 函数中不能含有时序控制语句，如#10.对函数的调用，必须在同一仿真时刻发挥。而任务可以包含时序控制语句，任务的返回时间和调用时间可以不同；
2. 在函数中不可以调用任务，而在任务中可以调用其他任务或函数；
3. 函数必须至少包含一个端口，在函数中只能定义input端口，任务可以定义input,output,inout；
4. 函数必须返回一个值，而任务通过output来传递结果。

# 锁存器和寄存器的区别？

锁存器：（1）电平敏感；（2）输入和输出之间是透明的。

寄存器：（1）沿敏感；（2）输入好人输出之间是不透明。

# 静态时序电路和动态时序电路的区别？

静态时序电路：（1）只要接通电源，就能长期保持存储的状态；（2）结构较为复杂，无需刷新，对时钟频率无要求；（3）多采用双稳态电路原理实现；（4）多用于设置系统初始化数据门控时钟。

动态时序电路：（1）数据存储时间有限，必须定时周期性的刷新，限制最小时钟周期；（2）结构简单，占用面积小，性能较高，功耗较低；（3）采用电容存储电荷原理实现；（4）多用于有较高频率的时钟控制的计算结构。

# 时序逻辑的时序约束有哪些？

tplogic：组合逻辑链的延迟时间；

tsetup： 寄存器的建立时间；

thold： 寄存器的保持时间；

tc\_q： 寄存器的延迟时间。

1. 最小时钟周期： T >= tc\_q + tplogic + tsetup；
2. 最大时钟频率：f < 1/ tc\_q + tplogic + tsetup；
3. 最小维持时间：thold <= tc\_qmin+ tplogic + tsetup

# 用传输门和反相器实现电平触发器和边沿触发器。

# 说说存储器的分类？

1. 按容量分类：位、字节、字；
2. 按功能分类：

* ROM（只读存储器，工作只能读不能写，断电不会丢失数据，分为不 可编程ROM和可编程ROM）；
* RAM（读写寄存器，可读可写且存取时间相当，电源关断后数据会丢失，分为SRAM和DRAM）；

1. 按存取方式分类：随机存取和固定存取
2. 按输入输出结构分类：单端口和多端口；
3. 按应用场合分类：独立式存储器和嵌入式存储器。

# sram，falsh memory，及dram的区别？

sram：静态随机存储器，存取速度快，但容量小，掉电后数据不会丢失，不像DRAM 需要不停的刷新，制造成本较高，SRAM主要用于二级高速缓存；

flash：闪存，存取速度慢，容量大，掉电后数据不会丢失

dram：动态随机存储器，需要定时的刷新，存储面积远远小于SRAM，价格比sram便宜，集成度高，但访问速度较慢，耗电量较大，外围电路较多和复杂，常用作计算机的内存使用。

# 给出单管DRAM的原理图及分析？

# 什么叫做OTP片(OTP（一次性可编程）)、掩膜片，两者的区别何在？

OTP与掩膜 OTP是一次性写入的单片机。由于近年来OPT型单片机价格不断下降，使得近年来直接使用OTP完成最终产品制造更为流行，并且，它较之掩膜具有生产周期短、风险小的特点。

由于掩膜需要一定的生产周期，风险大，容易出现的芯片与写入器接触不好的问题 。

# 你知道的集成电路设计的表达方式有哪几种？

电路图、波形图和HDL语言。

# 什么是集成电路设计？

把组成电路的元件、器件以及相互间的连线集成在单个芯片，来实现某种特殊功能。

# 数字集成电路的设计流程？模拟集成电路的设计流程？EDA的设计流程？FPGA的设计流程？

1. 数字集成电路的设计流程：

* 功能设计
* 逻辑电路设计
* 设计验证
* 版图设计

1. 模拟集成电路的设计流程

* 电路设计
* 前仿真
* 版图设计
* 后仿真
* 后续处理

1. EDA设计流程

* 系统设计
* 功能模拟
* 逻辑综合
* 时序模拟
* 版图综合
* 后模拟

1. ASIC的设计流程

* 设计输入（采用硬件描述语言，或电路图的输入方式输入电路原理图）
* 逻辑综合（采用HDL和逻辑综合工具产生列表，说明逻辑单元之间的链接关系）
* 系统划分（将系统划分成若干个ASIC模块）
* 前仿真（检查设计的功能是否正确）
* 布图规则（在芯片上排列网表的模块）
* 布局布线（决定模块中单元的位置和之间的互联）
* 提取（确定互联电容和电容）
* 后仿真（检查加上互连线负载后的电路设计效果）

1. FPGA的设计流程

前端设计：

* 设计输入（Verilog、VHDL、AHDL等硬件描述语言输入）。
* 前仿真（功能仿真）。
* 设计编译（将设计输入的某种或某几种数据格式(网表)转化为软件可识别的某种数据格式(网表)）。
* 优化（对于上述综合生成的网表，根据布尔方程功能等效的原则，用更小更快的综合结果代替一些复杂的单元，并与指定的库映射生成新的网表，这是减小电路规模的一条必由之路）。

后端设计 ：

* 布局布线：确定元件的位置和互连。
* 后仿真（检查加上互连线负载后的电路设计效果）
* 生产（布线和后仿真完成之后，就可以开始ASCI或PLD芯片的投产 ）

# 描述你对集成电路工艺的认识？

集成电路工艺（integrated circuit technique ）是把电路所需要的晶体管、二极管、电阻器和电容器等元件用一定工艺方式制作在一小块硅片、玻璃或陶瓷衬底上，再用适当的工艺进行互连，然后封装在一个管壳内，使整个电路的体积大大缩小，引出线和焊接点的数目也大为减少。

可分为：

1. 单片集成电路工艺：利用研磨、抛光、氧化、扩散、光刻、外延生长、蒸发等一整套平面工艺技术，在一小块硅单晶片上同时制造晶体管、二极管、电阻和电容等元件，并且采用一定的隔离技术使各元件在电性能上互相隔离。然后在硅片表面蒸发铝层并用光刻技术刻蚀成互连图形，使元件按需要互连成完整电路，制成半导体单片集成电路。
2. 薄膜集成电路工艺：整个电路的晶体管、二极管、电阻、电容和电感等元件及其间的互连线,全部用厚度在1微米以下的金属、半导体、金属氧化物、多种金属混合相、合金或绝缘介质薄膜，并通过真空蒸发工艺、溅射工艺和电镀等工艺重叠构成。用这种工艺制成的集成电路称薄膜集成电路。
3. 厚膜集成电路工艺：用丝网印刷工艺将电阻、介质和导体涂料淀积在氧化铝、氧化铍陶瓷或碳化硅衬底上。

# 列举几种集成电路典型工艺。工艺上常提到0.25,0.18指的是什么？

典型工艺：抛光、氧化、扩散、光刻、外延生长、淀积等

工艺上常提到0.25,0.18um指的就是最小刻蚀宽度，对于mos管而言，就是沟道长度。

# 半导体工艺中，掺杂有哪几种方式？

掺杂工艺主要有：

* 离子注入：将杂质原子分离、加速、注入晶体内部，经退火形成特定杂质分布的技术。（当真空中有一束离子束射向一块固体材料时，离子束把固体材料的原子或分子撞出固体材料表面，这个现象叫做溅射；而当离子束射到固体材料时，从固体材料表面弹了回来，或者穿出固体材料而去这些现象叫做散射；另外有一种现象是，离子束射到固体材料以后，受到固体材料的抵抗而速度慢慢减低下来，并最终停留在固体材料中，这一现象就叫做离子注入。）
* 扩散：高温下，利用杂质浓度梯度实现掺杂的技术。

# 扩散和离子注入的区别？

扩散：

优点：设备简单，大批量投片，成本低；

缺点：（1）横向扩散，限制器件最小尺寸和集成度

（2）不能制作浅结

（3）杂质分布不能精确控制

（4）高温下引入缺陷

离子注入：

优点：（1）注入杂质纯度高

（2）注入杂质能读范围宽，均匀性好

（3）杂质分布，结深精确可控

（4）低温工艺，热缺陷小

（5）横向扩散小

缺点：（1）晶格损伤，破坏晶格结构

（2）设备复杂，成本高。

# 描述CMOS电路中闩锁效应产生的过程及最后的结果？

Latch-up 闩锁效应，又称寄生PNPN效应或可控硅整流器( SCR, Silicon Controlled Rectifier )效应。在整体硅的CMOS管下，不同极性搀杂的区域间都会构成P-N结，而两个靠近的反方向的P-N结就构成了一个双极型的晶体三极管。因此CMOS管的下面会构成多个三极管，这些三极管自身就可能构成一个电路。这就是MOS管的寄生三极管效应。如果电路偶尔中出现了能够使三极管开通的条件，这个寄生的电路就会极大的影响正常电路的运作，会使原本的MOS电路承受比正常工作大得多的电流，可能使电路迅速的烧毁。Latch-up状态下器件在电源与地之间形成短路，造成大电流、EOS（电过载）和器件损坏。

防止措施：（1）在基体上改变金属的掺杂，降低BJT的增益；

（2）避免源漏的正向偏压；

# “天线效应”的定义和其预防措施？

定义：在芯片生产过程中，暴露在金属线或者多晶硅等导体，就像是一根天线，会收集电荷导致电位升高。天线越长，收集的电荷也就越多，电压就越高。若这片导体碰巧直接到MOS的栅极，那么高电压会导致栅极击穿，是电路是小，这种现象称之为“天线效应”。

预防措施：

1. 跳线法：跳线就是断开存在天线效应的金属层，通过通孔连接到其它层。最后回到当前层，但这种方法增加通孔，增加了电阻。
2. 添加天线器件，通过直接连接到栅的存在天线效应的金属层街上反偏二极管，形成电荷泄放回路。
3. 插入缓冲器，切断长线来消除天线效应。
4. 所有器件的输入端加上保护二极管。

# CMOS中各种二级效应?

* 短沟道效应：当沟道区的掺杂浓度一定时，如果沟道长度缩短，源结与漏结耗尽层的厚度可与沟道长度比拟，沟道区的电势分布不仅与栅电压及衬底偏置电压Ey有关，还和漏极电压Ex有关，从而导致阈值电压随L的缩短而下降，亚阈值特性降级、以及电流饱和等现象叫做短沟道效应。
* 窄沟道效应：当MOS场效应管的沟道宽度减小时，也会显著影响器件的电特性，通常认为当沟道宽度W小到可以和沟道耗尽层厚度比拟时，会出现对着W的减小阈值电压增加的现象，这称之为窄沟道效应。
* 热电子效应：在器件按比例缩小的过程中，漏极电压并不随之减小，这就导致沟道区电场的增大，在强电场作用下，电子在两次碰撞之间会加速到比热运动速度高许多倍的速度，由于动能很大而称为热电子，从而引起“热电子效应”。
* 体效应：由于衬底一般接到全电路的最低电位点，但实际源极与衬底之间的电位差Ubs，在衬底负压作用下，沟道与衬底的耗尽层加厚，导致开启电压Vgs(th)增大，沟道变窄，沟道电阻增加，Id减小，这种效应叫做“体效应”。

# 什么是NMOS、PMOS、CMOS？什么是增强型、耗尽型？什么是PNP、NPN？他们有什么差别？

MOS场效应管即金属-氧化物-半导体型场效应管，英文缩写为MOSFET（Metal-Oxide-Semiconductor Field-Effect-Transistor），属于绝缘栅型。其主要特点是在金属栅极与沟道之间有一层二氧化硅绝缘层，因此具有很高的输入电阻（最高可达1015Ω）。它也分N沟道管和P沟道管，符号如图1所示。通常是将衬底（基板）与源极S接在一起。根据导电方式的不同，MOSFET又分增强型、耗尽型。所谓增强型是指：当VGS=0时管子是呈截止状态，加上正确的VGS后，多数载流子被吸引到栅极，从而“增强”了该区域的载流子，形成导电沟道。耗尽型则是指，当VGS=0时即形成沟道，加上正确的VGS时，能使多数载流子流出沟道，因而“耗尽”了载流子，使管子转向截止。   
PNP与NPN的区别在表面上是以PN结的方向来定义的，实际上是以三极管的结构材料来区分的。PNP是两边的棒料是镓，中间的是硅。镓是第三主族的元素，其核外为三个电子，硅是第四主族的元素，其核外有四个电子，这样在两个PN的方向上的顺序是P－N－N的关系；相反NPN是两边的材料是硅，中间的是镓，形成的PN结顺序为N－P－N的关系。

# 硅栅COMS工艺中N阱中做的是P管还是N管，N阱的阱电位的连接有什么要求？

# VLSI是什么，优点是什么？VLSI提升电路速度的两个因素？

# 可编程逻辑器件有哪些？

可编程逻辑器件的两种类型：CPLD和FPGA；

可编程逻辑器件的两种主要类型是现场可编程门阵列（FPGA）和复杂可编程逻辑器件（CPLD）。在这两类可编程逻辑器件中，FPGA提供了最高的逻辑密度、最丰富的特性和最高的性能。CPLD提供的逻辑资源少得多 - 最高约1万门。

但是，CPLD提供了非常好的可预测性，因此对于关键的控制应用非常理想。

# 集成电路前段设计流程，写出相关的工具?

1）代码输入（design input)

用vhdl或者是verilog语言来完成器件的功能描述，生成hdl代码

语言输入工具：SUMMIT VISUALHDL

MENTOR RENIOR

图形输入: composer(cadence);

viewlogic (viewdraw)

2）电路仿真（circuit simulation)

将vhd代码进行先前逻辑仿真，验证功能描述是否正确

数字电路仿真工具：

Verolog： CADENCE Verolig-XL SYNOPSYS VCS

MENTOR Modle-sim

VHDL : CADENCE NC-vhdl SYNOPSYS VSS MENTOR Modle-sim

3）逻辑综合（synthesis tools)

逻辑综合工具可以将设计思想vhd代码转化成对应一定工艺手段的门级电路；将初级仿真中所没有考虑的门沿（gates delay）反标到生成的门级网表中,返回电路仿真阶段进行再仿真。最终仿真结果生成的网表称为物理网表。

# 信号与系统:在时域与频域关系？

时域信号的幅度随时间变化的曲线，横轴是时间，纵轴是信号的幅度，一般的正弦波比如f(t)=sinwt就是时域曲线。频域曲线是指信号的幅度与频率的关系，函数比较复杂，可能是不连续的

这两个时间用高等数学中的傅立叶变换进行转化，也就是时域波形函数进行傅立叶变换后就成了该信号的频域函数

# 异步串行和同步串行通信的异同？

异步通信：是指数据传送一字符为单位，字符与字符间的传送是完全异步的，但是位于为之间的传送基本是同步的。

异步通信的数据格式：一个起始位（0）+（5-8）位数据位+一位奇偶校验位+（1-2）位停止位。

异步通信的特点：（1）以字符为单位传送信息；（2）相邻两字符之间的间隔是任意长；（3）因为一个字符中的比特位是长度有限，所以需要接收时钟和大宋时钟只要相近就可以。

同步通信：所有数据传送是以数据块为单位，字符与字符之间、字符内部之间都是同步的。

同步通信的数据格式：2个同步字符最为一个数据块的即视位+n个连续传送的数据+2个字节循环冗余校验。

特点：（1）一数据块为单位传送信息；（2）每一个数据块内，字符与字符之间无间隔；（3）接收时钟和发送时钟要严格同步；

# （1）请画出用D触发器实现2倍分频的逻辑电路；（2）怎样用D触发器、与或非门组成二分频电路？



# 用一个二选一选择器和一个反相器实现异或？



# 奈奎斯特定理和香农定律

1、奈奎斯特定律（理想信道）

一个带宽为W赫兹的理想信道，其最大码元（信号）速率为2W波特。这一限制是由于存在码间干扰。如果被传输的信号包含了M个状态值（信号的状态数是M），那么W赫兹信道所能承载的最大数据传输速率（信道容量）是：

C =2×W×log2M（bps）

例如，使用带宽为3KHz的话音信道通过调制解调器来传输数字数据，根据奈奎斯特定理，发送端每秒最多只能发送2×3000个码元。如果信号的状态数为2，则每个信号可以携带1个比特信息，那么话音信道的最大数据传输速率是6Kbps；如果信号的状态数是4，则每个信号可以携带2个比特信息，那么话音信道的最大数据传输速率是12Kbps。  
　　2．香农定理（有噪声的信道）  
　　现在让我们考虑一下数据传输速率、噪声和误码率之间的关系。噪声的存在会破坏数据的一个比特或多个比特。假如数据传输速率增加了，每比特所占用的时间会变短，因而噪声会影响到更多比特，则误码率会越大。  
　衡量信道质量好坏的参数是信噪比（Signal-to-Noise Ratio，S/N），信噪比是信号功率与在信道某一个特定点处所呈现的噪声功率的比值。为了方便起见，人们一般用10log10（S/N）来表示信噪比，单位是分贝（dB）。S/N的值越高，表示信道的质量越好。  
　　即对于带宽为W赫兹，信噪比为S/N的信道，其最大数据传输速率（信道容量）为：

C = W×log2(1+S/N)（bps）

香农定理仅仅给出了一个理论极限，实际应用中能够达到的速率要低得多。其中一个原因是香农定理只考虑了热噪声（白噪声），而没有考虑脉冲噪声等因素。

# 模拟信号和数字信号的转换？

数字信号转换为模拟信号：调制解调器；

调制解调器将二进制的电压脉冲（只有两个值）序列转换成模拟信号，这种转换是把数字数据调制到某个载波频率上，调制后所得的信号是以载波频率为中心的具有特定频谱的信号，并且能够在合适的介质上传输。最常见的调制解调器是将二进制数字数据用话音信号表示，如图2-2所示，这样二进制数字数据可以在普通的音频电话线上传输。而在电话线的另一端，调制解调器从话音信号中解调出原始的二进制数字数据。

模拟数据转换为数字信号：编码解码器

编码解码器的设备将模拟话音数据编码成比特流，然后通过数字传输系统传输到接收端；在接收端，通过编码解码器将这个比特流重建为模拟话音数据。

# 有源滤波器和无源滤波器的的原理及区别？

**无源滤波器**：这种电路主要有无源元件R、L和C组成。

**有源滤波器**：集成运放和R、C组成，具有不用电感、体积小、重量轻等优点。集成运放的开环电压增益和输入阻抗均很高，输出电阻小，构成有源滤波电路后还具有一定的电压放大和缓冲作用。但集成运放带宽有限，所以目前的有源滤波电路的工作频率难以做得很高。

**区别**：（1）无源滤波器只能对滤除固定次数的谐波，而有源滤波器没有这方面的限制；

（2）无源滤波器受系统阻抗和负载影响大，而有源滤波器没有这方面的影响；

# 测试（test）和验证(verification)的区别？

验证是针对你设计的RTL代码或网表，验证其功能的正确性。

测试是对流片后的芯片进行的正确性验证，验证的主要是工艺中出现的物理缺陷等。