

PG410 A01

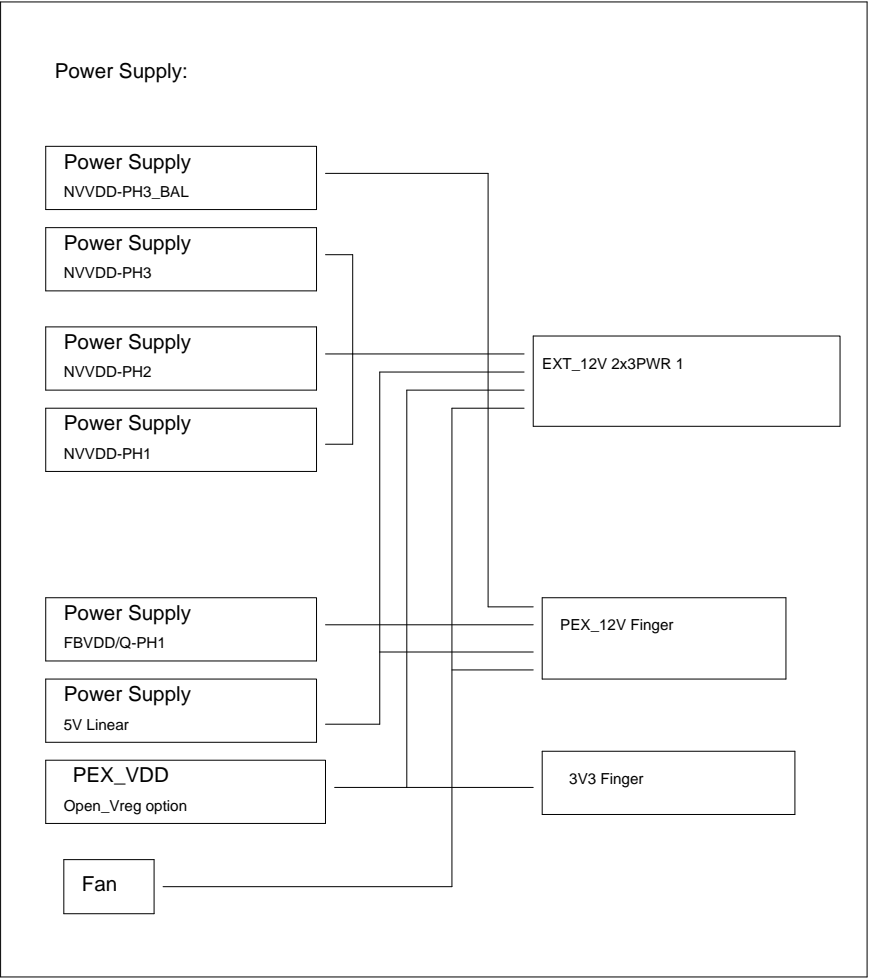
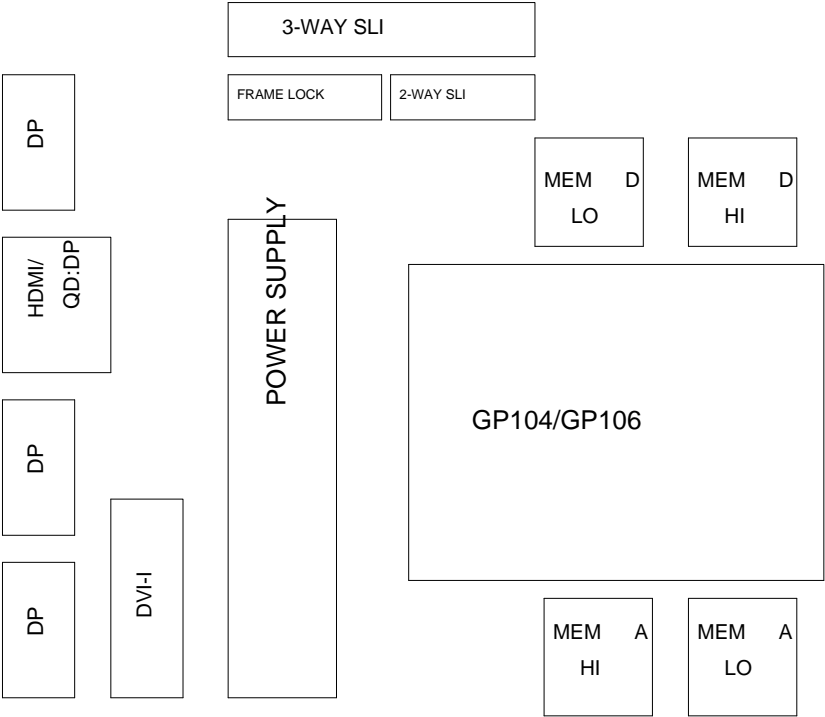
GP106 8GB/4GB GDDR5, 256b, 256Mx32/128MX32
Tall DVI-D + DP + DP + HDMI/DP + DP

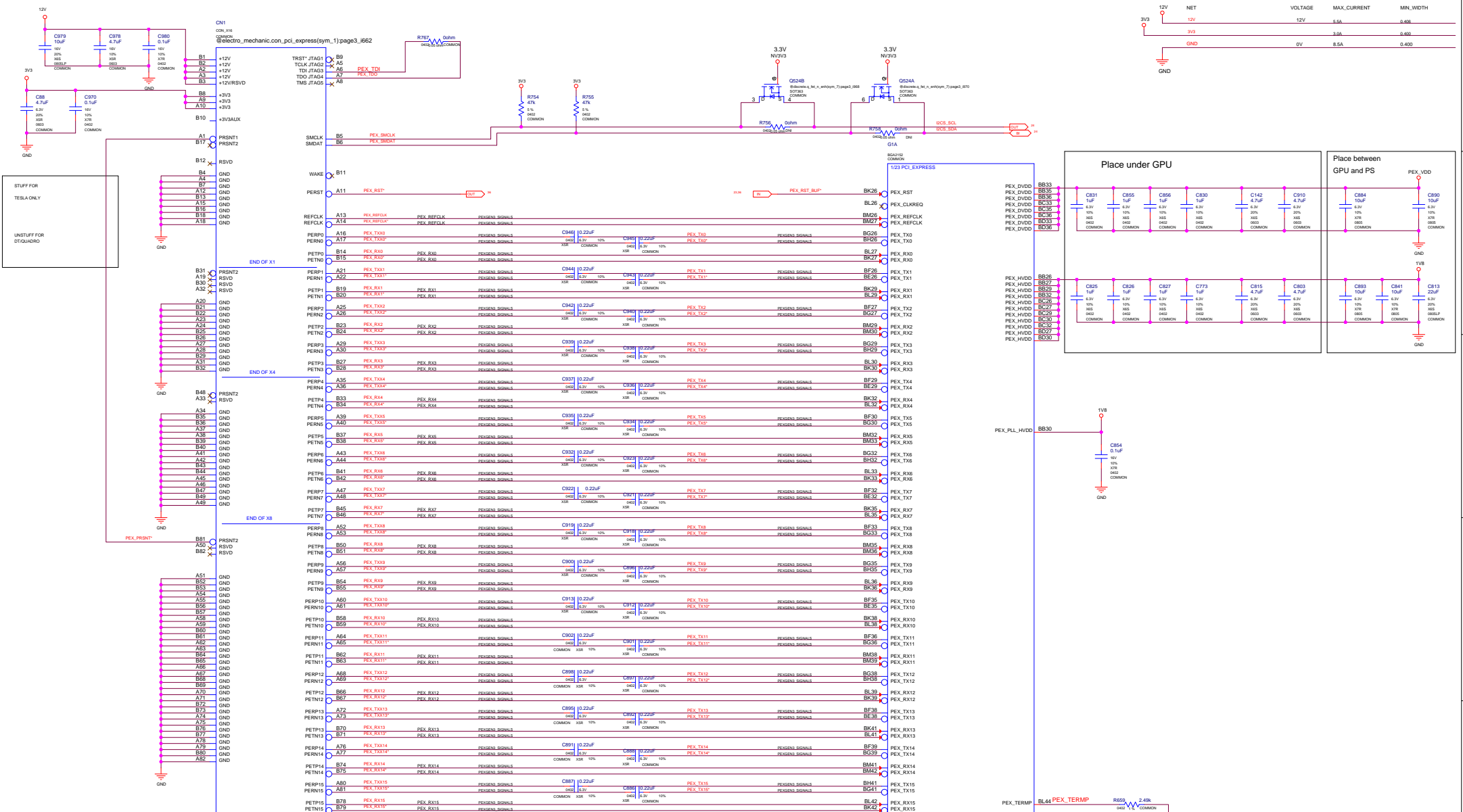
TABLE OF CONTENTS

Page	Description
1	Table of Contents
2	Block Diagram
3	PCI Express
4	GPU FB_AB
5	MEMORY: FBA[31:0]
6	MEMORY: FBA[63:32]
7	MEMORY: FBB[31:0]
8	MEMORY: FBB[63:32]
9	MEM FB_AB PWR
10	GPU FB_CD
11	MEMORY: FBC[31:0]
12	MEMORY: FBC[63:32]
13	MEMORY: FBD[31:0]
14	MEMORY: FBD[63:32]
15	MEM FB_CD PWR
16	GPU PWR & GND
17	GPU Decoupling
18	IFPAB DVI-D-DL
19	IFPE DP
20	IFPF DP
21	IFPC HDMI/DP
22	IFPD DP
23	MIOA/B Interface and Frame Lock
24	MISC1: Fan, Thermal, JTAG, GPIO,STEREO
25	MISC2: ROM, XTAL,STRAPS

Page	Description
26	PS: 1V8_PLL, 1V8_AON
27	PS: 5V, PEX_VDD
28	PS: NV3V3, NV12V
29	PS: FBVDD
30	PS: NVVDD Controller
31	PS: NVVDD Phase 1,2 & 3
32	PS: NVVDD Rail Balance Login & Dynamic Phase
33	PS: Input, Filtering, and Monitoring
34	PS: 12V Power Steering,PSI Control & LED
35	PS: Shut Down and Sequencing
36	PS: GC6 MISC
37	MECH

6.1
1. 1V8 NVVDD, VREF 100mV
2. 1V8 LED 100mV
3. 1V8 COLAY 100mV
4. 1V8 HDMI DP COLAY

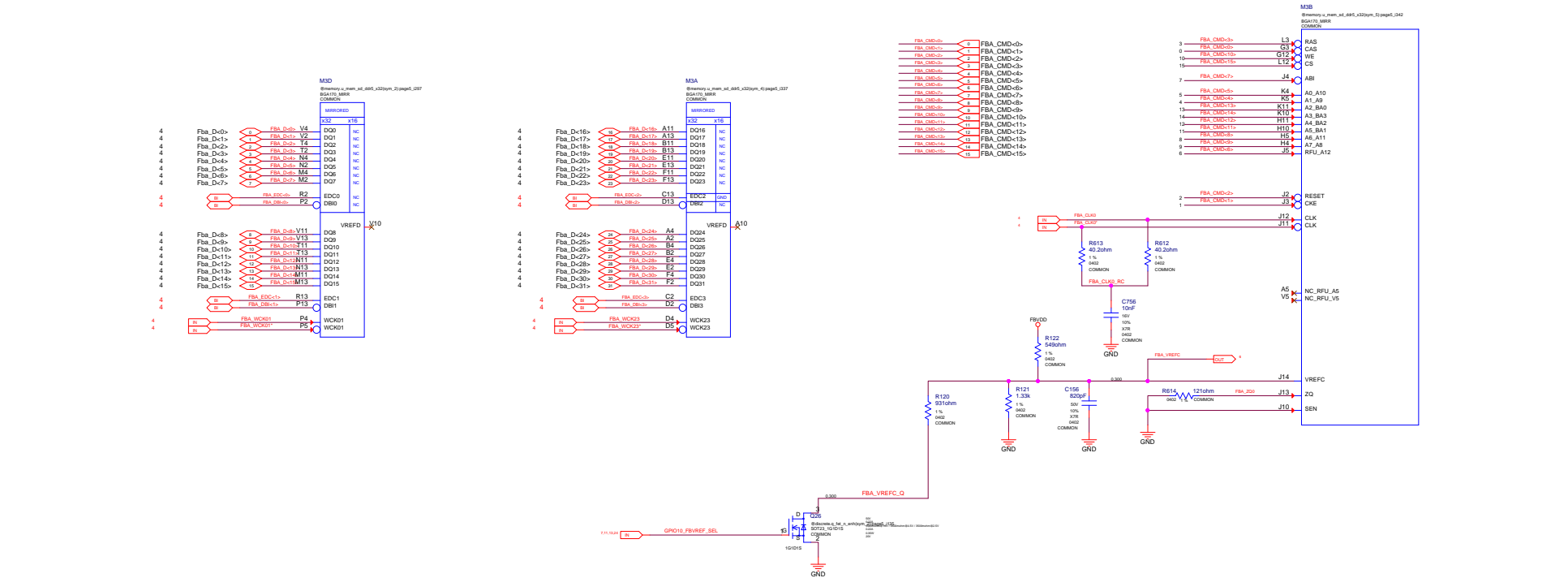


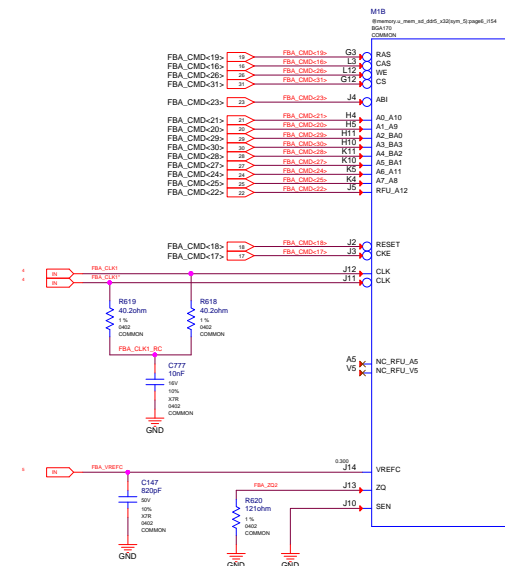
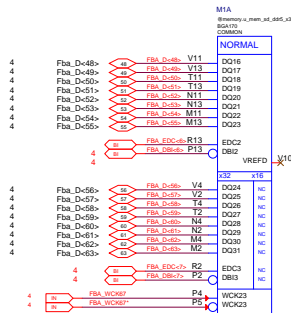
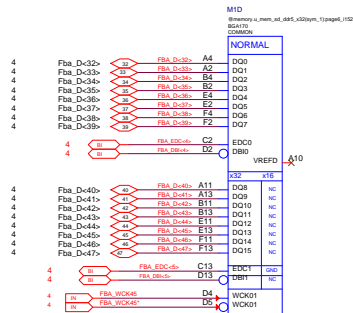


GDDR5 CMD Mapping		
CMD	9-31	32-63

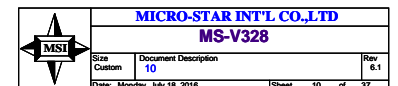
CMD0	CAS*	
CMD1	CAS*	
CMD2	RST*	
CMD3	RAS*	
CMD4	AI, AB	
CMD5	AI, A10	
CMD6	AI2, RFU	
CMD7	AB*	
CMD8	AI, A11	
CMD9	WE*	
CMD10	WE*	
CMD11	AI, BA1	
CMD12	AI, BA2	
CMD13	AI, BA3	
CMD14	AI, BA4	
CMD15	AI, BA5	
CMD16	AI, BA6	
CMD17	AI, BA7	
CMD18	AI, BA8	
CMD19	AI, BA9	
CMD20	AI, BA10	
CMD21	AI, BA11	
CMD22	AI, BA12	
CMD23	AI, BA13	
CMD24	AI, BA14	
CMD25	AI, BA15	
CMD26	AI, BA16	
CMD27	AI, BA17	
CMD28	AI, BA18	
CMD29	AI, BA19	
CMD30	AI, BA20	
CMD31	AI, BA21	

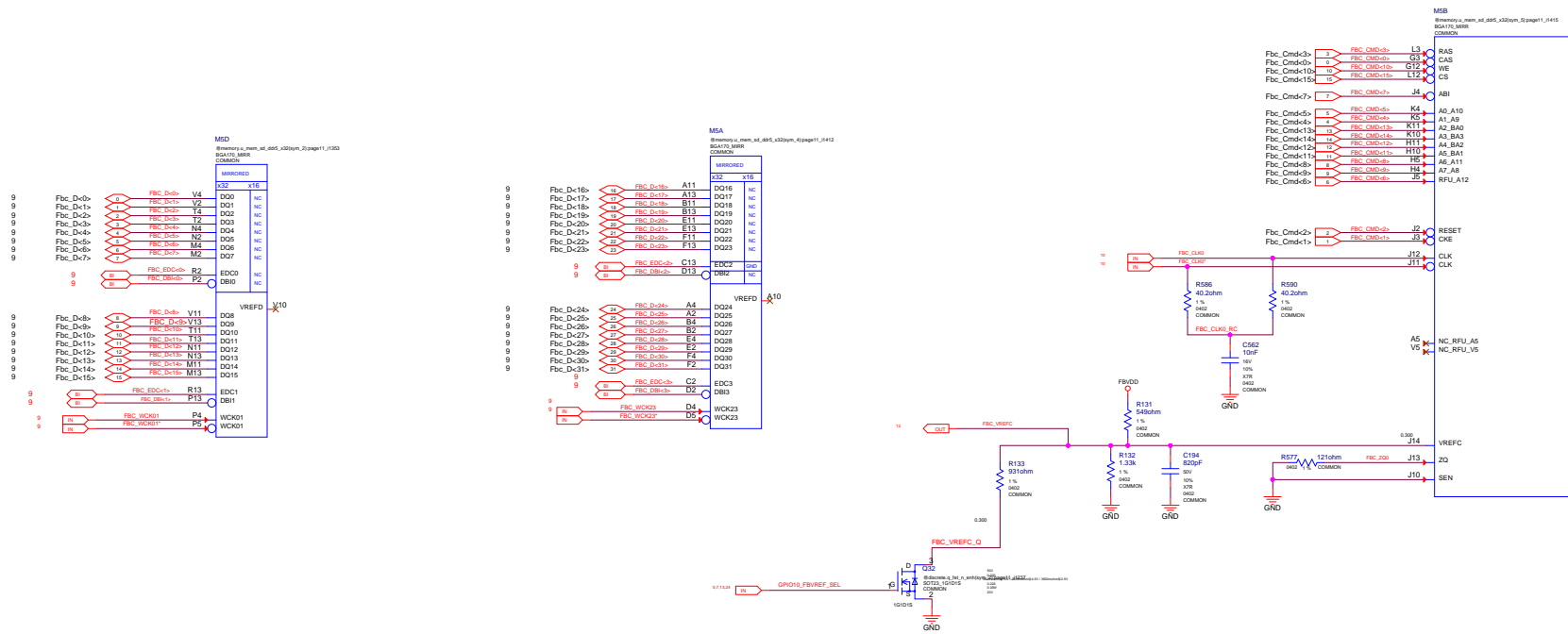
--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

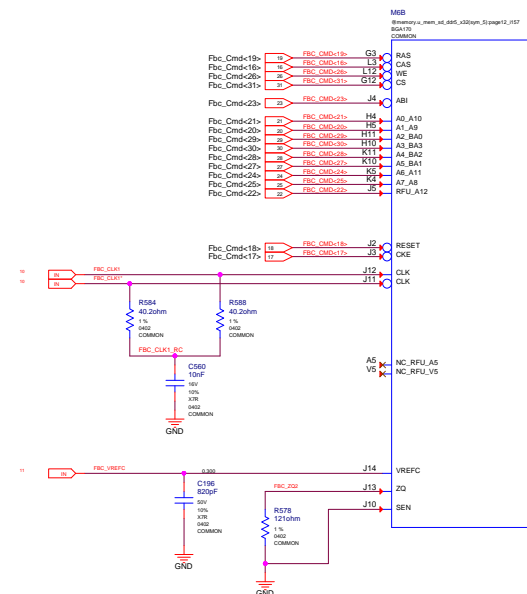





CN00	CAS*
CN01	CHE*
CN02	RST*
CN03	BAE*
CN04	A1, A9
CN05	AE, A10
CN06	A12, RFU
CN07	AB*
CN08	AE, A11
CN09	A7, A8
CN10	WE*
CN11	AS, BA1
CN12	A4, BA2
CN13	A2, BA0
CN14	A3, BA3
CN15	CS*
CN16	CAS*
CN17	CHE*
CN18	RST*
CN19	BAE*
CN20	A1, A9
CN21	AE, A10
CN22	A12, RFU
CN23	AB*
CN24	AE, A11
CN25	A7, A8
CN26	WE*
CN27	AS, BA1
CN28	A4, BA2
CN29	A2, BA0
CN30	A3, BA3
CN31	CS*










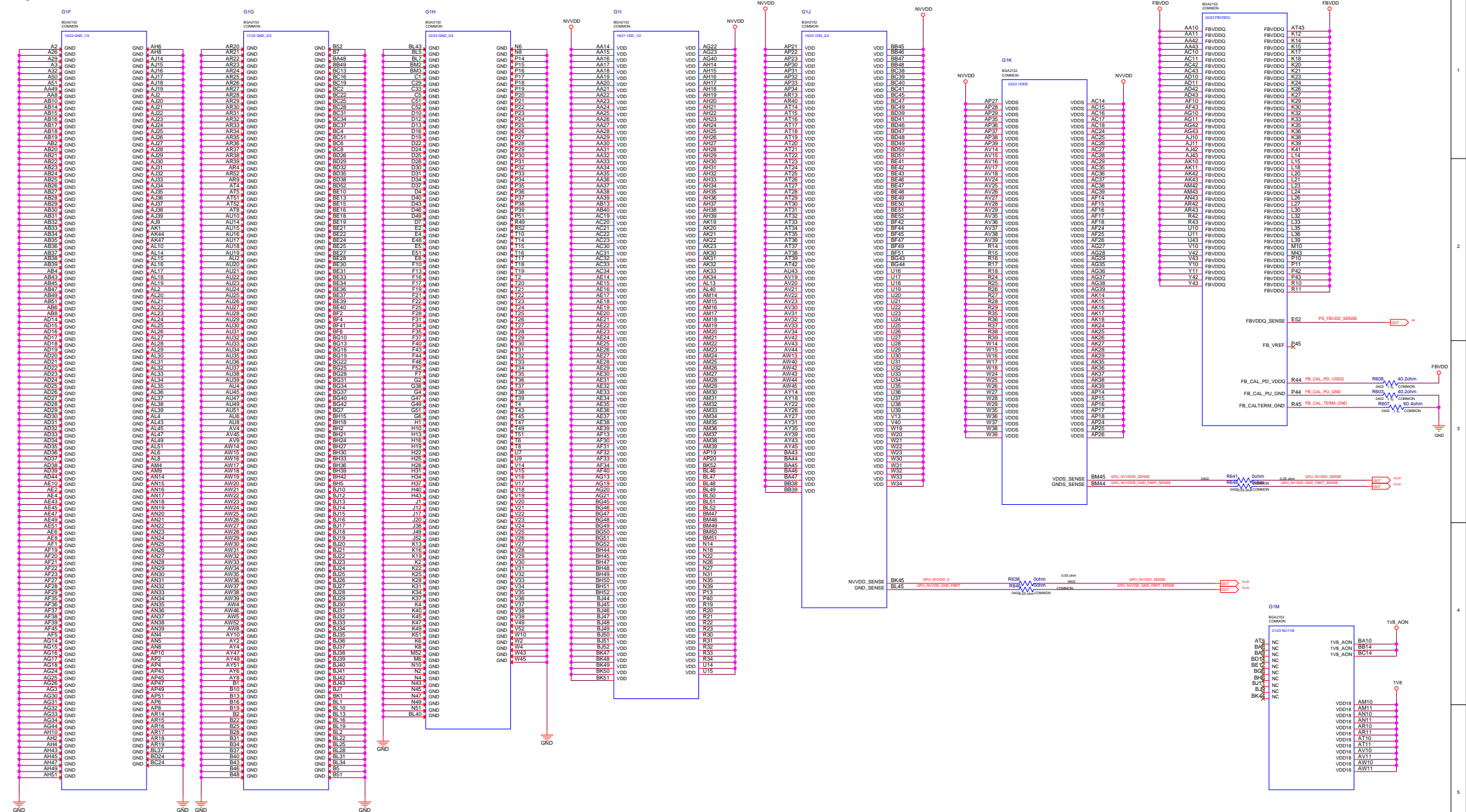
MICRO-STAR INT'L CO.,LTD		
MS-V328		
Size	Document Description	Rev
Custom	13	6.0
Date: Tuesday, July 12, 2016		Sheet 13 of 37



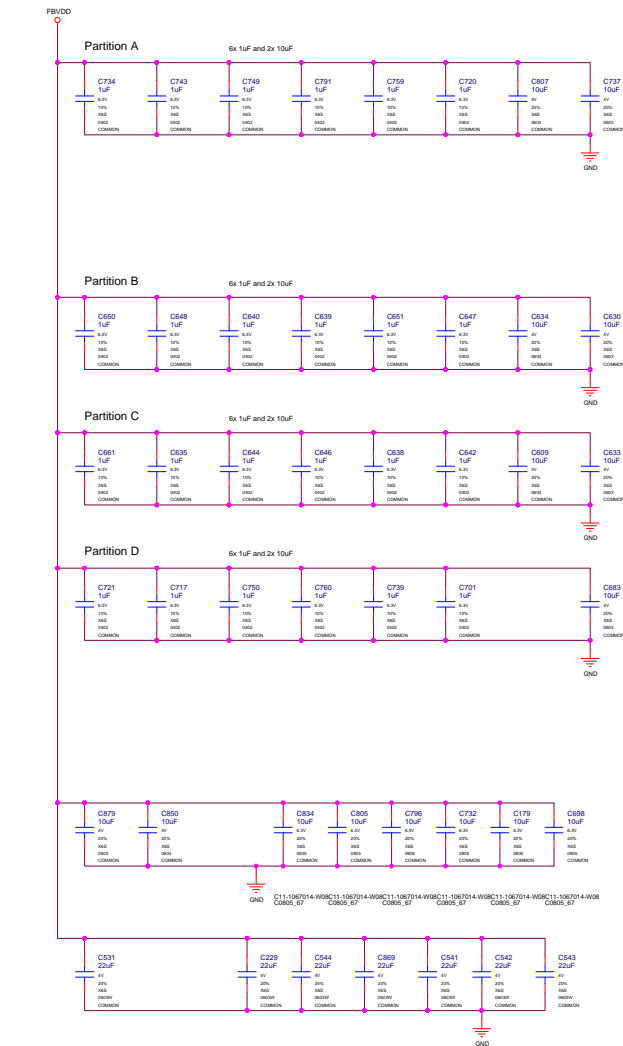
MICRO-STAR INT'L CO.,LTD

MS-V328

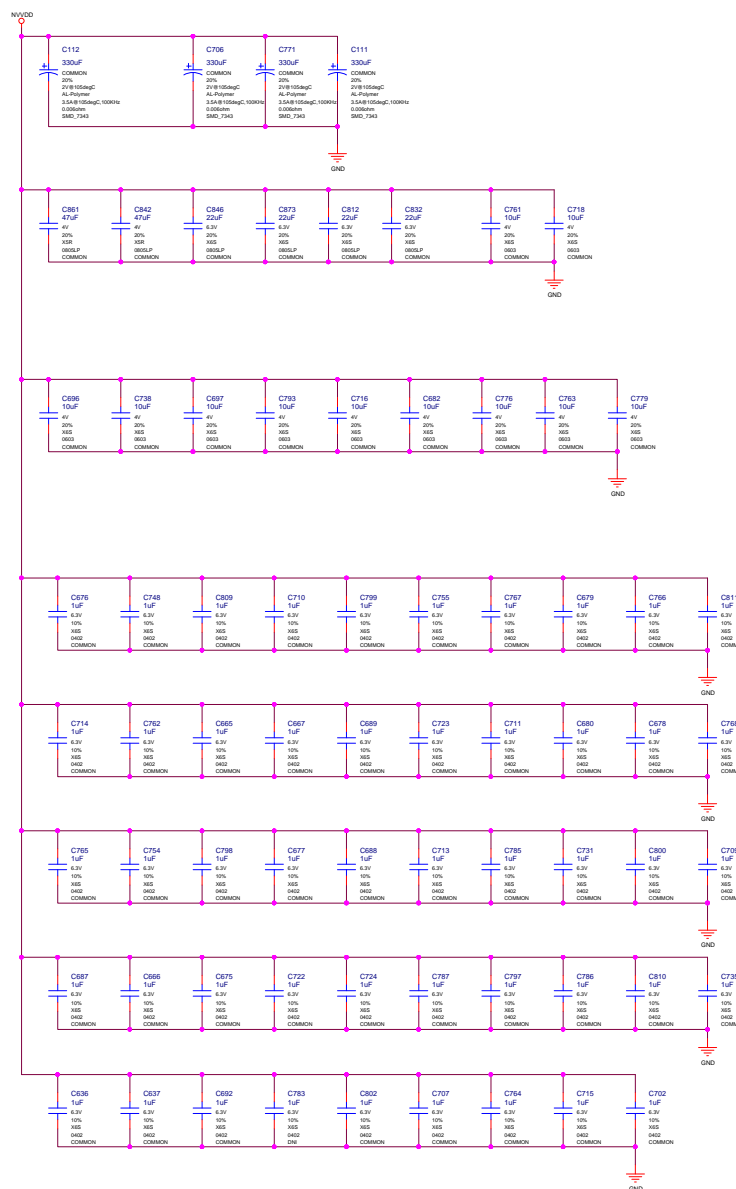
Size	Document Description	Rev
Custom	14	6.0
Date: Tuesday, July 12, 2016		Sheet 14 of 37



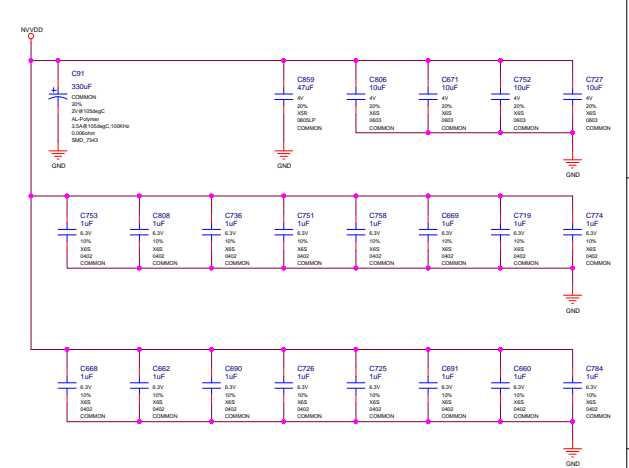
FBVDD



NVVDD

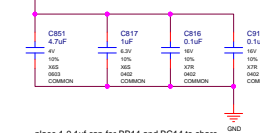


NVVDD



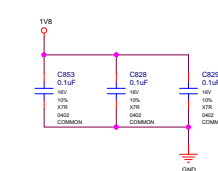
1V8_AON

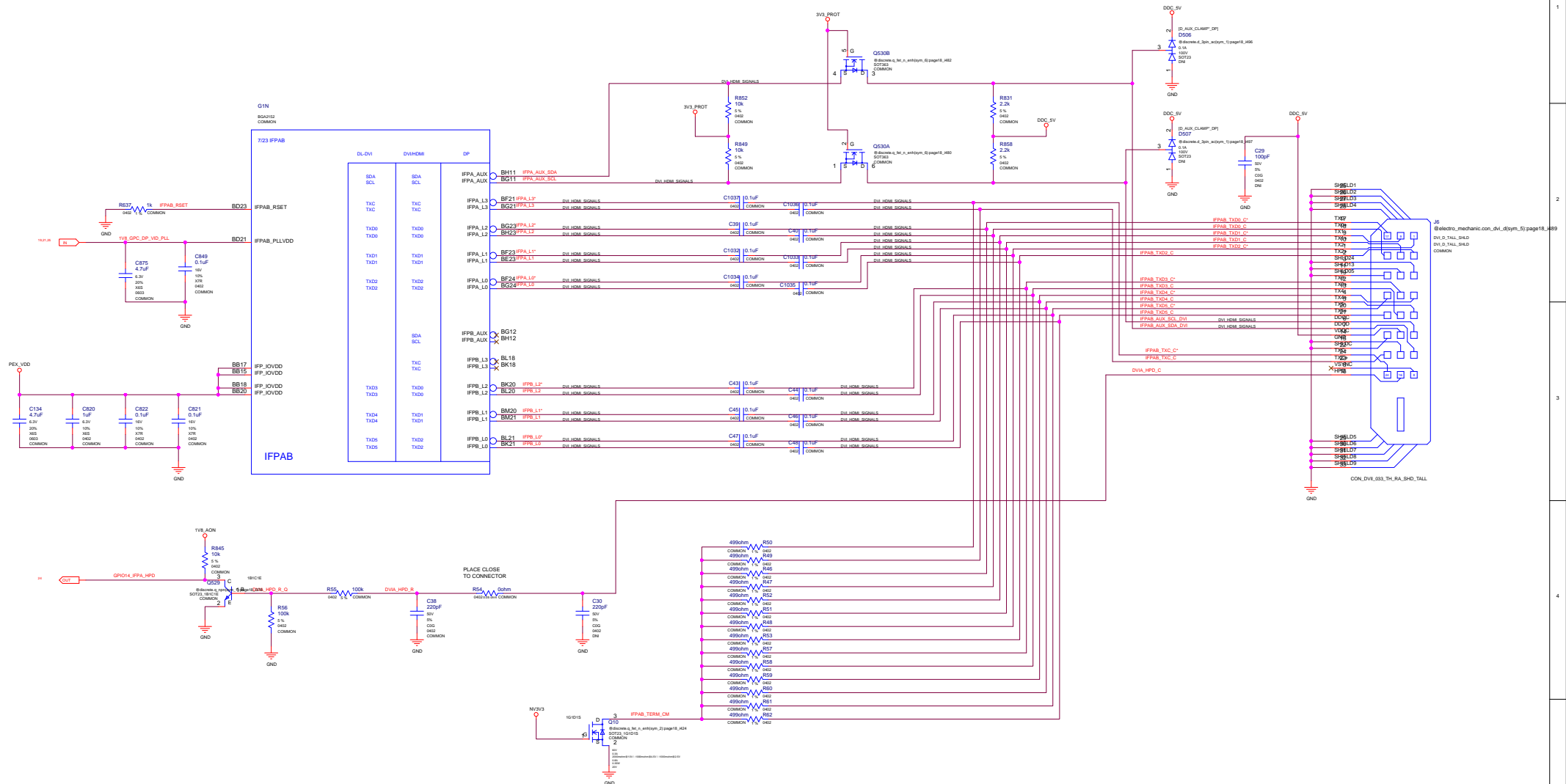
1V8_AON
place 1 0.1uF cap near BA10

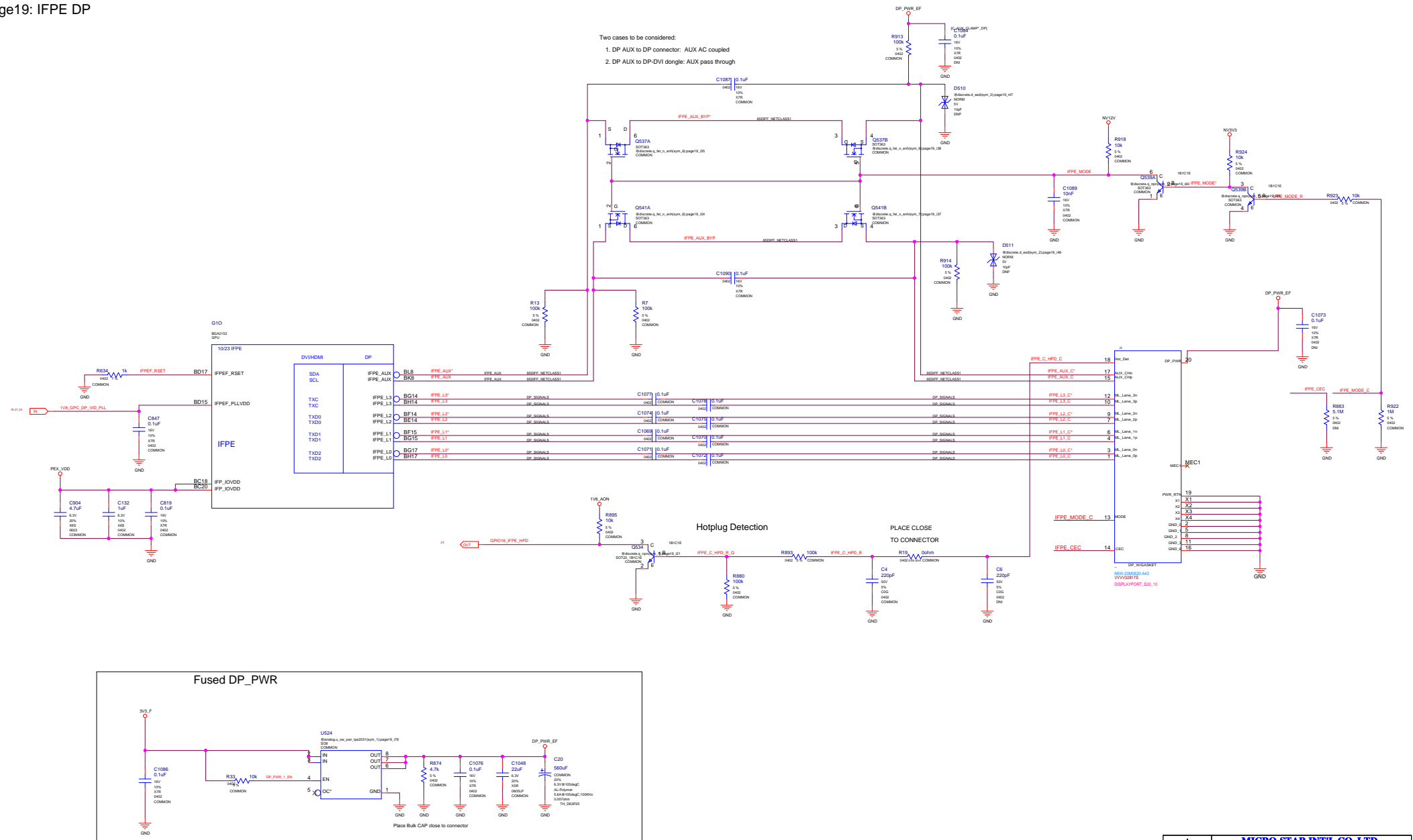


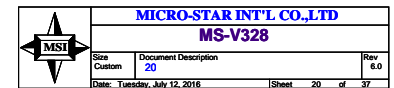
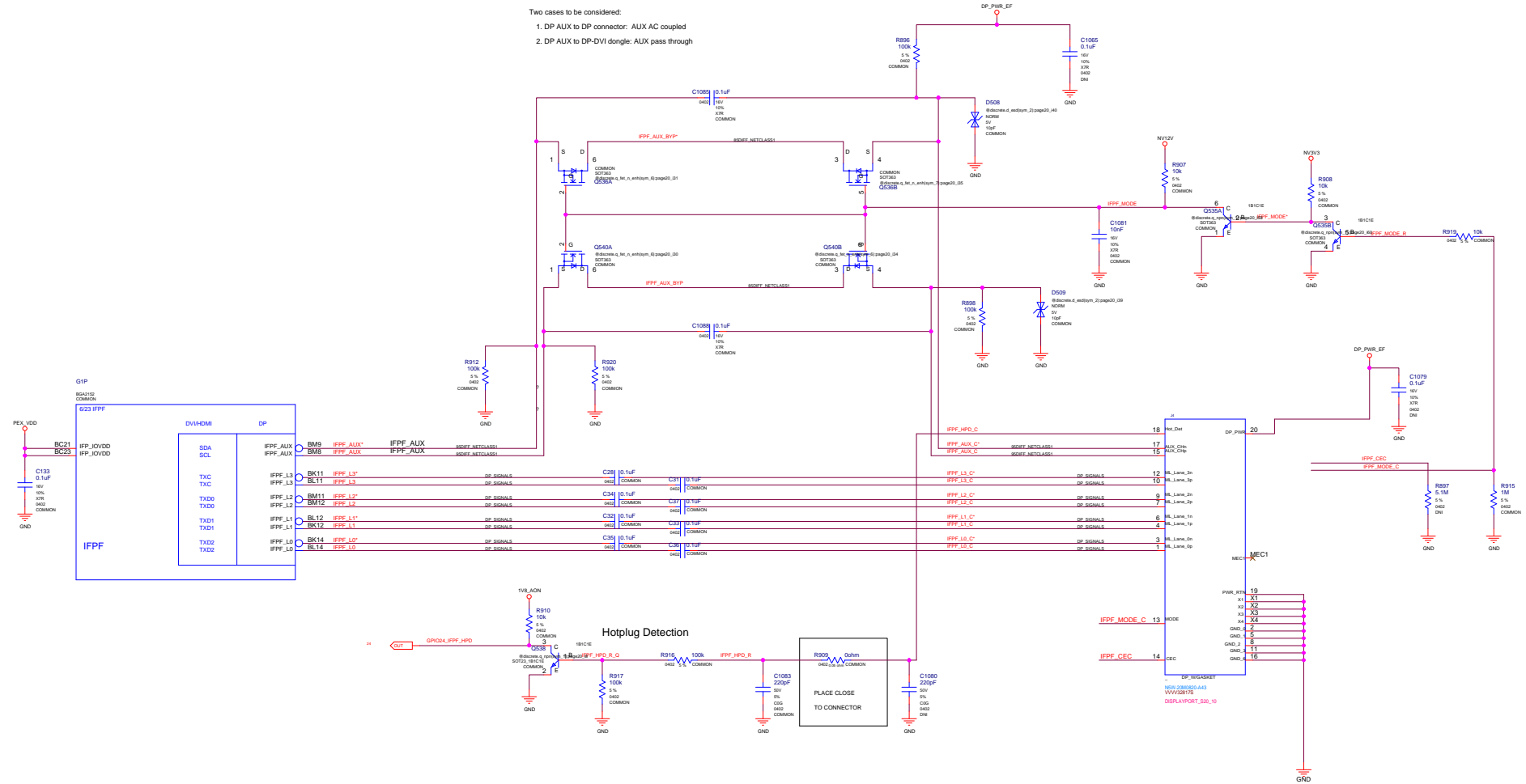
place 1 0.1uf cap for BB14 and BC14 to share

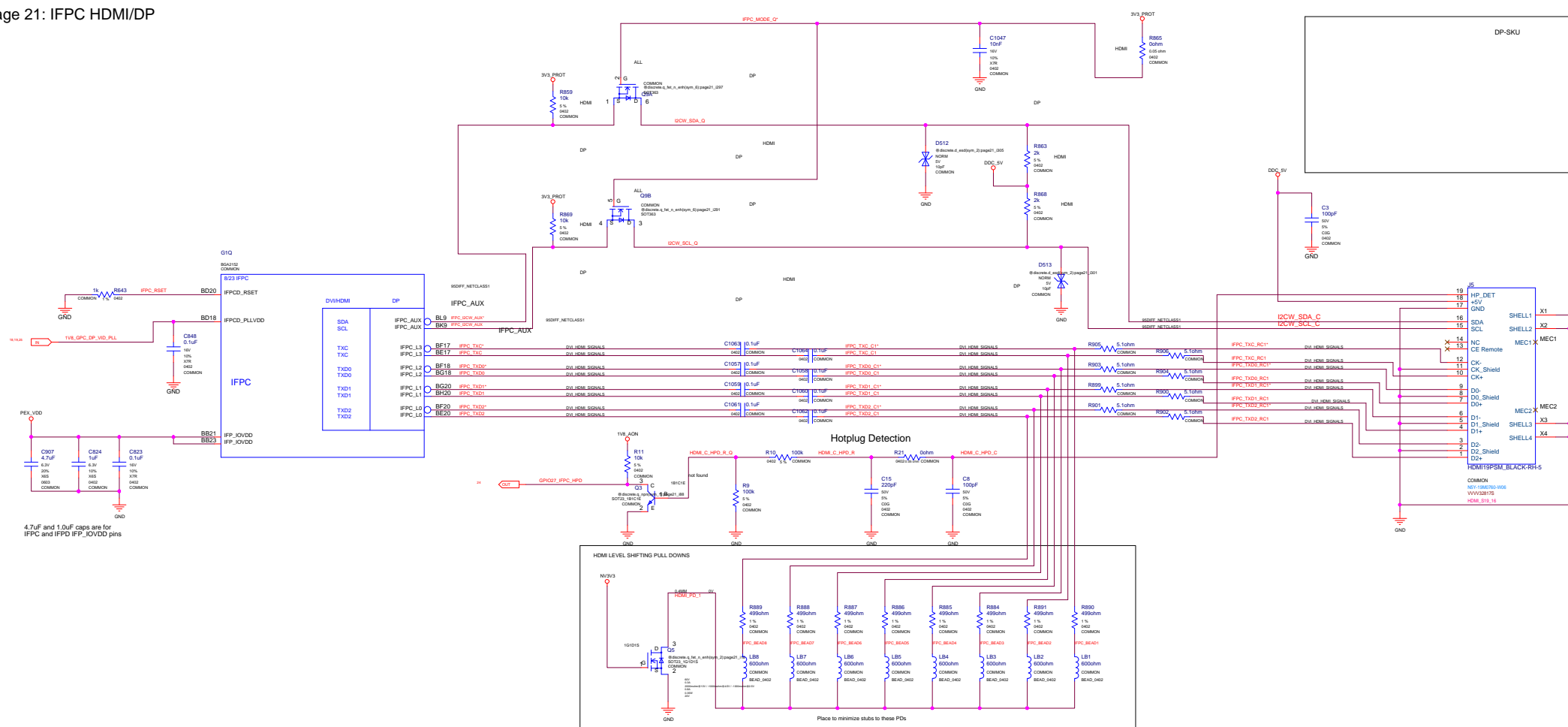
1V8_MAIN



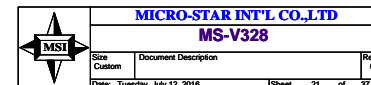


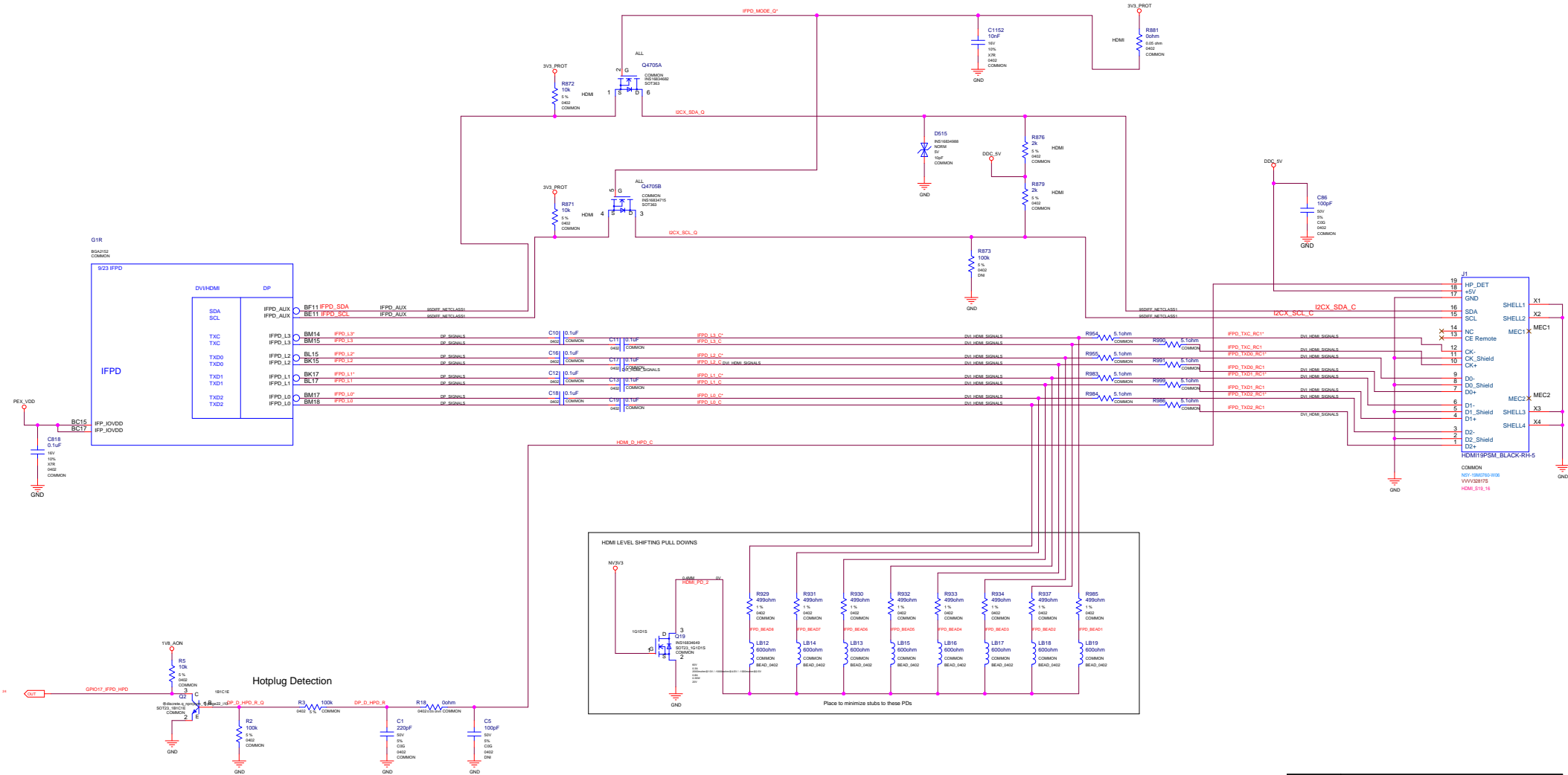


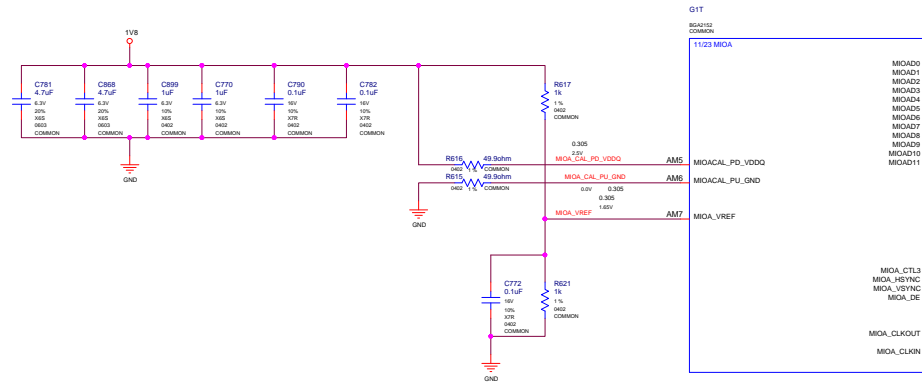




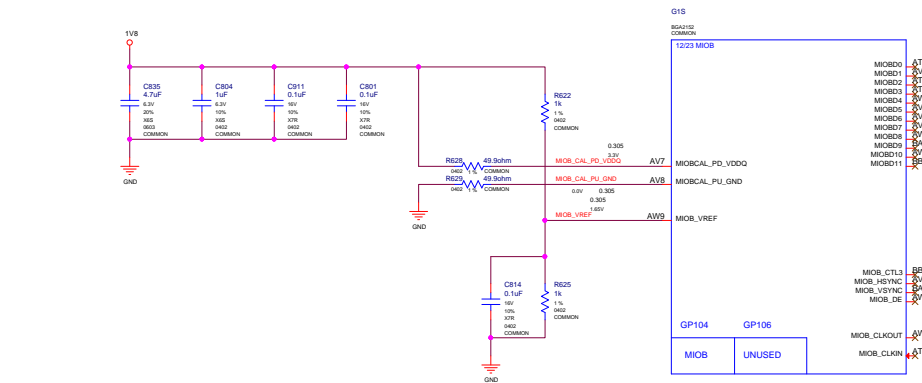
Fused DP_PWR



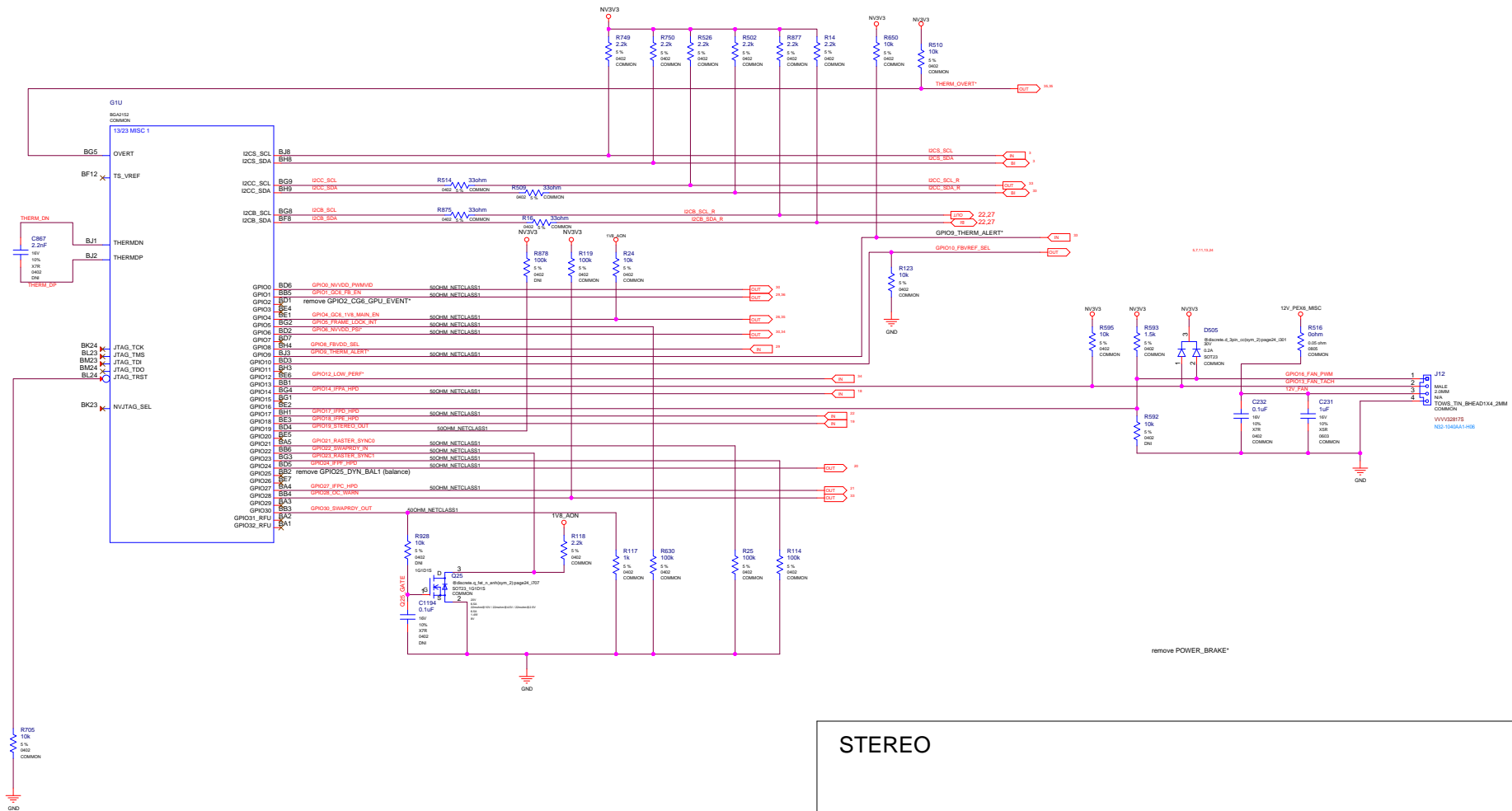




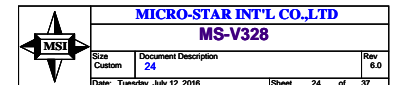
Pad Overlap R1042 & R1043



MICRO-STAR INT'L CO.,LTD			
MS-V328			
Size	Document Description	Rev	
Custom	23	6.0	
Date: Tuesday, July 12, 2016		Sheet 23 of 37	



STEREO



Page25: MISC2: ROM, XTAL, Straps

STRAP2	STRAP1	STRAP0	RAMCFG[4:0]
L	L	L	00000
L	L	H	00001
L	H	L	00010
L	H	H	00011
H	H	L	00110
H	H	H	00111
L	L	M	01000

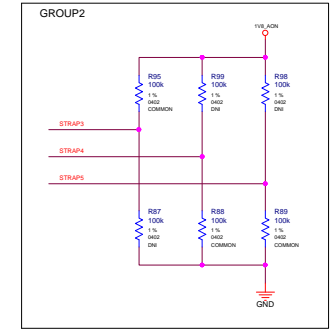
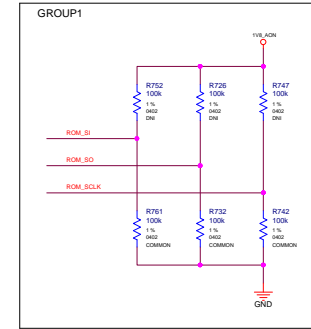
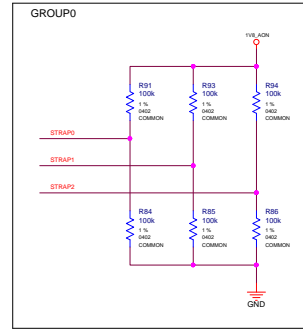
ROM_SO	ROM_SI	ROM_SCLK	SOR_EXPOSED[3:0]	1:ENABLE 0:DISABLE
L	L	L	1111	DEFAULT
L	L	H	1110	SOR0/1/2/3 ENABLE
L	H	L	1101	
L	H	H	1100	
H	L	L	1011	
H	L	H	1010	
H	H	L	1001	
H	H	H	1000	
L	L	M	0111	
L	M	L	0110	
L	M	H	0101	
L	H	M	0100	
H	L	M	0011	
H	M	L	0010	
H	M	H	0001	
H	H	M	0000	

STRAP5	STRAP4	STRAP3	SMB_ALT_ADDR	DEVID_SEL	PCIE_CFG	VGA_DEVICE
M	H	H	1	1	1	1
M	H	L	1	1	1	0
M	L	H	1	1	0	1
M	L	L	1	1	0	0
L	H	M	1	0	1	0
L	M	L	1	0	0	1
L	L	M	1	0	0	0
H	H	H	0	1	1	1
H	H	L	0	1	1	0
H	L	H	0	1	0	1
H	L	L	0	1	0	0
L	H	H	0	0	1	1
L	H	L	0	0	1	0
L	L	H	0	0	0	1
L	L	L	0	0	0	0

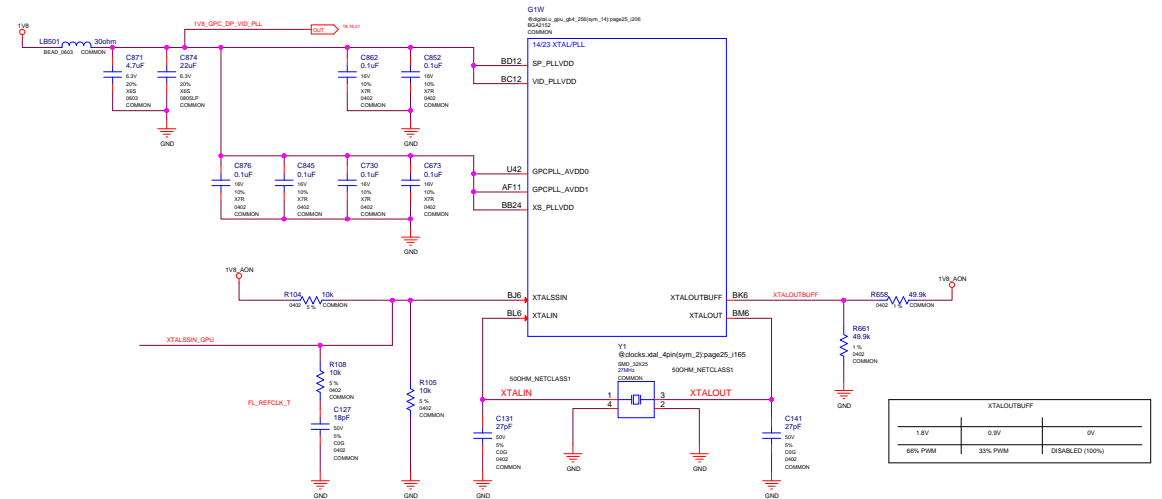
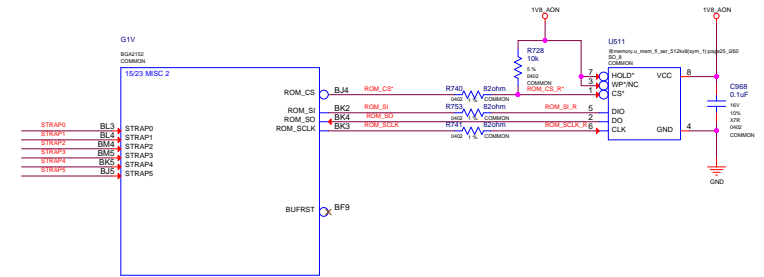
H=High :Tied to 1.8V
M=Middle:Tied to 0.9V
L=Low :Tied to 0V

1:SMB_ALT_ADDR ENABLE
0:SMB_ALT_ADDR DISABLE
1:DEVID_SEL REBRAND
0:DEVID_SEL ORIGINAL

1:PCIE_CFG LOW POWER
0:PCIE_CFG HIGH POWER
1:VGA_DEVICE ENABLE
0:VGA_DEVICE DISABLE

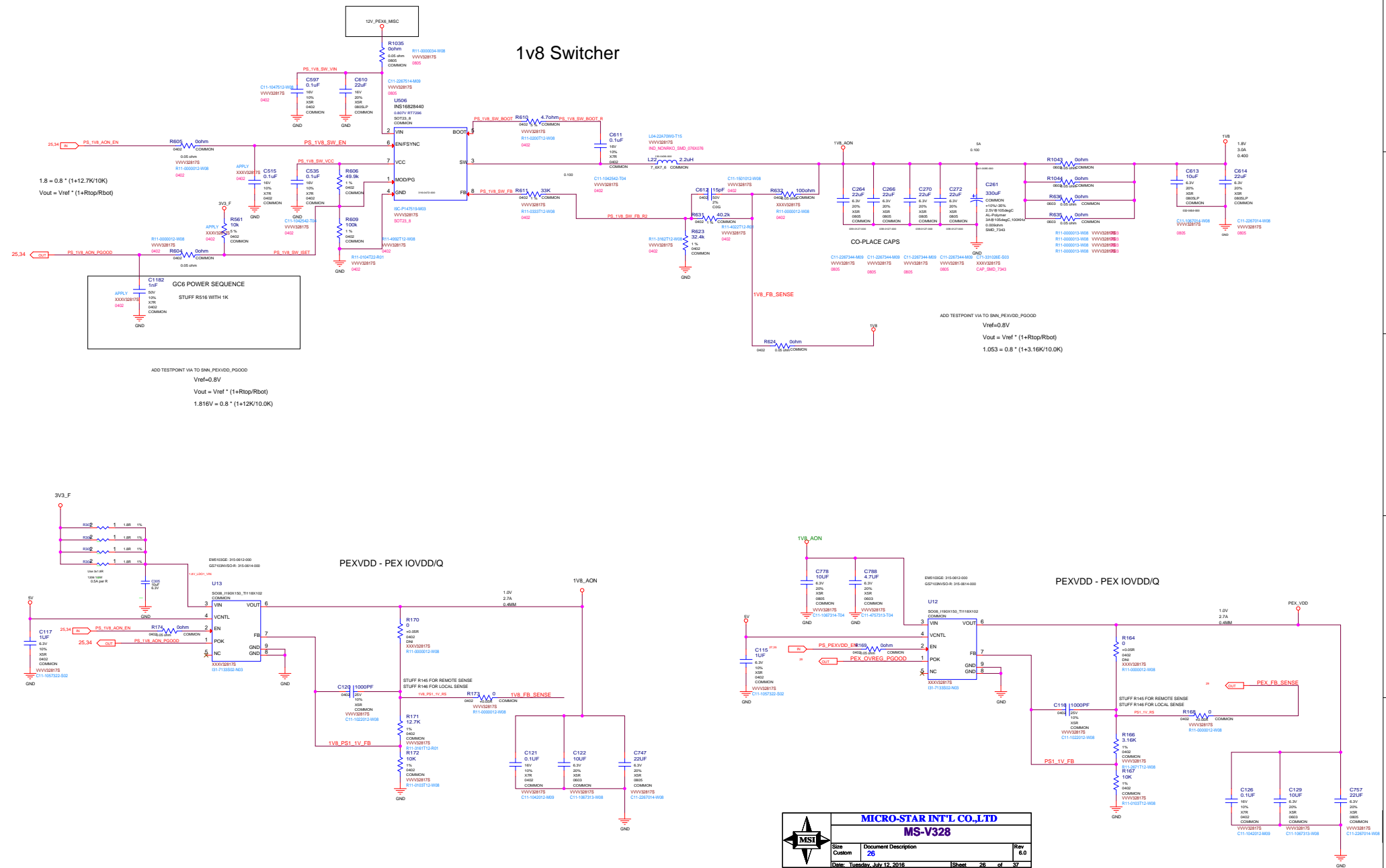


CFG[3:0]	Config	Width	Vendor
0000	256Mx32	256-bit	Samsung
0001	256Mx32	256-bit	Micron
0010	256Mx32	256-bit	Hynix
0011	Reserved		
0100	Reserved		
0101	Reserved		
0110	Reserved		
0111	Reserved		

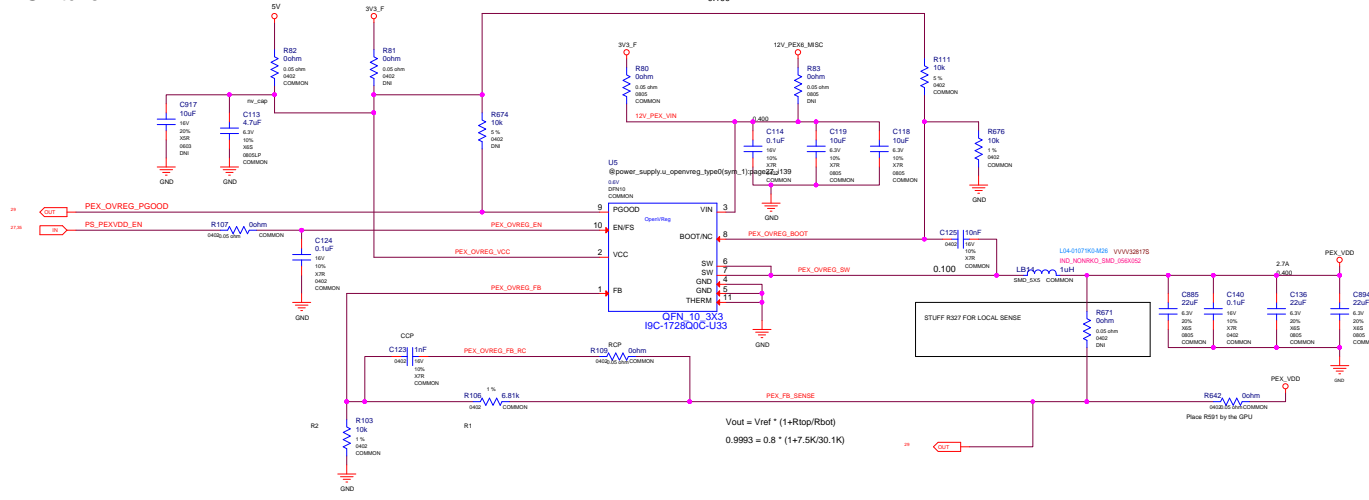


XTALOUTBUFF		
1.8V	0.9V	0V
88% PWM	33% PWM	DISABLED (100%)

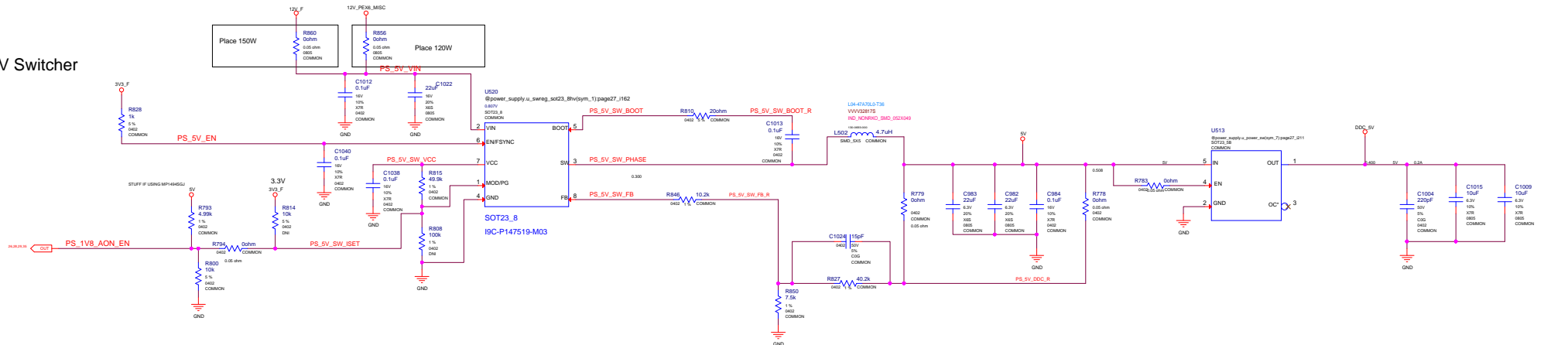
MICRO-STAR INT'L CO.LTD		
MS-V328		
Size	Document Description	Rev
Custom	25	6.0
Date	Tuesday, July 12, 2016	Sheet 25 of 97



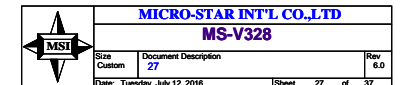
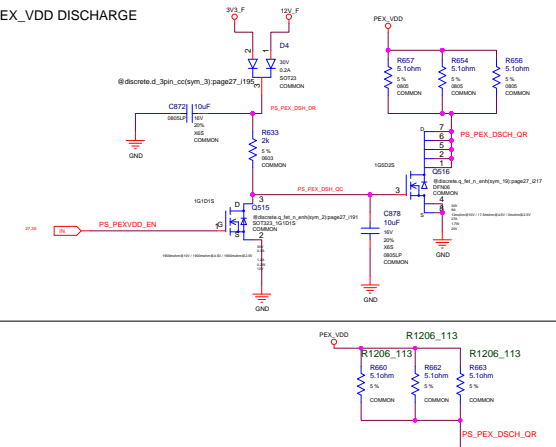
PEX PLL Switcher

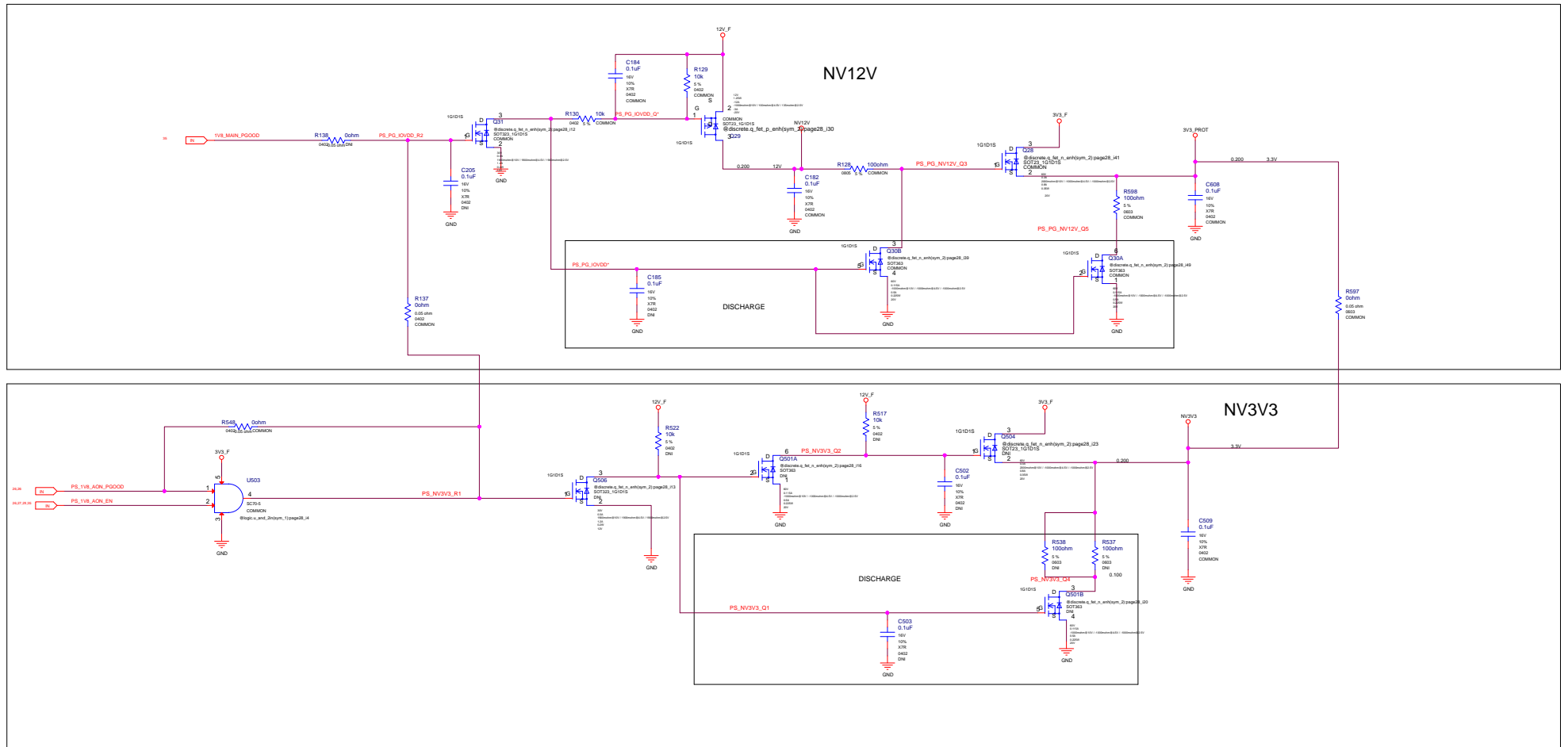


5V Switcher

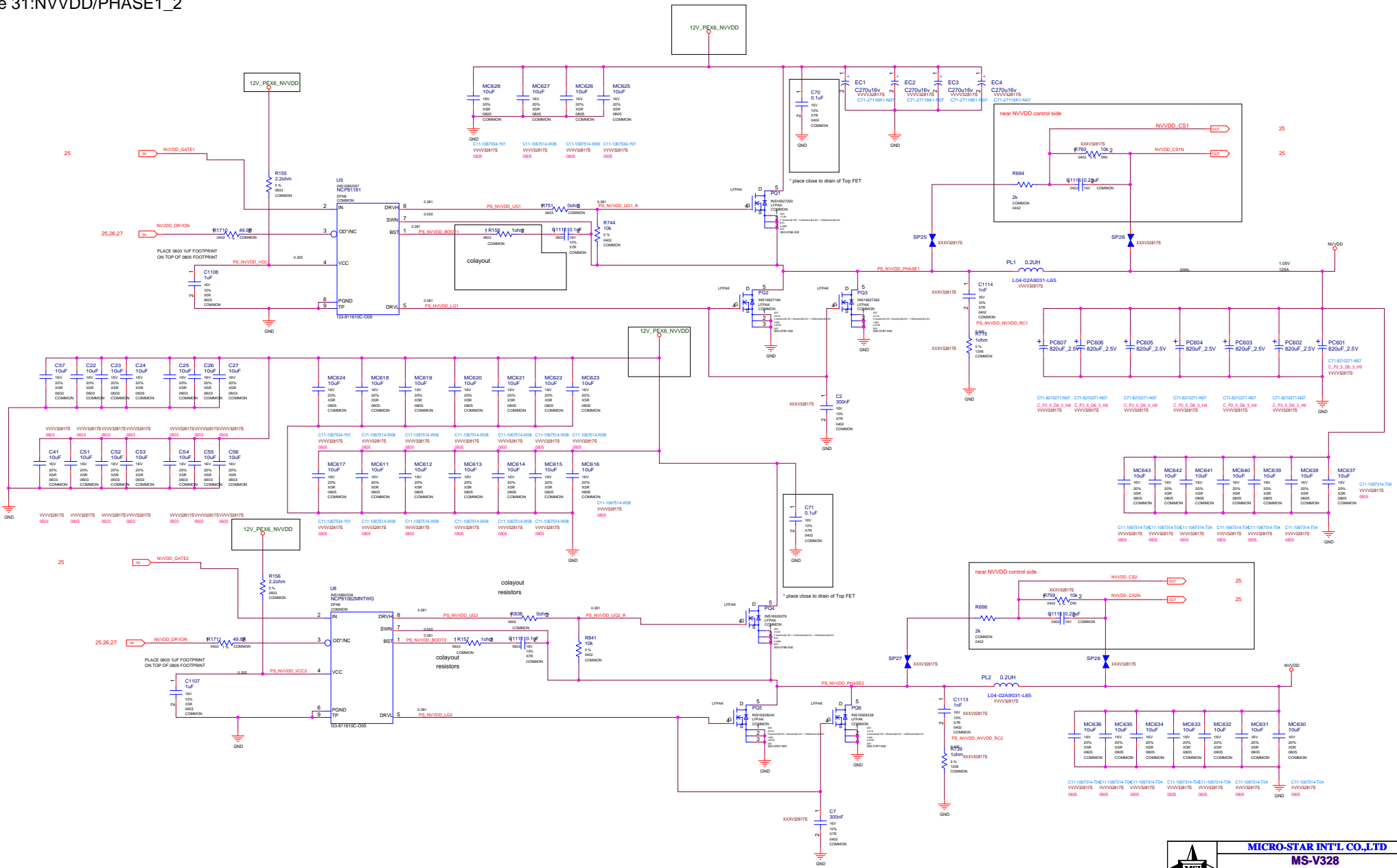


PEX_VDD DISCHARGE





Pgae 31:NVVDD/PHASE1_2

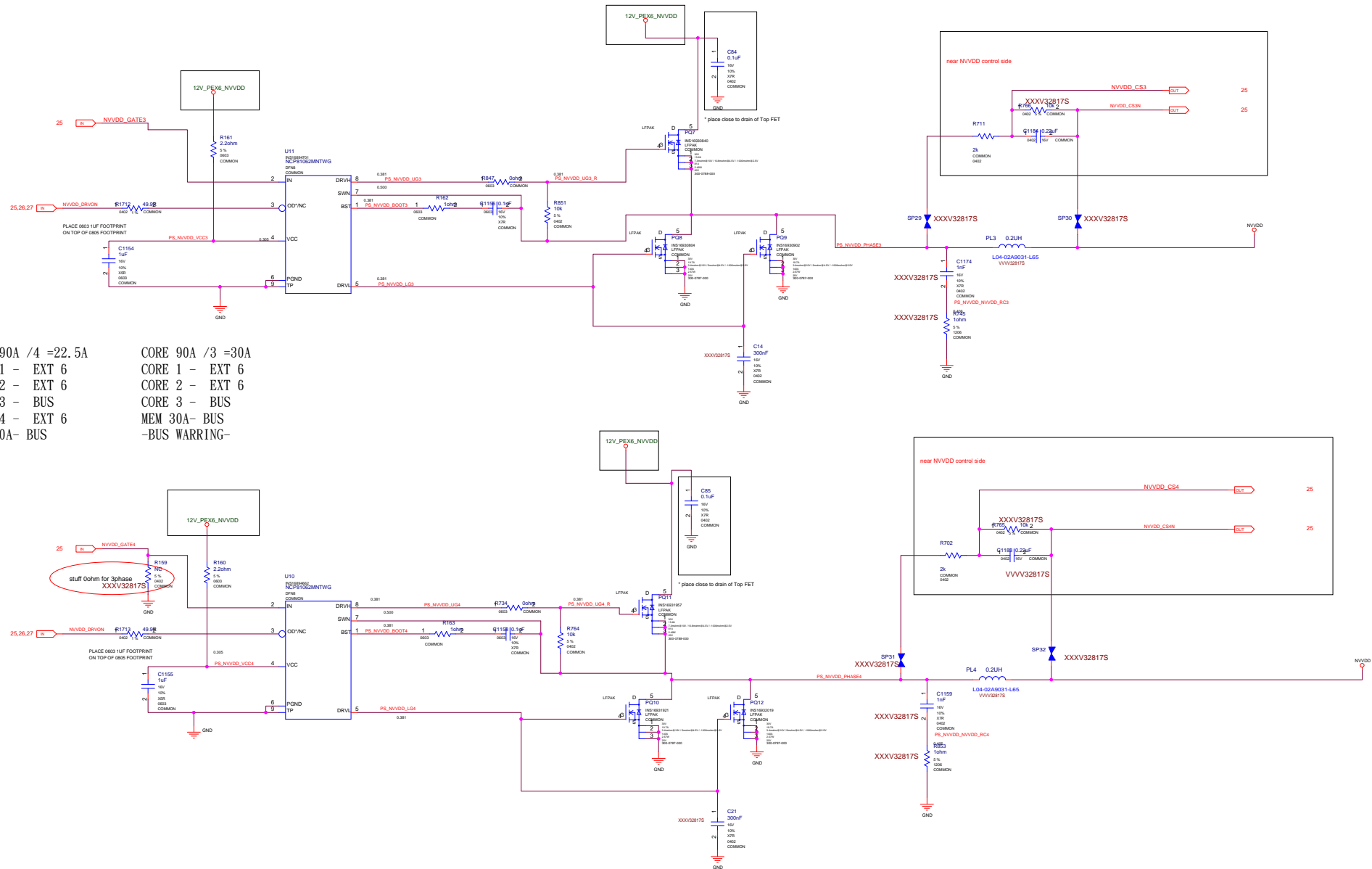


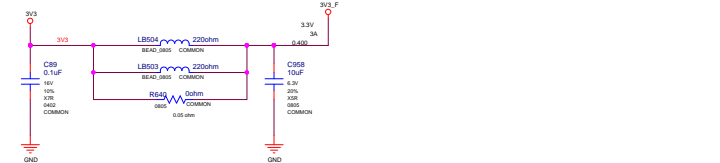
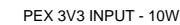
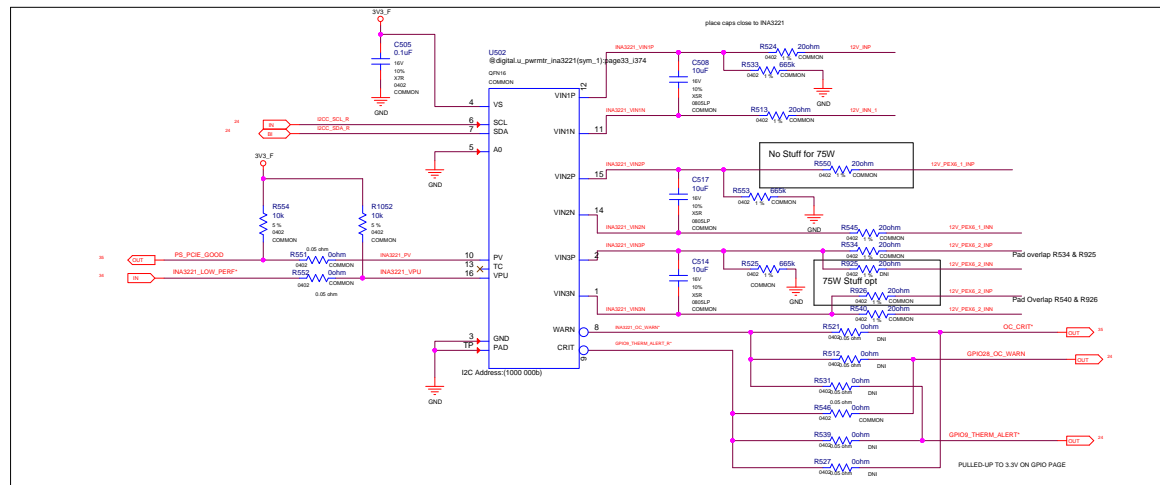
MICRO-STAR INT'L CO.,LTD
MS-V328

Size Custom	Document Description NVDD/PHASE1_2	Rev 6.0
Date: Tuesday, July 12, 2016		Sheet 31 of 37

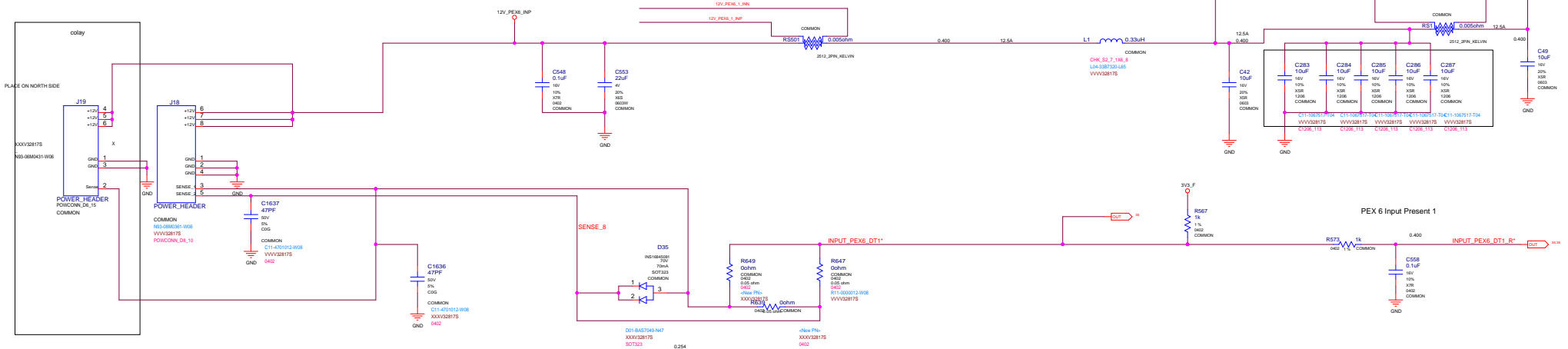
CORE 90A /4 =22.5A
 CORE 1 - EXT 6
 CORE 2 - EXT 6
 CORE 3 - BUS
 CORE 4 - EXT 6
 MEM 30A- BUS
 -BUS WARRING-

CORE 90A /3 =30A
 CORE 1 - EXT 6
 CORE 2 - EXT 6
 CORE 3 - BUS
 MEM 30A- BUS
 -BUS WARRING-





PEX6 INPUT 1 - 2x3 PCIE CON 75W

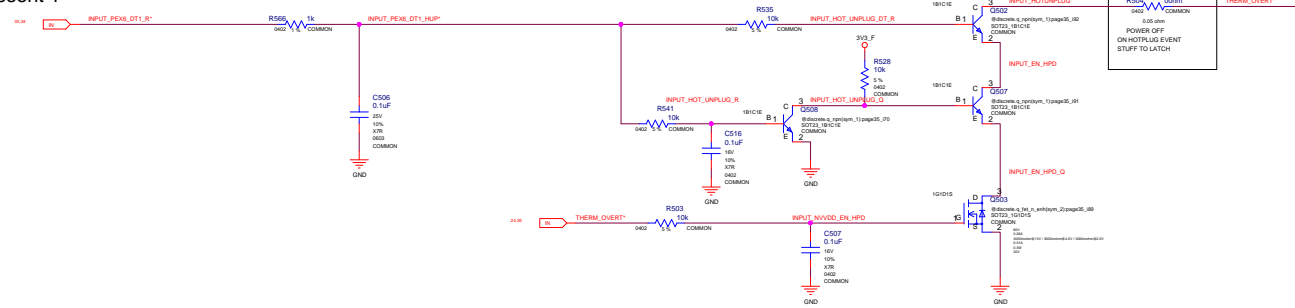


MICRO-STAR INT'L CO.,LTD
MS-V328

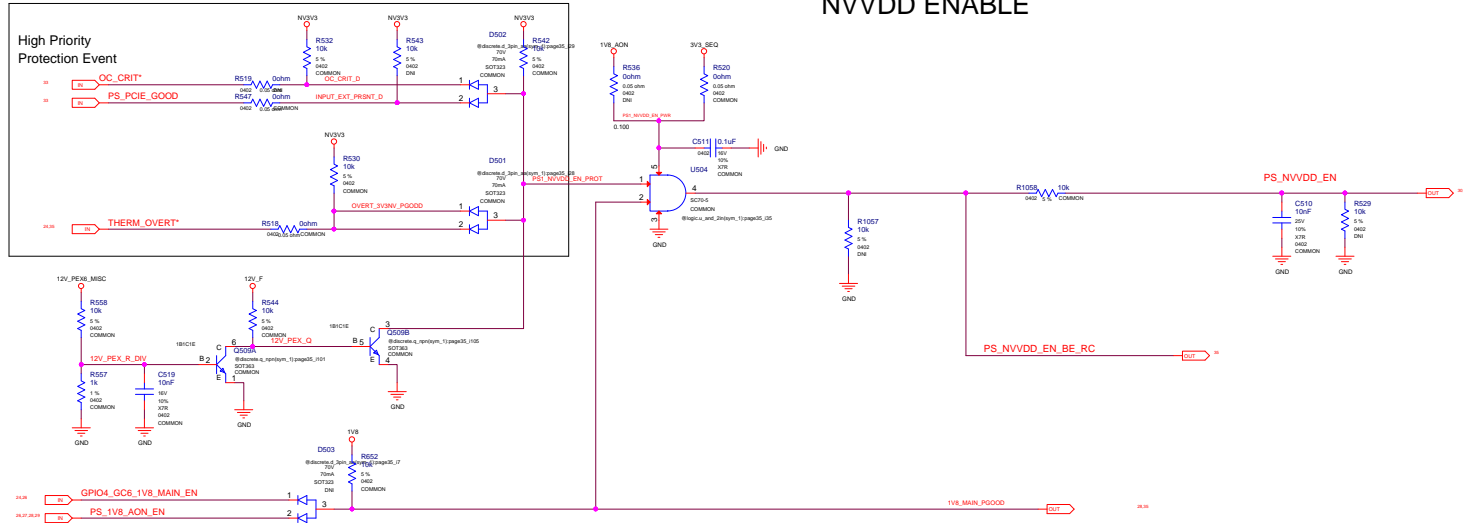
Size Custom	Document Description 33	Rev 6.0
Date: Tuesday, July 12, 2016		Sheet 33 of 37

PEX Input Present 1

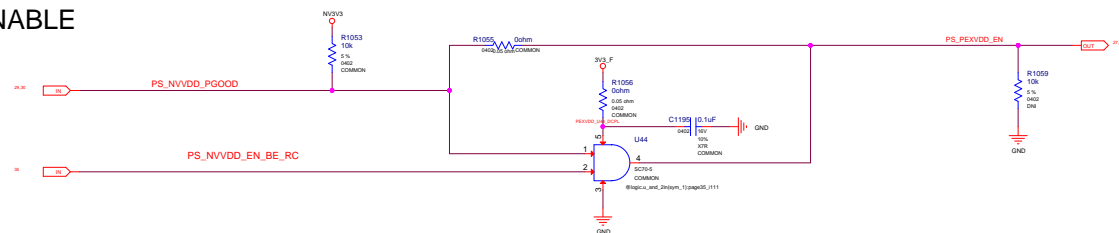
POWER CONNECTOR HOT-UNPLUG DETECT



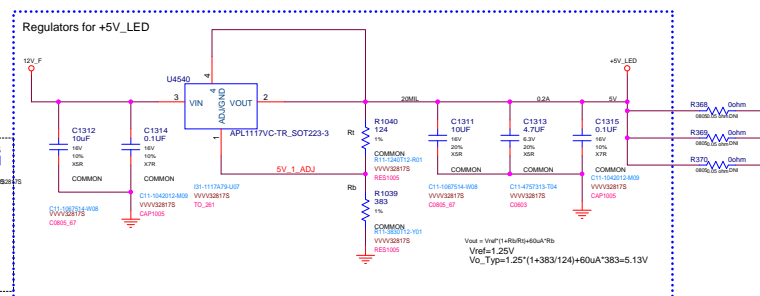
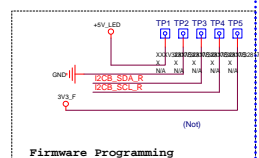
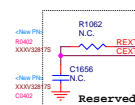
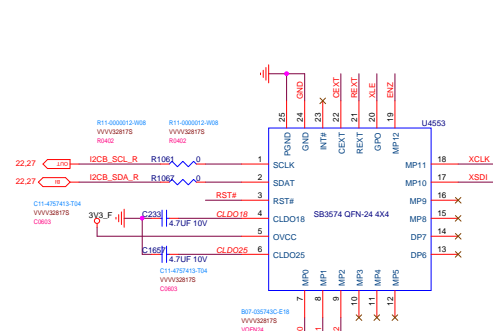
NVVDD ENABLE



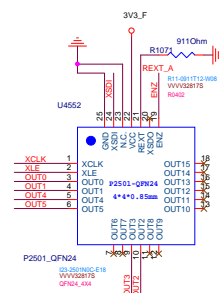
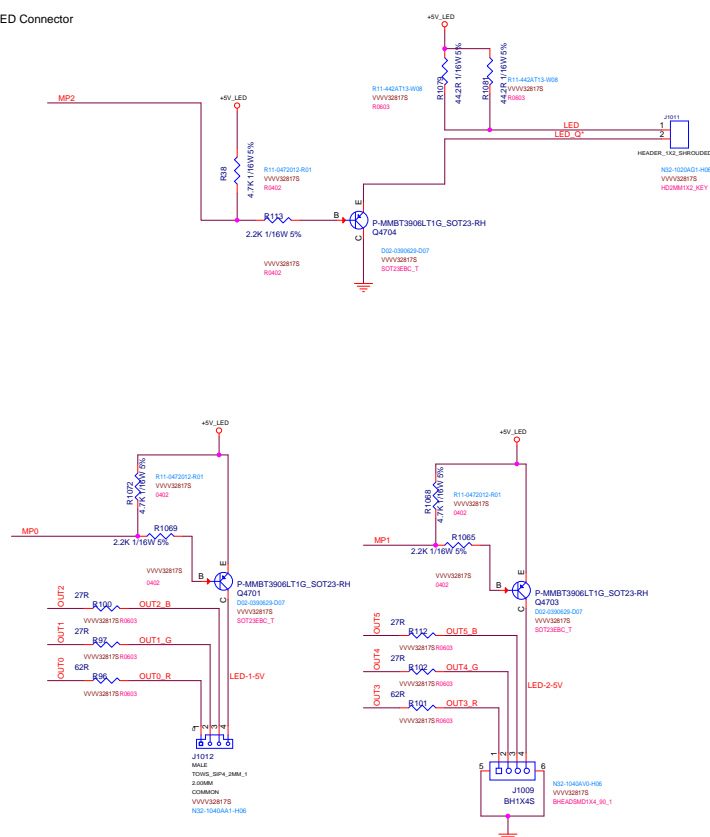
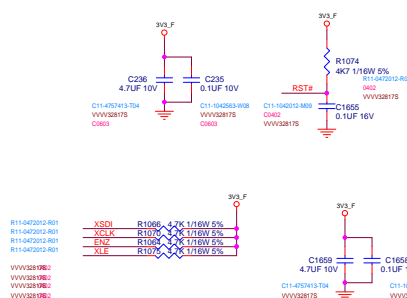
PEX ENABLE



```
remove GC6_FB_ENABLE
remove GPU_EVENT*
remove PEX_CLKREQ*
PEX_RST# LOGIC
```



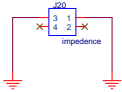
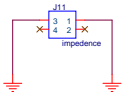
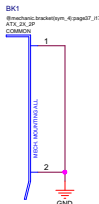
LED Connector



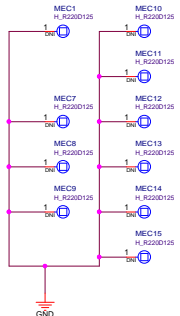
MICRO-STAR INT'L CO.,LTD
MS-V328

Size Custom	Document Description 36	Rev 6
Date: Tuesday, July 12, 2016		Sheet 36 of 37

Brackets:



Mechanical Holes Symbol



GPU Stiffner

