

Pengembangan Sistem Square Root Digital dengan Algoritma Newton-Raphson Operasi Akar Kuadrat untuk Pengolahan Data dari Sensor

Kelompok 01

Anggota:

1. 13224001 – Yozia Gedalya Marcho Ginting
2. 13224002 – Jeva Steve Sinaga
3. 13224003 – Benedictus Kenneth Setiadi

EL 2002 Sistem Digital

2025

Daftar Isi

<i>Pendahuluan.....</i>	<i>1</i>
<i>Deskripsi Sistem.....</i>	<i>1</i>
<i>Jadwal Kegiatan.....</i>	<i>1</i>
<i>Profil Anggota.....</i>	<i>2</i>

Pendahuluan

Berbagai operasi matematis selalu digunakan untuk menyelesaikan permasalahan sehari-hari. Operasi-operasi dasar yang sering ditemui adalah penjumlahan, pengurangan, perkalian, dan pembagian. Namun, ada operasi lain yang memiliki cakupan penggunaan yang luas, salah satunya adalah akar kuadrat. Akar kuadrat dapat kita temui dalam perhitungan teorema Phytagoras untuk menghitung jarak, perhitungan RMS (*Root Mean Square*), penentuan magnitudo bilangan kompleks dalam aplikasi kelistrikan, serta rumus-rumus lain yang berkaitan dalam bidang Matematika dan Fisika.

Dalam dunia digital, operasi akar kuadrat cenderung sulit untuk diimplementasikan dengan rangkaian-rangkaian logika dasar seperti *adder*, *subtracter*, *left shifter*, dan *right shifter*. Penggunaan LUT (*look up table*) juga tidak ideal untuk sistem yang skalabel karena membutuhkan memori dalam jumlah yang signifikan. Oleh karena itu, dibutuhkan sebuah metode untuk menghitung akar kuadrat yang cepat, akurat, dan efisien dalam penggunaan sumber daya.

Salah satu metode untuk mengaproksimasi akar kuadrat adalah algoritma Newton-Raphson. Algoritma tersebut memanfaatkan operasi-operasi dasar seperti penjumlahan, perkalian, dan pembagian yang diulang berkali-kali (lihat persamaan 1). Algoritma NR cocok diimplementasikan di FPGA karena memiliki tingkat konvergensi yang tinggi (*quadratic convergence*) dan hanya memerlukan operasi dasar yang mudah direalisasikan.

Oleh karena itu, proyek ini bertujuan untuk mengimplementasikan operasi perhitungan akar kuadrat dengan algoritma Newton-Raphson yang cepat, akurat, hemat sumber daya, dan cocok untuk sistem digital berbasis FPGA.

$$x_{n+1} = x_n - \frac{f(x_n)}{f'(x_n)}$$

Persamaan 1. Rumus iteratif Newton-Raphson

Deskripsi Sistem

Proyek ini adalah pengembangan **Akselerator Digital Akar Kuadrat (Digital Square Root Accelerator)** berkecepatan tinggi yang diimplementasikan dalam arsitektur 32-bit Fixed-Point (Q8.24) pada FPGA. Sistem ini dirancang untuk menghitung akar kuadrat (\sqrt{A}) dari bilangan positif input dengan mengoptimalkan kecepatan (low-latency) dan akurasi melalui penggunaan iterasi Newton-Raphson (NR).

Proyek ini ditujukan untuk implementasi pada pengolahan data dari sensor yang memiliki lebar data 16-bit integer. Dengan input tersebut, hasil akar kuadratnya tidak akan melebihi 8-bit integer, sehingga ada ruang 24-bit digunakan untuk meningkatkan akurasi dari hasil iterasi Newton-Raphson.

Cara Kerja

Sistem bekerja berdasarkan *loop* iteratif yang dikontrol oleh FSM (Finite State Machine) dan dibagi menjadi dua tingkatan algoritma:

A. Algoritma Inti: Newton-Raphson untuk Akar Kuadrat

Algoritma ini digunakan di *loop* utama FSM dan menjalankan 5 iterasi untuk mencapai hasil akhir. Rumus yang digunakan pada algoritma ini:

$$x_{k+1} = \frac{1}{2} (x_k + \frac{A}{x_k})$$

Persamaan 2. Bentuk lain rumus iteratif Newton-Raphson

B. Algoritma Internal: Optimasi Pembagian

Untuk menghindari *divider* tradisional yang lambat, modul **Unit Division (UD)** mengimplementasikan pembagian sebagai perkalian dengan resiprokal (y_j), menggunakan penerapan kedua dari NR. Algoritma internal ini dijalankan sebanyak 2 iterasi setiap 1 iterasi algoritma inti. Rumus yang digunakan pada algoritma ini:

$$y_{j+1} = y_j (2 - x_k y_j)$$

Persamaan 3. Rumus iteratif resiprokal Newton-Raphson

Blok Pembangun

Implementasi sistem ini memanfaatkan sejumlah blok pembangun utama yang dijabarkan sebagai berikut:

Tabel 1. Blok-blok pembangun algoritma inti

Blok Arsitektur	Fungsi	Jenis Komponen
FSM Controller	Mengelola 5 iterasi total dan <i>timing</i> 3-siklus UD.	Logika Sekuensial.
Register A	Menyimpan konstanta A .	32-bit (Q16.16) Registers.

Register X	Menyimpan variabel iterasi x_k .	32-bit (Q8.24) Registers.
Unit Division (UD)	Menghasilkan $\frac{A}{x_k}$. Terdiri dari 3 <i>Multipliers</i> Kombinasional dan LUT 8-bit.	Logika Kombinasional / DSP Block.
LUT x_0	Memberikan tebakan awal x_0 (10-bit address).	Memori ROM / MUX padat.
Half Adder	Melakukan operasi matematika $x_k + \frac{A}{x_k}$	Logika Kombinasional.
Shifter Right	Membagi dua hasil penjumlahan.	Logika Kombinasional (Koneksi Kabel).

Tabel 2. Blok-blok pembangun algoritma internal (modul Unit Division)

Blok Arsitektur	Fungsi	Jenis Komponen
LUT y_0	Memberikan tebakan awal y_0 (8-bit address).	Memori ROM / MUX padat.
Register Y	Menyimpan konstanta A dan variabel iterasi y_j .	32-bit (Q8.24) Registers.

Multiplier M1	Menghitung operasi matematika $y_j \cdot x_k$	Logika Kombinasional.
Subtractor	Menghitung operasi matematika $2 - x_k y_j$	Logika Kombinasional.
Register S	Menyimpan hasil pengurangan dari subtractor S	32-bit (Q8.24) Registers.
Multiplier M2	Menghitung operasi matematika $S \cdot y_j$	Logika Kombinasional.
Multiplier M3	Menghitung operasi matematika $A \cdot y_j$	Logika Kombinasional (Koneksi Kabel).

Input dan Output

Sistem yang dirancang memiliki empat sinyal masukan dan dua sinyal keluaran. Rincian masing-masing sinyal disajikan pada tabel berikut:

Tabel 3. Input dan output sistem

Port/Sinyal	Tipe	Lebar	Format	Fungsi
A_{in}	Input Data	32 bit	Q(16.16)	Bilangan input positif (yang dicari akarnya).
X_{out}	Output Data	32 bit	Q(8.24)	Hasil akhir \sqrt{A} yang stabil.

CLK, RST, START	Kontrol	1 bit	Logic	Sinyal kontrol <i>hardware</i> .
DONE	Output Status	1 bit	Logic	Aktif (High) ketika perhitungan selesai.

Spesifikasi Teknis Sistem

Untuk merealisasikan rancangan tersebut, dibutuhkan spesifikasi sistem agar dapat berfungsi sesuai kebutuhan. Rincian spesifikasi teknis rancangan dapat dilihat pada tabel berikut.

Tabel 4. Spesifikasi teknis sistem

Spesifikasi	Detail Teknis	Keterangan
Format Aritmetika	Fixed-Point Q(8.24)	Total 32-bit.
Presisi (Akurasi)	≈ 7 hingga 8 Angka Desimal	Ditentukan oleh 24-bit fraksional.
Range Input Maks.	65536	Ditentukan oleh 16-bit integer.
Total Waktu Komputasi	≈ 16 clock cycles	1 <i>cycle</i> INIT + (5 Iterasi × 3 iterasi).
Iterasi Utama	5 Iterasi Tetap (FSM)	Margin keamanan untuk stabilitas hasil.

Unit Division	3 Cycles Internal	Menggunakan 2 Iterasi NR resiprokal.
Komponen Kritis	3 Multiplier Kombinasional (32x32)	Digunakan untuk operasi UD yang cepat.
Komponen Kritis	2 Look-up Table	Digunakan untuk menyimpan nilai aproksimasi awal untuk memulai iterasi.

Jadwal Kegiatan

Profil Anggota

	NIM	13224001
	Nama	Yozia Gedalya Marcho Ginting
	Asal SMA	SMAK PENABUR Bintaro Jaya
	Asal Daerah	Kota Tangerang Selatan, Banten
	Alamat Bandung	Hegarmanah, Kec. Cidadap, Kota Bandung, Jawa Barat
	HP	+62 856-9453-6989
	Email	13224001@mahasiswa.itb.ac.id

	NIM	13224002
	Nama	Jeva Steve Sinaga
	Asal SMA	SMA Unggul Del
	Asal Daerah	Kabupaten Dairi, Sumatera Utara
	Alamat Bandung	Jl. Sekeloa Utara 1, Sekeloa, Kecamatan Coblong, Kota Bandung, Jawa Barat 40134
	HP	+62 813-6126-3091
	Email	13224002@mahasiswa.itb.ac.id

	NIM	13224003
	Nama	Benedictus Kenneth Setiadi
	Asal SMA	SMA Santa Angela Bandung
	Asal Daerah	Bandung
	Alamat Bandung	Jl. Merah Delima III No.36c, RW.1, Ciwaruga, Kec. Parongpong, Kabupaten Bandung Barat, Jawa Barat 40559
	HP	+62 811-2275-899
	Email	13224003@mahasiswa.itb.ac.id