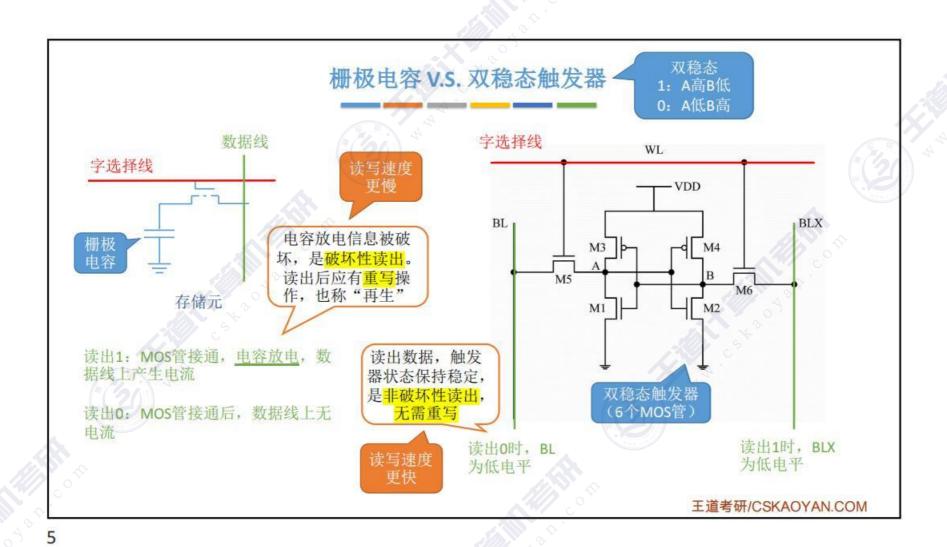
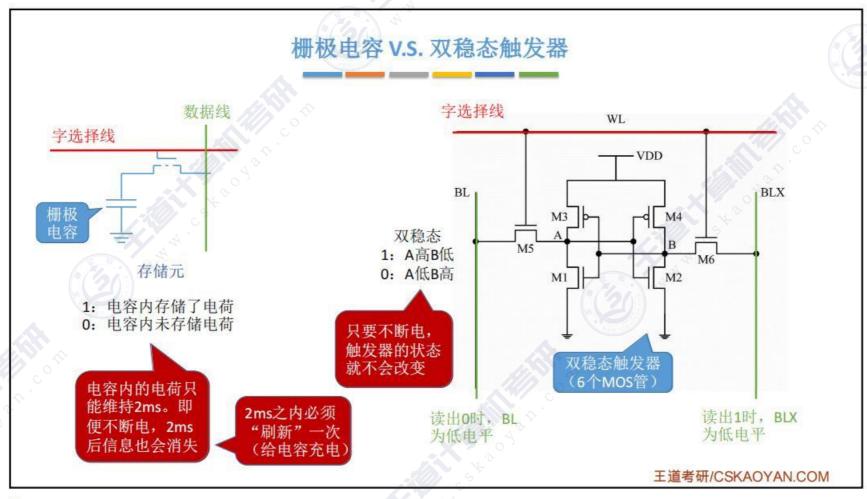


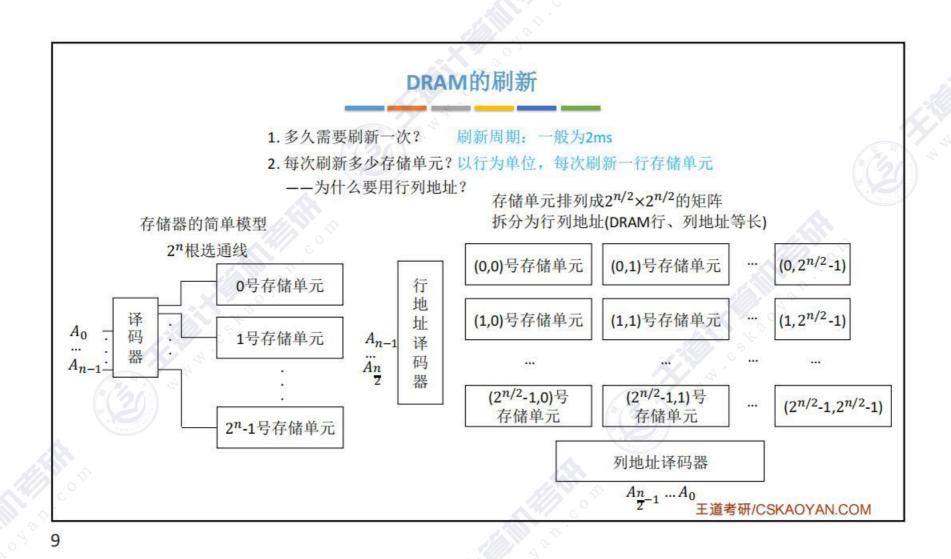
栅极电容 V.S. 双稳态触发器 存储字 数据线 1 0 1 0 0 0 字选择线 10 10 10 存储元 存储单元 存储体 1: 电容内存储了电荷 0: 电容内未存储电荷 王道考研/CSKAOYAN.COM

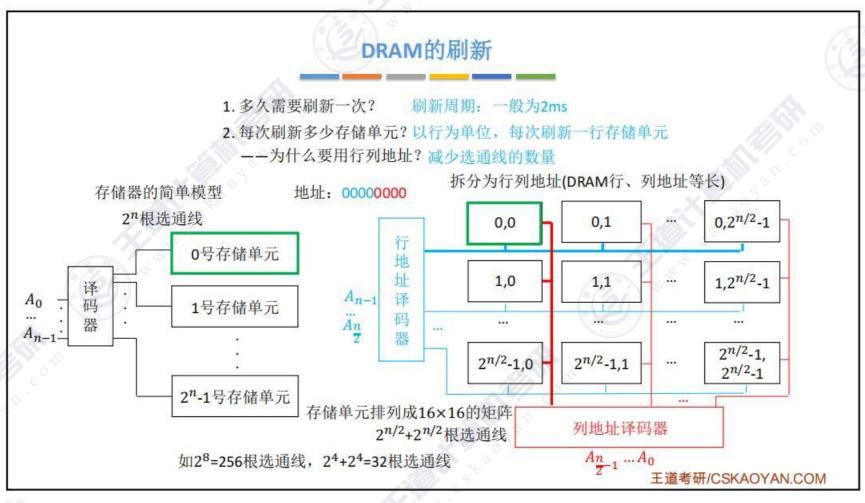


栅极电容 V.S. 双稳态触发器 数据线 字选择线 WL 字选择线 - VDD BL BLX M3 M4 电容 M5 存储元 M2 M1 每个存储元制造成 每个存储元制造成 双稳态触发器 本更高,集成度低, 本更低,集成度高, (6个MOS管) 功耗大 功耗低 读出0时,BL 为低电平 读出1时,BLX 为低电平 王道考研/CSKAOYAN.COM

	DRAM v.s SRAM	
	Static Random Access Memory	Dynamic Random Access Memory
类 型 特 点	SRAM (静态RAM)	DRAM(动态RAM)
存储信息	触发器	电容
破坏性读出	非	是
读出后需要重写? (再生)	不用	需要
运行速度	快	慢
集成度	低	高
发热量	大	W. A.
存储成本	高	低
易失/非易失性存储器?	易失(断电后信息消失)	易失 (断电后信息消失)
需要"刷新"?	不需要	需要
送行列地址	同时送	分两次送
	常用作Cache	常用作主存 王道考研/CSKAOY







DRAM的刷新

- 1. 多久需要刷新一次? 刷新周期: 一般为2ms
- 2. 每次刷新多少存储单元? 以行为单位,每次刷新一行存储单元 ——为什么要用行列地址? 减少选通线的数量
- 3. 如何刷新? 有硬件支持,读出一行的信息后重新写入,占用1个读/写周期
- 4. 在什么时刻刷新?

存取周期

假设DRAM内部结构排列成128×128的形式,读/写周期0.5us

2ms共 2ms/0.5us = 4000 个周期

思路一:每次读写完都刷新一行 →系统的存取周期变为1us 前0.5us时间用于正常读写 后0.5us时间用于刷新某行

W 刷 W 刷 R 新 R 新

1us

分散刷新

思路二: 2ms内集中安排时间全部刷新

→系统的存取周期还是0.5us 有一段时间专门用于刷新, 无法访问存储器,称为访存"死区"

W W W ... W 刷 ... 刷 R R R R 新 新

3872个周期(1936us) 128个周期 集中刷新

128个周期(64us)

→2ms内需要产生128次刷新请求 每隔2ms/128 = 15.6us 一次 每15.6us内有0.5us的"死时间"

思路三: 2ms内每行刷新1次即可



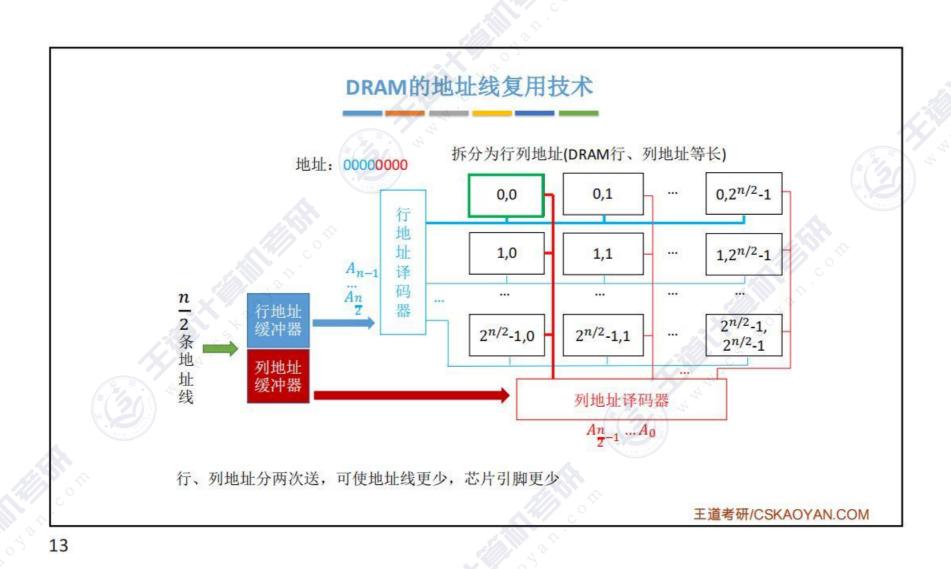
异步刷新 阶段刷新 王道考研/CSKAOYAN.COM

王道考研/CSKAOYAN.COM

11

DRAM v.s SRAM

	Static Random Access Memory	Dynamic Random Access Memory
类 型 特 点	SRAM (静态RAM)	DRAM(动态RAM)
存储信息	触发器	电容
破坏性读出	非	是
读出后需要重写? (再生)	不用	需要
运行速度	快	慢
集成度	低	高
发热量	大	(20)
存储成本	高	低
易失/非易失性存储器?	易失(断电后信息消失)	易失(断电后信息消失)
需要"刷新"?	不需要	需要
送行列地址	同时送	分两次送
	常用作Cache	常用作主存



本节回顾 Static Random Access Memory Dynamic Random Access Memory 类型特点 SRAM (静态RAM) DRAM (动态RAM) 现在的主存通 常采用SDRAM 存储信息 触发器 电容 芯片 破坏性读出 非 是 读出后需要重写? (再生) 不用 需要 运行速度 快 慢 集成度 低 高 发热量 小 大 "刷新"由存 存储成本 高 低 储器独立完 易失 (断电后信息消失) 易失/非易失性存储器? 易失 (断电后信息消失) 成,不需要 CPU控制 需要(分散、集中、异步) 需要"刷新"? 不需要 分两次送 (地址线复用技术) 送行列地址 同时送 常用作主存 常用作Cache 王道考研/CSKAOYAN.COM

你还可以在这里找到我们

快速获取第一手计算机考研信息&资料



购买2024考研全程班/领学班/定向班 可扫码加微信咨询

- 微博:@王道计算机考研教育
- 🔤 B站: @王道计算机教育
- ₩15 小红书:@王道计算机考研
- 知 知乎: @王道计算机考研
- 対音: @王道计算机考研
- 淘宝: @王道论坛书店