

# Processeu NONO 1et 2

Cédric BOIS      Benjamin SIENTZOFF

10 décembre 2014

## Table des matières

<b>1</b>	<b>Réalisation de Nono-1</b>	<b>4</b>
1.1	Opcode des instructions . . . . .	4
1.2	L' unité arithmétique et logique . . . . .	4
1.3	Le contrôleur de saut . . . . .	4
1.4	Décodeur d'instructions . . . . .	4
1.5	Sélection des registres . . . . .	4
1.6	Le banc de registres . . . . .	4
<b>2</b>	<b>Processeurs Nono-1 et Nono-2</b>	<b>7</b>
2.1	Nono-1 . . . . .	7
2.2	Nono-2 . . . . .	7

## Introduction

Dans le cadre du cours intitulé *Architecture des ordinateurs*, nous devons recréer un processeur Nono-1. Par la suite, ce processeur sera modifier pour devenir le processeur Nono-2. Ce rapport retrace comment nous avons réalisé ces processeurs MIPS.

Les montages électroniques sont produits avec *Logisim*. La version numérique de ce rapport fournie les montages électroniques présentés ici et les différents fichier permettant notamment de programmer le processeur. Ces fichiers sont typiquement les images RAM qui peuvent être directement charger dans la mémoire du processeur.

Dans une première partie, nous présentons les différents sous circuits composant le processeur Nono-1. Une seconde partie présente son fonctionnement global et les modification apporté à Nono-1 pour implémenter les fonctions de Nono-2.

# 1 Réalisation de Nono-1

## 1.1 Opcode des instructions

titre xflmxcfmfdglmdf

Instruction	Format	Opcode	paramètres	?
add $r_d, r_s, r_t$	F <sub>1</sub>	1000		
sub $r_d, r_s, r_t$	F <sub>1</sub>	1001		
or $r_d, r_s, r_t$	F <sub>1</sub>	1010		
and $r_d, r_s, r_t$	F <sub>1</sub>	1011		
not $r_d, r_s$	F <sub>1</sub>	1100		
shl $r_d, r_s, r_t$	F <sub>1</sub>	1101		
shr $r_d, r_s, r_t$	F <sub>1</sub>	1110		
li $r_d, val$	F <sub>2</sub>	1111		
halt	F <sub>1</sub>	0000		
b <i>offset</i>	F <sub>3</sub>	0001		
beq $r_s, r_t, offset$	F <sub>3</sub>	0010		
bne $r_s, r_t, offset$	F <sub>3</sub>	0011		
bge $r_s, r_t, offset$	F <sub>3</sub>	0100		
ble $r_s, r_t, offset$	F <sub>3</sub>	0101		
bgt $r_s, r_t, offset$	F <sub>3</sub>	0110		
blt $r_s, r_t, offset$	F <sub>3</sub>	0111		

## 1.2 L'unité arithmétique et logique

intro, explications

## 1.3 Le contrôleur de saut

intro, explications

## 1.4 Décodeur d'instructions

intro, explications

## 1.5 Sélection des registres

intro, explications

## 1.6 Le banc de registres

intro, explications

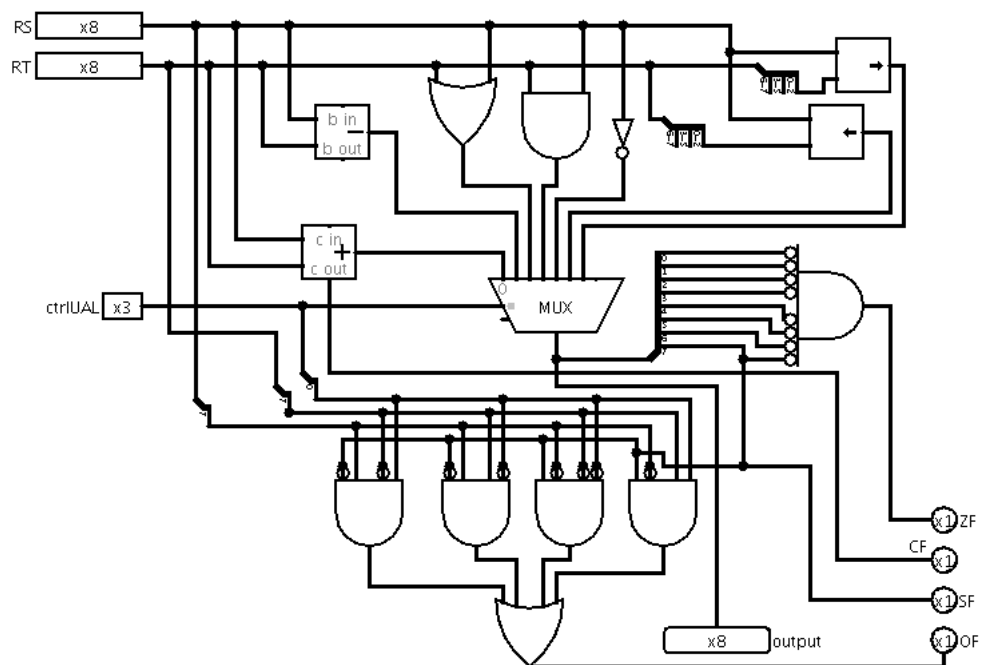


FIGURE 1 – Schéma électronique de l'Unité Arithmétique et Logique

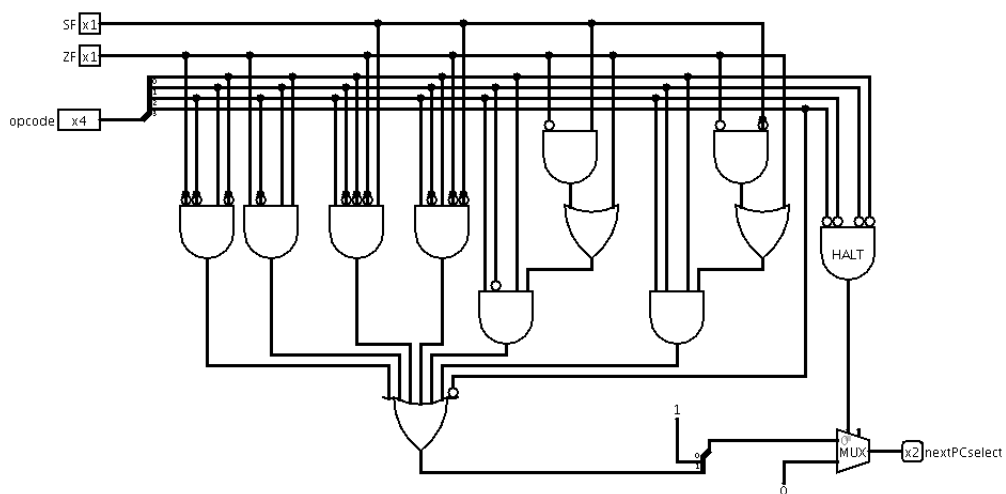


FIGURE 2 – Schéma électronique pour le contrôleur de sauts

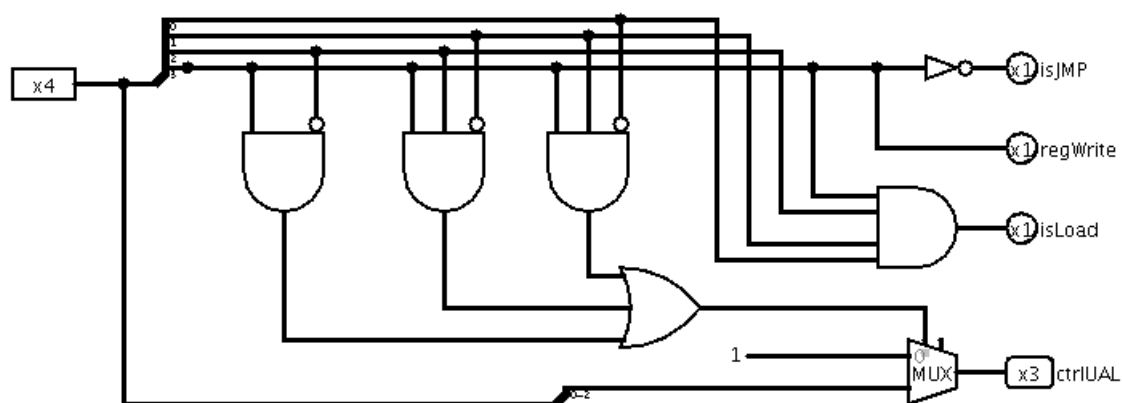


FIGURE 3 – Schéma électronique pour le décodeur d'instructions

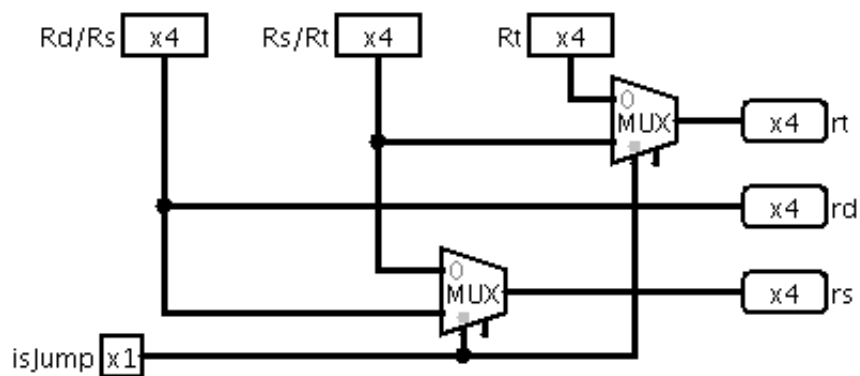


FIGURE 4 – Schéma électronique pour la sélection de registres

FIGURE 5 – Schéma électronique pour le banc de registres

## **2 Processeurs Nono-1 et Nono-2**

### **2.1 Nono-1**

### **2.2 Nono-2**

## Conclusion

je conclu