Processeu Nono 1et 2

Cédric Bois Benjamin Sientzoff

10 décembre 2014

Table des matières

1	Réalisation					
	1.1	Opcode des instructions				
2	Les différents circuits					
	2.1	L' unité arithmétique et logique				
		Le contrôleur de saut				
	2.3	Décodeur d'instructions				
	2.4	Sélection des registres				
	2.5	Le banc de registres				
_						
Utilisation No.	lisation No	no-1				

Introduction

le paragraphe d'intro

1 Réalisation

1.1 Opcode des instructions

titre xflmxcflmfldglmdf

Instruction	Format	Opcode	paramètres	?
add r_d , r_s , r_t	F_1	1000		
sub r_d , r_s , r_t	F_1	1001		
or r_d , r_s , r_t	F_1	1010		
and r_d , r_s , r_t	F_1	1011		
not r_d , r_s	F_1	1100		
shl r_d , r_s , r_t	F_1	1101		
shr_d , r_s , r_t	F_1	1110		
li r _d , val	F_2	1111		
halt	F_1	0000		
b offset	F ₃	0001		
beq r_s , r_t , offset	F ₃	0010		
bne r_s , r_t , offset	F ₃	0011		
bge r_s , r_t , offset	F ₃	0100		
ble r_s , r_t , offset	F_3	0101		
bgt r_s , r_t , offset	F_3	0110		
blt r_s , r_t , offset	F_3	0111		

2 Les différents circuits

2.1 L'unité arithmétique et logique

intro, explications

2.2 Le contrôleur de saut

intro, explications

2.3 Décodeur d'instructions

intro, explications

2.4 Sélection des registres

intro, explications

2.5 Le banc de registres

intro, explications

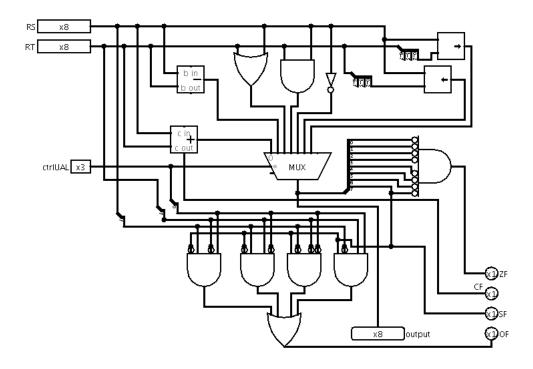


FIGURE 1 – Schéma électronique de l'Unité Arithmétique et Logique

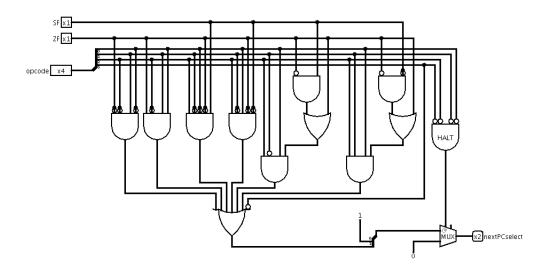


FIGURE 2 – Schéma électronique pour le contrôleur de sauts

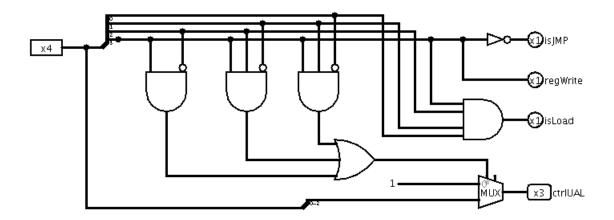


Figure 3 – Schéma électronique pour le décodeur d'instructions

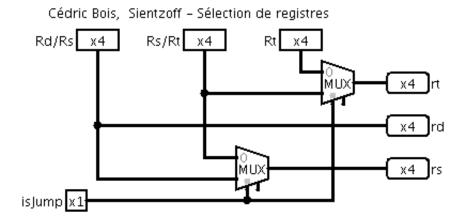


FIGURE 4 – Schéma électronique pour la sélection de registres

FIGURE 5 – Schéma électronique pour le banc de registres

3 Utilisation Nono-1

Conclusion

je conclu