

Processeu NONO 1et 2

Cédric BOIS Benjamin SIENTZOFF

13 décembre 2014

Table des matières

1	Réalisation de Nono-1	4
1.1	Opcode des instructions	4
1.2	L' unité arithmétique et logique	4
1.3	Le contrôleur de saut	4
1.4	Décodeur d'instructions	4
1.5	Sélection des registres	7
1.6	Le banc de registres	7
2	Processeurs Nono-1 et Nono-2	9
2.1	Nono-1	9
2.2	Nono-2	9

Introduction

Dans le cadre du cours intitulé *Architecture des ordinateurs*, nous devons recréer un processeur Nono-1. Par la suite, ce processeur sera modifier pour devenir Nono-2. Ce rapport retrace comment nous avons réalisé ces processeurs MIPS.

Les circuits électroniques présentés sont produits avec le logiciel *Logisim*. Ces circuits et les différents fichiers permettant notamment de programmer le processeur sont fournis avec la version numérique de ce rapport. Les images RAM peuvent être directement chargées dans la RAM des processeurs Nono. Ces images correspondent aux programmes compilés pour ces architectures et peuvent être exécutés directement dans *Logisim*.

Dans une première partie, nous présentons les différents sous-circuits composants le processeur Nono-1. Une seconde partie présente son fonctionnement global et les modifications apportées à Nono-1 pour implémenter les fonctions de Nono-2.

1 Réalisation de Nono-1

1.1 Opcode des instructions

Nono-1 et Non-2 sont des processeurs utilisant l'assembleur MIPS. Les instructions disponibles sur Nono-1 sont présentées au tableau de la figure 1.1. On remarque que les instructions reconnues sont relativement restreintes. Ces instructions sont de trois formats différents comme on peut le voir à la figure 1.1 ¹.

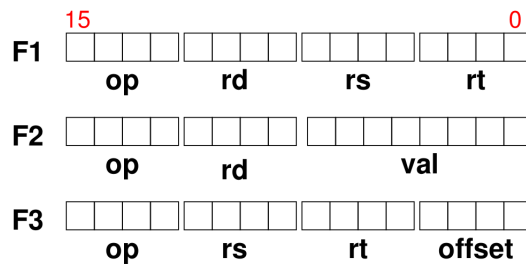


FIGURE 1 – Formats des instructions

Le Format F1 Le format F1 est composé de quatre paquets de bits. Le premier est sur quatre bits, il correspond au code de l'instruction, et c'est le cas pour tous les formats d'instructions. Les trois paquets suivants, sur quatre bits. Ce format est utilisé typiquement pour des opérations faisant intervenir trois registres. Le premier correspond à la destination du résultat et les deux suivants aux registres contenant les opérantes.

Le Format F2 Le format F2 est composé de trois paquets de bits. Le premier est sur quatre bits, il correspond au code de l'instruction. Les 4 bites suivant correspondent à un nom de registre,

Le Format F3 Le format F3 est composé de trois paquets de bits.

1.2 L'unité arithmétique et logique

intro, explications

1.3 Le contrôleur de saut

intro, explications

1.4 Décodeur d'instructions

intro, explications

1. Tiré du sujet du projet rédigé par M. Frédéric GOUALARD

Instruction et paramètres	Format	Opcode
add r_d, r_s, r_t	F ₁	1000
sub r_d, r_s, r_t	F ₁	1001
or r_d, r_s, r_t	F ₁	1010
and r_d, r_s, r_t	F ₁	1011
not r_d, r_s	F ₁	1100
shl r_d, r_s, r_t	F ₁	1101
shr r_d, r_s, r_t	F ₁	1110
li r_d, val	F ₂	1111
halt	F ₁	0000
b <i>offset</i>	F ₃	0001
beq $r_s, r_t, offset$	F ₃	0010
bne $r_s, r_t, offset$	F ₃	0011
bge $r_s, r_t, offset$	F ₃	0100
ble $r_s, r_t, offset$	F ₃	0101
bgt $r_s, r_t, offset$	F ₃	0110
blt $r_s, r_t, offset$	F ₃	0111

FIGURE 2 – Opcode des différentes instruction du processeur Nono-1

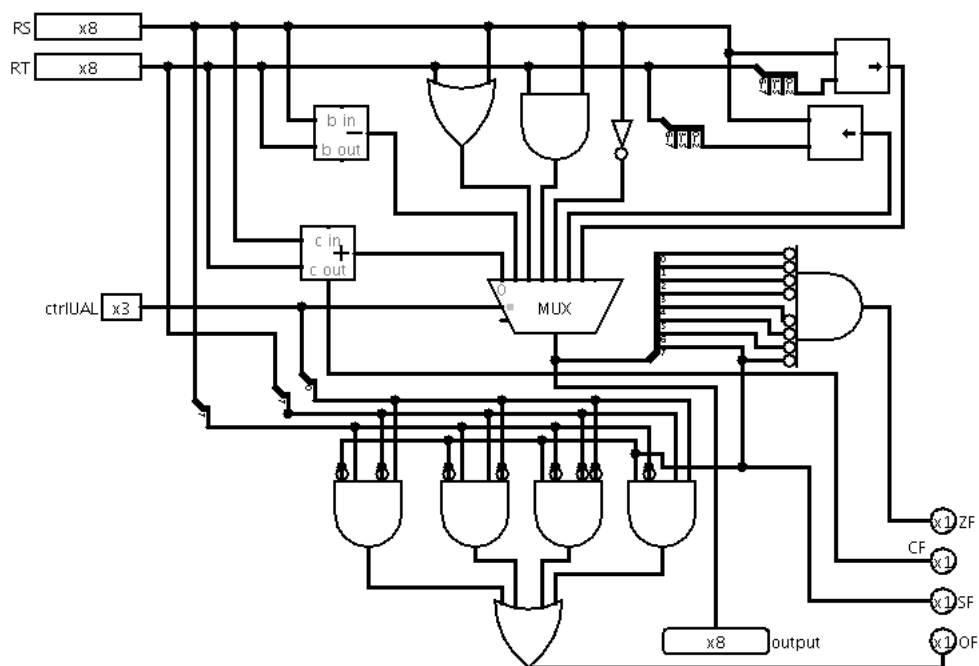


FIGURE 3 – Schéma électronique de l'Unité Arithmétique et Logique

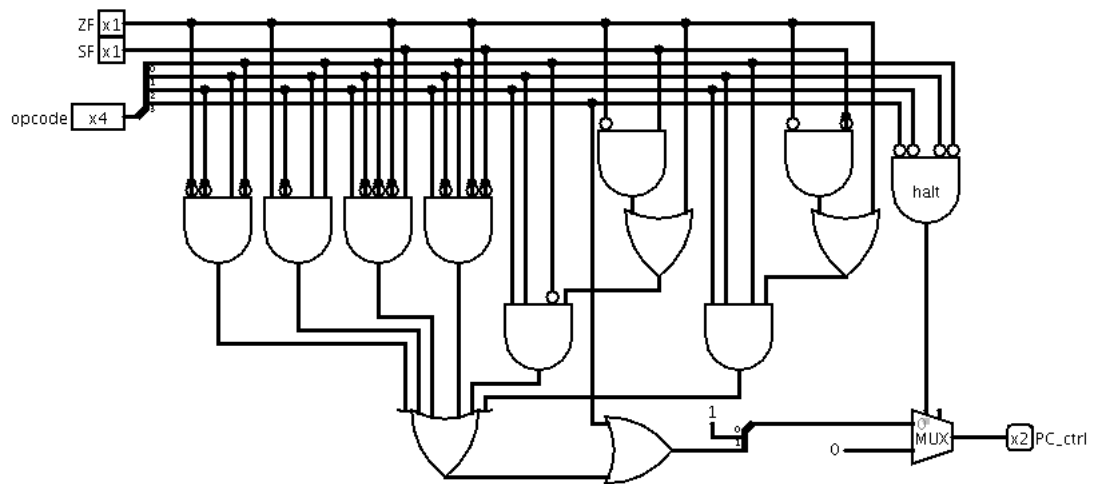


FIGURE 4 – Schéma électronique pour le contrôleur de sauts

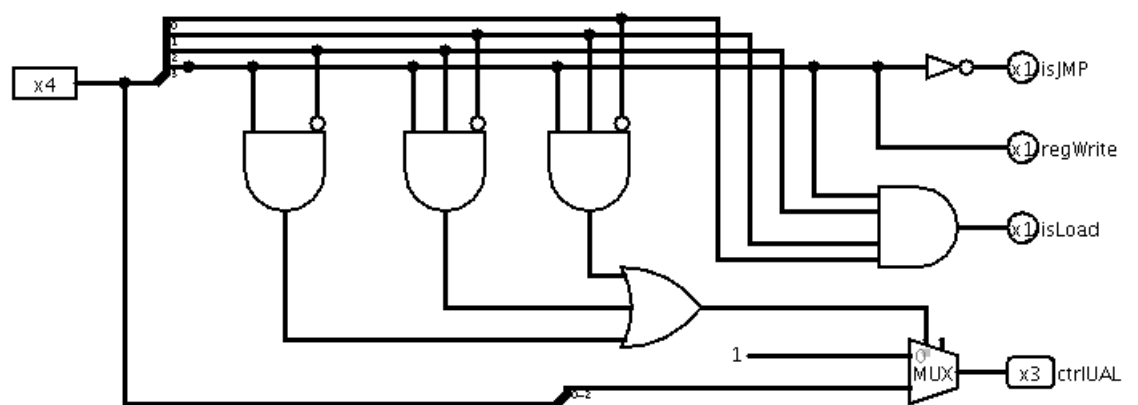


FIGURE 5 – Schéma électronique pour le décodeur d'instructions

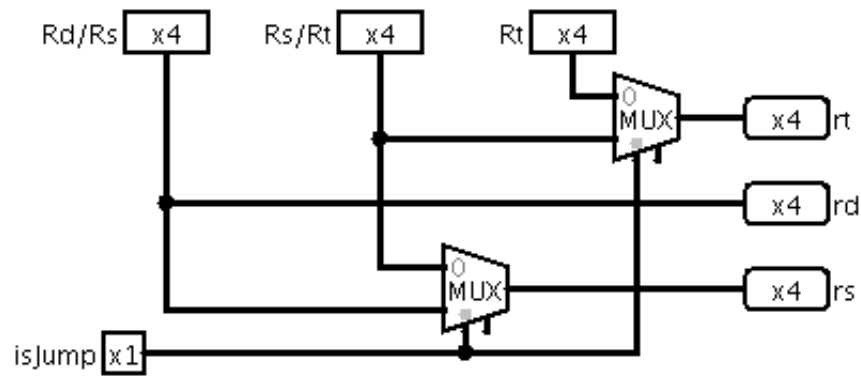


FIGURE 6 – Schéma électronique pour la sélection de registres

1.5 Sélection des registres

intro, explications

1.6 Le banc de registres

intro, explications

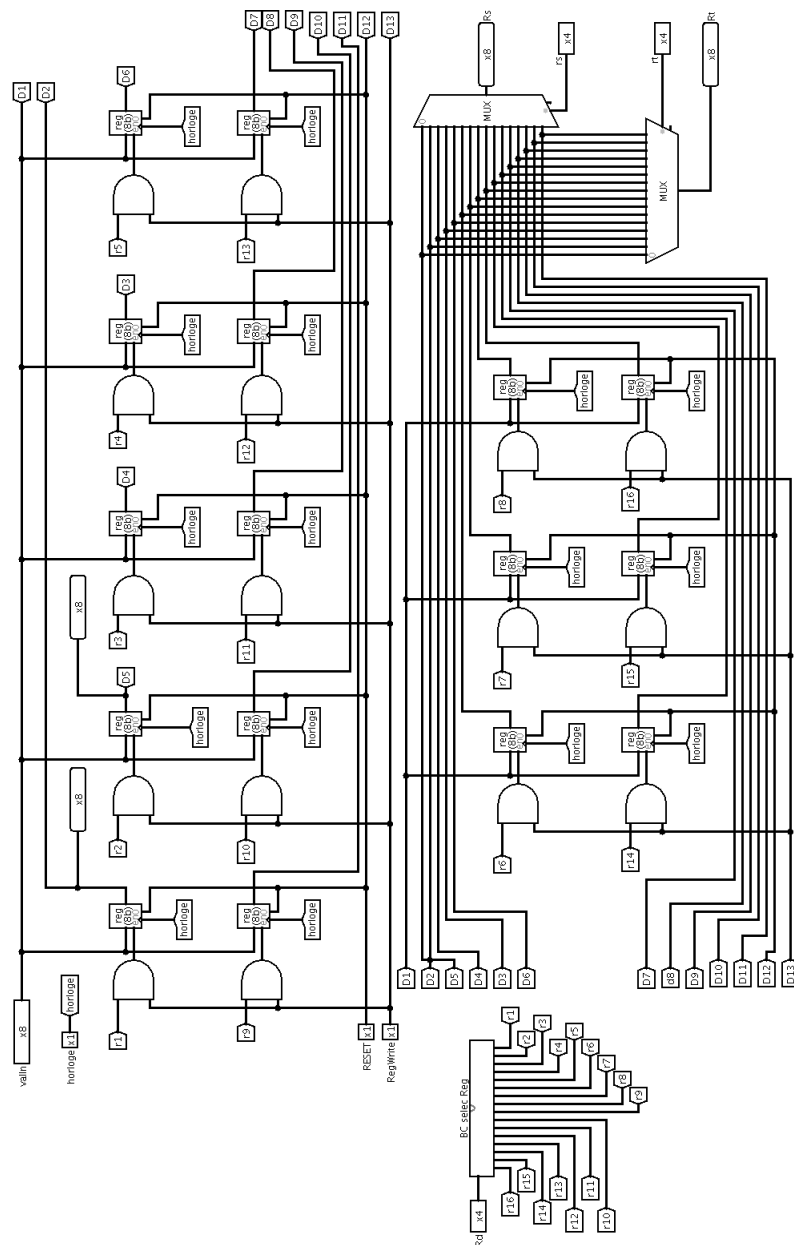


FIGURE 7 – Schéma électronique pour le banc de registres

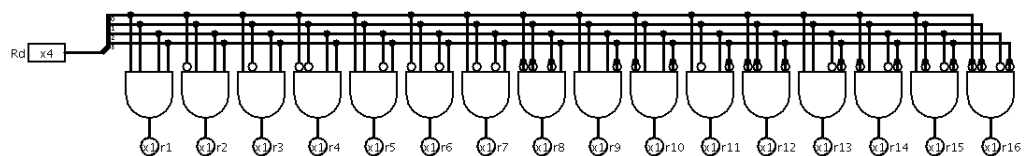


FIGURE 8 – Schéma électronique pour le sélecteur du banc de registres

2 Processeurs Nono-1 et Nono-2

2.1 Nono-1

2.2 Nono-2

Conclusion

je conclu