

МИНОБРНАУКИ РОССИИ
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)
Кафедра САПР

КУРСОВАЯ РАБОТА
по дисциплине «Элементная база цифровых систем»
Тема: Проектирование цифровых узлов

Студент гр. 2310

Преподаватель

Бондаренко П.Н.

Санкт-Петербург

2025

ЗАДАНИЕ НА КУРСОВУЮ РАБОТУ

Студент

Группа 2310

Тема работы: Четырехканальный генератор сигналов с заданными временными диаграммами

Исходные данные:

Вариант 3.4: 3 временных диаграммы, масштаб в микросекундах

Содержание пояснительной записки:

«Содержание», «Задание на проектирование узла», «Описание предлагаемых вариантов реализации узла», «Описание основных элементов библиотеки САПР Quartus II, необходимых для реализации вариантов узла», «Описание процесса синтеза и моделирования работы предложенных вариантов средствами САПР Quartus II», «Разработка интерфейса сопряжения схемы узла с процессорной системой», «Подробное описание функционирования узла», «Разработка генератора тактовых импульсов», «Заключение», «Список использованной литературы».

Предполагаемый объем пояснительной записки:

Не менее 30 страниц.

Дата выдачи задания: __.__.____

Дата сдачи реферата: __.__.____

Дата защиты реферата: __.__.____

Студент

Преподаватель

Бондаренко П.Н.

АННОТАЦИЯ

Данная курсовая работа посвящена разработке четырехканального генератора сигналов с заданными временными диаграммами, реализуемого в программируемой логической интегральной схеме (ПЛИС) с использованием средств автоматизированного проектирования Quartus II. В работе рассматриваются два варианта реализации узла: на основе распределителя тактов и сборок по ИЛИ, а также с применением счётчика Джонсона. Описаны ключевые элементы библиотеки САПР. Представлены этапы синтеза, моделирования и сравнительного анализа эффективности предложенных вариантов. Проведена разработка генератора тактовых импульсов и интерфейса сопряжения узла с процессорной системой. Завершающим этапом является выбор оптимальной архитектуры, реализация полной схемы устройства и создание принципиальной электрической схемы типового элемента замены (ТЭЗа).

SUMMARY

This coursework focuses on the development of a four-channel signal generator with predefined timing diagrams, implemented using a programmable logic device (FPGA) and designed in the Quartus II CAD environment. The study examines two implementation options: one based on a clock distributor and OR logic assemblies, and the other utilizing a Johnson counter. Key CAD library components used in the design are described. The project covers the synthesis, simulation, and comparative analysis of both designs. It also involves the development of a clock pulse generator and the interface circuit connecting the unit to a processor system. The final stages include selecting the most effective design, synthesizing the complete device circuit, and creating a schematic for a standard replacement element (SRE) containing the developed unit and auxiliary circuits.

СОДЕРЖАНИЕ

1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА	5
1.1 Четырехканальный генератор сигналов с заданными временными диаграммами	5
2. ОПИСАНИЕ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА	6
2.1 Схема на основе распределителя тактов и сборок по ИЛИ	6
2.2 Схема на основе счётчика Джонсона	7
3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ УЗЛА	10
3.1 Логические примитивы	10
3.2 Триггеры	10
4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ УЗЛА	12
4.1 Синтез и моделирование узла на основе РТС	12
4.2 Синтез и моделирование узла на основе счётчика Джонсона	15
4.3 Выбор лучшего варианта исполнения узла	18
5. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ	19
6. ПОДРОБНОЕ ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ УЗЛА	21
7. РАЗРАБОТКА ГЕНЕРАТОРА ТАКТОВЫХ ИМПУЛЬСОВ	23
7.1 Выбор варианта реализации генератора	23
7.2 Инженерный расчет элементов генератора для получения необходимой частоты	24
ЗАКЛЮЧЕНИЕ	25
СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ	26

1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА

1.1 Четырехканальный генератор сигналов с заданными временными диаграммами

Вариант 3.4:

Разработать принципиальную электрическую схему генератора импульсов, формирующего на выходах 1, 2, 3 сигналы, изображенные на временных диаграммах (Рисунок 1.1). Временные интервалы на диаграммах заданы в микросекундах.

Возможные варианты реализации:

- схема на основе распределителя тактов и сборок по ИЛИ;
- схема с получением искомым импульсов из сигналов счетчика Джонсона;
- схема на основе кольцевого соединения одновибраторов и др;
- сочетание двоичного счетчика с ППЗУ.

Критерий выбора наилучшего варианта – минимум аппаратных затрат.

Несмотря на то, что по заданию требуется реализовать четырехканальный генератор, в данном варианте имеется только 3 выхода

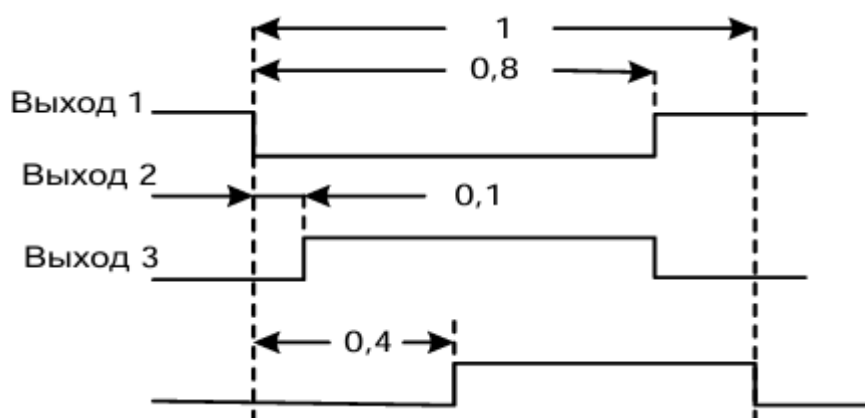


Рисунок 1.1 – Временные диаграммы заданного варианта

2. ОПИСАНИЕ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА

Для формирования выходных сигналов заданной формы необходимо выбрать квант по длительности наибольшего общего делителя искомых интервалов. В данном варианте значение длительности интервала будет составлять 0.1 микросекунды. Период выходных сигналов будет содержать 10 таких интервалов. Выходные импульсы задающего генератора распределяются во времени и пространстве так, что каждый «квант» появляется в свое время и в своем пространственном канале.

2.1 Схема на основе распределителя тактов и сборок по ИЛИ

Распределитель тактовых сигналов (далее РТС) легко строится на сдвигающем 10-разрядном регистре, замкнутом в кольцо. Схема на основе распределителя тактов и сборок по ИЛИ предполагает, что распределитель тактов будет представлять из себя счетчик в коде «1 из N», где $N = 10$, а сборки по ИЛИ будут формировать необходимые выходные сигналы.

Структурная схема для реализации узла приведена на Рисунке 2.1.

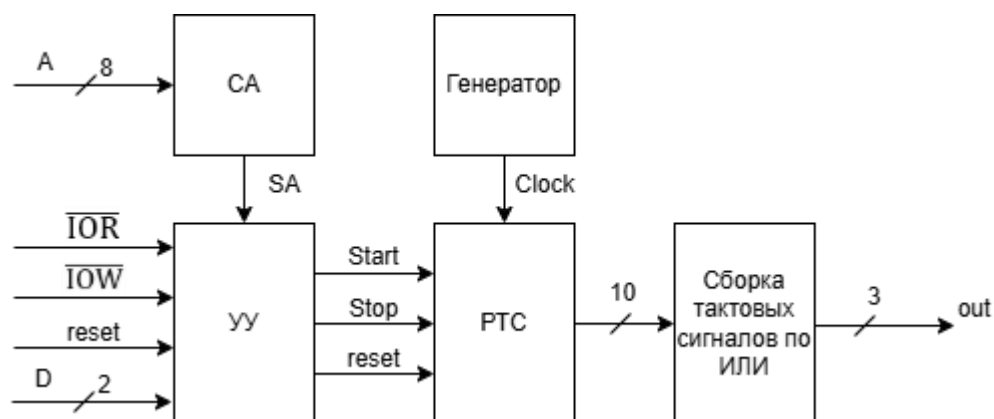


Рисунок 2.1 – Структурная схема (Э1) данного решения

Данные для занесения в логический блок сборки тактовых импульсов, необходимые для формирования заданных выходных сигналов приведены в Таблице 2.1. Адрес ячейки указывает на текущий активный бит.

Таблица 2.1

Адрес ячейки	Выходной сигнал		
	Z0	Z1	Z2
0	0	0	0
1	0	1	0
2	0	1	0
3	0	1	0
4	0	1	1
5	0	1	1
6	0	1	1
7	0	1	1
8	1	0	1
9	1	0	1

Функциональная схема для реализации узла приведена на Рисунке 2.2.

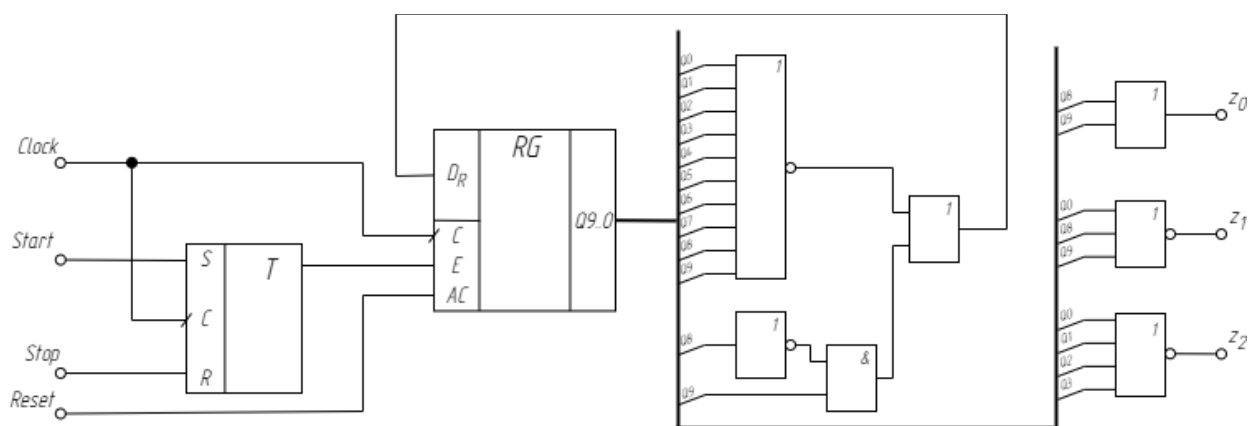


Рисунок 2.2 – Функциональная схема узла на сдвигающем регистре

2.2 Схема на основе счётчика Джонсона

В полном периоде содержится 10 «квантов», из которых состоят выходные сигналы, таким образом в основе схемы будет лежать

десятиразрядный счетчик Джонсона. Тактовый сигнал будет подаваться на вход счетчика Джонсона, а выходные сигналы будут формироваться с помощью логики из 5 выходов счетчика.

Структурная схема для реализации узла приведена на Рисунке 2.3.

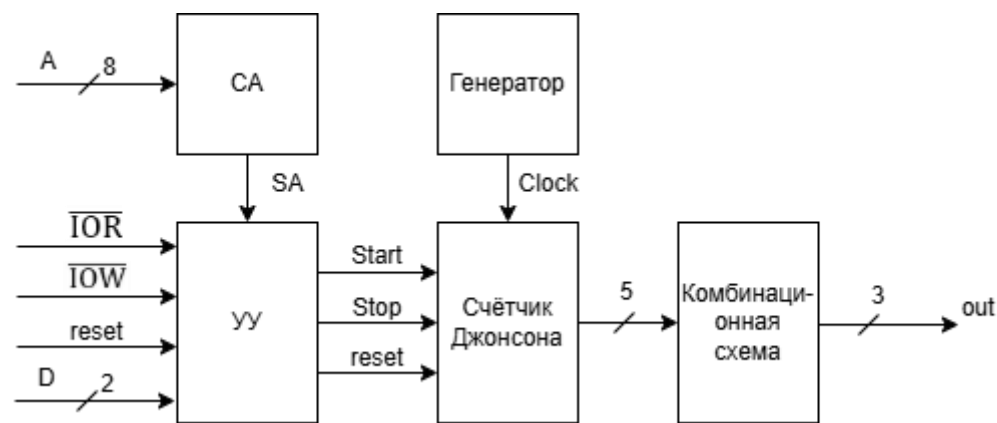


Рисунок 2.3 – Структурная схема (Э1) решения на счётчике Джонсона

В Таблице 2.2 представлена логика работы счетчика Джонсона, по которой будет формироваться выходной сигнал.

Таблица 2.2

Адрес ячейки	Состояния счетчика					Выходной сигнал		
	Q4	Q3	Q2	Q1	Q0	Z0	Z1	Z2
0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	1	0
2	0	0	0	1	1	0	1	0
3	0	0	1	1	1	0	1	0
4	0	1	1	1	1	0	1	1
5	1	1	1	1	1	0	1	1
6	1	1	1	1	0	0	1	1
7	1	1	1	0	0	0	1	1
8	1	1	0	0	0	1	0	1
9	1	0	0	0	0	1	0	1

По данной таблице можно составить выражения для выходных сигналов:

$$Z_0 = Q_4 \wedge \overline{Q_2} \quad Z_1 = Q_2 \vee Q_0 \quad Z_2 = Q_4 \vee Q_3 \quad (2.3)$$

Функциональная схема для реализации узла приведена на Рисунке 2.4.

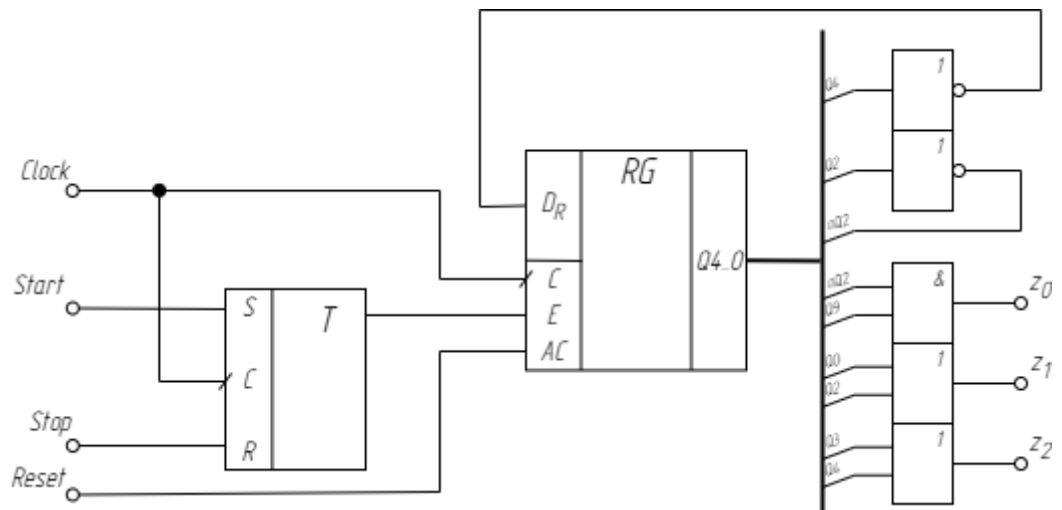


Рисунок 2.4 – Функциональная схема узла на счётчике Джонсона

3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ УЗЛА

3.1 Логические примитивы

В данной работе были использованы следующие логические операции для достижения конечной цели.

Элемент NOT служит для инверсии сигнала и поддержки работы счетчика Джонсона. Элементы OR2 применяются для сборки выходного сигнала и реализации самовосстановления в первой схеме.

Элемент AND2 выполняет функцию самовосстановления в схеме на основе РТС, и формирование выходного сигнала в схеме на основе счетчика Джонсона.

NOR3,4,12 предназначены для реализации схемы восстановления РТС и сборки выходного сигнала. Графическое представление каждого из элементов приведено на Рисунке 3.1.

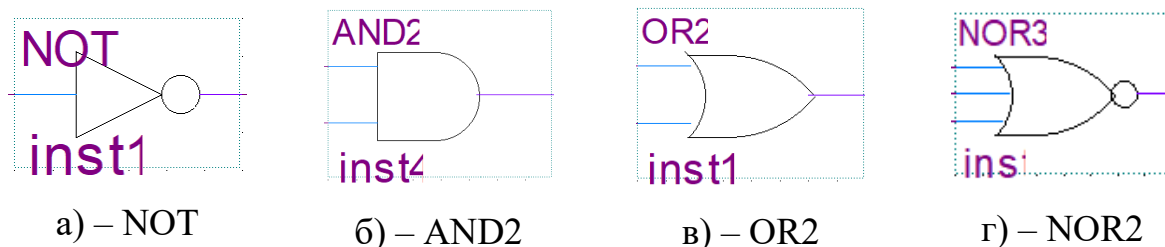


Рисунок 3.1 – Логические примитивы, использованные в процессе работы

3.2 Триггеры

Для реализации таких подходов, как РТС и счетчик Джонсона, используется регистр LPM_DFF, который является мегафункцией. Он содержит входы shiftin для подачи сигнала на вход, shiften – для разрешения сдвига, enable – для разрешения работы тактового сигнала, aslr – для асинхронного сброса. Его графическое представление в САПР Quartus II приведено на Рисунке 3.2.

Работы start/stop логики схемы осуществляется при помощи примитива SRFF, являющимся синхронным RS-триггером с входами асинхронной загрузки и сброса. Его графическое представление приведено на Рисунке 3.3.

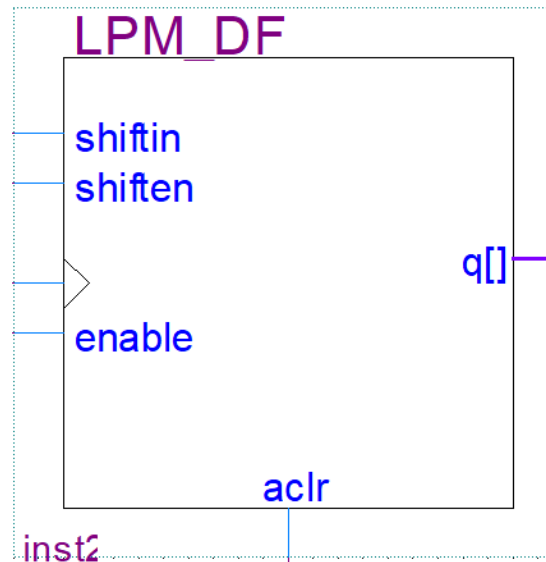


Рисунок 3.2 – Графическое обозначение примитива регистра на D-триггерах

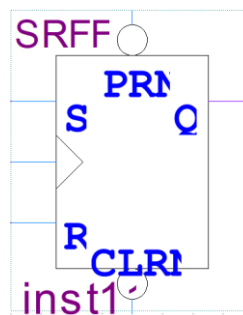


Рисунок 3.3 – Графическое обозначение примитива SRFF RS-триггера

4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ УЗЛА

4.1 Синтез и моделирование узла на основе РТС

С помощью элементов, описанных в разделе 3, была спроектирована схема в САПР Quartus II. Блок сдвигающего регистра с самовосстановлением приведен на Рисунке 4.1.

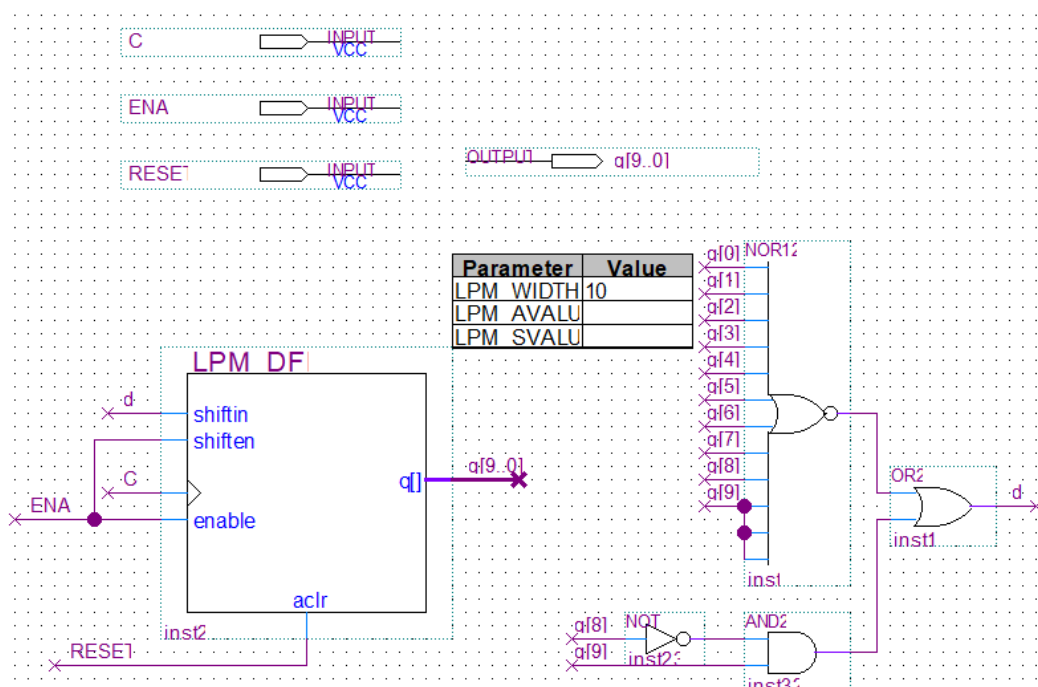


Рисунок 4.1 – Сдвигающий регистр с самовосстановлением

Логическая сборка тактовых сигналов по состояниям регистра для получения необходимых временных диаграмм осуществляется элементами «ИЛИ» и «ИЛИ-НЕ». Данные берутся из Таблицы 2.1. Реализация данного логического блока показана на Рисунке 4.2.

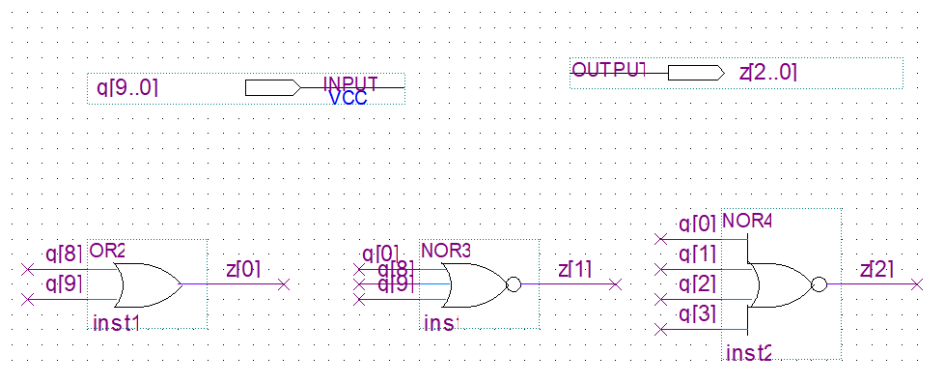


Рисунок 4.2 – Логический блок для формирования выходных сигналов

Общая схема четырёхканального генератора сигналов приведена на Рисунке 4.3. Подаются управляющие сигналы Start/Stop для включения и выключения цепи, тактовый сигнал Clock. Есть возможность сбрасывать состояние генератора с помощью входа reset. Блок сдвигающего регистра и логической сборки последовательно соединены друг с другом.

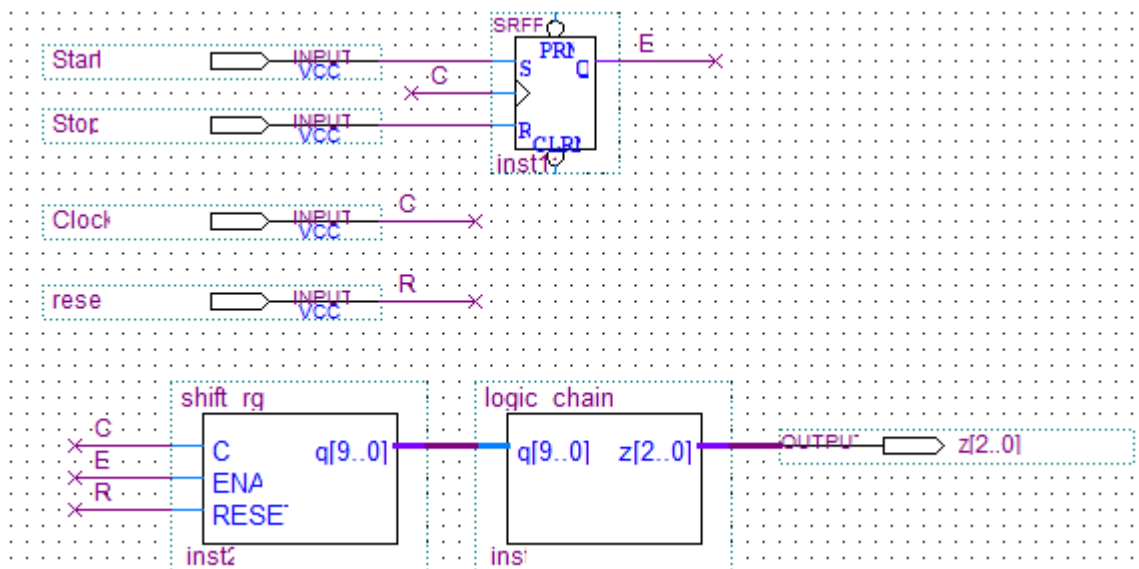


Рисунок 4.3 – Четырёхканальный генератор сигналов

После синтеза схемы, проект был скомпилирован для поиска возможных ошибок и неточностей с целью их последующего устранения. Всего понадобилось 15 логических элементов. Результат компиляции представлен на Рисунке 4.4.

Flow Summary	
Flow Status	Successful - Fri Jun 06 00:07:46 2025
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	scheme1
Top-level Entity Name	scheme1
Family	Cyclone II
Device	EP2C5Q208C8
Timing Models	Final
Total logic elements	15 / 4,608 (< 1 %)
Total combinational functions	6 / 4,608 (< 1 %)
Dedicated logic registers	11 / 4,608 (< 1 %)
Total registers	11
Total pins	7 / 142 (5 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

Рисунок 4.4 – Результат компиляции проекта на основе РТС

После успешной сборки проекта, было выполнено функциональное (Рисунок 4.5) и временное моделирование (Рисунок 4.6).

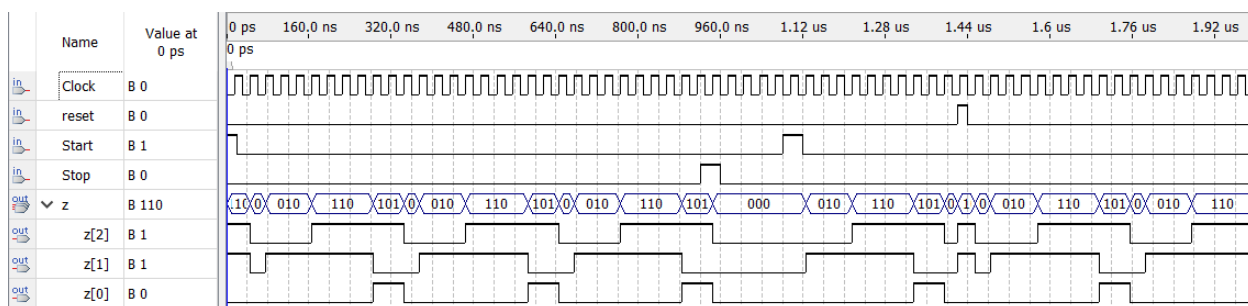


Рисунок 4.5 – Результат функционального моделирования

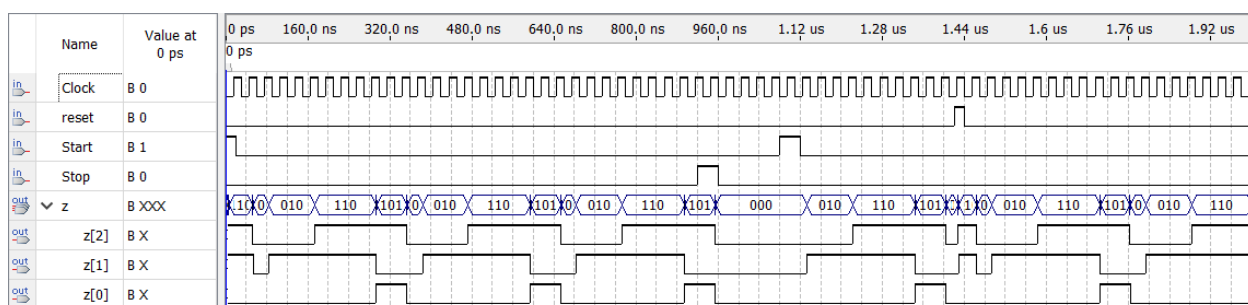


Рисунок 4.6 – Результат временного моделирования

По полученным временным диаграммам можно сказать, что схема работает корректно. Сигнал Start запускает работу регистра, который начинает формировать тактовую последовательность, которая собирается по «ИЛИ», сигнал Stop останавливает работу схему, «замораживая» состояния регистра. Сигнал reset выполняет сброс схемы к изначальному виду, формирование выходных сигналов начинается сначала.

4.2 Синтез и моделирование узла на основе счётчика Джонсона

С помощью элементов, описанных в разделе 3, была спроектирована схема в САПР Quartus II. Блок счетчика Джонсона без самовосстановления приведен на Рисунке 4.7.

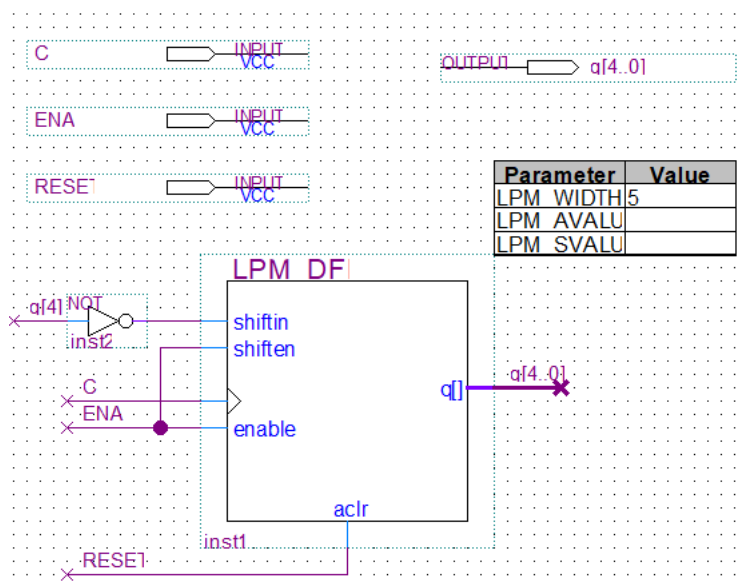


Рисунок 4.7 – Счётчик Джонсона без самовосстановления

Для реализации логики формирования выходного сигнала используются данные из Таблицы 2.2 и полученные из него выражения (2.3). Реализация данного логического блока показана на Рисунке 4.8.

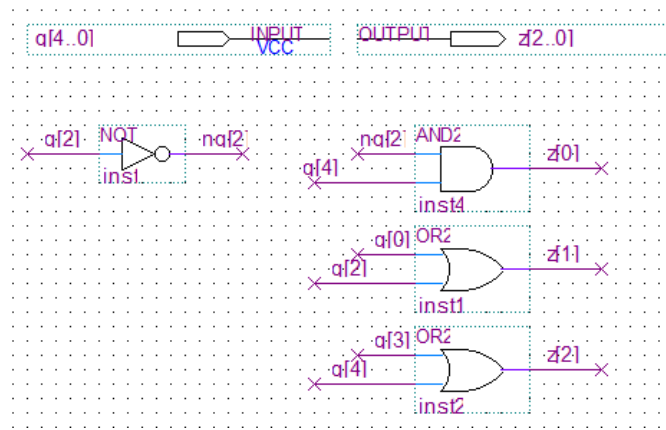


Рисунок 4.8 – Дешифратор состояний счётчика Джонсона

Общая схема четырёхканального генератора сигналов приведена на Рисунке 4.9. Управляющее устройство схемой реализовано идентично схеме, основанной на РТС. Счётчик и дешифратор Джонсона последовательно соединены друг с другом для формирования выходных сигналов.

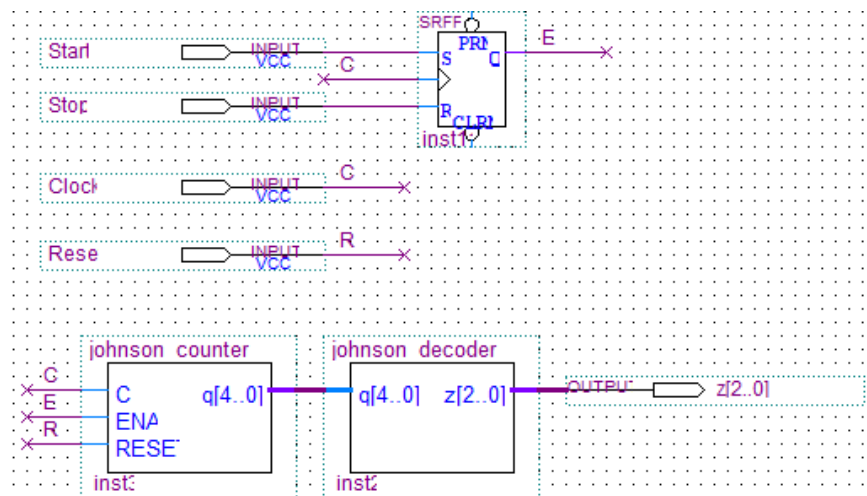


Рисунок 4.9 – Четырёхканальный генератор сигналов

После синтеза схемы, проект был скомпилирован для поиска возможных ошибок и неточностей с целью их последующего устранения. Всего понадобилось 9 логических элементов. Результат компиляции представлен на Рисунке 4.10.

По полученным временным диаграммам можно сказать, что схема работает корректно. Отличие выходных сигналов данного варианта реализации от РТС четырехканального генератора объясняется другим подходом к формированию результата.

На временной диаграмме видны риски при переходе между состояниями, которые возникают в следствии наложения результатов.

4.3 Выбор лучшего варианта исполнения узла

Для каждого варианта реализации были собраны сведения по аппаратным затратам. Данные представлены в Таблице 4.1.

Таблица 4.1

	Параметры схемы	Вариант реализации	
		РТС и сборка по ИЛИ	Счётчик Джонсона
1	Аппаратные затраты (общее количество элементов)	15	9

Схема на счётчике Джонсона показала себя более оптимальной для реализации данного узла.

5. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ

Сопряжение схемы узла с процессорной системой происходит посредством шины Microbus.

Для работы схемы используются следующие сигналы шины: \overline{IOR} – считывание данных с вычислительного узла; \overline{IOW} – запись данных в ВУ, Clock – тактируемый сигнал генератора, Reset – сигнал сброса. Также используется 8 разрядная шина адреса для подачи адреса области АП, и 2 бита из 8 разрядной шина данных для активации необходимых команд.

Работа схемы будет осуществляться при адресе 0x85 (1000 0101). Первый бит шины данных отвечает за запуск работы четырехканального генератора, второй бит – за остановку.

Разработанная схема интерфейса в САПР Quartus II приведена на Рисунке 5.1. Селектор адреса реализован через элемент NOR8. Команды ввода и вывода схемы формируются через элементы «И» с учетом сигналов \overline{IOR} и \overline{IOW} .

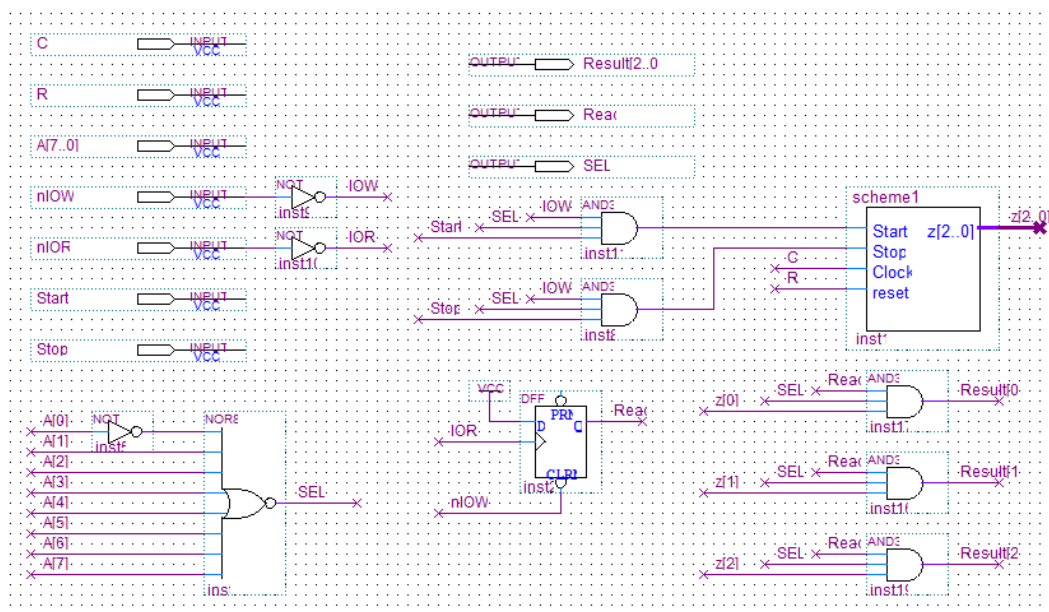


Рисунок 5.1 – Полная схема узла и интерфейса сопряжения с процессорной системой

Результат компиляции представлен на Рисунке 5.2.

Flow Status	Successful - Fri Jun 06 17:24:07 2025
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	int_v1
Top-level Entity Name	int_v1
Family	Cyclone II
Device	EP2C5Q208C8
Timing Models	Final
Total logic elements	23 / 4,608 (< 1 %)
Total combinational functions	14 / 4,608 (< 1 %)
Dedicated logic registers	12 / 4,608 (< 1 %)
Total registers	12
Total pins	19 / 142 (13 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

Рисунок 5.2 – Результат компиляции интерфейса сопряжения

6. ПОДРОБНОЕ ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ УЗЛА

На Рисунке 6.1 представлены результаты функционального моделирования работы узла.

1. В начале срабатывает запуск схемы при $A=85h$, $nIOW=0$, $DB=01$;
2. Далее начинается считывание и вывод последовательностей, когда происходит сброс четырехканального генератора при $R=1$ (необходимо обнулить состояния счетчика, так как до этого схема была запущена), $nIOR=0$ – поставить схему на чтение;
3. Происходит остановка схемы при $DB=10$ и $nIOW=0$, считывание при $nIOR=0$, показывает, что выходы «заморозились».
4. Повторный запуск при $DB=01$ и $nIOW=0$. Считывание вплоть до корректного адреса идет верно.

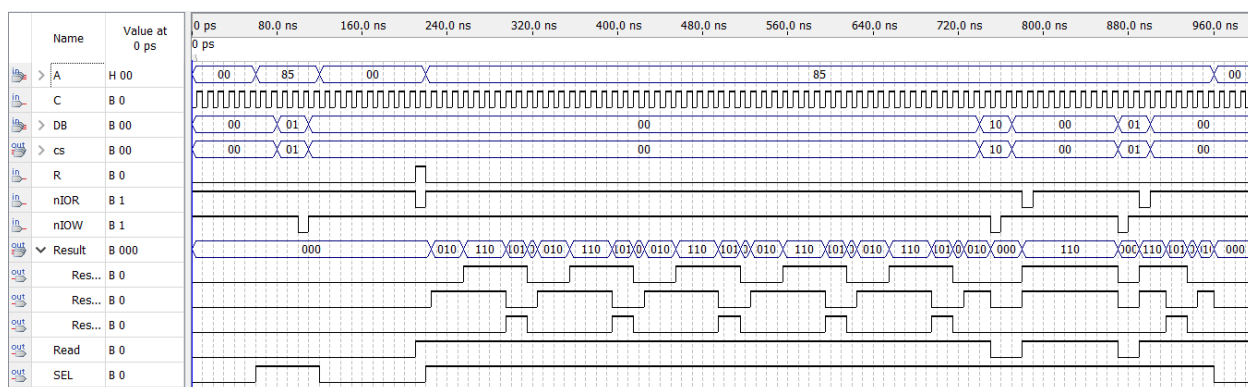


Рисунок 6.1 – Функциональное моделирование интерфейса сопряжения

На Рисунке 6.2 приведено временное моделирование интерфейса. Пришлось изменить рабочий адрес до 01h. И уменьшить частоту тактового сигнала, так как при попытке запустить симуляцию программа выдавала ошибку. На диаграмме отчетливо видно, насколько сильно сдвигается результат после его прихода.

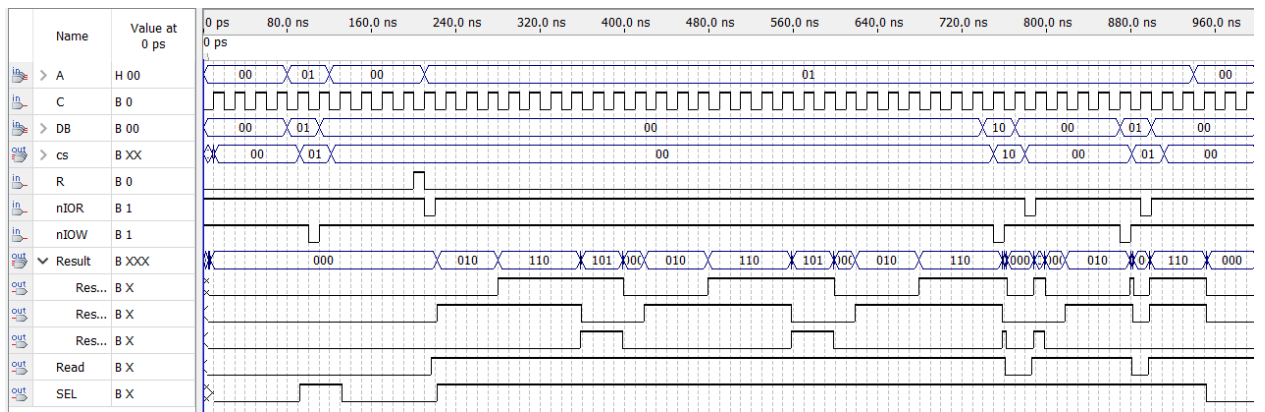


Рисунок 6.2 – Временное моделирование интерфейса сопряжения

7. РАЗРАБОТКА ГЕНЕРАТОРА ТАКТОВЫХ ИМПУЛЬСОВ

7.1 Выбор варианта реализации генератора

Выбор конкретной реализации генератора тактовых импульсов определяется множеством факторов, главным из которых является требуемая стабильность выходной частоты.

Наивысшую стабильность обеспечивают схемы с кварцевыми резонаторами, для которых промышленность выпускает широкий ассортимент интегральных схем. Основным их недостатком является сравнительно высокая стоимость.

Если допустим уровень нестабильности частоты на уровне нескольких процентов, могут использоваться более простые решения – кольцевые или RC-генераторы, в которых задающие элементы реализуются с помощью цепочек из резисторов и конденсаторов.

ГТИ будет реализован по схеме на Рисунке 7.1. Для стандартных элементов ТТЛ вследствие значительных входных токов сопротивление R должно быть малым. Резистор R' в схемах на элементах ТТЛ не требуется. Частота генератора определяется следующим выражением:

$$f_0 \approx 0.53 \frac{1}{RC}$$

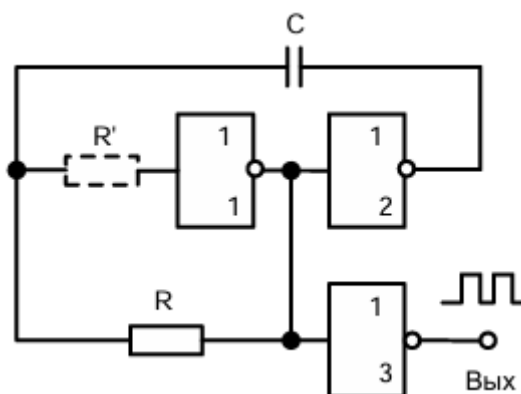


Рисунок 7.1 – Схема генератора тактовых импульсов

7.2 Инженерный расчет элементов генератора для получения необходимой частоты

В данном варианте значение длительности интервала составляет 0.1 микросекунд. Следовательно, частота генератора рассчитывается:

$$f = \frac{1}{T} = \frac{1}{0.1 \cdot 10^{-6}} = 10 \text{ МГц}$$

Значения для резисторов R и конденсатора C будут взяты из ряда E24 номиналов. В Таблице 7.1 приведен сравнительный анализ допустимых значений R и C . Дополнительно рассчитаны абсолютное отклонение и относительная погрешность.

Таблица 7.1

№	C , пФ	R , Ом	f , КГц	$ f - f_0 $, КГц	δ , %
1	300	180	9814,815	185,1852	1,886792
2	270	200	9814,815	185,1852	1,886792
3	240	220	10037,88	37,87879	0,377358
4	220	240	10037,88	37,87879	0,377358
5	200	270	9814,815	185,1852	1,886792
6	180	300	9814,815	185,1852	1,886792
7	160	330	10037,88	37,87879	0,377358
8	150	360	9814,815	185,1852	1,886792
9	130	390	10453,65	453,6489	4,339623
10	120	430	10271,32	271,3178	2,641509

По полученным данным можно сказать, что есть несколько подходящих пар для получения нужного периода генератора: №3, №4 и №7. Они все имеют наименьшее абсолютное отклонение от требуемой частоты и наименьшую относительную погрешность.

ЗАКЛЮЧЕНИЕ

В результате выполнения курсовой работы были получены практические навыки проектирования специализированных цифровых устройств с использованием САПР Quartus II. Были рассмотрены и реализованы два варианта построения четырёхканального генератора сигналов с заданными временными диаграммами: на основе распределителя тактов с логикой ИЛИ и на основе счётчика Джонсона. Проведён анализ схем на предмет сложности реализации и качества формируемых сигналов.

В рамках работы также были применены логические примитивы, триггеры и другие элементы библиотеки САПР Quartus II, проведён синтез и моделирование работы узлов.

Разработан генератор тактовых импульсов, выполнены инженерные расчёты для получения необходимой частоты. Осуществлена разработка интерфейсной части схемы для сопряжения с процессорной системой. Выполнена компиляция и тестирование полной схемы устройства, подготовлена принципиальная электрическая схема ТЭЗа, включающая спроектированный узел и вспомогательные схемы.

Таким образом, в ходе выполнения курсовой работы был получен практический опыт проектирования, синтеза, тестирования и оформления цифрового устройства, а также навыки выбора оптимального технического решения на основе заданных требований.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Проектирование цифровых узлов: Методические указания к курсовому проектированию / сост.: Р.И. Грушвицкий, Е.П. Угрюмов. СПб.: Изд-во СПбГЭТУ «ЛЭТИ», 2011. 00 с.
2. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие для вузов. – БХВ-Петербург, 1-е изд. 2000 г., 2-е изд. 2006 г., 3-е изд. 2010 г. – 797 с.
3. Перечень доступных микросхем // ЧИП и ДИП – интернет-магазин приборов и электронных компонентов. URL: <https://www.chipdip.ru/catalog/ic-chip> (дата обращения 06.06.2025).
4. Ряд E24 номиналов конденсаторов // RadioLibrary – справочник радиолюбителя. URL: <https://www.radiolibrary.ru/reference/capacitorseries/e24.html> (дата обращения 06.06.2025).
5. Ряд E24 номиналов резисторов // RadioLibrary – справочник радиолюбителя. URL: <https://www.radiolibrary.ru/reference/resistorseries/e24.html> (дата обращения 06.06.2025).
6. ГОСТ 2.743-91. Единая система конструкторской документации. Обозначения условные графические в электрических схемах. – М.: ИПК Издательство стандартов, 1992.
7. Конспекты лекций по дисциплине «Элементная база цифровых систем» за 6 семестр обучения.