

МИНОБРНАУКИ РОССИИ
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)
Кафедра САПР

КУРСОВАЯ РАБОТА
по дисциплине «Элементная база цифровых систем»
Тема: Проектирование цифровых узлов

Студент гр. 2308

Преподаватель

Буренёва О.И.

Санкт-Петербург

2025

ЗАДАНИЕ НА КУРСОВУЮ РАБОТУ

Студент

Группа 2308

Тема работы: «Проектирование цифровых узлов»

Исходные данные:

Количество периодов, последовательности импульсов для 6 режимов работы, скважность сигнала, начальный адрес АП

Содержание пояснительной записки:

«Содержание», «Введение», «Задание на проектирование узла», «Описание предлагаемых вариантов реализации узла», «Описание основных элементов библиотеки САПР Quartus II, необходимых для реализации узла», «Описание процесса синтеза и моделирования работы узла средствами САПР Quartus II», «Разработка генератора тактовых импульсов», «Разработка интерфейса сопряжения схемы узла с процессорной системой», «Заключение», «Список использованных источников».

Предполагаемый объем пояснительной записки:

Не менее 26 страниц.

Дата выдачи задания: __.__.____

Дата сдачи реферата: __.__.____

Дата защиты реферата: __.__.____

Студент

Преподаватель

Буренёва О.И.

АННОТАЦИЯ

Курсовая работа посвящена разработке цифрового узла для многорежимного формирования импульсных последовательностей. Реализация узла будет выполнена на программируемой логической интегральной схеме (ПЛИС) с использованием средств автоматизированного проектирования (САПР) Quartus II. В работе исследуются два варианта реализации узла: первый – на основе программируемого постоянного запоминающего устройства (ППЗУ) и мультиплексора, второй – с применением дешифратора и логической сборки по ИЛИ. Рассмотрены основные компоненты библиотеки Quartus II, используемые при проектировании узла, а также этапы синтеза, моделирования и сравнительного анализа предложенных схем. В проекте также разрабатывается генератор тактовых импульсов и интерфейс для сопряжения узла с процессорной системой. Курсовая работа включает принципиальную электрическую схему узла и пояснительную записку.

SUMMARY

The coursework project is focused on the development of a digital unit for multi-mode pulse sequence generation. The unit will be implemented on a Field Programmable Gate Array (FPGA) using the Quartus II Computer-Aided Design (CAD) tools. The study explores two approaches to implementing the unit: the first approach utilizes a Programmable Read-Only Memory (PROM) and a multiplexer, while the second approach is based on a decoder and logical OR assembly. The key components of the Quartus II library used for designing the unit are presented, along with the stages of synthesis, simulation, and comparative analysis of the proposed designs. The project also includes the development of a clock pulse generator and an interface for integrating the unit with a processor system. The coursework comprises a schematic diagram of the unit and an explanatory note.

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	5
1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА	6
1.1 Многорежимный формирователь импульсных последовательностей	6
2. ОПИСАНИЕ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА	7
2.1 Схема на основе ППЗУ и мультиплексора	7
2.2 Схема на основе дешифратора и сборки по ИЛИ.....	7
3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ УЗЛА.....	9
3.1 Логические примитивы	9
3.2 Триггеры.....	9
3.3 Мегафункции	10
4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ УЗЛА.....	12
4.1 Синтез и моделирование узла на основе ППЗУ и мультиплексора.....	12
4.2 Синтез и моделирование узла на основе дешифратора и сборки по ИЛИ	14
4.3 Выбор лучшего варианта исполнения узла	16
5. РАЗРАБОТКА ГЕНЕРАТОРА ТАКТОВЫХ ИМПУЛЬСОВ.....	18
5.1 Выбор варианта реализации генератора	18
5.2 Инженерный расчет элементов генератора для получения необходимой частоты	18
6. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ.....	20
6.1 Синтез полной схемы многорежимного формирователя импульсных последовательностей.....	20
ЗАКЛЮЧЕНИЕ	22
СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ	23

ВВЕДЕНИЕ

Цель работы: приобрести знания о разнообразии возможностей современной цифровой техники при проектировании специализированных устройств, научиться эффективно применять современную элементную базу, освоить многовариантные подходы к синтезу цифровых узлов и устройств и выбор наилучшего варианта по заданным критериям качества; получить навыки в описании принципов функционирования разрабатываемых устройств и оформлении технической документации.

Задачи:

- Разработать функциональную схему проектируемого узла в нескольких вариантах;
- Разработать функциональную схемы интерфейса узла с ведущей микро процессорной системой;
- Ввод принципиальной электрической схемы узла с интерфейсным блоком для реализации в ПЛИС с помощью САПР;
- Компиляция полученного проекта;
- Тестирование разработанного узла в рамках САПР;
- Выбор наилучшего варианта узла с учетом заданного критерия качества;
- Разработка принципиальной электрической схемы типового элемента замены (ТЭЗа), содержащего спроектированный узел и вспомогательные схемы.

1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА

1.1 Многорежимный формирователь импульсных последовательностей

Вариант 1.2:

Разработать принципиальную электрическую схему устройства, формирующего заданные последовательности импульсов. Входные сигналы поступают от генератора ГТИ (генератор разрабатывается). Выходные последовательности цикличны. Длина цикла N периодов тактирующих импульсов, на выходе должны формироваться импульсы с указанными в задании номерами и заданной скважностью $\theta = T/t_{\text{и}}$.

Код, задающий режим работы схемы, а также сигналы ее пуска и останова поступают из управляющего устройства (процессора). Формирователь рассматривается как внешнее устройство процессорной системы, восьмиразрядные адреса его регистров расположены в адресном пространстве, содержащем 256 адресов. Начальный адрес зоны адресов указан в задании.

Подробности приведены в Таблице 1.

Таблица 1 – вариант задания

N	Номера импульсов, проходящих на выход формирователя						Начальный адрес	θ
	Режимы							
	1	2	3	4	5	6		
20	2, 5, 7, 18, 20	1, 3, 15, 17	4, 9, 12, 15, 18	3, 13, 16, 20	7, 9, 10, 17	1, 2, 7, 9, 18, 20	80h	4

2. ОПИСАНИЕ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА

Схема предполагает цикличность последовательностей с N периодами тактирующих импульсов. В этом случае понадобится 5 разрядный счетчик для возможности счета до 32. Для счёта до 20 будет использоваться логический блок для сброса состояния и формирование последовательности сначала.

2.1 Схема на основе ППЗУ и мультиплексора

В данном методе используется ППЗУ с организацией 5×20 бит и общей емкостью памяти 160 бит. Выбор необходимых данных осуществляется в зависимости от режима, который подается с шины данных md.

На информационные входы мультиплексора подаются сигналы с ППЗУ, а на адресные – с счетчика.

Процесс управления выполняется управляющим устройством (УУ), которое принимает сигналы записи и чтения, шину данных DB и шину адреса A. Генератор формирует сигналы скважности 4.

2.2 Схема на основе дешифратора и сборки по ИЛИ

Данный способ формирования выходной последовательности импульсов заключается в использовании дешифратора и логической сборки сигналов по ИЛИ.

В данной схеме используются два дешифратора: первый предназначен для определения рабочего такта, второй – для выбора режима работы.

На вход первого дешифратора подаются данные с счетчика, а на вход второго – сигналы с шины md.

Логическая схема на элементах ИЛИ объединяет значения последовательности.

УУ работает аналогично предыдущей реализации.

Блок-схема реализации функций и управления этим процессом приведена на Рисунке 2.1.

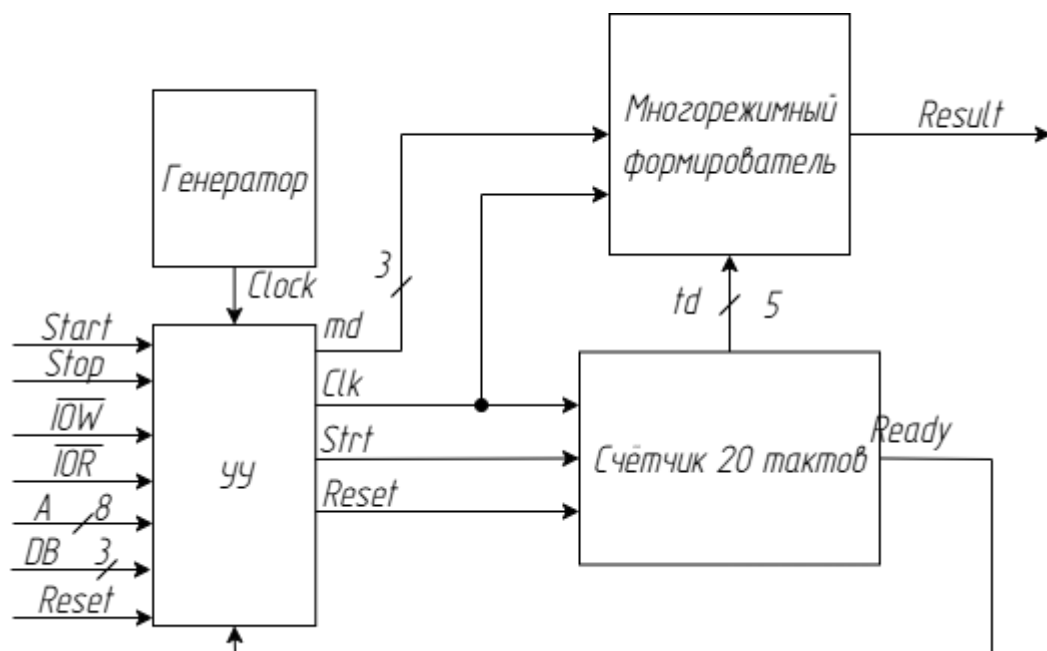


Рисунок 2.1 – Структурная схема (Э1) узла

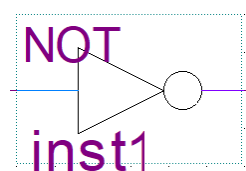
3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ УЗЛА

3.1 Логические примитивы

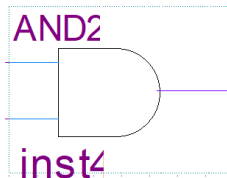
В данной работе были использованы следующие логические примитивы для возможности реализации схемы.

Элемент NOT служит для инверсии сигнала. Элемент OR2 применяется для контроля работы счетчика; OR4,6 – для сборки тактовой последовательности импульсов.

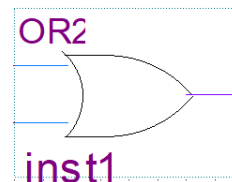
Элемент AND2 выполняет функцию разрешения вывода последовательности, заданной режимом.



а) – NOT



б) – AND2



в) – OR2

Рисунок 3.1 – Логические примитивы, использованные в процессе работы

3.2 Триггеры

Для хранения текущего режима работы используется параллельный регистр LPM_DFF. Дополнительно предусмотрен асинхронный сброс текущего состояния. Графическое представление данной мегафункции в среде САПР Quartus II приведено на Рисунке 3.2.

Для хранения состояния потока чтения и записи данных используется примитив DFF. Его графическое отображение приведено на Рисунке 3.3.

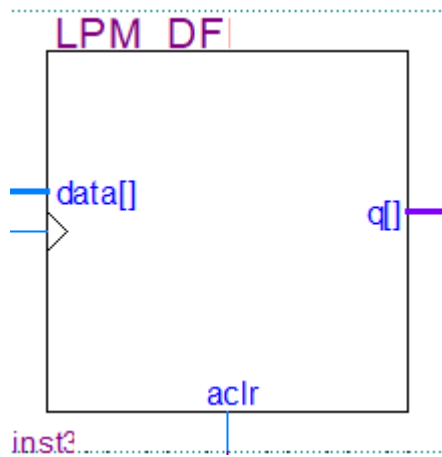


Рисунок 3.2 – Графическое обозначение LPM_DFF

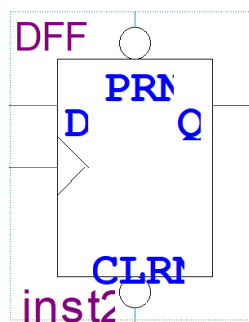


Рисунок 3.3 – Графическое обозначение примитива DFF D-триггера

3.3 Мегафункции

В данной работе использован мультиплексор с 20 информационными входами и 5 адресными. Графическое представление мультиплексора показано на Рисунке 3.4.

Для хранения битовой последовательности используется ППЗУ. Его графическое изображение представлено на Рисунке 3.5.

Контроль количества переданных бит осуществляется с помощью счётчика, оснащённого синхронным входом, синхронным и асинхронными сбросом и пятью выходами, что позволяет выполнять счёт до 20. Его графическое изображение представлено на Рисунке 3.6.

Для определения необходимой последовательности используются дешифраторы. Их графическое изображение приведено на Рисунке 3.7.

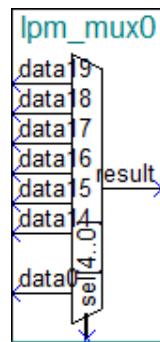


Рисунок 3.4 – Графическое обозначение мультиплексора

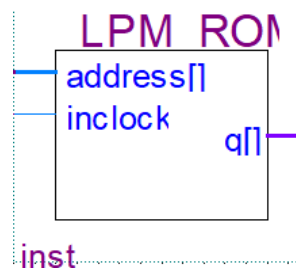


Рисунок 3.5 – Графическое обозначение ППЗУ

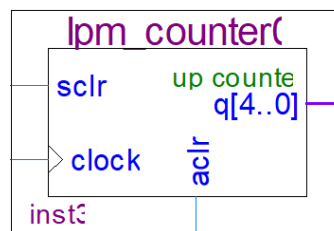


Рисунок 3.6 – Графическое обозначение счётчиков



а) – Выбор режима работы б) – Выбор нужного тактового сигнала

Рисунок 3.7 – Графическое обозначение дешифраторов

4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ УЗЛА

Обе реализации многорежимного формирователя импульсных последовательностей включают в себя наличие подсхемы для счета необходимого количества тактов. Сброс осуществляется при достижении 20, и работа последовательности закидывается. Схема данного модуля узла, реализованного в САПР Quartus II, приведена на Рисунке 4.1.

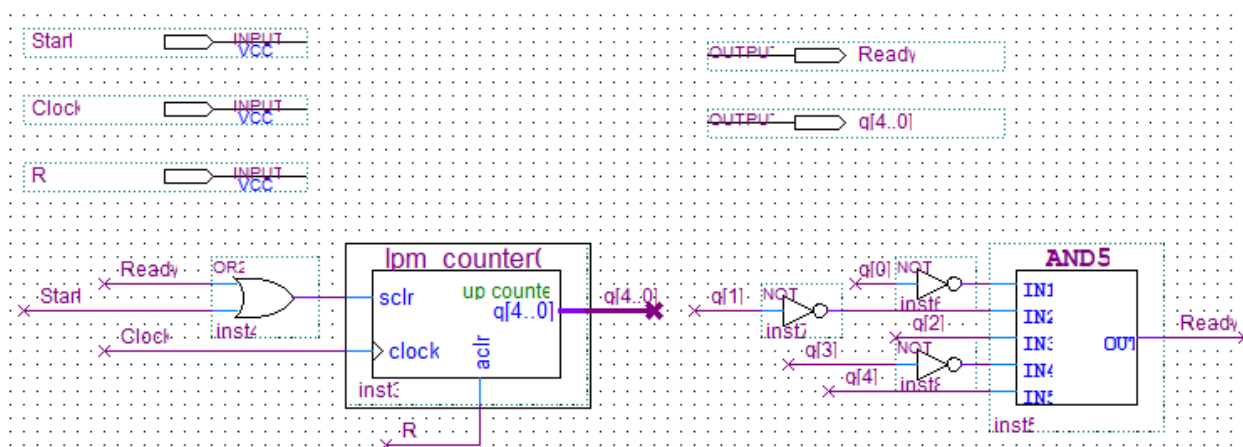


Рисунок 4.1 – Формирователь N периодов тактирующего сигнала

4.1 Синтез и моделирование узла на основе ППЗУ и мультиплексора

Общая схема многорежимного формирователя импульсных последовательностей приведена на Рисунке 4.2. Тактовый сигнал Clock задает скважность выходного сигнала с помощью элемента AND2. Шина данных md[2..0] содержит данные для выбора режим работы. Шина td[4..0] передает данные с счётчика о текущем активном такте, которые подаются на адресные входы мультиплексора. На информационные входы идут сигналы, хранящихся в ППЗУ, для которого был создан файл *memory.mif*, в каждую из шести ячеек которого записано бинарное слово длиной 20. Вид файла представлен на Рисунке 4.3.

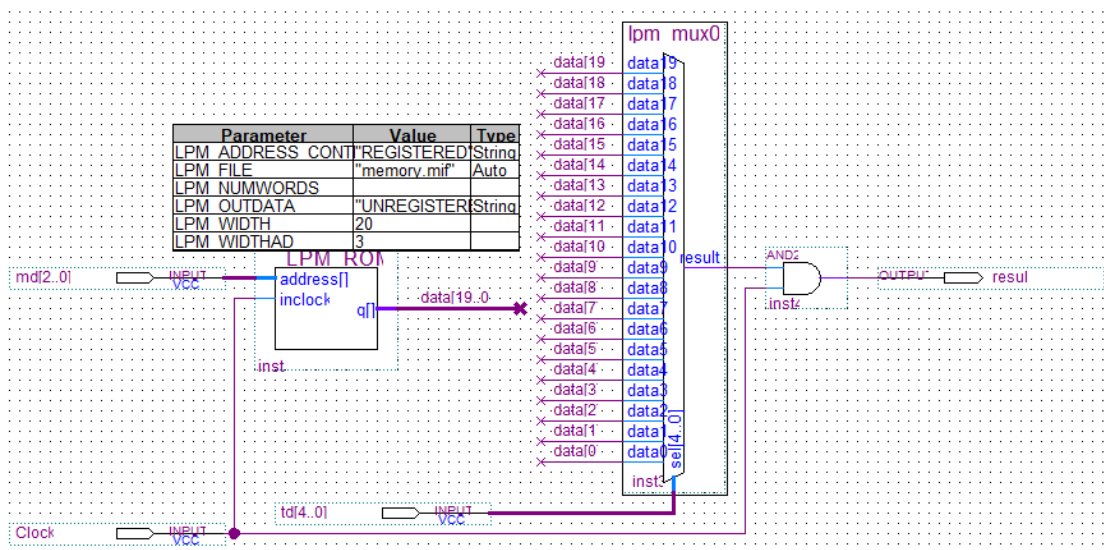


Рисунок 4.2 – Многорежимный формирователь импульсных последовательностей на основе ППЗУ и мультиплексора

Addr	+000	+001	+010	+011	+100	+101	ASCII
000	10100000000001010010	00010100000000000101	00100100100100001000	10001001000000000100	00010000001101000000	10100000000101000011

Рисунок 4.3 – Файл *memory.mif* с заданными импульсными последовательностями

После синтеза схемы, проект был скомпилирован для поиска возможных ошибок. Всего понадобилось 18 логических элементов. Результат компиляции представлен на Рисунке 4.4.

Flow Summary	
Flow Status	Successful - Thu May 29 00:48:22 2025
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	prom_mux
Top-level Entity Name	prom_mux
Family	Cyclone II
Device	EP2C5Q208C8
Timing Models	Final
Total logic elements	18 / 4,608 (< 1 %)
Total combinational functions	18 / 4,608 (< 1 %)
Dedicated logic registers	0 / 4,608 (0 %)
Total registers	0
Total pins	10 / 142 (7 %)
Total virtual pins	0
Total memory bits	160 / 119,808 (< 1 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

Рисунок 4.4 – Результат компиляции проекта на основе ППЗУ и мультиплексора

После успешной сборки проекта, было выполнено функциональное и временное моделирование. Соответствующие результаты приведены на Рисунке 4.5 и Рисунке 4.6.

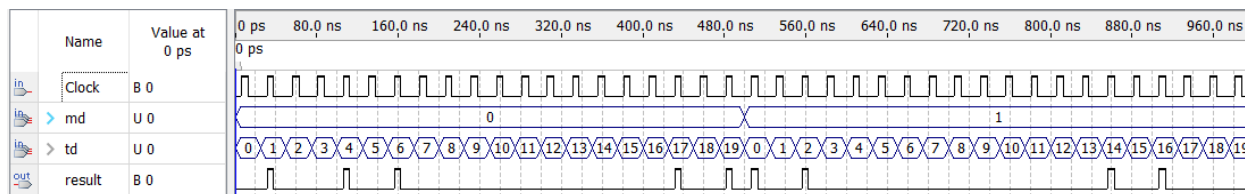


Рисунок 4.5 – Результат функционального моделирования

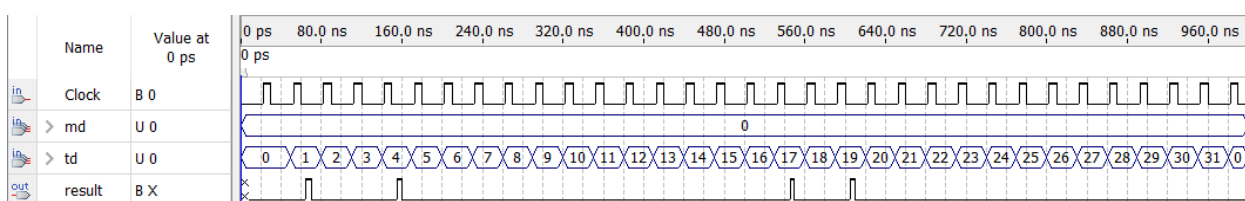


Рисунок 4.6 – Результат временного моделирования

По полученным временным диаграммам можно сказать, что схема работает корректно. Данные, которые относятся к текущему режиму работы, последовательно поступают на выходной канал. На временном моделировании можно заметить «пропажу» 7 импульса. Временное моделирование позволило дополнительно установить рабочую частоту узла:

$$f = \frac{1}{30 \cdot 10^{-9}} = 33.3 \text{ (МГц)}.$$

4.2 Синтез и моделирование узла на основе дешифратора и сборки по ИЛИ

Общая схема многорежимного формирователя импульсных последовательностей на основе дешифратора приведена на Рисунке 4.7. Такой подход к реализации узла позволяет оптимизировать использование памяти, так как на логический блок подаются только необходимые значения.

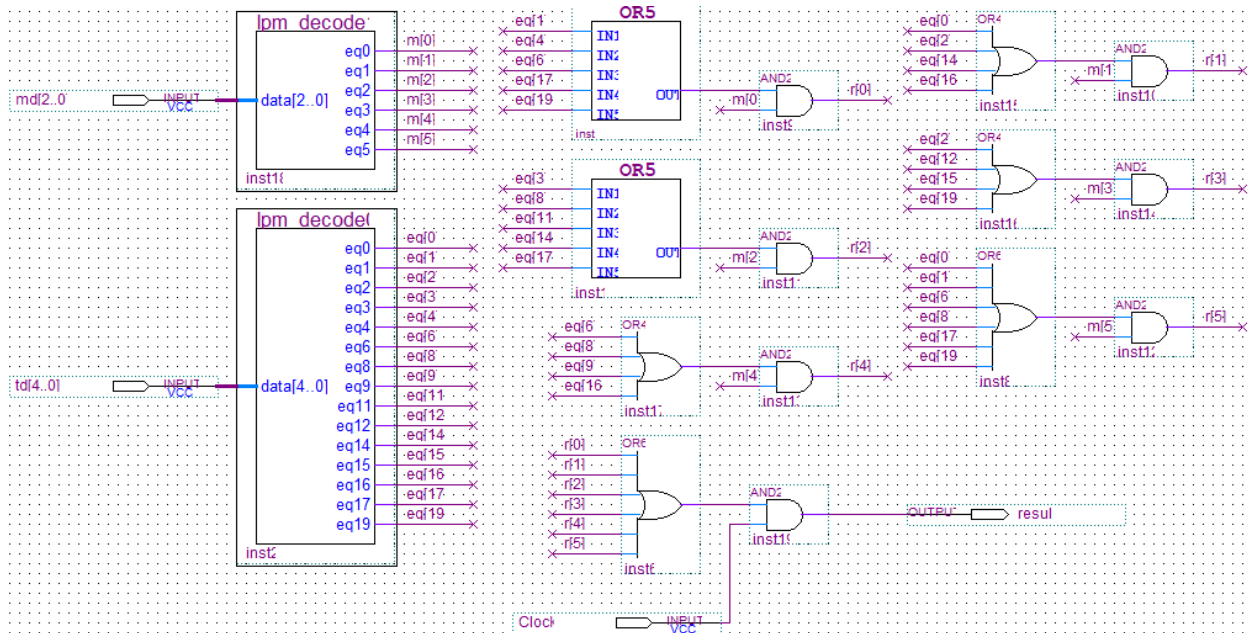


Рисунок 4.7 – Многорежимный формирователь импульсных последовательностей на основе дешифратора и сборки по ИЛИ

После синтеза схемы, проект был скомпилирован для поиска возможных ошибок. Всего понадобилось 15 логических элементов. Результат компиляции представлен на Рисунке 4.8.

Flow Summary	
Flow Status	Successful - Thu May 29 00:22:38 2025
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	decoder
Top-level Entity Name	decoder
Family	Cyclone II
Device	EP2C5Q208C8
Timing Models	Final
Total logic elements	15 / 4,608 (< 1 %)
Total combinational functions	15 / 4,608 (< 1 %)
Dedicated logic registers	0 / 4,608 (0 %)
Total registers	0
Total pins	10 / 142 (7 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

Рисунок 4.8 – Результат компиляции проекта на основе дешифратора и сборки по ИЛИ

После успешной сборки проекта было выполнено функциональное и временное моделирование. Соответствующие результаты приведены на Рисунке 4.9 и Рисунке 4.10.

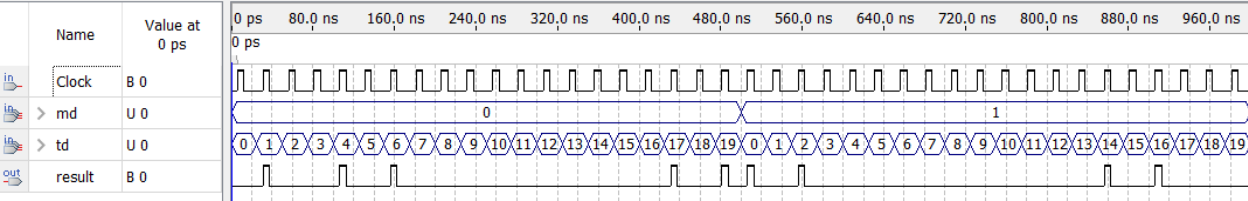


Рисунок 4.9 – Результат функционального моделирования

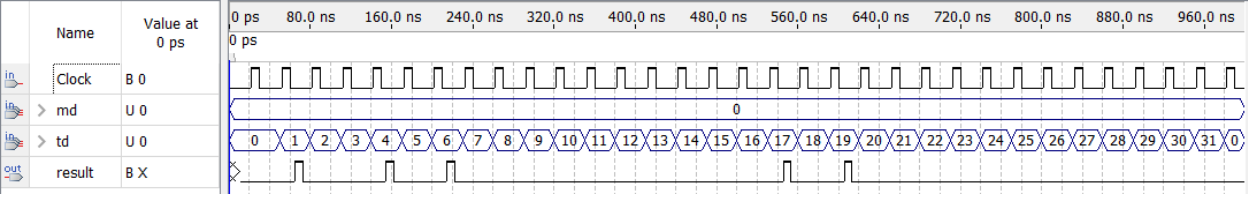


Рисунок 4.10 – Результат временного моделирования

По полученным временным диаграммам можно сказать, что схема работает корректно. Существенных различий между двумя вариантами на этапе функционального моделирования практически не выявлено. В ходе временного моделирования вторая реализация узла выглядит более перспективной.

4.3 Выбор лучшего варианта исполнения узла

Для каждого варианта реализации были собраны основные параметры их схем и способы получения итогового результата. Критерием выбора служит минимум аппаратных затрат. Данные представлены в Таблице 4.1.

Схема на основе дешифратора более оптимальна для данной задачи, но процесс реализации сложнее, чем с использованием ППЗУ.

Таблица 4.1

	Параметры схемы	Вариант реализации	
		ППЗУ+мультиплексор	Дешифратор+ИЛИ
1	Аппаратные затраты (общее количество элементов)	18	15
2	Простота реализации	Создание файла, содержащего необходимые битовые последовательности	Необходимость составления логической схемы для сборки выходного сигнала
3	Наличие ошибок	Уменьшение длительности импульсов и потеря импульса	Не выявлено
4	Временная задержка	11.5 нс	12 нс

5. РАЗРАБОТКА ГЕНЕРАТОРА ТАКТОВЫХ ИМПУЛЬСОВ

5.1 Выбор варианта реализации генератора

Генератор будет выполнен на основе RC-цепочки с использованием транзисторно-транзисторной логики (ТТЛ). Для стандартных ТТЛ-элементов, ввиду значительных входных токов, сопротивление резисторов должно быть небольшим: около 180-420 Ом.

ГТИ будет выполнен по схеме, представленной на Рисунке 5.1, чтобы получить сигнал необходимой скважности. Инверторы выполняют роль формирователей, улучшающих выходную форму колебания, приближая ее к прямоугольной. Длительности импульса и паузы равны соответственно:

$$t_{\text{и}} = 0.8R_1C_1$$

$$t_{\text{п}} = 0.8R_2C_2$$

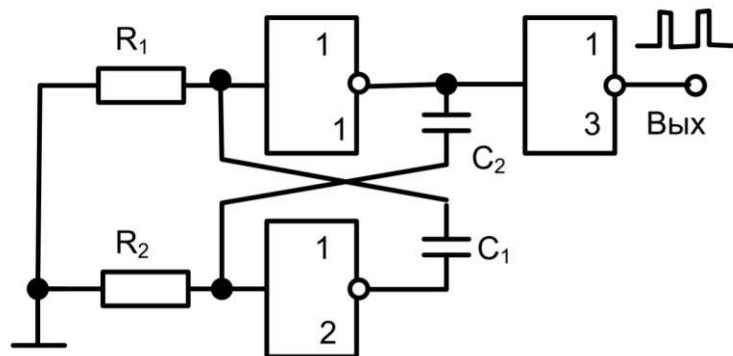


Рисунок 5.1 – Схема генератора тактовых импульсов

5.2 Инженерный расчет элементов генератора для получения необходимой частоты

Временное моделирование позволило установить, что максимальная частота, при которой узел работает корректно равна:

$$f_0 = \frac{1}{T} = \frac{1}{30 \cdot 10^{-9}} = 33.33 \text{ МГц}$$

Для вычисления необходимых значений резисторов и конденсаторов для скважности 4 составлены следующие отношения:

$$t_{и0} = 0.8R_1C_1 = \frac{1}{4} \cdot 30 = 7.5 \quad t_{п0} = 0.8R_2C_2 = \frac{3}{4} \cdot 30 = 22.5$$

Значения для резисторов R и конденсатора C будут взяты из ряда E24 номиналов. В Таблице 5.1 приведен сравнительный анализ допустимых значений R и C . Дополнительно рассчитано абсолютное отклонение.

Таблица 5.1

№	R_1 , Ом	C_1 , пФ	$t_{и}$, нс	$ t_{и0} - t_{и} $	R_2 , Ом	C_2 , пФ	$t_{п}$, нс	$ t_{п0} - t_{п} $
1	200	47	7,52	0,02	200	110	22	0,5
2	220	43	7,568	0,068	220	100	22	0,5
3	240	39	7,488	0,012	240	91	21,84	0,66
4	270	36	7,776	0,276	270	88	23,76	1,26
5	300	33	7,92	0,42	300	75	22,5	0
6	330	30	7,92	0,42	330	68	22,44	0,06
7	360	27	7,776	0,276	360	62	22,32	0,18
8	390	24	7,488	0,012	390	56	21,84	0,66

По расчету можно сказать, что наилучший вариант значений резисторов и конденсаторов для реализации данного генератора с получением необходимого периода сигнала являются пары 8 и 5 для получения необходимых длительностей импульса и паузы. Они имеют наименьшее отклонение от теоретических значений. Для итоговой схемы генератора будет использована пары: $R_1 = 390$ (Ом), $C_1 = 24$ (пФ) и $R_2 = 300$ (Ом), $C_2 = 75$ (пФ).

6. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ

6.1 Синтез полной схемы многорежимного формирователя импульсных последовательностей

Разрабатываемое устройство взаимодействует с процессорной системой с помощью стандартной шины Microbus. Для работы схемы используются следующие сигналы: \overline{IOR} – считывание данных с вычислительного узла; \overline{IOW} – запись данных в ВУ, Clock – тактируемый сигнал генератора, Reset – сигнал сброса, Start – сигнал начала работы схемы, Stop – сигнал остановки работы. Также используется 8 разрядная шина адреса для подачи адреса области АП, и 8 разрядная шина данных для выбора необходимого режима функционирования. Работа схемы осуществляется при адресе 0x80 (1000 0000). Селектор адреса реализован через элемент NOR8. Добавлен параллельный регистр для хранения текущего режима работы с логикой записи по готовности формирователя. Разработанная схема интерфейса в САПР Quartus II приведена на Рисунке 6.1.

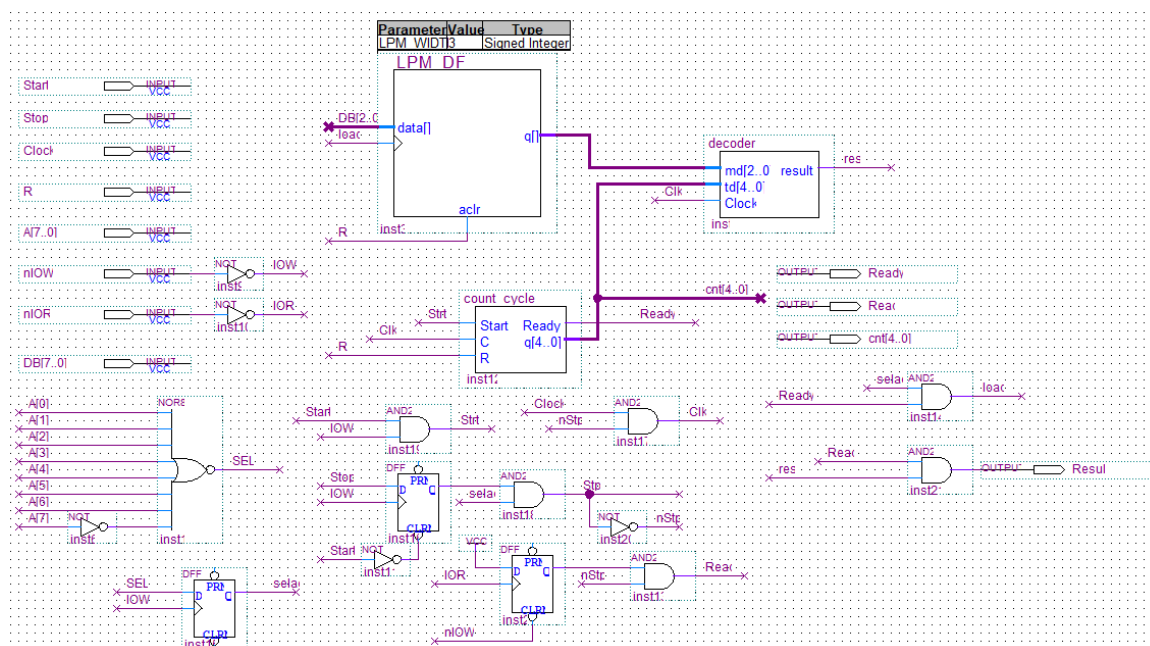


Рисунок 6.1 – Схема интерфейса сопряжения с процессорной системой и узла

После успешной сборки проекта, было выполнено функциональное (Рисунок 6.2) моделирование.

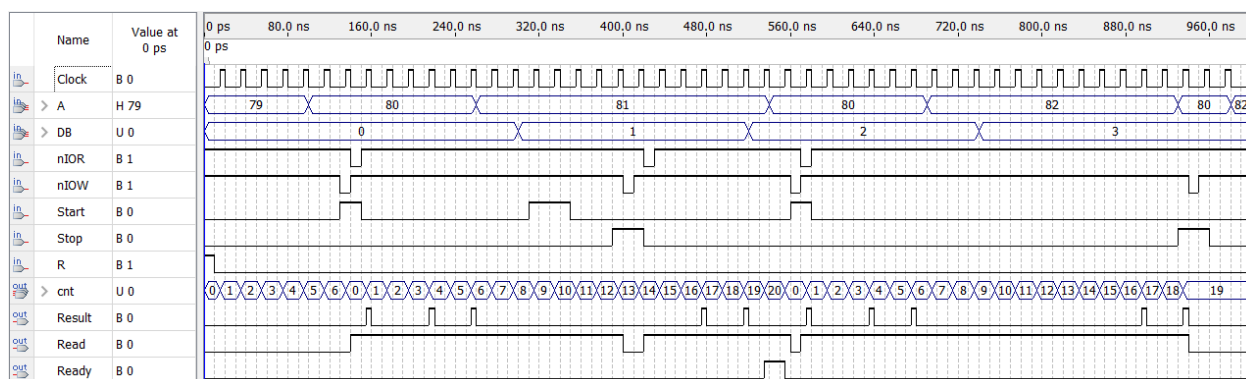


Рисунок 6.2 – Результат функционального моделирования

Анализ временной диаграммы позволяет оценить корректность функционирования разработанного интерфейса. Подается сигнал асинхронного сброса для обнуления системы. Меняется адрес на рабочий для данного узла. После этого происходит запись текущего состояния работы в параллельный регистр сигналом IOW. Затем активируется режим чтения с ВУ, и при подаче сигнала Start начинается последовательное формирование заданных импульсов. Счетчик отчитывает ровно 20 периодов, после этого ожидает 1 такт для возможного изменения режима работы.

Изменение адреса на отличный от 0x80 приводит схему формирователя к простому.

ЗАКЛЮЧЕНИЕ

В процессе выполнения курсового проекта был получен практический опыт разработки цифрового узла для формирования импульсных последовательностей с использованием САПР Quartus II. Были реализованы два варианта узла – на основе ППЗУ с мультиплексором и на основе дешифратора и логической сборки по ИЛИ. Проведен сравнительный анализ схем по критериям сложности реализации и качества формируемых сигналов.

Также разработан генератор тактовых импульсов с выполнением инженерных расчетов для обеспечения требуемой частоты. Сформирован интерфейс для сопряжения узла с процессорной системой и реализована логика управления режимами работы. Завершены этапы синтеза, компиляции и тестирования устройства, подготовлена принципиальная электрическая схема узла и пояснительная записка.

Таким образом, успешно достигнуты поставленные задачи по проектированию, реализации и анализу цифрового узла, что позволило закрепить навыки разработки и тестирования цифровых схем.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Проектирование цифровых узлов: Методические указания к курсовому проектированию / сост.: Р.И. Грушвицкий, Е.П. Угрюмов. СПб.: Изд-во СПбГЭТУ «ЛЭТИ», 2011. 00 с.
2. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие для вузов. – БХВ-Петербург, 1-е изд. 2000 г., 2-е изд. 2006 г., 3-е изд. 2010 г. – 797 с.
3. Перечень доступных микросхем // ЧИП и ДИП – интернет-магазин приборов и электронных компонентов. URL: <https://www.chipdip.ru/catalog/ic-chip> (дата обращения 13.05.2025).
4. Ряд E24 номиналов конденсаторов // RadioLibrary – справочник радиолюбителя. URL: <https://www.radiolibrary.ru/reference/capacitorseries/e24.html> (дата обращения 12.05.2025).
5. Ряд E24 номиналов резисторов // RadioLibrary – справочник радиолюбителя. URL: <https://www.radiolibrary.ru/reference/resistorseries/e24.html> (дата обращения 12.05.2025).
6. ГОСТ 2.743-91. Единая система конструкторской документации. Обозначения условные графические в электрических схемах. – М.: ИПК Издательство стандартов, 1992.