

**МИНОБРНАУКИ РОССИИ**  
**САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ**  
**ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ**  
**«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)**  
**Кафедра САПР**

**КУРСОВАЯ РАБОТА**  
**по дисциплине «Элементная база цифровых систем»**  
**Тема: Проектирование цифровых узлов**

Студент гр. 2305

\_\_\_\_\_

Преподаватель

\_\_\_\_\_

Буренёва О.И.

Санкт-Петербург

2025

## ЗАДАНИЕ НА КУРСОВУЮ РАБОТУ

Студент

Группа 2305

Тема работы: «Проектирование цифровых узлов»

Исходные данные:

Период работы распределителя, номера импульсов на выходах распределителя, количество выходов, скважность 4, 3-ья четверть АП.

Содержание пояснительной записки:

«Содержание», «Введение», «Задание на проектирование узла», «Описание предлагаемых вариантов реализации узла», «Описание основных элементов библиотеки САПР Quartus II, необходимых для реализации узла», «Описание процесса синтеза и моделирования работы узла средствами САПР Quartus II», «Разработка генератора тактовых импульсов», «Разработка интерфейса сопряжения схемы узла с процессорной системой», «Заключение», «Список использованных источников».

Предполагаемый объем пояснительной записки:

Не менее 25 страниц.

Дата выдачи задания: \_\_.\_\_.\_\_\_\_

Дата сдачи реферата: \_\_.\_\_.\_\_\_\_

Дата защиты реферата: \_\_.\_\_.\_\_\_\_

Студент

\_\_\_\_\_

Преподаватель

\_\_\_\_\_

Буренёва О.И.

## **АННОТАЦИЯ**

Курсовая работа посвящена разработке цифрового узла для реверсивного распределения тактовых сигналов с переменным числом каналов. Реализация узла будет выполнена на программируемой логической интегральной схеме (ПЛИС) с использованием средств автоматизированного проектирования (САПР) Quartus II. В работе исследуются два варианта реализации узла: первый – на основе программируемого постоянного запоминающего устройства (ППЗУ) и счетчика, второй – с применением двоичного счетчика, дешифратора и логической сборки по ИЛИ. Рассмотрены основные компоненты библиотеки Quartus II, используемые при проектировании узла, а также этапы синтеза, моделирования и сравнительного анализа предложенных схем. В проекте также разрабатывается генератор тактовых импульсов и интерфейс для сопряжения узла с процессорной системой. Курсовая работа включает функциональную, принципиальную электрическую схему узла, перечень элементов и пояснительную записку.

## **SUMMARY**

This term paper is dedicated to the development of a digital unit for reversible clock signal distribution with a variable number of channels. The unit is implemented on a Field-Programmable Gate Array (FPGA) using the Quartus II Computer-Aided Design (CAD) tools. The study explores two implementation approaches: the first uses a Programmable Read-Only Memory (PROM) and a counter; the second is based on a binary counter, a decoder, and a logic assembly using OR gates. The work discusses the main components of the Quartus II library used in the design process, as well as the stages of synthesis, simulation, and comparative analysis of the proposed schemes. The project also includes the development of a clock pulse generator and an interface for integration with a processor system. The term paper contains a functional and schematic circuit diagram of the unit, a list of components, and an explanatory report.

## СОДЕРЖАНИЕ

ВВЕДЕНИЕ .....	5
1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА .....	6
1.1 Реверсивный распределитель тактовых сигналов с переменным числом каналов .....	6
2. ОПИСАНИЕ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА .....	7
2.1 Схема на основе сочетания двоичного счетчика и ПП .....	7
2.2 Схема на основе двоичного счётчика с дешифратором, сборками по ИЛИ7 .....	7
3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ УЗЛА.....	9
3.1 Логические примитивы .....	9
3.2 Мегафункции .....	9
4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ УЗЛА.....	11
4.1 Синтез и моделирование узла на основе сочетания двоичного счетчика и программируемой памяти .....	11
4.2 Синтез и моделирование узла на основе двоичного счётчика с дешифратором и сборками по ИЛИ .....	14
4.3 Выбор лучшего варианта исполнения узла .....	16
5. РАЗРАБОТКА ГЕНЕРАТОРА ТАКОВЫХ ИМПУЛЬСОВ.....	17
5.1 Выбор варианта реализации генератора .....	17
5.2 Инженерный расчет элементов генератора для получения необходимой частоты .....	17
6. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ.....	19
6.1 Синтез полной схемы реверсивного распределителя тактовых сигналов с переменным числом каналов .....	19
ЗАКЛЮЧЕНИЕ .....	21
СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ .....	22

## **ВВЕДЕНИЕ**

Цель работы: приобрести знания о разнообразии возможностей современной цифровой техники при проектировании специализированных устройств, научиться эффективно применять современную элементную базу, освоить многовариантные подходы к синтезу цифровых узлов и устройств и выбор наилучшего варианта по заданным критериям качества; получить навыки в описании принципов функционирования разрабатываемых устройств и оформлении технической документации.

Задачи:

- Разработать функциональную схему проектируемого узла в нескольких вариантах;
- Разработать функциональную схемы интерфейса узла с ведущей микро процессорной системой;
- Ввод принципиальной электрической схемы узла с интерфейсным блоком для реализации в ПЛИС с помощью САПР;
- Компиляция полученного проекта;
- Тестирование разработанного узла в рамках САПР;
- Выбор наилучшего варианта узла с учетом заданного критерия качества;
- Разработка принципиальной электрической схемы типового элемента замены (ТЭЗа), содержащего спроектированный узел и вспомогательные схемы.

## 1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА

### 1.1 Реверсивный распределитель тактовых сигналов с переменным числом каналов

Вариант 4.3:

Разработать распределитель тактов, формирующий на выходах заданные последовательности импульсов. Входные сигналы частоты  $f = 1/T$  распределитель получает от генератора ГТИ (генератор разрабатывается).

Выходная последовательность периодична с периодом  $T_p$ . Скважность импульсов равна четырем. Сигналы пуска и останова распределителя поступают из управляющего устройства (процессора), количество периодов работы распределителя от пуска до останова фиксируется (их максимальное число 64). Распределитель рассматривается как ВУ процессорной системы, его адреса расположены в третьей четверти адресного пространства емкостью 256 адресов.

Возможные варианты реализации: на основе двоичного счетчика с дешифратором и сборками по ИЛИ, на основе реверсивного регистра, на основе сочетания двоичного счетчика и программируемой памяти (далее ПП), сочетания счетчика и ПМЛ и др.

Подробности приведены в Таблице 1.

Таблица 1 – вариант задания

$T_p$	Номера импульсов, проходящих на выходы распределителя									
	1	2	3	4	5	6	7	8	9	10
24	1, 19	2, 18, 20, 24	3, 17, 21, 23	4, 16, 22	5, 15	6, 14	7, 13	8, 12	9, 11	10

## 2. ОПИСАНИЕ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА

### 2.1 Схема на основе сочетания двоичного счетчика и ППЗУ

В данном методе используется ППЗУ с организацией  $24 \times 10$  бит и общей емкостью памяти 240 бит. Счётчик задает текущий адрес для загрузки данных из ППЗУ, сброс осуществляется при достижении состояния  $10111_2$ .

Выход последовательности битов из памяти подается на элементы «И» для получения сигналов заданной скважности.

Блок-схема реализации функций и управления этим процессом по командам программы представлена на Рисунке 2.1.

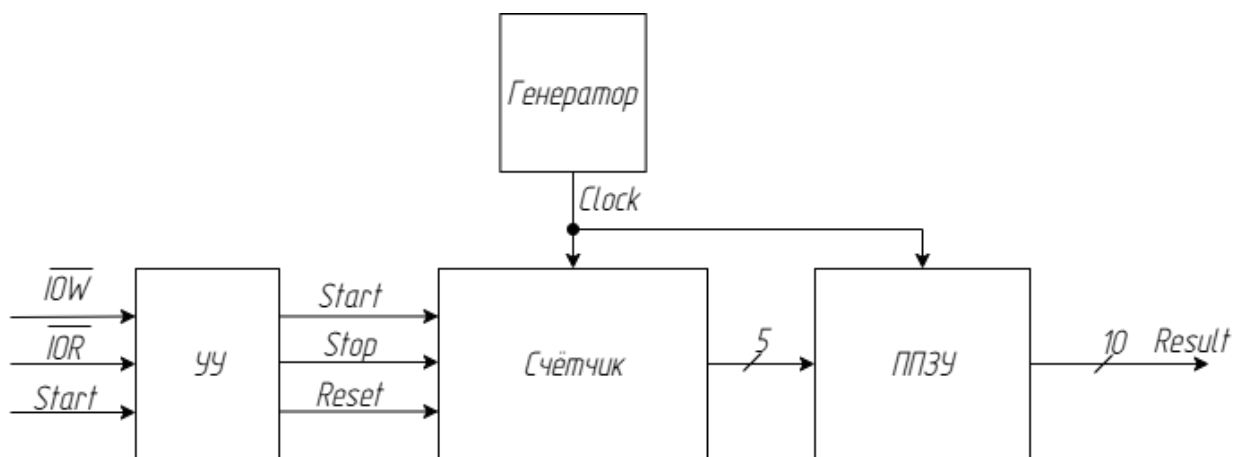


Рисунок 2.1 – Структурная схема (Э1) данного решения

### 2.2 Схема на основе двоичного счётчика с дешифратором, сборками по ИЛИ

Данный способ формирования выходной последовательности импульсов заключается в том, чтобы выходы счетчика подавать на информационные входы дешифратора. С помощью дешифратора получается номер такта, на котором нужно будет вывести импульс.

Логическая схема на элементах «ИЛИ» объединяет значения дешифратора. По аналогии с прошлой реализацией выходной сигнал

дополнительно подается на элементы «И» для получения импульсов необходимой длины с учетом заданной скважности.

УУ обеспечивает начало и остановку работы схемы, а также контролирует количество периодов.

Блок-схема реализации функций и управления этим процессом приведена на Рисунке 2.2.

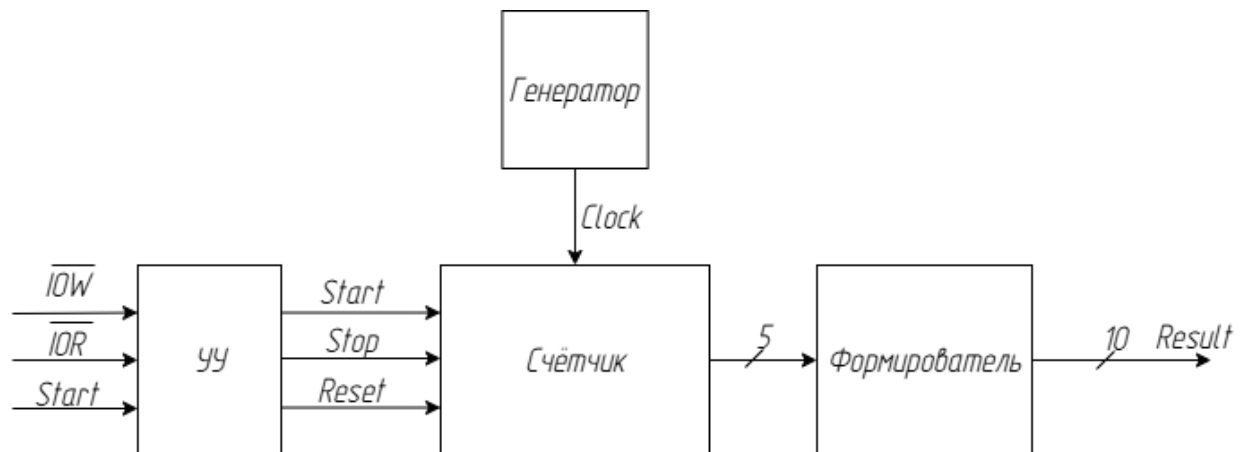


Рисунок 2.2 – Структурная схема (Э1) на основе мультиплексора



### 3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ УЗЛА

#### 3.1 Логические примитивы

В данной работе были использованы следующие логические примитивы для возможности реализации схемы.

Элемент NOT служит для инверсии сигнала. Элемент OR2 применяется для контроля работы счетчика и сборки сигналов по ИЛИ для дешифратора; OR3,4 также используются для получения итоговой последовательности сигналов в схеме с дешифратором.

Элемент AND2 выполняет функцию разрешения вывода последовательности для получения необходимой скважности сигналов.

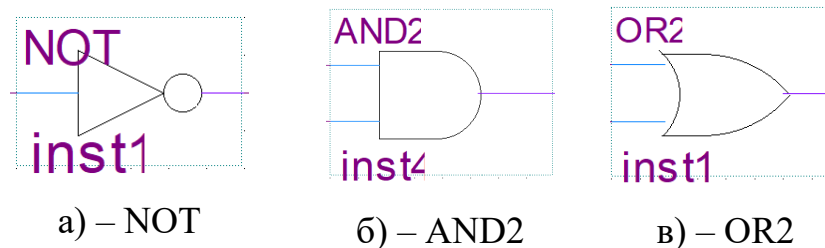


Рисунок 3.1 – Логические примитивы, использованные в процессе работы

#### 3.2 Мегафункции

В данной работе использован дешифратор с 5 информационными входами и 24 выходами. Графическое представление дешифратора приведено на Рисунке 3.2.

Для хранения битовых последовательностей используется ППЗУ. Его графическое изображение представлено на Рисунке 3.3.

Контроль количества тактов осуществляется с помощью счётчика, оснащённого синхронным входом, синхронным и асинхронными сбросом и пятью выходами, что позволяет выполнять счёт вплоть до 32. Его графическое изображение представлено на Рисунке 3.4.

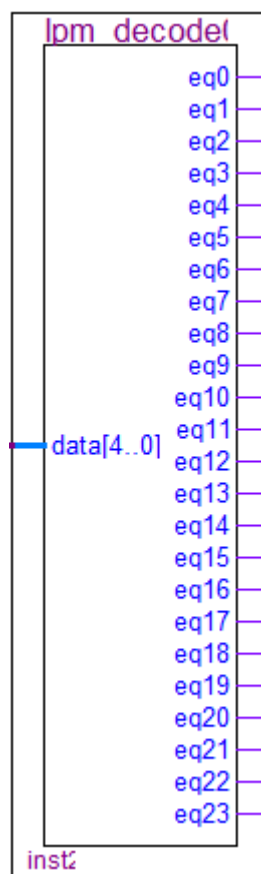


Рисунок 3.2 – Графическое обозначение используемого дешифратора

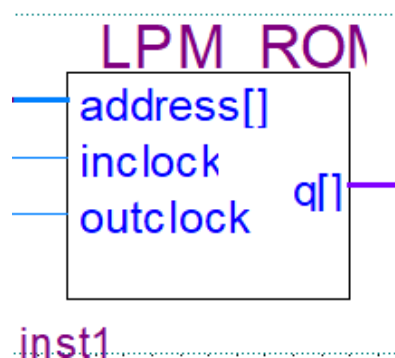


Рисунок 3.3 – Графическое обозначение ППЗУ

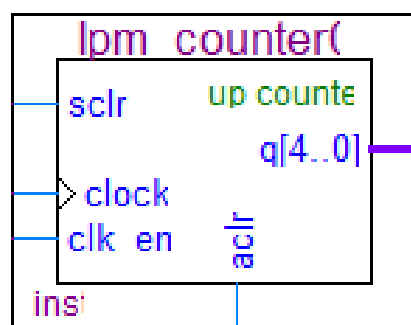


Рисунок 3.4 – Графическое обозначение счётчика

## 4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ УЗЛА

### 4.1 Синтез и моделирование узла на основе сочетания двоичного счетчика и программируемой памяти

Счетчик до 24 является необходимым блоком для реализации данного задания, что позволяет контролировать количество передаваемых тактов на каналы. Сброс осуществляется при достижении 24, и работа распределителя тактов зацикливается.

Для задания значений, хранящихся в ППЗУ, был создан файл *cnteprom.mif*, в каждую из 24 ячеек которого было записано бинарное слово длиной 10, соответствующее текущему состоянию активного канала. Содержимое файла представлено на Рисунке 4.1.

Addr	+0	+1	+2	+3	+4	+5	+6	+7	+8	+9	+10	+11	+12	+13	ASCII
0	0000000001	0000000010	00000000100	00000001000	0000010000	0000100000	0001000000	0010000000	0100000000	1000000000	0100000000	0010000000	0001000000	0000100000	.....@...@
14	0000010000	0000001000	00000000100	0000000010	0000000001	0000000010	0000000100	0000001000	00000000100	0000000010					.....

Рисунок 4.1 – Файл *cnteprom.mif* с импульсами на заданных тактах

Спроектированная схема в САПР Quartus II содержит следующие входы: Start – ноль активный сигнал, который запускает работу счетчика с нуля; Clock – тактовый сигнал со скважность 4, подаваемый с генератора; Stop – ноль активный сигнал, который останавливает работу счетчика с помощью запрета входа тактируемого сигнала; Reset – единично активный сигнал (будет переделан на ноль активный в схеме сопряжения узла с интерфейсом), который выполняет функцию асинхронного сброса счётчика, что запускает его с нуля. Общая схема реверсивного распределителя тактовых сигналов с переменным числом каналов приведена на Рисунке 4.2.

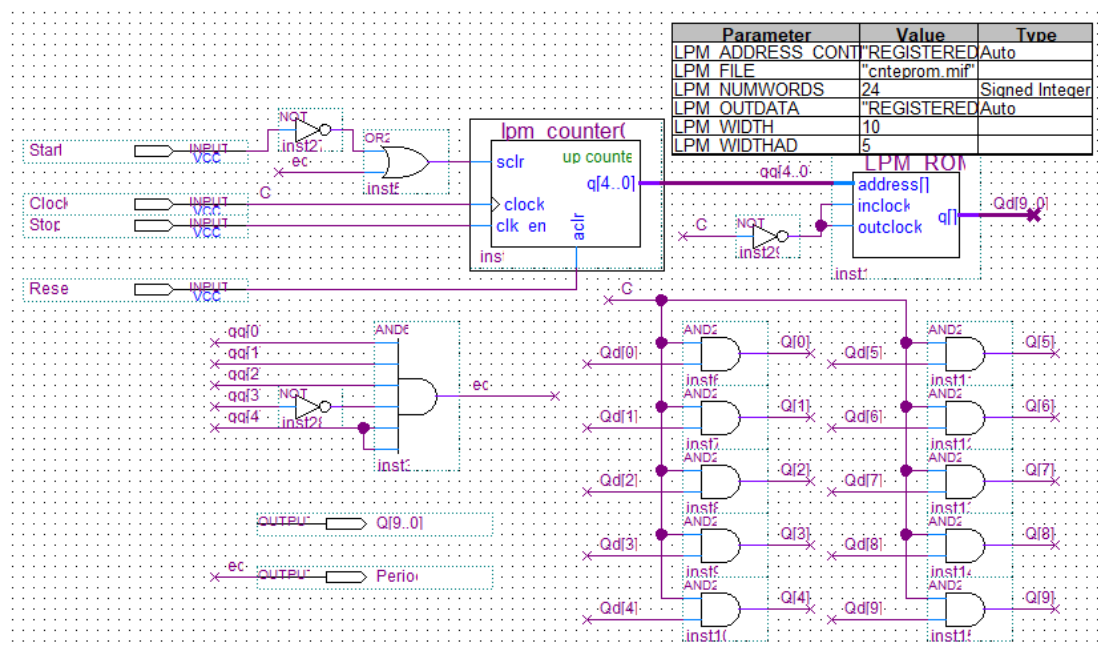


Рисунок 4.2 – Реверсивный распределитель тактовых сигналов с переменным числом каналов на основе сочетания двоичного счетчика и ПП

После синтеза схемы, проект был скомпилирован для поиска возможных ошибок и неточностей с целью их последующего устранения. Всего понадобилось 19 логических элементов и 240 битов памяти. Результат компиляции представлен на Рисунке 4.3.

Flow Summary	
Flow Status	Successful - Mon May 26 09:53:47 2025
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	cnteprom
Top-level Entity Name	cnteprom
Family	Cyclone II
Device	EP2C5Q208C8
Timing Models	Final
Total logic elements	19 / 4,608 ( < 1 % )
Total combinational functions	19 / 4,608 ( < 1 % )
Dedicated logic registers	5 / 4,608 ( < 1 % )
Total registers	5
Total pins	15 / 142 ( 11 % )
Total virtual pins	0
Total memory bits	240 / 119,808 ( < 1 % )
Embedded Multiplier 9-bit elements	0 / 26 ( 0 % )
Total PLLs	0 / 2 ( 0 % )

Рисунок 4.3 – Результат компиляции проекта данного варианта реализации

После успешной сборки проекта, было выполнено функциональное моделирование работы устройства при разных режимах работы схемы. Соответствующие результаты приведены на Рисунке 4.4 и Рисунке 4.5.

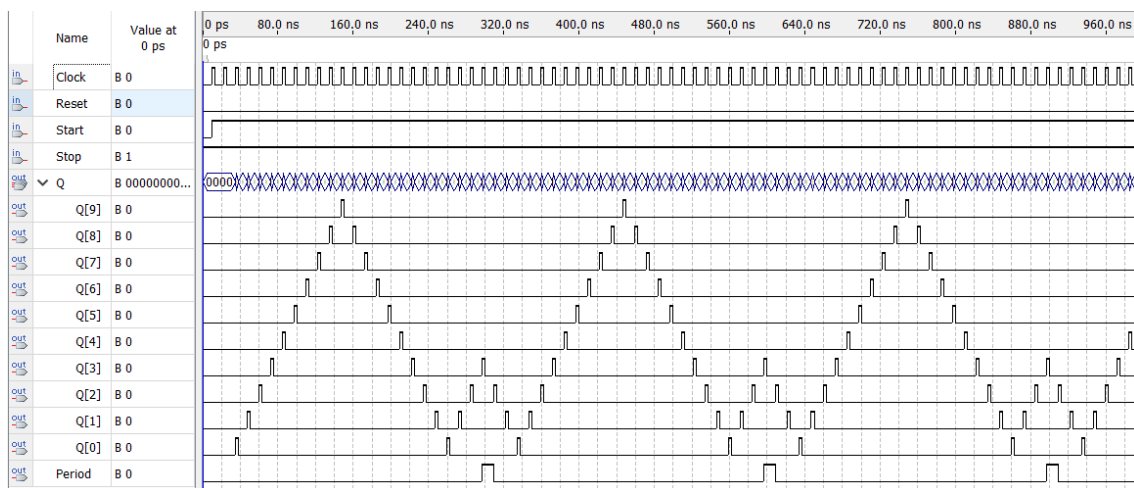


Рисунок 4.4 – Результат функционального моделирования

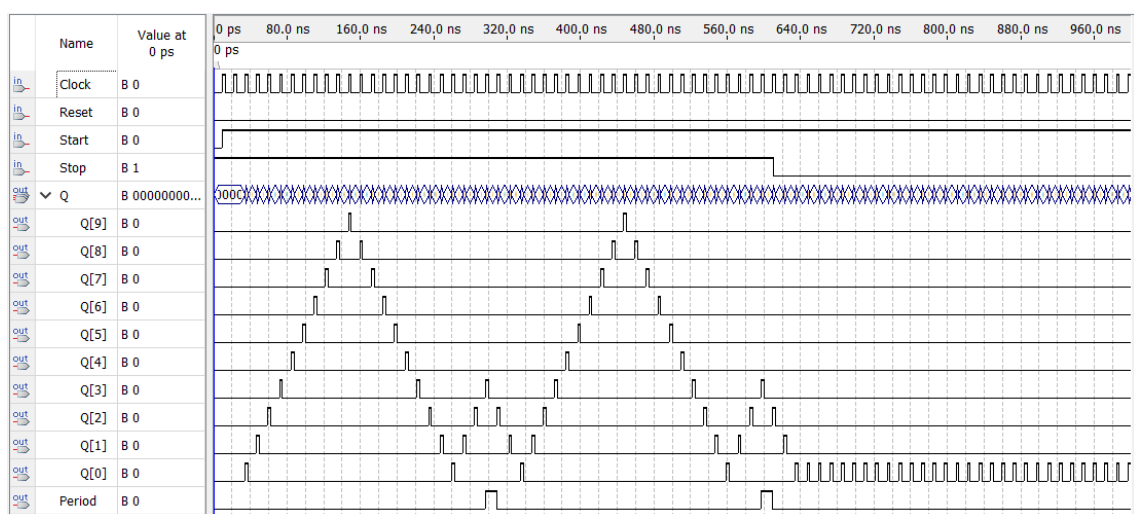


Рисунок 4.5 – Результат функционального моделирования с остановкой

По полученным временным диаграммам можно сказать, что схема работает корректно. Сигнал Start запускает работу счетчика. На заданных выходах последовательно формируются такты в реверсивной последовательности. Однако в данном методе есть задержка в два такта после начала работы схемы, а также после остановки, что связано с особенностью работы ППЗУ, который выгружает данные из памяти на следующий такт.

## 4.2 Синтез и моделирование узла на основе двоичного счётчика с дешифратором и сборками по ИЛИ

Спроектированная схема реверсивного распределителя тактовых сигналов с переменным числом каналов для данной реализации приведена на Рисунке 4.6. Инверсия тактового сигнала использована для синхронизации входов и выходов узла при временном моделировании. Использование дешифратора позволяет убрать задержку на выходе цепи за счет мгновенного доступа к текущим данным счетчика.

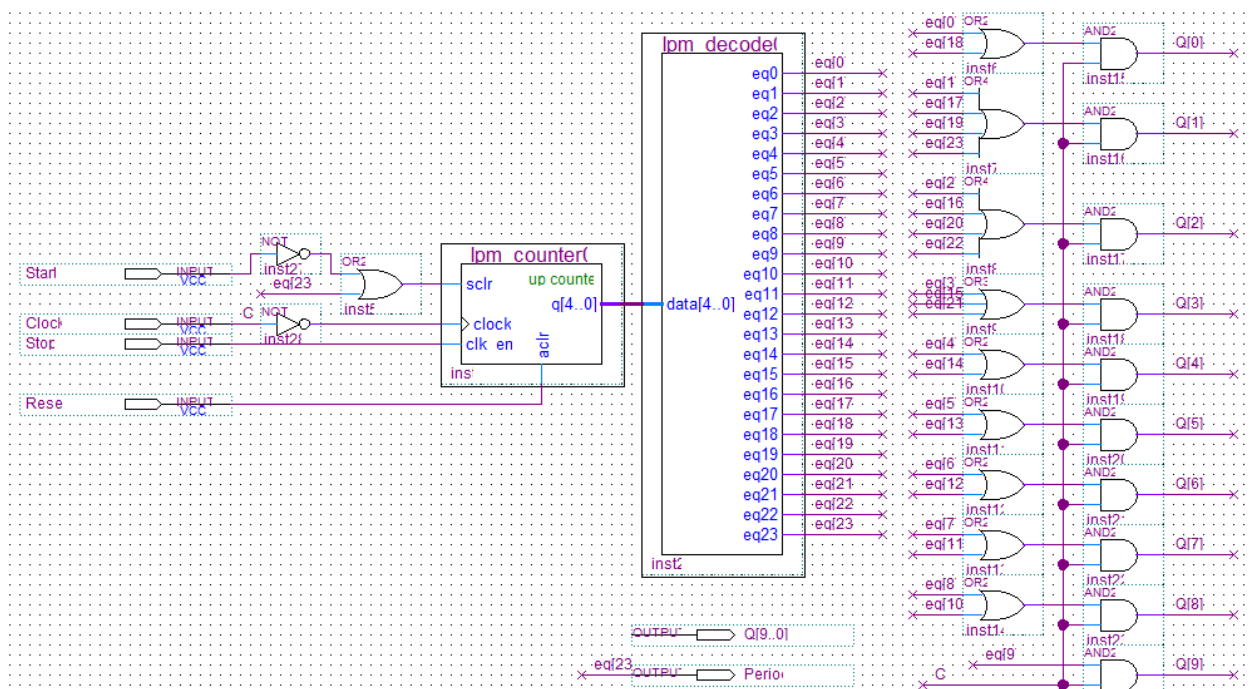


Рисунок 4.6 – Реверсивный распределитель тактовых сигналов с переменным числом каналов на основе сочетания двоичного счетчика с дешифратором и сборками по ИЛИ

После синтеза схемы, проект был скомпилирован для поиска возможных ошибок и неточностей с целью их последующего устранения. Всего понадобилось 27 логических элементов. Результат компиляции представлен на Рисунке 4.7.

Flow Summary	
Flow Status	Successful - Mon May 26 10:00:28 2025
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	decoder
Top-level Entity Name	decoder
Family	Cyclone II
Device	EP2C5Q208C8
Timing Models	Final
Total logic elements	27 / 4,608 ( < 1 % )
Total combinational functions	27 / 4,608 ( < 1 % )
Dedicated logic registers	5 / 4,608 ( < 1 % )
Total registers	5
Total pins	15 / 142 ( 11 % )
Total virtual pins	0
Total memory bits	0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 26 ( 0 % )
Total PLLs	0 / 2 ( 0 % )

Рисунок 4.7 – Результат компиляции проекта на основе мультиплексора

После успешной сборки проекта, было выполнено функциональное моделирование при разных режимах работы схемы. Соответствующие результаты приведены на Рисунке 4.8 и Рисунке 4.9.

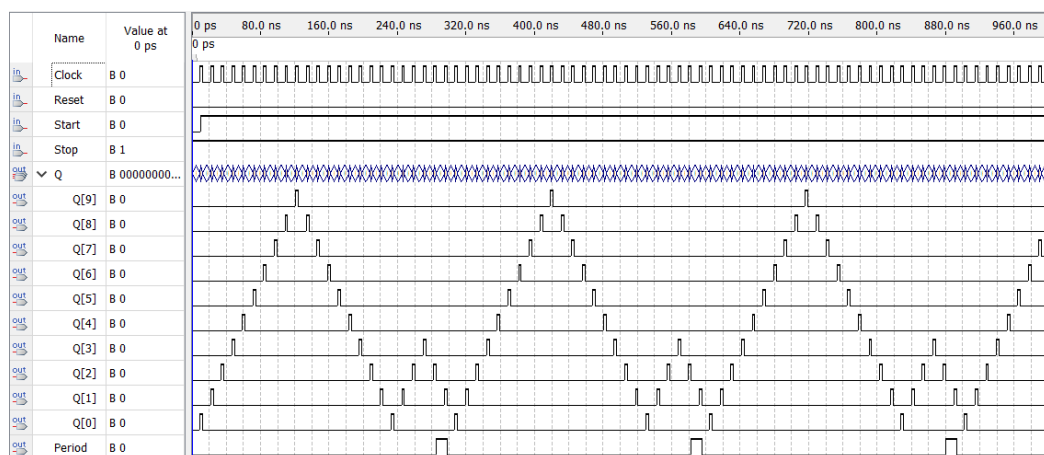


Рисунок 4.8 – Результат функционального моделирования

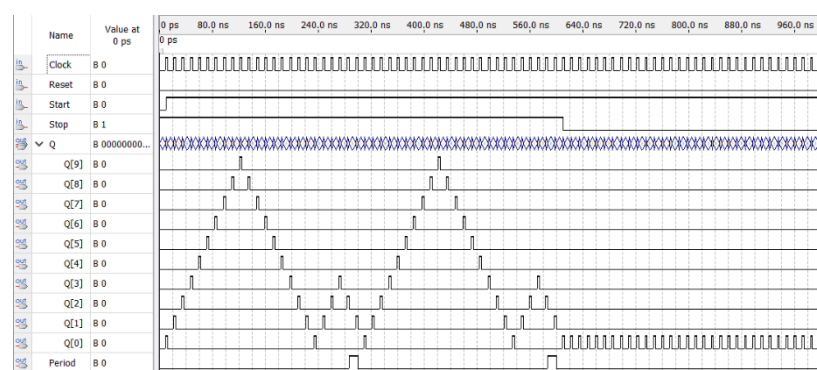


Рисунок 4.9 – Результат функционального моделирования

По полученным временным диаграммам можно сказать, что схема работает корректно. Существенных различий между двумя вариантами на этапе функционального моделирования практически не выявлено. Единственный недостаток схемы на ППЗУ, задержка выхода после старт/стоп сигнала.

### 4.3 Выбор лучшего варианта исполнения узла

Для каждого варианта реализации были собраны основные параметры их схем и способы получения итогового результата. Критерием выбора служит минимум аппаратных затрат. Данные представлены в Таблице 4.1.

Таблица 4.1

	Параметры схемы	Вариант реализации	
		Счетчик + ПП	Счетчик+Дешифратор+ИЛИ
1	Общее количество логических элем.	$19 (\frac{19}{4608} = 0.412\%)$	$27 (\frac{27}{4608} = 0.586\%)$
2	Количество битов памяти	$240 (\frac{240}{119808} = 0.2\%)$	0 (0 %)
3	Аппаратная эффективность	$\frac{0.412 + 0.2}{2} = 0.306$	$\frac{0.586 + 0}{2} = 0.293$
4	Задержка	2 такта	0

По полученным данным из результатов компиляции проекта можно сделать вывод о том, что несмотря на большее общее количество логических элементов, аппаратная эффективность второй реализации с точки зрения использованных ресурсов микросхемы выше. Помимо того, схема на счетчике и ПП имеет задержки в 2 такта, что негативно сказывается в правильности логики схемы, так как после остановки схема посылает еще 2 сигнала на каналы.



## 5. РАЗРАБОТКА ГЕНЕРАТОРА ТАКТОВЫХ ИМПУЛЬСОВ

### 5.1 Выбор варианта реализации генератора

Генератор будет выполнен на основе RC-цепочки с использованием транзисторно-транзисторной логики (ТТЛ). Для стандартных ТТЛ-элементов, ввиду значительных входных токов, сопротивление резисторов должно быть небольшим.

ГТИ будет выполнен по схеме, представленной на Рисунке 5.1, чтобы получить сигнал необходимой скважности. Инверторы выполняют роль формирователей, улучшающих выходную форму колебания, приближая ее к прямоугольной. Длительности импульса и паузы равны соответственно:

$$t_{и} = 0.8R_1C_1$$

$$t_{п} = 0.8R_2C_2$$

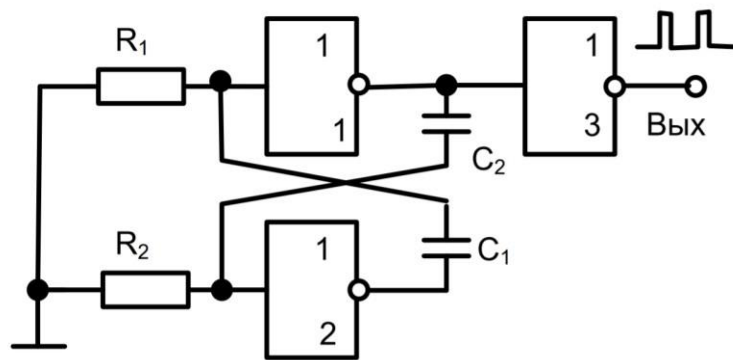


Рисунок 5.1 – Схема генератора тактовых импульсов

### 5.2 Инженерный расчет элементов генератора для получения необходимой частоты

Временное моделирование позволило установить, что максимальная частота, при которой узел работает корректно равна:

$$f_0 = \frac{1}{T} = \frac{1}{12.5 \cdot 10^{-9}} = 80 \text{ МГц}$$

Для вычисления необходимых значений резисторов и конденсаторов для скважности 4 составлены следующие отношения:

$$t_{\text{и}} = 0.8R_1C_1 = \frac{1}{4} \cdot 12.5$$

$$R_1C_1 = 3.90625$$

$$t_{\text{п}} = 0.8R_2C_2 = \frac{3}{4} \cdot 12.5$$

$$R_2C_2 = 11.71875$$

Значения для резисторов  $R$  и конденсатора  $C$  будут взяты из ряда E24 номиналов. В Таблице 5.1 приведен сравнительный анализ допустимых значений  $R$  и  $C$ . Дополнительно рассчитано абсолютное отклонение.

Таблица 5.1

№	$R_1$ , Ом	$C_1$ , мкФ	$t_{\text{и}}$ , нс	$R_2$ , Ом	$C_2$ , мкФ	$t_{\text{п}}$ , нс	$T$ , нс
1	200	20	3,2	200	56	8,96	11,52
2	220	18	3,168	220	51	8,976	12,14
3	240	16	3,072	240	47	9,024	12,10
4	270	15	3,24	270	43	9,288	12,53
5	300	13	3,12	300	39	9,36	12,48
6	330	12	3,168	330	36	9,504	12,67
7	360	11	3,168	360	33	9,504	12,67

По расчету можно сказать, что наилучший вариант значений резисторов и конденсаторов для реализации данного генератора с получением необходимого периода сигнала является 5. Он имеет самое близкое значение к теоретическому периоду. Для итоговой схемы генератора будет использована пара  $R_1 = R_2 = 300$  (Ом),  $C_1 = 13$  (мкФ) и  $C_2 = 39$  (мкФ).

## 6. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ

### 6.1 Синтез полной схемы реверсивного распределителя тактовых сигналов с переменным числом каналов

Разрабатываемое устройство взаимодействует с процессорной системой с помощью стандартной шины Microbus. Для работы схемы используются следующие сигналы:  $\overline{IOR}$  – считывание данных с вычислительного узла;  $\overline{IOW}$  – запись данных в ВУ, Clock – тактируемый сигнал генератора, Reset – сигнал сброса. Также используется 8 разрядная шина адреса для подачи адреса области АП, и 8 разрядная шина данных для определения команд запуска и остановки работы устройства. Работа схемы осуществляется при адресе 0x85 (1000 0101).

Разработанная схема интерфейса в САПР Quartus II приведена на Рисунке 6.1. Селектор адреса реализован через элемент NOR8.

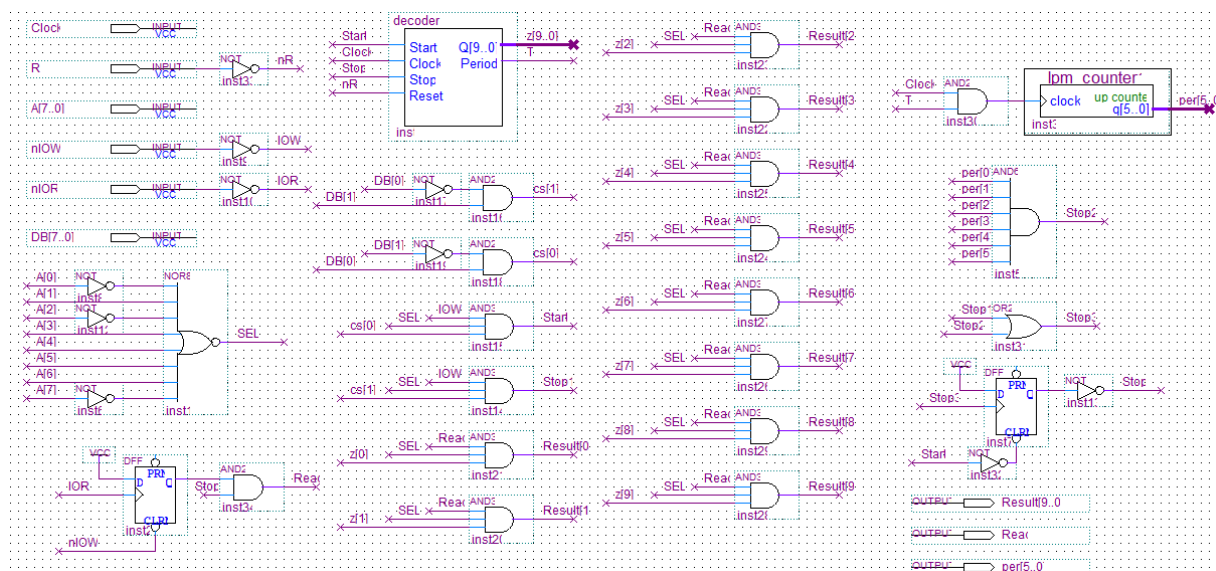


Рисунок 6.1 – Схема интерфейса сопряжения с процессорной системой и узла

После успешной сборки проекта, было выполнено функциональное (Рисунок 6.2 и Рисунок 6.3) моделирование.

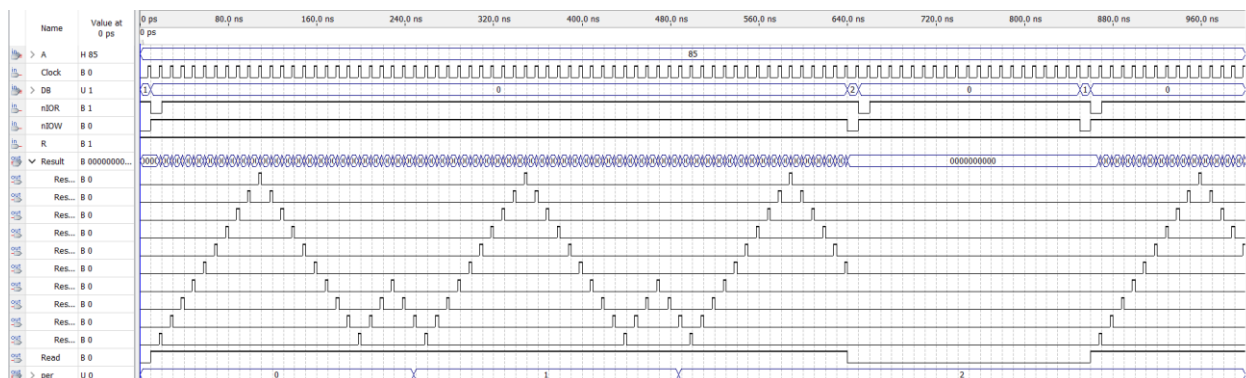


Рисунок 6.2 – Результат функционального моделирования

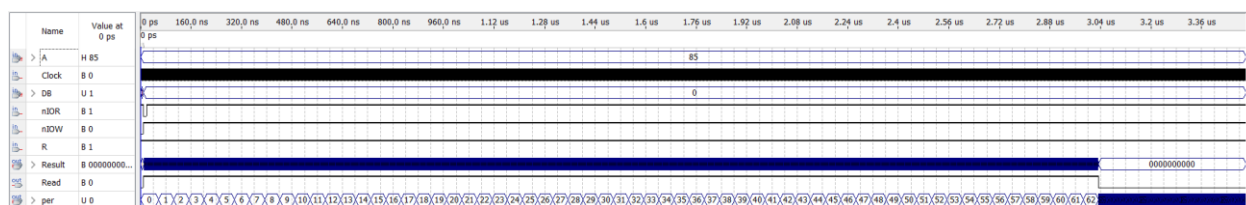


Рисунок 6.3 – Результат функционального моделирования с ограничением по числу периодов работы

Анализ временной диаграммы позволяет оценить корректность функционирования разработанного интерфейса. Происходит запуск системы путем подачи сообщения с шины данных и при активном нуль-сигнале IOW. Затем активируется режим чтения с ВУ и происходит вывод сигналов на каналы. Формирователь работает вплоть до ручной остановки схемы или до максимального лимита числа периодов – 64. Сигнал старт позволяет запустить схему заново.

## **ЗАКЛЮЧЕНИЕ**

В ходе выполнения курсового проекта был приобретён практический опыт разработки цифрового узла для формирования импульсных последовательностей с использованием САПР Quartus II. Были реализованы два варианта устройства: первый – на базе двоичного счётчика и программируемой памяти, второй – с применением счётчика, дешифратора и логической схемы на элементах ИЛИ. Проведён сравнительный анализ этих решений по параметрам сложности реализации и качеству формируемых сигналов.

Также был разработан генератор тактовых импульсов с выполнением необходимых инженерных расчётов для обеспечения заданной частоты. Создан интерфейс для подключения узла к процессорной системе и реализована логика управления режимами работы. Выполнены этапы синтеза, компиляции и тестирования устройства, подготовлены функциональная и принципиальная электрическая схемы, перечень элементов и пояснительная записка.

Таким образом, поставленные задачи по проектированию, реализации и анализу цифрового узла были успешно выполнены, что способствовало укреплению навыков разработки и отладки цифровых схем.

## СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Проектирование цифровых узлов: Методические указания к курсовому проектированию / сост.: Р.И. Грушвицкий, Е.П. Угрюмов. СПб.: Изд-во СПбГЭТУ «ЛЭТИ», 2011. 00 с.
2. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие для вузов. – БХВ-Петербург, 1-е изд. 2000 г., 2-е изд. 2006 г., 3-е изд. 2010 г. – 797 с.
3. Перечень доступных микросхем // ЧИП и ДИП – интернет-магазин приборов и электронных компонентов. URL: <https://www.chipdip.ru/catalog/ic-chip> (дата обращения 25.05.2025).
4. Ряд E24 номиналов конденсаторов // RadioLibrary – справочник радиолюбителя. URL: <https://www.radiolibrary.ru/reference/capacitorseries/e24.html> (дата обращения 24.05.2025).
5. Ряд E24 номиналов резисторов // RadioLibrary – справочник радиолюбителя. URL: <https://www.radiolibrary.ru/reference/resistorseries/e24.html> (дата обращения 24.05.2025).
6. ГОСТ 2.743-91. Единая система конструкторской документации. Обозначения условные графические в электрических схемах. – М.: ИПК Издательство стандартов, 1992.