

**МИНОБРНАУКИ РОССИИ**  
**САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ**  
**ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ**  
**«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)**  
**Кафедра САПР**

**КУРСОВАЯ РАБОТА**  
**по дисциплине «Элементная база цифровых систем»**  
**Тема: Проектирование цифровых узлов**

Студент гр. 2305

\_\_\_\_\_

Преподаватель

\_\_\_\_\_

Буренёва О.И.

Санкт-Петербург

2025

## ЗАДАНИЕ НА КУРСОВУЮ РАБОТУ

Студент

Группа 2305

Тема работы: «Проектирование цифровых узлов»

Исходные данные:

Период выходной последовательности, номера импульсов на выходе формирователя, начальный адрес 40h, скважность 8.

Содержание пояснительной записки:

«Содержание», «Введение», «Задание на проектирование узла», «Описание предлагаемых вариантов реализации узла», «Описание основных элементов библиотеки САПР Quartus II, необходимых для реализации узла», «Описание процесса синтеза и моделирования работы узла средствами САПР Quartus II», «Разработка генератора тактовых импульсов», «Разработка интерфейса сопряжения схемы узла с процессорной системой», «Заключение», «Список использованных источников».

Предполагаемый объем пояснительной записки:

Не менее 26 страниц.

Дата выдачи задания: \_\_.\_\_.\_\_\_\_

Дата сдачи реферата: \_\_.\_\_.\_\_\_\_

Дата защиты реферата: \_\_.\_\_.\_\_\_\_

Студент

\_\_\_\_\_

Преподаватель

\_\_\_\_\_

Буренёва О.И.

## **АННОТАЦИЯ**

Курсовая работа посвящена разработке формирователя импульсной последовательности с линейно изменяющимися интервалами между импульсами. Реализация узла будет выполнена на программируемой логической интегральной схеме (ПЛИС) с использованием средств автоматизированного проектирования (САПР) Quartus II. В работе исследуются два варианта реализации схемы: первый – на основе сочетания счетчика и дешифратора, второй – счетчик и мультиплексор. Рассмотрены основные компоненты библиотеки Quartus II, используемые при проектировании узла, а также этапы синтеза, моделирования и сравнительного анализа предложенных схем. В проекте также разрабатывается генератор тактовых импульсов и интерфейс для сопряжения узла с процессорной системой. Курсовая работа включает функциональную, принципиальную электрическую схему узла, перечень элементов и пояснительную записку.

## **SUMMARY**

The coursework is dedicated to the development of a pulse sequence generator with linearly varying intervals between pulses. The implementation of the unit will be carried out on a Field-Programmable Gate Array (FPGA) using the Quartus II Computer-Aided Design (CAD) tools. The work explores two variants of the circuit implementation: the first is based on a combination of a counter and a decoder, and the second uses a counter and a multiplexer. The main components of the Quartus II library used in the design of the unit are examined, as well as the stages of synthesis, simulation, and comparative analysis of the proposed schemes. The project also includes the development of a clock pulse generator and an interface for connecting the unit to a processor system. The coursework includes the functional and schematic electrical diagrams of the unit, a bill of materials, and an explanatory report.

## СОДЕРЖАНИЕ

ВВЕДЕНИЕ .....	5
1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА .....	6
1.1 Формирователь импульсной последовательности с линейно-изменяющимися интервалами между импульсами .....	6
2. ОПИСАНИЕ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА .....	7
2.1 Схема на основе счетчика, дешифратора и сборки по ИЛИ .....	7
2.2 Схема на основе двоичного счётчика и мультиплексора .....	7
3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ УЗЛА.....	9
3.1 Логические примитивы .....	9
3.2 Мегафункции .....	9
4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ УЗЛА.....	11
4.1 Синтез и моделирование узла на основе сочетания двоичного счетчика и дешифратора .....	11
4.2 Синтез и моделирование узла на основе двоичного счётчика и мультиплексора .....	13
4.3 Выбор лучшего варианта исполнения узла .....	15
5. РАЗРАБОТКА ГЕНЕРАТОРА ТАКТОВЫХ ИМПУЛЬСОВ.....	16
5.1 Выбор варианта реализации генератора .....	16
5.2 Инженерный расчет элементов генератора для получения необходимой частоты .....	16
6. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ.....	18
6.1 Синтез полной схемы реверсивного распределителя тактовых сигналов с переменным числом каналов .....	18
ЗАКЛЮЧЕНИЕ .....	21
СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ .....	22

## **ВВЕДЕНИЕ**

Цель работы: приобрести знания о разнообразии возможностей современной цифровой техники при проектировании специализированных устройств, научиться эффективно применять современную элементную базу, освоить многовариантные подходы к синтезу цифровых узлов и устройств и выбор наилучшего варианта по заданным критериям качества; получить навыки в описании принципов функционирования разрабатываемых устройств и оформлении технической документации.

Задачи:

- Разработать функциональную схему проектируемого узла в нескольких вариантах;
- Разработать функциональную схемы интерфейса узла с ведущей микро процессорной системой;
- Ввод принципиальной электрической схемы узла с интерфейсным блоком для реализации в ПЛИС с помощью САПР;
- Компиляция полученного проекта;
- Тестирование разработанного узла в рамках САПР;
- Выбор наилучшего варианта узла с учетом заданного критерия качества;
- Разработка принципиальной электрической схемы типового элемента замены (ТЭЗа), содержащего спроектированный узел и вспомогательные схемы.

## 1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА

### 1.1 Формирователь импульсной последовательности с линейно-изменяющимися интервалами между импульсами

Вариант 2.2:

Разработать узел, формирующий заданную последовательность импульсов. Входные сигналы частоты  $f = 1/T$  поступают от генератора ГТИ (генератор разрабатывается). Выходная последовательность периодична с периодом  $T_p$ . Узел рассматривается как внешнее устройство процессорной системы. Сигналы пуска и останова поступают из управляющего устройства (процессора), количество периодов работы от пуска до останова фиксируется счетчиком (их максимальное число 100).

Подробности приведены в Таблице 1.

Таблица 1 – вариант задания

$T_p$	Номера импульсов, проходящих на выходы распределителя	Начальный адрес	$\theta$
30	0, 1, 3, 6, 10, 15, 20, 24, 27, 29, 30	40h	8

## **2. ОПИСАНИЕ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА**

### **2.1 Схема на основе счетчика, дешифратора и сборки по ИЛИ**

В данном методе используется счетчик и дешифратор с 5 информационными входами и 11 выходами. Выходные сигналы собираются с помощью «ИЛИ», и далее результат идет на элемент «И» для получения импульса нужной длины.

С дешифратора дополнительно снято значение 30 для отсчета периода работы формирования импульсной последовательности. Этот сигнал подается на вход синхронного сброса счетчика. Кроме того, дополнительно реализована логика счета до 100 периодов работы, чтобы остановить схему автоматически.

УУ контролирует работу основного счётчика и отвечает за запуск и остановку работы вычислительного узла.

### **2.2 Схема на основе двоичного счётчика и мультиплексора**

Данный способ формирования выходной последовательности импульсов заключается в том, чтобы выходы счетчика подавать на адресные входы мультиплексора. Информационные входы мультиплексора заданы в соответствии с вариантом.

Отличие от прошлой схемы заключается в необходимости создания дополнительного логического блока для контроля длины периода.

Остальные детали реализации остаются прежними в сравнении с прошлым вариантом.

Блок-схема управления этим процессом и формирования результирующего сигнала приведена на Рисунке 2.1.

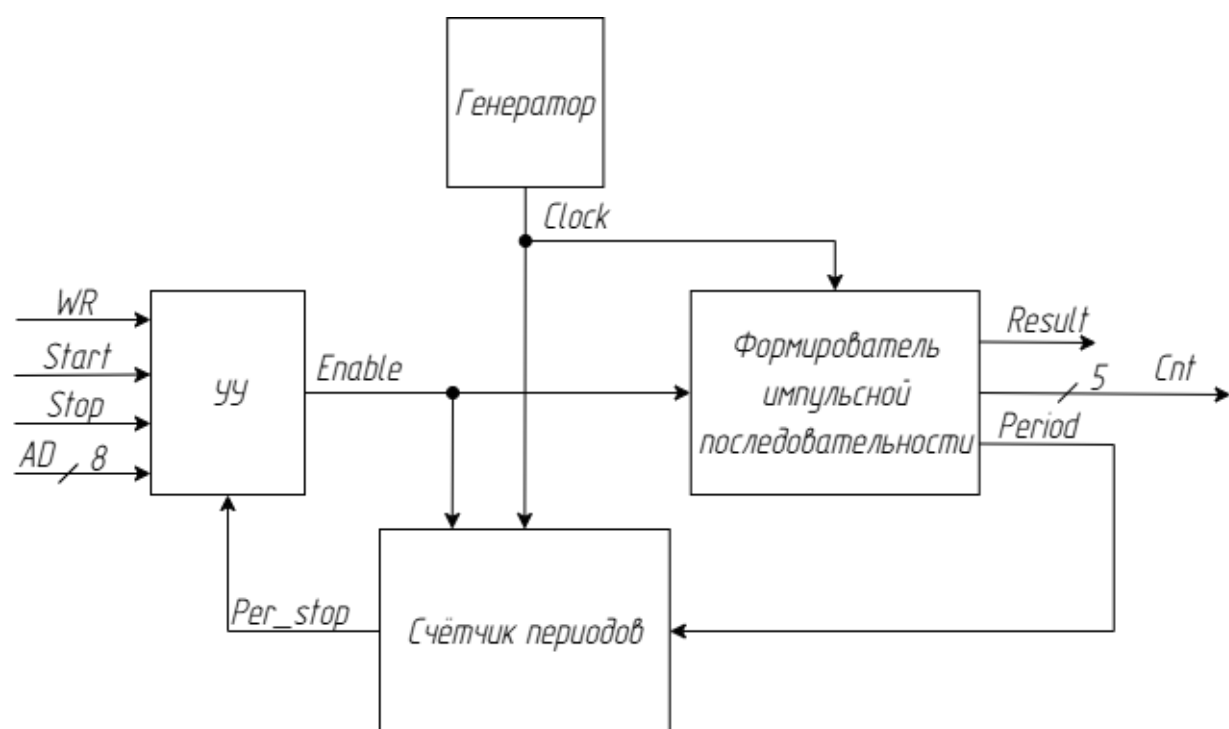


Рисунок 2.1 – Структурная схема (Э1) узла



### 3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ УЗЛА

#### 3.1 Логические примитивы

В данной работе были использованы следующие логические примитивы для возможности реализации схемы.

Элемент NOT служит для инверсии сигнала. Элемент OR12 применяется для сборки сигналов для дешифратора.

Элемент AND3 выполняет функцию разрешения вывода последовательности для получения необходимой скважности сигналов; AND6 контролирует работу счетчика путем отсчитывания необходимого количества тактов.

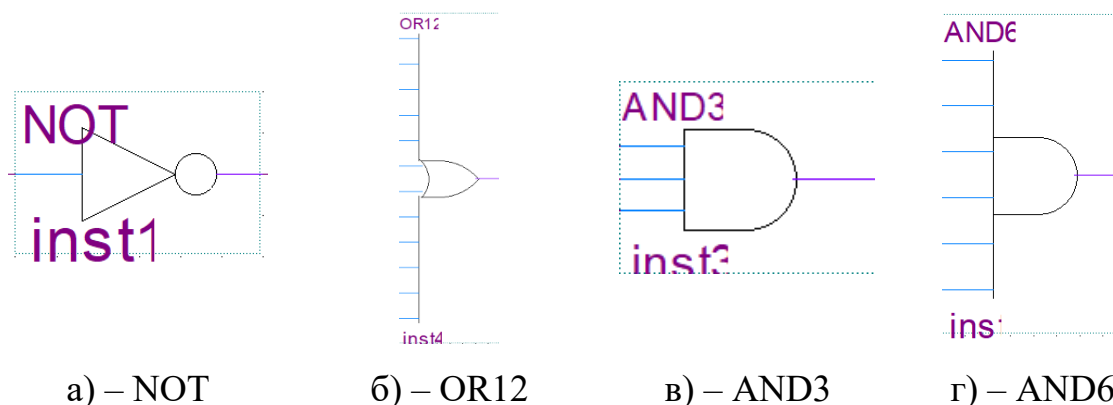


Рисунок 3.1 – Логические примитивы, использованные в процессе работы

#### 3.2 Мегафункции

В данной работе использован дешифратор с 5 информационными входами и 11 выходами. Графическое представление дешифратора приведено на Рисунке 3.2.

Для другой реализации был применен мультиплексор с 5 адресными входами и 31 информационными. Его графическое изображение представлено на Рисунке 3.3.

Контроль количества тактов осуществляется с помощью счётчика, оснащённого синхронным входом, синхронным и асинхронными сбросом и пятью выходами, что позволяет выполнять счёт вплоть до 32. Его графическое изображение представлено на Рисунке 3.4.

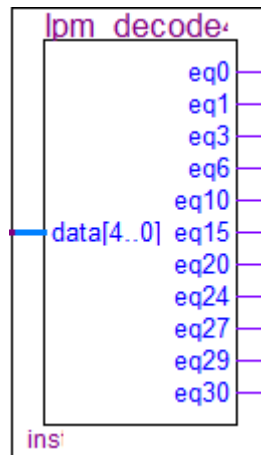


Рисунок 3.2 – Графическое обозначение используемого дешифратора

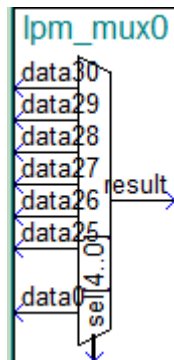


Рисунок 3.3 – Графическое обозначение мультиплексора

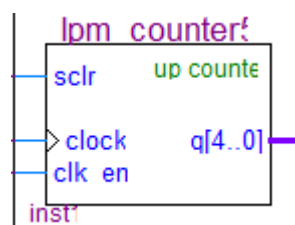


Рисунок 3.4 – Графическое обозначение счётчика

## 4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ УЗЛА

Необходимым блоком для итоговой реализации узла является счетчик на 100 периодов для автоматической остановки работы схемы. Использован счетчик на 7 выходов и дешифратор с 1 выходом, на вход схемы подаются тактовый сигнал, сигнал доступа и периода на элемент И для синхронизации входа. На Рисунке 4.1 приведена соответствующая схема.

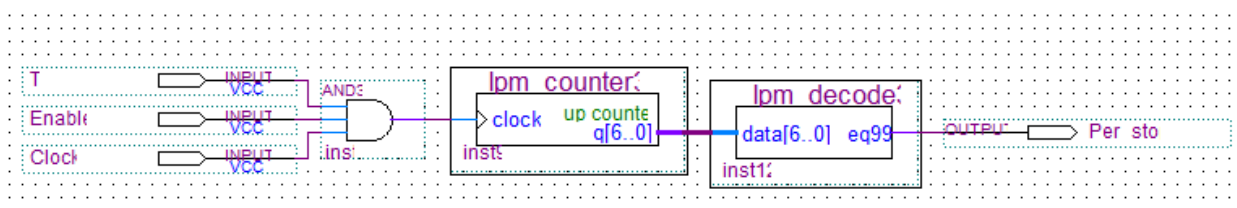


Рисунок 4.1 – Счетчик до 100 периодов

### 4.1 Синтез и моделирование узла на основе сочетания двоичного счетчика и дешифратора

Счетчик до 30 является необходимым блоком для реализации данного задания, что позволяет контролировать количество передаваемых тактов на каналы. Сброс осуществляется при достижении 30, и работа формирователя импульсной последовательности закидывается.

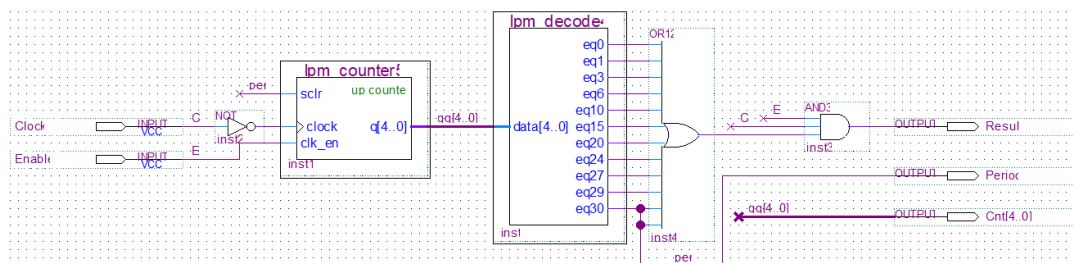


Рисунок 4.2 – Формирователь импульсной последовательности с линейно-изменяющимися интервалами между импульсами на основе дешифратора

После синтеза схемы, проект был скомпилирован для поиска возможных ошибок. Всего понадобилось 12 логических элементов. Результат компиляции представлен на Рисунке 4.3.

Flow Summary	
Flow Status	Successful - Mon May 26 17:43:24 2025
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	dc_scheme
Top-level Entity Name	dc_scheme
Family	Cyclone II
Device	EP2C5Q208C8
Timing Models	Final
Total logic elements	12 / 4,608 ( < 1 % )
Total combinational functions	12 / 4,608 ( < 1 % )
Dedicated logic registers	5 / 4,608 ( < 1 % )
Total registers	5
Total pins	9 / 142 ( 6 % )
Total virtual pins	0
Total memory bits	0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 26 ( 0 % )
Total PLLs	0 / 2 ( 0 % )

Рисунок 4.3 – Результат компиляции проекта данного варианта реализации

После успешной сборки проекта, было выполнено функциональное моделирование работы устройства при разных режимах работы схемы. Соответствующие результаты приведены на Рисунке 4.4 и Рисунке 4.5.

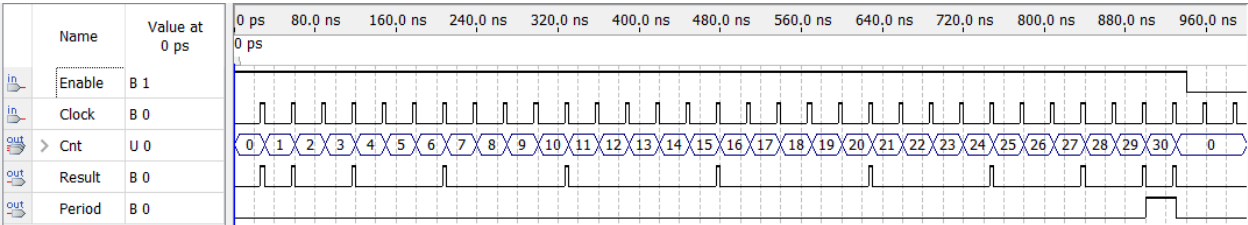


Рисунок 4.4 – Результат функционального моделирования

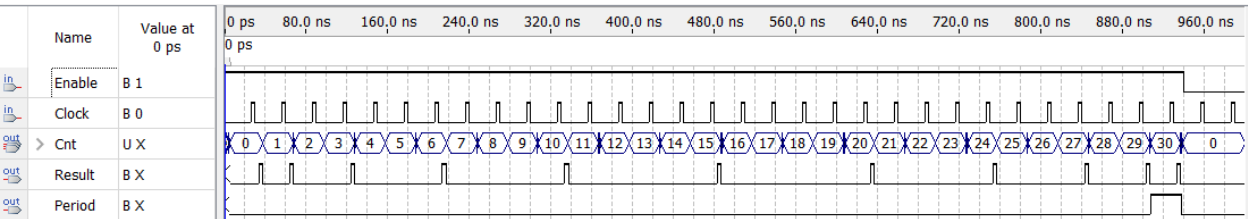


Рисунок 4.5 – Результат временного моделирования

По полученным временным диаграммам можно сказать, что схема работает корректно. Сигнал Enable разрешает работу счетчика, если сигнал

## 4.2 Синтез и моделирование узла на основе двоичного счётчика и мультиплексора

13

После синтеза схемы, проект был скомпилирован для поиска возможных ошибок и неточностей с целью их последующего устранения. Всего понадобилось 12 логических элементов. Результат компиляции представлен на Рисунке 4.7.

Flow Summary	
Flow Status	Successful - Mon May 26 17:40:50 2025
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	mux_scheme
Top-level Entity Name	mux_scheme
Family	Cyclone II
Device	EP2C5Q208C8
Timing Models	Final
Total logic elements	12 / 4,608 ( < 1 % )
Total combinational functions	12 / 4,608 ( < 1 % )
Dedicated logic registers	5 / 4,608 ( < 1 % )
Total registers	5
Total pins	9 / 142 ( 6 % )
Total virtual pins	0
Total memory bits	0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 26 ( 0 % )
Total PLLs	0 / 2 ( 0 % )

Рисунок 4.7 – Результат компиляции проекта на основе мультиплексора

После успешной сборки проекта, было выполнено функциональное моделирование при разных режимах работы схемы. Соответствующие результаты приведены на Рисунке 4.8 и Рисунке 4.9.

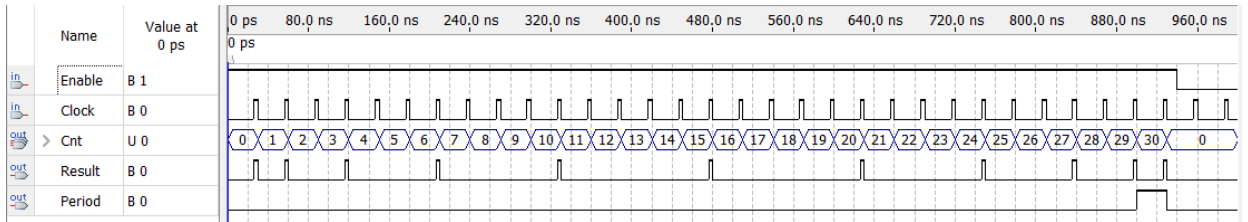


Рисунок 4.8 – Результат функционального моделирования

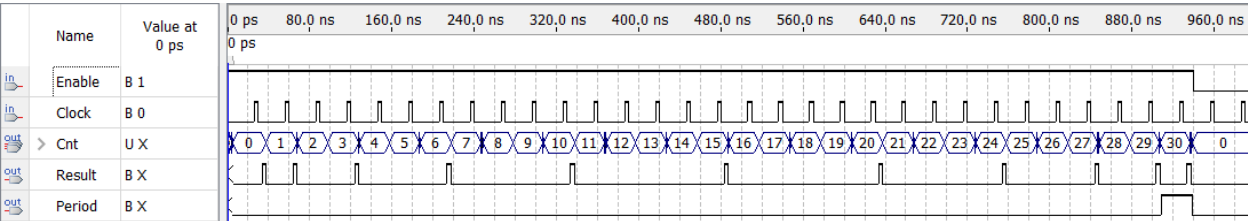


Рисунок 4.9 – Результат временного моделирования

По полученным временным диаграммам можно сказать, что схема работает корректно. Существенных различий между двумя вариантами на этапе функционального и временного моделирования не выявлено.

#### 4.3 Выбор лучшего варианта исполнения узла

Для каждого варианта реализации были собраны основные параметры их схем и способы получения итогового результата. Критерием выбора служит минимум аппаратных затрат. Данные представлены в Таблице 4.1.

Таблица 4.1

	Параметры схемы	Вариант реализации	
		Счетчик + дешифратор	Счетчик + мультиплексор
1	Аппаратные затраты (кол-во логических элементов)	12	12
2	Задержка (нс)	5.9	6.12
3	Простота реализации	Возможность выбора нужных выходов дешифратора	Необходимость ручной настройки всех входов мультиплексора

По полученным данным из результатов компиляции проекта можно сделать вывод о том, что нет существенной разницы между двумя данными вариантами – оба используют по 12 логических элементов. Однако схема на дешифраторе имеет меньшую задержку выхода сигнала на временной диаграмме и помимо того легче реализовывается, поэтому она будет выбрана для итоговой разработки вычислительного узла.

## 5. РАЗРАБОТКА ГЕНЕРАТОРА ТАКТОВЫХ ИМПУЛЬСОВ

### 5.1 Выбор варианта реализации генератора

Генератор будет выполнен на основе RC-цепочки с использованием транзисторно-транзисторной логики (ТТЛ). Для стандартных ТТЛ-элементов, ввиду значительных входных токов, сопротивление резисторов должно быть небольшим. Будут рассмотрены значения в пределах 200-360 Ом.

ГТИ будет выполнен по схеме, представленной на Рисунке 5.1, чтобы получить сигнал необходимой скважности. Инверторы выполняют роль формирователей, улучшающих выходную форму колебания, приближая ее к прямоугольной. Длительности импульса и паузы равны соответственно:

$$t_{\text{и}} = 0.8R_1C_1$$

$$t_{\text{п}} = 0.8R_2C_2$$

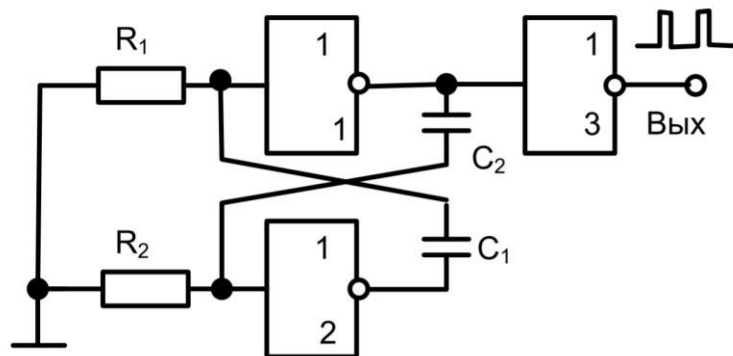


Рисунок 5.1 – Схема генератора тактовых импульсов

### 5.2 Инженерный расчет элементов генератора для получения необходимой частоты

Временное моделирование позволило установить, что максимальная частота, при которой узел работает корректно равна:

$$f_0 = \frac{1}{T} = \frac{1}{30 \cdot 10^{-9}} = 33.33 \text{ МГц}$$



Для вычисления необходимых значений резисторов и конденсаторов для скважности 8 составлены следующие отношения:

$$t_{и} = 0.8R_1C_1 = \frac{1}{8} \cdot 30 \qquad t_{п} = 0.8R_2C_2 = \frac{7}{8} \cdot 30$$

Значения для резисторов  $R$  и конденсатора  $C$  будут взяты из ряда E24 номиналов. В Таблице 5.1 приведен сравнительный анализ допустимых значений  $R$  и  $C$ .

Таблица 5.1

№	$R_1$ , Ом	$C_1$ , пФ	$t_{и}$ , нс	$R_2$ , Ом	$C_2$ , пФ	$t_{п}$ , нс	$T$ , нс
1	200	24	3,84	200	160	25,6	29,44
2	220	22	3,872	220	150	26,4	30,27
3	240	20	3,84	240	130	24,96	28,80
4	270	18	3,888	270	120	25,92	29,81
5	300	16	3,84	300	110	26,4	30,24
6	330	15	3,96	330	100	26,4	30,36
7	360	13	3,744	360	91	26,208	29,95

По расчету можно сказать, что наилучший вариант значений резисторов и конденсаторов для реализации данного генератора с получением необходимой скважности сигнала является 7. Он имеет самое близкое значение к теоретическому периоду. Для итоговой схемы генератора будет использована пара  $R_1 = R_2 = 360$  (Ом),  $C_1 = 13$  (пФ) и  $C_2 = 91$  (пФ).

## 6. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ

### 6.1 Синтез полной схемы реверсивного распределителя тактовых сигналов с переменным числом каналов

Разрабатываемое устройство взаимодействует с процессорной системой с помощью стандартной шины Microbus. Для работы схемы используются следующие сигналы:  $\overline{IOR}$  – считывание данных с вычислительного узла;  $\overline{IOW}$  – запись данных в ВУ, Clock – тактируемый сигнал генератора. Сигналы начала работы и остановки Start/stop. Также используется 8 разрядная шина адреса для подачи адреса области АП. Работа схемы осуществляется при адресе 0x40 (0100 0000).

Разработанная схема интерфейса в САПР Quartus II приведена на Рисунке 6.1. Селектор адреса реализован через элемент NOR8.

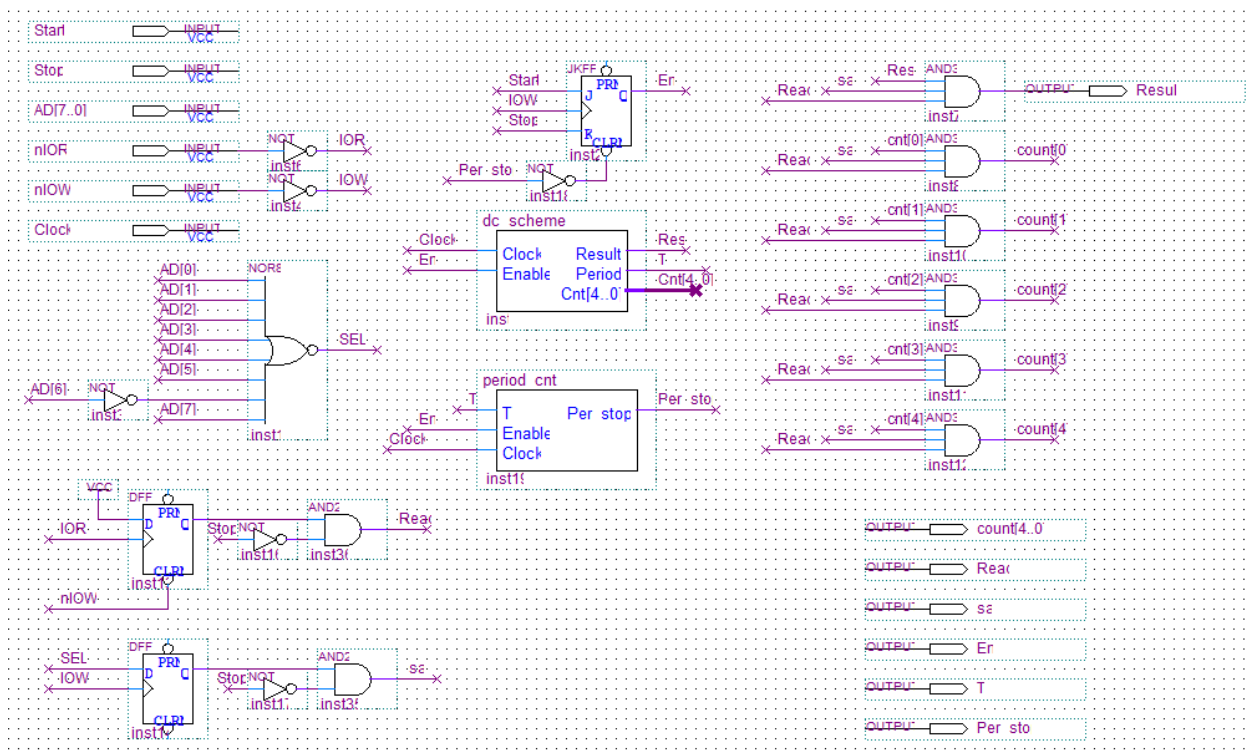


Рисунок 6.1 – Схема интерфейса сопряжения с процессорной системой и узла

После успешной сборки проекта, было выполнено функциональное (Рисунок 6.2 и Рисунок 6.3) моделирование.

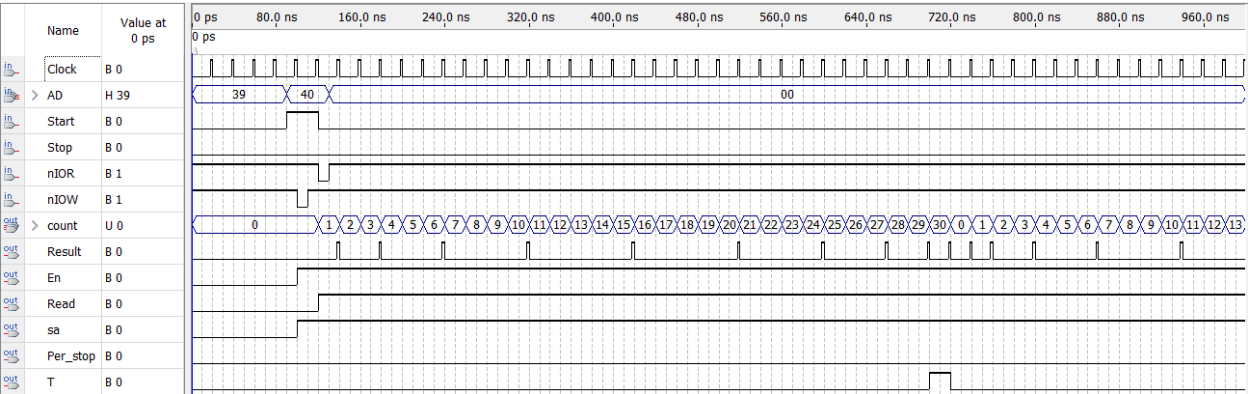


Рисунок 6.2 – Результат функционального моделирования

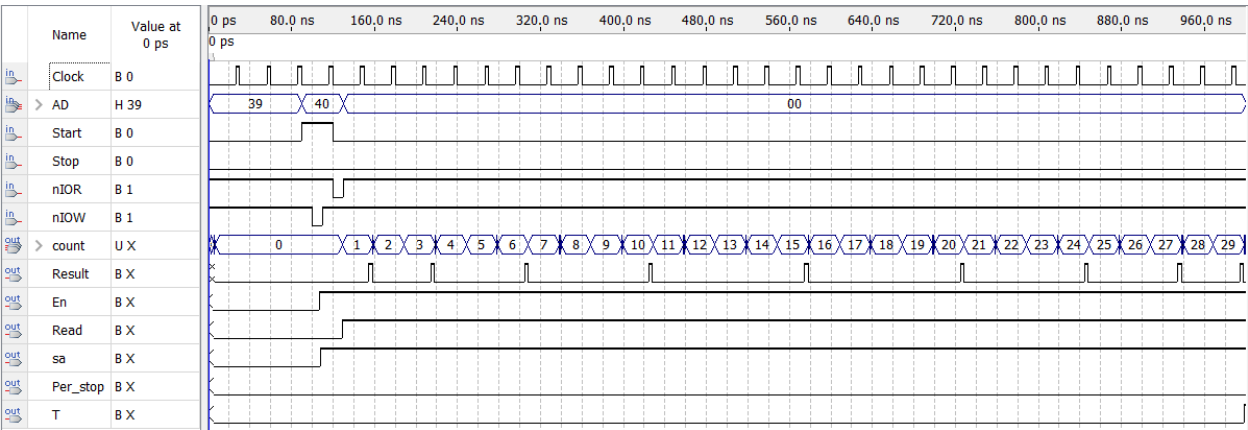


Рисунок 6.3 – Результат временного моделирования

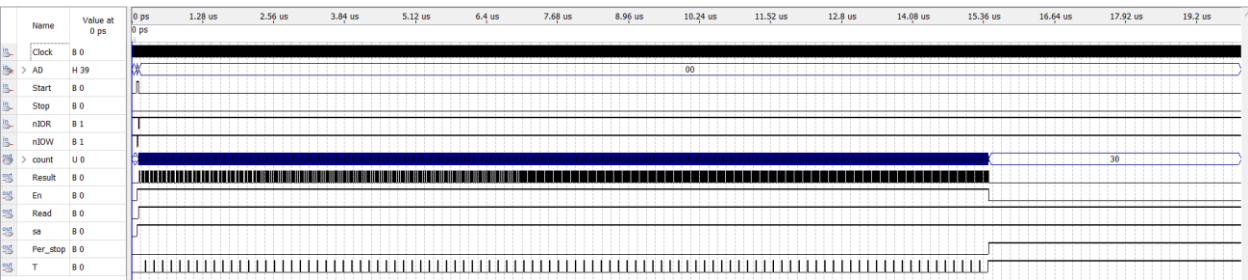


Рисунок 6.4 – Результат функционального моделирования с пределом работы формирователя

Анализ временной диаграммы позволяет оценить корректность функционирования разработанного интерфейса. Происходит запуск системы

при активном нуль-сигнале IOW. Затем активируется режим чтения с ВУ и происходит вывод сигналов на каналы. Формирователь работает вплоть до ручной остановки схемы или до максимального лимита числа периодов – 100. Сигнал старт позволяет запустить схему заново.

## **ЗАКЛЮЧЕНИЕ**

В ходе выполнения курсового проекта был приобретён практический опыт разработки цифрового узла для формирования импульсных последовательностей с использованием САПР Quartus II. Были реализованы два варианта реализации вычислительного узла. Проведён сравнительный анализ этих решений по параметрам сложности реализации и качеству формируемых сигналов.

Также был разработан генератор тактовых импульсов с выполнением необходимых инженерных расчётов для обеспечения заданной частоты. Создан интерфейс для подключения узла к процессорной системе и реализована логика управления режимами работы. Выполнены этапы синтеза, компиляции и тестирования устройства, подготовлены функциональная и принципиальная электрическая схемы, перечень элементов и пояснительная записка.

Таким образом, поставленные задачи по проектированию, реализации и анализу цифрового узла были успешно выполнены, что способствовало укреплению навыков разработки и отладки цифровых схем.

## СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Проектирование цифровых узлов: Методические указания к курсовому проектированию / сост.: Р.И. Грушвицкий, Е.П. Угрюмов. СПб.: Изд-во СПбГЭТУ «ЛЭТИ», 2011. 00 с.
2. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие для вузов. – БХВ-Петербург, 1-е изд. 2000 г., 2-е изд. 2006 г., 3-е изд. 2010 г. – 797 с.
3. Перечень доступных микросхем // ЧИП и ДИП – интернет-магазин приборов и электронных компонентов. URL: <https://www.chipdip.ru/catalog/ic-chip> (дата обращения 29.05.2025).
4. Ряд E24 номиналов конденсаторов // RadioLibrary – справочник радиолюбителя. URL: <https://www.radiolibrary.ru/reference/capacitorseries/e24.html> (дата обращения 28.05.2025).
5. Ряд E24 номиналов резисторов // RadioLibrary – справочник радиолюбителя. URL: <https://www.radiolibrary.ru/reference/resistorseries/e24.html> (дата обращения 28.05.2025).
6. ГОСТ 2.743-91. Единая система конструкторской документации. Обозначения условные графические в электрических схемах. – М.: ИПК Издательство стандартов, 1992.