Міністерство освіти і науки України

Національний університет "Львівська політехніка"

Кафедра ЕОМ

****

**Звіт**

з лабораторної роботи № 10

з дисципліни: “ Комп’ютерні системи”

на тему: “ Побудова функціональної схеми процесорів архітектури RISC CPU ”

Виконав: студент .гр. КІ-33

Лялька О.О.

Прийняв: асистент каф. ЕОМ

Козак Н.Б.

Львів 2020

**Мета:** Навчитись розробляти нові функціональні модулі з метою розширення функціонування базової архітектури процесорів RISC, що відповідає програмній моделі, а також створення функціональної схеми.

**ПОРЯДОК ВИКОНАННЯ РОБОТИ**

**Завдання до лабораторної**

1. Реалізувати поставлене завдання до лабораторної роботи;
2. Для кожного з блоків, що входять до складу розробленої програмної моделі на базі RISC CPU визначити вхідні і вихідні сигнали інтерфейсів;
3. Побудувати повну функціональну схему розробленої програмної моделі на базі RISC CPU;
4. Розглянути взаємозв`язок блоків у структурі і визначити можливі типи конвеєрів.

Обрана архітектура – **The MIPS line**

В ході виконання роботи мною був дороблений проект симуляції архітектури MIPS засобами SystemC та Qt.

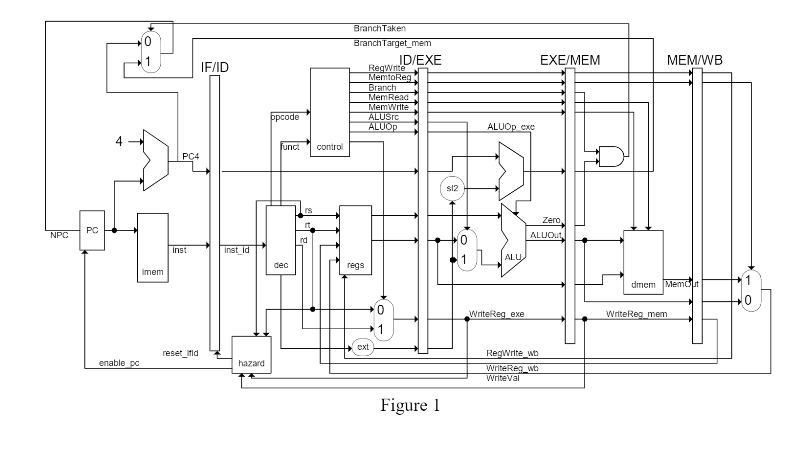


Рис. 1 Архітектура MIPS

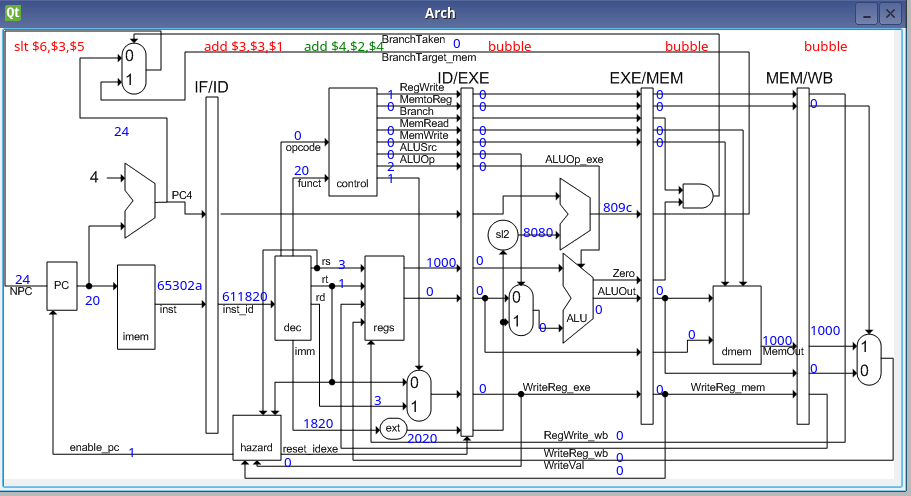


Рис. 2 Симуляція MIPS

Симуляція виконується покроково, доступно 32 регістри, можна виконувати найпростіші команди такі як add, lw, sw, beq та інші.

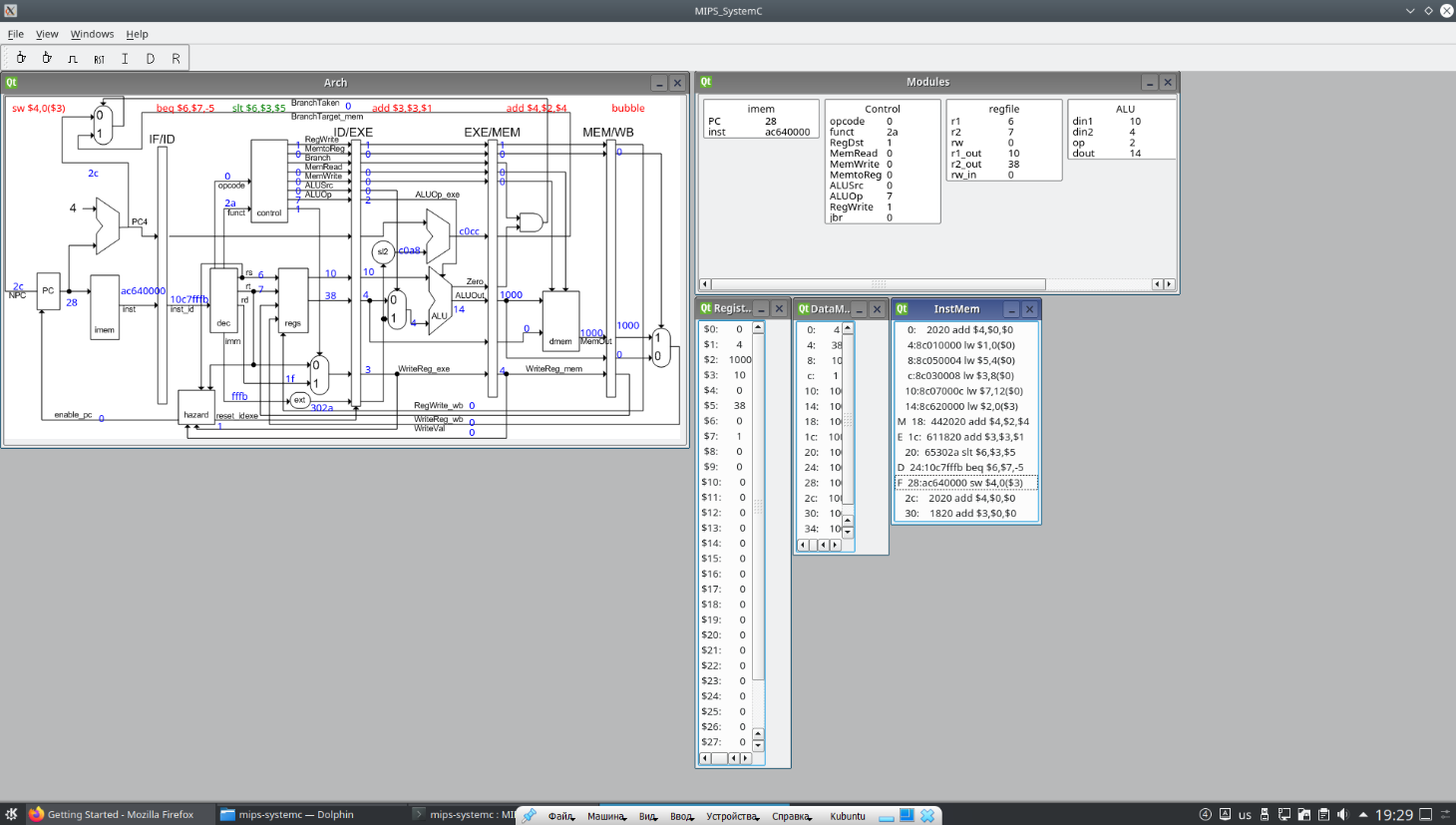


Рис 3 Зовнішній вигляд програми

**Висновок:** На цій лабораторній роботі я навчився здійснювати оцінку структури об’єкта (RISC CPU) на існуючій програмній моделі. Навчився встановлювати структуру інтерфейсів об’єкта .