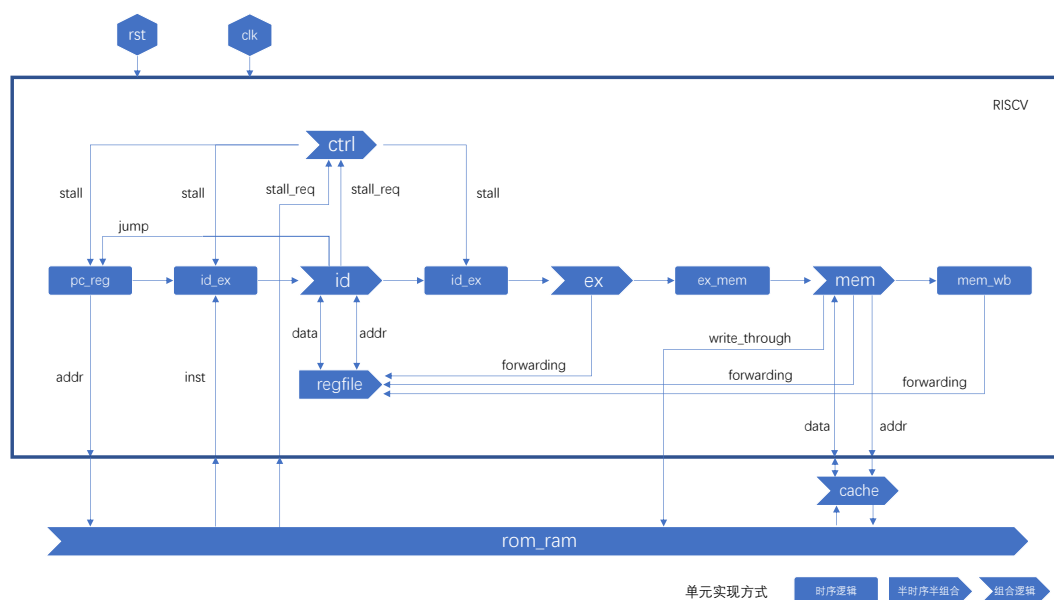


RISCV CPU Report

姓名：周久钦 学号：516030910598

1. 设计简述



以上是我的 riscv 架构图, 是标准的五级流水, 实现了 RISC-V32I 中的大部分指令(除了 Fence 和 System), 冯诺依曼结构(支持 SMC), 内存支持同时读写, 并实现了简单的 cache. CPU 内部使用大端序, 内存和 cache 里使用小端序.

2. 创新之处

- 写了一个 cache

有 Present 位的一路直接映射 cache

3. 遇到的问题

- 时序逻辑非阻塞赋值为什么不会受到其他块非阻塞赋值的影响

和 zzk 助教聊了很久, 后来发现这些值会在上升沿到来之前得到, 所以不会受到其他块在上升沿赋值的影响.

- 在写 cache 的时候, 发现输出的结果向后错位, 发现取的地址应该对齐