

# TRAVEO™ T2G ファミリのイーサネットコントローラ使用方法

## About this document

### Scope and purpose

AN224619 は、TRAVEO™ T2G MCU でイーサネット MAC (EMAC) コントローラを設定する方法を説明します。このアプリケーションノートではユースケースにもとづき、イーサネットコントローラの基本機能、レジスタ設定、構成、および使用方法を説明します。

### 関連製品ファミリ

TRAVEO™ T2G ファミリ CYT3/CYT4 シリーズ

## Table of contents

About this document .....	1
Table of contents .....	1
<b>1 はじめに .....</b>	<b>3</b>
1.1 イーサネットコントローラの機能 .....	3
1.2 イーサネットのアプリケーション .....	4
<b>2 動作概要 .....</b>	<b>5</b>
2.1 コントローラインタフェース .....	5
2.1.1 AXI マスタインタフェース .....	5
2.1.2 AHB スレーブインタフェース .....	6
2.1.3 メディア独立インタフェース .....	6
2.1.4 MDIO インタフェース .....	6
2.2 DMA インタフェース .....	7
2.2.1 パケットバッファ DMA を使用したフルストアおよび転送モード .....	7
2.2.2 DMA 転送処理 .....	8
2.3 イーサネットパケットバッファ .....	8
2.3.1 パケットバッファメモリ .....	8
2.3.2 レシーブバッファ .....	8
2.3.3 送信バッファ .....	9
2.3.4 DMA パケットバッファ .....	10
2.4 クロック, リセット, パワーモード .....	10
2.4.1 クロック .....	10
2.4.2 リセット .....	11
2.4.3 パワーモード .....	12
2.5 割込み .....	12
2.6 PHY インタフェース .....	13
<b>3 イーサネットの構成 .....</b>	<b>14</b>
3.1 レジスタセット .....	14
3.2 設定フロー .....	14

## Table of contents

<b>4</b>	<b>設定例</b>	<b>16</b>
4.1	100 Mbps の MII モードのイーサネット設定	16
4.1.1	イーサネット I/O ポート設定	16
4.1.2	クロック設定	17
4.1.3	IRQ およびハンドラの割当て	17
4.1.4	イーサネットコントローラの初期化	18
4.1.5	PHY トランシーバの初期化	18
4.1.6	リンクステータスの読出し	18
<b>5</b>	<b>用語集</b>	<b>19</b>
<b>6</b>	<b>関連ドキュメント</b>	<b>20</b>
	改訂履歴	21

## はじめに

### 1 はじめに

このアプリケーションノートは、サイプレス TRAVEO™ T2G ファミリ CYT3/4 シリーズ MCU のイーサネットコントローラの使用法および設定方法を説明します。

このデバイスのイーサネット MAC (EMAC) モジュールは、IEEE802.3 規格と互換性のある 10/100/1000 Mbps イーサネット MAC を実装し、いくつかの車載アプリケーションのために MII, RMII, GMII, および RGMII PHY インタフェースをサポートします。サポートするインタフェースはデバイスによって異なります。デバイスでサポートされるインタフェース、およびチャネル数については、デバイス固有のデータシートを参照してください。イーサネットの詳細については、[アーキテクチャテクニカルリファレンスマニュアル \(TRM\)](#) を参照してください。

このアプリケーションノートで使用する機能と用語については、[アーキテクチャ TRM](#) の Ethernet MAC 章を参照してください。Figure 1 に標準的な信号経路の例を示します。

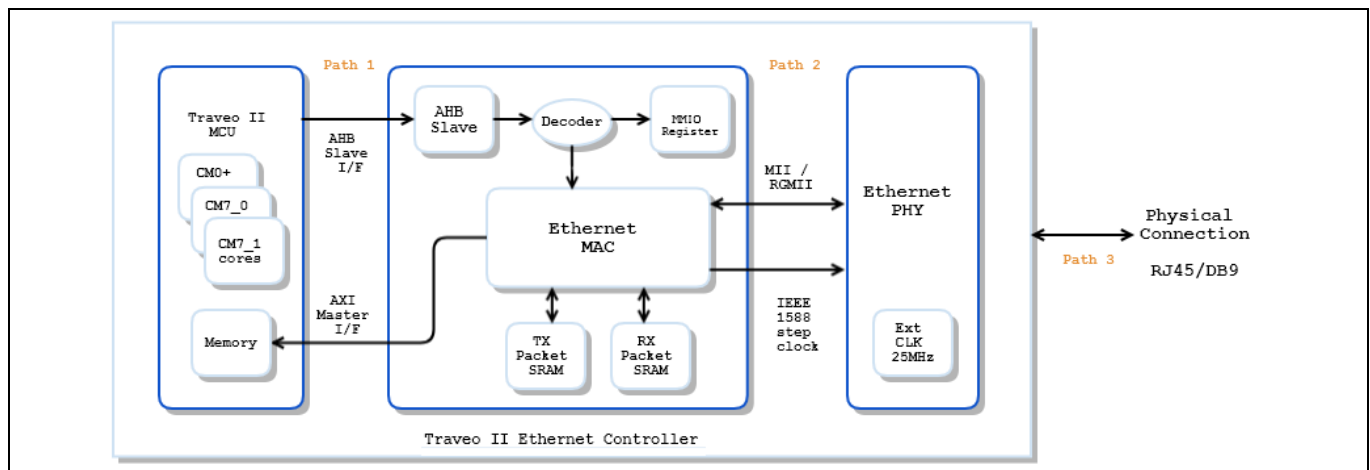


Figure 1 イーサネットコントローラインタフェース

- Path 1: ETH-MAC モジュールは、AHB バスを使用して CPU コアと通信し、AXI インタフェースはメモリへの DMA アクセスに使用されます。
- Path 2: ETH-MAC モジュールは、MII, RMII, GMII, および RGMII インタフェースを使用し PHY インタフェースと通信します。
- Path 3: イーサネット PHY は、MII/RGMII 信号を物理チャネル信号に変換します。

### 1.1 イーサネットコントローラの機能

デバイスのイーサネット MAC モジュールは IEEE802.3 規格と互換性のある 10/100/1000 Mbps イーサネット MAC を実装し、いくつかの車載アプリケーションのために MII, RMII, GMII, および RGMII PHY インタフェースをサポートします。

イーサネットコントローラの主な機能は以下のとおりです。

- 全 2 重動作のためのフルストア転送モードと部分的なストア転送モード
- 10 Mbps, 100 Mbps, または 1 Gbps 動作
- MII, RMII, GMII, および RGMII PHY インタフェースモード
- 1536 バイトの最大フレーム長
- 3 つの送信および受信優先度キュー
- IEEE Std 802.1BA - オーディオビデオブリッジングシステム

## はじめに

- IEEE Std 802.1Qav – 時間制御ストリームの転送およびキューイング機能の強化
- IEEE Std 802.1AS – ブリッジ LAN での時間制御アプリケーションのタイミングおよび同期
- IEEE Std 1588 – 高精度タイムプロトコル
- IEEE Std 802.3 ポーズフレームおよび MAC Priority-based Flow Control (PFC) 優先度ベースのポーズフレームサポート
- IP, TCP, および UDP チェックサムオフロードの送受信
- 送信フレームのパッドおよび CRC の自動生成
- PHY 制御のための Management Data I/O (MDIO) インタフェース
- 完全な優先度, Deficit Weighted Round Robin (DWRR), または送信キューでの拡張送信選択 (ETS – 802.1Qaz)
- 802.3az Energy Efficient Ethernet (EEE) のサポート

## 1.2 イーサネットのアプリケーション

車載向けイーサネットは、有線ネットワークを使用して車内のコンポーネントを接続するために使用される物理ネットワークです。電氣的要件 (EMI/RFI 放射と感受性)、帯域要件、遅延要件、同期、およびネットワーク管理要件など、車載ネットワークのニーズを満たすように設計されています。

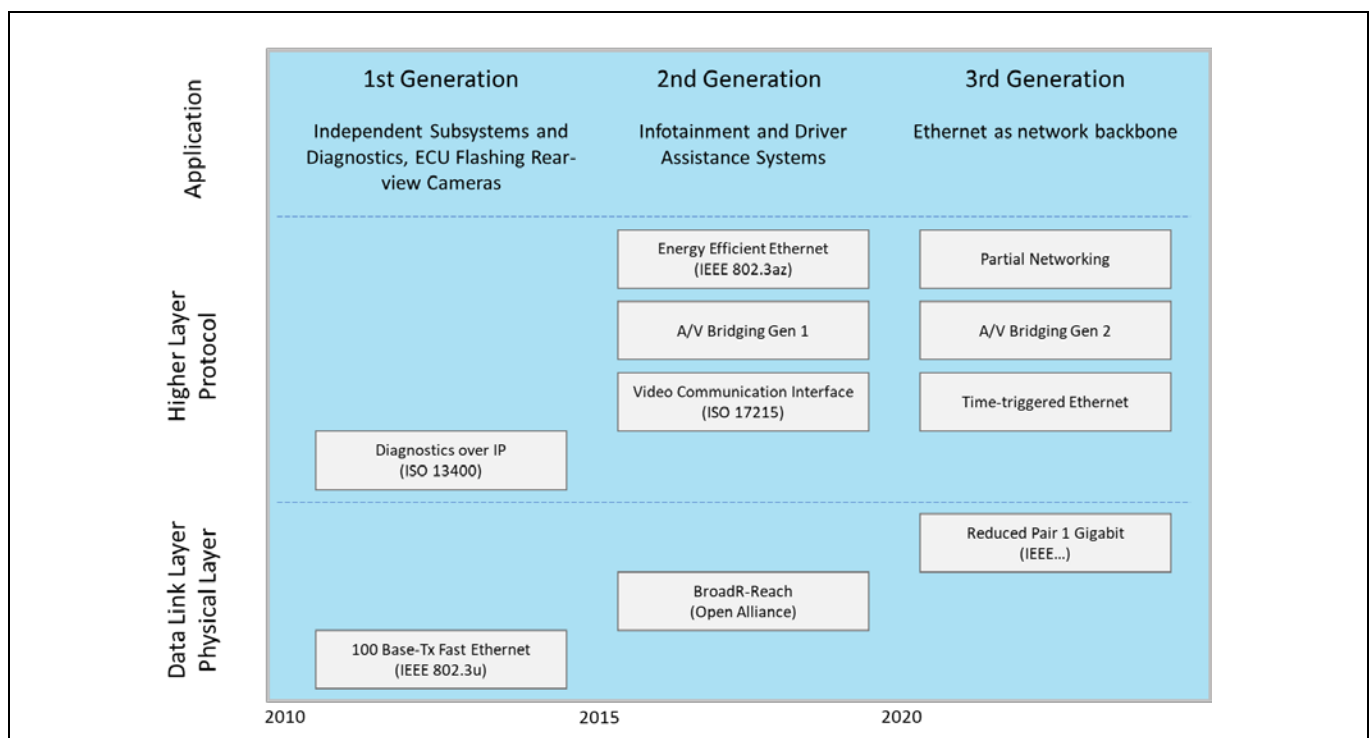


Figure 2 イーサネットを使用したカーエレクトロニクス

## 動作概要

## 2 動作概要

Figure 3 に EMAC モジュールのブロックダイアグラムを示します。EMAC は、MCU コアと PHY トランシーバ間の信号パスに配置されています。

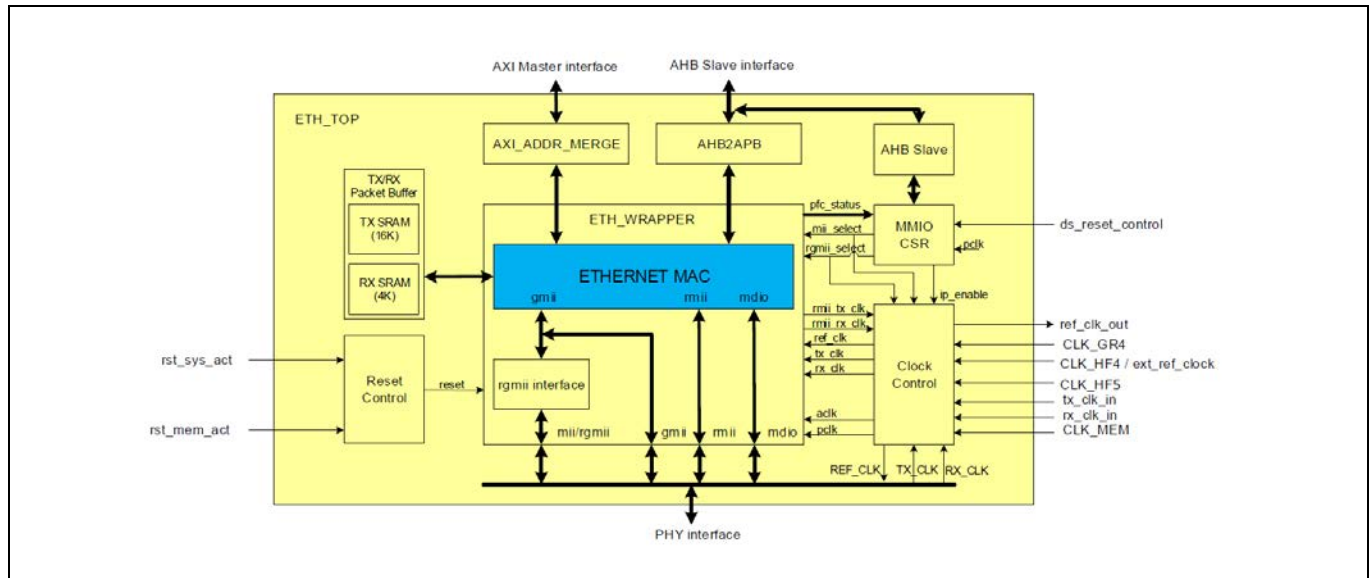


Figure 3 イーサネット MAC のブロックダイアグラム (EMAC)

### 2.1 コントローラインタフェース

TRAVEO™ T2G のイーサネットコントローラは、以下の主なインタフェースを持ちます。

- AXI マスタインタフェース
- AHB スレーブインタフェース
- メディア独立インタフェース (MII, RMII, GMII, RGMII)
- MDIO インタフェース

#### 2.1.1 AXI マスタインタフェース

EMAC に接続される AXI マスタインタフェースは、読出しと書込みのため個別のデータチャンネルと共通のアドレスチャンネルを持ちます。指定されたチャンネルでは、読出しチャンネルと書込みチャンネルの両方で 2 つの未処理転送をサポートします。EMAC の各送信および受信フレームの構成パラメータはディスクリプタに格納されます。

Tx および Rx ディスクリプタは事前に発行され、必要に応じて内部 DMA のためにローカルバッファに格納されます。これにより、新しいディスクリプタの読出しがシステムバスに送信される間、内部 DMA が一時停止することなく、パフォーマンスが最適化されます。内部 DMA によって転送された Tx および Rx ディスクリプタへの書込みは、システムがディスクリプタの書込み完了を遅らせた時に内部 DMA を保持することを回避するためにローカルバッファにバッファリングされます。ディスクリプタへの書込み転送は、その転送に関連付けられた書込み応答 (BRESP) があるまで完了としないことに注意してください。

内部 DMA は最大バースト長をプログラム可能です。シングルアクセスと最大 4 ビート (パルス) のバーストアクセスを選択できます。64 ビットのデータパスと 4 バースト長を選択すると、1 回の転送要求で 32 バイトの転送ができます。バースト長は、ETHx\_dma\_config レジスタを介して設定できます。"x" は、チャンネル番号を示します。

## 動作概要

### 2.1.2 AHB スレーブインタフェース

AHB スレーブインタフェースは、EMAC 関連のレジスタをプログラムするために使用します。インタフェースは、デコーダを内部的に通過し、アクセスがメモリマップド I/O (MMIO) または MAC モジュールのどちらを対象とするかを識別します。MMIO に実装されるレジスタは、構成可能な EMAC インタフェース入力を制御するために使用します。

### 2.1.3 メディア独立インタフェース

EMAC は、MII, RMII, GMII, および RGMII の異なる 4 つの PHY インタフェースをサポートします。Table 1 に各インタフェースを選択するための設定を示します。

**Table 1** PHY インタフェース選択

CTL.ETH_MODE	Network_config[0] (Speed)	Network_config[10] (gigabit_mode_enable)	PHY モード
2'd0	0	0	MII – 10 Mbps
2'd0	1	0	MII – 100 Mbps
2'd1	0	1	GMII – 1000 Mbps
2'd2	0	0	RGMII – 10 Mbps (4 ビット/サイクル)
2'd2	1	0	RGMII – 100 Mbps (4 ビット/サイクル)
2'd2	0	1	RGMII – 1000 Mbps (4 ビット/サイクル)
2'd3	0	0	RMII – 10 Mbps
2'd3	1	0	RMII – 100 Mbps

EMAC は、MII, RMII, または RGMII 信号を使用して外部 PHY (Texas Instruments DP83867 参照) と接続します。RGMII および GMII/MII インタフェースは、設計時に構成可能で、イーサネットコントローラでは相互に排他的です。

*Note:* ETH\_MODE は、ETHx\_nework\_config レジスタ設定前に設定する必要があります。PHY のサポートするモードについては、デバイス固有のデータシートを確認してください。

### 2.1.4 MDIO インタフェース

MDIO は、EMAC と PHY 間の単一の双方向トライステート信号です。PHY メンテナンスレジスタ (ETHx\_phy\_management) は、シフトレジスタとして実装されます。レジスタへの書込みによってシフト操作が開始され、ETHx\_network\_status レジスタで Bit 2 が設定されると完了として通知されます (ETHx\_nework\_config レジスタのビット[18:16]が 010b に設定されると約 2000 PCLK サイクル後)。このビットがセットされるとき割込みが生成されます。

この間、ETHx\_phy\_manegement レジスタの最上位ビット (MSb) は mdio\_out ピンに出力され、LSb は各 Management Data Clock (MDC) サイクルで mdio\_in ピンから更新されます。これにより、MDIO で PHY 管理フレームが送信されます。シフト中の読出しは、現在のシフトレジスタの内容を返します。管理動作の最後、ビットは初期状態に戻ります。読出しでは、データビットは PHY からの読出しデータに更新されます。有効な PHY 管理フレームの生成のためにレジスタに正しい値を書き込む必要があります。

IEEE 802.3 規格によって定義されているように、MDC は 2.5 MHz (400 ns の最小周期) より早くトグルしてはいけません。MDC は CLK\_GR4 を分周して生成されます。ETHx\_nework\_config レジスタの 3 ビットは、MDC を生成のための PCLK 分周比を決定します。



## 動作概要

### 2.2 DMA インタフェース

イーサネット MAC は、DMA インタフェースを介して SRAM などの他の使用可能なシステムメモリからデータにアクセスし、取得したデータをローカルの専用 Tx/Rx パケットバッファに格納します。DMA はイーサネット MAC の外部 FIFO インタフェースに接続され、パケットデータ格納のためスキャッタギャザー機能を持ちます。パケットバッファリングモード用に構成した DMA は、デュアルポートメモリを使用して読み出したデータを格納します。これにより、アプリケーションは以下の動作モードのいずれかを使用してデータの格納および転送ができます。

- フルストアおよび転送モード
- 部分的なストアおよび転送モード

フルストアおよび転送モードでは、パケットは AXI を介してシステムメモリから読み出すのではなくパケットバッファメモリから直接読み出されます。このようにして、このメカニズムは AXI 転送を削減します。

部分的ストアおよび転送モードでは、トランスミッタはパケットバッファに十分なフレームデータが格納されている場合にのみパケットを MAC に転送します。同様に受信動作では、十分なフレームデータがローカルパケットバッファに格納されている場合にのみパケットを外部 AXI スレーブに転送を開始します。

このアプローチは以下の機能を有効にします。

- 送信 TCP/IP チェックサムの負荷軽減
- 優先度キューイング
- リソース不足時の Rx パケットの退避
- AXI 効率最大化のためのパケットおよびバッファ終わりでのバーストパディング
- バッファディスクリプタへの Tx/Rx タイムスタンプキャプチャ

#### 2.2.1 パケットバッファ DMA を使用したフルストアおよび転送モード

フルストアおよび転送モードでは、EMAC は完全な送信フレームがローカル Tx バッファに書き込まれた時のみ送信を開始します。EMAC は送信完了し、Tx バッファディスクリプタ (BD) がステータスフィールドで更新後にのみ、送信されたフレームはローカルバッファから消去されます。

受信プロセスでは、フレーム全体がエラーなしで受信された後にのみ、DMA は指定されたメモリアドレスにデータ転送を開始します。フレームがコピーされ Rx BD がステータスフィールドで更新された後にのみ、受信したフレームは、ローカルパケットバッファから消去されます。

EMAC DMA がフルストアおよび転送モードの場合に受信パケットバッファがフルになったまたは AXI エラーが発生した場合、受信オーバラン状態が発生します。

フルストアおよび転送モードの利点は以下のとおりです。

- DMA から部分的に書き込まれる前にエラーが発生した受信パケットを破棄し、AXI 帯域とドライバ処理のオーバヘッドを削減
- パケットバッファ自身がフレーム送信失敗での再試行により、AXI バス帯域の削減
- 送信 IP/TCP/UDP チェックサムの負荷軽減の実装
- マルチバッファフレームの許可

## 動作概要

### 2.2.2 DMA 転送処理

イーサネットコントローラ DMA は、バッファディスクリプタの個別の送信および受信リストを使用し、各ディスクリプタではシステムメモリのバッファ領域が記述されます。これにより、イーサネットパケットを分割し、システムメモリに分散できます。

DMA コントローラは、AMBA バス上で 6 種類の操作を実行します。優先順位の高い順に、

1. 受信バッファマネージャの書き込み/読出し
2. 送信バッファマネージャの書き込み/読出し
3. DMA の受信データ書き込み
4. DMA の送信データ読出し

すべての読出し動作は、AXI 読出しチャンネルにルーティングされ、すべての書き込み動作は AXI 書き込みチャンネルにルーティングされます。よって、読出しチャンネルと書き込みチャンネルは同時に動作します。同じチャンネルで複数の要求がある場合、調停ロジックが使用されます。

転送サイズは、ETHx\_nework\_config レジスタで設定し、初期値は 64 ビットワードです。バースト長は ETHx\_dma\_config レジスタによりバーストごとにシングルアクセスから最大 256 アクセスの範囲で設定できます。バス上にアクセスするすべてのマスタの調停を高速化するため、バースト長を最大 4 に設定することを推奨します。

## 2.3 イーサネットパケットバッファ

### 2.3.1 パケットバッファメモリ

イーサネットコントローラは、専用 SRAM メモリ (Tx パケットシングルポート SRAM (SPRAM) と Rx パケット SPRAM) を使用したパケットバッファリングモードで構成されます。EMAC は SPRAM を使用するよう構成されます。

MAC レシーバでは、合計バッファサイズは 4 KB です。Rx SRAM に 4 KB を割り当てる理由は、少なくとも 2 つの最大長パケット (1.5 KB) を格納し、フルストアおよび転送モードで転送時にパケットの喪失を回避するためです。

MAC トランシーバでは、バッファサイズは、プライオリティキュー 0 は 4 KB、プライオリティキュー 1 およびプライオリティキュー 2 は、それぞれ 2 KB です。

### 2.3.2 レシーブバッファ

オプションでフレームチェックシーケンス (FCS) を含む受信フレームは、システムメモリにある受信バッファに書き込まれます。受信バッファのサイズは、DMA コンフィグレーションレジスタによって 64 バイトから 16 KB の範囲で設定できます。デフォルトは 1536 バイトです。受信フレームがスクリーニングレジスタを介して異なる優先度キューにルーティングされている場合、キューごとに異なる受信バッファのサイズを設定できます。キュー 0 の場合、受信バッファのサイズは DMA コンフィグレーションレジスタ (オフセット 0x10) により設定します。他のキューについては、受信バッファのサイズは専用のキューコンフィグレーションレジスタ (オフセット 0x4a0 から始まる) を介して設定されます。デフォルトは 128 バイトです。

各受信バッファの開始アドレスは、受信バッファキューポイントによって指定されたアドレス位置にある受信バッファディスクリプタリストのシステムメモリに格納されます。受信バッファキューポイントのベースアドレス (バッファディスクリプタリストと呼ばれる) は、受信バッファキューのベースアドレスレジスタを使用してソフトウェアで構成する必要があります。



## 動作概要

各バッファディスクリプタは、構成されたバッファディスクリプタ (BD) モードに応じて 2 ワードまたは 4 ワードのいずれかになります。ワードは 32 ビットです。はじめの 2 つのワード (ワード 0 とワード 1) は、両方の BD モードで使用されます。

拡張バッファディスクリプタモードでは、タイムスタンプキャプチャモードが有効になっている場合、タイムスタンプキャプチャ用に 2 つの BD ワード (ワード 2 とワード 3) が追加されます。したがって、BD は 2 ワードまたは 4 ワードサイズで、各 BD は同じサイズです。

まとめると、各 BD は以下である必要があります。

- ディスクリプタタイムキャプチャモードが無効の場合、64 ビット
- ディスクリプタタイムキャプチャモードが有効の場合、128 ビット

**Note:** 受信バッファキューのベースアドレスレジスタへ書き込むには、AXI クロックで 3 サイクルを有効にする必要があります。したがって、受信バッファキューのベースアドレスレジスタが更新されてから 3 AXI クロックサイクルまでは受信を有効にできません。ファームウェアはこの制限に注意してください。

### 2.3.3 送信バッファ

送信フレームは 1 つ以上の送信バッファに格納できます。送信フレーム長は 1~1536 バイトです。フレーム長 0 は許可され各送信フレームに許可されるバッファの最大数は 128 であることに注意してください。

各送信バッファの開始アドレスは、送信バッファキューポインタにある送信バッファディスクリプタリストのシステムメモリに格納されます。送信 BD リストのベースアドレスは、送信バッファキューのベースアドレスレジスタを使用してソフトウェアで設定する必要があります。

各バッファディスクリプタは設定された BD モードに応じて 2 ワードまたは 4 ワードのいずれかになります。「ワード」は 32 ビットとして定義されます。はじめの 2 ワード (ワード 0 とワード 1) は、両方の BD モードで使用されます。

拡張バッファディスクリプタモードでは、タイムスタンプキャプチャモードが有効な場合、タイムスタンプキャプチャ用に 2 つの BD ワードが追加されます。したがって、送信 BD は 2 ワードまたは 4 ワードサイズで、各 BD は同じサイズです。

まとめると、各 BD は以下である必要があります。

- ディスクリプタタイムキャプチャモードが無効の場合、64 ビット
- ディスクリプタタイムキャプチャモードが有効の場合、128 ビット

## 動作概要

### 2.3.4 DMA パケットバッファ

パケットバッファ DMA モードでは、送信および受信方向の両方で複数のパケットをバッファ可能で、DMA は AXI バス上のさまざまなレベルのアクセスレイテンシに耐えられます。パケットバッファを使用した場合、AXI 帯域幅を最も効率的に使用できます。Figure 4 に、イーサネット MAC データ経路の構造を示します。

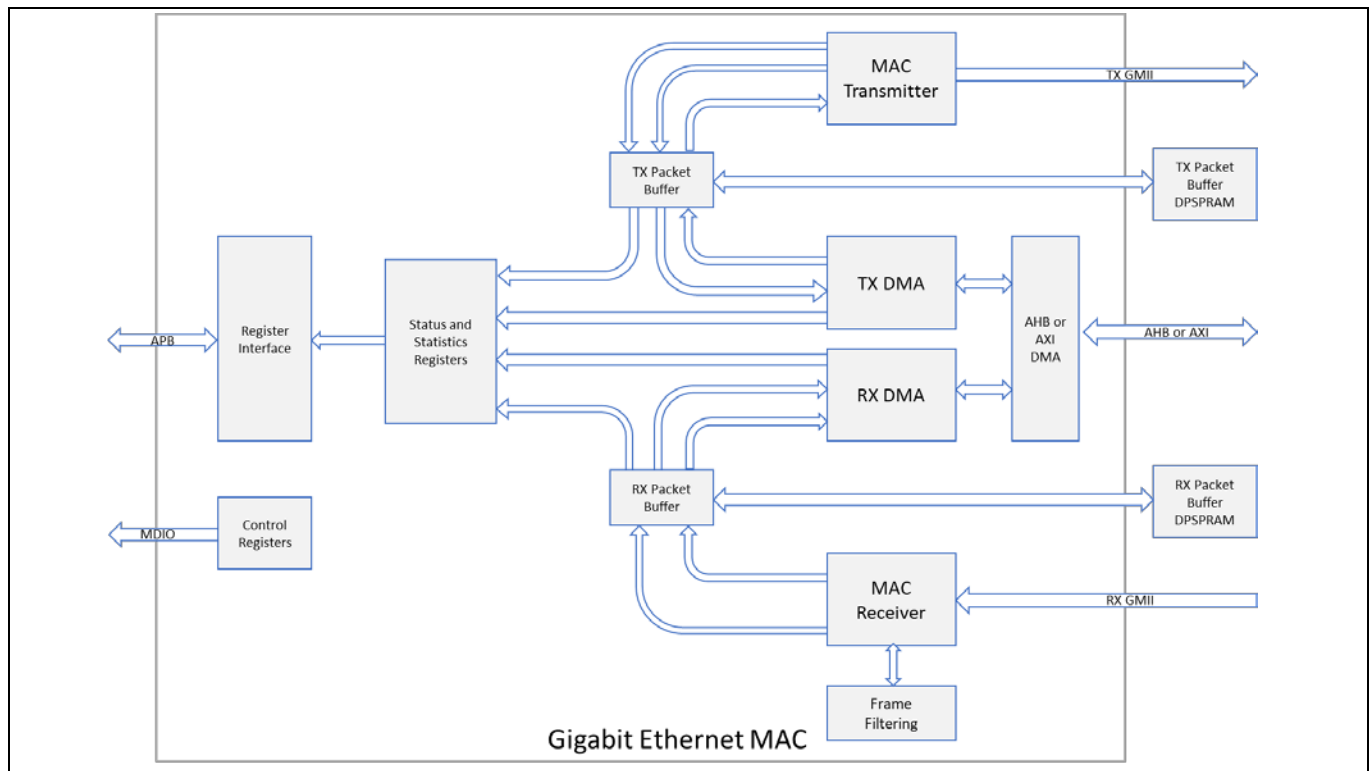


Figure 4 イーサネット MAC データ経路構造

送信方向では、DMA はパケットデータ制限の 256 パケットまで、または Tx パケットバッファメモリ容量まで読み出し続けます。受信方向では、Rx パケットバッファメモリ容量を超えるとオーバーフローが発生します。256 パケットの制限に違反した場合もオーバーフローが発生します。

## 2.4 クロック, リセット, パワーモード

### 2.4.1 クロック

クロック要件と構成は、インタフェースごとに異なります。必要なクロックとクロックソースは以下のとおりです。

- MII
  - Tx と Rx の両クロックは、外部 PHY から供給されます。
- RMII
  - Tx と Rx の両クロックは、内部リファレンスクロックまたは外部クロックソースから供給できます。
  - コントロールレジスタ (ETHx\_CTL.REFCLK\_SRC\_SEL) を使用して、オンチップシステムリソースまたは HSIO からリファレンスクロックソースを選択する必要があります。

## 動作概要

内部クロックソースが選択されている場合、TX\_CLK\_OUT は、PHY にリファレンスクロックを供給するために有効になります。

- ETHx\_CTL.REFCLK\_DIV を使用してリファレンスクロックを分周し、必要な 50 MHz の周波数を生成する必要があります。
- GMII
  - Rx クロックは外部 PHY から供給されます。
  - Tx クロックソースは、内部クロックソース、または HSIO から選択できます。
  - 送信機能のクロックソースの選択は、ETHx\_CTL.REFCLK\_SRC\_SEL を使用する必要があります。
  - ETHx\_CTL.REFCLK\_DIV はリファレンスクロックを分周し、必要な 125 MHz の周波数を生成します。
  - 内部クロックソースが選択されている場合、TX\_CLK\_OUT は、PHY に Tx リファレンスクロックを供給するために有効になります。
- RGMII
  - Rx クロックは外部 PHY から供給されます。
  - Tx クロックソースは、内部クロックソース、または HSIO から選択できます。
  - 送信機能のクロックソースの選択は、ETHx\_CTL.REFCLK\_SRC\_SEL を使用する必要があります。
  - ETHx\_CTL.REFCLK\_DIV はリファレンスクロックを分周し、必要な 125 MHz の周波数を生成します。
  - 内部クロックソースが選択されている場合、TX\_CLK\_OUT は、PHY に Tx リファレンスクロックを供給するために有効になります。

**Note:** RGMII と GMII の送信では、内部 PLL の代わりに正確な外部クロックソースを使用してください。イーサネット MAC には、バッファデータ転送やタイムスタンプユニット (TSU) 動作などの内部操作を実行するためのクロックが必要です。これらの操作を実行するには、次のクロックが使用されます。前述のクロック構成の詳細は [アーキテクチャ TRM](#) の Clocking System 章を参照してください。

**Table 2**      イーサネット MAC へのクロック

クロック	説明
CLK_GR4	EMAC の AHB 動作および MDC クロックの生成
CLK_HF5	タイムスタンプユニット (TSU)
CLK_MEM	AXI 動作
CLK_HF4	MII 用の内部リファレンスクロック

各イーサネットでのクロックの制約については [デバイスデータシート](#) を確認してください。

## 2.4.2 リセット

イーサネットコントローラは、System Active パワーモードでのみ動作します。DeepSleep パワーモードでは、保持される MMIO レジスタを除き、専用 SRAM を含むすべてのロジックは保持されません。そのため、保持される MMIO レジスタは DeepSleep リセットによってリセットされます。

## 動作概要

### 2.4.3 パワーモード

イーサネットコントローラは、アクティブな周辺機器です。DeepSleep パワーモードでは、保持される MMIO レジスタのみ保持されます。Table 3 は、さまざまなデバイスパワーモードでイーサネット MAC が使用できることを示します。

**Table 3** デバイス電源モードでのイーサネット MAC 状態

デバイスパワーモード	EMAC 状態
Active	EMAC は、電源がオンされクロックが動作している状態で完全に動作します。
LPActive	EMAC は、電源がオンされクロックが動作している状態で完全に動作します。電力を抑えるためクロックを制限できます。
Sleep	EMAC は完全に動作します。
LPSleep	EMAC は、電源がオンされクロックが動作している状態で完全に動作します。電力を抑えるためクロックを制限できます。
DeepSleep	クロック供給されません。したがってロジックは機能しません。すべての保持されるレジスタは、値を保持します。
Hibernate	保持レジスタを含む EMAC 全体は機能しません。

### 2.5 割込み

EMAC では、いくつかの割込みを使用できます。イーサネット MAC からの割込み出力数は、サポートする優先度キューの数と同じです。イーサネット MAC はこれらのイベントを特定のキューに関連付けられるため、EMAC DMA 関連のイベントのみが個々の割込み出力によって通知されます。イーサネット MAC 内で生成された他のすべてのイベントは、割込みステータスレジスタのオフセットアドレスは 0x24 にある最低優先度キュー (キュー0) に関連付けられた割込みによって通知されます。他のすべての優先度キューの場合、このレジスタは 0x400 から始まる連続したオフセットアドレスに配置されます。

リセット時は、すべての割込みが無効です。割込みを有効にする場合、割込みイネーブルレジスタの関連する割込みビットを"1"に設定します。割込みを無効にする場合、割込みディセーブルレジスタの関連する割込みビットを"1"に設定します。割込みが有効または無効かを確認する場合、割込みマスクレジスタを読み出します。ビットが"1"にセットされている場合は、割込みは無効です。

動作概要

2.6 PHY インタフェース

Figure 5 に、イーサネット PHY モジュールのブロックダイアグラムを示します。イーサネット PHY は、MII, RMII, GMII, および RGMII で使用するすべての信号を持ちます。また、Figure 5 は、各 MII インタフェースで使用する物理信号も示します。

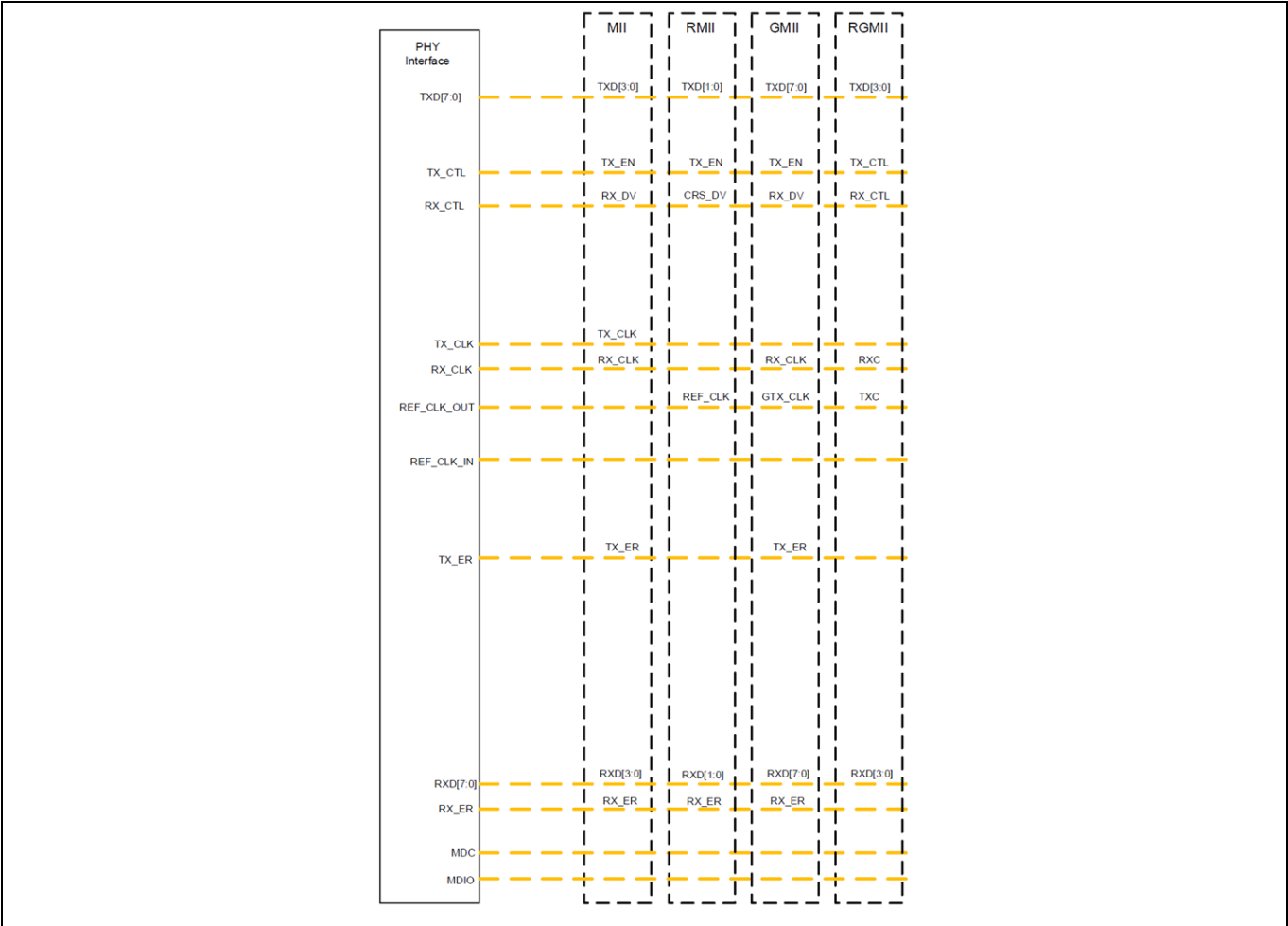


Figure 5 イーサネット MAC のブロックダイアグラム

## イーサネットの構成

### 3 イーサネットの構成

#### 3.1 レジスタセット

**Table 4** イーサネットコントローラレジスタセット

レジスタ	レジスタ名	説明
CTL	コントロールレジスタ	PHY モードとリファレンスクロックの選択、および EMAC 有効設定をします。
NETWORK_CONTROL	ネットワークコントロールレジスタ	受信および送信の両方に対する一般的な MAC 制御機能を含みます。
NETWORK_CONFIG	ネットワーク設定レジスタ	ギガビットイーサネット MAC の動作モードを設定する機能を含みます。
DMA_CONFIG	DMA 設定レジスタ	送信および受信の DMA 転送動作を設定するレジスタです。
TRANSMIT_Q_PTR	送信キュー 0 ポインタ	送信バッファキュー (送信バッファディスクリプタリスト) の開始アドレスを格納します。
PHY_MANAGEMENT	PHY マネージメントレジスタ	シフトレジスタとして実装されます。レジスタへの書込みによりシフト動作が開始され、ネットワークステータスレジスタでビット 2 がセットされると完了通知を行います。

**Table 4** は、**4.1** 章の例で使用するレジスタセットを示します。イーサネットコントローラのレジスタ詳細については、**レジスタ TRM** を参照してください。

#### 3.2 設定フロー

**Figure 6** は、TRAVERO™ T2G イーサネットコントローラの設定フロー例を示します。



## イーサネットの構成

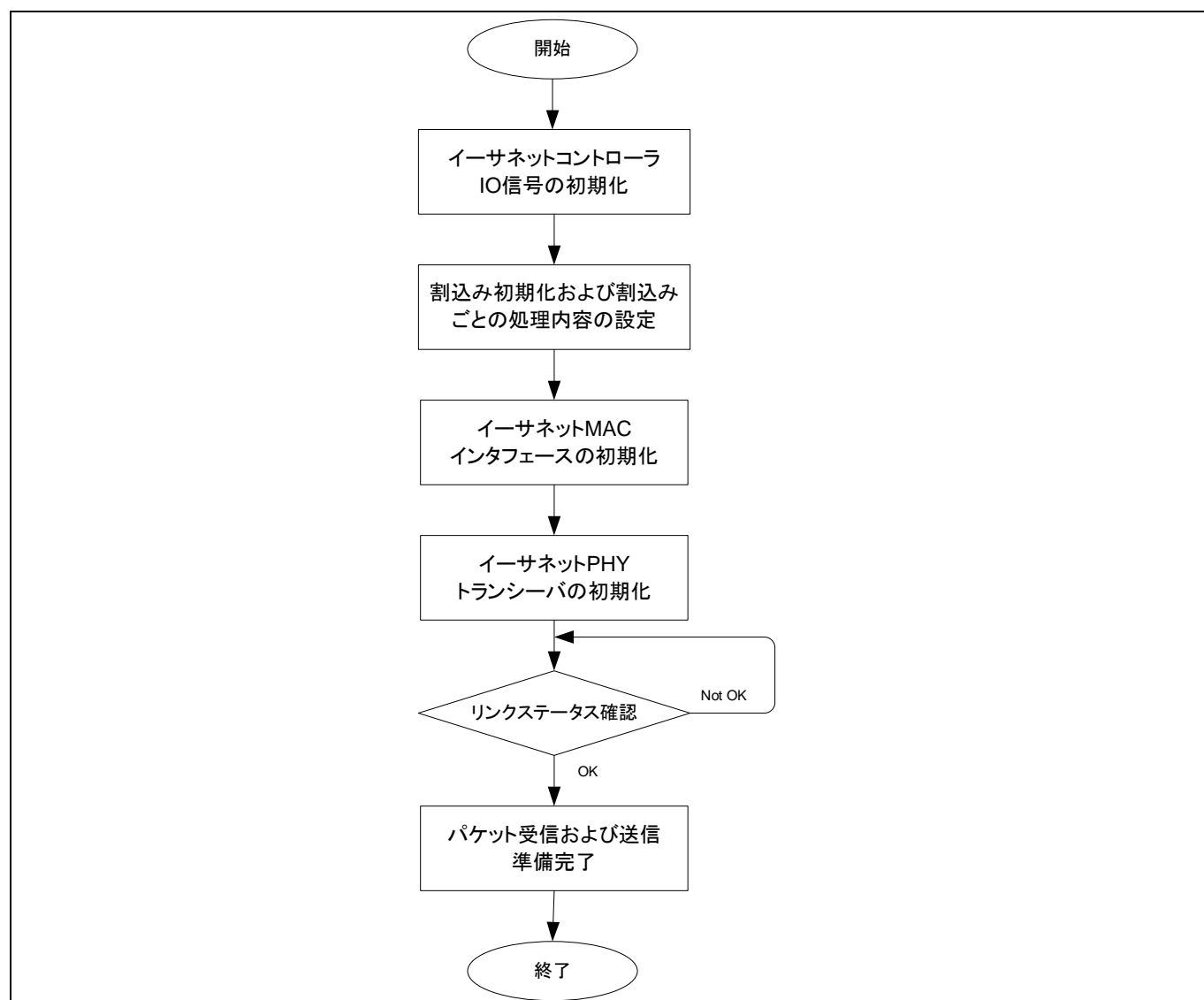


Figure 6 イーサネットコントローラ設定フロー

## 設定例

### 4 設定例

イーサネットは、2つの ECU またはノード間をより高い帯域幅と速度で通信するアプリケーションに有効です。イーサネットコントローラは、MAC ベースの送信元および送信先アドレスによる通信を使用し、論理的に数百万のノードがネットワークに接続できます。ここでは、使用例ごとにイーサネットコントローラを使用する方法について説明します。

#### 4.1 100 Mbps の MII モードのイーサネット設定

この使用例では、リンク速度が 100 Mbps の MII 用にイーサネットコントローラを構成します。基本的なパラメータは以下のとおりです。

- イーサネットインタフェース : ETH0 または ETH1
- イーサネットモード : MII
- リンク速度 : 100 Mbps
- クロックソース : CLK\_HF5, CLK\_HF4 およびトランシーバからの TX\_CLK, RX\_CLK
- 通信モード : 全二重
- イーサネットパケットサイズ : 1536 バイト
- CPU コア : CM7\_0

この構成は CYT4B デバイス用であることに注意してください。ただし、他のデバイスにも同じ手法が適用できます。(異なるデバイスおよびファミリーについては I/O ポートとイーサネットインタフェースマクロ ETHx を確認してください)

以下のセクションでは、この使用例の設定手順について説明します。

##### 4.1.1 イーサネット I/O ポート設定

I/O 初期化の詳細については、[アーキテクチャ TRM](#) の I/O System 章を参照してください。以下に、MII モードのイーサネット I/O ドライブモードの構成を示します。

**Table 5 MII モードのイーサネット I/O ドライブモードの構成**

信号	ドライブモード	方向
ETHx_TD0	STRONG_IN_OFF	MAC から PHY へ
ETHx_TD1	STRONG_IN_OFF	MAC から PHY へ
ETHx_TD2	STRONG_IN_OFF	MAC から PHY へ
ETHx_TD3	STRONG_IN_OFF	MAC から PHY へ
ETHx_TXER	STRONG_IN_OFF	MAC から PHY へ
ETHx_TX_CTL	STRONG_IN_OFF	MAC から PHY へ
ETHx_RD0	HIGHZ	PHY から MAC へ
ETHx_RD1	HIGHZ	PHY から MAC へ
ETHx_RD2	HIGHZ	PHY から MAC へ
ETHx_RD3	HIGHZ	PHY から MAC へ
ETHx_RX_CTL	HIGHZ	PHY から MAC へ
ETHx_REF_CLK	HIGHZ	MAC から PHY へ
ETHx_TX_CLK	HIGHZ	PHY から MAC へ
ETHx_RX_CLK	HIGHZ	PHY から MAC へ

## 設定例

信号	ドライブモード	方向
ETHx_MDC	STRONG_IN_OFF	MAC から PHY へ
ETHx_MDIO	STRONG	両方向

### 4.1.2 クロック設定

イーサネットコントローラは、CLK\_HF4 と CLK\_HF5 の 2 つのクロックソースを持ちます。デフォルトでは、CLK\_HF0 が有効になっています。CLK\_HF4 と CLK\_HF5 を使用するには、[アーキテクチャ TRM](#) の Clocking System 章を参照してください。

*Note:* MII モードでの送受信動作では、イーサネット MAC のクロックは PHY から入力されます。

### 4.1.3 IRQ およびハンドラの割当て

周辺からの割込みを有効にするには、周辺の割込みソースを CPU 割込みソースのいずれかに割り当てる必要があります (0~7 で割当て可能)。任意の数の周辺割込みソースを CPU 割込みソースに割り当てられます。詳細については、[アーキテクチャ TRM](#) の Interrupts 章を参照してください。

CM7\_0 コントロールレジスタの CPU\_Int\_Idx3 でシステム IRQ を有効にします。ここでは、CPU 割込み ID 3 を使用して、イーサネット割込みソースを CPU コアに割り当てます。

```
CPUSS_CM7_0_SYSTEM_INT_CTL |= 0x10000003; // Use
CPU_Int_Idx3
```

VTOR の ETH\_INTR\_SRC にハンドラ eth\_intr\_src\_handler を割当てます。

```
SystemIrqUserTableRamPointer[ETH_INTR_SRC] = eth_intr_src_handler; //
ETH_INTR_SRC
```

VTOR の ETH\_INTR\_SRC\_Q1 にハンドラ eth\_intr\_src\_q1\_handler を割当てます。

```
SystemIrqUserTableRamPointer[ETH_INTR_SRC_Q1] = eth_intr_src_q1_handler; //
ETH_INTR_SRC_Q1
```

VTOR の ETH\_INTR\_SRC\_Q2 にハンドラ eth\_intr\_src\_q2\_handler を割当てます。

```
SystemIrqUserTableRamPointer[ETH_INTR_SRC_Q2] = eth_intr_src_q2_handler; //
ETH_INTR_SRC_Q2
```

NVIC で CPU\_Int\_Idx3 ソースの割込み優先度を設定します。:

```
NVIC->IP [CPU_Int_Idx3] = (uint8_t)((priority << (8 - __NVIC_PRIO_BITS))
```

NVIC で CPU\_Int\_Idx3 の割込みを有効にします。

```
NVIC->ISER[(CPU_Int_Idx3 >> 5UL)] = (uint32_t)(1UL << (((uint32_t)
CPU_Int_Idx3) & 0x1FUL));
```

## 設定例

### 4.1.4 イーサネットコントローラの初期化

MII モード (デフォルト) に設定し、イーサネットコントローラを有効にします。

```
ETHx->unCTL = 0x80000000;
```

通信モードを全二重に設定し、ブロードキャストフレームは設定しません。フレームサイズを 1536 バイト, PCLK を 16 分周, 64 ビット AMBA バス幅, 受信不良プリアンブルフレームを設定します。

```
ETHx->unNETWORK_CONFIG = 0x24240122; // by default 10/100 operations
using MII
```

DMA バースト長を最大 4 に設定し、受信用に 8 KB のアドレス領域、送信用に 4 KB のアドレス領域を使用します。DMA の受信バッファサイズを 1536 バイト, 送信および受信の拡張 BD モード有効, および DMA アドレスバス幅を 32 ビットに設定します。

```
ETHx->unDMA_CONFIG = 0x34180704;
```

送信キューを有効に設定し、送信バッファディスクリプタリストの開始アドレスを設定します。

```
ETHx->unTRANSMIT_Q2_PTR = (uint32_t) &g_txBuffer2;
```

```
ETHx->unTRANSMIT_Q1_PTR = (uint32_t) &g_txBuffer1;
```

```
ETHx->unTRANSMIT_Q_PTR = (uint32_t) &g_txBuffer0;
```

*Note:* 送信および受信ディスクリプタリストのベースアドレスは、データワード境界、つまり 32 ビット DMA アドレス指定の 32 ビット境界に揃える必要があります。

受信完了, 送信バッファアンダーラン, 衝突再試行回数, 送信フレーム破損, 送信完了, および受信オーバーランの割込みを有効にします。

```
ETHx->unINT_ENABLE = 0x000004FE
```

MAC 送受信、および ETHx\_network\_control レジスタの MDIO を有効にします。

```
ETHx->unNETWORK_CONTROL = 0x0000001C;
```

tx\_start\_pck ビットに "1" をセットすると、送信が開始されます。

```
ETHx->unNETWORK_CONTROL |= 0x00000200;
```

### 4.1.5 PHY トランシーバの初期化

適切な PHY を確認し、レジスタ, コマンド, およびデータの読出し/書込みの詳細については、デバイスのデータシートを参照してください。

### 4.1.6 リンクステータスの読出し

データシートでアプリケーションボード PHY のリンクステータスレジスタを確認します。リンクステータスが OK であれば、設定は適切に行われています。セットアップは、イーサネットパケットを送受信する準備ができています。

異なる MII の設定については、[アーキテクチャ TRM](#) および [レジスタ TRM](#) を参照してください。

用語集

## 5 用語集

用語	説明
AHB	Advanced High-Performance Bus より高い帯域幅を必要とするコンポーネントを接続します。
AXI	Advanced eXtensible Interface オンチップコンポーネントを接続し、高性能、高速の平行通信を行います。これは Arm 仕様の一部です。
BD	バッファディスクリプタ
CLK_HF	周辺クロック分周器を使用したシステムクロックから生成されます。詳細については、 <a href="#">アーキテクチャ TRM</a> の Clocking System 章を参照してください。
DMA	ダイレクトメモリアクセス。詳細については <a href="#">アーキテクチャ TRM</a> の DMA 章を参照してください。
DeepSleep	低周波数の周辺機能のみが利用可能なパワーモード。詳細については <a href="#">アーキテクチャ TRM</a> の Device Power Modes 章を参照してください。
FCS	フレームチェックシーケンス
GPIO	汎用入出力
HSIOM	ハイスピード I/O マトリックス。詳細については <a href="#">アーキテクチャ TRM</a> の High-Speed I/O Matrix 章を参照してください。
I/O Port	I/O Port は CPU コアと周辺のインタフェース信号を外部に提供します。詳細については <a href="#">アーキテクチャ TRM</a> の I/O System 章を参照してください。
MAC	メディアアクセスコントローラ
MDC	マネージメントデータクロック。
MDIO	マネージメントデータ入出力
PCLK	PCLK は、各周辺のクロックソースです。イーサネット MAC では、MDIO バスクロック、つまりマネージメントデータクロック (MDC) を生成します。
PHY	イーサネットコントローラへの物理インタフェース
RGMII	削減されたギガビットメディア独立インタフェース
RMII	削減されたメディア独立インタフェース
SPRAM	シングルポート SRAM
TSU	タイムスタンプユニット。

## 関連ドキュメント

### 6 関連ドキュメント

以下は、TRAVEO™ T2G ファミリシリーズのデータシートとテクニカルリファレンスマニュアルです。これらの資料の入手については、[テクニカルサポート](#)に連絡してください。

- デバイスデータシート
  - CYT4BF Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller TRAVEO™ T2G Family
  - CYT4DN Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller TRAVEO™ T2G Family
  - CYT3BB/4BB Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller TRAVEO™ T2G Family
- Body Controller High ファミリ
  - TRAVEO™ T2G Automotive Body-High Family Architecture Technical Reference Manual (TRM)
  - TRAVEO™ T2G Automotive Body-High Registers Technical Reference Manual (TRM) for CYT4BF
  - TRAVEO™ T2G Automotive Body-High Registers Technical Reference Manual (TRM) for CYT3BB/4BB
- Cluster 2D ファミリ
  - TRAVEO™ T2G Automotive Cluster 2D Family Architecture Technical Reference Manual (TRM)
  - TRAVEO™ T2G Automotive Cluster 2D Registers Technical Reference Manual (TRM)



## 改訂履歴

## 改訂履歴

Document version	Date of release	Description of changes
**	2019-11-19	これは英語版 002-24619 Rev. **を翻訳した日本語版 Rev. **です。
*A	2020-08-12	これは英語版 002-24619 Rev. *A を翻訳した日本語版 Rev. *A です。
*B	2021-10-15	テンプレートの変更を実施。 これは英語版 002-24619 Rev. *B を翻訳した日本語版 Rev. *B です。

#### Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2021-10-15**

**Published by**

**Infineon Technologies AG**

**81726 Munich, Germany**

**© 2021 Infineon Technologies AG.**

**All Rights Reserved.**

**Do you have a question about this document?**

**Go to [www.cypress.com/support](http://www.cypress.com/support)**

**Document reference**

**002-28581 Rev. \*B**

#### 重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

本製品、技術、納品条件、および価格についての詳しい情報は、インフィニオンの最寄りの営業所までお問い合わせください ([www.infineon.com](http://www.infineon.com))。

#### 警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。