

# TRAVEO™ T2G ファミリ CYT4D シリーズ MCU 用 FPD-Link PCB ガイドライン

## 関連製品番号

- CYT4D シリーズ

## 本書について

### 適用範囲と目的

AN226037 では、TRAVEO™ T2G ファミリ CYT4D シリーズ MCU のフラットパネルディスプレイリンク (FPD-Link) インタフェースのプリント回路基板のレイアウトガイドラインを説明します。

### 対象者

このドキュメントは、TRAVEO™ T2G ファミリ CYT4D シリーズを使用しているすべての人を対象とします。

## 目次

	関連製品番号 .....	1
	本書について .....	1
	目次 .....	1
1	はじめに .....	2
2	推奨プリント回路基板仕様 .....	3
3	プリント回路基板設計上の注意事項 .....	4
3.1	基板層のレイアウト .....	4
3.2	平衡伝送ラインの間隔 .....	5
3.3	物理的な長さ / 遅延調整 .....	5
3.4	経路の制限 .....	7
3.5	電源とグラウンドのレイアウト .....	7
3.6	コネクタと IC の間の距離 .....	7
3.7	コネクタの信号配置 .....	8
4	参考資料 .....	10
	改訂履歴 .....	11
	免責事項 .....	12

### 1 はじめに

TRAVEO™ T2G ファミリ CYT4D シリーズ MCU は高性能な映像ディスプレイに接続されるフラットパネルディスプレイリンク (FPD-Link) インタフェースを搭載しています。FPD-Link は、小振幅差動信号方式 (LVDS) を用いた高速なインタフェースです。

CYT4D シリーズ MCU の FPD-Link ビデオディスプレイ端子には、以下の特長があります。

- 高速: データレート最大 350 Mbps/lane
- 小振幅電圧幅: 約 350 mV
- 5 つの差動信号線: TxCLK±および TxDOOUT[0:3]±

上記の特長により、FPD-Link のプリント回路基板は特別な信号線として取り扱う必要があります。このアプリケーションノートでは、CYT4D シリーズ デバイスの FPD-Link プリント回路基板のレイアウトのガイドラインを説明します。

## 2 推奨プリント回路基板仕様

## 2 推奨プリント回路基板仕様

FPD-Link を使用する上で、以下のような LVDS 信号に対応したプリント回路基板設計を推奨します。

- 平衡伝送線路のインピーダンスは  $100\ \Omega \pm 10\%$
- 自動レイアウトによるビア生成を防ぐため、FPD Link の出力端子の並び替え <sup>1)</sup>
- プリント回路基板設計に際して 表 1 に示したパラメータを適用

**表 1**                      プリント回路基板レイアウトの長さ, 幅, 配線スペース

$S_{DP}$	差動ペア信号間隔 ( $CLK+$ <sup>2)</sup> および $CLK-$ <sup>3)</sup> または $DIF+$ <sup>4)</sup> および $DIF-$ <sup>5)</sup> )	最小ペア間隔 <sup>6)</sup>	図 1, 図 2, 図 3
$S_{DD}$	差動信号線と GND の間隔、差動 $CLK\pm$ と差動 $DIF\pm$ の間隔、または差動 $DIF\pm$ と他の $DIF\pm$ の間隔	最小ペア間隔 $\times 2$	図 1, 図 2, 図 3
$S_{DC}$	差動信号線とロジック信号線の間隔	最小ペア間隔 $\times 4$	図 2
$W_{PCB}$	配線の幅	配線幅 <sup>6)</sup>	図 1, 図 2, 図 3
$L_{DP}$	差動ペア信号 ( $CLK+$ および $CLK-$ 、または $DIF+$ および $DIF-$ <sup>7)</sup> ) のポジティブ (+) とネガティブ (-) の配線長差	最大 5 mm	図 4
$L_{DD}$	異なる差動信号 ( $CLK\pm$ および $DIF\pm$ 、または $DIF\pm$ と他の $DIF\pm$ <sup>7)</sup> ) の配線長差	最大 5 mm	図 4

<sup>1)</sup> CYT4D シリーズは FPD-Link のための出力端子を選択できます。詳細はテクニカルリファレンスマニュアルを参照してください。

<sup>2)</sup>  $CLK+$  は差動クロックのポジティブ (+) 信号

<sup>3)</sup>  $CLK-$  は差動クロックのネガティブ (-) 信号

<sup>4)</sup>  $DIF+$  は差動データ線のポジティブ (+) 信号

<sup>5)</sup>  $DIF-$  は差動データ線のネガティブ (-) 信号

<sup>6)</sup> この値は基板製造時に使用される層の厚さと誘電体の材料の仕様に依存します。適切な差動インピーダンスを確保するために、品質適合試験用の伝送線回路を設け、試験プロセスの一部として伝送線のインピーダンスを確認することを推奨します。

<sup>7)</sup> 誘電率 4.7 の FR-4 中のマイクロストリップ伝送線

## 3 プリント回路基板設計上の注意事項

### 3 プリント回路基板設計上の注意事項

#### 3.1 基板層のレイアウト

FPD-Link の平衡伝送線路は以下の種類に分別できます。<sup>8)</sup>

- エッジ結合マイクロストリップライン<sup>9), 10)</sup>
- エッジ結合ストリップライン
- ブロードサイド結合ストリップライン

このアプリケーションノートではエッジ結合マイクロストリップラインの例を示します。

プリント回路基板が 4 層またはそれ以上の場合、[図 1](#) に示す構造を使用します。これは基板の片側に平衡マイクロストリップラインを配置し、基板の反対側にノイズ源のロジックを配置しています。<sup>11)</sup>

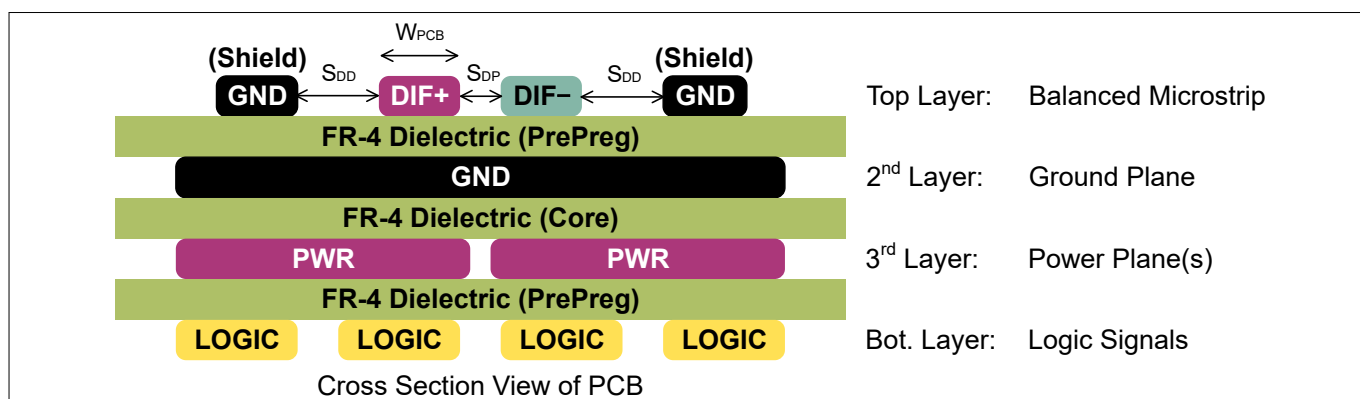


図 1 4 層プリント回路基板のレイアウトガイドライン

プリント回路基板が 2 層または、同じ層にロジックと平衡マイクロストリップラインの両方が必要な場合は、次の手順を実行してください。

- Type-I: シールドとして機能するようにロジックと平衡伝送線の間に GND を配置してください。
- Type-II: ロジック信号線と平衡伝送線のいずれかの間のスペースに関し平衡伝送線の間隔の 4 倍にしてください(式 1 を参照)。

式 1

$$S_{DC} = 4 \times S_{DP}$$

[図 2](#) に Type-I および Type-II の推奨レイアウトの例を示します。

<sup>8)</sup> これらの伝送線構成のいずれかを使用できますが、混合しないでください。具体的には、いくつかの信号のための平衡マイクロストリップラインと他の信号の平衡ストリップラインを同時に使用しないでください。信号がこれらの伝送線上を異なるレートで伝搬するため、遅延の整合性を維持するのが困難です。

<sup>9)</sup> マイクロストリップラインと平衡マイクロストリップラインのための設計式は、ソルダレジストの誘電率の影響を考慮できていません。新規に基板の製造業者を選ぶ場合、基板設計の目標値を決めるために、異なる間隔のテスト用評価ボードを作することを推奨します。

<sup>10)</sup> ソルダレジストの代替えとして、金メッキを使用しないでください。ニッケル拡散隔膜層は高速信号を歪ませる強磁性の特性を持っています。

<sup>11)</sup> LVDS 信号はグランド基準です。平衡マイクロストリップライン伝送線を配置する場合、電力プレーンの代わりにグランドプレーンに接続することを推奨します。電力プレーンに接続する場合、電源上のノイズが伝送線上の信号のコモンモードノイズとして伝わりません。

## 3 プリント回路基板設計上の注意事項

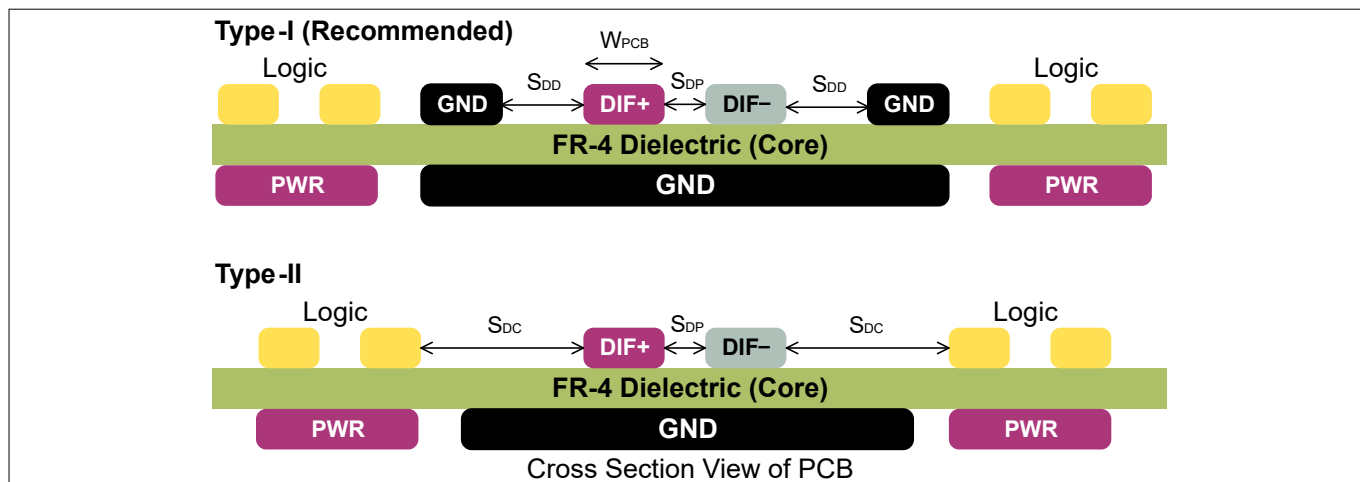


図 2 推奨レイアウト

### 3.2 平衡伝送ラインの間隔

2 つまたはそれ以上の平衡伝送ラインが同じ層に存在するとき、以下のことを行ってください。

- Type-I: シールドとして機能するように各平衡伝送ラインの間にグラウンド (GND) を使ってください。
- Type-II: 平衡マイクロストリップ伝送ラインと他の平衡伝送ラインとの間隔を 2 倍にしてください (式 2 を参照)。

式 2

$$S_{DD} = 2 \times S_{DP}$$

図 3 に平衡伝送ラインの間隔の例を示します。

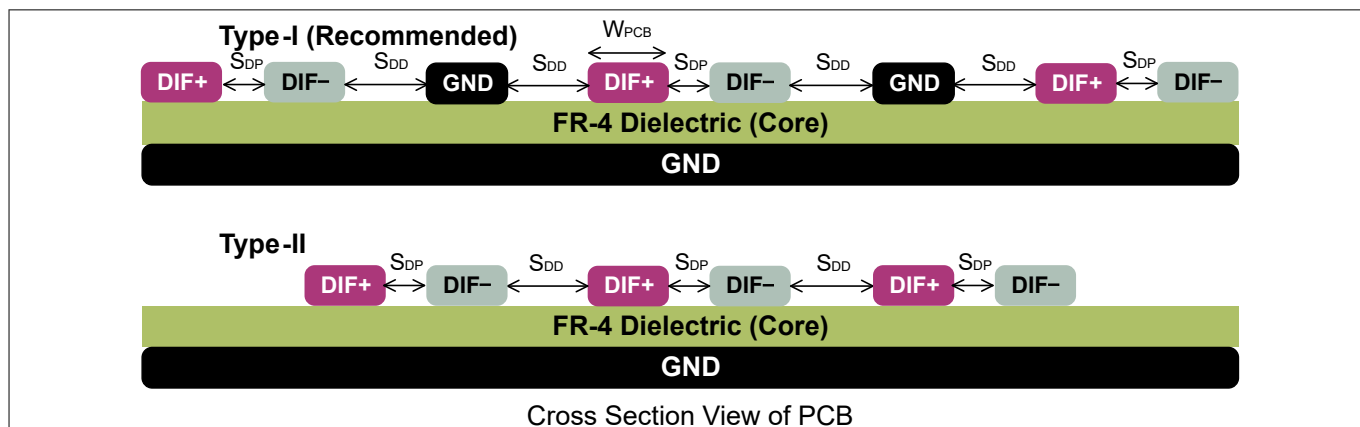


図 3 平衡伝送ラインの間隔

### 3.3 物理的な長さ / 遅延調整

各平衡伝送ラインの物理的な長さとその調整は、インタフェースのタイミングマージンと伝送信号品質の大部分を決定します。長さは、各平衡伝送ライン ( $L_{DP}$ ) を形成するポジティブ信号とネガティブ信号の間、および異なる平衡伝送ライン ( $L_{DD}$ ) の間で一致する必要があります。物理的な長さの調整は、コモンモードでの差動信号変換、および送信元と送信先の間で各伝送ラインの遅延の制限に使用されます。図 4 の例では、送信デバイス (CYT4D) とコネクタの間に 3 つの差動ペアがあり、経路によって異なる物理的な長さになります。

## 3 プリント回路基板設計上の注意事項

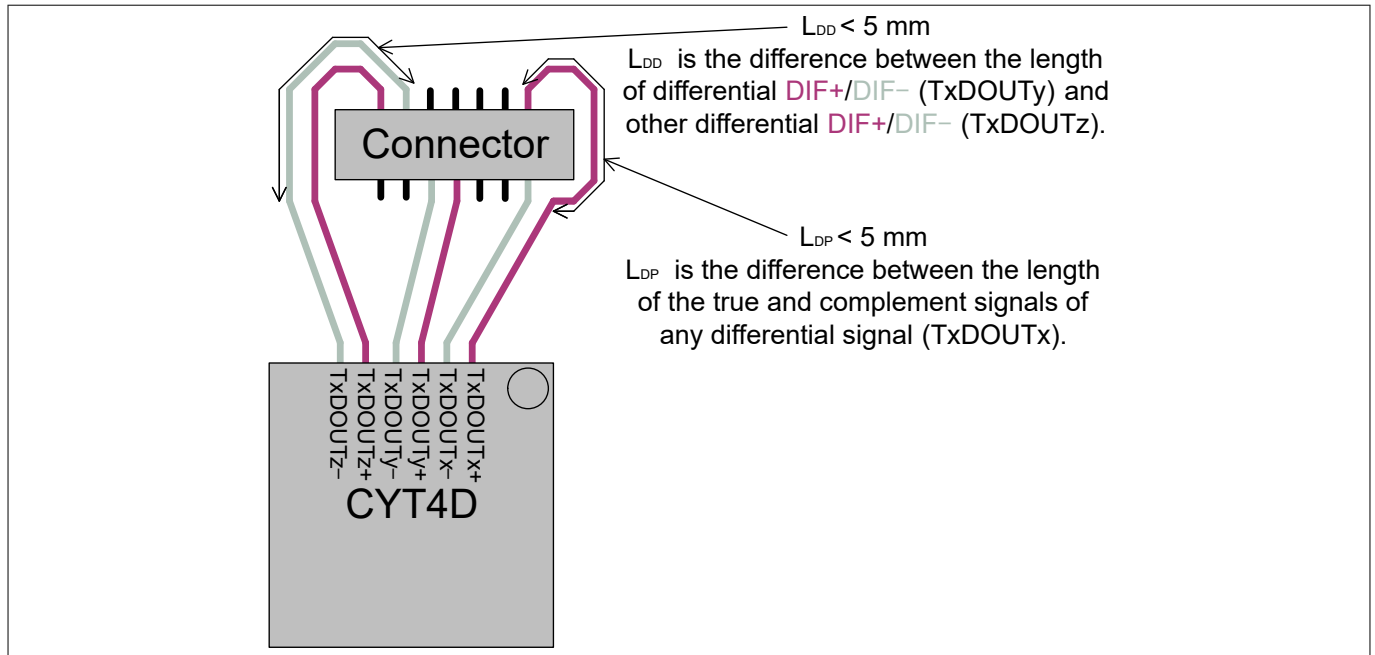


図 4 物理的な長さ

3 つの平衡伝送ラインが図 4 に示されており、 $\text{TxDOUty}\pm$  信号の経路は平衡伝送ラインペア ( $L_{DP}$ ) として良く調整された長さです。 $\text{TxDOUtz}\pm$  信号のトレース長に不一致がありますが、5mm 未満の差は許容されます。ただし、 $\text{TxDOUty}\pm$  信号の場合、 $\text{TxDOUtx+}$  信号と  $\text{TxDOUtx-}$  信号の間でトレース長に大きな違いがあるため、これは避ける必要があります。

FR4 上の平衡マイクロストリップラインの場合、1 mm は約 10 ps の遅延に相当し<sup>12)</sup>、それぞれ 1 mm の差があれば 10 ps のオフセット時間に相当します。ポジティブとネガティブの平衡伝送ラインの長さが異なる場合、それらの電磁界は不均衡となり、信号エネルギーがコモンモードに変換されます。これらは以下の理由により、長さが大きく異なる信号経路はできる限り回避してください。

- ・ コモンモードのエネルギーが EMI を放射
- ・ 近くの信号に対しクロストークのようなコモンモードノイズを発生
- ・ 差動信号の完全性の低下

表 1 に示したように、ポジティブとネガティブの平衡伝送ラインのペア ( $L_{DP}$ ) で 5 mm または 50 ps 以下の不整合に制限することを推奨します。この制限は伝送ラインの立上り/立下り時間 (通常 400 ps) に依存し、同じ信号速度を維持するためです。

$\text{TxDOUty}\pm$  と  $\text{TxDOUtz}\pm$  信号の間に重大な信号長の不一致 ( $L_{DD}$ ) があるように見えますが、1 つのコネクタへの経路では伝送ラインの一部しか表示されません。一般的には、そのコネクタの先にケーブルがあり、受信側コネクタがあるため、受信側コネクタから受信端の配線で補完できる場合があります。 $L_{DD}$  を測定する場合、長さの不整合の合計は送信デバイス (CYT4D) の端子と受信デバイス (通常はディスプレイ) の端子の間であって、コネクタだけではありません。

$L_{DD}$  のための表 1 の推奨も 5 mm (50 ps) ですが、50 MHz で動作しているためです。 $L_{DD}$  の不整合によって、クロックとデータ信号のオフセットが発生し送信パルス位置のオフセット (TPPOS) が増加します。50 MHz の  $\text{TxCLK}\pm$  では、各データ線は 350 Mbps の映像を送信し、このデータのユニット インターバル (UI) は 2.85 ns です。この速度信号では、50 ps オフセットは 0.02 UI より少なく、リンクタイミングマージンの減少は 2%未満です。遅い速度信号では、大きな  $L_{DD}$  のオフセットは通常 FPD-Link インタフェースのディスプレイで求められるセットアップとホールド時間を満たす限り許容されます。

<sup>12)</sup> FR-4 のマイクロストリップ伝送線の比誘電率 4.7 の場合

## 3 プリント回路基板設計上の注意事項

### 3.4 経路の制限

経路に 90°の曲げを使用しないでください。代替手段として 45°または緩やかな曲線を使用してください。鋭角な曲げは、トレース間に静電容量が追加され、伝送線路のインピーダンスが変化するからです。図 5 に推奨する経路を示します。

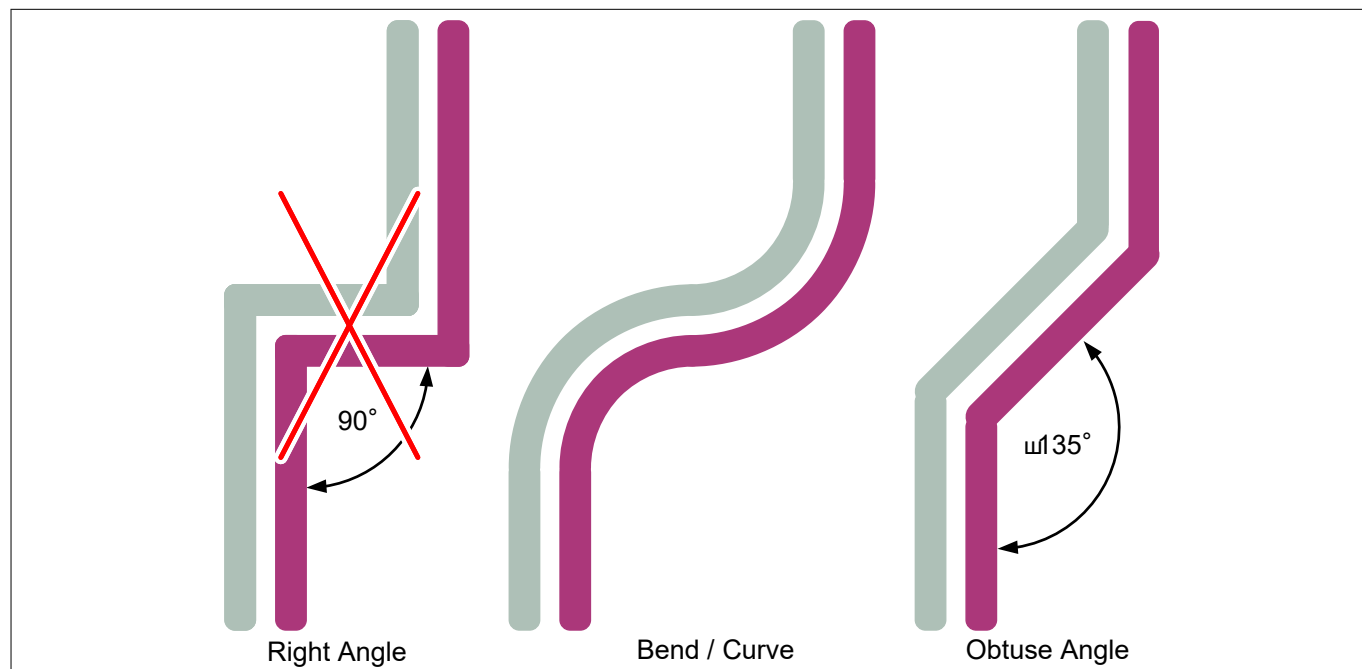


図 5 推奨する経路

### 3.5 電源とグラウンドのレイアウト

電源とグラウンドはできる限り広く短くする必要があります。FPD-Link の電源は、レギュレータの他の電源領域から独立させる必要があります。また、バイパスコンデンサは電源/グラウンド端子の近くに配置してください。図 6 に電源とグラウンドのレイアウトを示します。

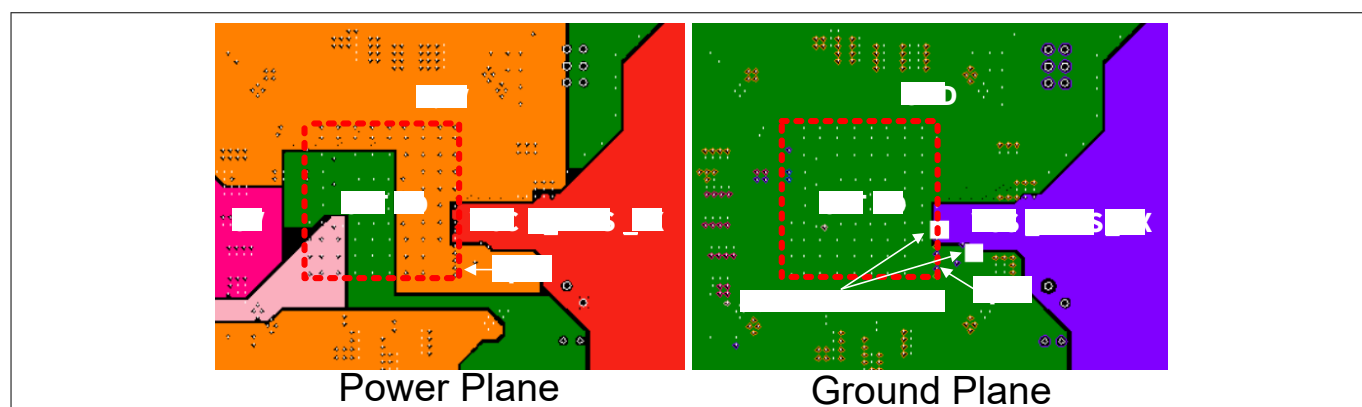


図 6 電源とグラウンドのレイアウト

### 3.6 コネクタと IC の間の距離

理論的に、伝送線上のドライバやレシーバの間の距離による信号への影響を最小限にする必要があります。現実的には、それらの間は、長く複雑であり、すべての 5 つの平衡伝送ラインペアの遅延時間を調整することは難しく、信号は大きく不均一となります。できる限り FPD-Link コネクタの近くに IC を配置してください。図 7 に IC とコネクタの推奨経路を示します。

## 3 プリント回路基板設計上の注意事項

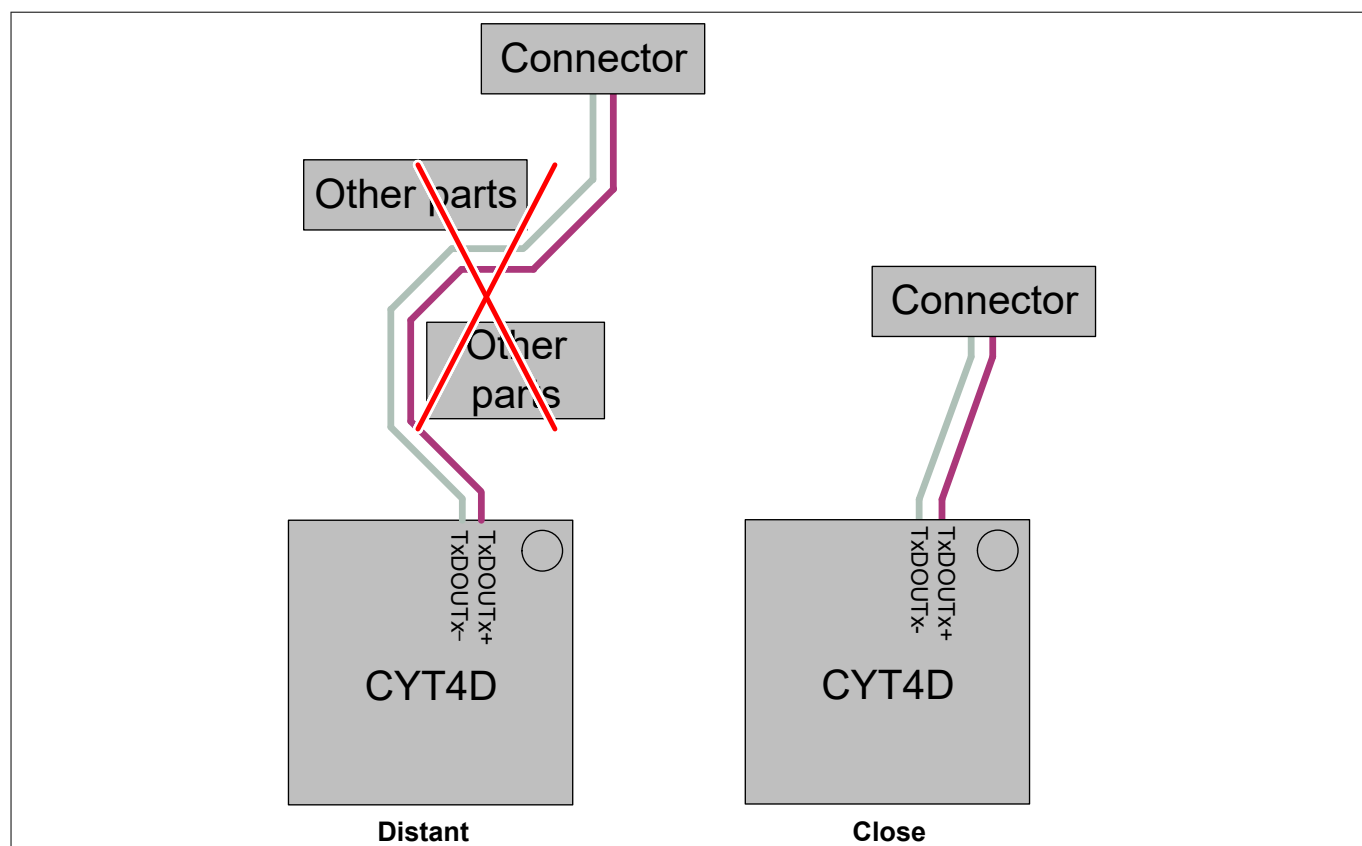


図 7 コネクタと IC の間の距離

### 3.7 コネクタの信号配置

コネクタ端子に信号を配置するとき、以下のことを検討してください。

- コネクタが低スキューでインピーダンスが整合していることを確認してください。
- 低スキューとクロストークを低くするために同じリード長のコネクタを選択してください。
- 同じ差動ペアのポジティブとネガティブ信号をコネクタの隣接する端子に配線してください。
- 可能なら差動ペアの間にグランドを配置してください。
- コネクタ端はグランドにし、高速信号には使用しないでください。
- すべてのコネクタの未使用端子はグランドに接続してください。

図 8 に 2 つのコネクタの信号配置例を示します。上段の信号配置は差動ペア ( $L_{DP}$ ) のポジティブとネガティブ信号の経路の長さが不整合になっており、もしコネクタの列の間の端子間隔が小さいならば (3 mm 以下)、信号の経路の差は 5 mm 以下を目標にすべきです。下段の信号配置は差動信号 ( $L_{DD}$ ) の間で少し長さの違いがあります。これはコネクタの反対側から出るケーブルの端の長さを調整することによって補正できます。



3 プリント回路基板設計上の注意事項

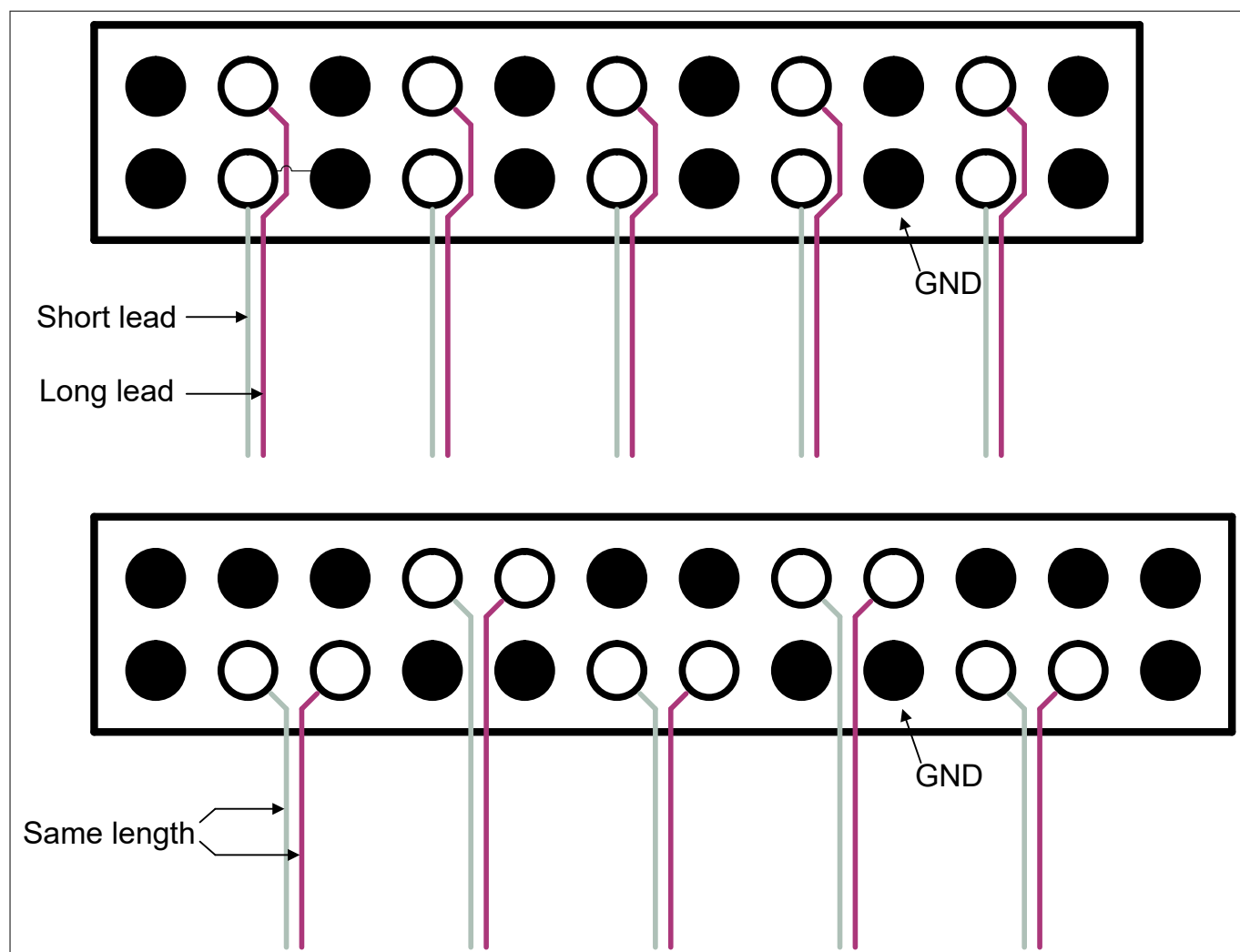


図 8 コネクタの信号配置

## 4 参考資料

### 4 参考資料

以下は TRAVEO™ T2G ファミリのデータシートおよびテクニカルリファレンスマニュアルです。これらの資料を入手するには[テクニカルサポート](#)に連絡してください。

- デバイスデータシート
  - CYT4DN Datasheet 32-Bit Arm® Cortex® -M7 Microcontroller TRAVEO™ T2G Family
- Cluster 2D ファミリ
  - TRAVEO™ T2G Automotive Cluster 2D Family Architecture Technical Reference Manual (TRM)
  - TRAVEO™ T2G Automotive Cluster 2D Registers Technical Reference Manual (TRM)

### 改訂履歴

版数	発行日	変更内容
**	2020-11-16	これは英語版 002-26037 Rev. **を翻訳した日本語版 002-31593 Rev. **です。
*A	2024-06-13	これは英語版 002-26037 Rev. *A を翻訳した日本語版 002-31593 Rev. *A です。英語版の変更内容: Template update; no content update

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-06-13

Published by

Infineon Technologies AG  
81726 Munich, Germany

© 2024 Infineon Technologies AG  
All Rights Reserved.

Do you have a question about any  
aspect of this document?

Email: [erratum@infineon.com](mailto:erratum@infineon.com)

Document reference  
IFX-htb1686300098293

## 重要事項

本手引書に記載された情報は、本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

## 警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。