

Traveo と Traveo II の比較

About this document

Scope and purpose

AN218629 は Traveo ファミリ MCU と Traveo II ファミリ MCU (CYT2/CYT3/CYT4 シリーズ) の比較について説明します。

関連製品ファミリ

[Traveo™ファミリ](#), [Traveo II ファミリ](#)

Table of contents

About this document	1
Table of contents	1
1 はじめに	4
2 ボディ・エントリ/ハイ製品	5
2.1 Traveo II ファミリ MCU 比較	5
2.2 製品概要	5
2.3 オンチップシステム機能	7
2.3.1 CPU	7
2.3.2 メモリデザイン	8
2.3.3 デバッグ	9
2.3.4 モード設定	9
2.3.5 電源および電源監視	10
2.3.5.1 電源	10
2.3.5.2 電源監視	10
2.3.6 リセット要因	10
2.3.7 クロックシステム	12
2.3.8 ウォッチドッグタイマ	13
2.3.9 低電力モード	14
2.3.10 割込み構造	15
2.3.11 データ転送	16
2.3.12 TPU	17
2.3.13 フォールトレポート	18
2.3.14 メモリ保護	18
2.3.15 ブートプロセス	20
2.3.16 セキュリティ	20
2.4 周辺機能	21
2.4.1 タイマ	21
2.4.1.1 ベースタイマ: リロードタイマモード	22
2.4.1.2 32 ビット フリーランタイマ	23
2.4.1.3 32 ビット リロードタイマ	24
2.4.1.4 32 ビットインプットキャプチャ	25
2.4.1.5 ベースタイマ: PWC タイマモード	26

Table of contents

2.4.1.6	QPRC.....	27
2.4.1.7	32 ビット アウトプットコンペア.....	28
2.4.1.8	ベースタイマ：PWM タイマモード.....	29
2.4.1.9	ベースタイマ：PPG タイマモード.....	30
2.4.1.10	TCPWM: PWM_DT モード.....	31
2.4.1.11	TCPWM: PWM_PR モード.....	32
2.4.1.12	TCPWM: SR モード.....	32
2.4.2	シリアル通信.....	33
2.4.2.1	UART.....	33
2.4.2.2	I ² C.....	35
2.4.2.3	SPI.....	36
2.4.2.4	LIN.....	38
2.4.3	CAN FD.....	40
2.4.4	I/O インタフェース.....	41
2.4.5	ADC.....	41
2.4.6	RTC.....	43
2.4.7	CRC.....	44
2.4.8	CXPI.....	44
2.4.9	FlexRay.....	45
2.4.10	SDHC ホストコントローラ.....	45
2.4.11	シリアルメモリインタフェース.....	46
2.4.12	Ethernet.....	46
2.5	開発ツールと Flash プログラミングツール.....	47
2.6	MCAL サポート.....	48
3	クラスター製品.....	49
3.1	Traveo と Traveo II ファミリー MCU 機能比較.....	49
3.2	製品概要.....	50
3.3	オンチップシステム機能.....	50
3.3.1	CPU.....	50
3.3.2	メモリデザイン.....	51
3.3.3	デバッグ.....	52
3.3.4	モード設定.....	52
3.3.5	電源および電源監視.....	52
3.3.5.1	電源.....	53
3.3.5.2	電源監視.....	53
3.3.6	リセット要因.....	53
3.3.7	クロックシステム.....	53
3.3.8	ウォッチドッグタイマ.....	54
3.3.9	低電力モード.....	55
3.3.10	割込み構造.....	55
3.3.11	データ転送.....	55
3.3.12	TPU.....	55
3.3.13	フォールトレポート.....	55
3.3.14	メモリ保護.....	55
3.3.15	ブートプロセス.....	56
3.3.16	セキュリティ.....	56
3.4	周辺機能.....	57
3.4.1	タイマ.....	57
3.4.2	シリアル通信.....	57
3.4.2.1	UART.....	57
3.4.2.2	I ² C.....	57

Table of contents

3.4.2.3	SPI.....	57
3.4.2.4	LIN.....	57
3.4.3	CAN FD	57
3.4.4	I/O インタフェース	57
3.4.5	ADC.....	58
3.4.6	RTC.....	58
3.4.7	CRC.....	58
3.4.8	CXPI.....	59
3.4.9	シリアルメモリインタフェース.....	59
3.4.10	Ethernet.....	60
3.4.11	グラフィクスインタフェース.....	60
3.4.12	オーディオインタフェース.....	61
3.4.13	LCD コントローラ	61
3.5	開発ツールと Flash プログラミングツール	62
3.6	MCAL サポート	62
4	関連ドキュメント.....	63
	改訂履歴	64

はじめに

1 はじめに

このアプリケーションノートは、Traveo ファミリ MCU と Traveo II ファミリ MCU の比較について記述します。

Traveo および Traveo II ファミリは、いずれも FLASH メモリを内蔵した 40nm CMOS テクノロジーで製造されています。

システム設定用のいくつかのグローバルハードウェアトリップは異なり、一部のリソースも改善されていますが、下位互換性があります。

このアプリケーションノートは、2つの主要なセクションがあります。1つは自動車車体(ボディ)セグメント用で、もう1つは自動車クラスターセグメント用です。[ボディ・エントリ/ハイ製品](#)ではボディ製品を比較し、[クラスター製品](#)ではクラスター製品を比較します。製品ラインナップを [Table 1](#) に示します。

Table 1 MCU の比較表

製品	Traveo ファミリ	Traveo II ファミリ
ボディ・エントリ/ハイ製品	S6J3428, S6J3429, S6J342A シリーズ	CYT2B7, CYT2B9, CYT4BF シリーズ
クラスター製品	S6J3200 シリーズ	CYT4DN, CYT2C9 シリーズ

2 ボディ・エントリ/ハイ製品

2.1 Traveo II ファミリ MCU 比較

Table 2 Traveo II ファミリ MCU 比較

機能	CYT2B7 シリーズ	CYT2B9 シリーズ	CYT4BF シリーズ
フラッシュメモリ (コードフラッシュ)	最大 1088 KB	2112 KB	8256 KB
フラッシュメモリ (ワークフラッシュ)	最大 96 KB	128 KB	512 KB
SRAM0	最大 64 KB	128 KB	512 KB
SRAM1	最大 64 KB	128 KB	512 KB
CXPI	対応なし	対応	対応なし
FlexRay	対応なし	対応なし	対応
Secure Digital Capacity (SDHC) ホストコントローラ	対応なし	対応なし	対応
シリアルメモリインタフェース	対応なし	対応なし	対応
Ethernet	対応なし	対応なし	対応

2.2 製品概要

Traveo II ファミリは、**Figure 1** に示すように、高性能 Arm® Cortex®-M シリーズの CPU をベースにした 32 ビット MCU ファミリです。このデバイスは、車体制御アプリケーションがターゲットです。

Cortex-M4 プロセッサは、短い割込み応答時間、高いコード密度、および厳格なコストと消費電力を維持しながら高い 32 ビットスループットのために設計されたメイン CPU です。Cortex-M0+ベースのサブ CPU は、セキュリティ、安全性、および保護機能を実装できます。CYT4BF シリーズは、メイン処理のために 2 つの Cortex-M7 プロセッサを使用します。

Figure 1 から **Figure 3** は、CYT2B7 シリーズ、CYT2B9 シリーズ、および CYT4BF シリーズのアーキテクチャの主要コンポーネントを示します。CPU サブシステム、システムリソース、周辺機器ブロック、および I/O サブシステムの 4 つの主なサブシステムがあります。

ボディ・エントリ/ハイ製品

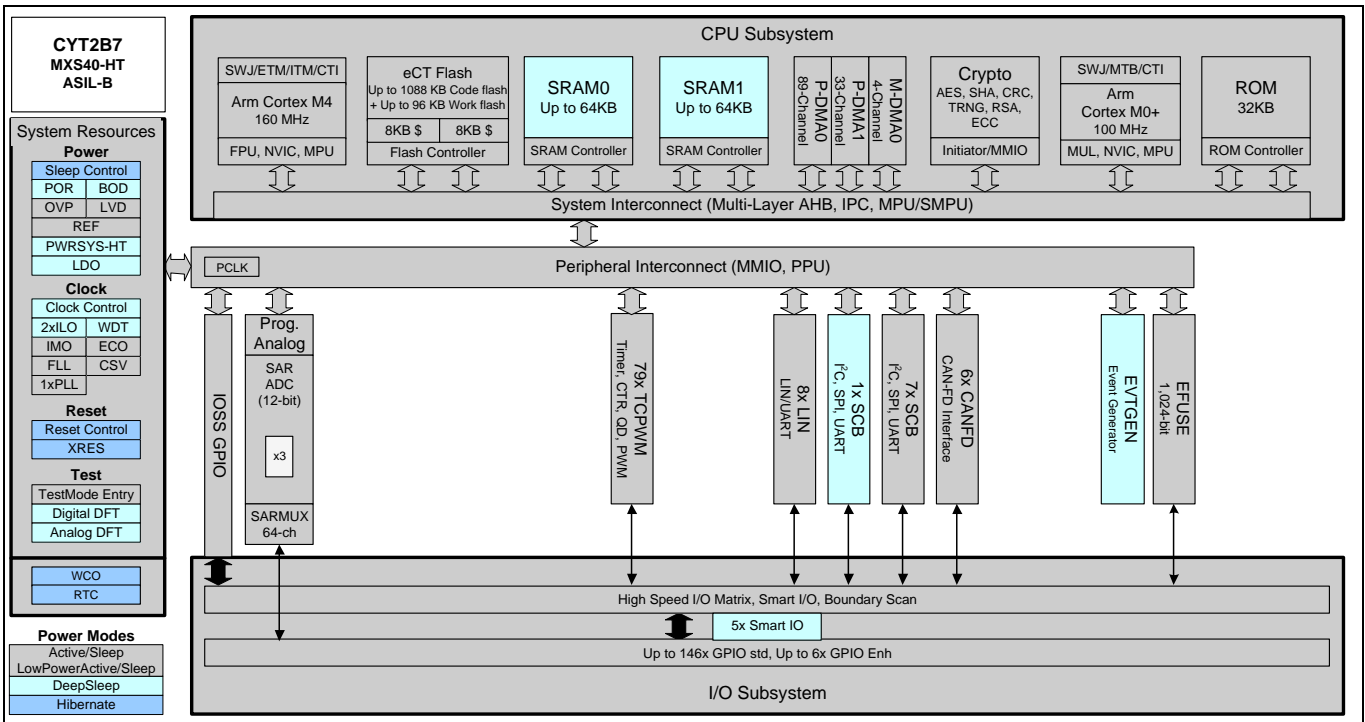


Figure 1 ブロックダイアグラム (CYT2B7 シリーズ)

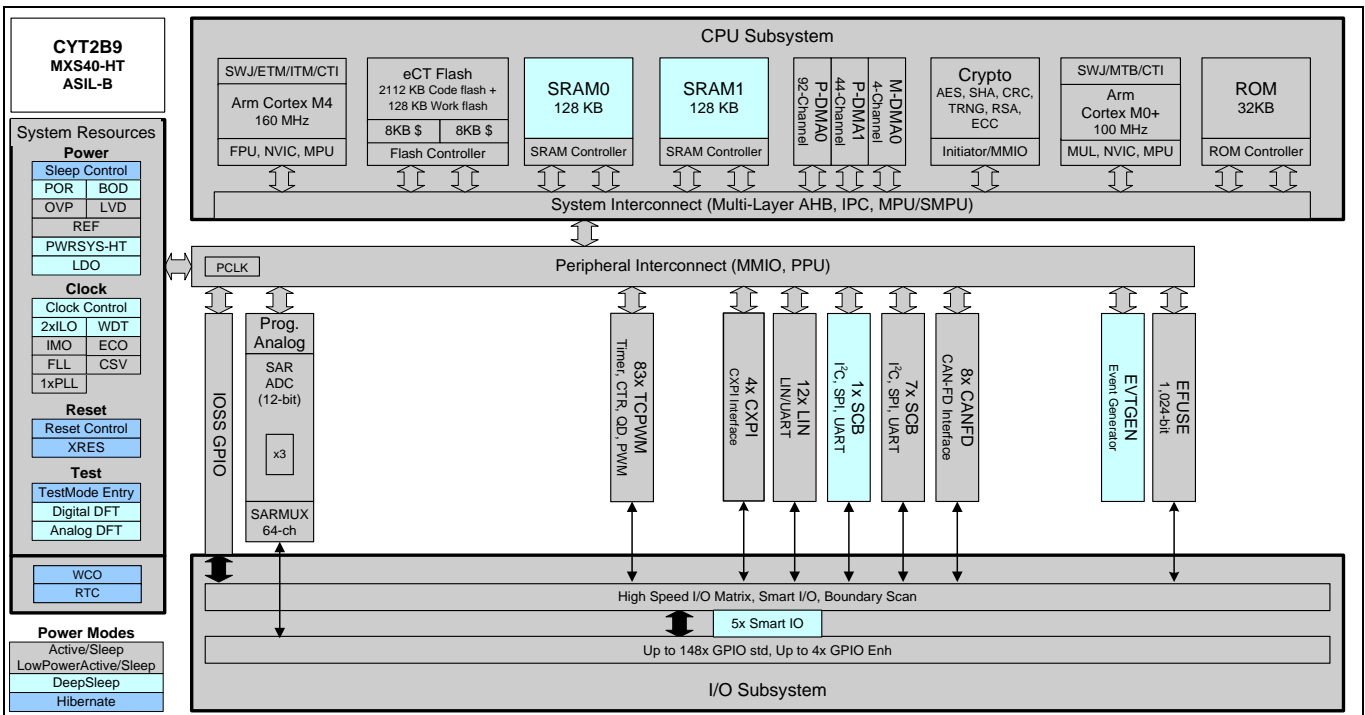


Figure 2 ブロックダイアグラム (CYT2B9 シリーズ)

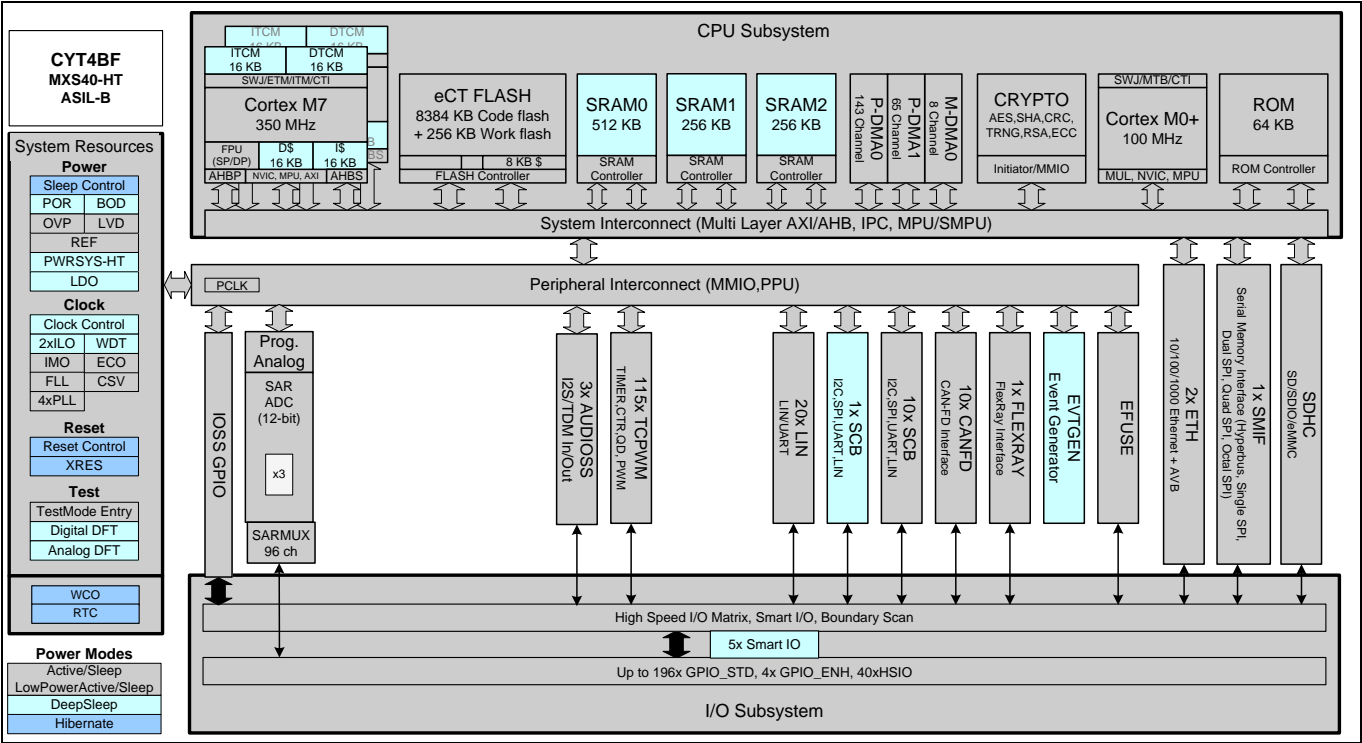


Figure 3 ブロックダイヤグラム (CYT4BF シリーズ)

2.3 オンチップシステム機能

2.3.1 CPU

Traveo と Traveo II ファミリは、32 ビット Arm Cortex プロセッサがベースです。

Traveo ファミリは Cortex-R5 プロセッサを備えたシングル CPU です。一方、Traveo II ファミリは、Cortex-M4 および Cortex-M0+プロセッサを備えたデュアル CPU です。Traveo II では、2 つの CPU が CPU サブシステムとして構成されます。Cortex-M4 プロセッサまたは M7 プロセッサはメイン CPU です。また、Cortex-M0+プロセッサはセキュリティ、安全性、および保護機能を実装できるサブ CPU です。CPU コアが変更されると、MCU の機能はコア仕様に従って変更されます。Table 3 に CPU 機能における主な相違を示します。

Table 3 CPU の相違

項目	Traveo ファミリ	Traveo II ファミリ			備考
		メイン CPU		サブ CPU	
		CYT2B7/B9 シリーズ	CYT4BF シリーズ		
CPU コア	Cortex-R5F	Cortex-M4	Cortex-M7 (x2)	Cortex-M0+	
動作周波数	最大 132 MHz	最大 160 MHz	最大 350 MHz	最大 100 MHz	製品仕様
FPU	単精度／ 倍精度	単精度	単精度／倍精度	なし	

ボディ・エントリ/ハイ製品

項目	Traveo ファミリ	Traveo II ファミリ			備考
		メイン CPU		サブ CPU	
		CYT2B7/B9 シリーズ	CYT4BF シリーズ		
MPU	16 リージョン	8 リージョン	16 リージョン	8 リージョン	¹
キャッシュ メモリ	I-cache 16 KB/D- cache 16 KB	なし	I-cache 16 KB/D- cache 16 KB	なし	
TCM インタ フェース	対応 TCRAM 実装	対応なし	サポート(ITCM, DTCM)	対応なし	
割込みコン トローラの サポート	ベクタ割込み コントローラ (VIC)	ネスト型ベクタ割込みコントローラ (NVIC)			

2.3.2 メモリデザイン

Table 4 にコードフラッシュ機能を示します。主な相違はプログラム容量, 書込み中の読出し操作, および冗長性です。

Table 4 コードフラッシュの相違

コードフラッシュ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
ECC	SEC/DED	SEC/DED
セクタ容量	32 KB, 8 KB	32 KB, 8 KB
プログラム容量	32 ビット, 64 ビット, 256 ビット	64 ビット, 256 ビット, 4096 ビット
プログラム・消去サイクル/リ テンション	1000 / 20 年	1000 / 20 年
書込み中の読出し操作	対応なし	対応

Table 5 にワークフラッシュの機能を示します。主な相違はセクタ容量, プログラムと消去のサイクル, 書込み時の読出し操作, および冗長性です。Traveo II ファミリは、Traveo と比べてより小さいセクタ容量と、より多いプログラムおよび消去のサイクルをサポートします。

Table 5 ワークフラッシュの相違

ワークフラッシュ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
ECC	SEC/DED	SEC/DED
セクタ容量	4 KB	2 KB, 128 B
プログラム容量	32 ビット	32 ビット
プログラム・消去サイクル/リ テンション	1000 / 20 年 10000 / 10 年 100000 / 5 年	125000 / 20 年 250000 / 10 年
書込み中の読出し操作	対応なし	対応

¹ Traveo II ファミリはメモリ保護として、CPU 内蔵の MPU に加えた S MPU を搭載します。[2.3.14 メモリ保護](#)を参照してください。

ボディ・エントリ/ハイ製品

Table 6 に SRAM の機能を示します。主な相違はローパワーモードでのデータ保持です。Traveo II ファミリーは DeepSleep モードでのデータ保持をサポートします。

Table 6 SRAM の相違

SRAM	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
ECC	SEC/DED	SEC/DED
ローパワーモードでのデータ保持	対応なし (TCRAM と SRAM はシャットダウンモードでは保持されません。バックアップ RAM はシャットダウンモードに保持されます。)	対応 (SRAM は、DeepSleep モードで保持されます。)

2.3.3 デバッグ

Traveo と Traveo II ファミリーは JTAG と SWD デバッグインタフェースをサポートします。**Table 7** にデバッグインタフェースの主な相違について示します。

Table 7 デバッグインタフェースの相違

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
デバッグインタフェース	JTAG SWD	JTAG SWD

2.3.4 モード設定

Traveo II ファミリーはシリアルプログラミングモードをサポートしていません。したがって、Traveo II ファミリーにはモード設定ピンはありません。デバッガが JTAG に接続されると、Traveo II ファミリーはデバッグモードに移行し、FLASH へのプログラミングが可能です。

Table 8 モード設定の相違

動作モード	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
標準モード	モードピンによる設定 <ul style="list-style-type: none"> ユーザモード 	デバッガ (SWD または JTAG) は接続されていません。 <ul style="list-style-type: none"> ブートモード/ユーザモード/トラステッドモード ライフサイクルステージ (Secure)
ボードモード	モードピンによる設定 <ul style="list-style-type: none"> シリアルプログラミングモード パラレルプログラミングモード 	デバッガ (SWD または JTAG) は接続されています。 <ul style="list-style-type: none"> デバッグモード ライフサイクルステージ (Normal_Provisioned /Secure/Secure_With_Debug/RMA/Corrupted)

ボディ・エントリ/ハイ製品

2.3.5 電源および電源監視

Traveo II ファミリの電源は Traveo ファミリと同じです、しかし電源の信号名が異なります。また、Traveo II ファミリでは電源監視モードの種類が増えています。

2.3.5.1 電源

Table 9 に電源と機能の相違について示します。

Table 9 電源

電源		S6J3428/9/A シリーズ		CYT2B7/B9, CYT4BF シリーズ	
外部	デジタル	V _{CC}	2.7 V～5.5 V	V _{DDD}	2.7 V～5.5 V
	I/O			V _{DDIO_1/2}	2.7 V～5.5 V
				V _{DDIO_3/4}	2.7 V～3.6 V (CYT4BF シリーズのみ)
	アナログ	AVCC0/1	2.7 V～5.5 V	V _{DDA}	2.7 V～5.5 V
内部		C	1.2 V	V _{CCD}	1.1 V CYT4BF の V _{CCD} を外部電源にすることもできます (V _{CCD} が外部電源の場合、通常 1.15 V)。

2.3.5.2 電源監視

Table 10 に Traveo と Traveo II ファミリの電源の相違について示します。

Table 10 電源監視

電源監視	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
電源監視	<ul style="list-style-type: none"> パワーオンリセット (POR) LVD 	POR LVD ブラウンアウト検出 (Brownout detection (BOD)) 過電圧検出 (Overvoltage detection (OVD)) 過電流検出 (Overcurrent detection (OCD))

2.3.6 リセット要因

Traveo II ファミリのすべてのリセットは非同期リセットであることに注意してください。この違いは、Traveo II システムに従ってリセット要因が最適化されるためです。RAM 保持リセットが必要な場合は、[Architecture テクニカルリファレンスマニュアル \(TRM\)](#) を参照してください。**Table 11** に、リセット要因の主な相違を示します。

Table 11 リセット要因の相違

リセット源	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ	備考
POR	あり	あり	

ボディ・エントリ/ハイ製品

リセット源	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ	備考
BOD リセット	<ul style="list-style-type: none"> 外部 LVD リセット 内部 LVD リセット RAM 保持 LVD リセット 	<ul style="list-style-type: none"> 外部電圧 BOD リセット² 内部電圧 BOD リセット³ アナログ入力電圧 BOD リセット^{2,4} 	
OVD リセット	なし	<ul style="list-style-type: none"> 外部電圧 OVD リセット² 内部電圧 OVD リセット³ アナログ入力電圧 OVD リセット^{2,4} 	
OCD リセット	なし	<ul style="list-style-type: none"> 内部電圧 OCD リセット³ 	
外部リセット	<ul style="list-style-type: none"> RSTX 端子 	<ul style="list-style-type: none"> XRES_L 端子 	
クロック停止待ちタイムアウトリセット	あり	なし。同期リセットサポートなし。	
不適正モード検出リセット	あり	なし。MD 端子なし。	
プロファイルエラーリセット	あり	なし。プロファイル設定サポートなし。	
ウォッチドッグタイマ (WDT) リセット	<ul style="list-style-type: none"> ハードウェア(WDT)リセット ソフトウェア(WDT)リセット 	<ul style="list-style-type: none"> WDT リセット マルチカウンタ WDT リセット 	詳細は 2.3.8 ウォッチドッグタイマ を参照。
内部システムリセット (ソフトウェア)	<ul style="list-style-type: none"> ソフトウェアリセット ソフトウェアトリガハードウェアリセット 	<ul style="list-style-type: none"> ソフトウェアリセット 	
フォールト検出リセット	なし	あり。フォールトレポート経由	
クロックスーパーバイザリセット (CSV)	<ul style="list-style-type: none"> メインクロック CSV リセット サブクロック CSV リセット PLL クロック CSV リセット SSCG クロック CSV リセット 高速 CR CSV リセット 低速 CR CSV リセット 	<ul style="list-style-type: none"> CLK_REF CSV リセット ILO0 CSV リセット CLK_HF CSV リセット CLK_LF CSV リセット 	
ウェイクアップリセット	あり (パワードメインリセット)	あり (Hibernate ウェイクアップリセット)	
デバッガリセット	<ul style="list-style-type: none"> TRSTX ソフトウェアリセット 	<ul style="list-style-type: none"> NTRST ソフトウェアリセット 	

2 プログラマブルトリップポイント (2 ポイント)

3 フィックスドトリップポイント

4 リセットまたはフォールトレポートが選択可能です。

ボディ・エントリ/ハイ製品

2.3.7 クロックシステム

Traveo ファミリ クロックシステムと比較して、Traveo II ファミリ (CYT4B シリーズのみ) には SSCG およびクロックギア機能はありません。Traveo II ファミリでは、高速起動と低消費電力を特長とする周波数ロックループ (FLL) が実装されます。Table 12 にクロックシステムの主な相違について示します。

各々のクロックの AC 特性についてはデータシートを参照してください。

Table 12 クロックシステムの相違

クロックシステム		Traveo ファミリ (S6J3428/9/A シリーズ)	Traveo II ファミリ (CYT2B シリーズ)	Traveo II ファミリ (CYT4B シリーズ)
内部クロックソース		高速 CR: 4 MHz (リセット後に使用される ソースクロック) 低速 CR: 100 kHz	IMO: 8 MHz (リセット後に使用されるソースクロック) ILO0/1: 32 kHz	
外部クロックソース		メインクロック: 3.6~16 MHz サブクロック: 32.768 kHz	ECO: 3.988~33.33 MHz WCO: 32.768 kHz EXT_CLK5: 0.25~100 MHz	
高速クロック生成	PLL	PLL x1 入力: 3.6~17.6 MHz 出力: 200~320 MHz SSCG PLL x4 入力: 3.6~32 MHz 出力: 200 最大 320 MHz	PLL x1 入力: 3.988 MHz~33.34 MHz 出力: 11 MHz~160 MHz SSCG 未実装	SSCG なし PLL x2 入力: 3.998 MHz~33.34 MHz 出力: 11 MHz~200 MHz SSCG あり PLL x2 入力: 3.988 MHz~33.34 MHz 出力: 25 MHz~400 MHz
	FLL	未実装	FLL x1 入力: 0.25 MHz~80 MHz 出力: 24 MHz~100 MHz	FLL x1 入力: 0.25 MHz~80 MHz 出力: 24 MHz~100 MHz
クロックギア		あり	未実装	
クロックスーパーバイザ		メインクロック サブクロック PLL クロック SSCG クロック 低速 CR 高速 CR	CLK_REF (IMO または ECO または EXT_CLK) CLK_HF (PLL と FLL) ILO0 CLK_LF (ILO1 または WCO)	

5専用の I/O ピンから供給できます。

ボディ・エントリ/ハイ製品

2.3.8 ウォッチドッグタイマ

Table 13 にウォッチドッグタイマ (ハードウェア) の機能を示します。主な相違は、カウンタクロック、最大タイムアウト、および低電力モードとデバッグ時の動作です。

Table 13 ウォッチドッグタイマ (ハードウェア) の相違

ウォッチドッグタイマ (ハードウェア)	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
トリガ	リセット	リセット
カウンタクロック	高速内部クロック: 4 MHz 低速内部クロック: 100 kHz	内蔵低速発振器: 32 kHz
カウンタ	32 ビット	32 ビット
最大タイムアウト	12 時間	38.33 時間
ウィンドウファンクション	対応	対応
警告割込み	対応	対応
タイムアウト期限切れ動作	リセットまたはノンマスカブル 割込み(NMI)	リセット
低消費電力モード時の動作	停止	レジスタで停止または実行を選択 できます。
デバッグ中の動作	デバッグ状態で停止	レジスタで停止または実行を選択 できます。

Table 14 にマルチカウンタウォッチドッグタイマ (ソフトウェア) の機能を示します。主な違いは、カウンタクロック、カウンタ、最大タイムアウト、およびデバッグ時の動作です。

Table 14 マルチカウンタウォッチドッグタイマ (ソフトウェア) の相違

マルチカウンタウォッチド ッグタイマ (ソフトウェア)	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
トリガ	ユーザプログラム	ユーザプログラム
カウンタクロック	高速内部クロック: 4 MHz 低速内部クロック: 100 kHz メインクロック: 4 MHz~16 MHz サブクロック: 32 kHz	内蔵低速発振器: 32 kHz 時計用水晶振動子: 32 kHz
カウンタ	32 ビット	2 * 16 ビット, 32 ビット (割込みのみ)
最大タイムアウト	36.4 時間	2.11 秒
ウィンドウファンクション	対応	対応
警告割込み	対応	対応
タイムアウト期限切れ動作	リセットまたは NMI	リセットまたはフォールト
低消費電力モード時の動作	レジスタで停止または実行を選 択できます。	レジスタで停止または実行を選 択できます。
デバッグ中の動作	デバッグ状態で停止	レジスタで停止または実行を選 択できます。

ボディ・エントリ/ハイ製品

2.3.9 低電力モード

Table 15 に低電力モードを示します。Traveo II ファミリは、ディープスリープモードでほとんどすべての低消費電力モードに対応します。

Table 15 低電力モードの相違

低電力モード	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
スリープ <ul style="list-style-type: none"> • CPU: 停止 • ペリフェラル: アクティブ • SRAM 保持 	対応: スリープ <ul style="list-style-type: none"> • TCRAM/SRAM/バックアップ RAM 保持 	対応: スリープ <ul style="list-style-type: none"> • SRAM 保持
タイマ <ul style="list-style-type: none"> • CPU: 停止 • ペリフェラル: RTC, GPIO 以外 停止 • SRAM 保持 	対応: タイマ <ul style="list-style-type: none"> • TCRAM/SRAM/バックアップ RAM 保持 	対応: ディープスリープ <ul style="list-style-type: none"> • ペリフェラル: RTC, イベントジェネレータ, GPIO 以外 OFF • SRAM 保持
ストップ <ul style="list-style-type: none"> • CPU: 停止 • ペリフェラル: GPIO 以外停止 • SRAM 保持 	対応: ストップ <ul style="list-style-type: none"> • TCRAM/SRAM/バックアップ RAM 保持 	対応: ディープスリープ <ul style="list-style-type: none"> • ペリフェラル: RTC, イベントジェネレータ, GPIO 以外 OFF • SRAM 保持
パーシャルウェイクアップ(シャットダウン) <ul style="list-style-type: none"> • CPU: OFF • ペリフェラル: RTC, ADC, GPIO 以外 OFF • パーシャル RAM 保持 	対応: パーシャルウェイクアップ <ul style="list-style-type: none"> • ADC は RTC によってトリガされます。 • バックアップ RAM 保持 	対応: ディープスリープ <ul style="list-style-type: none"> • ペリフェラル: RTC, イベントジェネレータ, GPIO 以外 OFF • ADC と LIN はイベントジェネレータによってトリガされます。 • SRAM 保持 (フル/パーシャル)
タイマ (シャットダウン) <ul style="list-style-type: none"> • CPU: OFF • ペリフェラル: RTC, GPIO 以外 OFF • パーシャル RAM 保持 	対応: タイマ (シャットダウン) <ul style="list-style-type: none"> • バックアップ RAM 保持 	対応: ディープスリープ <ul style="list-style-type: none"> • ペリフェラル: RTC, イベントジェネレータ, GPIO 以外 OFF • SRAM 保持 (フル/パーシャル)
ストップ (シャットダウン) <ul style="list-style-type: none"> • CPU: OFF • ペリフェラル: GPIO 以外 OFF • パーシャル RAM 保持 	対応: タイマ (シャットダウン) <ul style="list-style-type: none"> • バックアップ RAM 保持 	対応: ディープスリープ <ul style="list-style-type: none"> • SRAM 保持 (フル/パーシャル)

ボディ・エントリ/ハイ製品

2.3.10 割込み構造

Traveo と Traveo II ファミリの割込み構造は CPU によって異なります。Traveo ファミリ (Cortex-R5) 割込みコントローラは、ベクタ割込みコントローラ (VIC) を使用し、Traveo II ファミリ (Cortex-M4/M7/M0+) は、ネスト型ベクタ割込みコントローラ (NVIC) を使用します。Table 16 に割込み構造の主な相違を示します。

Traveo ファミリは、外部割込みコントローラによる有効/無効, レベル, およびレベルマスクなどのシステム割込みを制御します。Traveo II ファミリの各 CPU は 8 つの割込み入力を持ち、CPU 内の割込みを制御します。したがって、Traveo II は高速割込み処理を実現します。

Traveo II ファミリは、8 つのグループの 1 つに割り当てられた割込みとして最大 1023 のシステム割込みを使用します。グループ内の優先度は同じです。1023 システム割込みのうち 4 つを NMI として割り当てできます。

Traveo II ファミリは、ディープスリープパワーモードで CPU ウェイクアップの割込み検出を可能にするウェイクアップ割込みコントローラ (WIC) を実装します。

Table 16 割込み構造の相違

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ		備考
CPU コア	Cortex-R5F	Cortex-M4/M7	Cortex-M0+	
CPU でサポートされている割込みコントローラ	VIC	NVIC		
CPU の IRQ 入力数	1	8	8	
CPU の NMI 入力数	1	1	1	
優先レベル	割込み: 32 レベル NMI: 16 レベル	割込み: 8 レベル NMI: なし	割込み: 4 レベル NMI: なし	
システム割込みの数	最大 512	最大 1023		⁶
ベクタアドレス	各システム割込みに割り当てられます。	IRQ 入力ごとに割り当てられます。 複数のシステム割込みは、VTOR テーブルによって提供される CPU 割込みハンドラを共有します。		
WIC	対応なし	対応		

⁶システム割込みは、周辺機能と外部入力から発生する割込みです。デバイスによってサポートされるシステム割込みの一覧は、以下のドキュメントを参照してください。

- Traveo ファミリ: 各デバイスのハードウェアマニュアル
- Traveo II ファミリ: 各デバイスの Architecture テクニカルリファレンスマニュアル

ボディ・エントリ/ハイ製品

2.3.11 データ転送

Traveo II ファミリには、ペリフェラル DMA (P-DMA) と、メモリ DMA (M-DMA) の目的の異なる 2 種類の DMA があります。Table 17 にデータ転送の主な相違を示します。

P-DMA は、多数のチャンネルに対して低レイテンシの達成に重点を置きます。P-DMA の転送エンジンは、すべてのチャンネルで共有されます。

M-DMA は、少数のチャンネルに対して高メモリ帯域幅の達成に重点を置きます。M-DMA には、各チャンネル専用のデータ転送エンジンがあります。

Traveo ファミリの DMA 転送仕様はレジスタによって設定されます。Traveo II ファミリでは、転送は SRAM 内に格納されるディスクリプタによって指定されます。Traveo II ファミリの P/M-DMA はディスクリプタ設定でチェーン転送を実行できます。

Table 17 データ転送の相違

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ		備考
機能名	DMAC	P-DMA	M-DMA	
データ転送詳細設定	レジスタ設定	ディスクリプタのメモリへの設定		
データサイズ	8/16/32/64 ビット	8/16/32 ビット		
転送モード	<ul style="list-style-type: none"> シングル ブロック バースト 	<ul style="list-style-type: none"> シングル 1D/2D CRC 転送 ディスクリプタチェーン 	<ul style="list-style-type: none"> シングル 1D/2D メモリコピー スキップ ディスクリプタチェーン 	
アクティベーショントリガ	<ul style="list-style-type: none"> ハードウェア ソフトウェア 	<ul style="list-style-type: none"> ハードウェア ソフトウェア 転送完了トリガ出力 	<ul style="list-style-type: none"> ソフトウェア 転送完了トリガ出力 	
チャンネル調停方式	<ul style="list-style-type: none"> 固定値 ダイナミック ラウンドロビン 	<ul style="list-style-type: none"> 固定された 4 つのレベル 同じプライオリティグループのラウンドロビン 		
割込み生成	<ul style="list-style-type: none"> 転送完了 エラー発生 	<ul style="list-style-type: none"> 転送完了 エラー発生 		
保護スキーム	<ul style="list-style-type: none"> 専用 MPU アクセス範囲 ユーザ/特権 リード/ライト 	<ul style="list-style-type: none"> SMPU と PPU アクセス範囲 ユーザ/特権 リード/ライト セキュア/非セキュア 保護コンテキスト 		詳細は 3.14 メモリ保護 を参照。

2.3.12 TPU

Traveo ファミリーは、タイミング保護(TPU)専用のタイマが実装されます。しかしながら、Traveo II ファミリーには専用のタイマがありません。Traveo II ファミリーはタイミング保護のために TCPWM タイマを使用します。

TCPWM タイマは、オーバフロー、アンダフロー、および比較一致の割り込みを生成できる汎用タイマです。この割り込みは NMI として実装でき、TPU と同等の機能を実現できます。Figure 4 にタイミング保護を実装したユースケースを、Figure 5 にタイミング保護の実施例を示します。

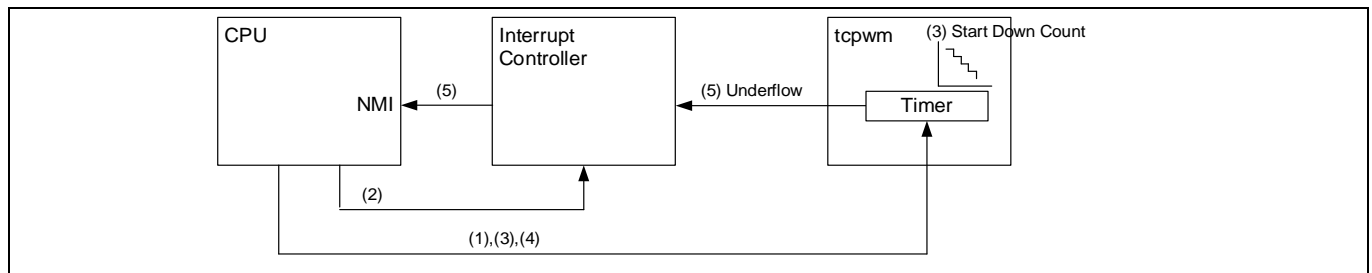


Figure 4 タイミング保護を実装したユースケース

- (1) TCPWM 初期設定(例：ダウンカウントモード使用), および測定時間の上限を初期値に設定。
- (2) TCPWM 割り込みを NMI に設定。
- (3) ソフトウェアは測定プロセスの開始時点でタイマを開始。
- (4) ソフトウェアは測定プロセスの終了時点でタイマを停止。
- (5) ソフトウェアがタイマを停止させる前にカウンタがアンダフローすると、TCPWM のアンダフロー割り込みが割り込みコントローラを介して CPU に NMI として通知。

Note: 割り込みコントローラは、TCPWM 割り込みを含めシステム割り込みを NMI として通知できません。

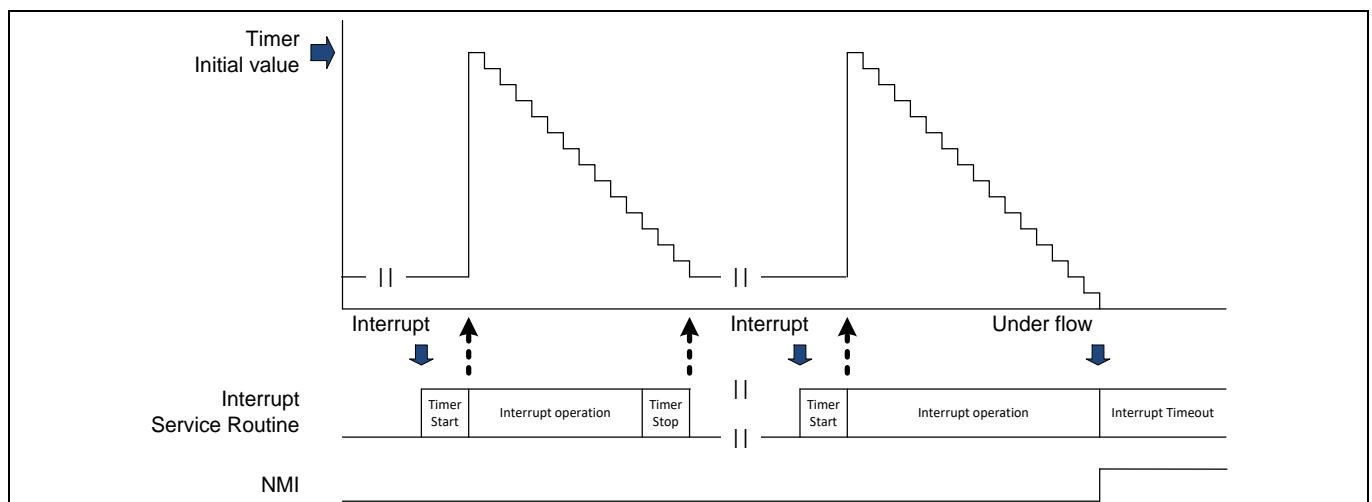


Figure 5 タイミング保護の例 (割り込みサービスルーチン動作時間の監視)

ボディ・エントリ/ハイ製品

2.3.13 フォールトレポート

フォールトレポートは Traveo II ファミリの新機能です。Figure 6 にフォールト構造のブロックダイアグラムを示します。

フォールトレポート構造によるフォールトの集中化により、システム全体にわたって一貫性のあるフォールト処理がソフトウェア開発を容易にします。

フォールトレポートは、MPU/SMPU/PPU 保護違反, SRAM コントローラ ECC エラー, ペリフェラル固有のエラーなど、最大 967個のフォールトをキャプチャします。フォールトレポートでフォールトがキャプチャされると、フォールト割込み, トリガ出力, 外部ピン出力, フォールトリセット要求などの通知信号が生成されます。これらの出力信号のそれぞれは、有効または無効を選択できます。

フォールト割込みは、システム割込みとして CPU NMI にマップできます。また、フォールトレポートは、フォールトソースとフォールト固有の追加情報を提供します。

詳細は、Traveo II Architecture テクニカルリファレンスマニュアル(TRM)を参照してください。

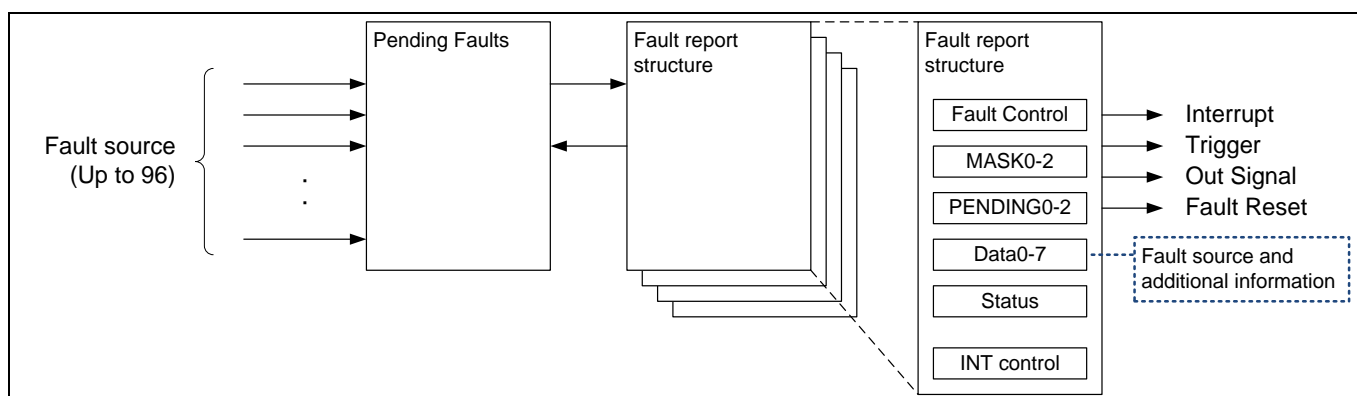


Figure 6 フォールト構造

2.3.14 メモリ保護

Traveo ファミリの保護機能は、CPU のメモリ保護ユニット (MPU), DMA の MPU, およびペリフェラル周辺保護ユニット(PPU)で構成されます。Traveo II ファミリは、MPU, Shared Memory Protection Unit (SMPU), および PPU で構成されます。Table 18 にメモリ保護ユニットの主な相違を示します。

Traveo II ファミリでは、MPU と SMPU によってメモリ保護が提供されます。MPU は CPU およびバスインフラストラクチャの一部として実装されます。P-DMA, M-DMA, および暗号化コンポーネントには MPU がありません。かわりに、プログラムしたバス転送のアクセス制御属性を継承します。

SMPU はすべてのマスタによって共有されます。そして、PPU はペリフェラルレジスタの保護ユニットです。

Traveo II ファミリは、セキュア/非セキュアおよび保護コンテキストの新しい保護属性をサポートします。保護コンテキストは、保護ユニットの設定変更なしにアクセス制限を変更できます。

詳細は、テクニカルリファレンスマニュアルを参照してください。

7 デバイス別にサポートされているシステム割込みの一覧については、テクニカルリファレンスマニュアルを参照してください。

ボディ・エントリ/ハイ製品

Table 18 保護機能構成とアクセス属性の相違

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ	備考
CPU に実装された MPU	Cortex-R5:16 リージョン <ul style="list-style-type: none"> アクセス属性: アクセス範囲 特権/非特権 リード/ライト 実行 (コードまたはデータ) 	Cortex-M4/M0+: 8 リージョン Cortex-M7: 16 リージョン アクセス属性: <ul style="list-style-type: none"> アクセス範囲 特権/非特権 リード/ライト 実行 (コードまたはデータ) 	
バスインフラストラクチャに実装された MPU	対応なし	16 リージョン アクセス属性: <ul style="list-style-type: none"> アクセス範囲 特権/非特権 リード/ライト 実行 (コードまたはデータ) 	デバッガのような外部マスタ用
SMPU	対応なし	16 リージョン アクセス属性: <ul style="list-style-type: none"> アクセス範囲 特権/非特権 リード/ライト 実行 (コードまたはデータ) セキュア/非セキュア 保護コンテキスト 	
PPU	アクセス属性: <ul style="list-style-type: none"> ユーザ/特権 リード/ライト 	アクセス属性: アクセス範囲 特権/非特権 リード/ライト 実行 (コードまたはデータ) セキュア/非セキュア <ul style="list-style-type: none"> 保護コンテキスト 	
MPU16-AHB	アクセス属性: <ul style="list-style-type: none"> アクセス範囲 ユーザ/特権 リード/ライト 	対応なし <ul style="list-style-type: none"> DMA アクセス保護は SMPU または PPU によって供給されます。 	

ボディ・エントリ/ハイ製品

2.3.15 ブートプロセス

Traveo と Traveo II ファミリの両方のブートプロセスは、リセット解除後、アプリケーションプログラムが起動する前に実行されます。ブートプロセスは、Traveo ファミリの Cortex-R5 プロセッサで実行され、Traveo II ファミリのセキュアマスタ Cortex-M0+プロセッサによって実行されます。

Traveo ファミリのブートプロセスは、主に動作モードの判定と、フラッシュマーカに従ってデバッグ接続の認証、セキュアブート処理、およびハードウェアウォッチドッグタイマのセキュリティ設定を実行します。

Traveo II ファミリでは、ブートプロセスには ROM ブートとフラッシュブートがあります。ROM ブートは、プロテクションステートの判定とフラッシュブートプロセスの検証、フラッシュブートは SMPU や PPU などの保護ユニットの設定、およびフラッシュメモリ内のアプリケーションプログラムコードの検証を実行します。また、ブートローダも起動できます。

詳細は[テクニカルリファレンスマニュアル](#)を参照してください。

2.3.16 セキュリティ

Table 19 にセキュリティ機能を示します。Traveo II ファミリは、ライフサイクルステージ、デバイス保護状態、およびハードウェアセキュリティモジュール (HSM) をサポートします。

Table 19 キュリティの相違

セキュリティ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
ライフサイクルステージ デバイス保護ステート	対応なし	対応 ライフサイクルステージ 保護ステート
Flash 保護	対応	対応
デバッグセキュリティ	対応	対応
ハードウェアベースの暗号化	対応 Secure Hardware Extension (SHE)	対応 拡張セキュアハードウェア拡張機能 (eSHE), および HSM のサポートは、サードパーティ製ファームウェアによって有効になります。

ボディ・エントリ/ハイ製品

2.4 周辺機能

2.4.1 タイマ

Traveo ファミリのタイマ機能は、ベースタイマ, リロードタイマ, フリーランタイマ, インพุットキャプチャ, アウトプットコンペア, および Quadrature Position/Revolution Counter (QPRC) で構成されます。

Traveo II ファミリは、統合されたマルチタイマ機能を備えた TCPWM を実装します。TCPWM には 7 つの動作モードがあります。すべての TCPWM チャンネルは、7 つのモードのうちの 1 つを選択し操作できます。Table 20 に各機能の対応するモードを示します。

Table 20 TCPWM チャンネルモード

機能名	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
タイマモード	ベースタイマ: リロードタイマモード フリーランタイマ リロードタイマ	TCPWM: タイマモード
キャプチャモード	インพุットキャプチャ ベースタイマ: PWC タイマモード	TCPWM: キャプチャモード
クアッドレイチャデコーダ	QPRC	TCPWM: QUAD モード
PWM モード	アウトプットコンペア ベースタイマ: PWM タイマモード ベースタイマ: PPG タイマモード	TCPWM: PWM モード
PWM with Dead time	対応なし	TCPWM: PWM_DT モード
Pseudo-Random PWM	対応なし	TCPWM: PWM_PR モード
Shift register	対応なし	TCPWM: SR モード

ボディ・エントリ/ハイ製品

2.4.1.1 ベースタイマ: リロードタイマモード

Traveo ファミリのベースタイマリロードモードは、設定値からカウントダウンするタイマです。タイマ値が"0"になると、タイマは設定値から再びカウントダウンを開始します。また、タイマ値が"0"のときにイベントを発生させられます。Traveo II ファミリでは、TCPWM タイマモードを使用して同じ操作ができます。Table 21 に、ベースタイマリロードタイマモードの主な相違を示します。

Table 21 ベースタイマ (リロードタイマモード) の相違

カウンタ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
タイマ機能	ベースタイマ: リロードタイマモード	TCPWM: タイマモード
カウンタ幅	16 ビットまたは 32 ビット (2 つの 16 ビットタイマを使用)	16 ビットまたは 32 ビット
カウントモード	Down	Up, Down, Up-down1/2
動作クロック	内蔵クロック: 12 タイプ /1, /2, /4, /8, /16, /32, /64, /128, /256, /512, /1024, /2048	内蔵クロック: 8 タイプ /1, /2, /4, /8, /16, /32, /64, /128
	外部クロック 立上りエッジ, 立下りエッジ, または両方	対応なし ⁸
動作モード	ワンショットモード: ストップイベントがアンダフローです。	ワンショットモード: ストップイベントはカウントモードに依存します。(アンダフロー, オーバフロー, またはその両方)
	リロードモード	リロードモード
ゲート機能	対応	対応
アクティベーション	ソフトウェア	ソフトウェア: トリガマルチプレクサ経由
	外部トリガ	外部トリガ
	外部タイマー致開始	なし
イベント生成	アンダフロー	TC イベント: TC イベントはカウントモードに依存します。(アンダフロー, オーバフロー, またはその両方)
	タイマアクティベーショントリガ	なし
	対応なし	コンペアマッチイベント
デバッグモード	対応	対応

⁸外部クロックはタイマのカウントクロックとして使用できません。ただし、立上り (立下り, 両エッジ) 検出モードでカウントイベントを使用すると、カウントイベント検出によりタイマがカウントされます。この場合、カウントイベントは外部クロックとして使用できます。

ボディ・エントリ/ハイ製品

2.4.1.2 32 ビット フリーランタイマ

Traveo ファミリのフリーランタイマは、設定値内でカウントアップまたはカウントダウンします。Traveo II ファミリでは、TCPWM タイマモードを使用して同じ操作ができます。しかし、Traveo II ファミリでは、割込みマスクカウント機能はありません。Table 22 にフリーランタイマの主な相違について示します。

Table 22 32 ビット フリーランタイマの相違

カウンタ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
タイマ機能	32 ビットフリーランタイマ	TCPWM: タイマモード
カウンタ幅	32 ビット	16 ビットまたは 32 ビット
カウントモード	Up, Up-down	Up, Down, Up-down1/2
動作クロック	内蔵クロック: 9 タイプ /1, /2, /4, /8, /16, /32, /64, /128, /256	内蔵クロック: 8 タイプ /1, /2, /4, /8, /16, /32, /64, /128
	外部クロック 両エッジ	対応なし ⁹
動作モード	対応なし	ワンショットモード: ストップイベントは、カウントモード (アンダフロー, オーバフロー, またはその両方) に依存します。
	リロードモード	リロードモード
バッファ機能	対応	対応
アクティベーション	ソフトウェア	ソフトウェア: トリガマルチプレクサ経由
	なし	外部トリガ
イベント生成	コンペアクリア ゼロ検出	TC イベント: TC イベントは、カウントモード (アンダフロー, オーバフロー, またはその両方) に依存します。
	なし	コンペアマッチイベント
	割込みマスクカウント機能	対応なし
デバッグモード	対応	対応

⁹外部クロックはタイマのカウントクロックとして使用できません。ただし、立上り (立下り, 両エッジ) 検出モードでカウントイベントを使用すると、カウントイベント検出によりタイマがカウントされます。この場合、カウントイベントは外部クロックとして使用できます。

ボディ・エントリ/ハイ製品

2.4.1.3 32 ビット リロードタイマ

Traveo ファミリの 32 ビットリロードモードは設定値からカウントダウンするタイマです。Traveo II ファミリでは、TCPWM タイマモードを使用して同じ操作ができます。Table 23 に 32 ビット リロードタイマの主な相違について示します。

Table 23 32 ビット リロードタイマの相違

カウンタ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
タイマ機能	32 ビットリロードタイマ	TCPWM: タイマモード
カウンタ幅	32 ビット	16 ビットまたは 32 ビット
カウントモード	Down	Up, Down, Up-down1/2
動作クロック	内蔵クロック: 6 タイプ /1, /2, /4, /8, /16, /32	内蔵クロック: 8 タイプ /1, /2, /4, /8, /16, /32, /64, /128
	外部クロック 立上りエッジ, 立下りエッジ, または両方	対応なし ¹⁰
動作モード	ワンショットモード: ストップイベントがアンダフローです。	ワンショットモード: ストップイベントは、カウントモード (アンダフロー, オーバフロー, またはその両方) に依存します。
	リロードモード	リロードモード
ゲート機能	対応	対応
アクティベーション	ソフトウェア	ソフトウェア: トリガマルチプレクサ経由
	外部トリガ	外部トリガ
イベント生成	アンダフロー	TC イベント: TC イベントは、カウントモード (アンダフロー, オーバフロー, またはその両方) に依存します。
	対応なし	コンペアマッチイベント
自動ソフトスタート	対応	対応: トリガマルチプレクサ経由
デバッグモード	対応	対応

¹⁰ 外部クロックはタイマのカウントクロックとして使用できません。ただし、立上り (立下り、両エッジ) 検出モードでカウントイベントを使用すると、カウントイベント検出によりタイマがカウントされます。この場合、カウントイベントは外部クロックとして使用できます。

ボディ・エントリ/ハイ製品

2.4.1.4 32 ビットインプットキャプチャ

Traveo ファミリの 32 ビットインプットキャプチャは、32 ビットフリーランタイムの値に基づいて入力パルス幅と外部クロックサイクルを測定します。Traveo II ファミリでは、TCPWM キャプチャモードを使用して同じ操作ができます。

Traveo ファミリでは、インプットキャプチャ機能はフリーランタイムとの連携機能ですが、Traveo II ファミリでは TCPWM チャネルごとに独立したタイマを備えます。したがって、Traveo II ファミリではインプットキャプチャ機能に別のタイマを使用する必要はありません。Table 24 に 32 ビットインプットキャプチャの主な相違について示します。

Table 24 32 ビット インプットキャプチャの相違

カウンタ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
タイマ機能	32 ビット インプットキャプチャ	TCPWM: キャプチャモード
カウンタ幅	32 ビット	16 ビットまたは 32 ビット
カウントモード	フリーランタイムに従う	Up, Down, Up-down1/2
動作モード	フリーランタイムに従う	ワンショットモード: ストップイベントはカウントモードに依存します。(アンダフロー, オーバフロー, またはその両方)
		リロードモード
クロックプリスケールリング	フリーランタイムに従う	内蔵クロック: 8 タイプ /1, /2, /4, /8, /16, /32, /64, /128
キャプチャイベント	立上りエッジ, 立下りエッジ, または両エッジ	サポート: トリガマルチプレクサ経由
バッファ機能	対応なし	ダブルバッファ キャプチャイベントが検出されると、カウンタ値がキャプチャレジスタにコピーされ、キャプチャレジスタがキャプチャバッファレジスタにコピーされます。
イベント生成	キャプチャイベント検出	カウンタ値がキャプチャされる

ボディ・エントリ/ハイ製品

2.4.1.5 ベースタイマ：PWC タイマモード

Traveo ファミリのベースタイマ：PWC タイマモードは、カウンタを使用して、入力パルスイベント間の時間とサイクルを測定します。

Traveo II ファミリには同じ動作モードがありません。ただし、TCPWM キャプチャモードは、2つのバッファを使用して2つのイベント間の時間をソフトウェアで測定できます。[Figure 7](#) に操作例を示します。

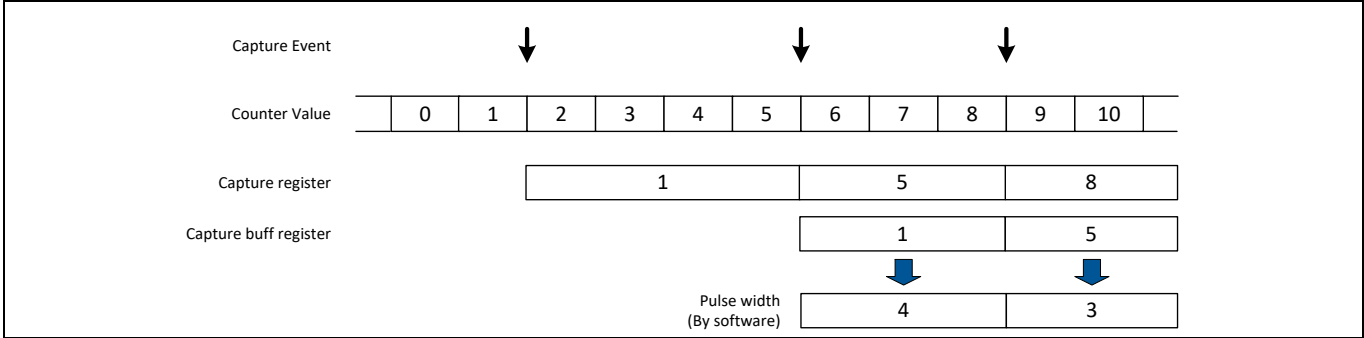


Figure 7 パルス幅測定の例

ボディ・エントリ/ハイ製品

2.4.1.6 QPRC

クアッドレイチャデコーダは、位置を測定するために使用されます。Traveo と Traveo II ファミリはいずれもクアッドレイチャデコーダを実装します。

どちらも x1, x2, x4 サポートします。しかし、Traveo II ファミリではレヴォリユーションカウンタ動作モードはサポートされていません。Table 25 に QPRC の主な相違について示します。

Table 25 QPRC の相違

カウンタ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
タイマ機能	QPRC	TCPWM: QUAD モード
カウンタ幅	16 ビット 2 種 (ポジションカウンタ, レヴォリユーションカウンタ)	16 ビットまたは 32 ビット
ポジションカウンタ動作モード	Up/Down カウントモード	Up/Down ロータリーモード
	対応なし	x1 エンコーディング
	位相差カウントモード x2 モード カウントエッジ: phi_B	x2 エンコーディング カウントエッジ: phi_A
	位相差カウントモード x4 モード	x4 エンコーディング
	方向付きカウントモード	対応なし
レヴォリユーションカウンタ動作モード	RC_mode1	対応なし
	RC_mode2	
	RC_mode3	
イベント生成	カウント反転	対応なし
	ゼロインデックス	リロード/インデックスイベントを含む TC イベント
	対応	対応 QUAD_RANGE1_CMP, QUAD_RANGE1_CAPT
	アンダフロー	対応 QUAD_RANGE1_CMP, QUAD_RANGE1_CAPT
	PC と RC 一致	対応なし
	PC 一致	対応: QUAD_RANGE0_CMP QUAD_RANGE1_CMP
	PC 一致と RC 一致	対応なし
	Out range (範囲外)	対応なし
	キャプチャ	対応: QUAD_RANGE1_CAPT
デバッグモード	対応なし	対応

ボディ・エントリ/ハイ製品

2.4.1.7 32 ビット アウトプットコンペア

Traveo ファミリの 32 ビットアウトプットコンペアは、32 ビットフリーランタイムと連携して PWM 波形を生成します。さらに、コンペアマッチイベントを生成できます。Traveo II ファミリでは、TCPWM PWM モードを使用して同じ操作ができます。Table 26 に 32 ビット アウトプットコンペアの主な相違を示します。

Table 26 32 ビット アウトプットコンペアの相違

カウンタ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
タイマ機能	32 ビットアウトプットコンペア	TCPWM: PWM モード
カウンタ幅	32 ビット	16 ビットまたは 32 ビット
カウントモード	Up, Up-down	Up, Down, Up-down1/2
動作クロック	内蔵クロック: 9 タイプ <ul style="list-style-type: none"> /1, /2, /4, /8, /16, /32, /64, /128, /256 	内蔵クロック: 8 タイプ <ul style="list-style-type: none"> /1, /2, /4, /8, /16, /32, /64, /128
	外部クロック <ul style="list-style-type: none"> 両側のエッジ 	対応なし ¹¹
バッファ機能	対応	対応
チャンネルごとのレジスタ比較	2 種	2 種
チャンネルごとの出力ピン	2 種 <ul style="list-style-type: none"> コンペアレジスタ 0 の OUT0 コンペアレジスタ 1 の OUT1 	2 種 <ul style="list-style-type: none"> LINE_OUT が出力 LINE_COMPL_OUT が補数出力
ワンショットモード	対応なし	ワンショットモード: <ul style="list-style-type: none"> ストップイベントはカウントモードに依存します。(アンダフロー, オーバフロー, またはその両方)
信号出力	インバートモード	対応
	セット/リセットモード	対応
アクティベーション	ソフトウェア	ソフトウェア: トリガマルチプレクサ経由
	対応なし	外部トリガ
	コンペアマッチ	対応
	対応なし	TC イベント: <ul style="list-style-type: none"> TC イベントはカウントモードに依存します。(アンダフロー, オーバフロー, またはその両方)
キルモード	対応なし	対応
デバッグモード	対応	対応

¹¹外部クロックはタイマのカウントクロックとして使用できません。ただし、立上り (立下り、両エッジ) 検出モードでカウントイベントを使用すると、カウントイベント検出によりタイマがカウントされます。この場合、カウントイベントは外部クロックとして使用できます。

ボディ・エントリ/ハイ製品

2.4.1.8 ベースタイマ：PWM タイマモード

Traveo ファミリのベースタイマ PWM モードでは、トリガを検出すると、設定したサイクルの波形を単独または連続して出力できます。このモードでは、PWM 波形を生成するようにサイクルとデューティを設定します。

Traveo II ファミリでは、TCPWM PWM モードを使用して同じ操作ができます。Table 27 にベースタイマ PWM モードの主な相違について示します。

Table 27 ベースタイマ PWM モードの相違

カウンタ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
タイマ機能	ベースタイマ: PWM モード	TCPWM: PWM モード
カウンタ幅	16 ビット	16 ビットまたは 32 ビット
カウンタモード	Down	Up, Down, Up-down1/2
動作クロック	内蔵クロック: 12 タイプ /1, /2, /4, /8, /16, /32, /64, /128, /256, /512, /1024, /2048	内蔵クロック: 8 タイプ /1, /2, /4, /8, /16, /32, /64, /128
	外部クロック 立上りエッジ, 立下りエッジ, 両エッジ	対応なし ¹²
動作モード	ワンショットモード: ストップイベントがアンダフロー	ワンショットモード: ストップイベントはカウントモードに依存します。 (アンダフロー, オーバフロー, またはその両方)
	連続モード	リロードモード
開始遅延	対応	対応なし ¹³
バッファ機能	対応	対応
アクティベーション	ソフトウェア	ソフトウェア: トリガマルチプレクサ経由
	外部トリガ	外部トリガ
	外部タイマー一致開始	対応なし
信号出力	1: サイクルとデューティが一致したときの反転出力	2: コンペアマッチ時の反転出力 LINE_OUT と LINE_COMPL_OUT
	右揃えの PWM	左揃え, 右揃え, 中央揃え, 非対称の PWM
	出力極性制御	対応
トリガ出力	A/D コンバータアクティベーション	対応

¹² 外部クロックはタイマのカウントクロックとして使用できません。ただし、立上り (立下り、両エッジ) 検出モードでカウントイベントを使用すると、カウントイベント検出によりタイマがカウントされます。この場合、カウントイベントは外部クロックとして使用できます。

¹³ カウンタは、所望の位相シフトを反映する値を予めロードしてから、同期して開始できます。

ボディ・エントリ/ハイ製品

カウンタ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
イベント生成	アンダフロー	TC イベント: TC イベントはカウントモードに依存します。(アンダフロー, オーバフロー, またはその両方)
	デューティ一致	サポート: コンペアマッチ
	開始トリガ検出	対応なし
デバッグモード	対応	対応

2.4.1.9 ベースタイマ：PPG タイマモード

Traveo ファミリのベースタイマ PPG モードでは、トリガ検出時に設定したサイクルの波形を単独または連続して出力できます。このモードでは、L 幅と H 幅を設定して PPG 波形を生成します。

Traveo II ファミリでは、TCPWM PWM モードを使用して同じ動作ができます。Table 28 にベースタイマ PPG タイマモードの主な相違について示します。

Table 28 ベースタイマ PPG タイマモードの相違

カウンタ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
タイマ機能	ベースタイマ: PPG モード	TCPWM: PWM モード
カウンタ幅	16 ビット	16 ビットまたは 32 ビット
カウントモード	Down	Up, Down, Up-down1/2
動作クロック	内蔵クロック: 12 タイプ /1, /2, /4, /8, /16, /32, /64, /128, /256, /512, /1024, /2048	内蔵クロック: 8 タイプ /1, /2, /4, /8, /16, /32, /64, /128
	外部クロック 立上りエッジ, 立下りエッジ, 両エッジ	対応なし ¹⁴
動作モード	ワンショットモード: ストップイベントはアンダフロー	ワンショットモード: ストップイベントはカウントモードに依存します。(アンダフロー, オーバフロー, またはその両方)
	連続モード	リロードモード
アクティベーション	ソフトウェア	ソフトウェア: トリガマルチプレクサ経由
	外部トリガ	外部トリガ
信号出力	1 サイクルとデューティが一致したとき 反転出力	2 コンペアマッチ時に反転出力 LINE_OUT と LINE_COMPL_OUT
	出力極性制御	対応

¹⁴ 外部クロックはタイマのカウントクロックとして使用できません。ただし、立上り (立下り、両エッジ) 検出モードでカウントイベントを使用すると、カウントイベント検出によりタイマがカウントされます。この場合、カウントイベントは外部クロックとして使用できます。

ボディ・エントリ/ハイ製品

カウンタ	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
イベント生成	アンダフロー	TC イベント: TC イベントはカウントモードに依存します。(アンダフロー, オーバフロー, またはその両方)
	開始トリガ検出	対応なし
デバッグモード	対応	対応

2.4.1.10 TCPWM: PWM_DT モード

このモードでは、PMW 出力波形にデッドタイムが追加されます。この機能は Traveo ファミリではサポートされません。Figure 8 に動作例を示します。PWM_DT 機能は、次の相違点を除き、PWM 機能と同じです。

- PWM_DT はデッドタイムインサクションをサポート、PWM はデッドタイムインサクションなし。
- PWM_DT はクロックプリスケールリングなし、PWM はクロックプリスケールリングをサポート。

詳細については、[テクニカルリファレンスマニュアル](#)を参照してください。

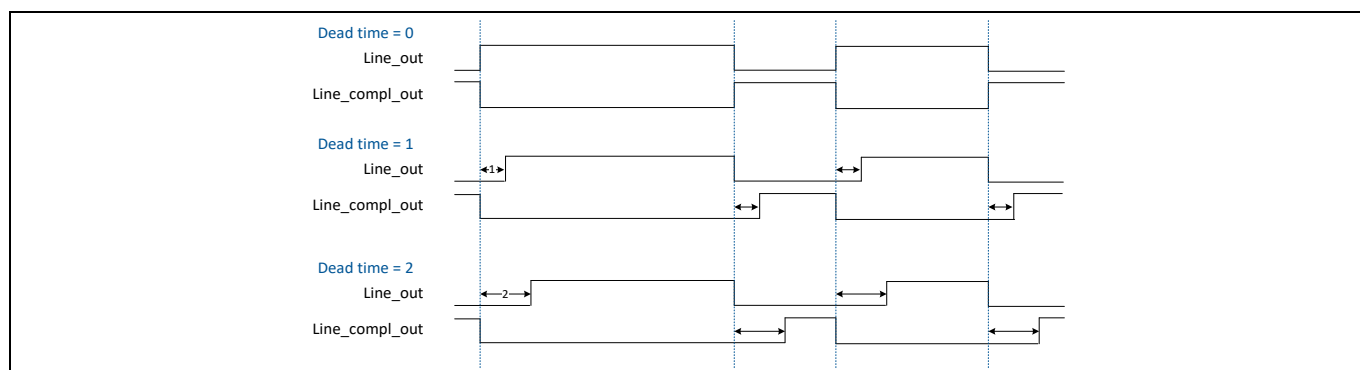


Figure 8 デッドタイム タイミング

2.4.1.11 TCPWM: PWM_PR モード

この機能は、リニアフィードバックシフトレジスタ (LFSR) を使用してカウンタ値を変更します。この結果、疑似乱数列が生成され、生成された信号は通常の PWM 信号とは異なる周波数/雑音特性を持ちます。この機能は Traveo ファミリーではサポートしていません。Figure 9 に動作例を示します。

詳細については、[テクニカルリファレンスマニュアル](#)を参照してください。

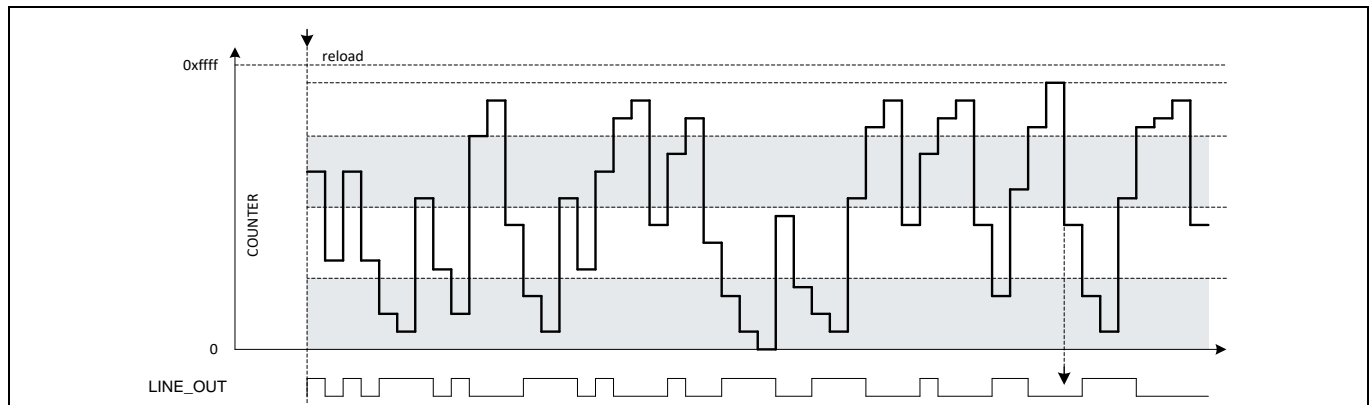


Figure 9 PWM_PR 出力

2.4.1.12 TCPWM: SR モード

この機能は、カウンタの値を右にシフトします。これは、トリガ入力からライン出力への信号遅延機能を実現します。この機能は、周波数シフトキーイング (FSK) 信号の検出などの機能に使用できます。この機能は Traveo ファミリーではサポートしていません。Figure 10 に動作例を示します。詳細については、[テクニカルリファレンスマニュアル](#)をご参照ください。

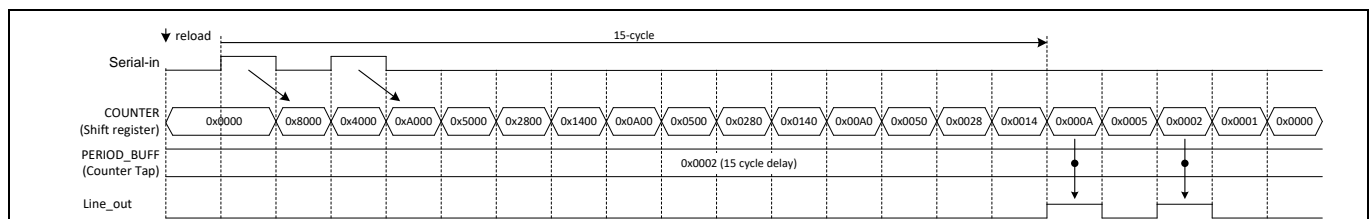


Figure 10 SR Mode 動作

PWM ライン出力は、PERIOD_BUFF によって定義されイネーブルされたカウンタタップ (ビット位置) の XOR の組合せから生成されます。

ボディ・エントリ/ハイ製品

2.4.2 シリアル通信

Traveo の MFS で実現されるシリアル通信機能は、Traveo II ファミリの SCB によって実現されます。Traveo II ファミリでは、専用モジュールによって LIN 機能が実現されます。

Table 29 シリアル通信ブロックの相違

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ	
機能名称	マルチファンクションシリアル (MFS)	シリアルコミュニケーションブロック (SCB)	LIN
サポート機能	<ul style="list-style-type: none"> UART CSIO (SPI Supported) I²C LIN (v2.1) 	<ul style="list-style-type: none"> UART SPI I²C 	LIN (v 2.2A)

2.4.2.1 UART

Traveo II ファミリ SCB (UART) のデータ送受信は、常に FIFO モードで実行されます。Traveo II ファミリでは、9 つの SCB ブロックの内、8 つが UART モードをサポートしますが、1 つはサポートしません。

Table 30 に主な違いを示します。

Table 30 UART の相違

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
データ	送信および受信 FIFO (各 64 bytes) (FIFO 使用時)	送受信 FIFO (各 32/256/512 bytes) (FIFO モードのみ)
シリアル入力	オーバサンプリングはバスクロックで 3 回実行されます。受信値は、多数決により決定されます。	<ul style="list-style-type: none"> clk_scb 使用 インタフェースクロックの入力クロック (clk_scb)をインタフェースクロックの「オーバサンプリング倍数」として使用
転送フォーマット	非同期	非同期
ボーレート	専用ボーレートジェネレータ(15 ビットリロードカウンタ構成)	CTRL.OVS レジスタがサポートされます。 <ul style="list-style-type: none"> ボーレート = $\text{clk_scb} / (\text{OVS} + 1) * \text{OVS} = 7-15$
	外部クロック入力はリロードカウンタで調整できます。	対応なし
データ長	5~9 ビット(ノーマルモードの場合)、または 7~8 ビット(マルチプロセッサモードの場合)	4~16 ビット (標準/マルチプロセッサモード)
シグナル伝送方式	NRZ	NRZ
	反転 NRZ	対応なし
開始ビット検出	スタートビットの立下りエッジに同期(NRZ 方式の場合)	スタートビットの立下りエッジ(NRZ システム)と同期
	スタートビットの立上りエッジに同期(反転 NRZ 方式の場合)	対応なし

ボディ・エントリ/ハイ製品

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
受信エラー検出	フレーミングエラー	フレーミングエラー
	オーバランエラー	対応なし
	パリティエラー (標準モードのみ)	パリティサポート (奇数パリティと偶数パリティ)
ハードウェアフロー制御	CTS と RTS による送受信自動制御	CTS と RTS による送受信自動制御
割込み要求	受信割込み	受信割込み (フレームエラー, パリティエラー)
	受信 FIFO 割込み	受信 FIFO 割込み (RX FIFO がフル, RX FIFO が空ではない, RX FIFO がオーバフロー, RX FIFO がアンダフロー)
	送信割込み	送信割込み (TX 完了)
	送信 FIFO 割込み	送信 FIFO 割込み (TX FIFO がフルではない, TX FIFO が空, TX FIFO がオーバフロー, TX FIFO がアンダフロー)
	DMA 転送は送信と受信の両方でサポートされます。	対応なし
	ステータス割込み	対応なし
マスタ/スレーブ型通信機能 (マルチプロセッサモード)	1 (マスタ) -to-n (スレーブ) 通信サポート (マスタおよびスレーブシステムどちらもサポート)	1 (マスタ) -to-n (スレーブ) 通信サポート (マスタおよびスレーブシステムどちらもサポート)
FIFO オプション	送信および受信 FIFO が用意されます。	送信および受信 FIFO がサポートされます。
	送信 FIFO と受信 FIFO を選択可能	対応なし
	送信データは再送信可能	対応なし
	受信 FIFO 割込みのタイミングはソフトウェアで変更できます。	受信 FIFO 割込みのタイミングはソフトウェアで変更できます。
	独立した FIFO リセットがサポートされます。	独立した FIFO リセットがサポートされます。

ボディ・エントリ/ハイ製品

2.4.2.2 I²C

Traveo II ファミリー SCB (I²C) データの送受信は、常に FIFO モードで実行されます。Traveo II ファミリーでは、9 つの SCB ブロックの内、8 つが I²C をフルサポートしますが、1 つは I²C スレーブモードのみをサポートします。Table 31 に主な相違を示します。

Table 31 I²C の相違

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
データバッファ	全二重ダブルバッファ(FIFO 未使用)	シングルメモリバッファ (EZ I ² C/Command-RESP)
	送信/受信 FIFO (各 16 bytes) (FIFO 使用時)	送信/受信 FIFO (各 32/256/512 bytes) (FIFO モードのみ)
シリアル入力	シリアルクロックのデータ入力の場合、2~38 バスクロックのノイズが除去されます。	50 ns までのグリッチをフィルタリング
転送モード	同期	同期
ボーレート	専用ボーレートジェネレータ内蔵 (15 ビットリロードカウンタ含む)	<ul style="list-style-type: none"> スローモード (50 kbps) 標準モード (100 kbps), 高速モード (400 kbps), 高速モードプラス (1000 kbps)
データ長	8 ビット	8 ビット
伝送方式	NRZ	NRZ
割込み要求	受信割込み	受信割込み (各転送の終了時に I ² C 停止検出, リード転送の終了時に I ² C 停止検出)
	送信割込み	送信割込み (各転送の終了時に I ² C 停止検出, ライト転送の終了時に I ² C 停止検出)
	ステータス割込み (INT 割込み, ストップコンディション割込み, 繰返し開始検出割込み, シリアルタイマ割込み)	ステータス割込み (I ² C マスタ受信 NACK, I ² C マスタ受信 ACK, I ² C バスエラー, I ² C スレーブロス アービトレーション, I ² C スレーブ受信 NACK, I ² C スレーブ受信 ACK, I ² C スレーブ受信 STOP, I ² C スレーブ受信 START, I ² C スレーブアドレス一致, I ² C スレーブアドレス一致, I ² C バスエラー)
	送信 FIFO 割込み (TX FIFO が割込みトリガ・レベルを超えない場合、または TX FIFO が空の場合、TX FIFO オーバランエラーが発生)	送信 FIFO 割込み (TX FIFO がフルではなく、TX FIFO が空, TX FIFO がオーバーフロー, TX FIFO がアンダフロー)
	受信 FIFO 割込み (受信 FIFO 実行中)	受信 FIFO 割込み (RX FIFO がフル, RX FIFO が空でない, RX FIFO がオーバーフロー, RX FIFO がアンダフロー)
	DMA 転送サポート機能は、送信と受信の両方に提供されます。	対応なし
	対応なし	アドレス一致でウェイクアップ要求

ボディ・エントリ/ハイ製品

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
FIFO	<ul style="list-style-type: none"> 送信 FIFO と受信 FIFO が用意されます (送信 FIFO は 64 bytes, 受信 FIFO は 64 bytes)。 送信 FIFO と受信 FIFO を選択できます。 送信データは再送信できます。 受信 FIFO 割込みのタイミングは、ソフトウェアで変更できます。 独立した FIFO リセットがサポートされます。 	<ul style="list-style-type: none"> 送受信 FIFO (32/256/512 bytes) 送信 FIFO と受信 FIFO を選択可能です。 送信データは再送信可能です。 受信 FIFO 割込みのタイミングは、ソフトウェアで変更可能です。
クロックストレーチ	対応	対応
I ² C モード	対応 <ul style="list-style-type: none"> マスタ スレーブ マルチマスタ 	対応 <ul style="list-style-type: none"> マスタ スレーブ マルチマスタ

2.4.2.3 SPI

Traveo II ファミリー SCB (SPI) データの送受信は常に FIFO モードで実行されます。Traveo II ファミリーでは、9 つの SCB ブロックの内、8 つが SPI をフルサポートしますが、1 つは SPI スレーブモードのみをサポートします。Table 32 に主な相違を示します。

Table 32 SPI の相違

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
データバッファ	送信および受信 FIFO (各 64 bytes) (FIFO 使用時)	送受信 FIFO (各 32/256/512 bytes) (FIFO モードのみ)
転送フォーマット	クロック同期 (start/stop ビットなし)	クロック同期 (start/stop ビットなし)
	マスタ/スレーブ機能	マスタ/スレーブ機能
	SPI に対応 (マスタとスレーブ双方に対応)	SPI をサポート (マスタとスレーブ双方に対応)
ボーレート	専用のボーレートジェネレータが用意されます (マスタ動作中は 15 ビット・リロード・カウンタから構成されます)。 最大 8 Mbps	<ul style="list-style-type: none"> CTRL.OVS レジスタサポート ボーレート = $\text{clk_scb} / (\text{OVS} + 1)$ *OVS=3-15 最大 12 Mbps
	外部クロック入力を許可 (スレーブ動作時)	外部クロックのスレーブ動作に対応
データ長	5~16, 20, 24, 32 ビット	4 ビットから 32 ビットまでプログラム可能なデータフレームサイズ

ボディ・エントリ/ハイ製品

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
割込み要求	受信割込み <ul style="list-style-type: none"> 受信完了 オーバランエラー 受信ブロック転送エラー 	対応なし
	受信 FIFO 割込み <ul style="list-style-type: none"> 受信 FIFO 実行中 	受信 FIFO 割込み <ul style="list-style-type: none"> 受信 FIFO がフル 受信 FIFO が空ではない 受信 FIFO のオーバフロー 受信 FIFO アンダフロー
	転送割込み <ul style="list-style-type: none"> 転送データが空 送信バスアイドル チップエラー割込み 送信ブロック転送エラー 	転送割込み <ul style="list-style-type: none"> SPI マスタ転送完了 SPI バスエラー EZSPI 転送後に SPI スレーブの選択が解除された 書き込み EZSPI 転送後に SPI スレーブが選択解除された
	送信 FIFO 割込み <ul style="list-style-type: none"> 送信 FIFO が割込みトリガ・レベル以下の場合 送信 FIFO が空の場合、送信 FIFO のオーバラン 	送信 FIFO 割込み <ul style="list-style-type: none"> 送信 FIFO がフルではない 送信 FIFO が空 送信 FIFO のオーバフロー 送信 FIFO アンダフロー
	DMA 転送サポート機能は、送信と受信の両方に提供されます。	対応なし
	ステータス割込み <ul style="list-style-type: none"> シリアルタイマ割込み 	ステータス割込み <ul style="list-style-type: none"> スレーブ選択でウェイクアップ要求 各転送の最後に SPI STOP 検出 書き込み転送の終了時の SPI STOP 検出 読み取り転送の終了時の SPI STOP 検出
シリアルチップセレクト	<ul style="list-style-type: none"> 4 チャンネル制御 (独立制御, ラウンディング制御) セットアップ/ホールド/選択解除時間を可変可能 アクティブレベルはチャンネルごとに選択可能 	<ul style="list-style-type: none"> 最大 4 つのスレーブセレクトラインをサポート
同期モード	マスタまたはスレーブ機能	マスタまたはスレーブ機能

ボディ・エントリ/ハイ製品

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
FIFO オプション	<ul style="list-style-type: none"> 送受信 FIFO を内蔵 (送信 FIFO は 64 bytes, 受信 FIFO は 64 bytes) 送信 FIFO と受信 FIFO を選択可能 送信データは再送信可能 受信 FIFO 割込みのタイミングはソフトウェアで変更可能 独立した FIFO リセットが対応されます 	<ul style="list-style-type: none"> 送受信 FIFO 搭載 (送信 FIFO: 32/256/512 bytes, 受信 FIFO: 32/256/512 bytes) 受信 FIFO 割込みタイミングはソフトウェアで変更可能 FIFO リセットは独立してサポートされます

2.4.2.4 LIN

Traveo II ファミリー LIN ブロックは、LIN フレームの自律的な転送をサポートします。Table 33 に主な相違を示します。

Table 33 LIN の相違

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
シリアル入力	オーバサンプリングはバスクロックで 3 回実行されます。受信値は、大多数のルールによって決定されます。	サンプルポイントで 3 倍のオーバサンプル (ノイズフィルタ)。
転送モード	非同期	非同期
ボーレート	<ul style="list-style-type: none"> 専用のボーレートジェネレータが提供されます (15 ビットのリロードカウンタで構成されます)。 外部クロックはリロードカウンタで調整可能。 同期フィールド受信による自動ボーレート調整。 	<ul style="list-style-type: none"> 各チャンネルに設定 同期フィールドをアプリケーションで受信してボーレート調整
データ長	8 ビット	8 ビット
伝送方式	NRZ	NRZ
開始ビット検出	スタートビットの立下りエッジに同期	スタートビットの立下りエッジに同期
エラー検出	<ul style="list-style-type: none"> フレーミングエラー オーバランエラー 送信機ビットエラー 受信同期エラー レシーバ PID エラー レシーバフレームエラー 応答チェックサムエラー タイムアウト検出 	<ul style="list-style-type: none"> 送信機ビットエラー 受信同期エラー レシーバフレームエラー レシーバ PID パリティエラー 応答チェックサムエラー レシーバノイズ検出

ボディ・エントリ/ハイ製品

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
割り込み要求	受信割り込み <ul style="list-style-type: none"> 受信完了 受信ブロック転送エラー 	受信割り込み <ul style="list-style-type: none"> RX ブレークウェイクアップ完了 RX ヘッダ同期完了 RX ヘッダ完了 RX 応答完了
	受信 FIFO 割り込み <ul style="list-style-type: none"> 受信 FIFO 実行中 	対応なし
	送信割り込み <ul style="list-style-type: none"> 送信データが空 伝送バスアイドル 送信ブロック転送エラー 	送信割り込み <ul style="list-style-type: none"> TX ヘッダ完了 TX 応答完了 TX ウェイクアップ完了
	ステータス割り込み <ul style="list-style-type: none"> LIN ブレークフィールド検出 シリアルタイマ割り込み 	ステータス割り込み <ul style="list-style-type: none"> レシーバノイズ検出 タイムアウト検出
	ICU への割り込み要求 <ul style="list-style-type: none"> LIN 同期フィールド検出: LSYN 	対応なし
	送信 FIFO 割り込み <ul style="list-style-type: none"> 送信 FIFO が割り込み閾値内にある場合 送信 FIFO が空の場合 送信 FIFO オーバラン 	対応なし
	DMA 転送は、送信と受信の両方で対応されます。	対応なし
LIN バスオプション	<ul style="list-style-type: none"> LIN プロトコル 2.1 版サポート マスタデバイス動作 (オートおよびマニュアルモード) スレーブデバイス動作 (マニュアルモードのみ) 自動ヘッダ送信 自動応答送信 自動応答受信 入力キャプチャに接続された LIN 同期フィールドの開始/停止エッジの検出 LIN ブレークフィールド生成 (マニュアルモード) LIN ブレークデリミタ生成 (マニュアルモード) LIN ブレークフィールド検出 (マニュアルモード) 	<ul style="list-style-type: none"> ISO17987 規格に準拠したハードウェアでの LIN プロトコルの対応 マスタデバイス動作 (オートモード) スレーブデバイス動作 (オートモード) 自動ヘッダ送信 自動応答送信 自動応答受信
ウェイクアップパルス	<ul style="list-style-type: none"> 受信は対応なし 送信は対応なし 	<ul style="list-style-type: none"> 受信は対応 送信は対応

ボディ・エントリ/ハイ製品

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
LIN トランシーバ制御	• 対応なし	• 対応
UART プロトコル	• 対応なし	• 対応

2.4.3 CAN FD

Table 34 に CAN FD 機能の表を示します。Traveo II ファミリはグローバルなチャネル制御のためにメッセージ RAM とタイムスタンプ機能を共有します。Traveo II ファミリは、DMA 転送用の受信 FIFO 先頭ポインタをサポートします。

Table 34 CAN FD の相違

CAN FD	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
従来の CAN	対応	対応
CAN FD	対応	対応
TTCAN	対応なし	対応
メッセージバッファ ¹⁵	<ul style="list-style-type: none"> 64 (拡張 ID) + 128 (標準 ID) Rx フィルタ 2 * 64 メッセージ Rx FIFO + 64 メッセージ専用 Rx バッファ 32 メッセージ専用 Tx バッファ 32 イベント Tx FIFO 	<ul style="list-style-type: none"> 64 (拡張 ID) + 128 (標準 ID) Rx フィルタ 2 * 64 メッセージ Rx FIFO + 64 メッセージ専用 Rx バッファ 32 メッセージ専用 Tx バッファ 32 イベント Tx FIFO
メッセージハンドラ	1	1
メッセージ RAM アクセス	ダイレクトアクセス	ダイレクトアクセス
メッセージ RAM	専用タイプ	共用タイプ
ECC 付メッセージ RAM	対応	対応
タイムスタンプ機能	対応	対応 共有タイムスタンプカウンタ
受信 FIFO 先頭ポインタ	対応なし	対応

¹⁵ Traveo と Traveo II の場合、リストされている数字はアドレス可能な最大メッセージバッファを示します。利用可能なメッセージ RAM (MRAM) サイズに依存します。

ボディ・エントリ/ハイ製品

2.4.4 I/O インタフェース

Table 35 に I/O インタフェースの機能を示します。主な違いは、入力スレッショルド選択, 出力ドライブ強度選択, ノイズフィルタ, およびスマート I/O です。

Table 35 I/O インタフェースの相違

I/O インタフェース	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
入力閾値の選択 <ul style="list-style-type: none"> CMOS (0307) Automotive (0508) TTL 	TTL 以外対応	対応
出力ドライブ強度の選択	対応 <ul style="list-style-type: none"> 1 mA 2 mA 3 mA (I²C のみ) 5 mA 	対応 <ul style="list-style-type: none"> 0.5 mA 1 mA 2 mA 5 mA 6 mA (GPIO (IOL)のみ) 10 mA (HSIO_STD のみ, CYT4BF のみサポート)
プルアップ/プルダウン	対応 <ul style="list-style-type: none"> 50 kΩ (typ) 	対応 <ul style="list-style-type: none"> 50 kΩ (typ)
ハイ・インピーダンス状態	対応	対応
低電力モード中のポートステータスホールド	対応	対応
ノイズフィルタ	ポートピンごとに対応 <ul style="list-style-type: none"> 最大 100 ns 	ポートグループごとに対応 <ul style="list-style-type: none"> 最大 50 ns
スマート I/O	対応なし	対応

2.4.5 ADC

Table 36 に ADC の機能を示します。主な違いは、結果のデータ形式, 平均化, およびプレコンディショニングです。

Table 36 ADC の相違

ADC	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
12 ビット分解能	対応	対応
ロジカルチャネル	対応	対応
ソフトウェアトリガ	対応	対応
ハードウェアトリガ	対応	対応
アイドルトリガ (Continuous)	対応 <ul style="list-style-type: none"> アイドルトリガ 	対応 <ul style="list-style-type: none"> Continuous
チャネルごとの結果のデータ	対応 <ul style="list-style-type: none"> シングルバッファ 	対応 <ul style="list-style-type: none"> 2 重バッファ

ボディ・エントリ/ハイ製品

ADC	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
結果のデータとフォーマット	<ul style="list-style-type: none"> • Unsigned(固定) • 右揃え(固定) • 8ビット/10ビット/12ビット 	<ul style="list-style-type: none"> • Sign/Unsigned • 左/右揃え • 最大 16 ビット (符号/ゼロ拡張), プログラム可能な右シフト
チャンネルごとにプログラム可能なサンプル時間	対応 <ul style="list-style-type: none"> • 4 つの 16 ビットレジスタから 1 つを選択 • ≥ 7 サイクル 	対応 <ul style="list-style-type: none"> • チャンネルごとに 12 ビットレジスタ • ≥ 11 サイクル
比較時間	≥ 16 サイクル (16 ビットレジスタ)	15 サイクル (固定)
レンジ検出	対応 <ul style="list-style-type: none"> • チャンネルごとに 8 つの閾値(上/下)レジスタから 1 つを選択 • 内部/外部 	対応 <ul style="list-style-type: none"> • チャンネルごとの閾値(上/下)レジスタ • 内部/外部/上/下
パルス検出	対応 <ul style="list-style-type: none"> • 8 ビット ポジティブカウンタ • 5 ビット ネガティブカウンタ 	対応 <ul style="list-style-type: none"> • 8 ビット ポジティブカウンタ • 5 ビット ネガティブカウンタ
平均化	対応なし	対応
グループスキャン	対応	対応
グループが中断したときのプリエンプシオンタイプ	対応 <ul style="list-style-type: none"> • Resume • Restart • Stop 	対応 <ul style="list-style-type: none"> • ABORT_RESUME • ABORT_RESTART • ABORT_CANCEL • FINISH_RESUME
優先度	対応 チャンネルごとに 16 の優先順位	対応 グループあたり 8 つの優先順位
割込み	対応 <ul style="list-style-type: none"> • チャンネルごと/グループ変換完了 • チャンネルごとのレンジ検出 • チャンネルごとのパルス検出 • グループの中断 	対応 <ul style="list-style-type: none"> • チャンネルごとのレンジ検出 • チャンネルごとのパルス検出 • チャンネル/グループごとのオーバーフロー • グループ/チャンネル完了 • グループのキャンセル
DMA 要求	対応	対応
キャリブレーション	対応 <ul style="list-style-type: none"> • アナログキャリブレーション 	対応 <ul style="list-style-type: none"> • アナログキャリブレーション • 代替キャリブレーション • コヒーレントキャリブレーションの更新

ボディ・エントリ/ハイ製品

ADC	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
プレコンディショニング	対応なし	対応 <ul style="list-style-type: none"> オフ VREFL VREFH 基準電圧診断
基準電圧診断	対応 <ul style="list-style-type: none"> AVRL AVRH 	対応 <ul style="list-style-type: none"> VREFL から VREFH までの 10 の電圧レベル
パワーダウンモード	対応	対応
デバッグモード	対応	対応
ソフトウェアアボート	対応 <ul style="list-style-type: none"> 強制終了 	対応 <ul style="list-style-type: none"> IP ディセーブル

2.4.6 RTC

Table 37 に RTC の機能を示します。主な違いは、ソースクロック, 0.5 秒, 月, 年の各カウンタ, および割込みです。

Table 37 RTC の相違

RTC	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
ソースクロック	メインクロック振動子 (4 MHz) サブクロック振動子 (32 kHz) 内蔵低速発振器 (100 kHz)	時計用水晶振動子 (32 kHz) 内蔵低速発振器 (32 kHz)
0.5 秒カウンタ	対応	対応なし <ul style="list-style-type: none"> イベントジェネレータのカウントは 1 秒未満のカウントが可能
秒カウンタ	対応	対応
分カウンタ	対応	対応
時カウンタ	対応	対応
日カウンタ	対応	対応
月カウンタ	対応なし	対応
年カウンタ	対応なし	対応
自動うるう年補正	対応なし	対応
割込み	各カウンタ (日/時/分/秒/0.5 秒)	2 つの独立したアラーム (月/日/時/分/秒)
キャリブレーション	対応 <ul style="list-style-type: none"> メインクロックによる自動キャリブレーション 	対応 <ul style="list-style-type: none"> 波形出力とソフトウェアによるキャリブレーション

ボディ・エントリ/ハイ製品

2.4.7 CRC

Traveo では、CRC は専用モジュールで実装されます。Traveo II は、CRYPT モジュールと DMA モジュールに実装されます。

Table 38 CRC の相違

項目	S6J3428/9/A シリーズ	CYT2B7/B9, CYT4BF シリーズ
方法	CRC モジュールに対応 <ul style="list-style-type: none"> • CCITT CRC16 (多項式= "0x1021") • IEEE-802.3 CRC32 (多項式= "0x04C11DB7") 	CRYPT モジュールと DMA module モジュールに対応 <ul style="list-style-type: none"> • CCITT CRC16 (多項式= "0x1021") • IEEE-802.3 CRC32 (多項式= "0x04C11DB7")

2.4.8 CXPI

Traveo II ファミリには、CYT2B9 シリーズ MCU にのみ CXPI モジュールが実装されます。

CXPI は以下をサポートします。

- ISO/WD20794-4 に準拠したハードウェアでの CXPI プロトコルのサポート
- マスタノード
 - 自動フィールド要求と応答転送処理
- ネットワークアクセス方式
 - イベントトリガ方式
 - ポーリング方式
- キャリア検出多重アクセスと衝突分析(CSMA/CR)
- データ信号のエンコード/デコードフォーマット
 - Non-return to zero (NRZ)モード
 - パルス幅変調 (Pulse width modulation (PWM)) モード
- ウェイクパルス発生
- クロック検出
- 通常フレーム用の 8 ビットチェックサムとロングフレーム用の 16 ビットチェックサム
- 400 倍ビットタイムオーバサンプリング
- エラー検出
- タイムアウト検出
- 以下のメッセージバッファ
 - 保護識別子 (PID) フィールド
 - フレーム情報 (FI) フィールド
 - 16 段の送受信 FIFO バッファ
 - チェックサムフィールド
- ハードウェアエラーインジェクションを含むテストモード

ボディ・エントリ/ハイ製品

2.4.9 FlexRay

Traveo II ファミリには CYT4BF シリーズ MCU にのみ FlexRay モジュールがあります。

FlexRay は以下の機能を提供します。

- FlexRay プロトコル仕様 v2.1 に準拠
- 各チャンネルで最大 10 Mbps のデータ転送
- 最大 128 個のメッセージバッファを設定可能
- ストレージ用の 8 KB のメッセージ RAM。これは最大 128 個のメッセージバッファです。48 バイトのデータセクション, または 254 バイトのデータセクションを持つ最大 30 個のメッセージバッファ
- ペイロード長が異なる可能性のあるメッセージバッファの設定
- 1 つの設定可能な受信 FIFO
- 各メッセージバッファは、受信バッファ, 送信バッファ, または受信 FIFO の一部として設定可能
- 入力バッファおよび出力バッファを介したメッセージバッファへのホストアクセス
- 入力バッファ: メッセージ RAM に転送されるメッセージを保持
- 出力バッファ: メッセージ RAM から読み出されたメッセージを保持
- スロットカウンタ, サイクルカウンタ, およびチャンネルのフィルタリング
- マスク可能なモジュール割込み
- ネットワーク管理をサポート

FlexRay は、これらのインタフェースを実装する 6 つの主要サブブロックで構成されます。

- FlexRay プロトコル仕様 v2.1, 最大 10 Mbps のデータレートをサポート
- CIF MMIO レジスタ
- DMA コントロール
- 同期トリガジェネレータ
- デコーダは AHB インタフェースと他の機能ブロックの間で動作
- AHB スレーブインタフェースは、この FlexRay モジュールへのホスト要求を駆動

次のインタフェースがサポートされます。

- ホストプロセッサへの 32 ビット AHB-lite インタフェース。ワード(32 ビット)トランザクションのみがサポートされます。ハーフワード(16 ビット)およびバイト(8 ビット)トランザクションはバスエラー応答を返します。
- FlexRay 物理層インタフェース
- ホストプロセッサへの割込み
- トリガインタフェース(DMA と外部同期)

2.4.10 SDHC ホストコントローラ

Traveo II ファミリには CYT4BF シリーズにのみ SDHC ホストコントローラモジュールがあります。

SDHC インタフェースは次の機能を提供します。

- 標準コンプライアンス
 - SD 6.0/SDIO 4.10/eMMC 5.1
 - SD SDR50: 50 MB/s (4 ビットデータ@100MHz)
 - eMMC 52 MHz DDR: 104 MB/s (8 ビットデータ@52MHz DDR)

ボディ・エントリ/ハイ製品

- SD と eMMC で共有されている HCI 4.2 (Host Controller Interface) 仕様
- AHB マスタインタフェース
 - ADMA3 使用
 - 連続書き込み操作のためのデータプリフェッチをサポート
- パケットストレージ用のシングルポート RAM
 - バッファ幅に合わせたデータの自動パッキング/アンパック
- 設定/制御/ステータス用の AHB スレーブインタフェース

2.4.11 シリアルメモリアンタフェース

Traveo II ファミリは、CYT4BF シリーズ MCU のみでシリアルメモリアンタフェース (SMIF) を備えます。

SMIF は、シングル, デュアル, またはクアッド SPI プロトコルをサポートするシリアルメモリデバイスへの SPI マスタインタフェースを提供します。

SMIF は以下の機能を提供します。

- HyperBus プロトコル
- SPI モード 0: クロック極性 (CPOL) とクロック位相 (CPHA) はどちらも 0
- シングル, デュアル, およびクアッド SPI プロトコルのサポート
- デュアルクアッド SPI モードのサポート: 2 つのクアッド SPI メモリデバイスを使用して、SPI の読み出しおよび書き込み転送用のデータ帯域幅を増やす
- シングルデータレート (SDR) およびデュアルデータレート (DDR) 転送のサポート
- 最大 4 つの外部メモリデバイスをサポート。2 の倍数で [64 KB, 4 GB] の範囲のデバイス容量をサポート
- インプレース実行(XIP)およびメモリマップド入力/出力(MMIO)操作モード
 - XIP 動作モードは、SPI の読み取り転送と書き込み転送の両方をサポート
- 4 KB の XIP 読み取りキャッシュのサポート
- XIP 操作モードは、書き込みデータのオンザフライ暗号化と読み取りデータのオンザフライ復号化をサポート
- SPI インタフェースロジックは、FIFO の輻輳に対処するための SPI 転送のストールをサポート
- SPI インタフェースロジックは、非同期の SPI 送受信インタフェースクロックをサポート
- SPI インタフェースロジックは複数のインタフェース受信クロックをサポート
- SPI インタフェースロジックは、柔軟な外部メモリデバイスのデータ信号接続をサポート

2.4.12 Ethernet

Traveo II ファミリには、CYT4BF シリーズ MCU のみに Ethernet モジュールがあります。

Ethernet 機能を実現するために外部 PHY へのインタフェースを提供します。Ethernet は以下の機能を提供します。

- 10, 100, および 1000 Mbps 全 2 重動作
- RGMII, RMII, および GMII インタフェースをサポート
- AXI インタフェース (64 ビット)
- 最大 4 つの Tx および 1 つの Rx プライオリティキューをサポート
- 802.1AS および 1588 精密クロック同期プロトコルのサポート
- Tx 同期フレーム用に 1588 ワンステップクロックをサポート

ボディ・エントリ/ハイ製品

- オプションの IEEE1588 タイムスタンプユニット
- 802.3az EEE のサポート
- 802.1Qbb 優先度ベースのフロー制御のサポート
- IP, TCP, および UDP チェックサムオフロードの送受信
- 送信フレーム上の自動 PAD および CRC 生成
- PHY 管理用の MDIO インタフェース
- 2つの最も優先順位の高い送信キューでの 802.1Qav トラフィックシェーピングをサポート
- 送信キューで完全優先, DWRR, または Enhanced Transmission Selection (ETS - 802.1Qaz) をサポート

2.5 開発ツールと Flash プログラミングツール

Traveo および Traveo II ファミリは、Green Hills Software (GHS) と IAR のツールをサポートします。さらに、Traveo II ファミリでは、iSystem, Lauterbach, および Segger などの他のベンダのツールもサポートします。

Table 39 に開発ツールと Flash プログラミングツールの主な相違を示します。

Table 39 開発ツールと Flash プログラミングツール

ツール	S6J3428/9/A シリーズ		CYT2B7/B9, CYT4BF シリーズ	
	エミュレータ/プロ ープ	ソフトウェア/コン パイラ	エミュレータ/プロ ープ	ソフトウェア/コン パイラ
開発ツール	GHS Probe	GHS Multi (v2015.1.6 以降)	GHS Probe (5.4.4)	GHS Multi V7 (Version 7.1.4)
	IAR I-JET	EWARM (v7.30.4 以降)	IAR I-JET	EWARM (8.11)
	-	-	iSystem i-TAG Family Lauterbach TRACE 32-ICE	-
Flash プロ グラミング ツール	GHS Probe	GHS Multi (v2015.1.6 以降)	GHS Probe (5.4.4)	GHS Multi V7 (Version 7.1.4)
	IAR I-JET	EWARM (v7.30.4 以降)	IAR I-JET	EWARM (8.11)
	Serial Interface Cable (シリアルプログラ ミングモードにて)	Flash programmer	Cypress MiniProg3	Cypress Programmer (CYP 使用)
	Minato	-	Segger J-Link	J-Flash
	BPM Micro		Segger Flasher Arm (量産品用)	J-Flash
	DTS INSIGHT			

2.6 MCAL サポート

Table 40 に MCAL の機能について示します。主な違いは、AUTOSAR 版数, コンパイラ, および OCU モジュールです。

Table 40 MCAL サポートの相違

MCAL	Traveo	Traveo II
AUTOSAR 版数	4.0.3	4.2.2
コンパイラ	GHS MULTIV2015.1.6	GHS MULTIV2017.1.4
MCU モジュール	対応	対応
WDG モジュール	対応	対応
GPT モジュール	対応	対応
FLS モジュール	対応	対応
SPI モジュール	対応	対応
LIN モジュール	対応	対応
CAN モジュール	対応	対応
ICU モジュール	対応	対応
PWM モジュール	対応	対応
ADC モジュール	対応	対応
DIO モジュール	対応	対応
PORT モジュール	対応	対応
OCU モジュール	対応なし	対応

クラスター製品

3 クラスター製品

3.1 Traveo と Traveo II ファミリ MCU 機能比較

Table 41 対象 MCU

MCU ファミリ	MCU シリーズ
Traveo ファミリ	S6J3200 シリーズ
Traveo II ファミリ	CYT4DN シリーズ, CYT2C9 シリーズ

Table 42 Traveo と Traveo II ファミリ MCU の比較

機能	Traveo ファミリ	Traveo II ファミリ	
	S6J3200 シリーズ	CYT4DN シリーズ	CYT2C9 シリーズ
フラッシュメモリ(コードフラッシュ)	2112 KB	6336 KB	2112 KB
フラッシュメモリ(ワークフラッシュ)	112 KB	128 KB	128 KB
SRAM0	256 KB	256 KB	256 KB
SRAM1	-	256 KB	-
SRAM2	-	128 KB	-
CXPI	なし	サポート	サポート
グラフィクスインタフェース	映像出力 <ul style="list-style-type: none"> • DRGB x2 • RSDS x1 • LVDS (FDP-Link) x1 映像入力 <ul style="list-style-type: none"> • RGB/YUV/ITU656 x1 グラフィクスエンジン <ul style="list-style-type: none"> • 2D グラフィクスエンジン (2.5D 効果) • 3D グラフィクスエンジン 	映像出力 <ul style="list-style-type: none"> • DRGB x2 • LVDS (FDP-Link) x2 映像入力 <ul style="list-style-type: none"> • RGB/YUV/ITU656 x1 • MIPI CSI-2 x1 グラフィクスエンジン <ul style="list-style-type: none"> • 2D グラフィクスエンジン (2.5D 効果) 	なし
オーディオ	I ² S x2 TDM なし PCMPWM x2 サウンドジェネレータ x1, サウンドウェーブフォームジェネレータ x1 ミキサー x5 オーディオ DAC x1	I ² S x4 TDM x4 PCMPWM x2 サウンドジェネレータ x1 ミキサー x2 オーディオ DAC x1	I ² S x2 TDM x2 PCMPWM x1 サウンドジェネレータ x5 ミキサー x1 オーディオ DAC なし
シリアルメモリインタフェース	サポート (HSSPI, HyperBus)	サポート	なし
Ethernet	サポート	サポート	なし
LCD コントローラ	サポート	なし	サポート

クラスター製品

項目	Traveo ファミリ (S6J3280 シリーズ)	Traveo II ファミリ (CY4DN シリーズ)		備考
		メイン CPU	サブ CPU	
割込みコントローラのサポート	ベクタ割込みコントローラ (VIC), ソフトウェアによる多重割込み	ネスト型ベクタ割込みコントローラ (NVIC)		

3.3.2 メモリデザイン

Table 44 にコードフラッシュ機能を示します。主な相違はプログラム容量, 書き込み中の読出し操作, および冗長性です。

Table 44 コードフラッシュの相違

コードフラッシュ	S6J3280 シリーズ	CYT4DN シリーズ
ECC	SEC/DED	SEC/DED
セクタ容量	64 KB, 8 KB	32 KB, 8 KB
プログラム容量	8 ビット, 16 ビット, 32 ビット, 64 ビット	64 ビット, 256 ビット, 4096 ビット
プログラム・消去サイクル/リテンション	1000 / 20 年	1000 / 20 年
書き込み中の読出し操作	対応なし	対応

Table 45 にワークフラッシュの機能を示します。主な相違はセクタ容量, プログラムと消去のサイクル, 書き込み時の読出し操作, および冗長性です。Traveo II ファミリは, Traveo と比べてより小さいセクタ容量と, より多いプログラムおよび消去のサイクルをサポートします。

Table 45 ワークフラッシュの相違

ワークフラッシュ	S6J3280 シリーズ	CYT4DN シリーズ
ECC	SEC/DED	SEC/DED
セクタ容量	4 KB	2 KB, 128 B
プログラム容量	32 ビット	32 ビット
プログラム・消去サイクル/リテンション	1000 / 20 年 10000 / 10 年 100000 / 5 年	125000 / 20 年 250000 / 10 年
書き込み中の読出し操作	対応なし	対応

クラスター製品

Table 46 に SRAM の機能を示します。主な相違はローパワーモードでのデータ保持です。Traveo II ファミリは DeepSleep モードでのデータ保持をサポートします。

Table 46 SRAM の相違

SRAM	S6J3280 シリーズ	CYT4DN シリーズ
ECC	SEC/DED	SEC/DED
ローパワーモードでのデータ保持	対応なし (TCRAM と SRAM はシャットダウンモードでは保持されません。バックアップ RAM はシャットダウンモードに保持されます。)	対応 (SRAM は、DeepSleep モードで保持されます。)

3.3.3 デバッグ

Traveo と Traveo II ファミリは JTAG と SWD デバッグインタフェースをサポートします。**Table 47** にデバッグインタフェースの主な相違について示します。

Table 47 デバッグインタフェースの相違

項目	S6J3280 シリーズ	CYT4DN シリーズ
デバッグインタフェース	JTAG	JTAG SWD

3.3.4 モード設定

本セクションはボディ エントリ/ハイ製品と同様です。**2.3.4** 節を参照してください。

3.3.5 電源および電源監視

Traveo II ファミリの電源は Traveo ファミリと同じです、しかし電源の信号名が異なります。また、Traveo II ファミリでは電源監視モードの種類が増えています。

クラスター製品

3.3.5.1 電源

Table 48 に電源と機能の相違について示します。

Table 48 電源

電源		S6J3280 シリーズ		CYT4DN シリーズ	
外部	デジタル	V _{CC5}	4.5~5.5 V	V _{DDD}	2.7~5.5 V
		V _{CC12}	1.1~1.3 V	V _{CCD}	1.09~1.21 V
	I/O	V _{CC53}	3.0~3.6 V/4.5~5.5 V	V _{DDIO_GPIO}	2.7~5.5 V
		DV _{CC}	4.5~5.5 V	V _{DDIO_SMC}	2.7~5.5 V
		V _{CC3}	3.0~3.6 V	V _{DDIO_HSI0} , V _{DDIO_SMIF_HV}	3.0~3.6 V
		-	-	V _{DDIO_SMIF}	1.7~2.0 V
	アナログ	AV _{CC3_DAC}	3.0~3.6 V	V _{DDA_DAC}	3.0~3.6 V
		V _{CC3_LVDS_Tx}	3.0~3.6 V	V _{DDHA_FPD0} , V _{DDHA_FPD1}	3.0~3.6 V
				V _{DDA_FPD0} , V _{DDA_FPD1}	1.09~1.21 V
		V _{CC3_LVDS_PLL}	3.0~3.6 V	V _{DDPLL_FPD0} , V _{DDPLL_FPD1}	1.09~1.21 V
		-	-	V _{DDA_MIPI}	1.09~1.21 V
		AV _{CC5}	4.5~5.5 V	V _{DDA_ADC}	2.7~5.5 V

3.3.5.2 電源監視

本セクションはボディ エントリ/ハイ製品と同様です。2.3.5.2 節を参照してください。

3.3.6 リセット要因

本セクションはボディ エントリ/ハイ製品と同様です。2.3.6 節を参照してください。

3.3.7 クロックシステム

Traveo ファミリ クロックシステムと比較して、Traveo II ファミリには Spread Spectrum Clock Generator (SSCG) はありますがクロックギア機能はありません。Traveo II ファミリでは、高速起動と低消費電力を特長とする周波数ロックループ (FLL) が実装されます。DeepSleep および Hibernate モードで動作する LPECO が追加されました。Table 49 にクロックシステムの主な相違を示します。

各々のクロックの AC 特性についてはデータシートを参照してください。

Table 49 クロックシステムの相違

クロックシステム	S6J3200 シリーズ	CYT4DN シリーズ	CYT2C9 シリーズ
内部クロックソース	高速 CR: 4 MHz (リセット後に使用されるソースクロック) 低速 CR: 100 kHz	IMO: 8 MHz (リセット後に使用されるソースクロック) ILO0/1: 32 kHz	IMO: 8 MHz (リセット後に使用されるソースクロック) ILO0/1: 32 kHz

クラスター製品

クロックシステム		S6J3200 シリーズ	CYT4DN シリーズ	CYT2C9 シリーズ
外部クロックソース		メインクロック: 3.6~16 MHz サブクロック: 32.768 kHz	ECO: 3.988~33.33 MHz WCO: 32.768 kHz LPECO: 4~8MHz EXT_CLK ¹⁷ : 0.25~100 MHz	ECO: 3.988~33.33 MHz WCO: 32.768 kHz LPECO: 4~8MHz EXT_CLK ¹⁸ : 0.25~100 MHz
高速クロック生成	PLL	PLL x4 入力: 3.6~32 MHz 出力: 最大 400 MHz (PLL1) SSCG PLL x4 入力: 3.6~32 MHz 出力: 最大 400 MHz (SSCG3)	SSCG なし PLL x3 入力: 3.988~33.34 MHz 出力: 最大 200 MHz SSCG あり PLL x5 入力: 3.988~33.34 MHz 出力: 最大 400 MHz	SSCG なし PLL x2 入力: 3.988~33.34 MHz 出力: 最大 200 MHz SSCG あり PLL x1 入力: 3.988~33.34 MHz 出力: 最大 400 MHz
	FLL	未実装	FLL x1 入力: 0.25~80 MHz 出力: 24~100 MHz	FLL x1 入力: 0.25~80 MHz 出力: 24~100 MHz
クロックギア		対応	未実装	未実装
クロックスーパバイザ		メインクロック サブクロック PLL クロック SSCG クロック 低速 CR 高速 CR	CLK_REF (IMO または ECO または EXT_CLK) CLK_HF (PLL と FLL) ILO0 CLK_LF (ILO1 または WCO)	CLK_REF (IMO または ECO または EXT_CLK) CLK_HF (PLL と FLL) ILO0 CLK_LF (ILO1 または WCO)

3.3.8 ウォッチドッグタイマ

ウォッチドッグタイマ (ハードウェア) 機能は、Table 13 にリストされている機能と同じです。

Table 50 にマルチカウンタウォッチドッグタイマ (ソフトウェア) の機能を示します。主な違いは、カウンタクロック、カウンタ、最大タイムアウトの 3 点、およびデバッグ時の動作です。

Table 50 マルチカウンタウォッチドッグタイマ (ソフトウェア) の相違

マルチカウンタウォッチドッグタイマ (ソフトウェア)	S6J3280 シリーズ	CYT4DN シリーズ
トリガ	ユーザプログラム	ユーザプログラム
カウンタクロック	高速内部クロック: 4 MHz 低速内部クロック: 100 kHz メインクロック: 4 MHz~16 MHz サブクロック: 32 kHz	内蔵低速発振器: 32 kHz 時計用水晶振動子: 32 kHz プリスケラーを介した ECO とプリスケラーを介した低電力外部クロック発振器 (LPECO) は、MCWDT にも使用可能。
カウンタ	32 ビット	2 * 16 ビット, 32 ビット (割込みのみ)

¹⁷専用の I/O ピンから供給できます。

¹⁸専用の I/O ピンから供給できます。

クラスター製品

マルチカウンタウォッチド ッグタイマ (ソフトウェア)	S6J3280 シリーズ	CYT4DN シリーズ
最大タイムアウト	36.4 時間	2.11 秒
ウィンドウファンクション	対応	対応
警告割込み	対応	対応
タイムアウト期限切れ動作	リセットまたは NMI	リセットまたはフォールト
低消費電力モード時の動作	レジスタで停止または実行を選択 できます。	レジスタで停止または実行を選択で きます。
デバッグ中の動作	デバッグ状態で停止	レジスタで停止または実行を選択で きます。

3.3.9 低電力モード

本セクションはボディ エントリ/ハイ製品と同様です。 [2.3.9](#) 節を参照してください。

3.3.10 割込み構造

本セクションはボディ エントリ/ハイ製品と同様です。 [2.3.10](#) 節を参照してください。

3.3.11 データ転送

本セクションはボディ エントリ/ハイ製品と同様です。 [2.3.11](#) 節を参照してください。

3.3.12 TPU

本セクションはボディ エントリ/ハイ製品と同様です。 [2.3.12](#) 節を参照してください。

3.3.13 フォールトレポート

本セクションはボディ エントリ/ハイ製品と同様です。 [2.3.13](#) 節を参照してください。

3.3.14 メモリ保護

Traveo ファミリの保護機能は、CPU のメモリ保護ユニット (MPU), DMA の MPU, およびペリフェラル周辺保護ユニット (PPU) で構成されます。Traveo II ファミリは、MPU, Shared Memory Protection Unit (SMPU), および PPU で構成されます。 [Table 51](#) にメモリ保護ユニットの主な相違を示します。

Traveo II ファミリでは、MPU と SMPU によってメモリ保護が提供されます。MPU は CPU およびバスインフラストラクチャの一部として実装されます。P-DMA, M-DMA, 暗号化コンポーネントには MPU がありません。これらのチャネルまたはコンポーネントをプログラムしたバス転送のアクセス制御属性を継承します。

SMPU はすべてのマスタによって共有されます。そして、PPU はペリフェラルレジスタの保護ユニットです。

Traveo II ファミリは、新しい保護属性 (セキュア/非セキュア) および保護コンテキストをサポートします。保護コンテキストは、保護ユニットの設定変更なしにアクセス制限を変更できます。

詳細は、 [テクニカルリファレンスマニュアル](#) を参照してください。

クラスター製品

Table 51 保護機能構成とアクセス属性の相違

項目	S6J3280 シリーズ	CYT4DN シリーズ	備考
CPU に実装された MPU	Cortex-R5: 16 リージョン アクセス属性: <ul style="list-style-type: none"> アクセス範囲 特権/非特権 リード/ライト 実行(コードまたはデータ) 	Cortex-M0+: 8 リージョン Cortex-M7: 16 リージョン アクセス属性: <ul style="list-style-type: none"> アクセス範囲 特権/非特権 リード/ライト 実行(コードまたはデータ) 	
バスインフラストラクチャに実装された MPU	対応なし	16 リージョン アクセス属性: <ul style="list-style-type: none"> アクセス範囲 特権/非特権 リード/ライト 実行(コードまたはデータ) 	デバッガのような外部マスタ用
SMPU	対応なし	16 リージョン アクセス属性: <ul style="list-style-type: none"> アクセス範囲 特権/非特権 リード/ライト 実行(コードまたはデータ) セキュア/非セキュア 保護コンテキスト 	
PPU	アクセス属性: <ul style="list-style-type: none"> ユーザ/特権 リード/ライト 	アクセス属性: <ul style="list-style-type: none"> アクセス範囲 特権/非特権 リード/ライト 実行(コードまたはデータ) セキュア/非セキュア 保護コンテキスト 	
MPU16-AHB	アクセス属性: <ul style="list-style-type: none"> アクセス範囲 ユーザ/特権 リード/ライト 	対応なし DMA アクセス保護は SMPU または PPU によって供給されます。	

3.3.15 ブートプロセス

本セクションはボディ エントリ/ハイ製品と同様です。2.3.15 節を参照してください。

3.3.16 セキュリティ

本セクションはボディ エントリ/ハイ製品と同様です。2.3.16 節を参照してください。

クラスター製品

3.4 周辺機能

3.4.1 タイマ

本セクションはボディ エントリ/ハイ製品と同様です。2.4.1 節を参照してください。

3.4.2 シリアル通信

3.4.2.1 UART

本セクションはボディ エントリ/ハイ製品と同様です。2.4.2.1 節を参照してください。

3.4.2.2 I²C

本セクションはボディ エントリ/ハイ製品と同様です。2.4.2.2 節を参照してください。

3.4.2.3 SPI

本セクションはボディ エントリ/ハイ製品と同様です。2.4.2.3 節を参照してください。

3.4.2.4 LIN

本セクションはボディ エントリ/ハイ製品と同様です。2.4.2.4 節を参照してください。

3.4.3 CAN FD

本セクションはボディ エントリ/ハイ製品と同様です。2.4.3 節を参照してください。

3.4.4 I/O インタフェース

Table 52 に I/O インタフェースの機能を示します。主な違いは、入力スレッショルド選択, 出力ドライブ強度選択, ノイズフィルタ, およびスマート IO です。

Table 52 I/O インタフェースの相違

I/O インタフェース	S6J3280 シリーズ	CYT4DN シリーズ
入力閾値の選択 <ul style="list-style-type: none"> CMOS (0307) Automotive (0508) TTL 	TTL 以外対応	対応
出力ドライブ強度の選択	対応 <ul style="list-style-type: none"> 1 mA 2 mA 3 mA (I²C のみ) 5 mA 6 mA (MediaLB のみ) 10 mA/20 mA (3 V I/O のみ) 30 mA (SMC のみ) 	対応 <ul style="list-style-type: none"> 0.1 mA (HSIO_ENH のみ) 0.5 mA 1 mA 2 mA 3 mA (HSIO_ENH のみ) 5 mA 6 mA (GPIO (I_{OL}) のみ) 10 mA (HSIO_STD のみ) 30 mA (GPIO_SMC のみ)

クラスター製品

I/O インタフェース	S6J3280 シリーズ	CYT4DN シリーズ
プルアップ/プルダウン	対応 • 50 kΩ (typ)	対応 • 50 kΩ (typ)
ハイ・インピーダンス状態	対応	対応
低電力モード中のポートステータスホールド	対応	対応
ノイズフィルタ	ポートピンごとに対応 • 最大 100 ns	ポートグループごとに対応 • 最大 50 ns
スマート IO	対応なし	対応

3.4.5 ADC

本セクションはボディ エントリ/ハイ製品と同様です。2.4.5 節を参照してください。

3.4.6 RTC

Table 53 に RTC の機能を示します。主な違いは、ソースクロック、割込み、および 0.5 秒/月/年の各カウンタです。

Table 53 RTC の相違

RTC	S6J3280 シリーズ	CYT4DN シリーズ
ソースクロック	メインクロック振動子 (4 MHz) サブクロック振動子 (32 kHz) 内蔵低速発振器 (100 kHz)	時計用水晶振動子 (32 kHz) 内蔵低速発振器 (32 kHz) LPECO
0.5 秒カウンタ	対応	対応なし • イベントジェネレータのカウントは 1 秒未満のカウントが可能
秒カウンタ	対応	対応
分カウンタ	対応	対応
時カウンタ	対応	対応
日カウンタ	対応	対応
月カウンタ	対応なし	対応
年カウンタ	対応なし	対応
自動うるう年補正	対応なし	対応
割込み	各カウンタ (日/時/分/秒/0.5 秒)	2 つの独立したアラーム (月+日+時+分+秒)
キャリブレーション	対応 メインクロックによる自動キャリブレーション	対応 波形出力とソフトウェアによるキャリブレーション

3.4.7 CRC

本セクションはボディ エントリ/ハイ製品と同様です。2.4.7 節を参照してください。

クラスター製品

3.4.8 CXPI

Traveo II ファミリには、CYT4DN および CYT2C9 シリーズ MCU に CXPI モジュールが実装されます。

CXPI は以下をサポートします。

- ISO/WD 20794-4 に準拠したハードウェアでの CXPI プロトコルのサポート
- マスタノード
 - 自動フィールド要求と応答転送処理
- ネットワークアクセス方式
 - イベントトリガ方式
 - ポーリング方式
- キャリア検出多重アクセスと衝突分析(CSMA/CR)
- データ信号のエンコード/デコードフォーマット
 - Non-return to zero (NRZ) モード
 - パルス幅変調(Pulse width modulation (PWM)) モード
- ウェイクパルス発生
- クロック検出
- 通常フレーム用の 8 ビットチェックサムとロングフレーム用の 16 ビットチェックサム
- 400 倍ビットタイムオーバーサンプリング
- エラー検出
- タイムアウト検出
- 以下のメッセージバッファ
 - 保護識別子 (PID) フィールド
 - フレーム情報 (FI) フィールド
 - 16 段の送受信 FIFO バッファ
 - チェックサムフィールド
- ハードウェアエラーインジェクションを含むテストモード

3.4.9 シリアルメモリインタフェース

Traveo II ファミリでは、CYT4DN シリーズ MCU のみが SMIF を備えます。

SMIF は、シングル、デュアル、またはクアッド SPI プロトコルをサポートするシリアルメモリデバイスへの SPI マスタインタフェースを提供します。

- HyperBus プロトコル
- SPI モード 0: クロック極性 (CPOL) と クロック位相 (CPHA) はどちらも 0
- シングル、デュアル、およびクアッド SPI プロトコルのサポート
- デュアルクアッド SPI モードのサポート: 2 つのクアッド SPI メモリデバイスを使用して、SPI の読み出しおよび書き込み転送用のデータ帯域幅を増やす
- シングルデータレート (SDR) およびデュアルデータレート (DDR) 転送のサポート
- 最大 4 つの外部メモリデバイスをサポート。2 の倍数で [64 KB, 4 GB] の範囲のデバイス容量をサポート
- インプレース実行 (XIP) およびメモリマップド入力/出力 (MMIO) 操作モード
 - XIP 動作モードは、SPI の読み取り転送と書き込み転送の両方をサポート
- 4-KB の XIP 読み取りキャッシュのサポート

クラスター製品

- XIP 操作モードは、書き込みデータのオンザフライ暗号化と読取りデータのオンザフライ復号化をサポート
- SPI インタフェースロジックは、FIFO の輻輳に対処するための SPI 転送のストールをサポート
- SPI インタフェースロジックは、非同期の SPI 送受信インタフェースクロックをサポート
- SPI インタフェースロジックは複数のインタフェース受信クロックをサポート
- SPI インタフェースロジックは、柔軟な外部メモリデバイスのデータ信号接続をサポート
- Data Learning Pattern (DLP)機能をサポート

3.4.10 Ethernet

Traveo II ファミリには、CYT4DN シリーズ MCU のみに Ethernet モジュールがあります。

Ethernet 機能を実現するために外部 PHY へのインタフェースを提供します。Ethernet は以下の機能を提供します。

- 10, 100, および 1000 Mbps 全 2 重動作
- RGMII, RMII, および GMII インタフェースをサポート
- AXI インタフェース (64 ビット)
- 最大 4 つの Tx および 1 つの Rx プライオリティキューをサポート
- 802.1AS および 1588 精密クロック同期プロトコルのサポート
- Tx 同期フレーム用に 1588 ワンステップクロックをサポート
- オプションの IEEE1588 タイムスタンプユニット
- 802.3az EEE のサポート
- 802.1Qbb 優先度ベースのフロー制御のサポート
- IP, TCP, および UDP チェックサムオフロードの送受信
- 送信フレーム上の自動 PAD および CRC 生成
- PHY 管理用の MDIO インタフェース
- 2 つの最も優先順位の高い送信キューでの 802.1Qav トラフィックシェーピングをサポート
- 送信キューで完全優先, DWRR, または Enhanced Transmission Selection (ETS - 802.1Qaz) をサポート

3.4.11 グラフィクスインタフェース

Table 54 にグラフィクスインタフェースの相違を示します。Traveo ファミリには、非常に効率的な 2D/3D グラフィクスエンジンが搭載されます。Traveo II ファミリは 2D グラフィクスエンジンをサポートします。Traveo および Traveo II ファミリどちらも、メモリの節約, 安全性, および高画質のための高度な機能セットを備えた特徴があり、システム全体の低コストを実現できます。

Table 54 グラフィクスインタフェースの相違

項目	S6J3280 シリーズ	CYT4DN シリーズ
RSDS 出力	1 ユニットあり	なし
LVDS(FPD-Link)出力	1 ユニットあり	2 ユニットありシングル (最大ディスプレイサイズ: 1920×720) または, 1 ユニットありデュアル (最大ディスプレイサイズ: 2880×1080)
DRGB 出力	2 ユニットあり	2 ユニットあり
ITU656, YUV, RGB 映像入力	1 ユニットあり	1 ユニットあり

クラスター製品

項目	S6J3280 シリーズ	CYT4DN シリーズ
MIPI CSI-2 映像入力	なし	1 ユニットあり
MediaLB	1 ユニットあり	なし
Ethernet AVB	1 ユニットあり	1 ユニットあり
グラフィクスエンジン	2D グラフィクスエンジン (2.5D 効果) 3D グラフィクスエンジン	2D グラフィクスエンジン (2.5D 効果)
VRAM	2048KB	4096KB

3.4.12 オーディオインタフェース

Table 55 にオーディオインタフェースの相違を示します。Traveo と Traveo II ファミリどちらもサウンド処理をサポートします。

Table 55 オーディオインタフェースの相違

項目	Traveo ファミリ (S6J3200 シリーズ)	Traveo II ファミリ (CYT4D シリーズ)
PCMPWM	1 ユニットあり	2 ユニットあり
TDM	対応なし	4 time-division multiplexing (TDM) インタフェースあり
SG	1 ユニットあり	1 ユニットあり
SWFG	1 ユニットあり	なし
ミキサー	2 ユニットあり	2 ユニットあり
Audio DAC	ステレオ 1ch あり	ステレオ 1ch あり
I ² S	2 ユニットあり	4 ユニットあり

3.4.13 LCD コントローラ

Traveo ファミリ S6J3200 シリーズおよび Traveo II ファミリ CYT2C9 シリーズは、LCD コントローラを搭載します。**Table 56** に LCD コントローラの相違を示します。

Table 56 LCD コントローラの相違

項目	S6J3200 シリーズ	CYT2C9 シリーズ
セグメント	最大 32 セグメント (SEG)	最大 32 セグメント (SEG)
コモン電極	4 コモン (COM)	4 コモン (COM)
端子割り当ての自由度	対応なし	すべての GPIO 端子が COM または SEG として構成可能
省電力波形	対応なし	タイプ A(標準)とタイプ B(低電力)
デューティドライブ	デューティ選択: 1/2, 1/3, 1/4 バイアス選択: 1/2, 1/3	デューティ選択: 1/2, 1/3, 1/4 バイアス選択: 1/2, 1/3, デジタル相関
スタティックドライブ	対応	対応なし
デバイス電力モード	RUN/PSS タイマ	Active/Sleep/DeepSleep
デジタルコントラスト制御	なし	あり

クラスター製品

3.5 開発ツールと Flash プログラミングツール

本セクションはボディ エントリ/ハイ製品と同様です。 [2.5 節](#)を参照してください。

3.6 MCAL サポート

本セクションはボディ エントリ/ハイ製品と同様です。 [2.6 節](#)を参照してください。

関連ドキュメント

4 関連ドキュメント

ボディ・エントリ/ハイ製品

Traveo ファミリ シリーズのデータシートとハードウェアマニュアル

- [S6J3400 Series Datasheet](#)
- [S6J3400 Series Hardware Manual](#)
- [Traveo Family Hardware Manual Platform Part for S6J3400 Series](#)

Traveo II ファミリ シリーズのデータシートとテクニカルリファレンスマニュアル

- 製品データシート ([テクニカルサポート](#)に連絡してください。)
 - CYT2B7 Datasheet 32-Bit Arm® Cortex®-M4F Microcontroller Traveo™ II Family
 - CYT2B9 Datasheet 32-Bit Arm® Cortex®-M4F Microcontroller Traveo™ II Family
 - CYT4BF Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller Traveo™ II Family
 - CYT3BB/4BB Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller Traveo™ II Family
- ボディコントローラ エントリ ファミリ ([テクニカルサポート](#)に連絡してください。)
 - Traveo™ II Automotive Body Controller Entry Family Architecture Technical Reference Manual (TRM)
 - Traveo™ II Automotive Body Controller Entry Registers Technical Reference Manual (TRM) for CYT2B7
 - Traveo™ II Automotive Body Controller Entry Registers Technical Reference Manual (TRM) for CYT2B9
- ボディコントローラ ハイ ファミリ ([テクニカルサポート](#)に連絡してください。)
 - Traveo™ II Automotive Body Controller High Family Architecture Technical Reference Manual (TRM) for CYT4BF
 - Traveo™ II Automotive Body Controller High Registers Technical Reference Manual (TRM) for CYT3BB/4BB

クラスター製品

Traveo ファミリ シリーズのデータシートとハードウェアマニュアル

- [S6J3200 Series Datasheet](#)
- [S6J3200 Series Hardware Manual](#)
- [Traveo Family Hardware Manual Platform Part for S6J3200 Series](#)

Traveo II ファミリ シリーズのデータシートとテクニカルリファレンスマニュアル

- 製品データシート ([テクニカルサポート](#)に連絡してください。)
 - CYT4DN Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller Traveo™ II Family
- クラスター 2D ファミリ ([テクニカルサポート](#)に連絡してください。)
 - Traveo™ II Automotive Cluster Family Architecture Technical Reference Manual (TRM)
 - Traveo™ II Automotive Cluster Registers Technical Reference Manual (TRM)

改訂履歴

改訂履歴

Document version	Date of release	Description of changes
**	2018-03-16	これは英語版 002-18629 Rev. **を翻訳した日本語版です。
*A	2019-03-25	これは英語版 002-18629 Rev. *A を翻訳した日本語版です。
*B	2019-09-27	これは英語版 002-18629 Rev. *B を翻訳した日本語版です。
*C	2020-05-20	これは英語版 002-18629 Rev. *C を翻訳した日本語版です。
*D	2021-05-19	テンプレートの変更を実施。 これは英語版 002-18629 Rev. *D を翻訳した日本語版 Rev. *D です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2021-05-19

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2021 Infineon Technologies AG.

All Rights Reserved.

Do you have a question about this document?

Go to www.cypress.com/support

Document reference

002-22771 Rev. *D

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記載された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

本製品、技術、納品条件、および価格についての詳しい情報は、インフィニオンの最寄りの営業所までお問い合わせください (www.infineon.com)。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。