

# TRAVEO™ T2G ファミリのサウンドサブシステムの使用 方法

## 関連製品ファミリ

- CYT2 シリーズ
- CYT3 シリーズ
- CYT4 シリーズ

## 本書について

### 適用範囲と目的

AN226043 では、インフィニオン TRAVEO™ T2G 車載向けクラスタファミリ MCU のサウンドサブシステムの使用方を説明します。このアプリケーションノートは、4 つの使用例で各機能を説明します。I2S, TDM, PWM, ミキサ, サウンドジェネレータ, およびオーディオ デジタル-アナログ変換器の必要な設定についても説明します。

### 対象者

本書は、TRAVEO™ T2G ファミリ CYT2/CYT3/CYT4 シリーズを使用するすべての人を対象とします。

## 目次

	関連製品ファミリ .....	1
	本書について .....	1
	目次 .....	1
1	はじめに .....	4
2	サウンドサブシステム .....	5
2.1	時分割多重(TDM) / IC 間サウンド (I2S) インタフェース .....	5
2.1.1	特長 .....	5
2.2	パルス幅変調 (PWM) インタフェース .....	5
2.2.1	特長 .....	5
2.3	ミキサ .....	6
2.3.1	特長 .....	6
2.4	サウンドジェネレータ (SG) .....	6
2.4.1	特長 .....	6
2.5	オーディオ デジタル-アナログ変換器 (DAC) .....	7
2.5.1	特長 .....	7
3	アプリケーション .....	8
3.1	使用例 1 .....	8
3.1.1	使用例 1 の説明 .....	8
3.1.1.1	高周波ルートクロック設定 .....	11
3.1.1.2	ポート設定 .....	11
3.1.1.3	割込み設定 .....	11
3.1.1.4	SG 設定 .....	11

## 目次

3.1.1.5	割込みルーチン .....	11
3.2	使用例 2 .....	11
3.2.1	使用例 2 の説明 .....	12
3.2.1.1	高周波ルートクロック設定 .....	13
3.2.1.2	ポート設定 .....	13
3.2.1.3	割込み設定 .....	14
3.2.1.4	DMA の設定 .....	14
3.2.1.5	トリガ MUX 設定 .....	14
3.2.1.6	I2S 設定 .....	14
3.2.1.7	ミキサ設定 .....	15
3.2.1.8	PWM 設定 .....	16
3.2.1.9	割込みルーチン .....	16
3.3	使用例 3 .....	17
3.3.1	使用例 3 の説明 .....	17
3.3.1.1	高周波ルートクロック設定 .....	18
3.3.1.2	ポート設定 .....	18
3.3.1.3	割込み設定 .....	19
3.3.1.4	DMA の設定 .....	19
3.3.1.5	トリガ MUX 設定 .....	19
3.3.1.6	TDM 設定 .....	19
3.3.1.7	ミキサ設定 .....	20
3.3.1.8	DAC の設定 .....	20
3.3.1.9	割込みルーチン .....	21
3.4	使用例 4 .....	21
3.4.1	使用例 4 の説明 .....	21
3.4.1.1	高周波ルートクロック設定 .....	23
3.4.1.2	ポート設定 .....	24
3.4.1.3	DMA の設定 .....	24
3.4.1.4	トリガ MUX 設定 .....	24
3.4.1.5	I2S 設定 .....	24
3.4.1.6	PDM 設定 .....	24
3.5	ハードウェア設計ガイド .....	25
3.5.1	オーディオ出カインタフェース .....	26
3.5.2	オーディオ入カインタフェース .....	27
3.5.3	オーディオ出力回路 (LC フィルタ) .....	28
3.5.4	オーディオ入力回路 (アナログ入力バッファ) .....	28
4	用語集 .....	30
5	関連ドキュメント .....	31
	改訂履歴 .....	32

---

## 目次

免責事項 .....	33
------------	----

## 1 はじめに

### 1 はじめに

TRAVEO™ T2G クラスタデバイスは、インストルメントクラスターやヘッドアップディスプレイ (HUD) などの自動車システムを対象とした TRAVEO™ T2G MCU です。CYT2 シリーズには、Arm® Cortex®-M4F ベースの CPU (CM4) と Cortex®-M0+ベースの CPU (CM0+) があります。CYT4 シリーズには 2 つの Arm® Cortex®-M7 ベースの CPU (CM7) と CM0+があり、CYT3 シリーズには 1 つの CM7 と CM0+があります。これらの製品は、安全なコンピューティングプラットフォームを可能にし、インフィニオンの低電力フラッシュメモリと複数の高性能アナログおよびデジタル機能を組み込んでいます。

このアプリケーションノートでは、インフィニオン TRAVEO™ T2G 車載向けクラスタファミリ MCU のサウンドサブシステムの使用方法について説明します。

このアプリケーションノートで使用される機能と用語については、[アーキテクチャ TRM](#) の Sound Subsystem 章を参照してください。

## 2 サウンドサブシステム

### 2 サウンドサブシステム

サウンドサブシステムは以下のブロックが含まれます。

- ・ 時分割多重(TDM) / IC 間サウンド (I2S) インタフェース
- ・ パルス幅変調 (PWM) インタフェース
- ・ ミキサ
- ・ サウンドジェネレータ (SG)
- ・ オーディオ デジタル-アナログ変換器 (DAC)

サウンドサブシステムの各ブロックについては以下の章で説明します。

#### 2.1 時分割多重(TDM) / IC 間サウンド (I2S) インタフェース

TDM/I2S インタフェースは、同時動作する TDM トランスミッタと TDM レシーバで構成されます。I2S インタフェースは、TDM の特殊なケースとして機能します。トランスミッタおよびレシーバはマスタとスレーブの機能をサポートします。TDM/I2S インタフェースは、ビットクロック (TDM\_SCK)、フレーム同期 (TDM\_FSYNC)、およびシリアルデータ (TDM\_SD) で構成されます。さらに、マスタインタフェースクロック (TDM\_MCK) が提供されます。

##### 2.1.1 特長

以下に TDM/I2S の特長を示します。

- ・ I2S と TDM の機能の組合せ
- ・ マスタおよびスレーブ機能
- ・ 全二重トランスミッタとレシーバオペレーション
- ・ 最大 32 チャンネルをサポート。各チャンネルは個別に有効/無効にできます。
- ・ プログラム可能なインタフェースクロック
- ・ プログラム可能なチャンネルサイズ (最大 32 ビット)
- ・ プログラム可能なレイトキャプチャ - レシーバマスタモードでのマルチサイクルラウンドトリップレイテンシの 1, 2, または 3 サイクルの追加遅延
- ・ 遅延サンプリングのサポート
- ・ プログラム可能な PCM サンプリングフォーマット
- ・ プログラム可能な同期パルスタイプ
- ・ サンプルフォーマットの左揃えおよび右揃え
- ・ 割込みおよびトリガサポート付き 128 エントリ Tx FIFO
- ・ 割込みおよびトリガサポート付き 128 エントリ Rx FIFO
- ・ テストモード (トランスミッタからレシーバのループバック)
- ・ デバッグ/フリーズサポート

#### 2.2 パルス幅変調 (PWM) インタフェース

PWM インタフェースは、PWM 出力ラインとその相補出力ラインを駆動します。このインタフェースは、PCM 入力信号を PWM 出力信号に変換します。

##### 2.2.1 特長

以下に PWM の特長を示します。

- ・ プログラム可能なインタフェースクロック
- ・ プログラム可能なダブリングモード

## 2 サウンドサブシステム

- ・ プログラム可能なゲイン
- ・ プログラム可能なパルス幅変調
- ・ プログラム可能な PCM サンプリングフォーマット
- ・ 割込みおよびトリガサポート付き 64 エントリ Tx FIFO
- ・ デバッグ/フリーズ サポート

### 2.3 ミキサ

ミキサは、メモリ内の複数の PCM ソースストリームを 1 つの PCM ディスティネーションストリームに結合します。PCM ソースストリームは on-the-fly であり、ディスティネーションストリームのサンプル周波数とともにアップ/ダウンスケーリングできます。PCM ディスティネーションストリームは、メモリに書き込まれるか、I2S インタフェース経由で送信されます。

#### 2.3.1 特長

以下にミキサの特長を示します。

- ・ ミキサは、複数の PCM ソースストリームを 1 つの PCM ディスティネーションストリームに結合します。
- ・ 通常、PCM ソースストリームは、メモリ上の PCM サンプルパターンの繰り返しで構成されます。繰り返し回数は動的です。つまり、ストリームの開始時にストリームの終了がわからない場合があります。通常、システムイベントは PCM ソースストリームをアクティブ化 (開始) し、別のシステムイベントは PCM ソースストリームを非アクティブ化 (終了) します。
- ・ PCM ソースストリームは、ゲインまたはボリュームで制御できます。
- ・ PCM ソースストリームは、フェードインおよびフェードアウトができます。
- ・ PCM ソースストリームのサンプル周波数には、PCM ディスティネーションストリームのサンプル周波数に対して特定の比率があります: 0.5x, 1x, 2x, 3x, 4x, 6x, 8x, 12x。ミキサは、PCM ソースストリームを PCM ディスティネーションストリームにアップスケール (2x, 3x, ..., 12x) またはダウンスケール (0.5x) します。
- ・ PCM ディスティネーションストリームはゲインまたはボリュームで制御できます。
- ・ PCM ディスティネーションストリームはフェードインおよびフェードアウトができます。
- ・ 固定 PCM サンプルのフォーマット: 16 ビットペア
- ・ I2S トランスミッタはマスタおよびスレーブ機能があります。

### 2.4 サウンドジェネレータ (SG)

サウンドジェネレータは PWM トーン (周波数) および振幅 (ボリューム) 信号を生成します (SG は PCM 信号を生成しません)。SG は、オーディオ波形を、セグメントと呼ばれる一連の離散サンプルに分解します。SG は、一連の設定レジスタの個別のセグメント動作をキャプチャすることで動作します。

#### 2.4.1 特長

以下に SG の特長を示します。

- ・ PWM - 変調 (振幅、トーン) されたサウンドを生成
- ・ ダブルバッファセグメント構造制御
- ・ ボリュームと周波数の独立した制御 (2 つの信号) および結合されたボリューム周波数制御 (1 つの信号) 形式
- ・ プログラム可能なインタフェースクロック

## 2 サウンドサブシステム

### 2.5 オーディオ デジタル-アナログ変換器 (DAC)

オーディオ DAC は PCM データを受け取り、アナログに変換し、それぞれ左右のピンに駆動します。(CYT2 シリーズを除く)

#### 2.5.1 特長

以下に DAC の特長を示します。

- ステレオをサポートします (左右)
- プログラム可能なサンプリングレートと周波数の制御
- カスケード積分楕形 (CIC) フィルタ、有限インパルス応答 (FIR) フィルタ、補間フィルタ、およびデルタシグマ変調器
- マルチレベル DAC
- 割込みおよびトリガサポート付き 64 エントリ Tx FIFO
- デバッグ/フリーズサポート
- アナログブロックのテストモード

### 3 アプリケーション

## 3 アプリケーション

ここでは、TDM、I<sup>2</sup>S、PWM、ミキサ、DAC、SG、および PDM の使用例を以下に示します。

- **使用例 1:** サウンドジェネレータの出力
- **使用例 2:** ミキサは、ミキサのソース FIFO に格納された I2S データと PCM データを結合し、結合されたデータを PWM によって出力します。
- **使用例 3:** 各ミキサのソース FIFO は TDM の 8 つのチャネルの 1 つから PCM データを受信します。次に、ミキサはデータを結合し、DAC により出力します。この使用例は CYT3/4 シリーズのみです。CYT2 シリーズには DAC 機能がありませんので注意してください。
- **使用例 4:** PDM インタフェースで PCM データを生成します。

### 3.1 使用例 1

ここでは、サウンドジェネレータを使用して PWM トーンを生成する方法 (ボリュームと周波数の組合せモードを使用) について説明します。

#### 3.1.1 使用例 1 の説明

使用例 1 では、SG で使用するデータは事前にフラッシュに準備されています。次に、データを SG レジスタに入力します。SG は、ステップコントロールを使用して、同じセグメント内の異なる振幅 (ボリューム) を変更します。最後に、SG は 500 Hz ~ 2000 Hz の PWM トーン (周波数) をセグメントごとに 500 Hz ずつ増加させて生成します。振幅 (ボリューム) は各セグメントでハイからローに変化し、デューティは 50% に設定されます。振幅周波数は 48 kHz に設定します。振幅周波数を平均化するために、カットオフ周波数 5.8 kHz に設定されたローパスフィルタを使用します。図 1 にサウンドジェネレータのブロックダイアグラムを示します。図 3 は、各セグメントの変化を示します。

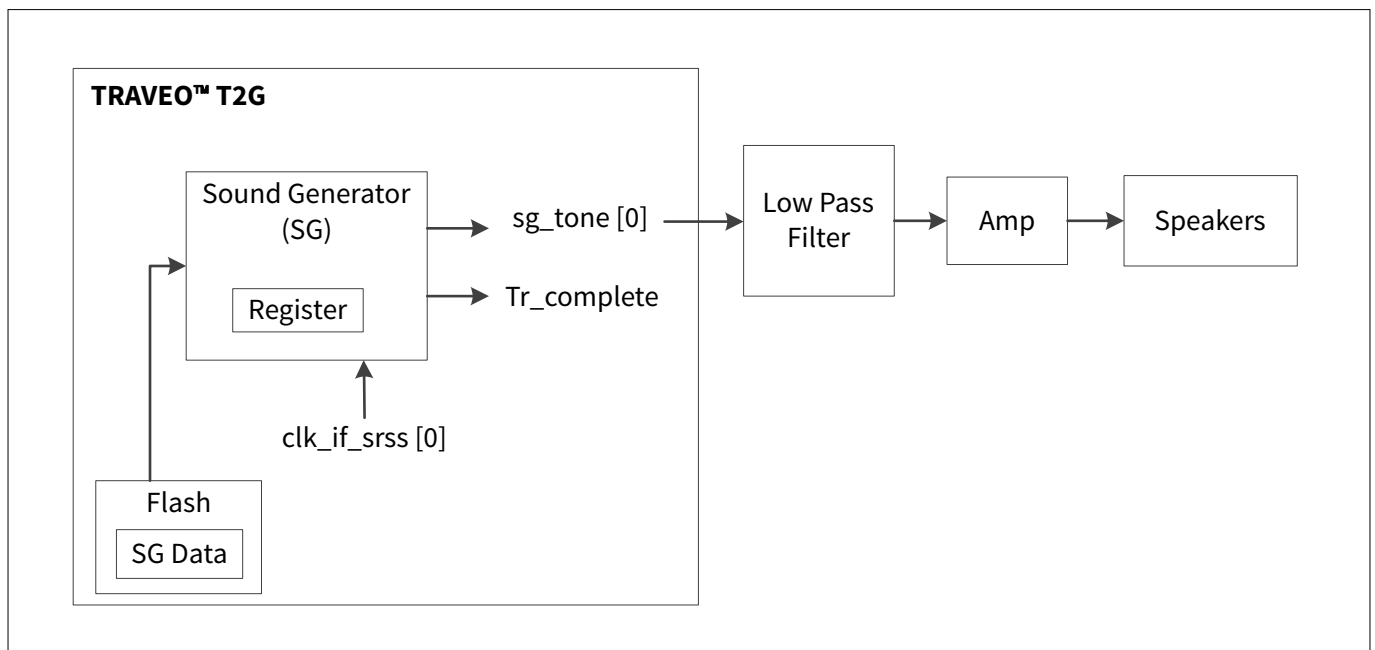


図 1 サウンドジェネレータのブロックダイアグラム

図 2 に使用例に使われるローパスフィルタを示します。このフィルタは、選択したカットオフ周波数より低い周波数の信号を通過させ、カットオフ周波数より高い周波数の信号を減衰します。



3 アプリケーション

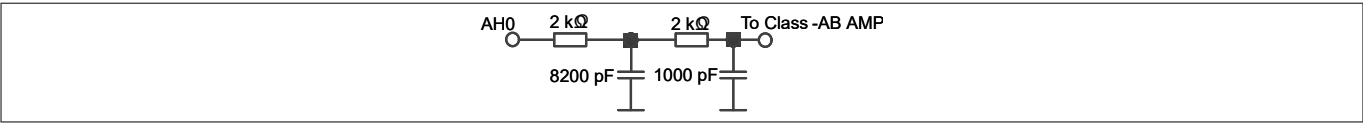


図 2                    ローパスフィルタ

表 1                    フィルタの特性

特性	値
ファースト RC フィルタ	2 kΩ, 8200 pF
セカンド RC フィルタ	2 kΩ, 1000 pF
カットオフ周波数	5.8 kHz
PWM キャリア減衰	-55 dB (fPWM = 48 kHz)

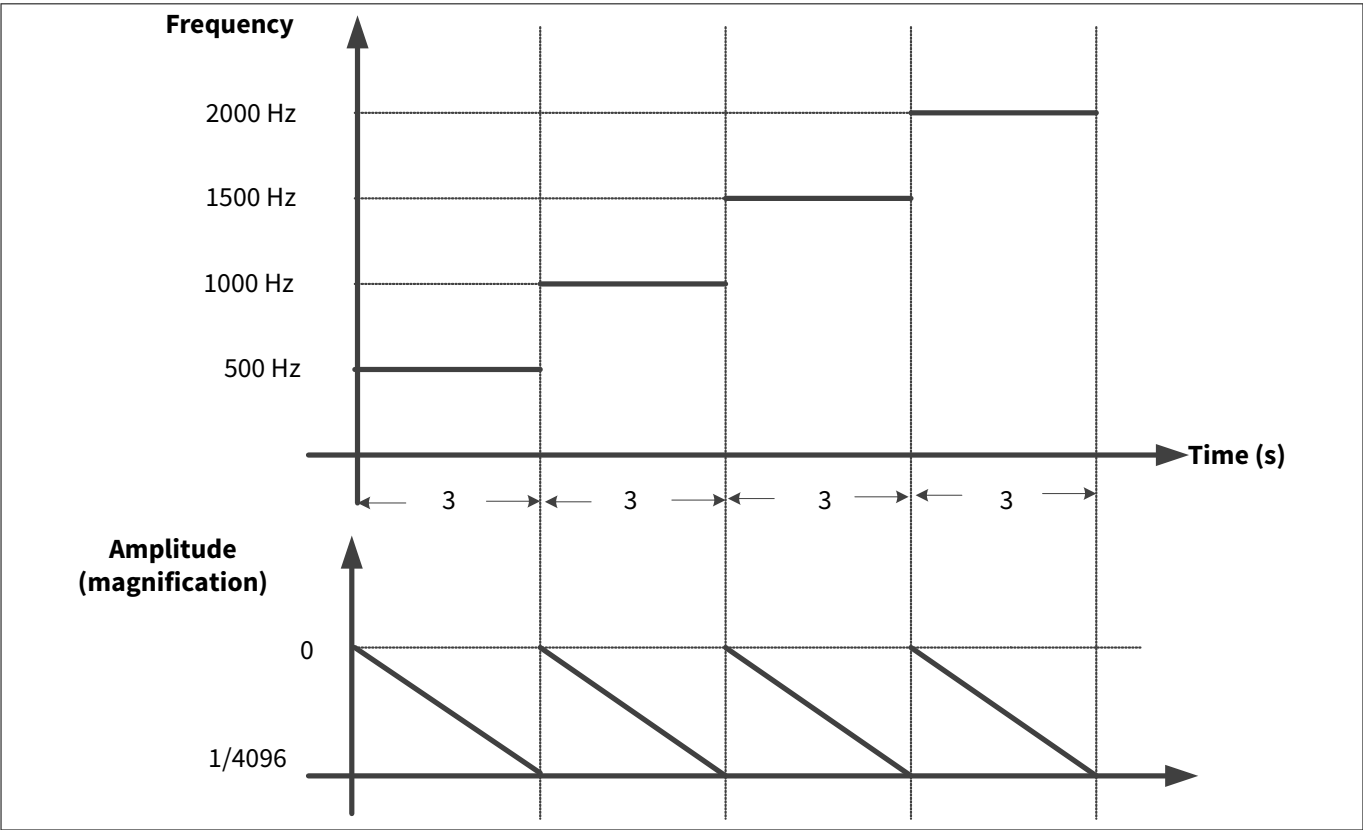


図 3                    サウンドジェネレータ

図 4 に SG の処理を示します。SG はコントロールレジスタを使用してボリューム周波数を組み合わせ、CLK\_HF [5] に接続される SRSS クロック“clk\_if\_srss[0]”を選択します。

CLK\_HF [5]は CYT3/4 シリーズで使用されます。その他のシリーズおよびクロックの詳細については、[アーキテクチャ TRM](#) の Clock Subsystem 章および[データシート](#)を参照してください。

## 3 アプリケーション

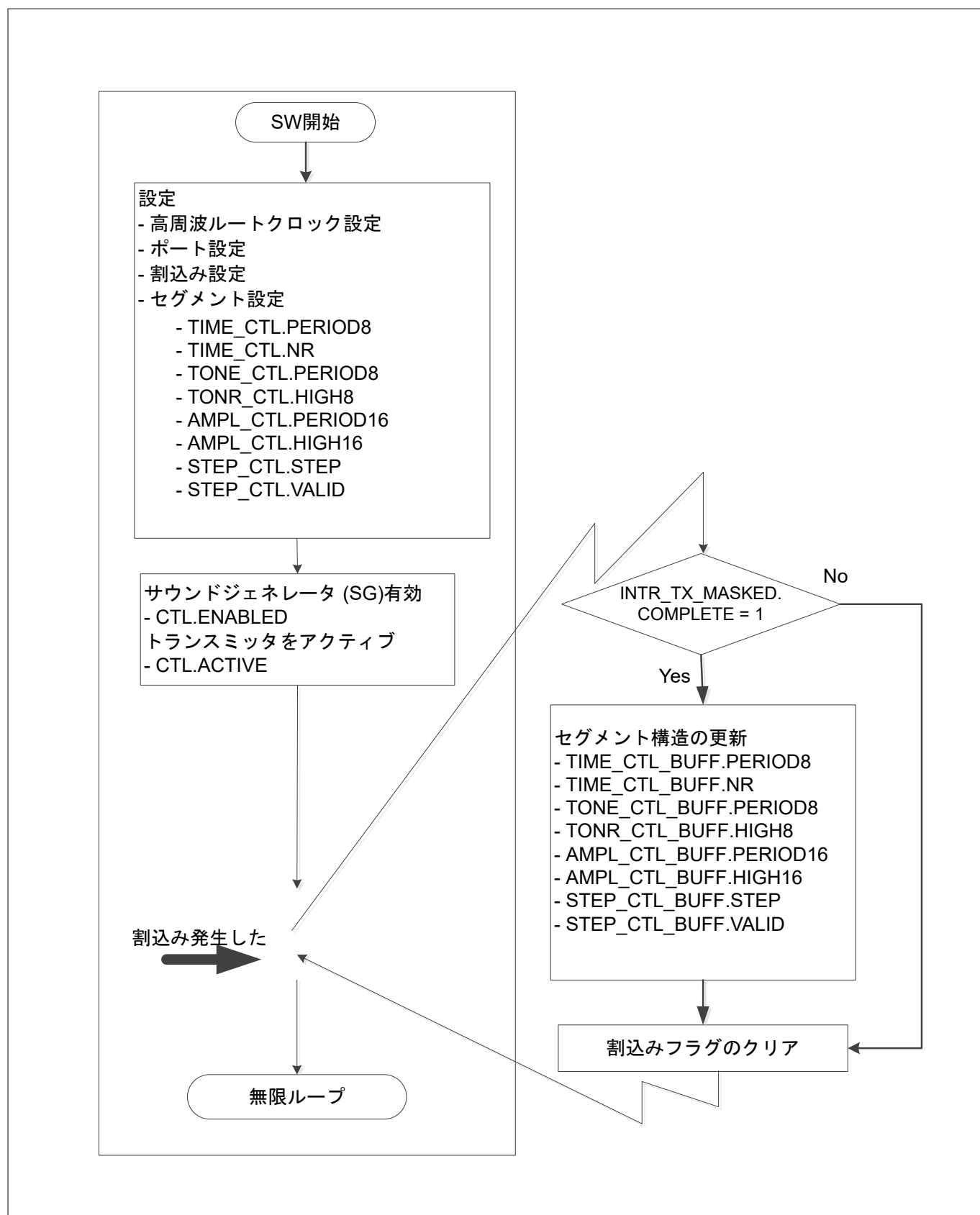


図 4 サウンドジェネレータの処理

## 3 アプリケーション

### 3.1.1.1 高周波ルートクロック設定

ここでは、使用されるクロックを説明します。TRAVEO™ T2G ファミリはいくつかの高周波ルートクロック (CLK\_HF) があります。各 CLK\_HF は、デバイス内に分配されます。

この使用例では、1 つの高周波ルートクロック (CLK\_HF) を使用します。

- SG の CLK\_HF - レジスタ IF\_CTL.CLOCK\_SEL を 0 に設定 (clk\_if\_srss[0]) した場合、CLK\_HF [5] を有効にします。CLK\_HF [5] は CYT3/4 シリーズで使用されます。
- クロックは CLK\_HF から供給され、クロック選択は SRSS によって決定されます。その他のシリーズおよびクロックの詳細については、[アーキテクチャ TRM](#) の Clock Subsystem 章および [データシート](#) を参照してください。

### 3.1.1.2 ポート設定

この使用例では、ポート SG0\_SG\_TONE を使用します。

ポートのドライブモード、割込みマスク、およびポート設定でのエッジ検出については、[アーキテクチャ TRM](#) の IO Subsystem 章を参照してください。

### 3.1.1.3 割込み設定

この使用例では、SG 完了割込みが使われます。

割込みのベクタ番号と、割込み優先順位、ベクタアドレス、および割込みの有効化/無効化の設定手順の詳細については、[アーキテクチャ TRM](#) の Interrupt 章を参照してください。

### 3.1.1.4 SG 設定

[図 5](#) に必要な設定を示します。

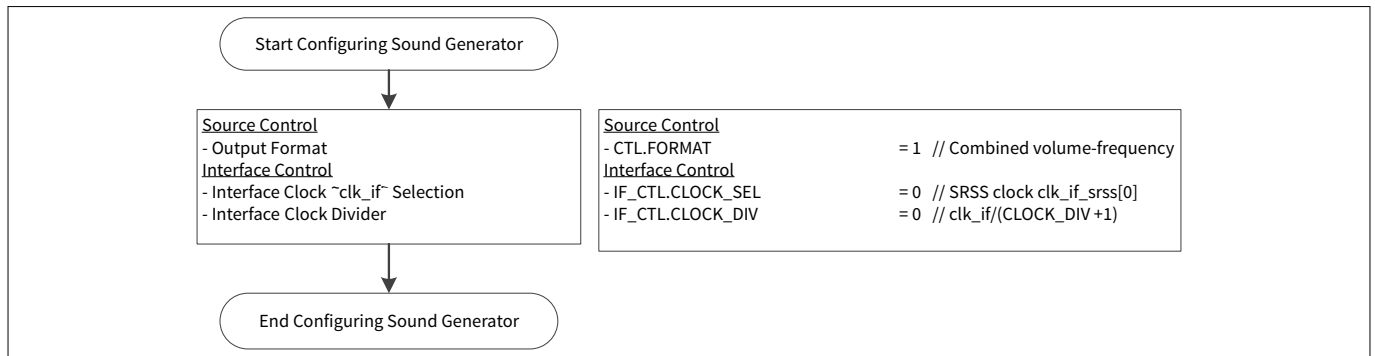


図 5 サウンドジェネレータ設定

### 3.1.1.5 割込みルーチン

[図 4](#) に SG の割込みルーチンを示します。

INTR\_TX\_MASKED.COMPLETE は、割込みが発生したかどうかを確認するために使用される割込みマスクレジスタです。レジスタの値は 1 で、SG の完全割込みが発生したことを意味します。次に、割込みのフラグをクリアし、次の割込みが発生するのを待ちます。

## 3.2 使用例 2

この使用例では、I<sup>2</sup>S を使用してデータを送受信します。この使用例では、ミキサを使用して、ミキサのソース FIFO に事前に格納されている I2S データと PCM データを結合し、結合されたデータを DMA 経由で PWM に出力します。

### 3 アプリケーション

#### 3.2.1 使用例 2 の説明

図 6 に使用例 2 のブロックダイアグラムを示します。この使用例では、I<sup>2</sup>S トランスミッタ用と I<sup>2</sup>S レシーバ用に 2 つのデバイスが必要です。48 kHz のサンプリングレートの 16 ビットサイズのバイオリン「ドレミ」データは、デバイス 1 のフラッシュに事前準備され、同じサンプリングレートとサイズのピアノ「ドレミ」データはデバイス 2 のフラッシュに事前準備されます。I<sup>2</sup>S トランスミッタはスレーブモードとして設定され、I<sup>2</sup>S レシーバはマスターモードとして設定されます。これは、I<sup>2</sup>S レシーバが WS および SCK 信号を出力することを意味します。トランスミッタは、スレーブ側からの WS および SCK 信号を使用します。クロックは、CLK\_HF [5] から生成した内部クロックです (前提条件 CLK\_HF [5] = 196,608 kHz)。I<sup>2</sup>S クロックは、サンプリングレートが 48 kHz および 16 ビットサイズのデータを使用するため、1,536 kHz です ( $48000 \text{ Hz} \times 16 \text{ bit} \times 2 = 1536 \text{ kHz}$ )。CLK\_HF [5] は CYT3/4 シリーズで使用されます。

I<sup>2</sup>S トランスミッタは、Tx トリガ FIFO レベルによって起動する DMA [0] を介してデバイス 1 の Tx FIFO に PCM データを書き込みます。デバイス 1 は、標準の I<sup>2</sup>S 形式を使用して、PCM データをデバイス 2 の Rx FIFO に送信します。

I<sup>2</sup>S レシーバは、標準の I<sup>2</sup>S 形式でデバイス 1 の Tx FIFO から PCM データを受信します。次に、DMA [1] が Rx トリガ FIFO レベルによって起動され、PCM データをミキサソース FIFO [0] に送信を開始します。

ミキサソース FIFO [0] は I<sup>2</sup>S からデータを受信します。ミキサソース FIFO [1] は、フラッシュからミキサソーストリガー FIFO レベルによって起動された DMA [2] を介して PCM データを受信します。したがって、ソース FIFO [0] と [1] には、バイオリンの「ドレミ」データとピアノの「ドレミ」データがあります。ミキサはゲインコントロールを使用して音量を下げ、ヒス音を回避します。次に、DMA [3] を介して PWM FIFO に入力される PCM データを、ミキサディステーション FIFO トリガレベルによって開始されます。最後に、H ブリッジ回路 (図 5) を介して、スピーカでサウンドが再生され、バイオリンとピアノのオーバーラップが聞こえます。

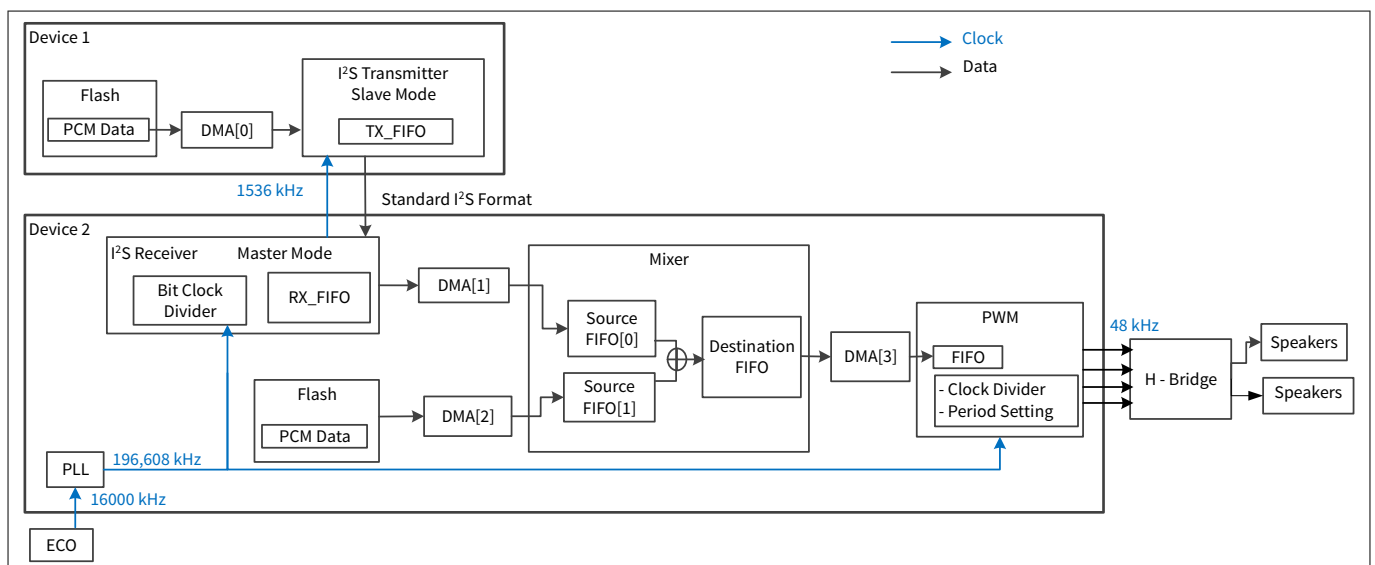


図 6 ブロックダイアグラム

図 7 に高周波ルートクロック、ポート、割込み、DMA、I<sup>2</sup>S、ミキサ、PWM インタフェース、およびトリガ MUX に必要な設定、そして使用例の手順を示します。

### 3 アプリケーション

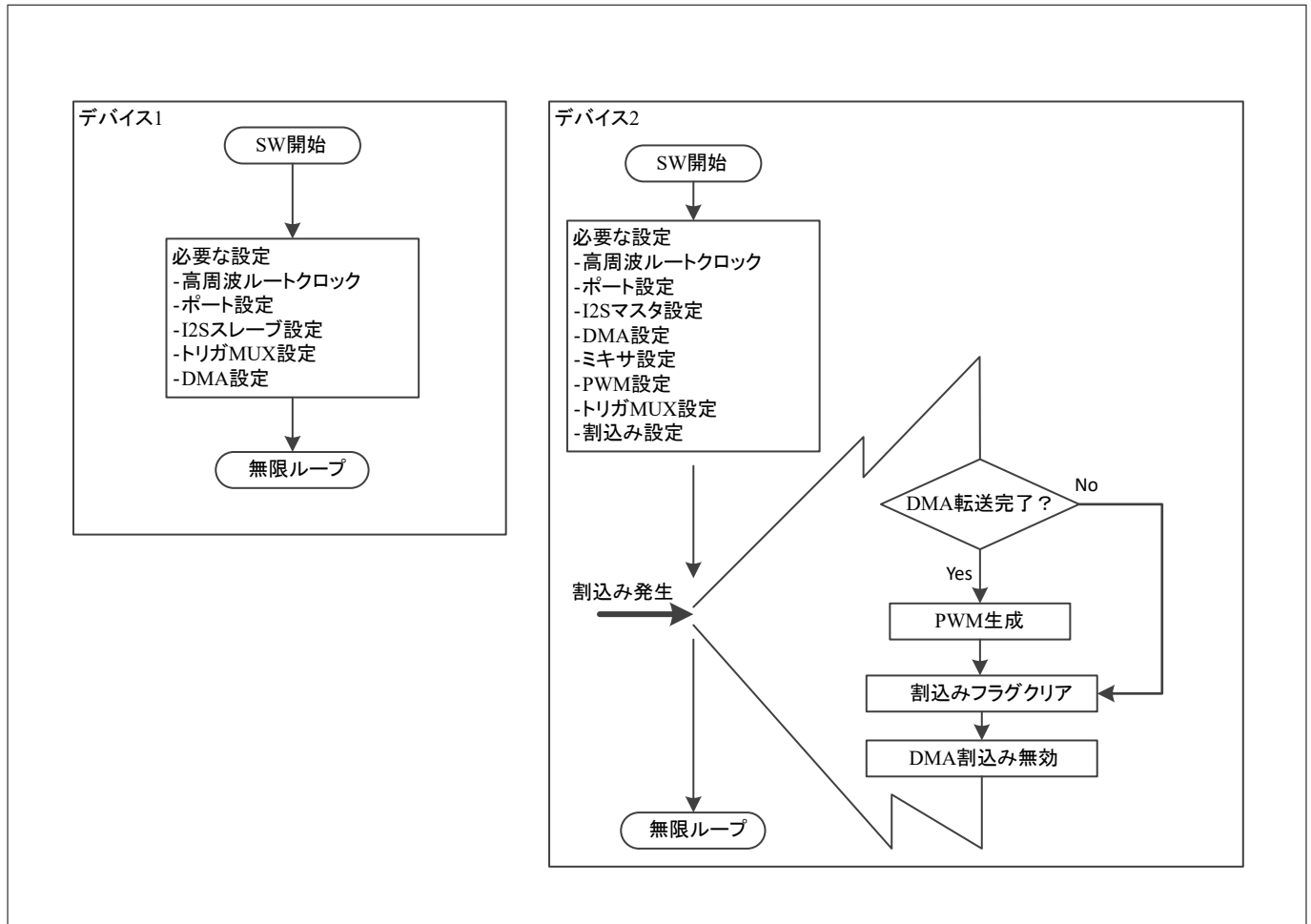


図 7 トランスミッタとレシーバ

#### 3.2.1.1 高周波ルートクロック設定

ここでは、使用されるクロックを説明します。TRAVERO™ T2G ファミリはいくつかの高周波ルートクロック (CLK\_HF) があります。各 CLK\_HF はデバイス内に分配されます。

この使用例では、3 つの高周波ルートクロック (CLK\_HF) を使用します。

- I<sup>2</sup>S の CLK\_HF - TX\_IF\_CTL.CLOCK\_SEL を「0」に設定 (clk\_if\_srss [0]) した場合、CLK\_HF [5] を有効にします。
- ミキサの CLK\_HF - ミキサ チャネル 0 が有効 (clk\_if\_srss [0]) な場合、CLK\_HF [5] を有効にします。
- PWM の CLK\_HF - IF\_CTL.CLOCK\_SEL を「0」に設定 (clk\_if\_srss [0]) した場合、CLK\_HF [5] を有効にします。

クロックは CLK\_HF から供給され、クロックの選択は SRSS によって決定されます。CLK\_HF [5] は CYT3/4 シリーズで使用されます。

その他のシリーズおよびクロックの詳細については、[アーキテクチャ TRM](#) の Clock Subsystem 章および [データシート](#) を参照してください。

#### 3.2.1.2 ポート設定

ここでは、この使用例で使われるポート信号について説明します。

## 3 アプリケーション

表 2                      使用例 2 のポート設定

コンポーネント	ポート信号
I <sup>2</sup> S レシーバ (Rx)	I2S0_I2S_RX_SCK, I2S0_I2S_RX_MCK, I2S0_I2S_RX_FSYN, I2S0_I2S_RX_SD
I <sup>2</sup> S トランスミッタ (Tx)	I2S0_I2S_TX_SCK, I2S0_I2S_TX_MCK, I2S0_I2S_TX_FSYN, I2S0_I2S_TX_SD
ミキサ	MIXER_MCK, MIXER_SCK, MIXER_WS, MIXER_SD
PWM	PWM0_PWM_LINE1_P, PWM0_PWM_LINE1_N, PWM0_PWM_LINE2_P, PWM0_PWM_LINE2_N

駆動モード、割込みマスク、およびポート設定でのエッジ検出の設定については、[アーキテクチャ TRM](#) の IO Subsystem 章を参照してください。

### 3.2.1.3                      割込み設定

この使用例では、DMA 割込みを使用して PWM を開始します。

DMA 割込みのベクタ番号と、割込み優先順位、ベクタアドレス、および割込みの有効化/無効化の設定手順の詳細については、[アーキテクチャ TRM](#) の Interrupt 章を参照してください。

### 3.2.1.4                      DMA の設定

この使用例では、DMA を使用してデータを転送します。

DMA の設定については、[アーキテクチャ TRM](#) の Direct Memory Access 章を参照してください。

### 3.2.1.5                      トリガ MUX 設定

この使用例では、トリガ MUX を使用して、FIFO レベルの割込みによって DMA を起動します。

トリガ MUX の設定については、[アーキテクチャ TRM](#) の Trigger Multiplexer 章を参照してください。

### 3.2.1.6                      I2S 設定

[図 8](#) に、デバイス 1 およびデバイス 2 に必要な Tx および Rx の設定を示します。

### 3 アプリケーション

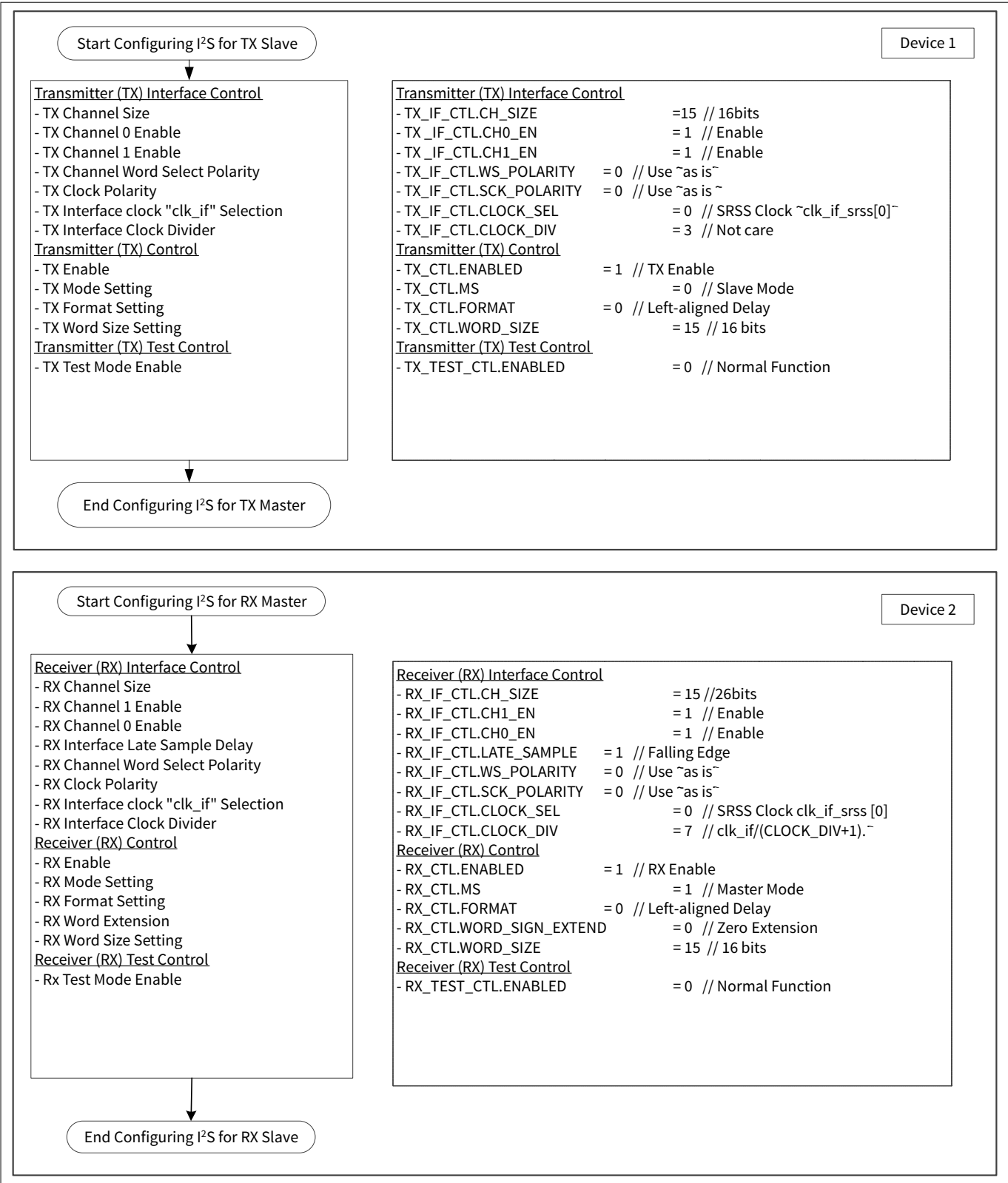


図 8 I2S 設定

#### 3.2.1.7 ミキサ設定

図 9 に必要な設定を示します。

## 3 アプリケーション

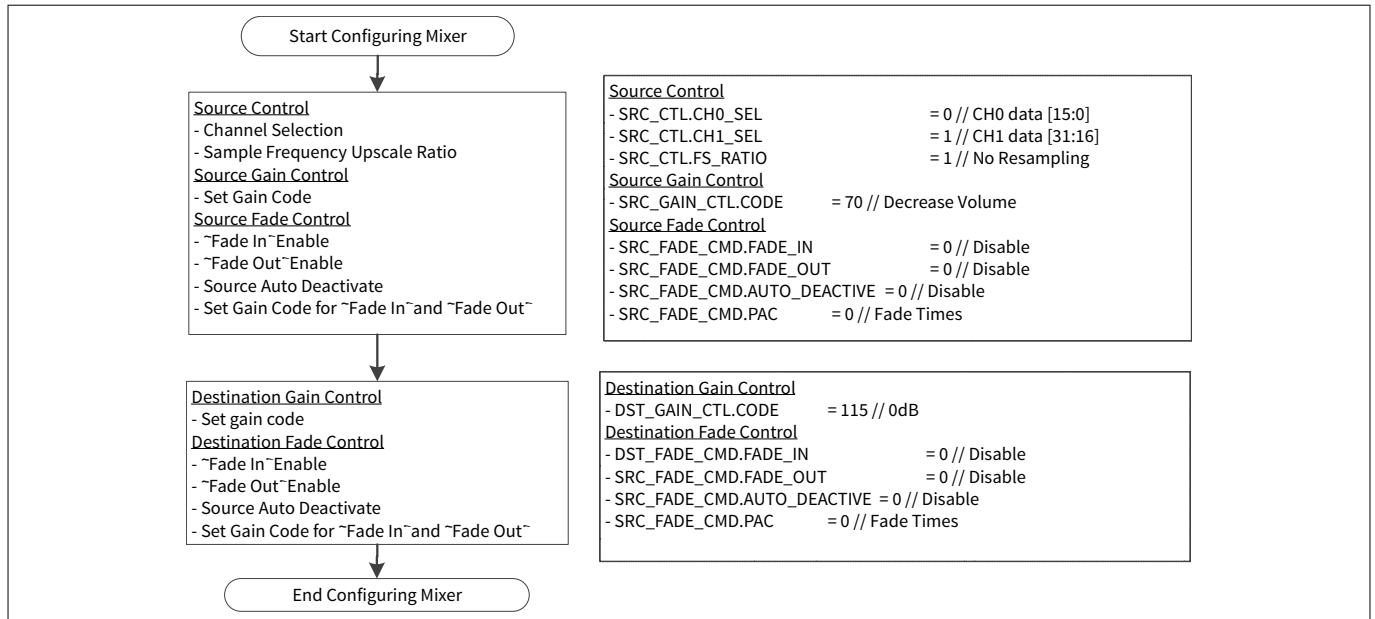


図 9 ミキサ設定

### 3.2.1.8 PWM 設定

図 10 に必要な設定を示します。

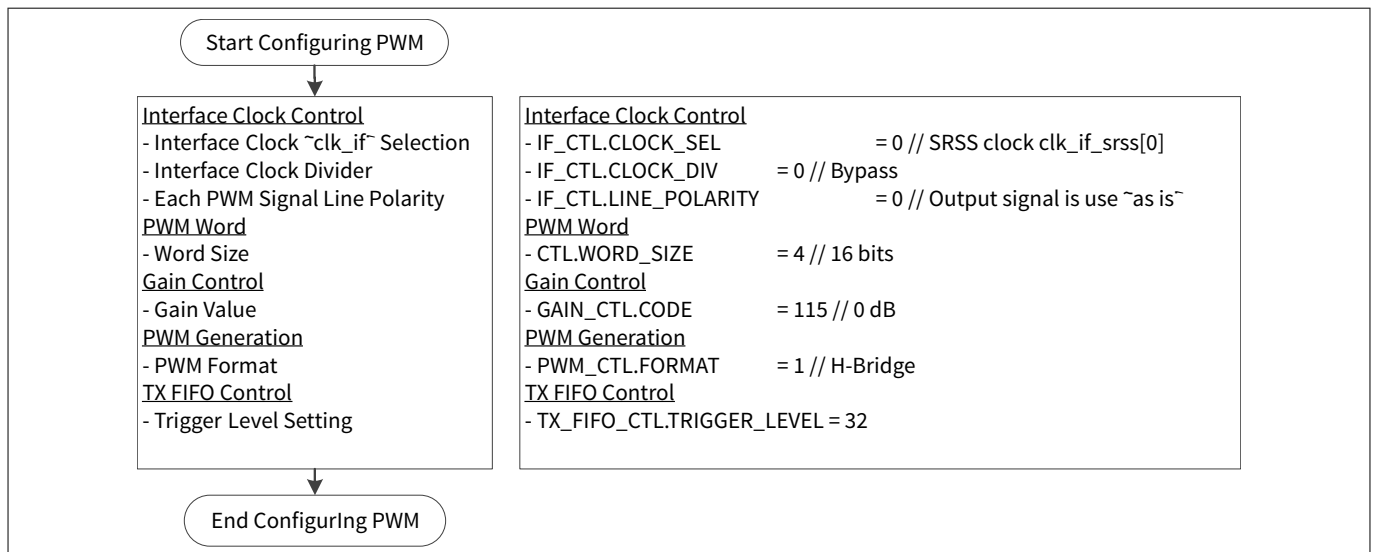


図 10 PWM 設定

使用例 2 では、レジスタ TX\_FIFO\_CTL.TRIGGER\_LEVEL は 32 です。これは、Tx FIFO のエントリが 32 未満の場合、トランスミッタトリガイベントが生成されることを意味します。

インタフェースフォーマットの詳細については、[アーキテクチャ TRM](#) の Sound Subsystem 章を参照してください。

### 3.2.1.9 割り込みルーチン

図 7 に PWM の割り込みルーチンを示します。

INTR\_TX\_MASKED.COMPLETE は、割り込みが発生したかどうかを確認するために使用される割り込みマスクレジスタです。レジスタ値が 1 の場合、DMA 転送完了割り込みが発生したことを示します。次に、割り込みフラグをクリアして、次の割り込みが発生するのを待ちます。



### 3 アプリケーション

#### 3.3 使用例 3

この使用例では、各ミキサのソース FIFO は DMA を介して TDM から PCM データを受信します。次に、ミキサはデータを結合し、そのデータを DAC によって出力します。この使用例は CYT3/4 シリーズのみです。CYT2 シリーズにはオーディオ DAC 機能が無いことに注意してください。

##### 3.3.1 使用例 3 の説明

この使用例では、TDM トランスミッタ用と TDM レシーバ用の 2 つのデバイスが必要です。48 kHz サンプリングレートの 16 ビットサイズデータ (ド-レ-ミ-ファ-ソ-ラ-シ-ド) が TDM トランスミッタのフラッシュに事前準備されています。次に、PCM データは、Tx トリガ FIFO レベルによって起動される DMA [0] を介してデバイス 1 の TDM Tx FIFO に入力されます。レシーバ (デバイス 2) は、Rx FIFO に PCM データを受信します。

ミキサには、FIFO [0] ~ FIFO [7] までの 8 つのソース FIFO があります。これらの FIFO は、TDM Rx トリガ FIFO レベルによって起動される DMA [1] を介して TDM から PCM データ (ド-レ-ミ-ファ-ソ-ラ-シ-ド) を格納するために使用します。ミキサは、ミキサディスティネーション FIFO トリガレベルによってキックされた DMA [2] を介して DAC に入力される 8 チャンネルの PCM データを結合します。DAC サンプリング周波数は 48 kHz に設定されます。

最後に、同じサウンドが左右のスピーカから再生されます。

この使用例では、TDM トランスミッタがスレーブモードとして設定され、TDM レシーバがマスタモードとして設定されます。つまり、TDM レシーバは WS および SCK 信号を出力します。トランスミッタは、レシーバからの WS および SCK 信号を使用します。クロックは、CLK\_HF [5] から生成した内部クロックです (前提条件 CLK\_HF [5] = 196,608 kHz)。TDM は 8 チャンネル、16 ビットサイズ、および 48kHz サンプリングで、クロックは 6144 kHz ( $48000 \text{ Hz} \times 16 \text{ bit} \times 8 = 6144 \text{ kHz}$ ) です。CLK\_HF [5] は CYT3/4 シリーズで使用されます。

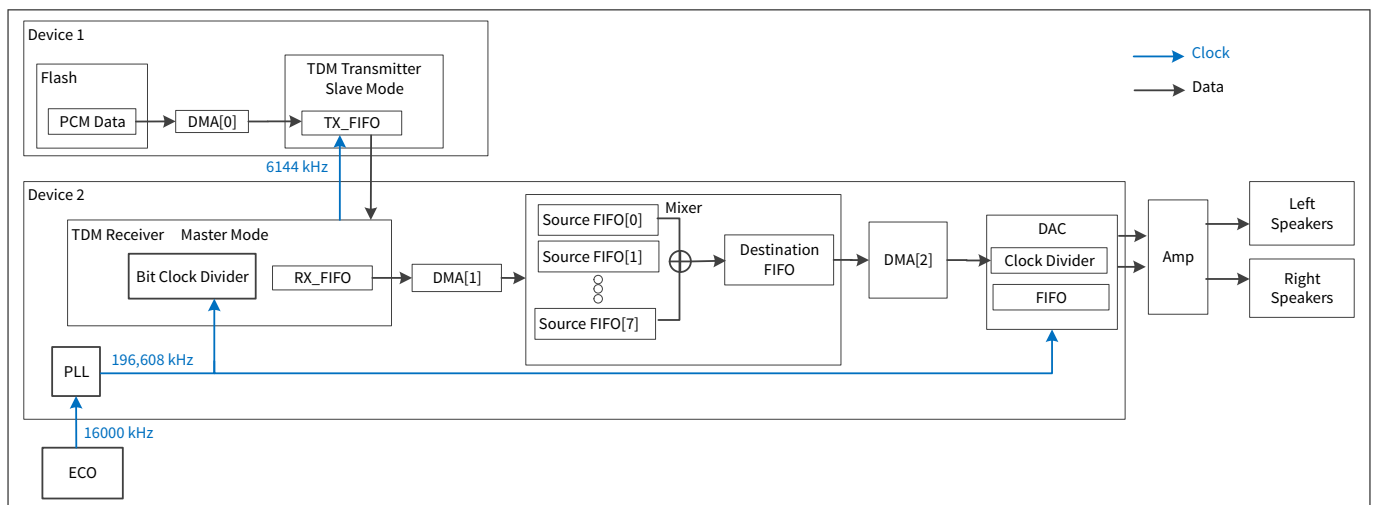


図 11 ブロックダイアグラム

図 12 に高周波ルートクロック、ポート、割込み、DMA、I<sup>2</sup>S、ミキサ、PWM インタフェース、およびトリガ MUX に必要な設定、そして使用例の手順を示します。

### 3 アプリケーション

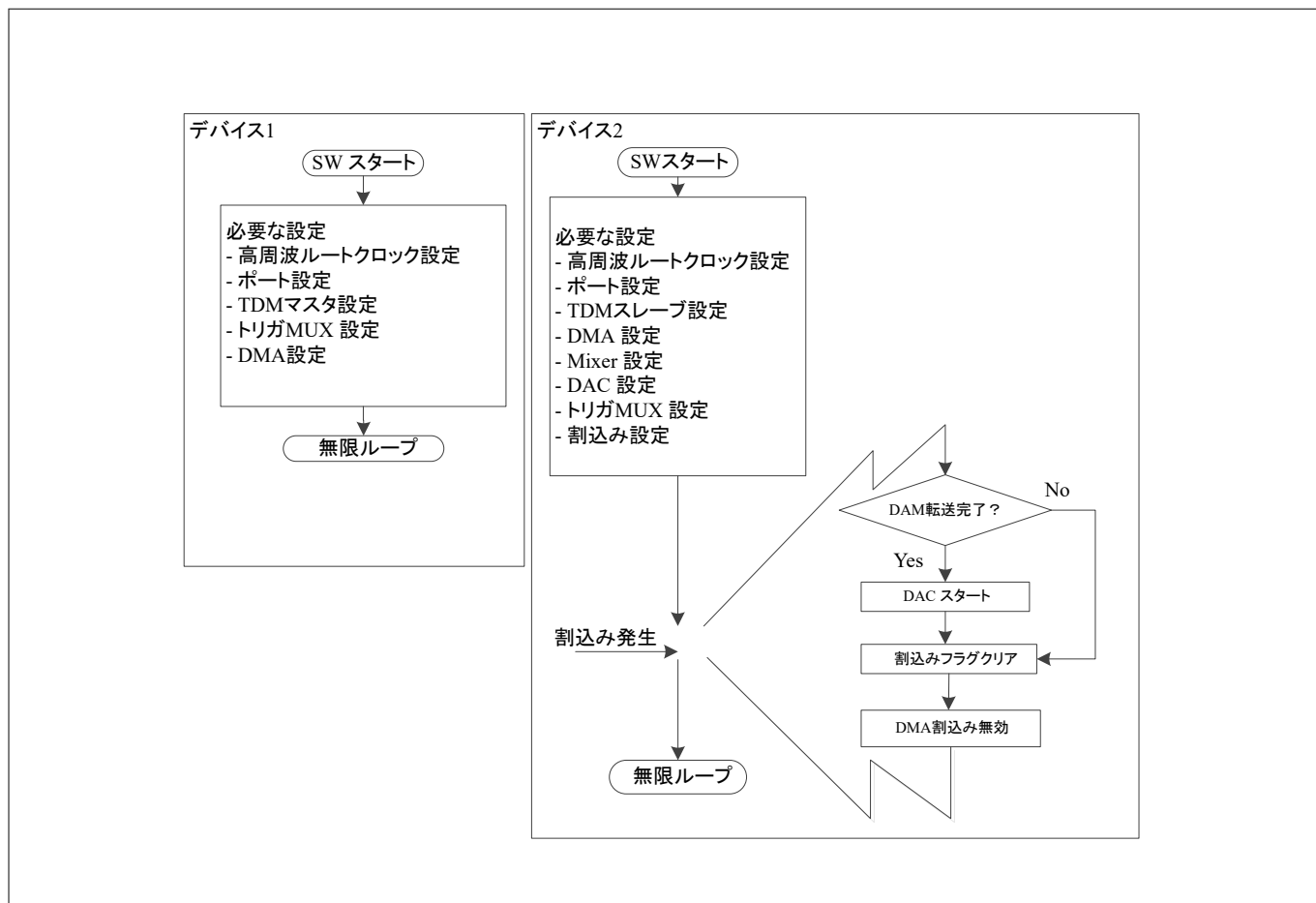


図 12 DAC 出力

#### 3.3.1.1 高周波ルートクロック設定

ここでは、使用されるクロックを説明します。TRAVERO™ T2G ファミリはいくつかの高周波ルートクロック (CLK\_HF) があります。各 CLK\_HF は、デバイス内に分配されます。

この使用例では、3 つの高周波ルートクロック (CLK\_HF) を使用します。

- TDM の CLK\_HF - TX\_IF\_CTL.CLOCK\_SEL を「0」に設定 (clk\_if\_srss [0]) した場合、CLK\_HF [5]を有効にします。
- ミキサの CLK\_HF - ミキサ チャンネル 0 が有効 (clk\_if\_srss[0]) な場合、CLK\_HF [5]を有効にします。
- DAC の CLK\_HF - CLK\_HF [5]を有効にします。

CLK\_HF [5]は CYT3/4 シリーズで使用されます。その他のシリーズおよびクロックの詳細については、[アーキテクチャ TRM](#) の Clock Subsystem 章および[データシート](#)を参照してください。

#### 3.3.1.2 ポート設定

ここでは、この使用例で使われるポート信号について説明します。

表 3 使用例 3 のポート設定

コンポーネント	ポート信号
TDM レシーバ (Rx)	TDM0_TDM_RX_SCK, TDM0_TDM_RX_MCK, TDM0_TDM_RX_FSYNC, TDM0_TDM_RX_SD

(続く)

## 3 アプリケーション

表 3 (続き) 使用例 3 のポート設定

コンポーネント	ポート信号
TDM トランスミッタ (Tx)	TDM0_TDM_TX_SCK, TDM0_TDM_TX_MCK, TDM0_TDM_TX_FSYNC, TDM0_TDM_TX_SD
ミキサ	MIXER_MCK, MIXER_SCK, MIXER_WS, MIXER_SD
DAC	DAC_LOUT, DAC_ROUT, DAC_LCOM, DAC_RCOM

駆動モード, 割込みマスク, およびポート設定でのエッジ検出の設定については、[アーキテクチャ TRM](#) の IO Subsystem 章を参照してください。

### 3.3.1.3 割込み設定

使用例 3 では、DMA 割込みを使用して DAC を開始します。

DMA 割込みのベクタ番号と、割込み優先順位, ベクタアドレス, および割込みの有効化/無効化の設定手順の詳細については、[アーキテクチャ TRM](#) の Interrupt 章を参照してください。

### 3.3.1.4 DMA の設定

使用例 3 では、DMA を使用してデータを転送します。

DMA の設定については、[アーキテクチャ TRM](#) の Direct Memory Access 章を参照してください。

### 3.3.1.5 トリガ MUX 設定

使用例 3 では、トリガ MUX を使用して、FIFO レベルの割込みによって DMA を起動します。

トリガ MUX の設定については、[アーキテクチャ TRM](#) の Trigger Multiplexer 章を参照してください。

### 3.3.1.6 TDM 設定

[図 13](#) に、デバイス 1 およびデバイス 2 に必要な Tx および Rx の設定を示します。

### 3 アプリケーション

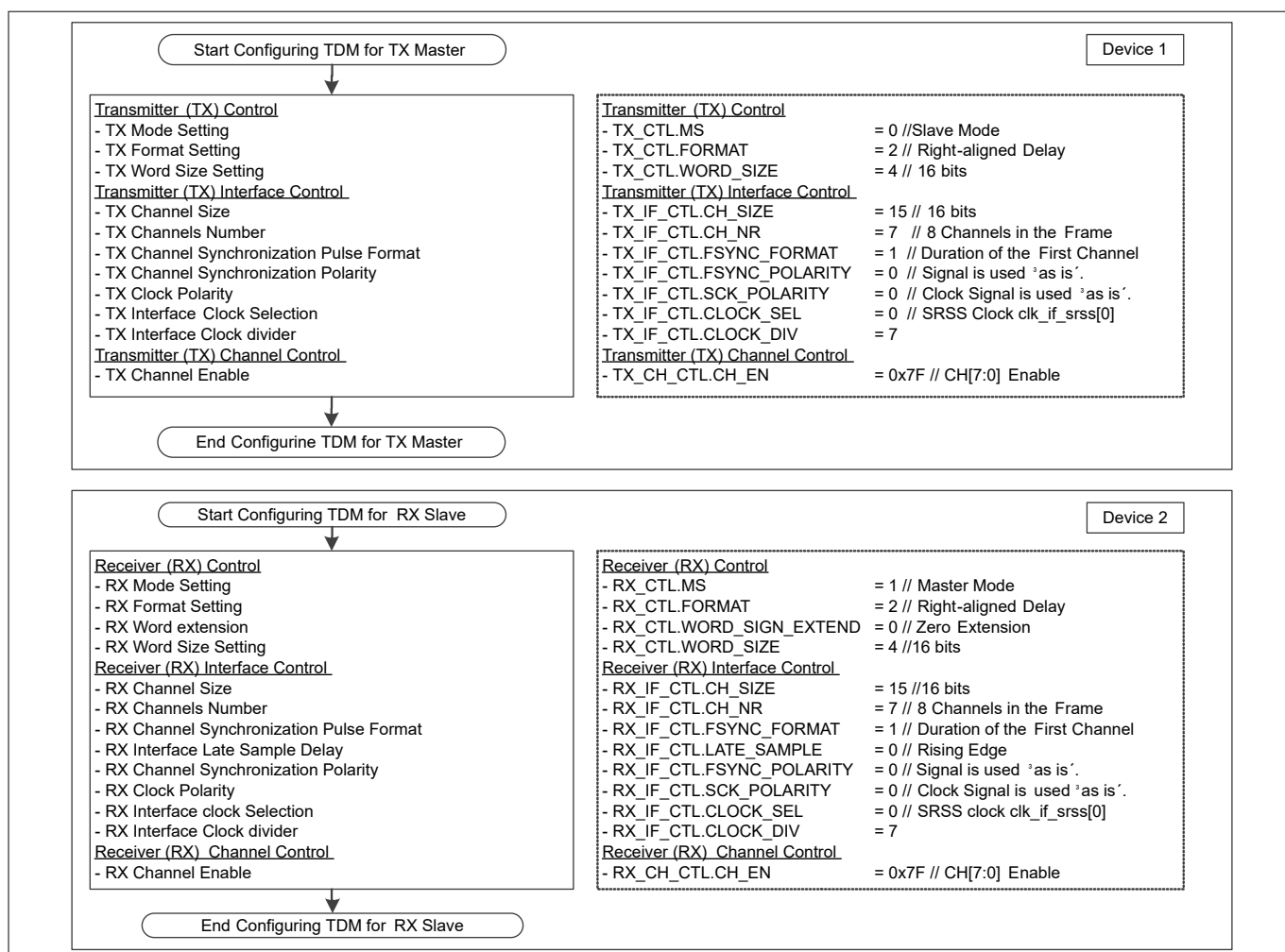


図 13 TDM 設定

#### 3.3.1.7 ミキサ設定

使用例 3 のミキサ設定は 3.2.1.7 ミキサ設定と同様です。図 9 を参照してミキサを設定してください。

#### 3.3.1.8 DAC の設定

図 14 に必要な設定を示します。

## 3 アプリケーション

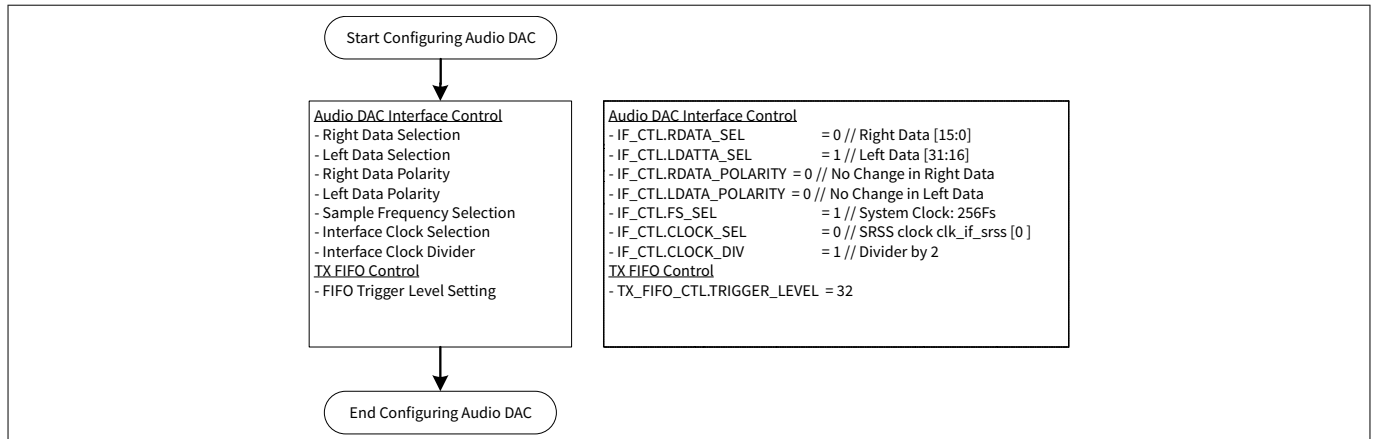


図 14 オーディオ DAC 設定

この使用例では、レジスタ TX\_FIFO\_CTL.TRIGGER\_LEVEL は 32 です。これは、Tx FIFO のエントリが 32 未満の場合、トランスミッタトリガイベントが生成されることを意味します。

インタフェースフォーマットの詳細については、[アーキテクチャ TRM](#) の Sound Subsystem 章を参照してください。

### 3.3.1.9 割り込みルーチン

図 12 に DAC の割り込みルーチンを示します。

INTR\_TX\_MASKED.COMPLETE は、割り込みが発生したかどうかを確認するために使用される割り込みマスクレジスタです。レジスタ値が 1 の場合、DMA 転送完了割り込みが発生したことを示します。次に、割り込みフラグをクリアして、次の割り込みが発生するのを待ちます。

## 3.4 使用例 4

この使用例では、単一の PDM パターンジェネレータを使用し、PDM データを PDM レシーバ FIFO に出力します。そして、PDM データを PCM データに変換します。PCM データはスピーカーで再生されます。

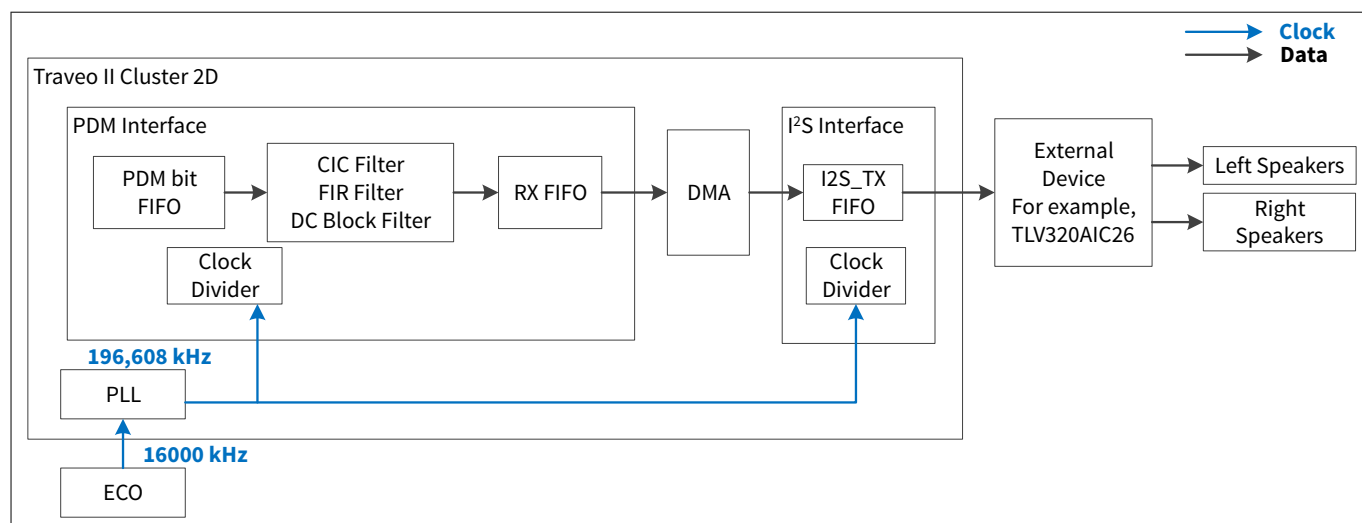
### 3.4.1 使用例 4 の説明

この使用例では、単一の PDM パターンジェネレータを使用して、1.910 kHz のサイン波 PDM シーケンスを生成します。生成された PDM データは、CIC フィルタ、FIR フィルタ、および DC ブロックフィルタなどのフィルタを使用して処理され、Rx FIFO に PCM を生成します。次に、PDM の Rx トリガ FIFO レベルによって起動された DMA を介して、PDM の Rx FIFO に格納されたデータを I<sup>2</sup>S の Tx FIFO に書き込みます。

最後に、サウンドは、1.910 kHz の出力で左右のスピーカから再生されます。

この使用例では、クロックは CLK\_HF [5] から生成した内部クロックです (前提条件 CLK\_HF [5] = 196,608 kHz)。PDM クロックは、サンプリングレートが 48 kHz のデータを使用し、データが 16 ビットサイズのため、1536 kHz (48000 Hz × 16 bit × 2 = 1536 kHz) です。CLK\_HF [5] は CYT3/4 シリーズで使用されます。

## 3 アプリケーション



**図 15**                      **ブロックダイヤグラム**

図 16 に高周波ルートクロック, ポート, 割込み, DMA, I<sup>2</sup>S, PDM インタフェース, およびトリガ MUX に必要な設定、そして使用例の手順を示します。

### 3 アプリケーション

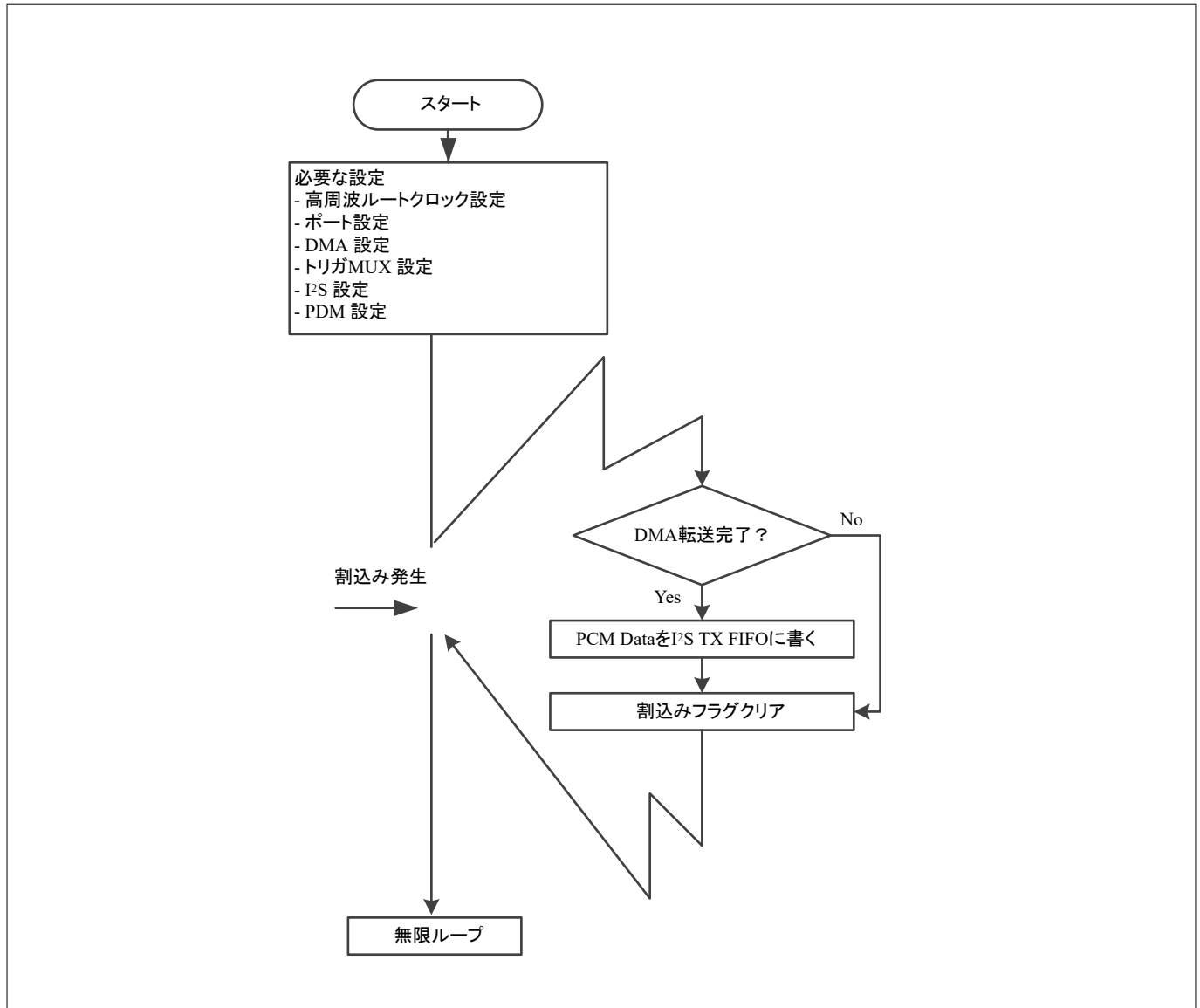


図 16 PDM 出力プロセス

#### 3.4.1.1 高周波ルートクロック設定

ここでは、使用されるクロックを説明します。TRAVEO™ T2G ファミリはいくつかの高周波ルートクロック (CLK\_HF) があります。各 CLK\_HF は、デバイス内に分配されます。

この使用例では、2 つの高周波ルートクロック (CLK\_HF) を使用します。

- PDM の CLK\_HF - TX\_IF\_CTL.CLOCK\_SEL を「0」に設定 (clk\_if\_srss [0]) した場合、CLK\_HF [5]を有効にします。
- I²S の CLK\_HF - ミキサ チャンネル 0 が有効 (clk\_if\_srss[0]) な場合、CLK\_HF [5]を有効にします。
- CLK\_HF [5]は CYT3/4 シリーズで使用されます。その他のシリーズおよびクロックの詳細については、[アーキテクチャ TRM](#) の Clock Subsystem 章および[データシート](#)を参照してください。

## 3 アプリケーション

### 3.4.1.2 ポート設定

PDM ポートを設定するためには、以下を行ってください。

- PDM ポートの設定
  - PDM\_CLK
  - PDM\_DATA

ポートのドライバモード, 割込みマスク, およびポート設定でのエッジ検出については、[アーキテクチャ TRM](#) の IO Subsystem 章を参照してください。

### 3.4.1.3 DMA の設定

使用例 4 では、DMA を使用し PDM の FIFO から I<sup>2</sup>S の FIFO にデータを転送します。

DMA の設定については、[アーキテクチャ TRM](#) の Direct Memory Access 章を参照してください。

### 3.4.1.4 トリガ MUX 設定

使用例 4 では、トリガ MUX を使用して、PDM の FIFO レベルの割込みによって DMA を起動します。

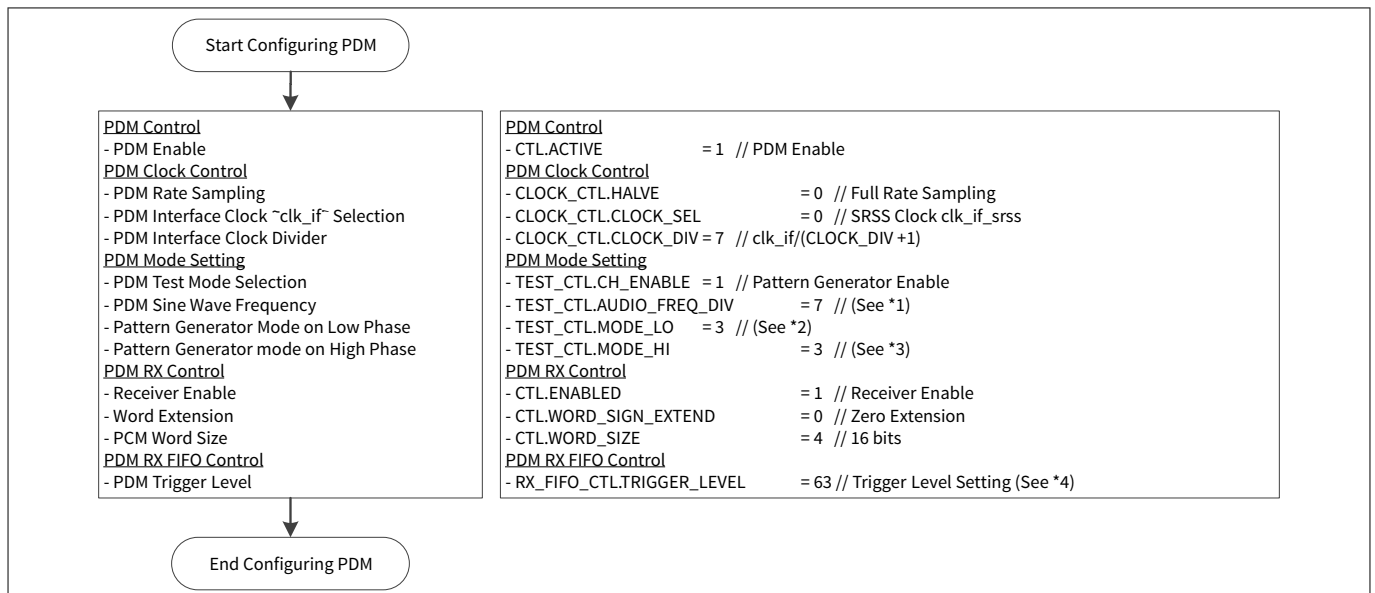
トリガ MUX の設定については、[アーキテクチャ TRM](#) の Trigger Multiplexer 章を参照してください。

### 3.4.1.5 I2S 設定

使用例 4 の I2S の設定は[使用例 2](#)と同様です。[図 8](#)を参照して I<sup>2</sup>S を設定してください。

### 3.4.1.6 PDM 設定

[図 17](#)に必要な設定を示します。



**図 17 PDM の設定**

\*1: TEST\_CTL.AUDIO\_FREQ\_DIV

このクロック分周器は、パターンジェネレータによって生成されるサイン波の周波数を決定するために使用されます。

式は以下のとおりです。



## 3 アプリケーション

$$\frac{\text{PDM Clock}}{2\pi \times 2^{\text{AUDIO\_FREQ\_DIV}}} = \text{Sine wave Frequency}$$

ここで、

PDM クロック = 1.536 kHz とサイン波の周波数 = 1.91 kHz

値を代入すると、

$$\frac{1536\text{kHz}}{2\pi \times 2^7} = 1.91\text{kHz}$$

したがって、AUDIO\_FREQ\_DIV の値は 7 を設定します。

詳細については、[アーキテクチャ TRM](#) の Sound Subsystem 章を参照してください。

\*2: TEST\_CTL.MODE\_LO = 3

TEST\_CTL.MODE\_LO は、低位相でジェネレータによって駆動されるパターンのタイプを指定します。

- '0': 定数 0
- '1': 定数 1
- '2': 0 と 1 を交互
- '3': サイン波

\*3: TEST\_CTL.MODE\_HI = 3

TEST\_CTL.MODE\_HI は、高位相でジェネレータによって駆動されるパターンのタイプを指定します。

- '0': 定数 0
- '1': 定数 1
- '2': 0 と 1 を交互
- '3': 正弦波

\*4: TRIGGER\_LEVEL = 63

TRIGGER\_LEVEL はトリガーイベントの条件の設定値です。

- RX\_FIFO\_CTL.TRIGGER\_LEVEL = 63

トリガレベルは 63 に設定されます。Rx FIFO が 63 以上の場合、イベントトリガが生成されます。

インタフェースフォーマットの詳細については、[アーキテクチャ TRM](#) の Sound Subsystem 章を参照してください。

### 3.5 ハードウェア設計ガイド

ここでは、TDM インタフェースの I2S モードを使用したオーディオ入力/出力のハードウェア設計例について説明します。

CYT4D には 3 つの TDM / I2S ユニットがあり、それぞれが 8 つの複数の TDM モードをサポートしています。つまり、合計 24 チャンネルの同時音声出力が可能です。さらに、I2S 入力/出力は独立して動作できます。

この例では、オーディオ DAC は CIRRUS Logic の CS4385A を使用します。オーディオ ADC は、CIRRUS Logic の CS5368 を使用します。

全体のブロックダイアグラムを以下に示します。

### 3 アプリケーション

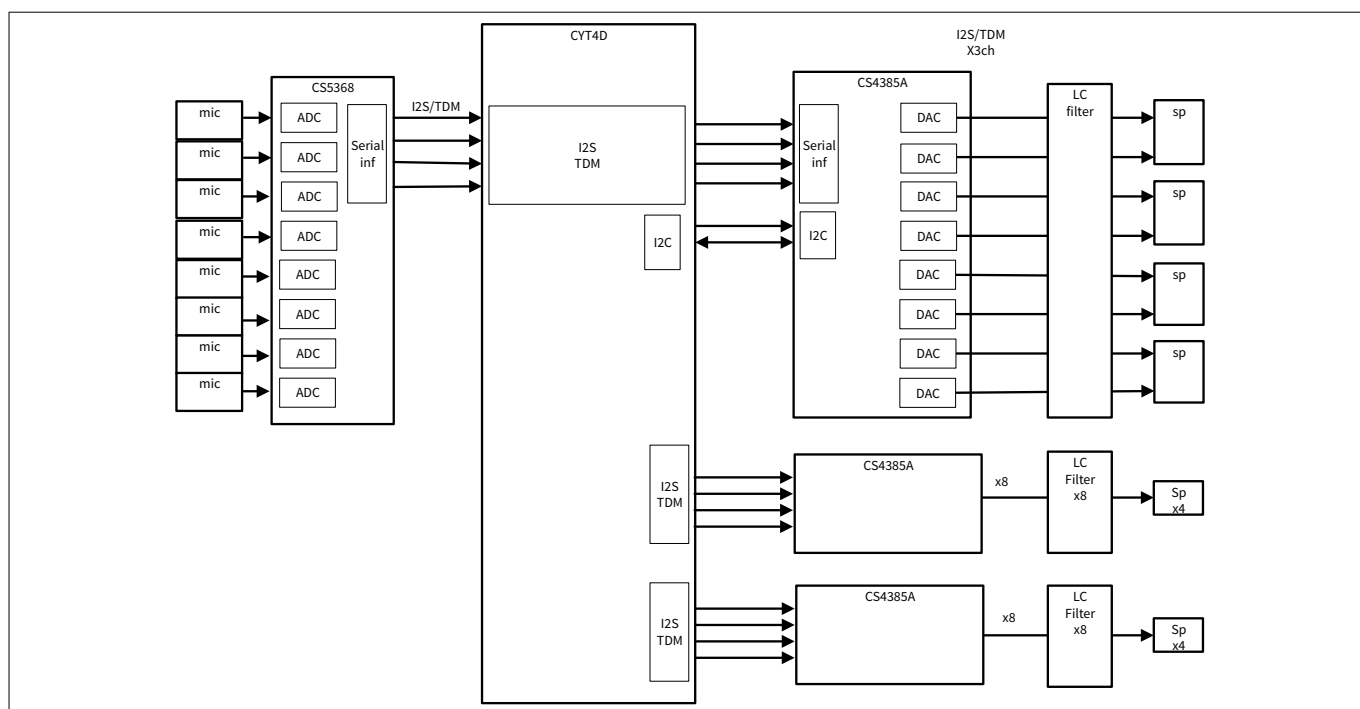


図 18 全体のブロックダイアグラム

オーディオ出力インタフェースを図 19 に示します。LC フィルタを図 21 に示します。

オーディオ入インタフェースを図 20 に示します。MIC 入力を図 22 に示します。

図中の「mic」はマイクロフォンの略称です。図中の「sp」は Speaker の略称です。

#### 3.5.1 オーディオ出力インタフェース

ここではオーディオ出力インタフェースについて説明します。

CS4385A は、完全な 8 チャンネルのデジタル-アナログシステムです。この D/A システムには、デジタルディエンファシス、1/2 dB ステップサイズのボリュームコントロール、ATAPI チャンネルミキシング、および選択可能な高速および低速デジタル補間フィルタが含まれます。この選択可能なフィルタには、オーバーサンプリングされたマルチビットデルタシグマ変調器が含まれ、コンデンサのミスマッチによる歪みを排除します。このステージに続くのは、マルチエレメントスイッチトキャパシタステージと差動アナログ出力を備えたローパスフィルタです。MCU からの I2S / TDM 信号を使用して 8 チャンネルのアナログ信号を出力します。

### 3 アプリケーション

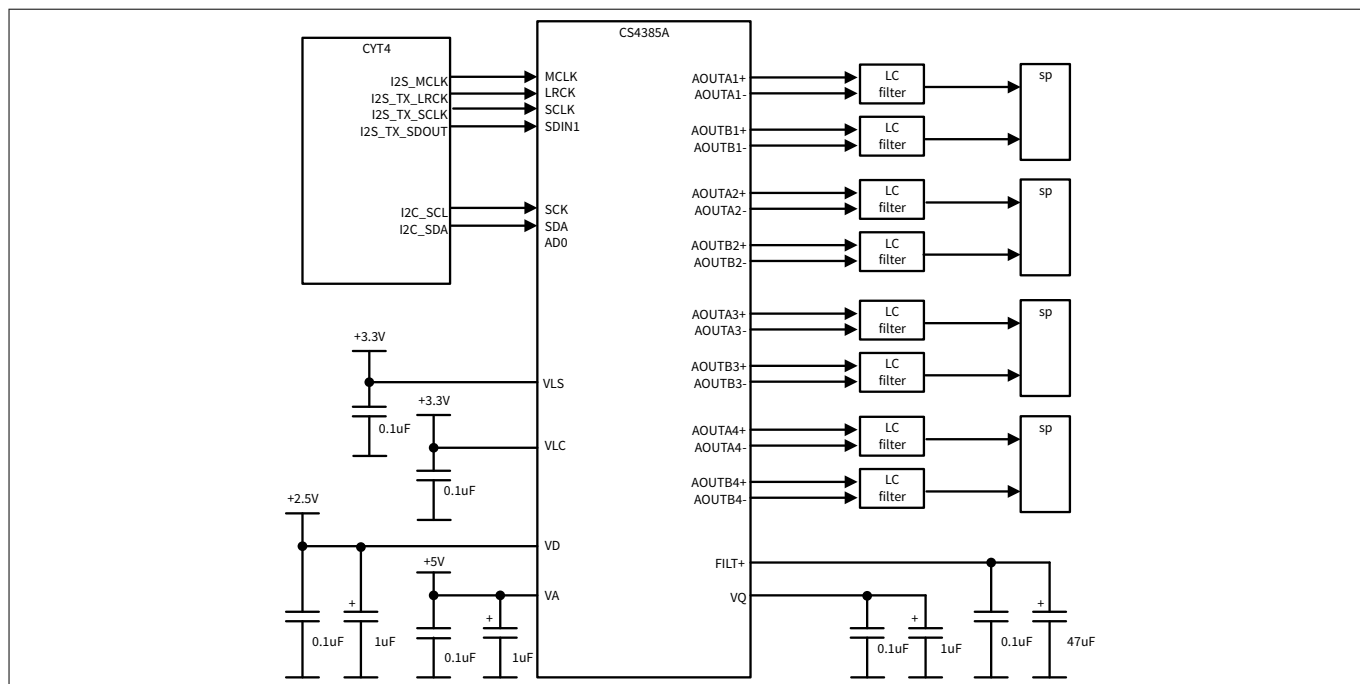


図 19 オーディオ出カインタフェースのブロックダイヤグラム

詳細については、CS4385A デバイスのデータシートを参照してください。

#### 3.5.2 オーディオ入カインタフェース

ここではオーディオ入カインタフェースについて説明します。

CS5368 は、デジタルオーディオシステム用の完全な 8 チャンネルアナログ-デジタルコンバータです。サンプリング、アナログ-デジタル変換、およびアンチエイリアスフィルタリングを実行し、チャンネルあたり最大 216 kHz のサンプルレートで、シリアル形式のすべての 8 チャンネル入力に対して 24 ビット値を生成します。

8 チャンネルマイクからのアナログ入力信号は多重化され、I2S / TDM 信号を使用して MCU に入力されます。

## 3 アプリケーション

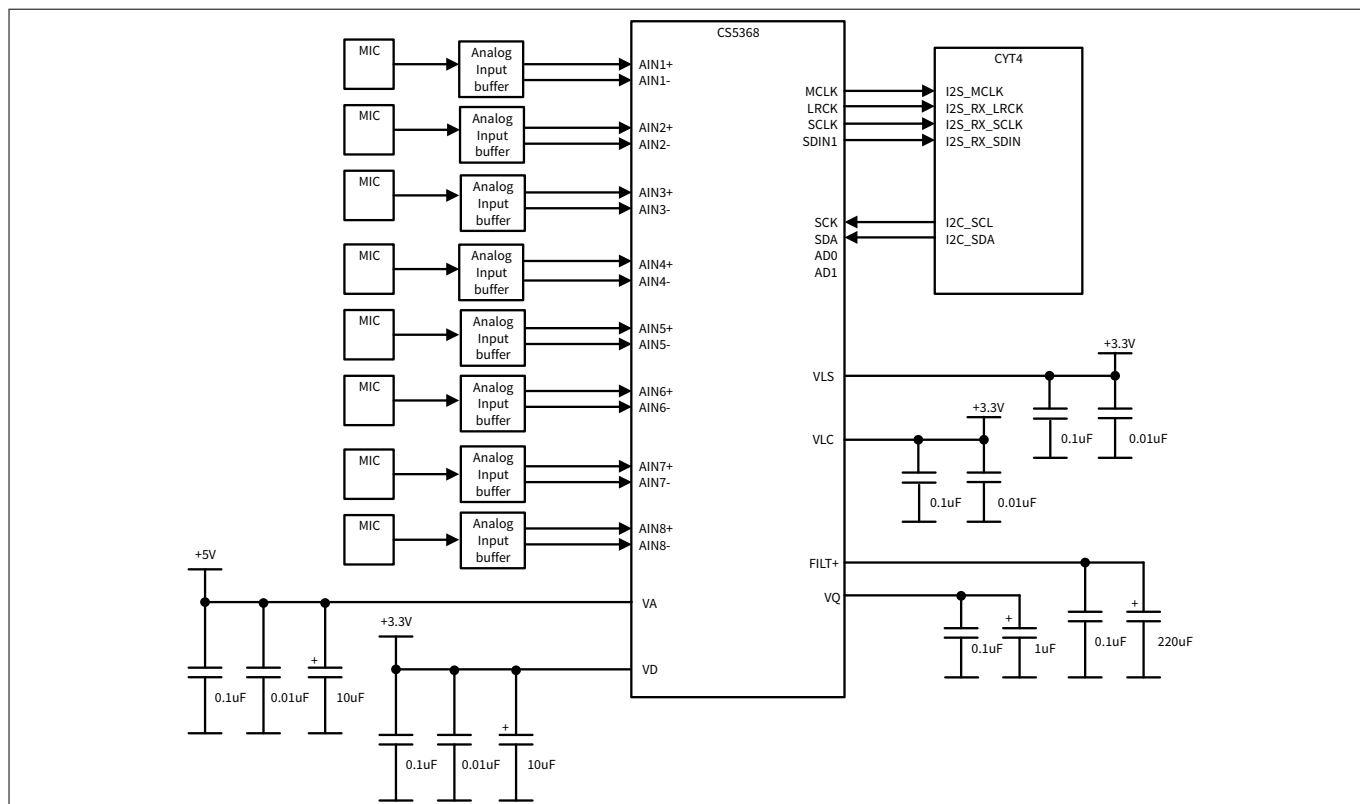


図 20 オーディオ入力インタフェースブロックダイヤグラム

詳細については、CS5368 デバイスのデータシートを参照してください。

### 3.5.3 オーディオ出力回路 (LC フィルタ)

これはオーディオ出力回路の例です。

アナログ出力は、CS4385A データシートに従って設計されています。出力回路には、マルチフィードバックトポロジを利用するアクティブな 2 極 50 kHz フィルタが含まれています。

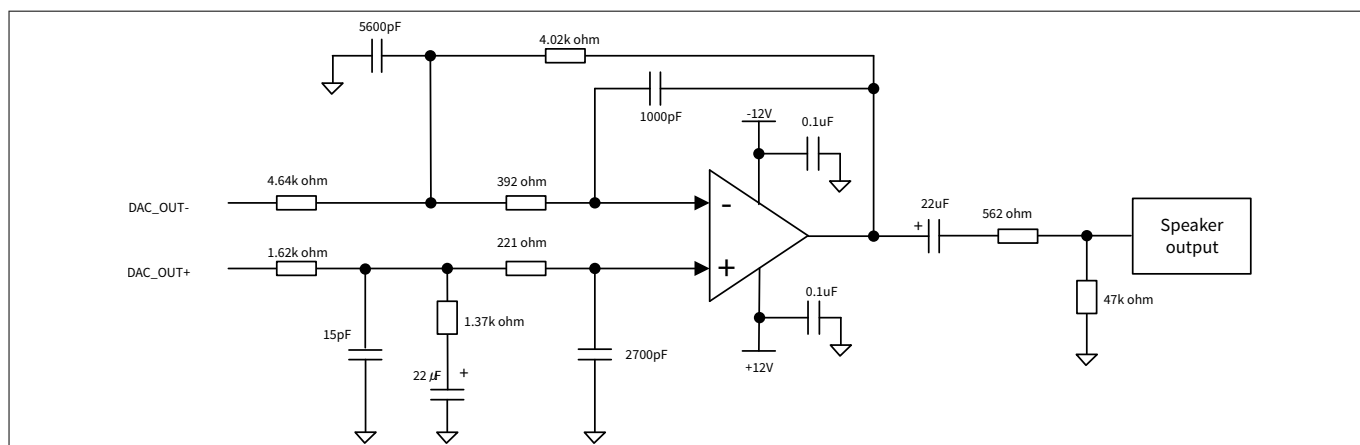


図 21 オーディオ出力回路例

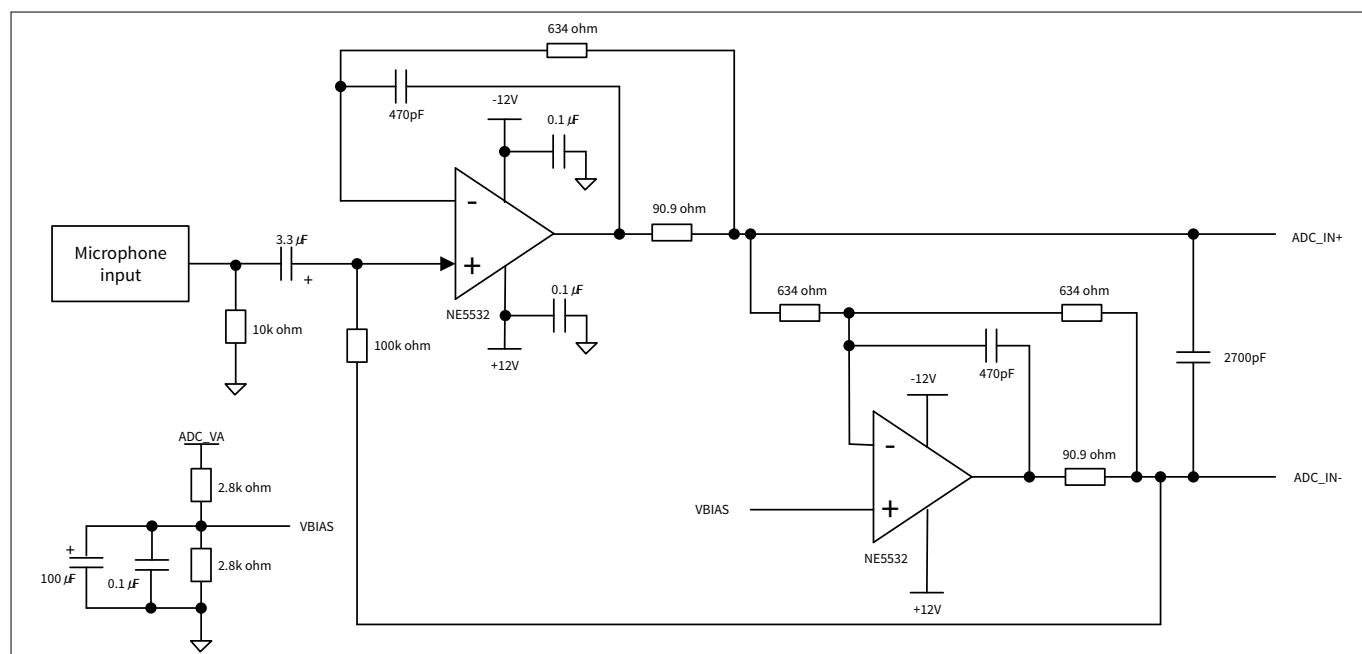
詳細については、CS4385A デバイスのデータシートを参照してください。

### 3.5.4 オーディオ入力回路 (アナログ入力バッファ)

これはオーディオ入力回路の例です。

## 3 アプリケーション

アナログ入力は、図 22 に示すアクティブな低ノイズのシングルエンドから差動へのアナログ入力バッファの例です。コストに応じて、代替のアクティブまたはパッシブ、シングルエンドまたは差動トポロジを使用できますが、CS5368 の高性能が損なわれる可能性があります。2700 pF の出力負荷で安定した低ノイズ構造で CS5368 をバッファリングすることによって、最適なデバイス性能が満たされます。



**図 22                      オーディオ入力回路例**

詳細については、CS5368 デバイスのデータシートを参照してください。

## 4 用語集

### 4 用語集

用語	説明
Amp	増幅器
CLK_HF	高周波ルートクロック
DAC	デジタル-アナログ変換器
DMA	直接メモリアクセス
FPU	単/倍精度浮動小数点ユニット
Source FIFO	データを結合する前にデータを格納するために使用される FIFO
SRSS	システムリソースサブシステムコアレジスタ
RX FIFO	受信側の FIFO
TX FIFO	送信側の FIFO.

## 5 関連ドキュメント

### 5 関連ドキュメント

以下は TRAVEO™ T2G ファミリのデータシートおよびテクニカルリファレンスマニュアルです。これらの資料を入手するには[テクニカルサポート](#)に連絡してください。

- デバイスデータシート
  - CYT3DL Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller TRAVEO™ T2G Family
  - CYT4DN Datasheet 32-Bit Arm® Cortex®-M7 Microcontroller TRAVEO™ T2G Family
- アーキテクチャテクニカルリファレンスマニュアル (TRM)
  - TRAVEO™ T2G Automotive Cluster 2D Family Architecture Technical Reference Manual (TRM)
- レジスタテクニカルリファレンスマニュアル (TRM)
  - CYT3 シリーズ
    - TRAVEO™ T2G Automotive Cluster 2D Registers Technical Reference Manual (TRM) for CYT3DL
  - CYT4 シリーズ
    - TRAVEO™ T2G Automotive Cluster 2D Registers Technical Reference Manual (TRM) for CYT4DN

改訂履歴

改訂履歴

版数	発行日	変更内容
**	2020-08-03	これは英語版 002-26043 Rev. **を翻訳した日本語版 002-30173 Rev.**です。
*A	2021-06-28	これは英語版 002-26043 Rev. *A を翻訳した日本語版 002-30173 Rev.*A です。英語版の変更内容: Added Target device Modified Section 2.1 according to TRM Added Section 3.5 Hardware Design Guide MOVED TO INFINEON TEMPLATE.
*B	2024-08-01	これは英語版 002-26043 Rev. *B を翻訳した日本語版 002-30173 Rev.*B です。英語版の変更内容: Template update; no content update



## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-08-01

Published by

Infineon Technologies AG  
81726 Munich, Germany

© 2024 Infineon Technologies AG  
All Rights Reserved.

Do you have a question about any  
aspect of this document?

Email: [erratum@infineon.com](mailto:erratum@infineon.com)

Document reference  
IFX-cht1686118463554

## 重要事項

本手引書に記載された情報は、本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

## 警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。