

# 电路板级的电磁兼容设计

作者：伦德全  
高级应用工程师  
飞思卡尔微控制器部  
香港

---

本应用文档从元件选择、电路设计和印制电路板的布线等几个方面讨论了电路板级的电磁兼容性（EMC）设计。

本文从以下几个部分进行论述：

- 第一部分：电磁兼容性的概述
- 第二部分：元件选择和电路设计技术
- 第三部分：印制电路板的布线技术
- 附录 A：电磁兼容性的术语
- 附录 B：抗干扰的测量标准

Specifications and information herein are subject to change without notice.

©Freescale Semiconductor, Inc., 2006. All rights reserved.

General Business Information



## 第一部分：电磁干扰和兼容性的概述

电磁干扰是现代电路工业面对的一个主要问题。为了克服干扰，电路设计者不得不移走干扰源，或设法保护电路不受干扰。其目的都是为了使电路按照预期的目标来工作——即达到电磁兼容性。

通常，仅仅实现板级的电磁兼容性这还不够。虽然电路是在板级工作的，但是它会对系统的其它部分辐射出噪声，从而产生系统级的问题。另外，系统级或是设备级的电磁兼容性必须要满足某种辐射标准，这样才不会影响其他设备或装置的正常工作。

许多发达国家对电子设备和仪器有严格的电磁兼容性标准；为了适应这个要求，设计者必须从板级设计开始就考虑抑制电子干扰。

### 电磁环境的组成

一个简单的电磁干扰模型由三个部分组成：

- 电磁干扰源
- 耦合路径
- 接收器

电磁干扰模型的组成如图 1 所示。

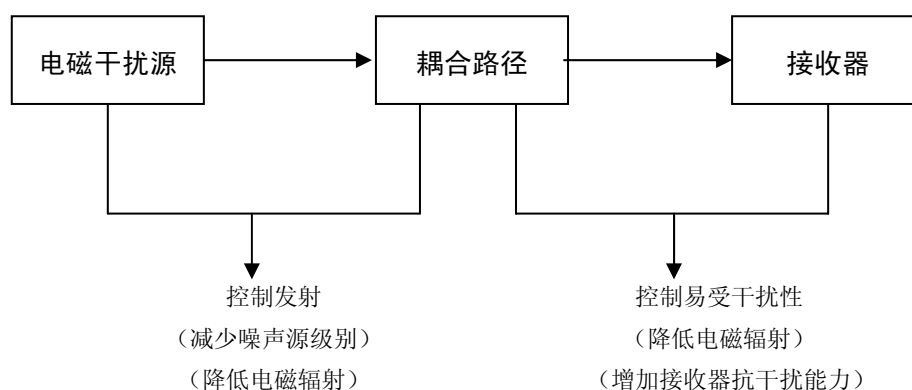


图 1. 电磁干扰模型的组成

#### 电磁干扰源

电磁干扰源包括微处理器、微控制器、静电放电、传送器、瞬时功率执行元件，比如说：机电式继电器、开关电源、闪电等。在一个微控制器系统里，时钟电路通常是最大的宽带噪声发生器，而这个噪声被分散到了整个频谱。随着大量的高速半导体器件的应用，其边沿跳变速率非常快，这种电路可以产生高达 300MHZ 的谐波干扰。

## 耦合路径

噪声被耦合到电路中最简单的方式是通过导体的传递。如果一条导线在一个有噪声的环境中经过，这条导线通过感应将接受这个噪声并且将它传递到电路的其余部分。噪声通过电源线进入系统，就是这种的耦合的一种情况。由电源线携带的噪声就被传到了整个电路。

耦合也能发生在有共享负载（阻抗）的电路中。例如，两个电路共享一条提供电源电压导线，并且共享一条接地的导线。如果一个电路要求提供一个突发的电流，由于两个电路共享共同的电源线和同一个电源内阻，则另一个电路的电源电压将会下降。该耦合的影响能通过减少共同的阻抗来削弱。但不幸的是，电源内阻抗是固定的而不能被降低，这种情况也同样发生在接地的导线中。在一个电路中流动的数字返回电流在另一个电路的接地回路中产生了地电位的变动。若接地不稳定，则将会严重的降低运算放大器、模数转换器和传感器等低电平模拟电路的性能。同样，对每个电路都共享的电磁场的辐射也能产生耦合。当电流改变时，就会产生电磁波。这些电磁波能耦合到附近的导体中并且干扰电路中的其它信号。

## 接收器（受体）

所有的电子电路都可以接受传送的电磁干扰。虽然一部分电磁干扰可通过射频被直接接受，但大多数是通过瞬时传导被接受的。在数字电路中，临界信号最容易受到电子干扰的影响。这些信号包括复位、中断和控制信号。模拟的低级放大器、控制电路和电源调整电路也容易受到噪声的影响。

为了进行电磁兼容性设计并符合电磁兼容性标准，设计者需要将辐射（从产品中泄露的射频能量）减到最小，增强其对辐射（进入产品中的射频能量）的易感性和抗干扰能力。如图 1 所示，发射和抗干扰都可以根据辐射和传导的耦合来分类。辐射耦合在高频中十分常见，而传导耦合路径在低频中更为常见。

## 电磁兼容性的费用

最经济有效的电磁兼容性设计方法，是在设计的早期阶段充分考虑评估电磁兼容性的技术要求（见图 2）。

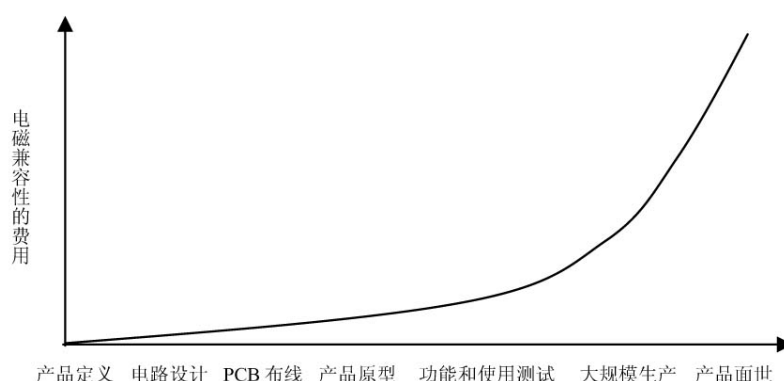


图 2. 电磁兼容性的费用

要让设计者在最初选择元件、设计电路和设计 PCB 布线时，就把电磁兼容性作为主要的设计依据是不大现实的。但是，如果设计者能牢记这篇文章的建议，那么，就能减少不合理的元件选择、电路设计和 PCB 布线的情况出现。

---

## 第二部分：元件的选择和电路设计技术

元件的选择和电路设计是影响板级电磁兼容性性能的主要因素。每一种电子元件都有它各自的特性，因此，要求在设计时仔细考虑。

下面将讨论一些常见的用来减少或抑制电磁兼容性的电子元件和电路设计技术。

### 元件组

有两种基本的电子元件组：有引脚的和无引脚的元件。

有引脚元件有寄生效果，尤其在高频时。该引脚形成了一个小电感，大约是  $1\text{nH}/\text{mm}$ /引脚。引脚的末端也能产生一个小电容性的效应，大约有  $4\text{pF}$ 。因此，引脚的长度应尽可能的短。

与有引脚的元件相比，无引脚且表面贴装的元件的寄生效果要小一些。其典型值为： $0.5\text{nH}$  的寄生电感和约  $0.3\text{pF}$  的终端电容。从电磁兼容性的观点看，表面贴装元件效果最好，其次是放射状引脚元件，最后是轴向平行引脚的元件。

### 电阻

由于表面贴装元件具有低寄生参数的特点，因此，表面贴装电阻总是优于有引脚电阻。对于有引脚的电阻，应首选碳膜电阻，其次是金属膜电阻，最后是线绕电阻。

由于在相对低的工作频率下（约 MHz 数量级），金属膜电阻是主要的寄生元件，因此其适用于高功率密度或和高准确度的电路中。

线绕电阻有很强的电感特性，因此在对频率敏感的应用中不能用它。它最适合用在大功率处理的电路中。

在放大器的设计中，电阻的选择非常重要。在高频环境下，电阻的阻抗会因为电阻的电感效应而增加。因此，增益控制电阻的位置应该尽可能的靠近放大器电路以减少电路板的电感。

在上拉/下拉电阻的电路中，晶体管或集成电路的快速切换会增加上升时间。为了减小这个影响，所有的偏置电阻必须尽可能靠近有源器件及他的电源和地，从而减少 PCB 连线的电感。

在稳压（整流）或参考电路中，直流偏置电阻应尽可能地靠近有源器件以减轻去耦效应（即改善瞬态响应时间）。

在 RC 滤波网络中，线绕电阻的寄生电感很容易引起本机振荡，所以必须考虑由电阻引起的电感效应。

## 电容

由于电容种类繁多，性能各异，选择合适的电容并不容易。但是电容的使用可以解决许多 EMC 问题。接下来的几小节将描述几种最常见的电容类型、性能及使用方法。

铝质电解电容通常是在绝缘薄层之间以螺旋状缠绕金属箔而制成，这样可在单位体积内得到较大的电容值，但也使得该部分的内部感抗增加。

钽电容由一块带直板和引脚连接点的绝缘体制成，其内部感抗低于铝电解电容。

陶质电容的结构是在陶瓷绝缘体中包含多个平行的金属片。其主要寄生为片结构的感抗，并且通常这将在低于 MHz 的区域造成阻抗。

绝缘材料的不同频响特性意味着一种类型的电容会比另一种更适合于某种应用场合。铝电解电容和钽电解电容适用于低频终端，主要是存储器和低频滤波器领域。在中频范围内（从 KHz 到 MHz），陶质电容比较适合，常用于去耦电路和高频滤波。特殊的低损耗（通常价格比较昂贵）陶质电容和云母电容适合于甚高频应用和微波电路。

为得到最好的 EMC 特性，电容具有低的 ESR（Equivalent Series Resistance，等效串联电阻）值是很重要的，因为它会对信号造成大的衰减，特别是在应用频率接近电容谐振频率的场合。

## 旁路电容

旁路电容的主要功能是产生一个交流分路，从而消去进入易感区的那些不需要的能量。旁路电容一般作为高频旁路器件来减小对电源模块的瞬态电流需求。通常铝电解电容和钽电容比较适合作旁路电容，其电容值取决于 PCB 板上的瞬态电流需求，一般在 10 至 470  $\mu\text{F}$  范围内。若 PCB 板上有许多集成电路、高速开关电路和具有长引线的电源，则应选择大容量的电容。

## 去耦电容

有源器件在开关时产生的高频开关噪声将沿着电源线传播。去耦电容的主要功能就是提供一个局部的直流电源给有源器件，以减少开关噪声在板上的传播和将噪声引导到地。

实际上，旁路电容和去耦电容都应该尽可能放在靠近电源输入处以帮助滤除高频噪声。去耦电容的取值大约是旁路电容的 1/100 到 1/1000。为了得到更好的 EMC 特性，去耦电容还应尽可能地靠近每个集成块（IC），因为布线阻抗将减小去耦电容的效力。

陶瓷电容常被用来去耦，其值决定于最快信号的上升时间和下降时间。例如，对一个 33MHz 的时钟信号，可使用 4.7nF 到 100nF 的电容；对一个 100MHz 时钟信号，可使用 10nF 的电容。

选择去耦电容时，除了考虑电容值外，ESR 值也会影响去耦能力。为了去耦，应该选择 ESR 值低于 1 欧姆的电容。

### 电容谐振

接下来简单讨论一下如何根据谐振频率选择旁路电容和去耦电容的值。如图 3 所示，电容在低于谐振频率时呈现容性，而后，电容将因为引线长度和布线自感呈现感性。表 1 列出了两种陶瓷电容的谐振频率，一种具有标准的 0.25 英寸的引脚和 3.75nH 的内部互连自感，另一种为表面贴装类型并具有 1nH 的内部自感。我们看到表面贴装类型的谐振频率是通孔插装类型的两倍。

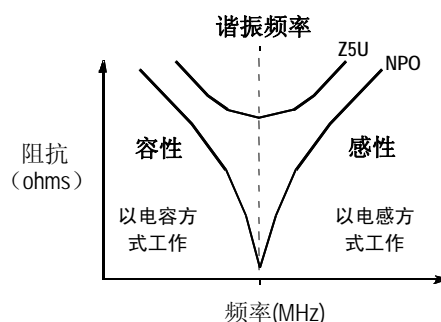


图 3. 阻抗和不同的电介质材料

表 1. 电容的谐振频率

电容值	通孔插装 (0.25 引线)	表面贴装 (0805)
1.0 $\mu\text{F}$	2.5 MHz	5 MHz
0.1 $\mu\text{F}$	8 MHz	16 MHz
0.01 $\mu\text{F}$	25 MHz	50 MHz
1000 pF	80 MHz	160 MHz
100 pF	250 MHz	500 MHz
10 pF	800 MHz	1.6 GHz

另一个影响去耦效力的因素是电容的绝缘材料（电介质）。去耦电容的制造中常使用钽钛酸盐陶瓷（Z5U）和锆钛酸盐（NPO）这两种材料。Z5U 具有较大的介电常数，谐振频率在 1MHz 到 20MHz 之间。NPO 具有较低的介电常数，但谐振频率较高（大于 10MHz）。因此 Z5U 更适合用作低频去耦，而 NPO 用作 50MHz 以上频率的去耦。

常用的做法是将两个去耦电容并联。这样可以在更宽的频谱分布范围内降低电源网络产生的开关噪声。多个去耦电容的并联能提供 6dB 增益以抑制有源器件开关造成的射频电流。



多个去耦电容不仅能提供更宽的频谱范围，而且能提供更宽的布线以减小引线自感，因此也就能更有效的改善去耦能力。两个电容的取值应相差两个数量级以提供更有效的去耦（如  $0.1\mu\text{F} + 0.001\mu\text{F}$  并联）。

需要注意的是数字电路的去耦，低的 ESR 值比谐振频率更为重要，因为低的 ESR 值可以提供更低阻抗的到地通路，这样当超过谐振频率的电容呈现感性时仍能提供足够的去耦能力。

## 电感

电感是一种可以将磁场和电场联系起来的元件，其固有的、可以与磁场互相作用的能力使其潜在地比其他元件更为敏感。和电容类似，聪明地使用电感也能解决许多 EMC 问题。

下面是两种基本类型的电感：开环和闭环。它们的不同在于内部的磁场环。在开环设计中，磁场通过空气闭合；而闭环设计中，磁场通过磁芯完成磁路。如图 4 所示。

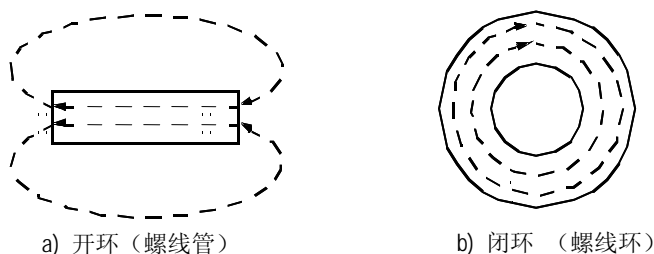


图 4. 电感中的磁场

电感比起电容和电阻而言的一个优点是它没有寄生感抗，因此其表面贴装类型和引线类型没有什么差别。

开环电感的磁场穿过空气，这将引起辐射并带来电磁干扰（EMI）问题。在选择开环电感时，绕轴式比棒式或螺线管式更好，因为这样磁场将被控制在磁芯（即磁体内的局部磁场）。

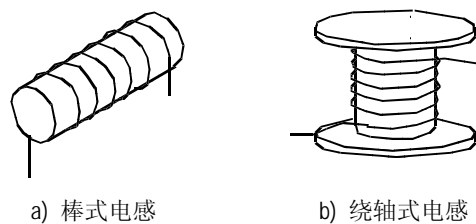


图 5. 开环电感

对闭环电感来说，磁场被完全控制在磁心，因此在电路设计中这种类型的电感更理想，当然它们也比较昂贵。螺旋环状的闭环电感的一个优点是：它不仅将磁环控制在磁心，还可以自行消除所有外来的附带场辐射。

电感的磁芯材料主要有两种类型：铁和铁氧体。铁磁芯电感用于低频场合（几十 KHz），而铁氧体磁芯电感用于高频场合（到 MHz）。因此铁氧体磁芯电感更适合于 EMC 应用。

在 EMC 应用中特别使用了两种特殊的电感类型：铁氧体磁珠和铁氧体磁夹。

铁和铁氧体可作电感磁芯骨架。铁芯电感常应用于低频场合（几十 KHz），而铁氧体芯电感常应用于高频场合（MHz）。所以铁氧体感应体更适合于 EMC 应用。

在 EMC 的特殊应用中，有两类特殊的电感：铁氧体磁珠和铁氧体夹。

铁氧体磁珠是单环电感，通常单股导线穿过铁氧体型材而形成单环。这种器件在高频范围的衰减为 10dB，而直流的衰减量很小。

类似铁氧体磁珠，铁氧体夹在高达 MHz 的频率范围内的共模（CM）和差模（DM）的衰减均可达到 10dB 至 20dB。

在 DC-DC 变换中，电感必须能够承受高饱和电流，并且辐射小。线轴式电感具有满足该应用要求的特性。在低阻抗的电源和高阻抗的数字电路之间，需要 LC 滤波器，以保证电源电路的阻抗匹配，如图 6 所示。

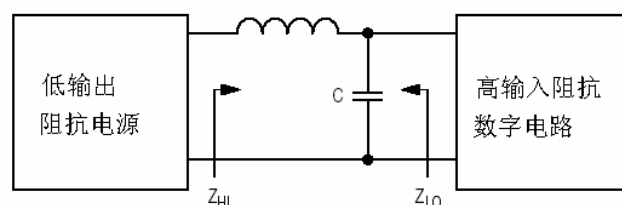


图 6. LC 滤波器

电感最广泛的应用之一是用于交流电源滤波器，如图 7 所示。

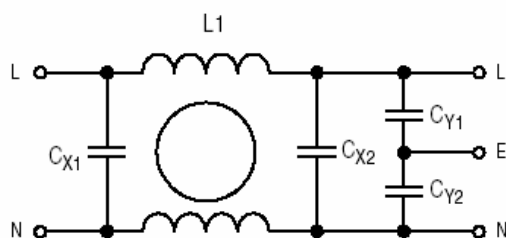


图 7. AC 电源滤波器

图 7 中，L1 是共模扼流圈，它既通过其初级电感线圈实现差分滤波，又通过其次级电感线圈实现共模滤波。L1、 $C_{X1}$  和  $C_{X2}$  构成差分滤波网络，以滤除进线间的噪声。L1、 $C_{Y1}$  和  $C_{Y2}$  构成共模滤波网络，以减小接线回路噪声和大地的电位差。对于 50Ω 的终端阻抗，典型的 EMI 滤波器在差分模式能降低 50 dB/十倍频程，而在共模降低为 40 dB/十倍频程。

## 二极管

二极管是最简单的半导体器件。由于其独特的特性，某些二极管有助于解决并防止与 EMC 相关的一些问题。表 2 列出了典型的二极管。



表 2. 二极管特性

	特性	EMC 应用	注释
整流二极管	大电流；慢响应；低功耗	无	电源
肖特基二极管	低正向压降；高电流密度；快速反向恢复时间	快速瞬态信号和尖脉冲保护	开关式电源
齐纳二极管	反向模式工作；快速反向电压过渡；用于嵌位正向电压；嵌位电压(5.1 V ±2%)	ESD 保护；过电压保护；低电容高数据率信号保护	-
发光二极管 (LED)	正向工作模式；不受 EMC 影响	无	当 LED 安装在远离 PCB 外的面板上作发光指示时会产生辐射
瞬态电压抑制二极管 (TVS)	类似齐纳二极管单工作于雪崩模式；宽嵌位电压（即 5V 意味着 6V 到 12V）；嵌位正向和负向瞬态过渡电压	ESD 激发瞬时高电压-减法瞬时尖脉冲	-
变阻二极管 (VDR: 电压随电阻变化) (MOV: 氧化金属变阻器)	覆盖金属的陶瓷粒（每颗粒子的作用如同高垫的肖特基二极管，主线保护；快速瞬态响应）	主线 ESD 保护；高压和高瞬时保护	可选齐纳二极管和 TVS

二极管的应用

许多电路为感性负载，在高速开关电流的作用下，系统中产生瞬态尖峰电流。二极管是抑制尖峰电压噪声源的最有效的器件之一。下面举例说明用二极管实现尖峰抑制。

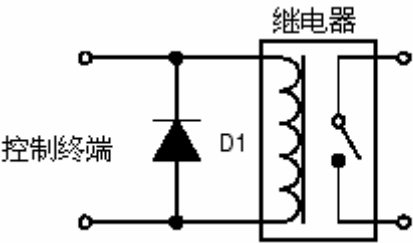


图 8. 继电器瞬时尖峰抑制

如图 8 所示，控制终端开/关线圈，线圈中的开关尖峰脉冲将耦合并辐射到电路的其它部分。二极管 D1 能嵌位电压的波动。

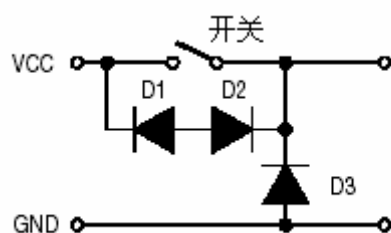


图 9. DC 开关尖峰抑制

图 9 中的二极管用于抑制高压开关的尖峰电压。

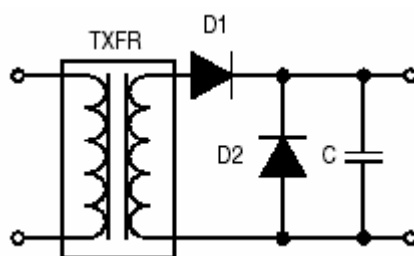


图 10. DC 变压器尖峰抑制

图 10 是典型的变压和整流电路。D2 是肖特基或齐纳二极管，用于抑制滤波后的尖峰瞬态噪声电压。

在汽车控制应用中，无论有刷还是无刷电机，当电机运行时，都将产生电刷噪声或换向噪声。因此需要噪声抑制二极管，为了改进噪声抑制效果，二极管应尽量靠近电机接点。

在电源输入电路中，需要用 TVS 或高电压变阻器进行噪声抑制。

信号连接接口的 EMI 问题之一是静电释放（ESD）。屏蔽电缆和连接器用于保护而不受外界静电的干扰。另一种方法是使用 TVS 或变阻器保护信号线。

## 集成电路

现代数字集成电路（IC）主要使用 CMOS 工艺制造。CMOS 器件的静态功耗很低，但是在高速开关的情况下，CMOS 器件需要电源提供瞬时功率，高速 CMOS 器件的动态功率要求超过同类双极性器件。因此必须对这些器件加去耦电容以满足瞬时功率要求。

### 集成电路封装

现在集成电路有多种封装结构，对于分离元件，引脚越短，EMI 问题越小。因为表贴器件有更小的安装面积和更低的安装位置，因此有更好的 EMC 性能，因此应首选表贴器件。甚至直接在 PCB 板上安装裸片。

IC 的引脚排列也会影响 EMC 性能。电源线从模块中心连到 I.C. 引脚越短，它的等效电感越少。因此 VCC 与 GND 之间的去耦电容越近越有效。

无论是集成电路、PCB 板还是整个系统，时钟电路是影响 EMC 性能的主要因素。集成电路的大部分噪声都与时钟频率及其多次谐波有关。因此无论电路设计还是 PCB 设计都应该考虑时钟电路以减低噪声。合理的地线、适当的去耦电容和旁路电容能减小辐射。用于时钟分配的高阻抗缓冲器也有助于减小时钟信号的反射和振荡。

对于使用 TTL 和 CMOS 器件的混合逻辑电路，由于其不同的开关/保持时间，会产生时钟、有用信号和电源的谐波。为避免这些潜在的问题，最好使用同系列的逻辑器件。由于 CMOS 器件的门限宽，现在大多数设计者选用 CMOS 器件。由于制造工艺是 CMOS 工艺，因此微处理器的接口电路也优选这种器件。

需要特别注意的是，未使用的 CMOS 引脚应该接地线或电源。在 MCU 电路中，噪声来自没连线/终端的输入，以至 MCU 执行错误的代码。

它也是设计微控制器接口首选的逻辑系列产品,这些微控制器也是基于 CMOS 技术制造的。关于 CMOS 设备，一个重要方面就是其不用的输入引脚要悬空或者接地。在 MCU 电路中，噪声环境可能引起这些输入端运行混乱，还导致 MCU 运行乱码。

### 电压校准

对于典型的校准电路，适当的去耦电容应该尽可能近地放置在校准电路的输出位置，因为在跟踪过程中,距离在校准的输出和负荷之间将会产生电感影响，并引起校准电路的内部振动。一个典型例子，在校准电路的输入和输出中，加上  $0.1\ \mu\text{F}$  的去耦电容可以避免可能的内在振动和过滤高频噪声。除此之外，为了减少输出脉动，要加上一个相对大的旁路电容( $10\ \mu\text{F/A}$ )。图 11 演示了校准电路的旁路和去耦电容。电容要放到离校准装置尽可能近的地方。

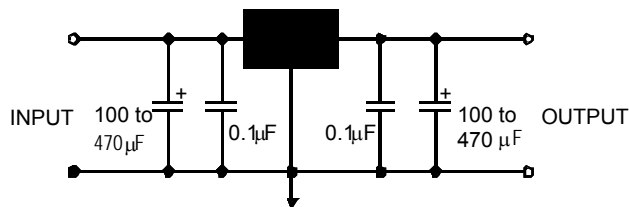


图 11. 旁路与去耦调节器

### 线路终端

当电路在高速运行时，在源和目的间的阻抗匹配非常重要。因为错误的匹配将会引起信号反馈和阻尼振荡。过量的射频能量将会辐射或影响到电路的其他部份，引起 EMI(电磁兼容性)问题。信号的端接有助于减少这些非预计的结果。

信号端接不但能减少在源和目的之间匹配阻抗的信号反馈和振铃，而且也能减缓信号边沿的快速上升和下降。

有很多种信号端接的方法，每种方法都有其利弊。表 3 给出了一些信号端接方法的概要。

表 3. 信号端接方法的概要

端接类型	相对成本	增加延迟	功率需求	临界参数	特性
串联	低	是	低	$R_S = Z_0 = R_0$	好的 DC 噪声极限
并联	低	小	高	$R = Z_0$	功率消耗是一个问题
RC	中	小	中	$R = Z_0$ $C = 20$ to $600\text{pF}$	阻碍带宽同时增加容性
Thevenin	中	小	高	$R = 2 \times Z_0$	对 CMOS 需要高功率
二极管	高	小	低	—	极限过冲；二极管振铃

## 串联/源端接 (Series/Source Termination)

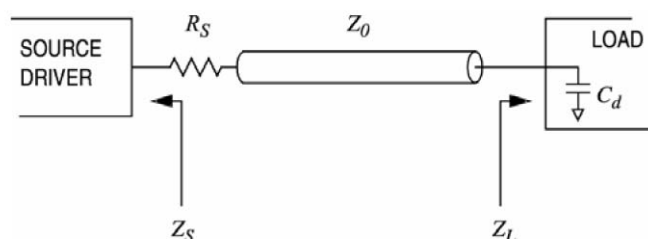


图 12. 串联端接电路

图 12 演示了串联/源端接方法。在源  $Z_S$  和分布式的线迹  $Z_0$  之间，加上了源端接电阻  $R_S$ ，用来完成阻抗匹配。 $R_S$  还能吸收负载的反馈。

$R_S$  必须离源驱动电路尽可能的近。 $R_S$  的值在等式  $R_S = (Z_0 - Z_S)$  中是实数值。

一般  $R_S$  大约取 15—75 欧的一个值。

## 并联端接

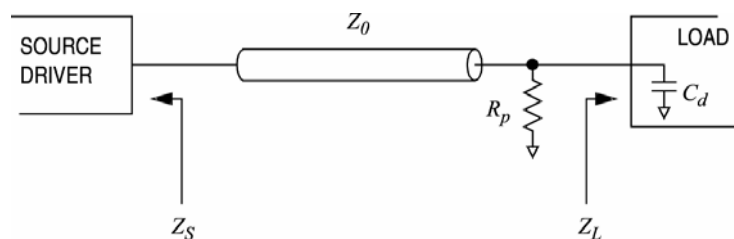


图 13. 并联端接电路

图 13 演示了并联端接方法。附加一个并联端接电阻  $R_P$ ，这样  $R_P \parallel Z_L$  就和  $Z_0$  相匹配了。但是这个方法对手持式产品不适用的，因为  $R_0$  的值太小了(一般为 50 欧)，而且这个方法很耗能量，再者这个方法

电路板板的电磁兼容设计，第1版

还需要源驱动电路来驱动一个较高的电流(100mA@5V,50Ω)。由于 $Z_{OL}C_d$ 的值还使这个方法增加了一个小的延时，这里 $Z_{OL} = R_p // Z_L$ 和 $C_d$ 是负载的输入分流电容。

### RC 端接

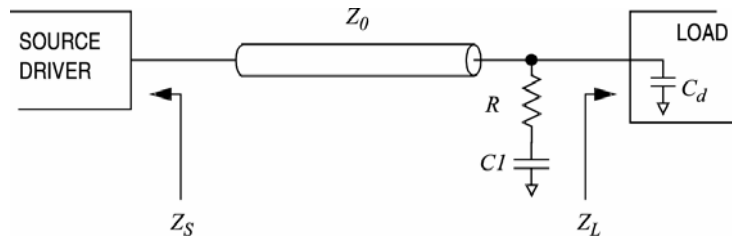


图 14. RC 端接

图 14 演示了 RC 端接方法。这个方法类似于并联端接，但是增加了一个  $C1$ 。和在并联端接方法中一样， $R$  用于提供匹配  $Z_0$  的阻抗。 $C1$  为  $R$  提供驱动电流并过滤掉从线迹到地的射频能量。因此，相比并联端接方法，RC 端接方法需要的源驱动电流更少。

$R$  和  $C1$  的值由  $Z_0$ ， $T_{pd}$  (环路传输延迟) 和  $C_d$  确定。

时间常数， $RC = 3 \times T_{pd}$ ，这里  $R // Z_L = Z_0$ ， $C = C1 // C_d$

### Thevenin 端接

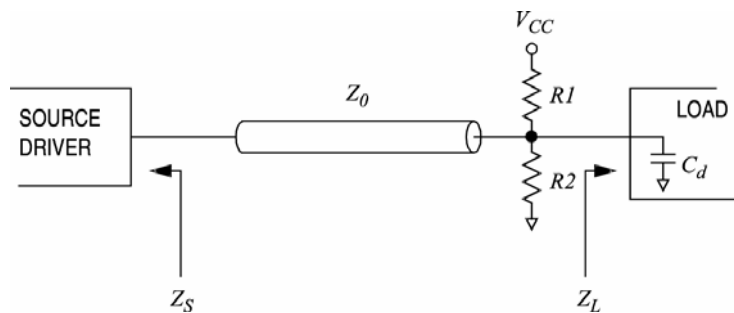


图 15. Thevenin 端接电路

图 15 演示了 Thevenin 端接方法。此电路由上拉电阻  $R1$  和下拉电阻  $R2$  组成，这样就使逻辑高和逻辑低与目标负载相符。

$R1$  和  $R2$  的值由  $R1 // R2 = Z_0$  决定。

$R1 + R2 + Z_L$  的值要保证最大电流不能超过源驱动电路容量。

举例来说， $R1=220\Omega$ ， $R2=330\Omega$

$$V_{ref} = \frac{R2}{R1 + R2} \times VCC = \frac{330}{330 + 220} \times 5 = 3V$$

这里  $VCC$  是驱动电压。

## 二极管端接 (Diode termination)

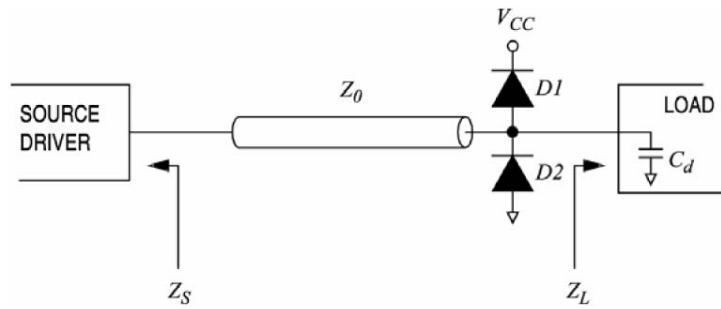


图 16. 二极管端接

图 16 演示了二极管端接方法。除了电阻被二极管替换以降低损耗之外，它与 Thevenin 端接方法类似。D1 和 D2 用来限制来自负载的过多信号反射量。与 Thevenin 端接方法不一样，二极管不会影响线性阻抗。对这种端接方法而言，选择 Schottky 和快速开关二极管是比较好的。

这种端接方法的优点在于不用已知  $Z_0$  的值，而且还可以和其他类型的端接方法结合使用。通常在 MCU 的内部应用这种端接方法来保护 I/O 端口。

## 微控制器电路

时下，许多 IC 制造业者不断地减小微控制器的尺寸以达到在单位硅片上增加更多部件的目的。通常减小尺寸会使晶体管更快。这样一来，虽然 MCU 时钟速率无法增加，但是上升和下降速度会增加，从而谐波分量使得频率值上升。许多情况下，减小微控制器尺寸无法通知给用户，这样最初时电路中的 MCU 是正常的，但以后在产品生命周期中的某个时间就可能出现 EMC 问题。对此最好的解决方法就是在开始设计电路时就设计一个较稳健的电路。

许多实时应用方面都需要高速 MCU，设计者一定要认真对待其电路设计和 PCB 布线以减少潜在的 EMC 问题。MCU 需要的电源功率随着其处理功率的增加而增加。让供给电路（比如校准电路）靠近微控制器是不难办到的，再用一个独立的电容就可以减少直流电源对其它电路的影响。

MCU 通常有一个片上振荡器，它用自己的晶体或谐振器连接，从而避免使用其他时钟驱动电路的时钟。这个独立的时钟能更好地防止系统其他部份所产生的噪声辐射。在时钟频率方面，MCU 通常是对功率要求最高的设备，这样让时钟靠近 MCU 就能保证对时钟频率仅有最小的驱动需求。

## I/O 口引脚

对于大多数 MCU，引脚通常都是高阻输入或混合输入/输出。高阻输入引脚易受噪声影响，并且在非正常终端时会引至寄存器锁存错误的电平。一个非内部终端的输入引脚需要有高阻抗（例如 4.7KΩ 或 10KΩ）连接每个引脚到地或者到供电电平，以便确保一个可知的逻辑状态。未连接的输入引脚通常浮动在供电电平的中间值周围，或者由于有内部泄露通路而浮动在不确定的电压值。

对于 IRQ 或复位引脚（输入引脚）来说，其终端比普通 I/O 口引脚更为重要。如果噪声导致这两个引脚误触发，它将对整个电路的行为产生巨大的影响。当输入引脚未连接，同时输入锁存器半开半闭时，会导致 IC 内部电流泄漏，此时通常可以看到高电流消耗，尤其是在 CMOS 器件中。因此在输入引脚



终端连接高阻抗可以减少供电电流，就象电磁兼容的其他好处一样。

### IRQ 引脚

由于中断对 MCU 操作有影响，因此它是元件中最敏感的引脚之一。从远端设备到 PCB 板上的 MCU，甚至在插件适配器或子系统卡上，IRQ 都可以被查询。因此，确保与中断请求引脚的任何连线都有瞬时静电释放保护是非常重要的。对于静电释放来说，在 IRQ 连线上有双向二极管、transorbs 或金属氧化变阻器终端通常就足够了，而且他们还能在不产生大的线路负荷的情况下帮助减少过冲和阻尼震荡。即便是对价格很敏感的应用，IRQ 线上的电阻终端也同样不可缺少。

### 复位引脚

不恰当的复位将导致许多问题，因为不同的应用利用了 MCU 启动和断电的不同条件。复位最基本的功能保证了一旦上电，MCU 便开始用可控制的方式执行代码。

上电时，电源上升到 MCU 的工作电压，在晶振稳定之前需要等一段时间。因此在复位引脚上要有时间延时。最简单的延时就是电阻-电容（RC）网络，在电流经过电阻时电容开始充电，一直到电平达到了能被 MCU 在逻辑 1 状态时的复位电路检测到的值为止。

理想情况下没有严格规定电阻和电容的大小，但也有其他方面的考虑。复位引脚的内部泄漏电流通常规定不能超出  $1\mu\text{A}$ （针对飞思卡尔 HC08 MCU），这意味着电阻最大为  $100\text{k}\Omega$ ，电容不能是电解电容，以保持停止电流的最小值。推荐使用陶瓷电容，因为它折衷了低价格，低泄漏，高频反应性能好的优点。复位引脚电容非常小（飞思卡尔 HC08 MCU 低于  $5\text{pF}$ ）。对于最小阻抗值也有限制，因为最大上拉电流大约为  $5\text{mA}$ ， $1\text{V}$  ( $V_{\text{OL}}$ )。加上外部电容的低阻抗电压源，则确定了上拉电阻的最小值为  $2\text{k}\Omega$ 。用二极管来钳住复位引脚的电压也是一种推荐做法，能防止供电电压过度，并且能够在断电时令电容迅速放电。

### 振荡器

许多 MCU 合成了倒相放大器，用来与外部晶体或陶瓷共振器一起构成皮尔斯振荡器结构。下面则讨论用来与特殊外部元件一起得到振荡的放大器最小增益（跨导）。

图 17 给出了 MCU 上使用的典型标准皮尔斯振荡器结构，晶体在  $1\text{MHz}$  到  $20\text{MHz}$  的频率范围。下面用简单的形式给出了 MCU 的内部电路，与非门后面是变极器。与非门有两个输入：一个连到 MCU 的 OSC1 脚，另一个连接到内部 STOP 上。

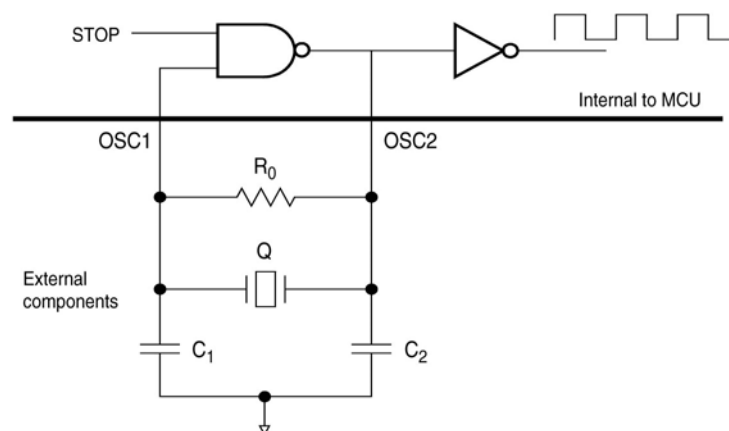


图17. 工作在1MHz至20MHz的标准皮尔斯振荡器

对于振荡电路来说，必须有正反馈，且闭环增益必须比 1 大。电阻  $R_0$  导致了负反馈，增大了放大器的开环增益需求。 $R_0$  通常尽量大，以将反馈减到最小，同时克服上电时的电流泄漏。当使用 1MHz 和 20MHz 的晶体时， $R_0$  应该在  $1\text{M}\Omega$  至  $10\text{M}\Omega$  的范围里。对于陶瓷共振器， $R_0$  一般用  $1\text{M}\Omega$ 。

共振器  $Q$  和电容  $C_1$ 、 $C_2$  构成了共鸣回路。 $C_1$ 、 $C_2$  代表了外部电容和任何并行的寄生电容。晶体和陶瓷共振器有小信号等效电路，如图 18 所示：

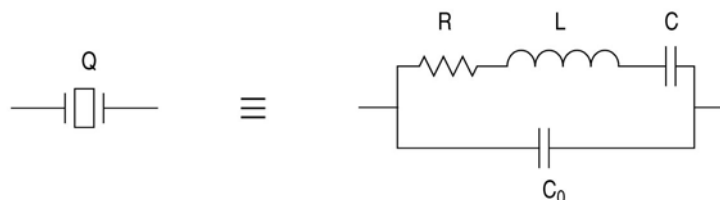


图18. 晶体等效电路

$R$  是串联电阻， $L$  和  $C$  是启动或串联电感、电容。 $C_0$  是分流电容，它代表了晶体盒中共振器和寄生电容的低频并联电容量的总和。任何在 OSC1 和 OSC2 引脚之间的附加寄生电容都包括在这个值里。

晶体制造商的数据手册里详细说明了特殊晶体中  $R$ 、 $L$ 、 $C$  和  $C_0$  的值。为了测量这些值，制造商必须给晶体送信号，也就是从晶体里功率消耗的特殊电平中获得。然而，在晶体启动时，通过晶体的唯一信号应归于热噪声，因此晶体里的功率消耗是非常低的。众所周知，当晶体内部功率消耗减少到低水平时  $R$  的有效值可以增长。因此  $R$  的最大值由晶体制造者来估计。

既然  $R_0$ 、 $C_1$  和  $C_2$  的值不仅依赖于 MCU 的变极器特性，还依赖于外部晶体或陶瓷共振器的特性，则从各制造商的数据手册里可以得到精确的元件结构。

---

## 第三部分：印制电路板的布线技术

除了元器件的选择和电路设计之外，良好的印制电路板（PCB）布线在电磁兼容性中也是一个非常重要的因素。既然 PCB 是系统的固有成分，在 PCB 布线中增强电磁兼容性不会给产品的最终完成带来附加费用。

有一点需要注意，PCB 布线没有严格的规定，也没有能覆盖所有 PCB 布线的专门的规则。大多数 PCB 布线受限于板子的大小和铜板的层数。一些布线技术可以应用于一种电路，却不能用于另外一种。这便主要依赖于布线工程师的经验。

然而还是有一些普遍的规则，下面的章节对其进行探讨。这些规则将作为普遍指导方针来对待。任何人都应记住一个拙劣的 PCB 布线能导致更多的电磁兼容问题，而不是消除这些问题，在很多例子中，就算加上滤波器和元器件也不能解决这些问题。到最后，不得不对整个板子重新布线。因此，在开始时养成良好的 PCB 布线习惯是最省钱的办法。

## PCB基本特性

一个 PCB 的构成是在垂直叠层上使用了一系列的层压、走线和预浸处理。在多层 PCB 中，设计者为了方便调试，会把信号线布在最外层。

PCB上的布线是有阻抗、电容和电感特性的。

- 阻抗：布线的阻抗是由铜和横切面面积的重量决定的。例如，1 盎司铜则有  $0.49\text{m}\Omega$  单位面积的阻抗。
- 电容：布线的电容是由绝缘体( $E_o E_r$ )、电流到达的范围( $A$ )以及走线间距( $h$ )决定的。  
用等式表达为  $C=E_o E_r A/h$ ， $E_o$  是自由空间的介电常数( $8.854\text{pF/m}$ )， $E_r$  是 PCB 基体的相关介电常数(在 FR4 碾压中为 4.7)
- 电感：布线的电感平均分布在布线中，大约为  $1\text{nH/m}$ 。  
对于 1 盎司铜线来说，在  $0.25\text{mm}$  (10mil)厚的 FR4 碾压情况下，位于地线层上方的  $0.5\text{mm}$  (20mil)宽， $20\text{mm}$  (800mil)长的线能产生  $9.8\text{m}\Omega$  的阻抗， $20\text{nH}$  的电感以及与地之间  $1.66\text{pF}$  的耦合电容。将上述值与元器件的寄生效应相比，这些都是可以忽略不计的，但所有布线的总和可能会超出寄生效应。因此，设计者必须将这一点考虑进去。

下面便是PCB布线的普遍方针：

- 增大走线的间距以减少电容耦合的串扰；
- 平行的布电源线和地线以使PCB电容达到最佳；
- 将敏感的高频线布在远离高噪声电源线的地方；
- 加宽电源线和地线以减少电源线和地线的阻抗。

## 分割

分割是指用物理上的分割来减少不同类型线之间的耦合，尤其是通过电源线和地线。

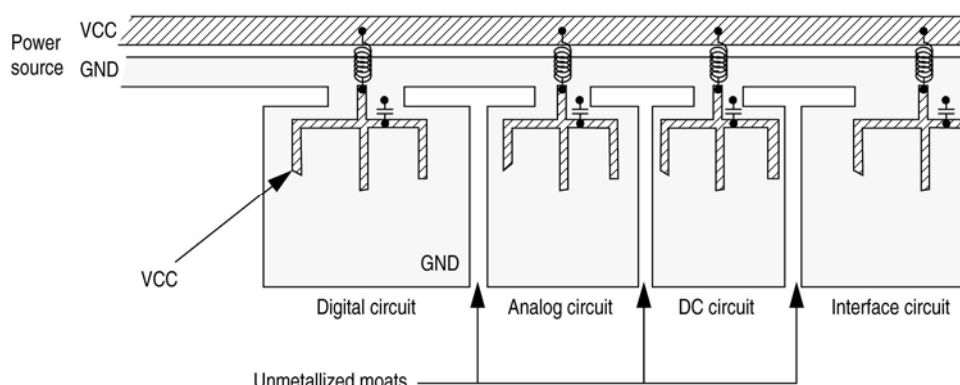


图19. 分割功能块

图 19 给出了用分割技术将 4 个不同类型的电路分割开的例子。在地线面，非金属的沟用来隔离四个

地线面。L 和 C 作为板子上的每一部分的过滤器，减少不同电路电源面间的耦合。高速数字电路由于其更高的瞬时功率需量而要求放在电源入口处。接口电路可能会需要静电释放（ESD）和暂态抑制的器件或电路。对于 L 和 C 来说，最好使用不同值的 L 和 C，而不是用一个大的 L 和 C，因为这样它便可以为不同的电路提供不同的滤波特性。

### 局部电源和 IC 间的去耦

局部去耦能够减少沿着电源干线的噪声传播。连接着电源输入口与 PCB 之间的大容量旁路电容起着—个低频脉动滤波器的作用，同时作为一个电势贮存器以满足突发的功率需求。此外，在每个 IC 的电源和地之间都应当有去耦电容，这些去耦电容应该尽可能的接近引脚。这将有助于滤除 IC 的开关噪声。

### 基准面的射频电流

不管是对多层 PCB 的基准接地层还是单层 PCB 的地线，电流的路径总是从负载回到电源。返回通路的阻抗越低，PCB 的电磁兼容性能越好。由于流动在负载和电源之间的射频电流的影响，长的返回通路将在彼此之间产生互耦。因此返回通路应当尽可能的短，环路区域应当尽可能的小。

### 布线分离

布线分离的作用是将 PCB 同一层内相邻线路之间的串扰和噪声耦合最小化。

3W 规范表明所有的信号（时钟，视频，音频，复位等等）都必须象图 20 所示那样，在线与线，边沿到边沿间予以隔离。为了进一步的减小磁耦合，将基准地布放在关键信号附近以隔离其他信号线上产生的耦合噪声。

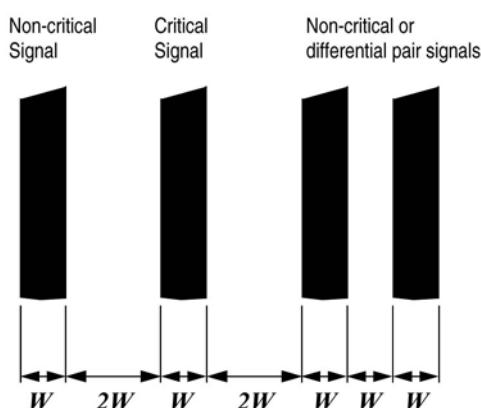


图 20. 线迹隔离

### 保护与分流线路

在时钟电路中，局部去耦电容对于减少沿着电源干线的噪声传播有着非常重要的作用。但是时钟线同样需要保护以免受其他电磁干扰源的干扰，否则，受扰时钟信号将在电路的其他地方引起问题。

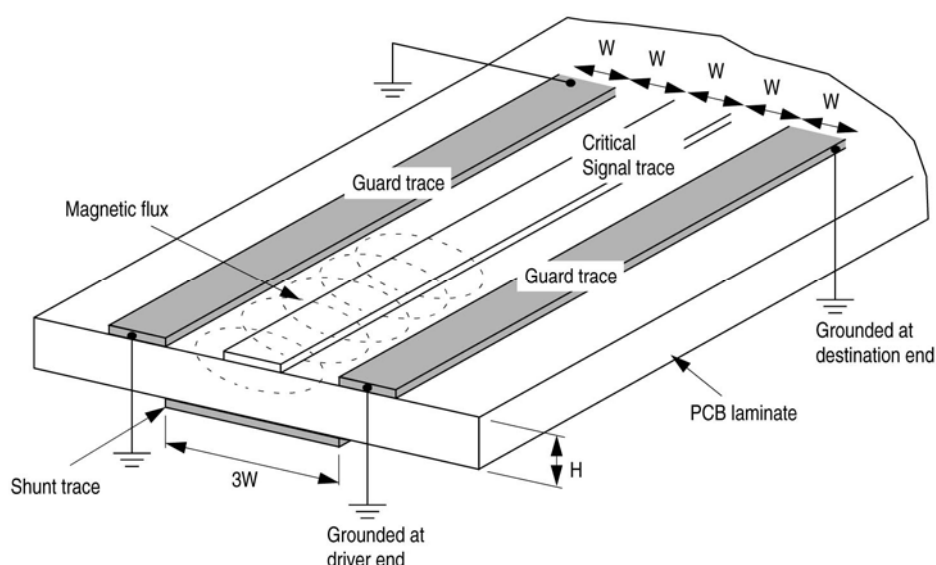


图 21. 分流与保护线路

设置分流和保护线路是对关键信号，比如对在一个充满噪声的环境中的系统时钟信号进行隔离和保护的非常有效的方法。在图 21 中，PCB 内的并联或者保护线路是沿着关键信号的线路布放。保护线路不仅隔离了由其他信号线上产生的耦合磁通，而且也将关键信号从与其他信号线的耦合中隔离开来。

分流线路和保护线路之间的不同之处在于分流线路不必被端接（与地连接），但是保护线路的两端都必须连接到地。为了进一步的减少耦合，多层 PCB 中的保护线路可以每隔一段就加上到地的通路。

### 接地技术

接地技术既应用于多层 PCB，也应用于单层 PCB。接地技术的目标是最小化接地阻抗，以此减少从电路返回到电源之间的接地回路的电势。

#### 单层 PCB 的接地线

在单层（单面）PCB 中，接地线的宽度应尽可能的宽，且至少应为 1.5mm(60mil)。由于在单层 PCB 上无法实现星形布线，因此跳线和地线宽度的改变应当保持为最低的，否则将引起线路阻抗与电感的变化。

#### 双层 PCB 的接地线

在双层（双面）PCB 中，对于数字电路优先使用地格栅/点阵布线，这种布线方式可以减少接地阻抗，接地回路和信号环路。像在单层 PCB 中，地线和电源线的宽度最少应为 1.5mm。

另外的一种布局是将接地层放在一边，信号和电源线放于另一边。在这种布置方式中将进一步减少接地回路和阻抗，去耦电容可以放置在距离 IC 供电线和接地层之间尽可能近的地方。

### 保护环

保护环是一种可以将充满噪声的环境（比如射频电流）隔离在环外的接地技术，这是因为在通常的操作中没有电流流过保护环（参见图 22）。

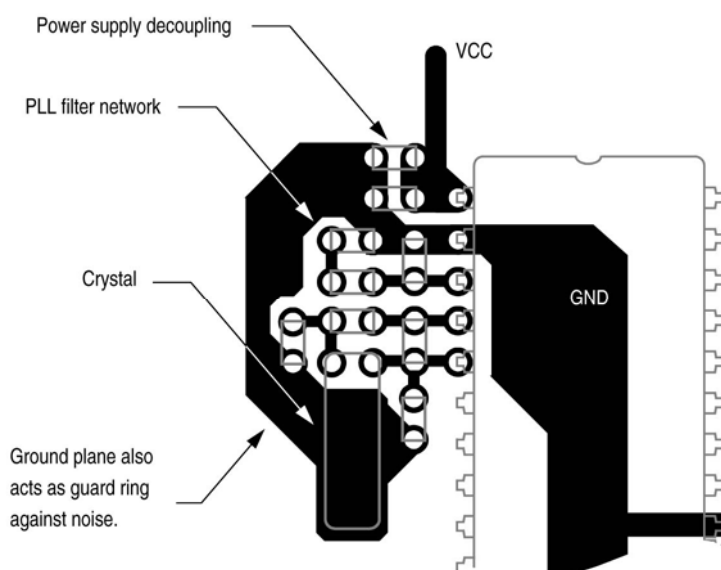


图 22. 保护环

### 电容

在多层板上，由分离电源面和地面的绝缘薄层产生了 PCB 电容。在单层板上，电源线和地线的平行布放也将导致这种电容效应。PCB 电容的一个优点是它具有非常高的频率响应和均匀的分布在整個面或整条线上的低串连电感。它等效于一个均匀分布在整個板上的去耦电容。没有任何一个单独的分立元件具有这个特性。

### 高速电路与低速电路

布放高速电路时应使其更接近接地面，而低速电路应使其接近电源面。

### 地的铜填充

在某些模拟电路中，没有用到的电路板区域是由一个大的接地面来覆盖，以此提供屏蔽和增加去耦能力。但是假如这片铜区是悬空的（比如它没有和地连接），那么它可能表现为一个天线，并将导致电磁兼容问题。

### 多层 PCB 中的接地面和电源面

在多层 PCB 中，推荐把电源面和接地面尽可能近的放置在相邻的层中，以便在整个板上产生一个大的 PCB 电容。速度最快的关键信号应当临近接地面的一边，非关键信号则布放为靠近电源面。图 23 给出了一个典型的多层板的布线。



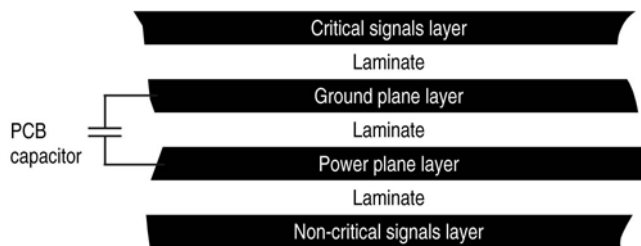


图 23. 多层 PCB 的布线

### 电源要求

当电路需要不止一个电源供给时，采用接地将每个电源分离开。但是在单层 PCB 中多点接地是不可能的。一种解决方法是把从一个电源中引出的电源线和地线同其他的电源线和地线分隔开（如图 24）。这同样有助于避免电源之间的噪声耦合。

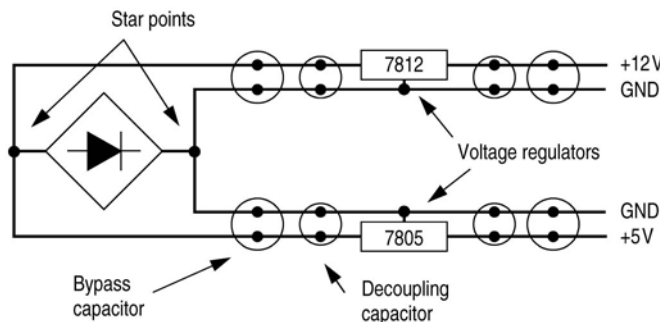


图 24. 多个供电电源

### 布局布线技术

以下章节讨论关于 PCB 布线的一些规则。

#### 过孔

过孔一般被使用在多层印制电路版中。当是高速信号时，过孔产生 1 到 4nH 的电感和 0.3 到 0.8pF 的电容到路径。因此，当铺设高速信号通道时，过孔应该被保持到绝对的最小。对于高速的并行线(例如地址和数据线)，如果层的改变是不可避免，应该确保每根信号线的过孔数一样。

#### 45 度角的路径

与过孔相似，直角的路径转动应该被避免，因为它在内部的边缘能产生集中的电场。该场能产生耦合到相邻路径的噪声，因此，当转动路径时全部的直角路径应该采用 45 度的。图 25 是 45 度路径的一般规则。

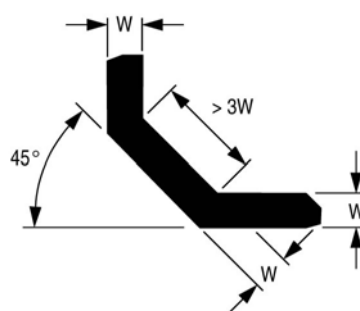


图 25. 成角的路径

### 短截线

短截线产生反射，同时也潜在增加波长可分的天线到电路的可能。虽然短截线长度可能不是任何在系统的已知信号的波长的四分之一整数，但是附带的辐射可能在短截线上产生共鸣。因此，避免在传送高频率和敏感的信号路径上使用短截线。

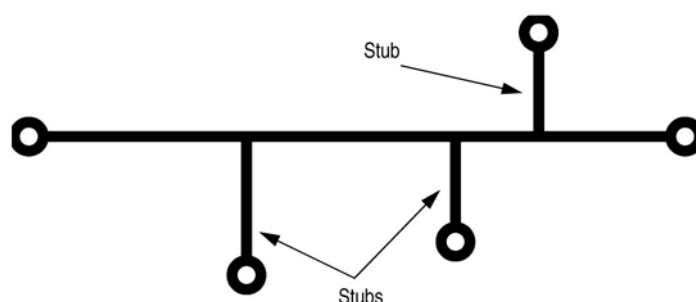


图 26. 短截线

### 星型的信号排列

虽然星型排列适用于来自多个 PCB 印制电路版的地线连接，但它带有能产生多个短截线的信号路径。因此，应该被避免用星型排列于高速和敏感的信号上。

### 辐射型信号排列

辐射型信号排列通常有最短的路径，以及产生从源点到接收器的最小延迟，但是这也能产生多个反射和辐射干扰，所以应该被避免用辐射型排列于高迅和敏感的信号上。

### 不变的路径宽度

信号路径的宽度从驱动到负载应该是常数。改变路径宽度对路径阻抗（电阻，电感，和电容）产生改变，从而，能产生反射和造成线路阻抗不平衡。所以最好保持路径的宽度不变。

### 洞和过孔密集

经过电源和地面位面的过孔的密集会在接近过孔的地方产生局部化的阻抗差异。这个区域不仅成为信号活动的“热点”，而且供电面在这点是高阻，象射频电流一样低效。

### 切分孔隙

与洞和过孔密集相同，切分孔隙（即长洞或宽通道）在电源位面和地位面范围内产生不一致的区域，并且就象防护物一样减少他们的效力，也局部性地递增电源位面和地位面的阻抗。

### 接地金属化的模具

所有的金属化的模具应该被连接到地，否则，这些大的金属区域能充当辐射天线。

### 最小化环面积

保持信号路径和它的地返回线紧靠在一起将有助于最小化地环，因而,避免潜在的天线环。对于高速单端信号,有时如果信号路径没有沿着低阻的地位面走，地线回路可能也必须沿着信号路径(如图 27)。

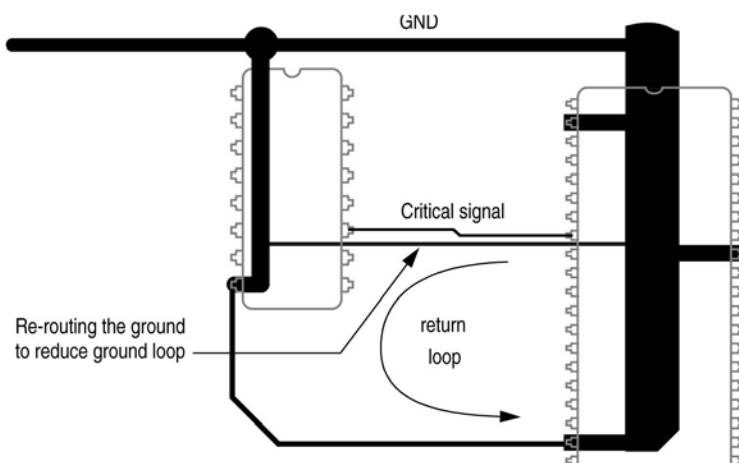


图 27. 地线回环

## PCB 例 1

图 28 说明了洗衣机的典型印制板电路的一些改进措施

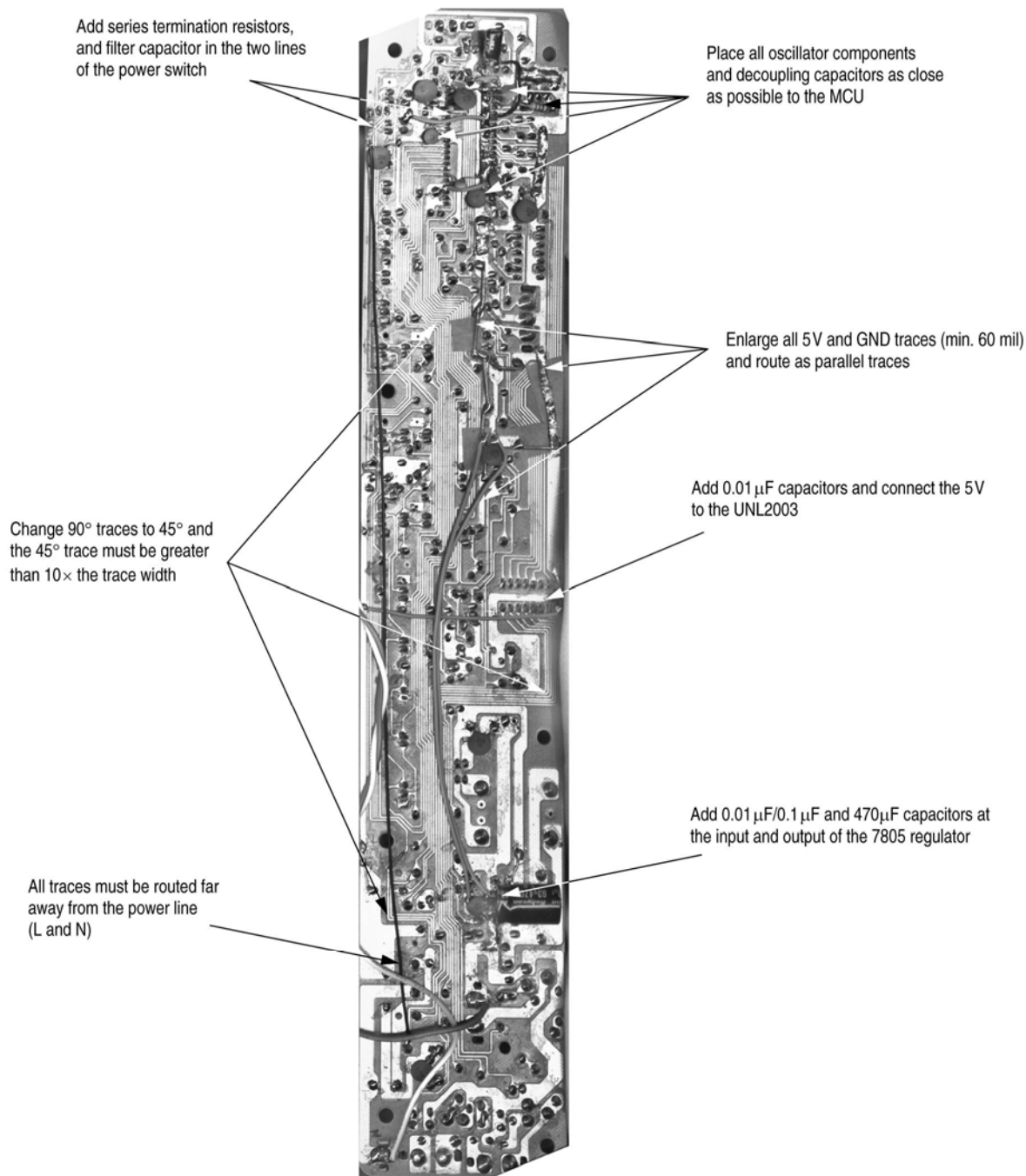


图 28. PCB 改进 — 例 1

## PCB 例 2

图 29 说明了空气调节器的典型印制电路板电路的一些改进措施

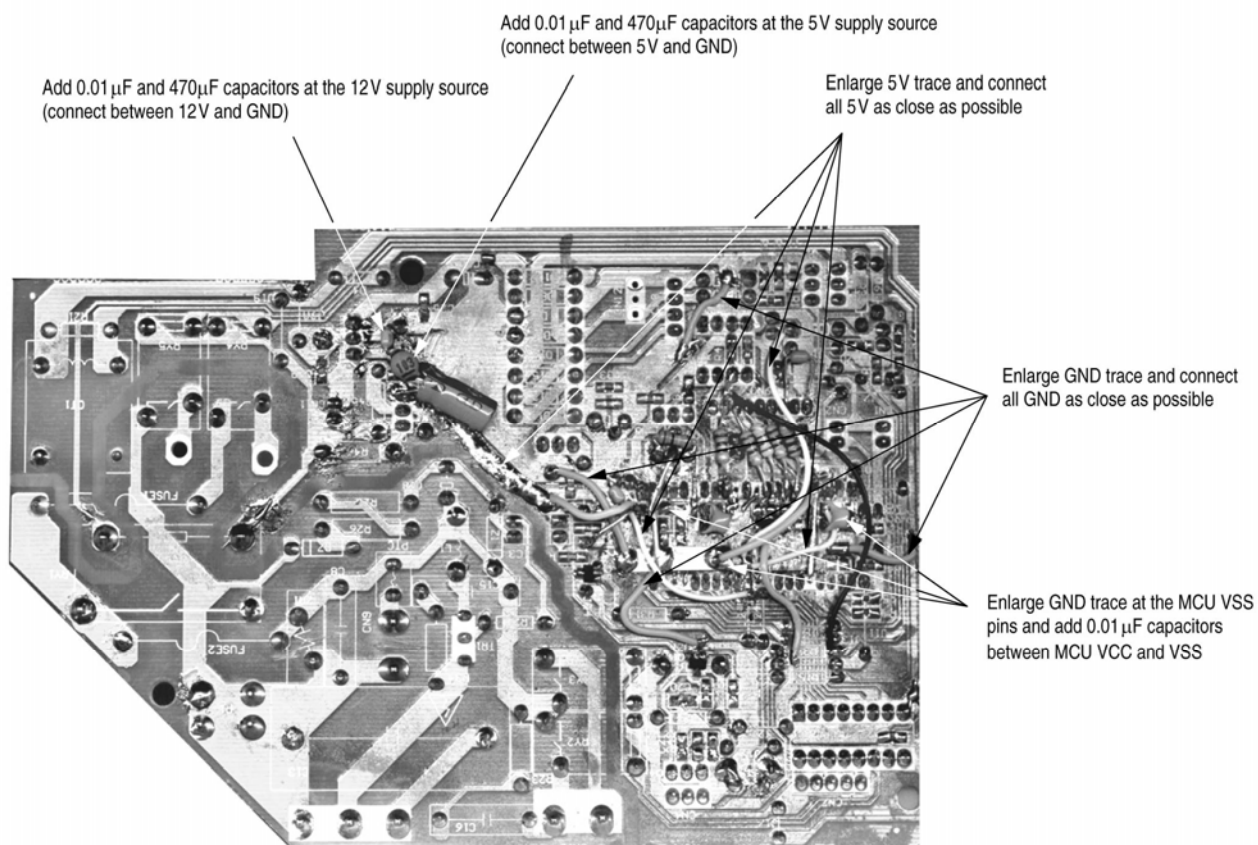


图 29. PCB 改进 — 例 2

## 附录 A：术语表

### 电磁的兼容性(EMC)

由于电磁干扰的原因，工作在规定的电磁环境安全范围内的电气和电子的系统、装置和设备，他们的设计水平或性能上没有造成不可接受的下降，这种能力就是电磁兼容性。(ANSI C64.14-1992)。

### 电磁干扰(EMI)

电磁兼容性的缺乏，其冲突的本质就是兼容性的缺乏。电磁干扰就是这样一个过程，在这个过程中分裂的电磁能量从一个电子设备传输到另外一个，这种传输经由辐射或传导路径完成(或同时经由两者)。通常，这个术语特指的是射频信号。电磁干扰能发生在“直流直到日光”的频率范围内。

### 辐射性散发

是射频能量的组成它通过如同电磁场一样的媒介传送。射频能量通常通过自由空间传送；然而，其他模式的场传送也可能发生。

### 传导性散发

是射频能量的组成，它通过如同导波一样的媒介传送，一般通过金属丝或互连电缆进行。

### 抗干扰性

当维持在预先确定的性能水平时，设备或系统抵挡电磁干扰能力的相对度量。

### 静电的放电(ESD)

当两个不同电位的物体在彼此接近或直接接触时，产生的电荷转移。这种被观察到的现象是高压脉冲，高压脉冲可能使敏感的设备遭到损坏或失去功能。尽管闪电在量级上与高压脉冲不同，但术语静电放电通常被用于安培数较小的事件中，更特指那些人为引发的事件。

### 抗辐射性

产品抵抗来自自由空间传播的电磁能量的相对能力。

### 抗导体性

抵抗经过外部的电缆，电线穿透它的电磁能量的产品相对能力，输入 / 输出互相连接的电磁能量。如果连接不正确的话，电磁干扰(EMI) 可能增加一倍。

### 易损性

某一电子装置或系统易受干扰，易受损坏，易受被附近电磁场或信号的电磁干扰 (EMI)。它是易损的，缺乏抵抗能力。



## 附录 B：抗扰性测量标准

### 抗静电释放性（IEC） 1000-4-2

该测试的目的主要是验证对因物体或人或装置的接近或接触而产生的静电释放（ESD）的抵抗能力。物体或人的内部能累积达到高于 15kV 电压的静电电荷。经验表明许多不明原因的故障和损害很可能是 ESD 引起的。

通过从 ESD 模拟器放电到 EUT 的表面和 EUT 附近，测试仪器（EUT）来获取 ESD 的活动。放电的严重水平在由制造商准备的产品标准和 EMC 测试计划中明确定义。EUT 在它所有的操作模式中检查功能故障或干扰。通过/失败的标准必须在 EMC 测试计划中被定义同时由产品的制造商决定。

### 抗瞬态导电性（EFT/B） IEC 1000-4-4

该测试的目的主要是验证 EUT 对可能由感性负载或者接触器产生的快速上升时间的瞬态短持续时间冲击的抵抗能力。这种测试脉冲的快速上升时间和重复的本质导致了这些尖峰信号容易穿透 EUT 的电路并可能干扰 EUT 的操作。瞬态直接作用于总电源和信号线的电容率。在其他的抗扰性测试中，应当使用一般操作的配置，按照通过/失败的标准对 EUT 进行监视。

### 抗电磁场辐射性 EC 1000-4-3

该测试的目的主要是验证产品对收音机，无线电收发机，移动 GSM/AMPS 的电话，和各种不同的来自工业电磁源产生的电磁场的抗干扰能力。假如系统没有屏蔽，电磁场辐射能够耦合在接口电缆上并通过该传导路径进入电路；或者它能直接耦合道印制电路的接线处。当射频电磁场的幅度足够大的话，感应电压和解调载波能影响装置的正常操作。

#### *抗辐射性测试的运行*

这个测试的运行通常是最长的和最困难的，需要非常昂贵的仪器和相当的经验。相较其他的抗扰性测试，必须将由制造商定义的成功/失败标准和书面的测试计划送到测试室。在把 EUT 送入辐射场时，EUT 必须设置在正常的操作和最敏感的模式中。

当 EUT 暴露在频率超过要求的 80MHz 到 1GHz 频率范围的分级干扰场内时，测试房间内必须建立正常操作。某些抗干扰标准从 27MHz 开始。

#### *严重等级*

该标准通常对抗扰性水平有 1V/m, 3V/m 或 10V/m 的要求。然而设备的规格也许在特定的“问题（干涉）频率”上有它们自己的要求。产品的抗辐射电平如何才适当是制造商的兴趣所在。

#### *统一现场要求*

新的抗扰性标准 EN50082-1:1997 引用了 IEC/EN61000-4-3。IEC/EN61000-4-3 要求在测试样本的基础上建立一个统一的测试环境。该测试环境是在一个由铁氧体吸收器构成的瓦排列的无回声房间内实

现的，铁氧体瓦用于阻碍反射和共振以便能够在室内建立一个统一的测试现场。这克服了在传统的无衬里房间那由于反射和场梯度引起的突然和经常性的不可重复的测试错误。（半无回声房间也是一个对要求精确的室内非正常环境的辐射散发进行测量的理想环境）。

### 半无回声房间的建造

在半无回声的房间的墙壁和天花板上应当安排 RF 吸收器。力学和 RF 的设计规格应当适应排列在房间屋顶的重铁氧体砖。铁氧体砖处在电介质材料上并附着于房间的顶面。在没有衬里的房间内，金属表面的反射将导致共振和驻波，驻波会在测试空间的强度上产生波峰和波谷。在通常的无衬里房间内场梯度可达 20 到 40dB，而且这将导致测试样品看来在非常低的场中的突然失效。房间的共振造成很低的测试重复性和高几率的“过测试”。（这也许会造成产品的过设计）新的现场同种要求的抗干扰标准 IEC1000-4-3 弥补了这些严重的缺陷。

### 生成测试现场的硬件和软件要求

高功率的宽带 RF 放大器被用于驱动频率范围超过 26MHz 到 2GHz 的宽带发射天线，这个天线距离被测试的设备 3 米远。在软件的控制下全自动地测试和标定都达到最好运行，为测试和对所有关键参数，比如扫描速率，频率暂停时间，调制和场强等的全控制提供了更大的灵活性。软件钩子允许对监视和对 EUT 的功能性的刺激的同步。在实际测试中需要交互功能，以实现 EMC 测试软件和 EUT 参数的实时更改。这种用户存取特性允许快速记录所有的数据，以便有效的评估和分 EUT 的 EMC 性能。

### 金字塔吸收器

传统的金字塔（圆锥）吸收器是有效的，然而金字塔尺寸的巨大使得它无法用于测试房间内小的可用空间。对 80MHz 的较低频率，金字塔吸收器的长度应该委 100cm，而若要操作更低的 26MHz 频率，金字塔吸收器的长度应该超过 2m。金字塔吸收器同样有缺点，它们易碎，容易因为碰撞而被破坏，而且易燃。在房间的地面上使用这些吸收器也是不实际的。因为金字塔吸收器的发热，大于 200V/m 的场强持续超过一段时间后将造成火灾的高风险。

### 铁氧体瓦吸收器

铁氧体瓦是空间有效的，然而它们在房间的屋顶，墙壁和门上增加了明显的重量，因此房间的力学结构变得非常重要。它们在低频率时能有效的工作，但是当频率高于 1GHz 时，它们的工作变的相对低效。铁氧体瓦非常密实（100mm×100mm×6mm 厚）并能够承受超过 1000V/m 的场强而没有火灾的危险。

### 抗辐射性测试中的困难

由于用来操作 EUT 的辅助设备提供刺激信号以监视它自身的表现，使得它自身必须是对该敏感场是抗干扰的，这是运行辐射敏感性测试的固有困难。这经常会带来许多困难，特别是在辅助设备比较复杂，需要很多经过穿孔而贯穿已经屏蔽好的测试房间的连接到 EUT 的线缆和接口。所有穿越测试房间的线缆都必须予以屏蔽，而且/或者滤除以使测试场对它们是屏蔽的，这样可以避免降低测试房间的屏蔽性能。对测试房间屏蔽性能的折衷将造成测试场无意泄漏到周围环境中，这有可能对使用频谱者造成干扰。使用数据或者信号线的 RF 滤波器并不总是可行的，比如在数据非常多或者使用了高速的

数据链路的时候。由于 EUT 的配置并不总是能使维持自身对 RF 的有效屏蔽，因此即使使用屏蔽电缆，测试设备和接口电缆的 RF 屏蔽一般还是难以达到的。

#### *人身安全的考虑——非电离辐射*

测试房间内的电磁场可能会超过建议的对暴露人员的安全极限，因此测试人员不能在测试房间内监视 EUT 的状态或者性能。一个解决办法是采用远程控制的 EMI 固化闭路电视系统。

#### **对传导 RF 干扰的抗扰性 IEC 1000-4-6**

设立该标准的目的是用于验证 EUT 对频率范围在 9kHz 到 230MHz 之间的传导 RF 干扰的抗扰性。当 RF 被注入引脚的时候，根据准备好的测试计划监视运行中的 EUT。EUT 上所有的线缆担当了辐射 RF 能量的接收器，在这些线缆上表现为升至 10Vrms 的电压升高。由于需要大量不同的网络和耦合单元，该测试可能是难以进行的。

对线性能量突升暂态的免疫能力。

#### **抗电源线瞬态浪涌性 IEC 1000-4-5**

该测试的目的是验证由开关、雷击和其他相似的瞬态所造成的过压而引起的高能浪涌的抗扰性。许多设备的规格，特别是 ITE 设备已经要求兼容该标准。这个测试可能会造成 EUT 的损坏，因此除非 EUT 已经具有内建的有效的瞬态抑制，否则最好不要进行改测试。

#### **家用器具，工具和类似设备的抗扰性 EN55104**

该标准的目的是验证电器和类似设备对电磁场干扰由适当的抗扰水平。这是一个产品抗扰性标准系列。覆盖了 ESD，EFT，抗辐射性，传导 RF，浪涌，电压落降和变化。

## 参考文献

1. *System Design and Layout Techniques for Noise Reduction in MCU-Based Systems*, Freescale Application Note, AN1259.
2. *Determining MCU Oscillator Start-up Parameters*, Freescale Application Note, AN1783.
3. *Resetting Microcontrollers During Power Transitions*, Freescale Application Note, AN1744.
4. *Resetting MCUs*, Freescale Engineering Bulletin, EB413.
5. *Trends in EMC Testing of Household Appliances*, SCHAFFNER Application Note, SAN014.
6. *EMC at Component and PCB Level*, Martin O' Hara, Newnes, 1998.
7. *Printed Circuit Board Design Techniques for EMC Compliance*, Mark I. Montrose, IEEE press series, 2000.

注：此应用文件说明原文以英文写成，如对中文内容有疑问，请参照英文原文  
《Designing for Board Level Electromagnetic Compatibility》 编号：AN2321

本页有意留空

## **How to Reach Us:**

### **Home Page:**

[www.freescale.com](http://www.freescale.com)

### **E-mail:**

[support@freescale.com](mailto:support@freescale.com)

### **USA/Europe or Locations Not Listed:**

Freescale Semiconductor  
Technical Information Center, CH370  
1300 N. Alma School Road  
Chandler, Arizona 85224  
+1-800-521-6274 or +1-480-768-2130  
[support@freescale.com](mailto:support@freescale.com)

### **Europe, Middle East, and Africa:**

Freescale Halbleiter Deutschland GmbH  
Technical Information Center  
Schatzbogen 7  
81829 Muenchen, Germany  
+44 1296 380 456 (English)  
+46 8 52200080 (English)  
+49 89 92103 559 (German)  
+33 1 69 35 48 48 (French)  
[support@freescale.com](mailto:support@freescale.com)

### **Japan:**

Freescale Semiconductor Japan Ltd.  
Headquarters  
ARCO Tower 15F  
1-8-1, Shimo-Meguro, Meguro-ku,  
Tokyo 153-0064  
Japan  
0120 191014 or +81 3 5437 9125  
[support.japan@freescale.com](mailto:support.japan@freescale.com)

### **Asia/Pacific:**

Freescale Semiconductor Hong Kong Ltd.  
Technical Information Center  
2 Dai King Street  
Tai Po Industrial Estate  
Tai Po, N.T., Hong Kong  
+800 2666 8080  
[support.asia@freescale.com](mailto:support.asia@freescale.com)

### **For Literature Requests Only:**

Freescale Semiconductor Literature Distribution Center  
P.O. Box 5405  
Denver, Colorado 80217  
1-800-441-2447 or 303-675-2140  
Fax: 303-675-2150  
[LDCForFreescaleSemiconductor@hibbertgroup.com](mailto:LDCForFreescaleSemiconductor@hibbertgroup.com)

Information in this document is provided solely to enable system and software implementers to use Freescale Semiconductor products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits or integrated circuits based on the information in this document.

Freescale Semiconductor reserves the right to make changes without further notice to any products herein. Freescale Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Freescale Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in Freescale Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals", must be validated for each customer application by customer's technical experts. Freescale Semiconductor does not convey any license under its patent rights nor the rights of others. Freescale Semiconductor products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Freescale Semiconductor product could create a situation where personal injury or death may occur. Should Buyer purchase or use Freescale Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold Freescale Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Freescale Semiconductor was negligent regarding the design or manufacture of the part.

Freescale™, 飞思卡尔™ and the Freescale logo are trademarks of Freescale Semiconductor, Inc.

All other product or service names are the property of their respective owners.  
© Freescale Semiconductor, Inc. 2006. All rights reserved.

