

# Lab7. Priority Encoder

## ➤ 실습목표

1. Priority Encoder를 Verilog HDL로 설계하고 simulation한 후 검증한다.

## ➤ Priority Encoder의 진리표

Inputs								Outputs			
A7	A6	A5	A4	A3	A2	A1	A0	Y2	Y1	Y0	Valid
0	0	0	0	0	0	0	0	x	x	x	0
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	1	x	0	0	1	1
0	0	0	0	0	1	x	x	0	1	0	1
0	0	0	0	1	x	x	x	0	1	1	1
0	0	0	1	x	x	x	x	1	0	0	1
0	0	1	x	x	x	x	x	1	0	1	1
0	1	x	x	x	x	x	x	1	1	0	1
1	x	x	x	x	x	x	x	1	1	1	1

위 표에서 왼쪽(A7)으로 갈수록 Priority가 높으며, Valid의 값은 Logic '1' 입력이 하나도 없을 때 '0' 이다.

## ➤ 입출력 변수 및 module 이름

1. module : pencode
2. 입력 : A (8-bit)
3. 출력 : Y (3-bit), Valid (1-bit)

## ➤ Simulation 결과

