

ERA Praktikum SS 2017
Digital Audio - Pegelanzeige
Seriell/Parallel-Konverter

ERA Praktikum SS 2017	1
1. Einleitung	3
2. Realisierung der eines Seriell/Parallel-Konverters in VHDL	3
2.1 Aufgabenkurzbeschreibung	3
2.2 Ist-Zustand	3
2.3 Soll-Zustand	3
2.4 Werkzeug	4
2.5 Aufgabenverteilung	4
3. Organisation	4
3.1 Zeitplanung	4
3.2 Abgabefristen	5
4. Vertragsverpflichtung	5

1. Einleitung

Im Rahmen des ERA-Praktikums an der TU München sollen zwei Projekte in einem Team von drei Studierenden bearbeitet werden.

Das Team besteht aus Thea Kramer, Florian Müller und Berzan Yildiz.

Die zwei zu bearbeitenden Projekte sind:

- I. Realisierung der Sinus-Funktion in Assembler
- II. Entwicklung eines Seriell/Parallel-Konverters in VHDL

Dies ist das Pflichtenheft zum zweiten Projekt.

2. Realisierung der eines Seriell/Parallel-Konverters in VHDL

2.1 Aufgabenkurzbeschreibung

Es soll ein Seriell/Parallel-Konverter in VHDL umgesetzt werden. Dieser liest den seriellen Datenstrom ein und gibt ihn als zwei 18-Bit Werte (LEFT und RIGHT) aus. Zusätzlich wird nach jedem ausgegebenen Samplepaar ein FLAG gesetzt, um die neuen Werte zu signalisieren.

2.2 Ist-Zustand

Wir haben die Audiodaten als seriellen Datenstrom, welcher über drei Leitungen erfasst wird: Daten (SDATA, serial data), Bittakt (SCLK, shift clock) und Worttakt (FSYNC, frame sync).

Es wird davon ausgegangen, dass ein Stereosignal aus dem linken und rechten Kanal mit jeweils 18-Bit pro Sample mit einer Samplefrequenz von 44.1kHz übertragen wird.

Als Informationsmaterial steht das VHDL Tutorial auf der ERA Homepage zur Verfügung.

2.3 Soll-Zustand

Bei steigender Flanke von SCLK werden die seriellen Daten beginnend mit dem höchstwertigen Bit (MSB) ausgegeben. Die Audiodaten können Werte zwischen -131072 und 131071 annehmen, d.h sie sind vorzeichenbehaftet.

Zu Beginn eines jeden Abschnitts des seriellen Datenstroms wird beim MSB zusätzlich zur SCLK steigend FSYNC zur Markierung gewechselt. Mit der fallenden Flanke von SCLK werden die Zustände von FSYNC und SDATA gespeichert.

Nur FSYNC ist direkt mit der Samplefrequenz gekoppelt ($FSYNC=44.1\text{kHz}$), die Datenübertragung mit SCLK kann Lücken aufweisen.

Weiterhin soll angenommen werden, dass 64 SCLK-Takte pro FSYNC-Zyklus auftreten.

Zur Kompilierung des VHDL-Codes sollen ein Makefile und Kompilier-Instruktionen erstellt werden.

2.4 Werkzeug

Zur Visualisierung und Auswertung der Audiodaten wird GTKWave verwendet, und zur Implementierung wird GHDL verwendet.

2.5 Aufgabenverteilung

- Projektleitung: Florian Müller
- Dokumentation: Thea Kramer
- Vortrag: Berzan Yildiz

3. Organisation

Der Projektleiter Florian Müller übernimmt in diesem Projekt die Verantwortung für die Hauptorganisation. Er fertigt die Protokolle für jedes Treffen an und lädt sie anschließend in das Repository hoch.

Die Dokumentation wird von Thea Kramer geschrieben und die abschließende Präsentation von Berzan Yildiz gehalten.

3.1 Zeitplanung

Aufgabe	Florian Müller (Projektleiter)	Thea Kramer (Dokumentation)	Berzan Yildiz (Vortrag)	Gesamt
Organisation	1h	0h	0h	1h
Besprechungen	12h			12h
Aufgabenanalyse	4h			4h
Pflichtenheft	4h			4h
Lösungsansätze	6h			6h
Spezifikation	7h			7h
Implementierung	11h			11h
Dokumentation	0h	5h	0h	5h
Vortrag	1h	0h	5h	6h
Protokollierung	4h	1h	1h	6h
Gesamt	50h	50h	50h	62h

3.2 Abgabefristen

Pflichtenheft	28.05.2017
Spezifikation	18.06.2017
Implementierung	09.07.2017
Ausarbeitung	23.07.2017
Vortrag	07.08 - 18.08.2017

4. Vertragsverpflichtung

Im Rahmen dieses Projektes werden von den Teammitgliedern folgende Dokumente angefertigt und über das SVN-Repository abgegeben:

- Pflichtenheft
- Spezifikation
- Implementierung in GHDL und Makefile-Erstellung
- Ausarbeitung (Benutzer- und Anwenderdokumentation)

Zudem wird am Ende ein Abschlussvortrag zur Vorstellung des Projekts gehalten.