NYCU-ECE DCS-2022

HW01

Design: Calculate Numbers

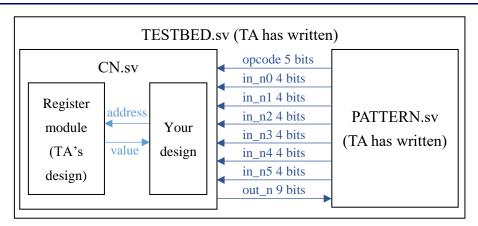
資料準備

1. 從 TA 目錄資料夾解壓縮:

% tar -xvf ~dcsta01/HW01.tar

- 2. 解壓縮資料夾 hw01 包含以下:
 - a. 00 TESTBED/
 - b. 01 RTL/
 - c. 02 SYN/
 - d. 03 GATE/
 - e. 09 UPLOAD/

Block Diagram



設計描述

本次作業目標設計對輸入數字進行解碼、排序並簡單運算的計算機。

你會接收到一個opcode和六個數字{in_n0, in_n1, in_n2, in_n3, in_n4, in_n5}, opcode會決定對六個數字的運算方式,最後輸出運算後的數字out_n。

首先收到的六個數字{in_n0, in_n1, in_n2, in_n3, in_n4, in_n5}是register(暫存器)的address,並非資料的值。本次作業助教會提供register file的module,你們必須透過module connection(name mapping),將暫存器與你的design連接,以取得暫存器內的資料值。

暫存器的位置及內容如下:

Address(4 bits)	0000	0001	0010	0011	0100	0101	0110	0111
Value(5 bits)	9	27	30	3	11	8	26	17
Address(4 bits)	1000	1001	1010	1011	1100	1101	1110	1111
Value(5 bits)	3	12	1	10	15	5	23	20

六個Address{in_n0, in_n1, in_n2, in_n3, in_n4, in_n5}會對應到六個數值 {value_0, value_1, value_2, value_3, value_4, value_5}, 注意取出的資料是5 bits。例如: {10, 9, 15, 2, 12, 0}會對應到數值{1, 12, 20, 30, 15, 9},接下來由opcode決定 這六個數值要進行的排列與運算。

接下來會**先排序再運算結果**,opcode為5 bits可以分成兩個部分,會決定排序 與運算的結果,兩個部分的控制如下:

1. Sorting	如果 opcode[4:3] 為 11 ,這六個數值由 小到大 進行排列。 例如: $\{1, 12, 20, 30, 15, 9\} \rightarrow \{1, 9, 12, 15, 20, 30\}$
	如果 opcode[4:3] 為 10 ,這六個數值由 大到小 進行排列。 例如: $\{1, 12, 20, 30, 15, 9\} \rightarrow \{30, 20, 15, 12, 9, 1\}$
	如果 opcode[4:3] 為 01 ,這六個數值 順序為原本的相反 。 例如: $\{1, 12, 20, 30, 15, 9\} \rightarrow \{9, 15, 30, 20, 12, 1\}$
	如果 opcode[4:3] 為 00 ,這六個數值 維持原本的順序 。 例如: $\{1, 12, 20, 30, 15, 9\} \rightarrow \{1, 12, 20, 30, 15, 9\}$
2. Calculation	假設排序後的數列為{num0, num1, num2, num3, num4, num5}
	如果 opcode[2:0] 為 000,進行 out_n = num2 – num1 例如: $\{1, 9, 12, 15, 20, 30\} \rightarrow \text{out_n} = 12 - 9 = 3$
	如果 opcode[2:0] 為 001 , 進行 out_n = num0 + num3 例如: {1, 9, 12, 15, 20, 30} → out_n = 1 + 15 = 16
	如果 opcode[2:0] 為 010,進行 out_n = (num3 * num4) / 2 例如: $\{1, 9, 12, 15, 20, 30\} \rightarrow \text{out_n} = (15 * 20) / 2 = 150$
	如果 opcode[2:0] 為 011 ,進行 out_n = num1 + (num5 * 2) 例如: {1, 9, 12, 15, 20, 30} → out_n = 9 + (30 * 2) = 69

```
如果 opcode[2:0] 為 100,進行 out_n = num1 & num2
例如: \{1, 9, 12, 15, 20, 30\} \rightarrow \text{out_n} = 01001_{(2)}\&01100_{(2)}
= 01000_{(2)}
如果 opcode[2:0] 為 101,進行 out_n = ~num0
例如: \{1, 9, 12, 15, 20, 30\} \rightarrow \text{out_n} = ~00001_{(2)} = 11110_{(2)}
如果 opcode[2:0] 為 110,進行 out_n = num3 ^ num4
例如: \{1, 9, 12, 15, 20, 30\} \rightarrow \text{out_n} = 01111_{(2)} ^ 10100_{(2)}
= 11011_{(2)}
如果 opcode[2:0] 為 111,進行 out_n = num1 << 1
例如: \{1, 9, 12, 15, 20, 30\} \rightarrow \text{out_n} = 01001_{(2)} << 1
= 10010_{(2)}
```

- ※當opcode[2:0]=010時,除法為無條件捨去,Ex: 15/2 = 7, 391/2 = 195, etc.
- ※當opcode[2:0]=000時,測資不會出現num1 > num2的情形。

最後將會輸出一個9-bit的數字out_n,testbench測試pattern將會在下一組測資 進來之前測試這9-bit output。

Inputs

Signal name	Number of bit	Description			
Signal name opcode	Number of bit 5 bits	opcode[4:3]決定六個數值的排序方式。 opcode[4:3] = 00,維持原順序, opcode[4:3] = 01,順序相反 opcode[4:3] = 10,由大到小 opcode[4:3] = 11,由小到大 假設排序後的數列為 {num0, num1, num2, num3, num4, num5} opcode[2:0]決定排序後數值的運算。 opcode[2:0] = 000, num2 - num1 opcode[2:0] = 001, num0 + num3			
		opcode[2:0] = 010, $(num3 * num4) / 2$			
		opcode[2:0] = 011, num1 + (num5 * 2) opcode[2:0] = 100, num1 & num2			
		opcode[2:0] = 101 , ~num0			
		opcode[2:0] = 110, num3 ^ num4			

		opcode[2:0] = 111, num1<<1		
in_n0	4 bits			
in_n1	4 bits			
in_n2	4 bits	│ 範圍為 0~15 的隨機正整數。		
in_n3	4 bits			
in_n4	4 bits			
in_n5	4 bits			

Outputs

Signal name	Number of bit	Description		
out_n	9 bits	運算後的答案,範圍為 0~511 的正整數。		

Specifications

- 1. Top module name: CN(File name: CN.sv)
- 2. 請用 Systemverilog 完成你的作業。
- 3. 請用 combination circuit 完成你的作業。
- 4. 請用助教給予你的 register module 拿資料。
- 5. 02_SYN result 不行有 error 且不能有任何 latch。

Example waveform

= G1				
- ver ፡ opcode[4:0]	1_1001	1_1001	1_1011	1_0:
- ver 🕼 in_n0[3:0]	13	13	3	8
ver 🔯 in_n1[3:0]	8	8	4	15
- ver 🔯 in_n2[3:0]	9	9	7	3
- ver 🕼 in_n3[3:0]	0	0	5	14
- ver ፡ in_n4[3:0]	9	9	2	13
- ver 🕼 in_n5[3:0]	12	12	14	5
ver 🔯 out_n[8:0]	15	15	68	6

上傳檔案

- 1. Code使用09_upload上傳。
- 2. report_dcsxx.pdf, xx is your server account. 上傳至new E3。
- 3. 請在 3/17 15:30 pm 之前上傳

Grading policy

- 1. Pass the RTL& Synthesis simulation. 70%
- 2. Area 15%
- 3. Report 15%

Template folders and reference commands:

- 1. 01_RTL/(RTL simulation) \rightarrow **./01_run**
- 2. $02_SYN/(synthesis) \rightarrow ./01_run_dc$
- 3. $03_GATE/(GATE \text{ simulation}) \rightarrow ./01_run$
- 4. $09_UPLOAD/(upload) \rightarrow ./09_upload$

報告請簡單且重點撰寫,不超過兩頁A4,並包括以下內容

- 1. 描述你的設計方法,包含但不限於如何加速(減少critical path)或降低面積。
- 2. 基於以上,畫出你的架構圖(Block diagram)
- 3. 心得報告,不侷限於此次作業,對於作業或上課內容都可以寫下。