

第四章

晶体管规则阵列设计技术

规则阵列

◆ VLSI高度复杂 => 设计中大量采用规则结构

◆ 目的:

- 保证设计的正确性并且降低版图实现难度;
- 提高设计效率, 缩短设计时间;
- 提高性能和可靠性, 避免因复杂结构引入不可靠因素。

规则阵列

◆ 晶体管规则阵列基本单元：

MOS晶体管或CMOS晶体管对

◆ 常见形式：

各种ROM结构、传输门、可编程逻辑阵列、门阵列
如：

与非结构ROM，或非结构ROM,可编程逻辑阵列PLA等

◆ 门阵列是以标准门作为基本单元构造阵列

目录

- ◆ 4.1 晶体管阵列及其逻辑设计应用
- ◆ 4.2 MOS晶体管开关逻辑
- ◆ 4.3 可编程逻辑阵列PLA
- ◆ 4.4 门阵列

4.1 晶体管阵列及其逻辑设计应用

- ◆ **ROM 简介**
- ◆ **4.1.1 静态结构全NMOS管ROM**
- ◆ **4.1.2 动态结构全NMOS管ROM**
- ◆ **4.1.3 ROM 版图**

ROM

◆ ROM Read Only Memory 只读存储器

（ RAM Random Access Memory 随机存取存储器）

➤ 存储“0”，“1”

➤ 最常用的晶体管规则结构

◆ 特点： 低功耗，结构简单，单元占用面积小

◆ ROM可用于组合逻辑电路设计

加上记忆和控制电路，实现信息反馈，也可以满足时序逻辑电路设计需求

ROM晶体管阵列的基本结构

第
7
页

◆ 两部分电路：

地址译码器电路

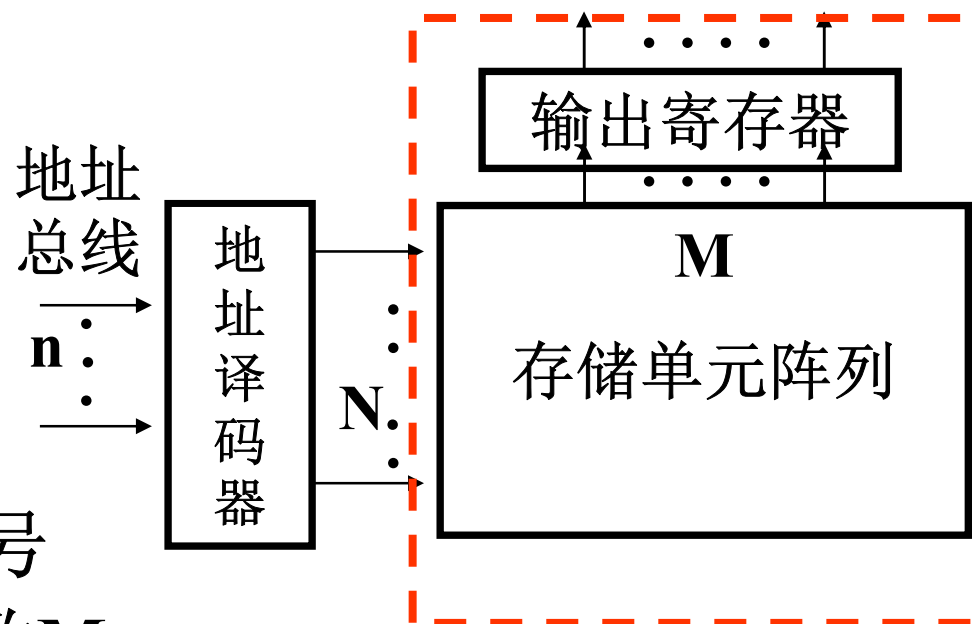
存储单元阵列

◆ 地址译码器电路：

➤ **N**行： $N=2^n$ 条字线信号

➤ **M**列：输出信号的位数**M**

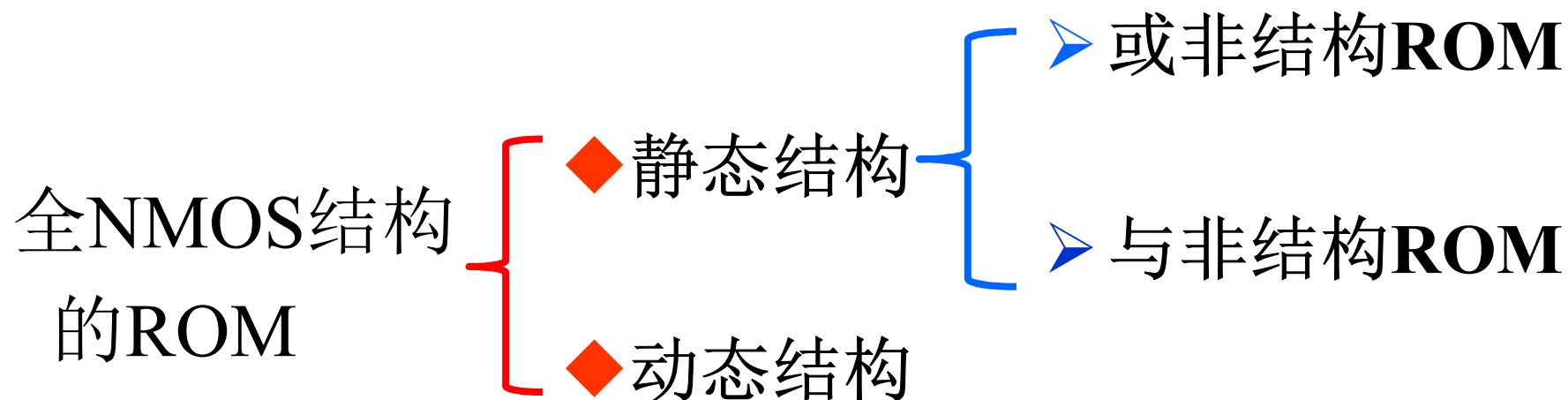
◆ ROM结构实现的逻辑称为查表逻辑



ROM晶体管阵列的基本结构

- ◆ **ROM的地址输入 ==》 逻辑电路的输入**
ROM的输出 ==》 逻辑电路的输出
- ◆ 区别：
 - 普通逻辑电路输出位数任意；
 - 存储器按字节输出（如：8位，16位，32位，64位等）

4.1.1 全NMOS结构的ROM

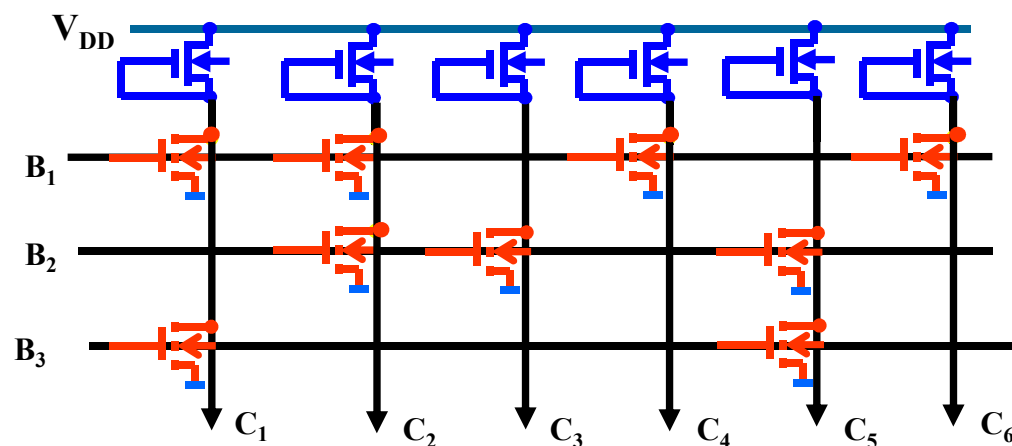


4.1.1 全NMOS结构的ROM

第
10
页

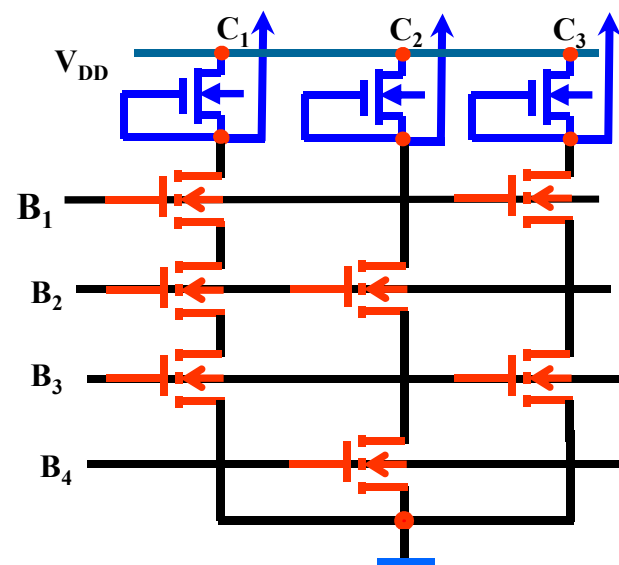
◆ 静态结构:

或非结构ROM



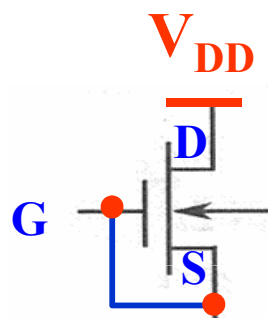
◆ 原理:

与非结构ROM

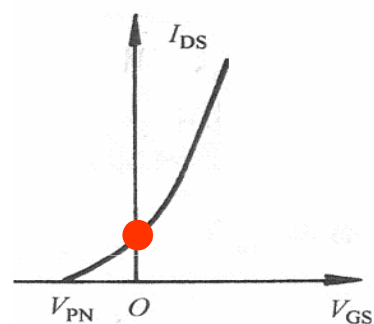


或非结构ROM

◆ 耗尽型NMOS管及其转移特性



耗尽型NMOS晶体管



耗尽型NMOS转移特性

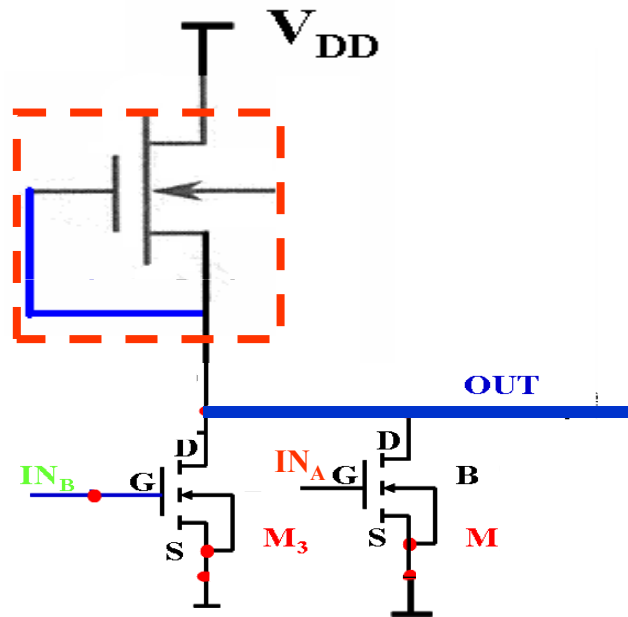
◆ 耗尽型NMOS管一直导通连接法:

当 $V_{DS} > 0$ 时, $V_{GS} = 0$ (饱和状态)

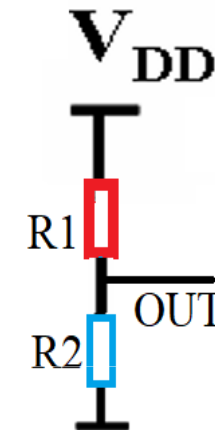
或非结构ROM

第
12
页

◆或门电路图



有比结构



两输入皆为低电平时，输出高电平 V_{DD} ；
两输入至少有一个高电平时：

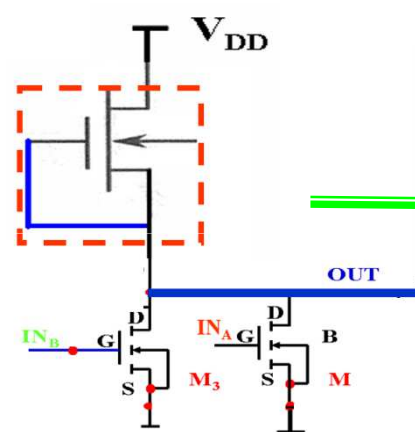
$$\text{输出电压OUT} = \frac{V_{DD}}{R_1 + R_2} R_2 = \frac{R_2}{R_1 + R_2} V_{DD} = \frac{1}{\frac{R_1}{R_2} + 1} V_{DD}$$

条件:耗尽型NMOS管等效电阻比增强型NMOS管总导通电阻大得多

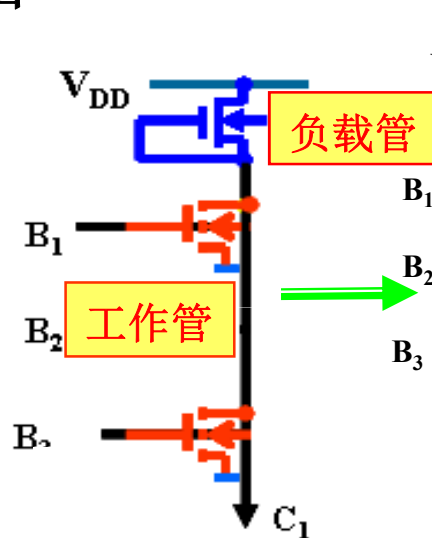
全NMOS管或非结构ROM

第
13
页

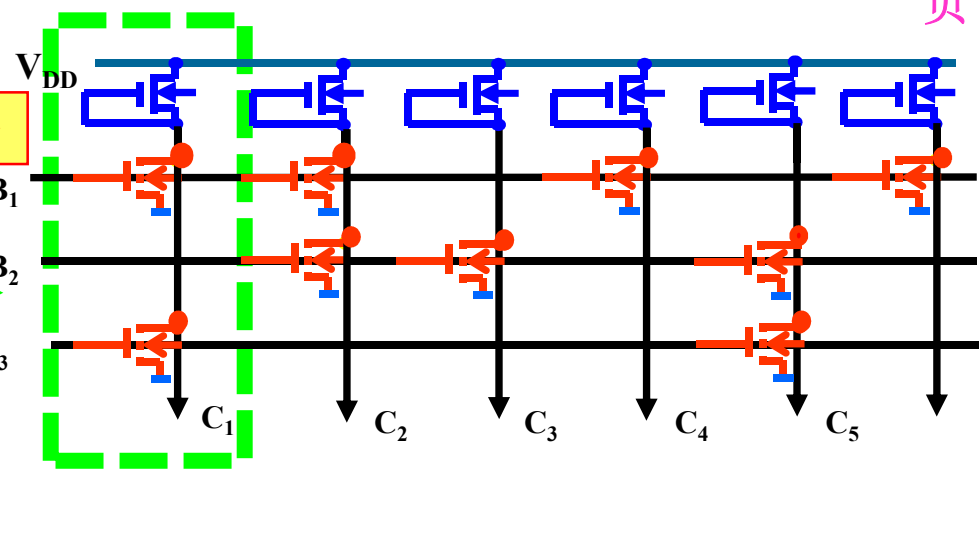
◆或非门电路图



全NMOS管或非门



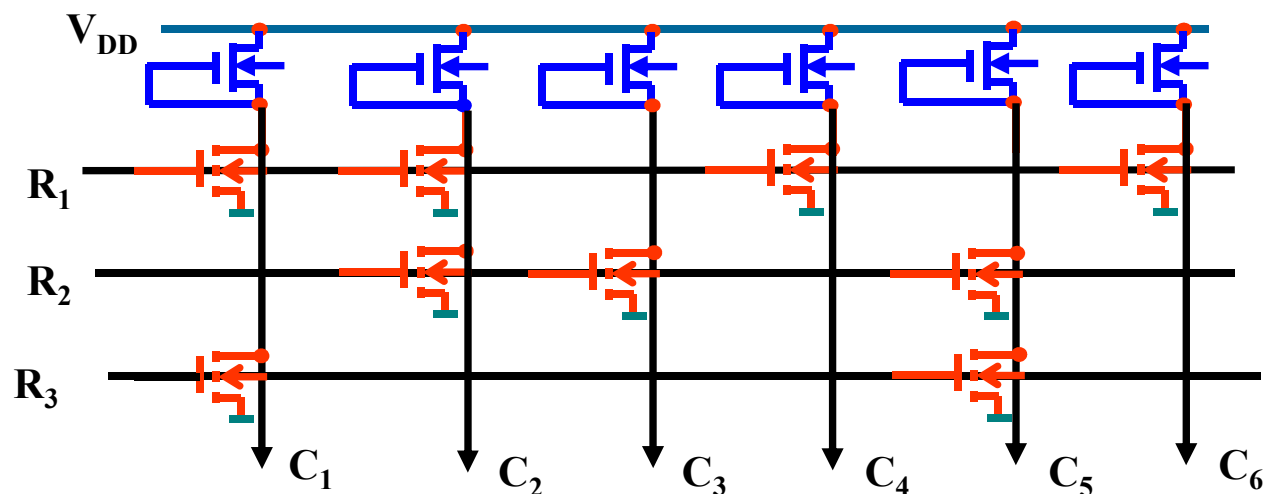
整理后全NMOS管
或非门



全NMOS管或非结构ROM

条件:耗尽型NMOS管等效电阻比增强型NMOS管总导通电阻大得多

全NMOS管或非结构ROM



- R_i : 字线
- C_i : 输出信号 (位线)

或非：

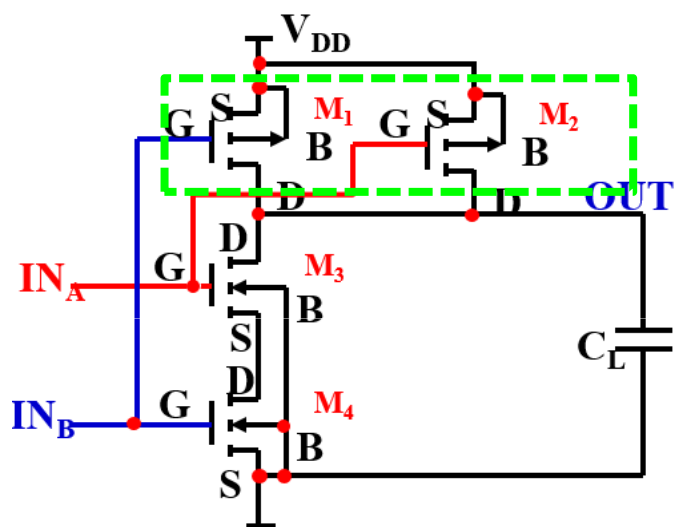
$$C_1 = \overline{R_1 + R_3}, \quad C_2 = \overline{R_1 + R_2}, \quad C_3 = \overline{R_2}, \quad C_4 = \overline{R_1},$$

$$C_5 = \overline{R_2 + R_3}, \quad C_6 = \overline{R_1}$$

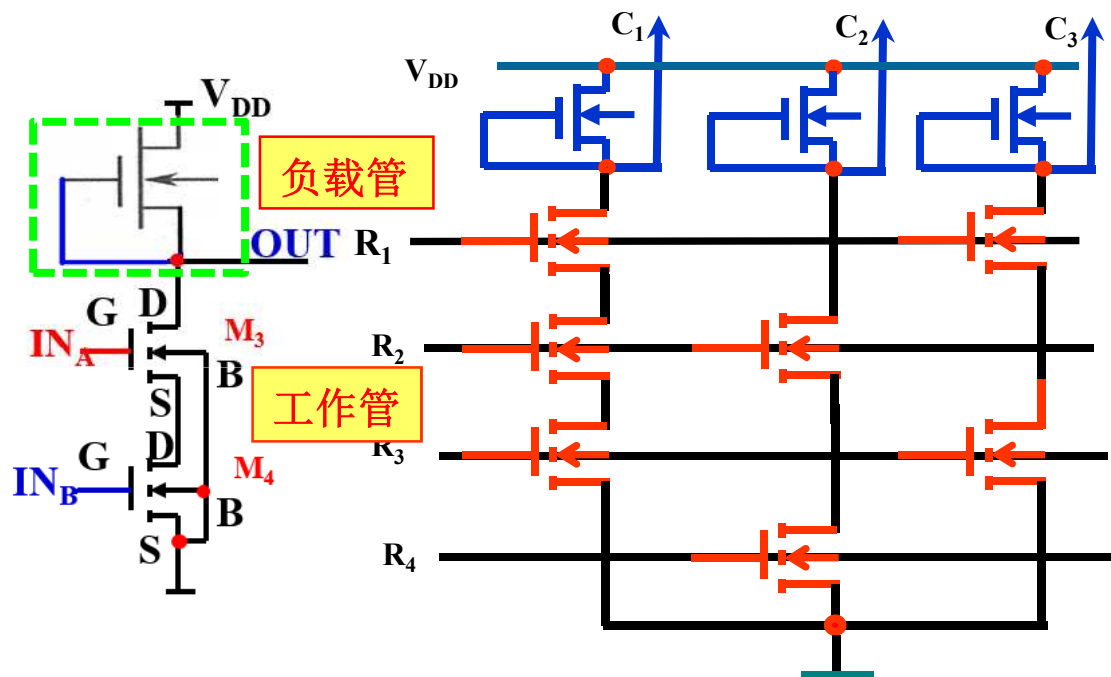
* 正常工作时，只有一根字线为高电平其余皆为低电平

与非结构全NMOS管ROM

第
15
页



CMOS与非门



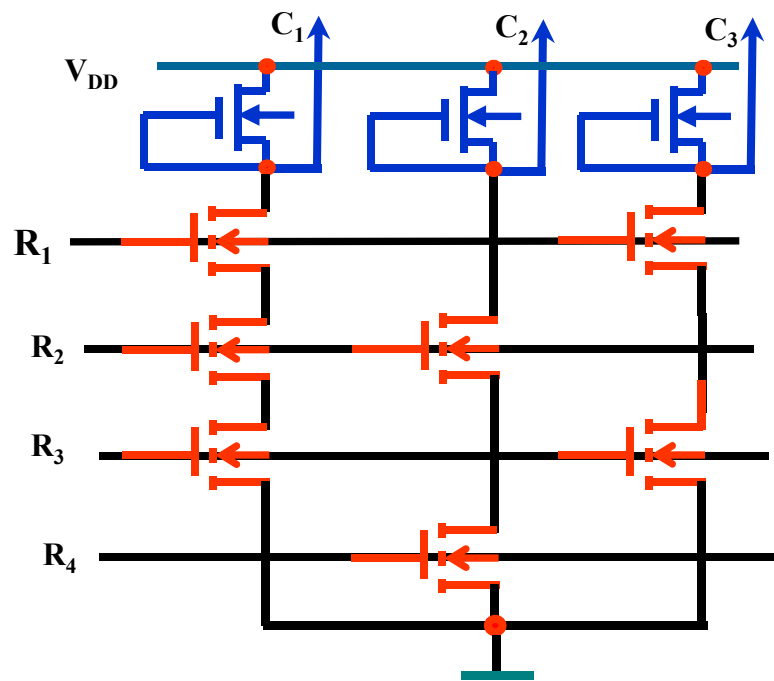
全NMOS管与非门

全NMOS管与非结构ROM

条件:耗尽型NMOS管等效电阻比增强型NMOS管总导通电阻大得多

与非结构全NMOS管ROM

第
16



• R_i :字线 C_i :输出信号（位线）

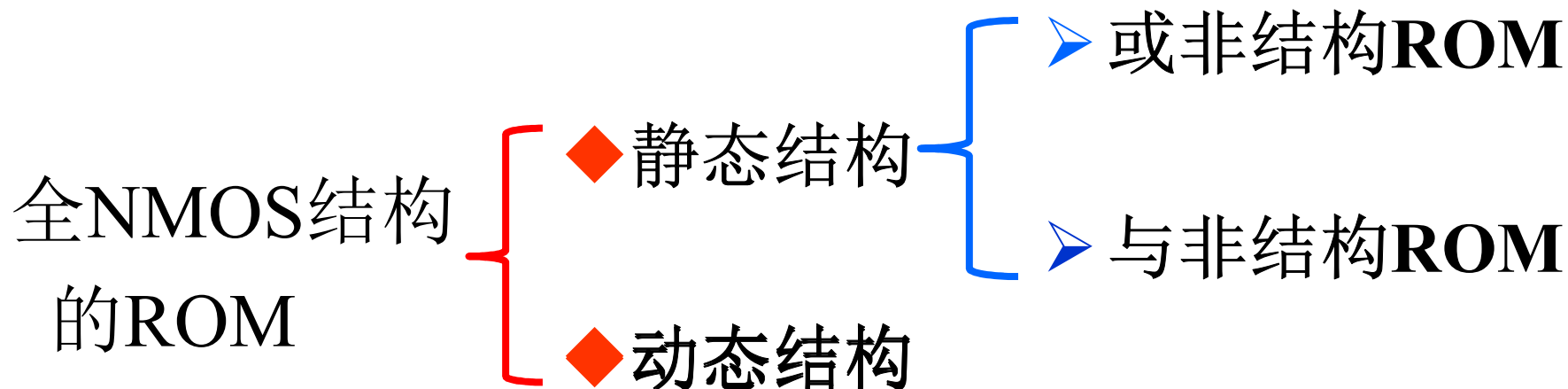
与非： $C_1 = \overline{R_1 R_2 R_3}$

$C_2 = \overline{R_2 R_4}$, $C_3 = \overline{R_1 R_3}$

- * 正常工作时，只有一根字线为低电平，其余皆为高电平
- * 串联=》输入不能太多
- 与非结构作为局部ROM使用
- * 或非结构ROM常用

全NMOS结构的ROM

第
17
页

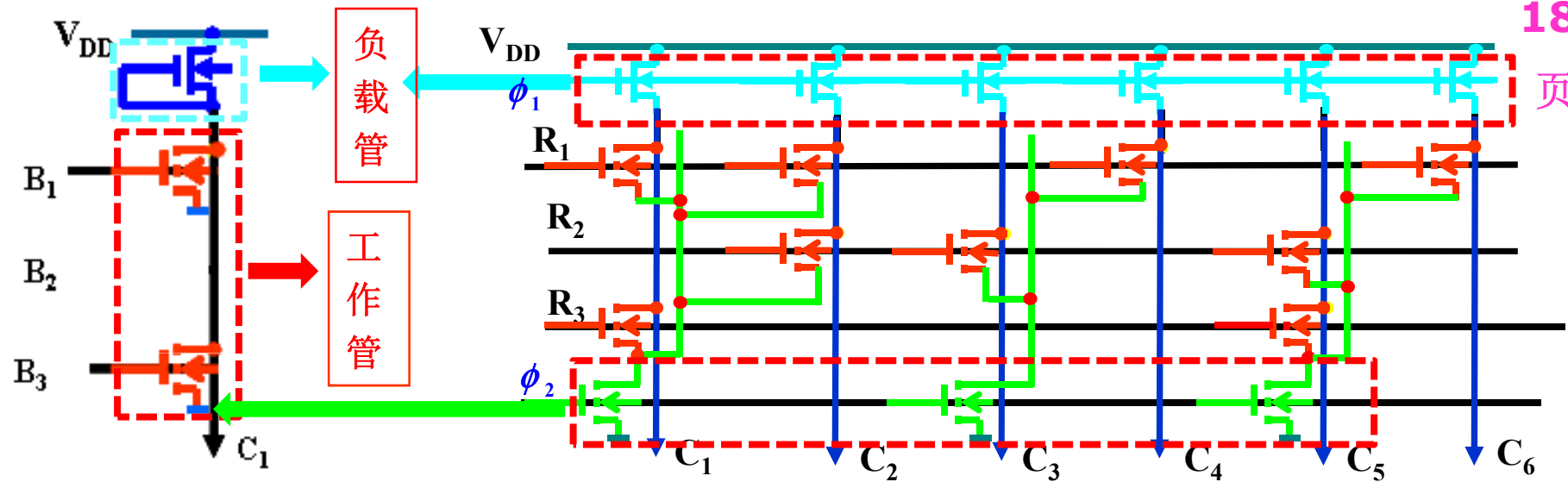


有比结构导致:

- 输出的上升时间远大于下降时间，工作速度受限；
- 输出为低电平时存在从电源到地直流通路，功耗大

动态结构的ROM

第
18
页



静态结构：负载管一直导通，工作管直接接地

动态结构：负载管被控制导通 工作管被控制间接接地

ϕ_1 ϕ_2 控制负载管和工作管不能同时导通

动态结构的ROM

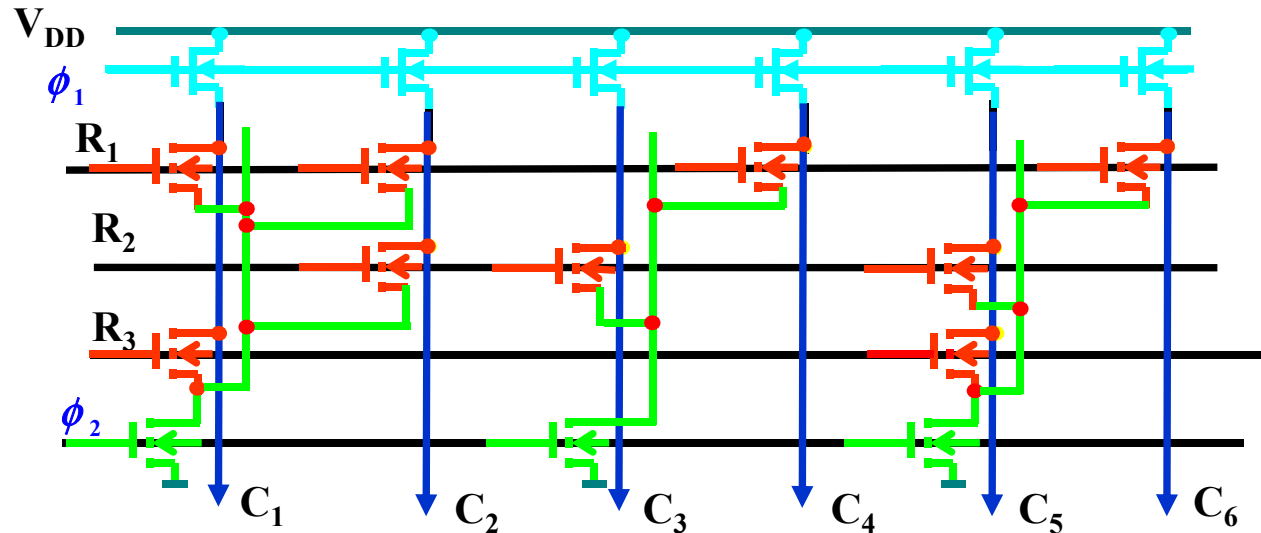
工作过程分为
两个节拍：

◆ 预充电节拍：

ϕ_1 高电平， ϕ_2 低电平，负载管导通，其他NMOS关断
电源通过负载管对位线充电，使位线全为高电平

◆ 输出节拍： ϕ_2 高电平， ϕ_1 低电平，

位线与字线交叉处：
 { 无NMOS管：保持高电平
 { 有NMOS管：根据输入确定是否接地 \Rightarrow 低电平



动态结构的ROM的特点

◆速度快:

将译码和预充电放在同一节拍进行，使上拉时间不算在输出时间内

◆功耗低：不会出现电源到地的直流通路

◆负载管和工作管的尺寸不相关

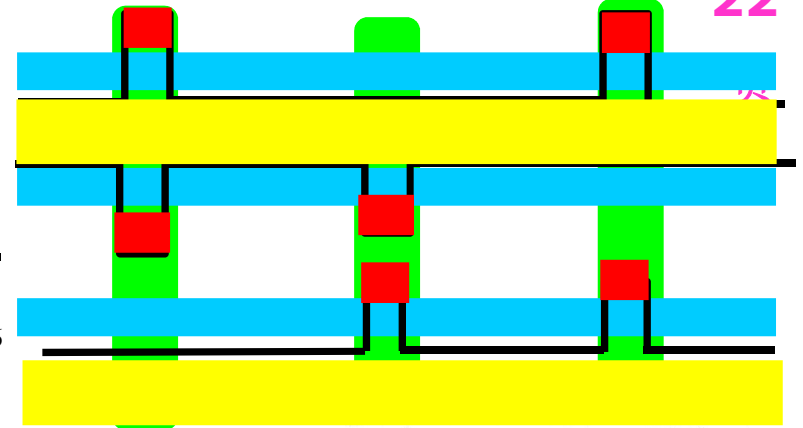
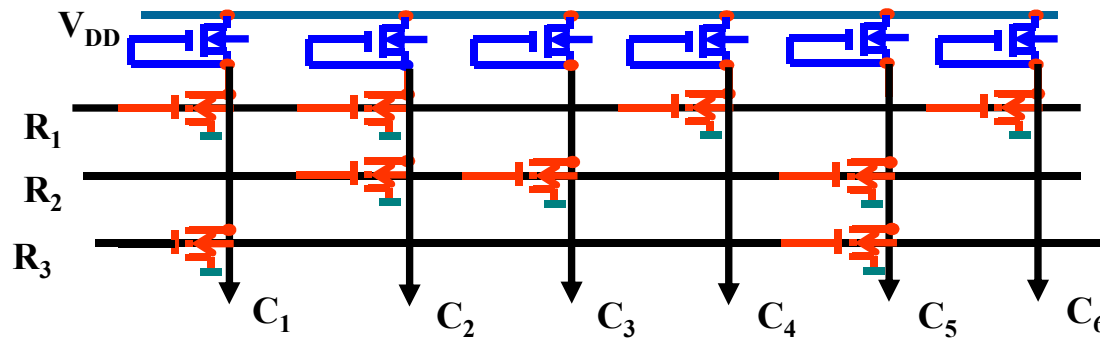
电路不再是有比结构负载管和工作管的尺寸不相关，只考虑放电速度。

□ 加大负载管的尺寸，提高预充电的速度

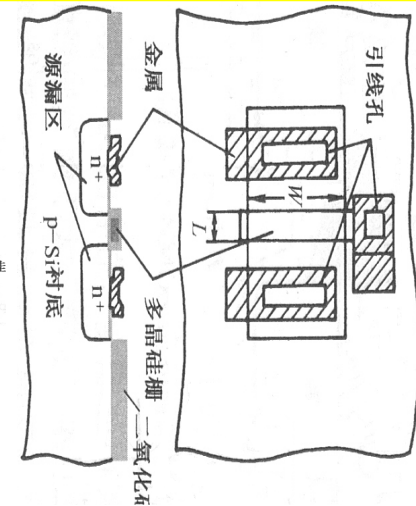
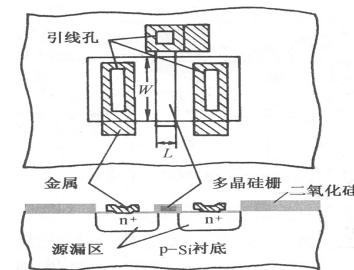
CMOS结构的ROM

- ◆ 结构：与全NMOS结构的ROM相同
- ◆ 区别：CMOS结构的ROM负载管是PMOS晶体管
称为伪NMOS结构
- ◆ 静态CMOS结构ROM：PMOS栅极接地，始终导通
- ◆ 动态CMOS结构ROM：
PMOS与NMOS的电压极性相反，故可将 ϕ_1 、 ϕ_2 合并为一个信号
- 无论哪种结构，其负载管的作用仅仅就是一个电阻

4.1.3 ROM版图——1.全NMOS或非结构



- ◆ 字线：多晶硅条（蓝色）
- ◆ 位线：铝线（绿色）
- ◆ 地线： n^+ 扩散区，源区（黄色）
地线间隔排列即共用地线
- ◆ 字线、位线交叉处：
需要NMOS处做 n^+ 扩散区，漏区（红色）



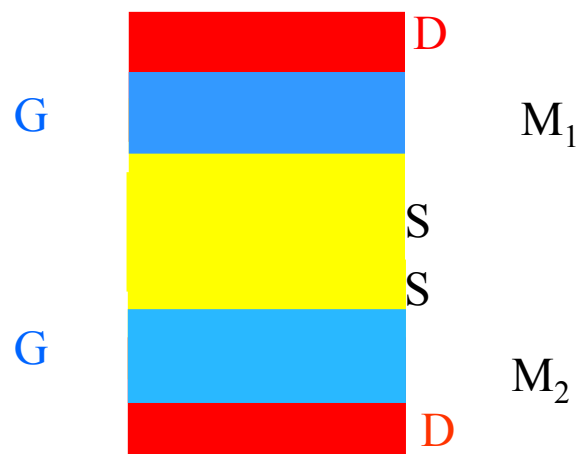
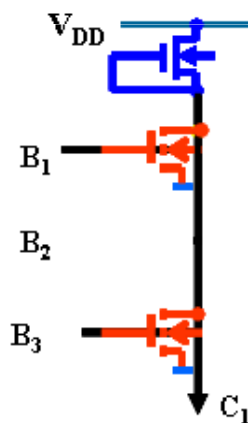
ROM 版图——关于共用地线

- ◆ 地线： n^+ 扩散区，源区（黄色）

地线间隔排列即共用地线(源区)

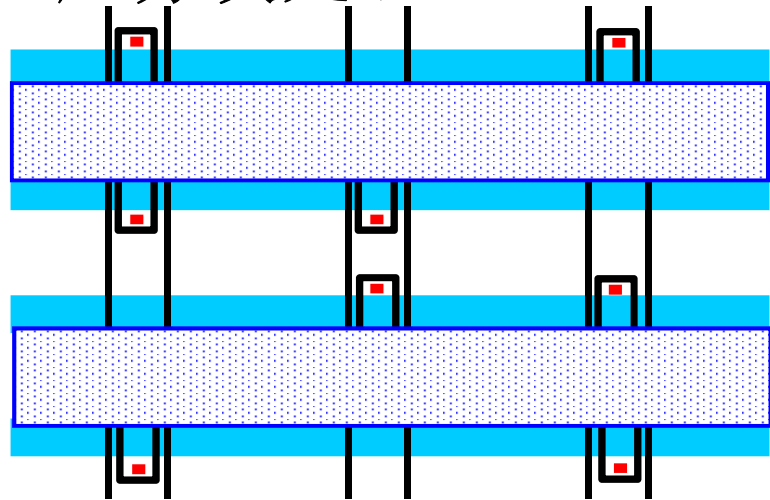
- ◆ 字线、位线交叉处：

需要NMOS（漏区）



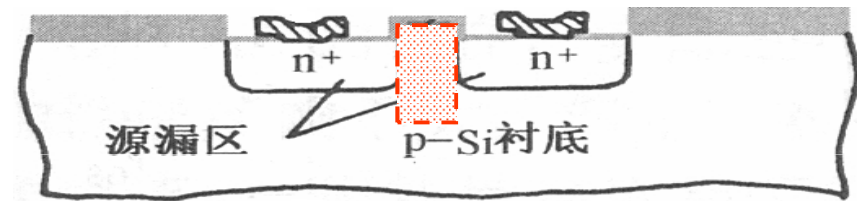
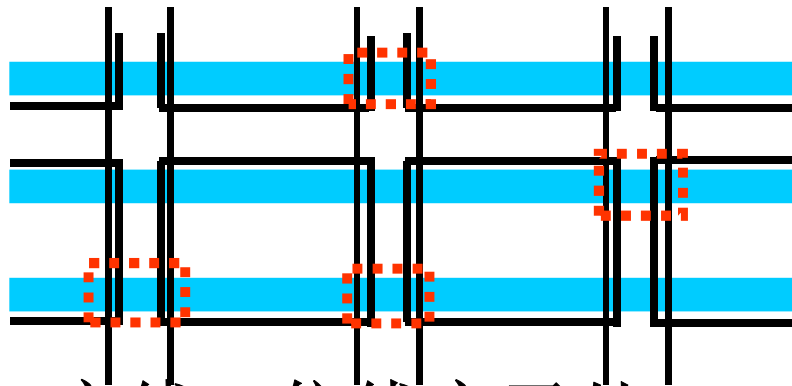
ROM 版图

- **ROM**版图中，由于用扩散区做地线，扩散电阻会使地线的串联电阻过大，因此**ROM**块不能很大，对大容量**ROM**应分块处理



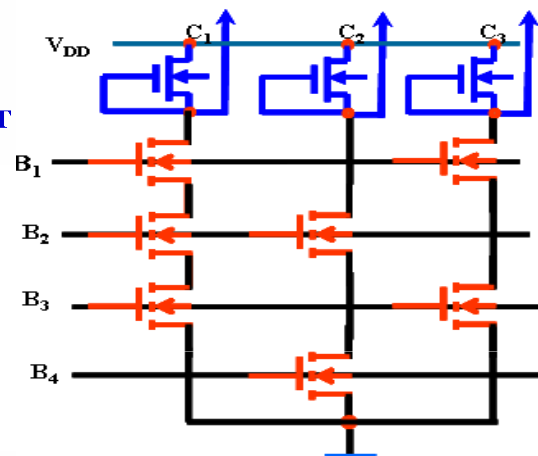
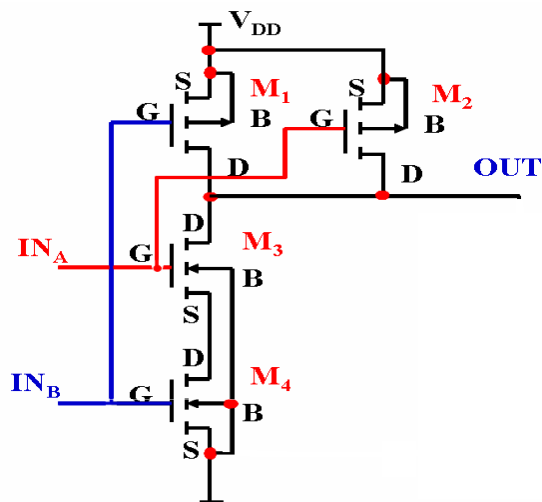
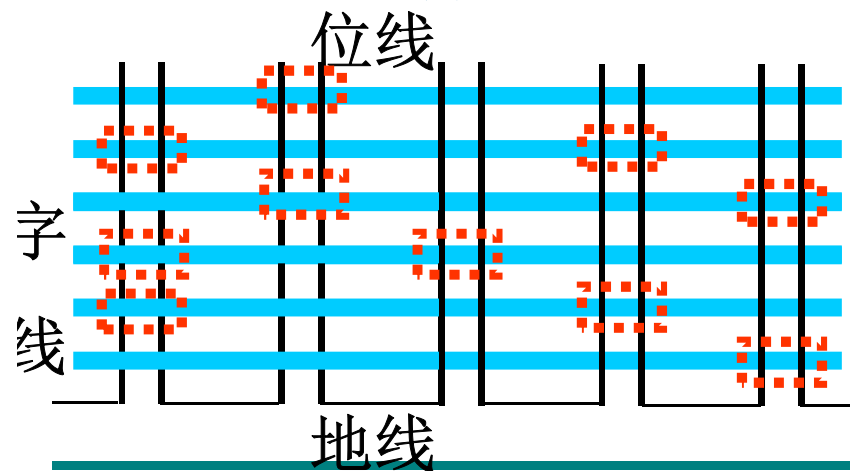
1.全NMOS 或非结构——离子注入法

NMOS或非结构ROM版图



- ◆ 字线、位线交叉处： 都制作NMOS
- ◆ 不需要NMOS管 的地方： 预先在多晶硅下注入P型杂质，如：硼
- ◆ P型衬底浓度增大 ==》 NMOS阈值电压增大
大于电源电压后NMOS管就一直保持截止 ==》 断路

ROM 版图—— 2.全NMOS 与非结构 第 26



离子注入法:

- ◆ 字线、位线交叉处： 都制作NMOS
- ◆ 不需要的地方： 预先在多晶硅下注入N型材料
使NMOS管耗尽，达到源、漏“短路”，相当于导线

或非结构、与非结构版图总结

◆ 区别：

离子注入法：或非：**P型**（如：硼）—> **断路**
与非：**N型**（如：磷）—> **短路**

◆ 离子注入法优点：

- 结构简单：对不同数据或逻辑只需要一块掩模版
 - 保密性好：离子注入法中用光刻胶保护，去胶后不留图形痕迹
- ◆ 与非式集成度比或非式高，但不能串联过多NMOS管（< 8个）因此规模受限制
- ◆ 实践中：分组相或，每组内采用与结构

例题：用ROM结构实现给定逻辑

- 例4-1：根据表中给出的四输入四输出组合电路的真值表，用NMOS或非ROM结构实现

输出 输入	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Z_1	1	0	0	1	0	0	0	1	0	0	0	1	1	1	1	1
Z_2	0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0
Z_3	1	0	0	1	0	0	0	1	1	0	1	1	1	1	1	1
Z_4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

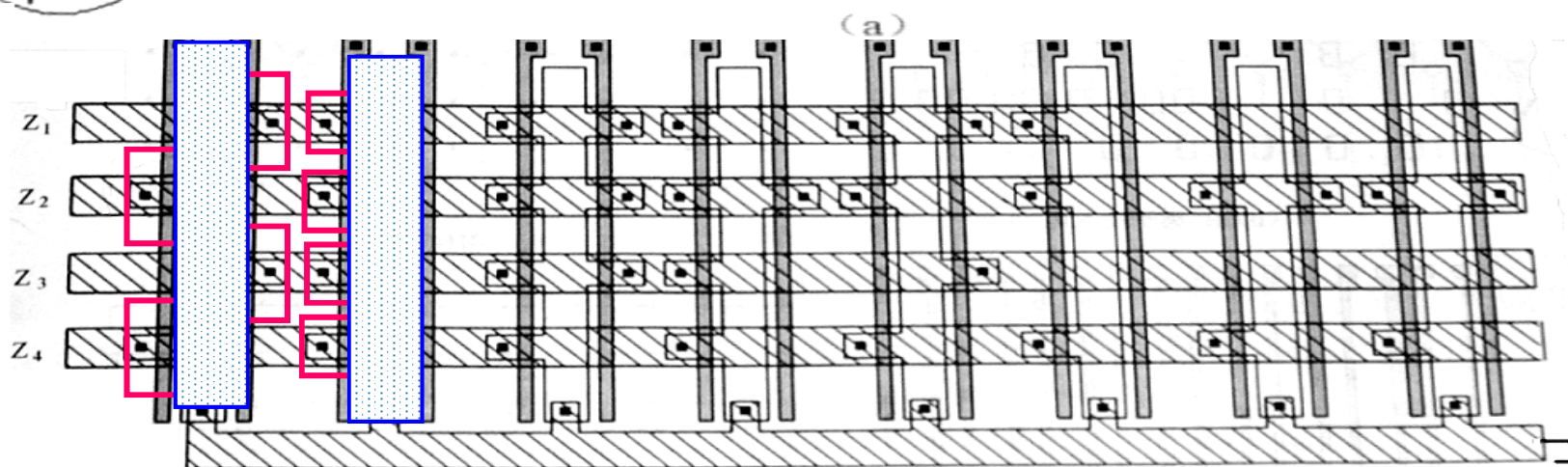
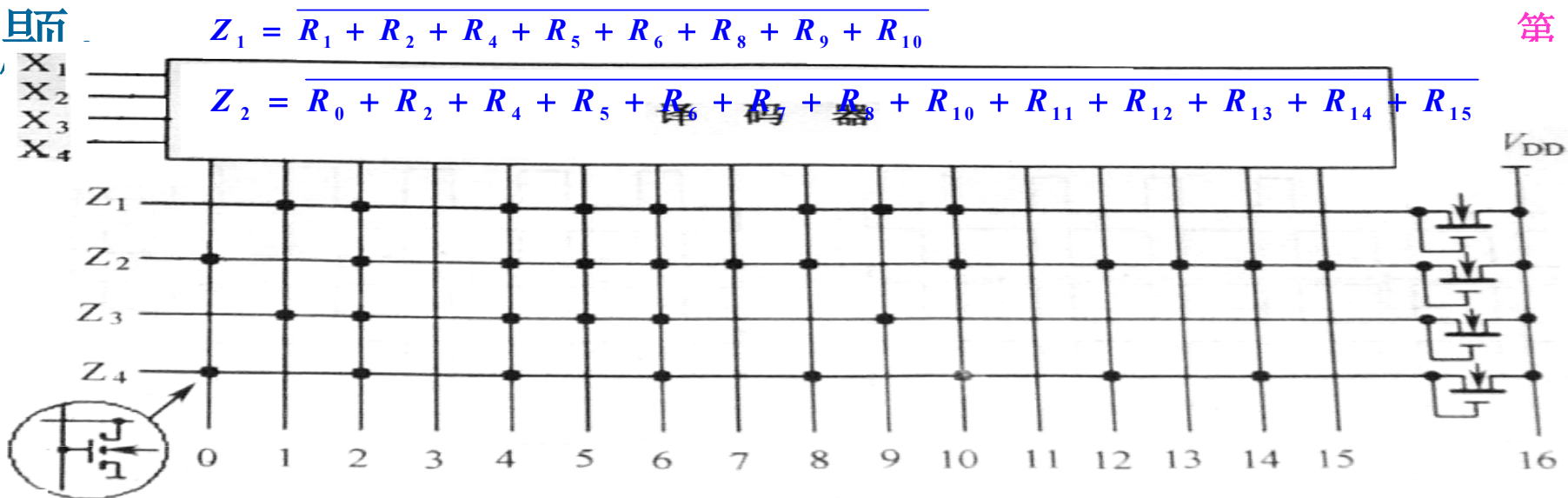
写出或非表达式 $Z_1 = \overline{R_1 + R_2 + R_4 + R_5 + R_6 + R_8 + R_9 + R_{10}}$

$$Z_2 = \overline{R_0 + R_2 + R_4 + R_5 + R_6 + R_7 + R_8 + R_{10} + R_{11} + R_{12} + R_{13} + R_{14} + R_{15}}$$

例

地址译码器

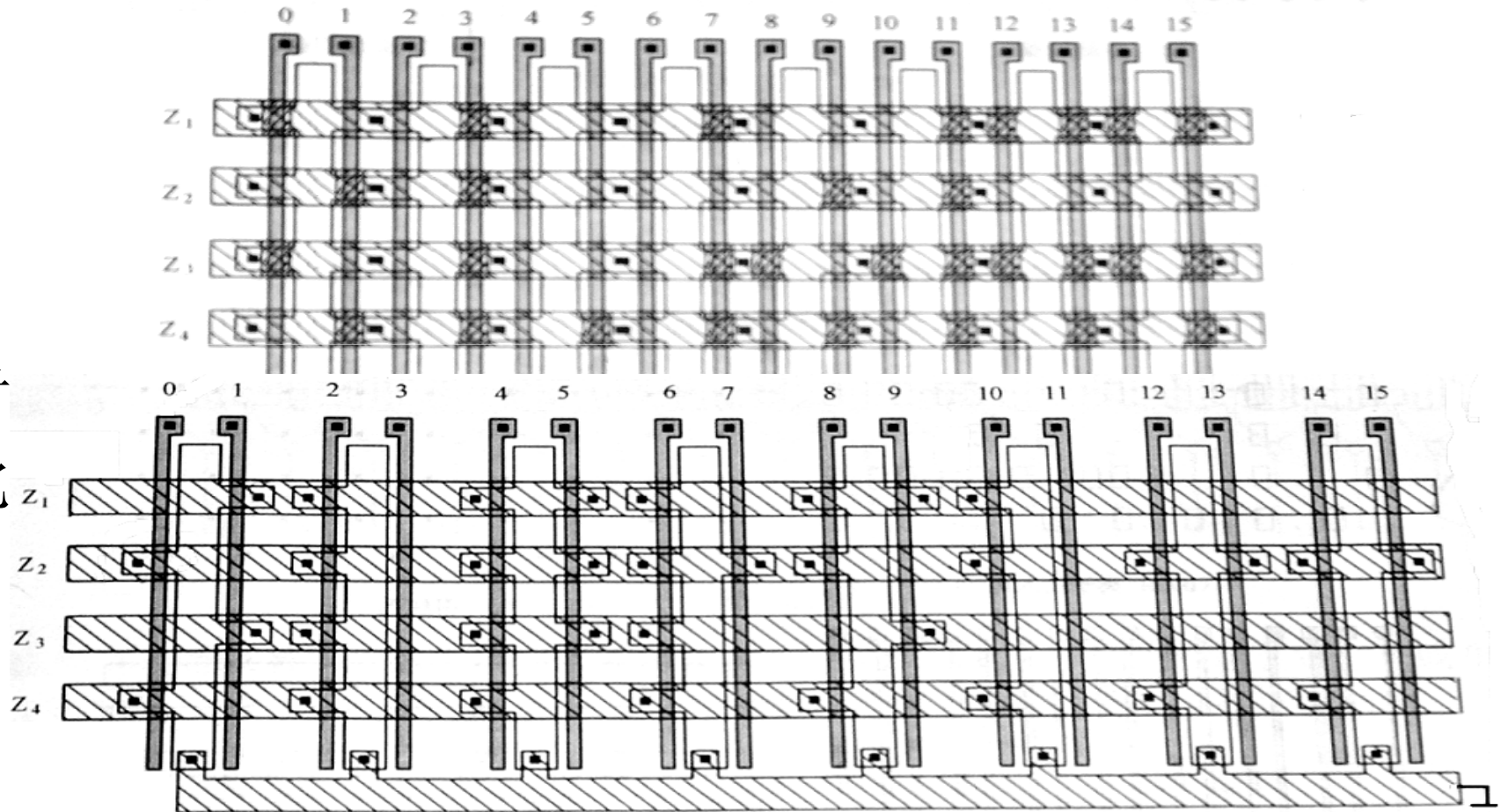
第



离子注入法版图

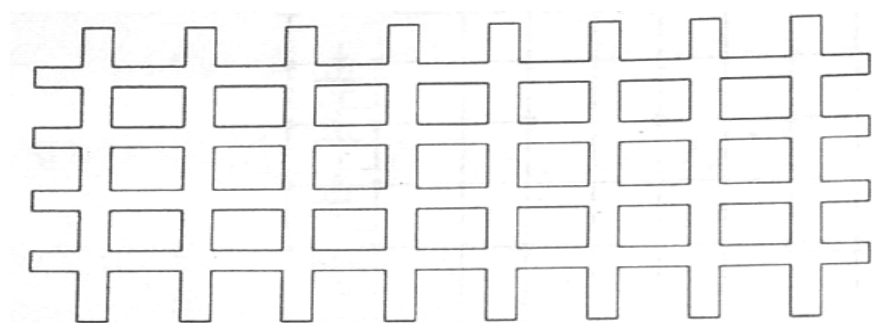
第
30
页

对
比

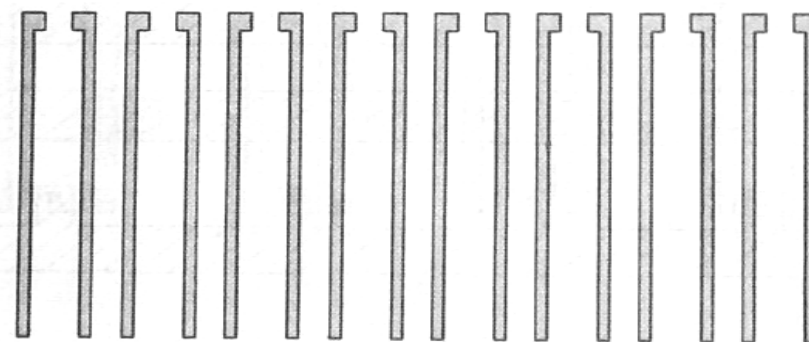


离子注入法版图

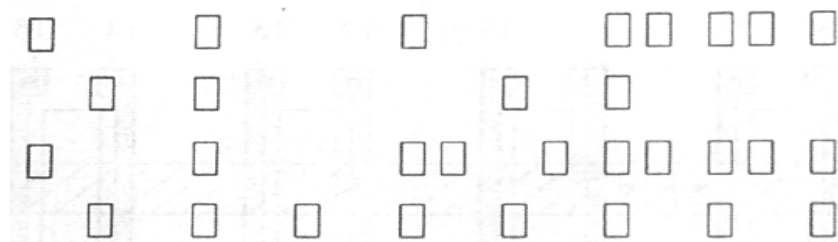
第
31
页



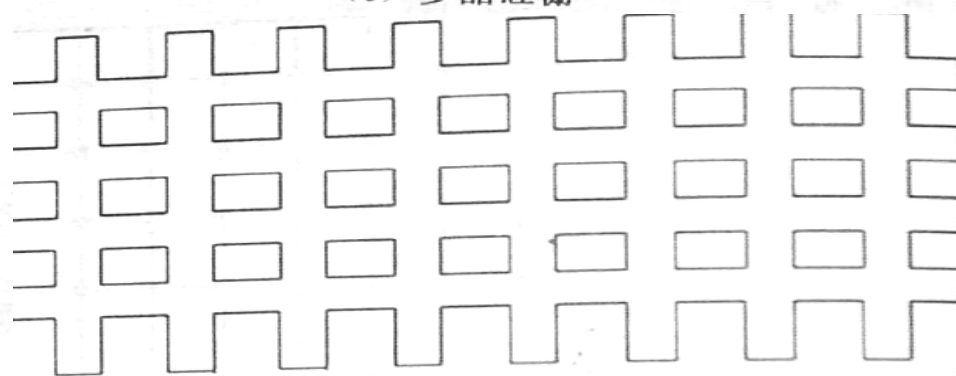
(a) 有源区



(c) 多晶硅栅



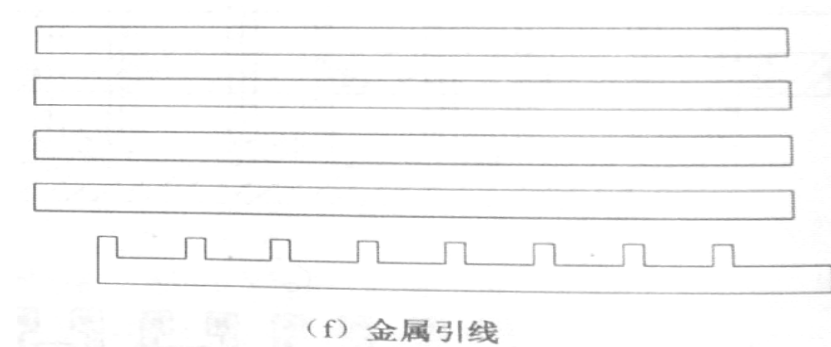
(b) B⁺离子注入区



(d) n⁺扩散区

离子注入法掩模版

第
32
页



复习:

- 1.识别或非结构**ROM**、与非结构**ROM**
- 2.两结构正常工作时**分别**只有一根字线为**?**电平
- 3.有比结构
- 4.版图—源极共用
- 5.离子注入法提前注入离子:
或非结构: 注入**类型** **?** 路
与非结构: 注入**类型** **?** 路

