

4 组合逻辑电路

[4.1组合逻辑电路的分析](#)

[4.2组合逻辑电路的设计](#)

[4.3组合逻辑电路中的竞争和冒险](#)

[4.4常用组合逻辑集成电路](#)

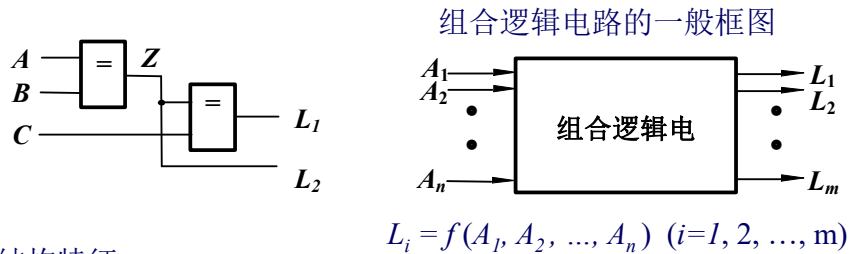
1

教学基本要求

- 1.熟练掌握组合逻辑电路的分析方法和设计方法
- 2.掌握编码器、译码器、数据选择器、数值比较器和加法器的逻辑功能及其应用；
- 3.学会阅读MSI器件的功能表，并能根据设计要求完成电路的正确连接。

2

序 关于组合逻辑电路



结构特征:

- 1、输出、输入之间没有反馈延迟通路,
- 2、不含记忆单元

工作特征:

组合逻辑电路工作特点:在任何时刻, 电路的输出状态只取决于同一时刻的输入状态而与电路原来的状态无关。

3

4.1 组合逻辑电路分析

一. 组合逻辑电路分析

根据已知逻辑电路, 经分析确定电路的逻辑功能。

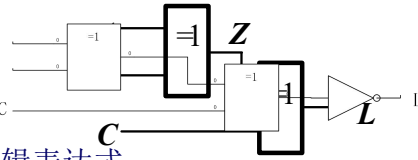
二. 组合逻辑电路的分析步骤:

- 1、由逻辑图写出各输出端的逻辑表达式;
- 2、化简和变换逻辑表达式;
- 3、列出真值表;
- 4、根据真值表或逻辑表达式, 经分析最后确定其功能。

4

三、组合逻辑电路的分析举例

例1 分析如图所示逻辑电路的功能。



解：1.根据逻辑图写出输出函数的逻辑表达式

$$L = Z \oplus C$$

$$= (A \oplus B) \oplus C$$

$$= A \oplus B \oplus C$$

2. 列写真值表。

3. 确定逻辑功能：

输入变量的取值中有奇数个1时， L 为1，否则 L 为0，电路具有为奇校验功能。

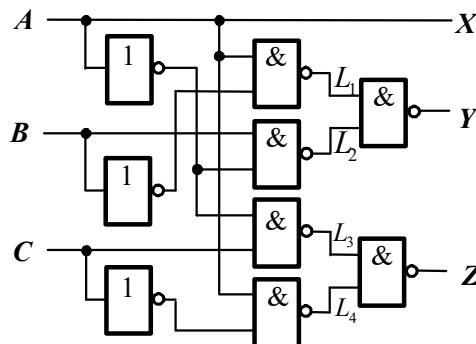
A	B	C	$Z = A \oplus B$	$L = (A \oplus B \oplus C)$
0	0	0	0	0
0	0	1	0	1
0	1	0	1	1
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	0	1

如要实现偶校验，电路应做何改变？

5

例2 试分析下图所示组合逻辑电路的逻辑功能。

解：1、根据逻辑电路写出各输出端的逻辑表达式，并进行化简和变换。



$$X = A$$

$$Y = \overline{\overline{A} \overline{B}} \cdot \overline{\overline{A} B}$$

$$= A \overline{B} + \overline{A} B$$

$$Z = \overline{\overline{A} \overline{C}} \cdot \overline{\overline{A} C}$$

$$= A \overline{C} + \overline{A} C$$

$$= A \oplus C$$

6

2、列写真值表

$$X=A \quad Y=A\oplus B \quad Z=A\oplus C$$

真值表

A	B	C	X	Y	Z
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0

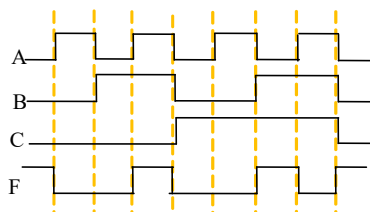
3、确定电路逻辑功能

这个电路逻辑功能是对输入的二进制码求反码。最高位为符号位，0表示正数，1表示负数，正数的反码与原码相同；负数的数值部分是在原码的基础上逐位求反。

7

预备练习：真值表—表达式 写法

【习题3-17】已知某组合电路的输入A、B、C和输出F的波形如下图所示，试写出F的最简与或表达式。



1、真值表

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

2、表达式

逻辑变量之间是**与**关系，输出两种状态之间是**或**关系；

对于输入或输出变量，凡是**取1值**的，用**原变量**表示，**取0值**的用**反变量**表示。

$$F = \bar{A} \bar{B} \bar{C} + \bar{A} B C + A B \bar{C}$$

8

4.2 组合逻辑电路的设计

一、组合逻辑电路的设计：根据实际逻辑问题，求出所要求逻辑功能的最简单逻辑电路。

二、组合逻辑电路的设计步骤

- 1、逻辑抽象：根据实际逻辑问题的因果关系确定输入、输出变量，并定义逻辑状态的含义；
- 2、根据逻辑描述列出真值表；
- 3、由真值表写出逻辑表达式；
- 4、根据器件的类型, 简化和变换逻辑表达式
- 5、 画出逻辑图。

9

例1 某火车站有特快、直快和慢车三种类型的客运列车进出，试用两输入与非门和反相器设计一个指示列车等待进站的逻辑电路，3个指示灯一、二、三号分别对应特快、直快和慢车。列车的优先级别依次为特快、直快和慢车，要求当特快列车请求进站时，无论其它两种列车是否请求进站，一号灯亮。当特快没有请求，直快请求进站时，无论慢车是否请求，二号灯亮。当特快和直快均没有请求，而慢车有请求时，三号灯亮。

10

解：1、逻辑抽象。

输入信号: I_0 、 I_1 、 I_2 分别为特快、直快和慢车的进站请求信号
且有进站请求时为1，没有请求时为0。

输出信号: L_0 、 L_1 、 L_2 分别为3个指示灯的状态，
且灯亮为1，灯灭为0。

(2) 写出各输出逻辑表达式。

2、根据题意列出真值表

输 入			输 出		
I_0	I_1	I_2	L_0	L_1	L_2
0	0	0	0	0	0
1	×	×	1	0	0
0	1	×	0	1	0
0	0	1	0	0	1

$$L_0 = I_0$$

$$L_1 = \bar{I}_0 I_1$$

$$L_2 = \bar{I}_0 \bar{I}_1 I_2$$

11

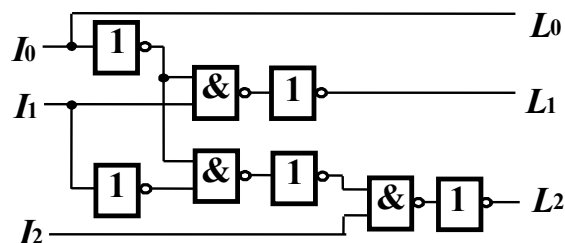
2、根据真值表写出各输出逻辑表达式。

$$L_0 = I_0 \quad L_1 = \bar{I}_0 I_1 \quad L_2 = \bar{I}_0 \bar{I}_1 I_2$$

3、根据要求将上式变换为与非（两输入）形式

$$L_0 = I_0 \quad L_1 = \overline{\overline{\bar{I}_0} I_1} \quad L_2 = \overline{\overline{\bar{I}_0} \bar{I}_1} \cdot I_2$$

4、根据输出逻辑表达式画出逻辑图。



12

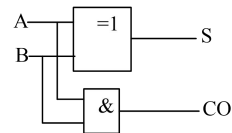
半加器 和全加器

1、半加器：所谓半加器是指只有被加数（A）和加数（B）输入的一位二进制加法电路。加法电路有两个输出，一个是两数相加的和（S），另一个是相加后向高位进位（CO）。

1、半加器真值表

A	B	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

3、逻辑图



2、逻辑表达式

$$S = \bar{A}B + A\bar{B}$$

$$= A \oplus B$$

$$CO = AB$$

13

半加器 和全加器

2、全加器：全加器不仅有被加数A和加数B，还有低位来的进位CI作为输入；三个输入相加产生全加器两个输出，和S及向高位进位CO。

1、全加器真值表

A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

3、逻辑表达式

$$S = \bar{A}\bar{B}CI + \bar{A}B\bar{C}I + A\bar{B}\bar{C}I + ABCI$$

$$= A \oplus B \oplus CI$$

$$CO = (\bar{A}\bar{B} + \bar{A}B + A\bar{B})CI + AB$$

$$= (A \oplus B)CI + AB$$

2、卡诺图

		BCI			
S	A	00	01	11	10
		0	0	1	0
CO	A	0	0	1	0
		1	0	1	0

4、逻辑图

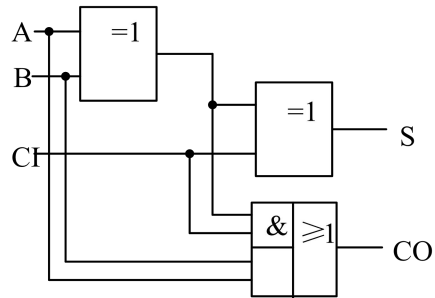
14

3、逻辑表达式

$$S = A \oplus B \oplus CI$$

$$CO = (A \oplus B)CI + AB$$

4、逻辑图



15

4.3 组合逻辑电路中的竞争冒险

4.3.1 产生的竞争冒险的原因

4.3.2 消去竞争冒险的方法

16

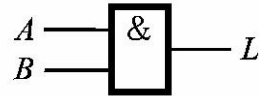
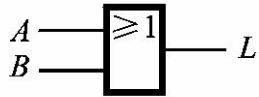
4.3 组合逻辑电路中的竞争冒险

4.3.1 产生的竞争冒险的原因

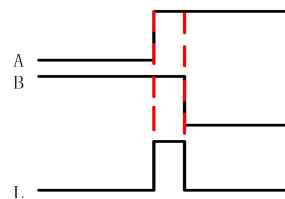
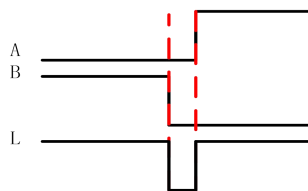
$$A=0 \quad B=1 \xrightarrow{\text{变化}} A=1 \quad B=0$$

$$L = A + B = 1$$

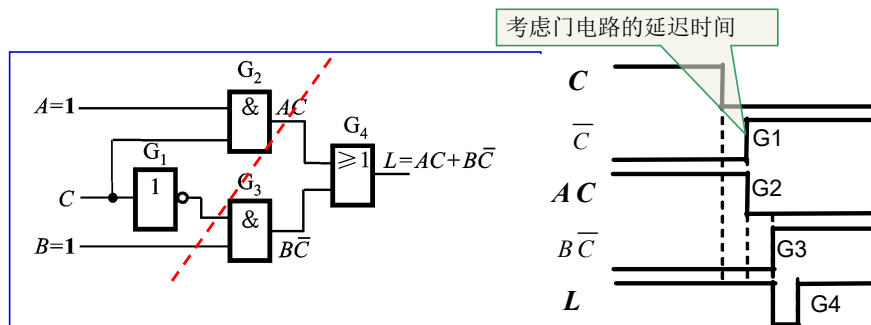
$$L = AB = 0$$



考虑信号到达门输入端的延时, 不考虑门本身的延时时间



17



竞争: 当一个逻辑门的两个输入端的信号同时向相反方向变化, 而变化的时间有差异的现象。

冒险: 由竞争而**可能**产生输出干扰脉冲的现象。

什么情况容易出现竞争冒险?

当门电路的两个输入端的信号取值的变化方向是相反时。

如: 门电路输出端的逻辑表达式简化成**两个互补信号相乘或者相加**。

判断组合逻辑电路是否存在竞争冒险的方法

1. 代数法：若输出逻辑函数式在一定条件下最终能化简为

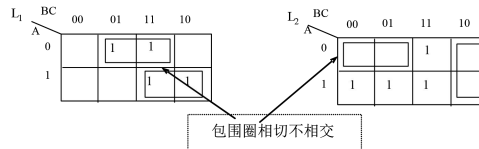
$$L = A + \bar{A} \text{ 或 } L = A \bullet \bar{A} \text{ 的形式时，则可能有竞争冒险出现。}$$

例如，

$$L_1 = AB + \bar{A}C \quad B=C=1 \text{ 时,} \quad L_1 = A + \bar{A}$$

$$L_2 = (A+B)(\bar{B}+C) \quad A=C=0 \text{ 时,} \quad L_2 = B \bullet \bar{B}$$

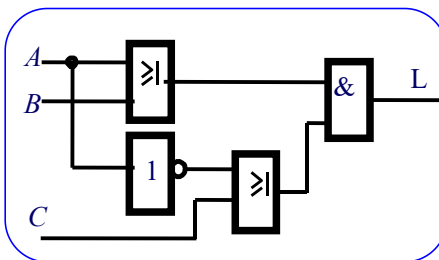
2. 卡诺图法：若在逻辑函数的卡诺图中，为使逻辑函数最简而画的包围圈中有两个包围圈之间的相切而不交接的话，则在相邻处也可能有竞争冒险出现。



19

4.3.2 消去竞争冒险的方法

1. 发现并消除互补变量



$$L = (A + B)(\bar{A} + C)$$

$$B = C = 0 \text{ 时}$$

$$F = A\bar{A}$$

可能出现竞争冒险。

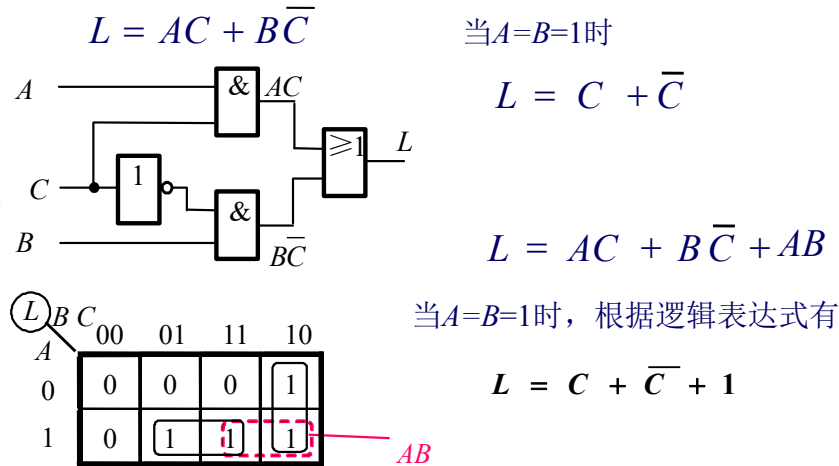
为消掉 $A\bar{A}$ ，变换逻辑函数式为

$$L = A\bar{A} + AC + \bar{A}B + BC$$

$$= AC + \bar{A}B + BC$$

20

2. 增加乘积项, 避免互补项相加

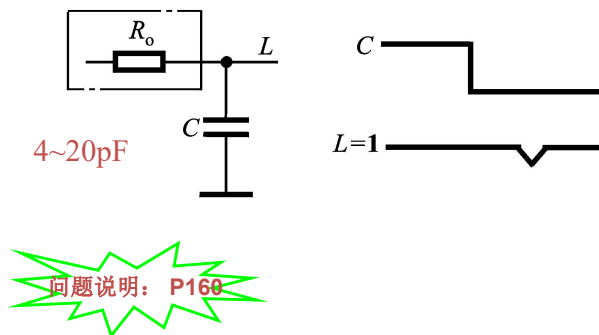


21

3. 输出端并联电容器

如果逻辑电路在较慢速度下工作, 为了消去竞争冒险, 可以在输出端并联一滤波电容器, 这样, 电容对于窄脉冲起到平滑的作用。

但是, 电容会使输出波形上升沿和下降沿变化比较缓慢。



end

22

4.4 若干典型的组合逻辑集成电路

4.4.1 编码器

4.4.2 译码器/数据分配器

4.4.3 数据选择器

4.4.4 数值比较器

4.4.5 算术运算电路

23

4.4 若干典型的组合逻辑集成电路

4.4.1 编码器

1、)编码器 (Encoder)的概念与分类

编码：赋予二进制代码特定含义的过程称为编码。

如：8421BCD码中，用1000表示数字8

如：ASCII码中，用1000001表示字母A等

编码器：具有编码功能的逻辑电路。

24

1、)编码器 (Encoder)的概念与分类

编码器的逻辑功能：

能将每一个编码输入信号变换为不同的二进制的代码输出。

如BCD编码器：将10个编码输入信号分别编成10个4位码输出。

如8线-3线编码器：将8个输入的信号分别编成 8个3位二进制数码输出。

25

1、)编码器 (Encoder)的概念与分类

编码器的分类：普通编码器和优先编码器。

普通编码器：任何时候**只允许输入一个有效编码信号**，否则输出就会发生混乱。

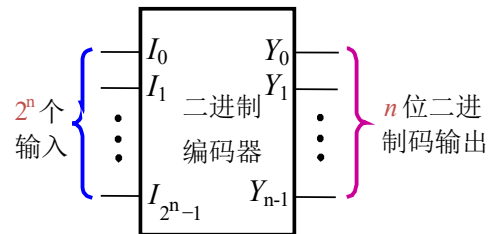
优先编码器：**允许同时输入两个以上的有效编码信号**。当同时输入几个有效编码信号时，优先编码器能按预先设定的优先级别，**只对其中优先权最高的一个进行编码**。

26

1、编码器的工作原理

普通二进制编码器

二进制编码器的结构框图

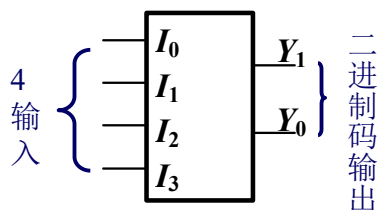


27

1、编码器的工作原理

(1) 4线—2线普通二进制编码器 (设计)

(a) 逻辑框图



$$Y_1 = \bar{I}_0 \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$

$$Y_0 = \bar{I}_0 I_1 \bar{I}_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$

(2) 逻辑功能表

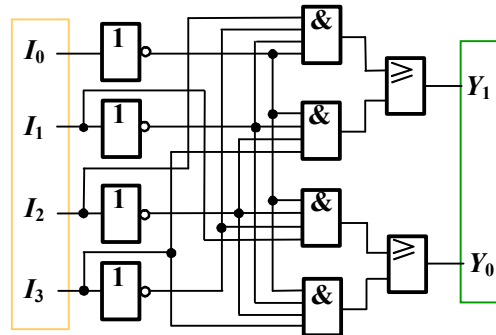
I_0	I_1	I_2	I_3	Y_1	Y_0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

编码器的输入为高电平有效。

28

$$Y_1 = \bar{I}_0 \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$

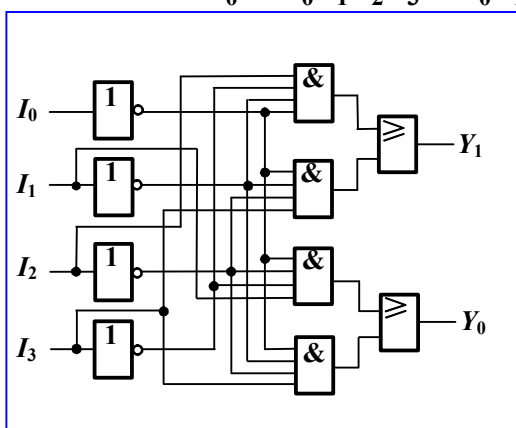
$$Y_0 = \bar{I}_0 I_1 \bar{I}_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$



29

$$Y_1 = \bar{I}_0 \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$

$$Y_0 = \bar{I}_0 I_1 \bar{I}_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$



$I_2 = I_3 = 1$, $I_1 = I_0 = 0$ 时,

$Y_1 Y_0 = ?$ $Y_1 Y_0 = 00$

当所有的输入都为1时,

$Y_1 Y_0 = ?$ $Y_1 Y_0 = 00$

无法输出有效编码。

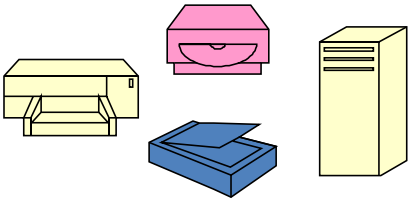
结论：普通编码器不能同时输入两个已上的有效编码信号

30

3. 优先编码器

优先编码器的提出：

实际应用中，经常有两个或更多输入编码信号同时有效。



必须根据轻重缓急，规定好这些外设允许操作的先后次序，即优先级别。

识别多个编码请求信号的优先级别，并进行相应编码的逻辑部件称为优先编码器。

31

(2)优先编码器线(4—2 线优先编码器)（设计）

输入编码信号高电平有效，输出为二进制代码

输入编码信号优先级从高到低为 $I_3 \sim I_0$

输入为编码信号 $I_3 \sim I_0$ 输出为 $Y_1 Y_0$

(1) 列出功能表

输 入				输 出	
I_0	I_1	I_2	I_3	Y_1	Y_0
1	0	0	0	0	0
×	1	0	0	0	1
×	×	1	0	1	0
×	×	×	1	1	1

低 ← 高

(2) 写出逻辑表达式

$$Y_1 = \overline{I_2} I_3 + I_3$$

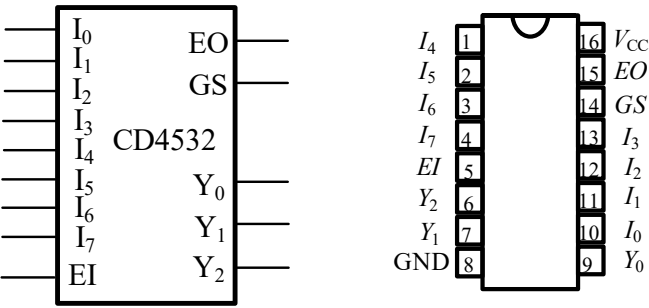
$$Y_0 = \overline{I_1} \overline{I_2} I_3 + I_3$$

(3) 画出逻辑电路（略）

32

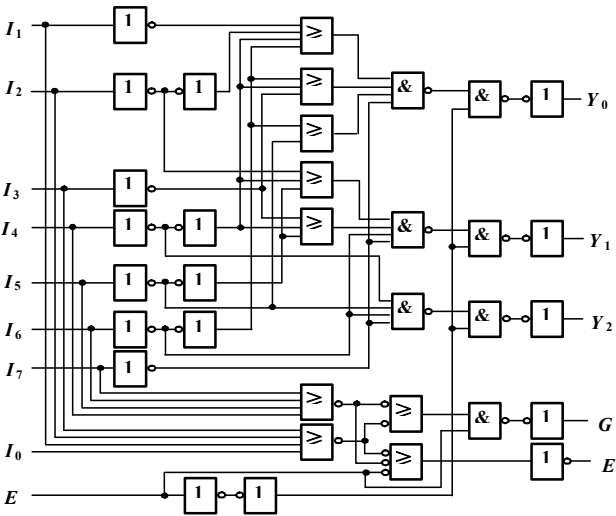
2 集成电路编码器

优先编码器CD4532的示意框图、引脚图



33

CD4532电路图



34

优先编码器CD4532

$$Y_2 = EI(I_7 + I_6 + I_5 + I_4)$$

$$Y_1 = EI(I_7 + I_6 + \overline{I_5} \overline{I_4} I_3 + \overline{I_5} \overline{I_4} I_2)$$

$$Y_0 = EI(I_7 + \overline{I_6} I_5 + \overline{I_6} \overline{I_4} I_3 + \overline{I_6} \overline{I_4} \overline{I_2} I_1)$$

$$EO = EI(\overline{I_7} \overline{I_6} \overline{I_5} \overline{I_4} \overline{I_3} \overline{I_2} \overline{I_1} \overline{I_0})$$

$$GS = EI(I_7 + I_6 + I_5 + I_4 + I_3 + I_2 + I_1 + I_0)$$

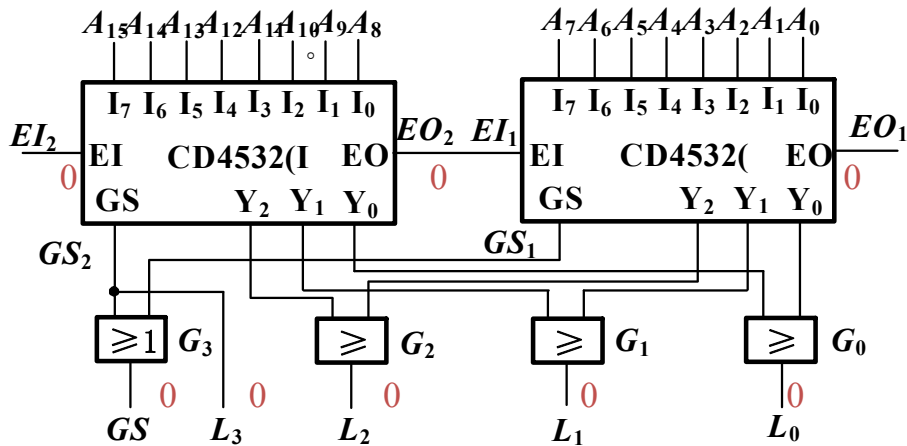
输 入														
EI	I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0		Y_2	Y_1	Y_0	GS	EO
L	X	X	X	X	X	X	X	X	X	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L	L	L	H
H	H	X	X	X	X	X	X	X	X	H	H	H	H	L
H	L	H	X	X	X	X	X	X	X	H	H	L	H	L
H	L	L	H	X	X	X	X	X	X	H	L	H	H	L
H	L	L	L	H	X	X	X	X	X	H	L	L	H	L
H	L	L	L	L	H	X	X	X	X	L	H	H	H	L
H	L	L	L	L	L	H	X	X	X	L	H	L	H	L
H	L	L	L	L	L	L	H	X	X	L	L	H	H	L
H	L	L	L	L	L	L	L	H	H	L	L	L	H	L

为什么要设计GS、EO输出信号？

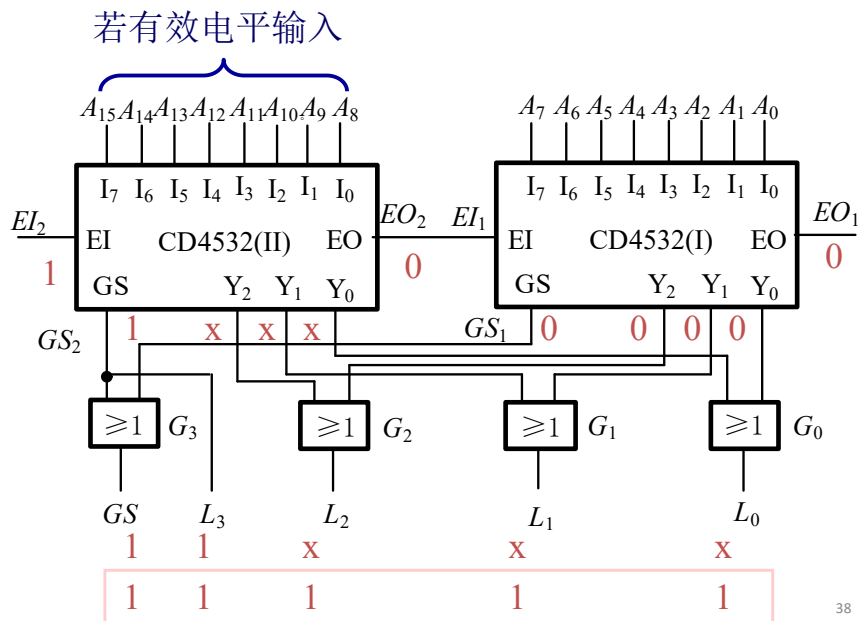
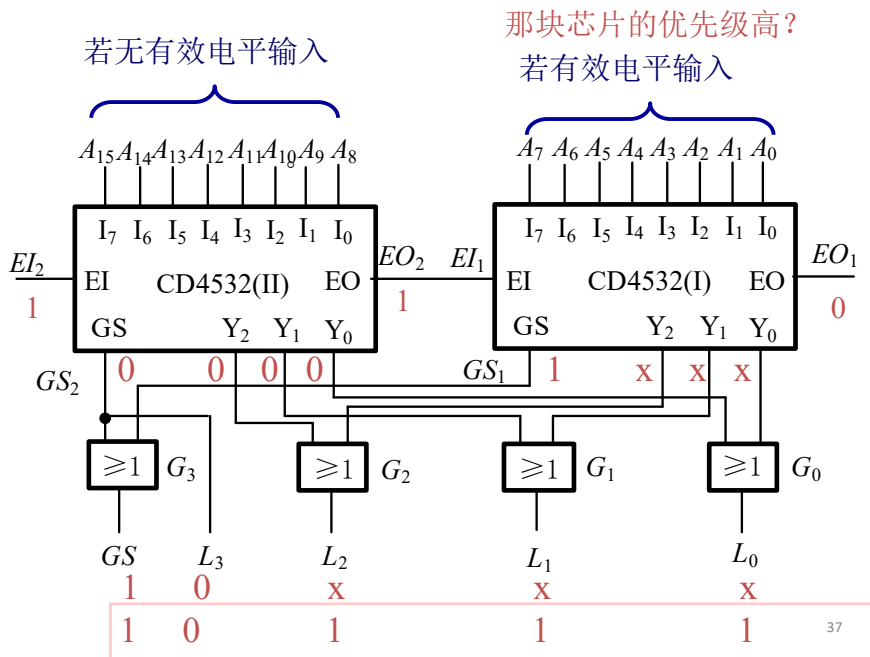
35

用二片CD4532构成16线-4线优先编码器，其逻辑图如下
图所示，试分析其工作原理。

无编码输出



36



第四章（1）

- 第一部分参考习题：
 - P218
 - 4.1（2、4、5、6）
 - 4.2（1、2、6、7）
 - 4.4.1
 - 第二部分作业习题集
- 1

39

4.4.2 译码器/数据分配器

1 译码器的概念与分类

译码：译码是编码的逆过程，它可将二进制码翻译成代表某一特定含义的信号。（即电路的某种状态）

译码器：具有译码功能的逻辑电路称为译码器。

译码器的分类：

唯一地址译码器

将一系列代码转换成与之一一对应的有效信号。

常见的唯一地址译码器：

{	二进制译码器
	二—十进制译码器
	显示译码器

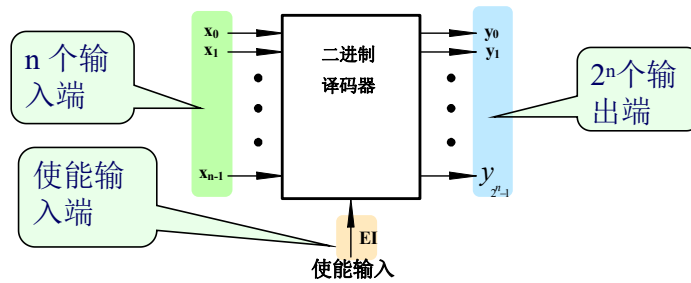
代码变换器

将一种代码转换成另一种代码。

40

2、 集成电路译码器

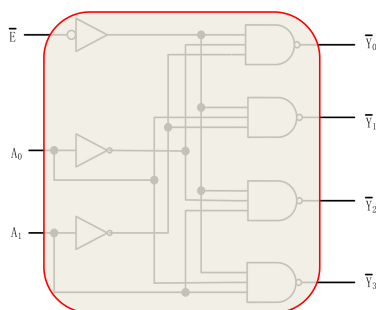
(1.) 二进制译码器



设输入端的个数为 n ，输出端的个数为 M
则有 $M=2^n$

41

2线 - 4线译码器的逻辑电路(分析)



$$\overline{Y}_0 = \overline{\overline{E} A_1 A_0}$$

$$\overline{Y}_2 = \overline{\overline{E} A_1 \overline{A}_0}$$

功能表

输入			输出			
\overline{E}	A_1	A_0	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3
H	×	×	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

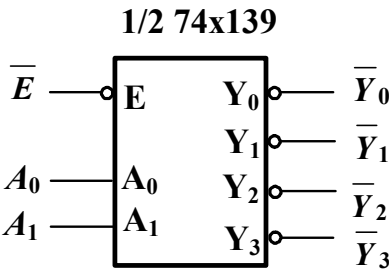
$$\overline{Y}_1 = \overline{\overline{E} A_1 A_0}$$

$$\overline{Y}_3 = \overline{\overline{E} A_1 A_0}$$

42

(1.)二进制译码器

(a) 74HC139集成译码器



功能表

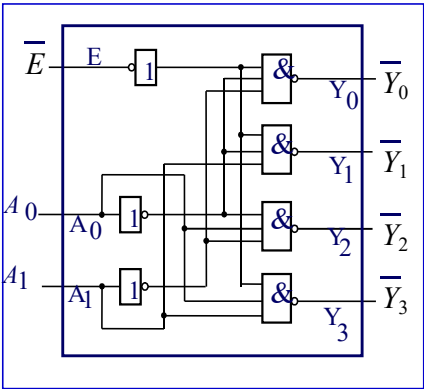
输 入			输出			
\overline{E}	A_1	A_0	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3
H	×	×	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

43

逻辑符号说明

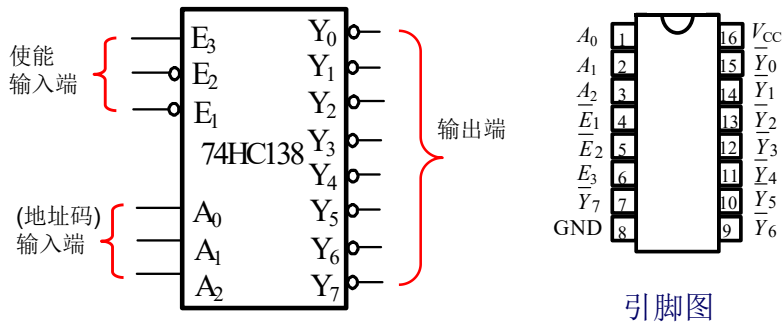
逻辑符号框外部的符号，表示外部输入或输出信号名称，字母上面的“—”号说明该输入或输出是低电平有效。

符号框内部的输入、输出变量表示其内部的逻辑关系。在推导表达式的过程中，如果低有效的输入或输出变量(如)上面的“—”号参与运算(如 \overline{E} 变为 E)，则在画逻辑图或验证真值表时，注意将其还原为低有效符号。



44

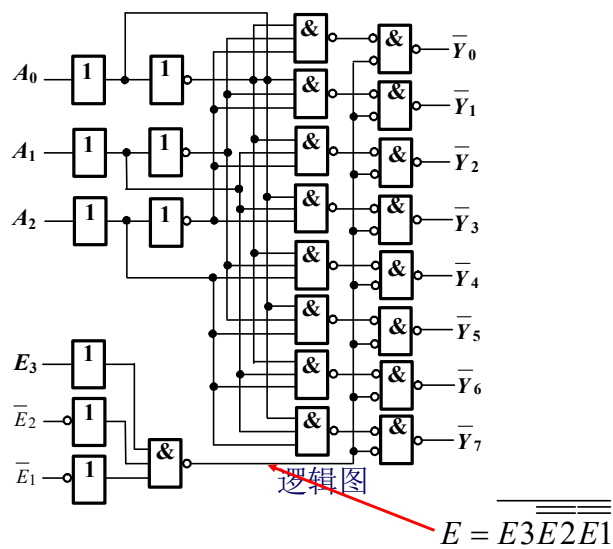
(b) 74HC138(74LS138)集成译码器



逻辑图

45

74HC138集成译码器



46

$$\overline{Y_0} = \overline{A_2 \cdot A_1 \cdot A_0} \quad \overline{Y_1} = \overline{A_2 \cdot A_1 \cdot A_0} \quad \overline{Y_2} = \overline{A_2 \cdot A_1 \cdot A_0} \quad \overline{Y_3} = \overline{A_2 \cdot A_1 \cdot A_0}$$

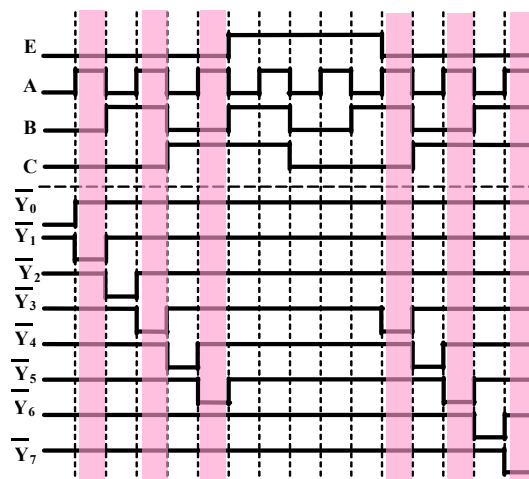
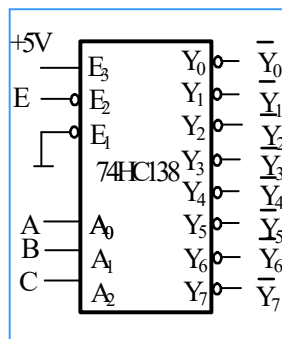
$$\overline{Y_4} = \overline{A_2 \cdot A_1 \cdot A_0} \quad \overline{Y_5} = \overline{A_2 \cdot A_1 \cdot A_0} \quad \overline{Y_6} = \overline{A_2 \cdot A_1 \cdot A_0} \quad \overline{Y_7} = \overline{A_2 \cdot A_1 \cdot A_0}$$

输 入						输 出							
E_3	$\overline{E_2}$	$\overline{E_1}$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
×	H	×	×	×	×	H	H	H	H	H	H	H	H
×	×	H	×	×	×	H	H	H	H	H	H	H	H
L	×	×	×	×	×	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H	H	H
H	L	L	H	L	L	H	H	H	L	H	H	H	H
H	L	L	H	L	H	H	H	H	L	H	H	H	H
H	L	L	H	H	L	H	H	H	H	L	H	H	H
H	L	L	H	H	H	H	H	H	H	H	L	H	H

47

译码器的应用

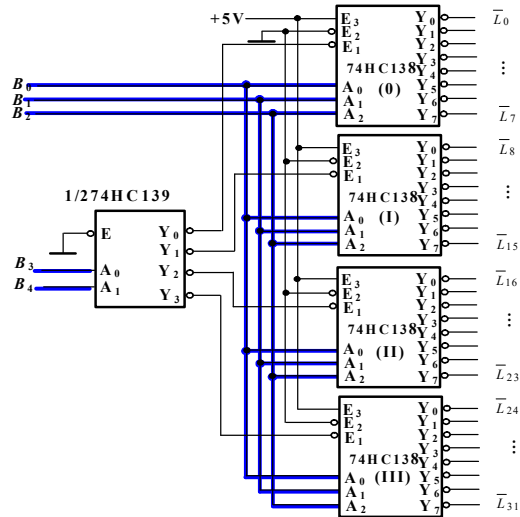
- 1、已知下图所示电路的输入信号的波形试画出译码器输出的波形。



48

2、译码器的扩展

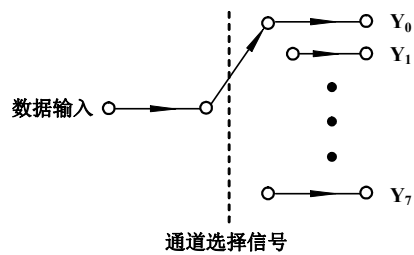
用74X139和74X138构成5线-32线译码器



49

3、用74HC138组成数据分配器

数据分配器示意图



数据分配器：相当于多输出的单刀多掷开关，是一种能将从数据分时送到多个不同的通道上去的逻辑电路。

50

用译码器实现数据分配器

$$\overline{Y_2} = \overline{E_3} \overline{E_1} \overline{E_2} \overline{A_2} \overline{A_1} \overline{A_0}$$

1

0

D

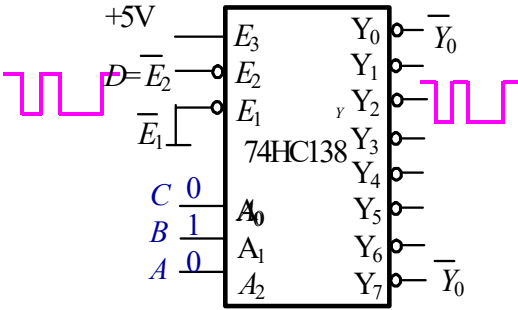
0

1

0

当 $ABC = 010$ 时,

$$\overline{Y_2} = D$$



$\overline{Y_i} = \overline{D}$ 如何实现?

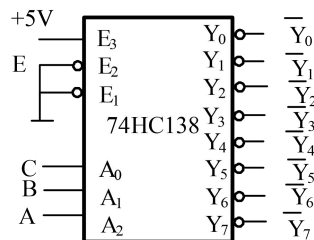
51

74HC138译码器作为数据分配器时的功能表

输 入						输 出							
E_3	$\overline{E_1}$	$\overline{E_2}$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
L	L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	D	L	L	L	D	H	H	H	H	H	H	H
H	L	D	L	L	H	H	D	H	H	H	H	H	H
H	L	D	L	H	L	H	H	D	H	H	H	H	H
H	L	D	L	H	H	H	H	H	D	H	H	H	H
H	L	D	H	L	L	H	H	H	H	D	H	H	H
H	L	D	H	L	H	H	H	H	H	H	D	H	H
H	L	D	H	H	L	H	H	H	H	H	H	D	H
H	L	D	H	H	H	H	H	H	H	H	H	H	D

52

4、**用译码器实现逻辑函数。 当 $E_3=1$ ， $E_2=E_1=0$ 时



$$\bar{Y}_0 = \bar{A}_2 \cdot \bar{A}_1 \cdot \bar{A}_0 = \bar{m}_0$$

$$\bar{Y}_1 = \bar{A}_2 \cdot A_1 \cdot \bar{A}_0 = \bar{m}_1$$

$$\bar{Y}_2 = \bar{A}_2 \cdot \bar{A}_1 \cdot A_0 = \bar{m}_2$$

$$\vdots$$

$$\bar{Y}_7 = A_2 \cdot A_1 \cdot A_0 = \bar{m}_7$$

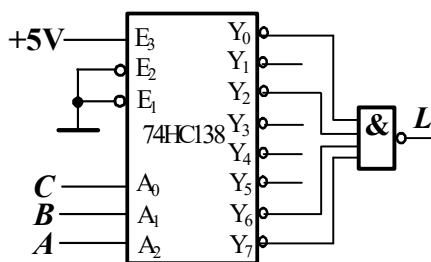
3线-8线译码器的 $Y_0 \sim Y_7$ 含三变量函数的全部最小项。

基于这一点用该器件能够方便地实现三变量逻辑函数。

53

用一片74HC138实现函数 $L = \bar{A}\bar{C} + AB$

首先将函数式变换为最小项之和的形式



$$L = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + AB\bar{C} + ABC$$

$$= m_0 + m_2 + m_6 + m_7$$

$$= \overline{m_0 \cdot m_2 \cdot m_6 \cdot m_7}$$

$$= \bar{Y}_0 \cdot \bar{Y}_2 \cdot \bar{Y}_6 \cdot \bar{Y}_7$$

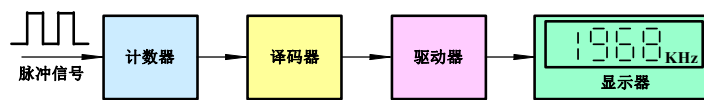
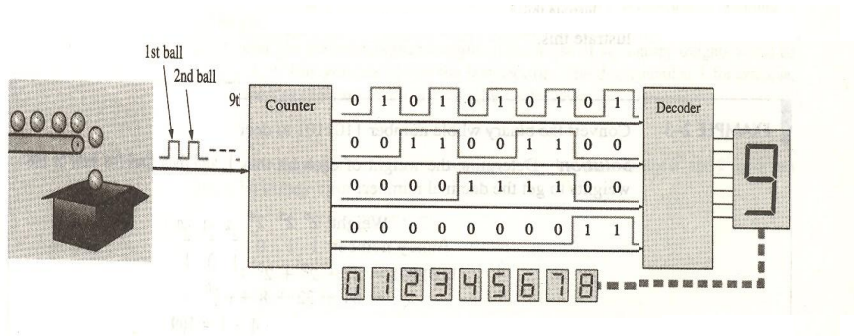
$$A = A_2 \quad B = A_1 \quad C = A_0$$

在译码器的输出端加一个与非门，即可实现给定的组合逻辑函数。

(习题集5)

54

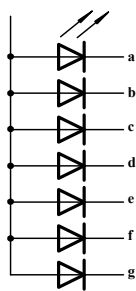
显示译码器



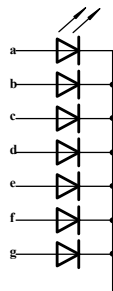
55

1. 七段显示译码器

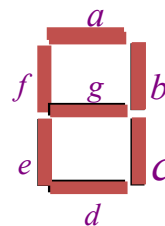
(1) 最常用的显示器有：半导体发光二极管和液晶显示器。



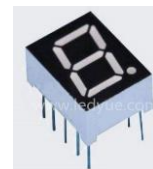
共阳极显示器



共阴极显示器



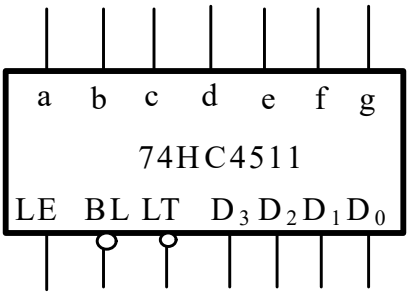
显示器分段布局图



56

常用的集成七段显示译码器

-----CMOS七段显示译码器74HC4511



57



CMOS七段显示译码器74HC4511功能表

十进制或功能	输入							输出							字形
	LE	\overline{BL}	\overline{LT}	D ₃	D ₂	D ₁	D ₀	a	b	c	d	e	f	g	
0	L	H	H	L	L	L	L	H	H	H	H	H	H	L	0
1	L	H	H	L	L	L	H	L	H	H	L	L	L	L	1
2	L	H	H	L	L	H	L	H	H	L	H	H	L	H	2
3	L	H	H	L	L	H	H	H	H	H	H	L	L	H	3
4	L	H	H	L	H	L	L	L	H	H	L	L	H	H	4
5	L	H	H	L	H	L	H	H	L	H	H	L	H	H	5
6	L	H	H	L	H	H	L	L	L	H	H	H	H	H	6
7	L	H	H	L	H	H	H	H	H	H	L	L	L	L	7
8	L	H	H	H	L	L	L	H	H	H	H	H	H	H	8
9	L	H	H	H	L	L	H	H	H	H	H	L	H	H	9

74HC4511驱动共阴or共阳？

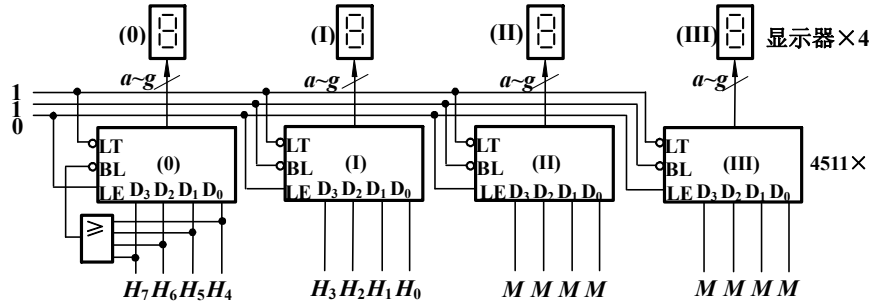
58

CMOS七段显示译码器74HC4511功能表(续)

十进 制或 功能	输 入							输 出							字形
	LE	\overline{BL}	\overline{LT}	D ₃	D ₂	D ₁	D ₀	a	b	c	d	e	f	g	
10	L	H	H	H	L	H	L	L	L	L	L	L	L	L	熄灭
11	L	H	H	H	L	H	H	L	L	L	L	L	L	L	熄灭
12	L	H	H	H	H	L	L	L	L	L	L	L	L	L	熄灭
13	L	H	H	H	H	L	H	L	L	L	L	L	L	L	熄灭
14	L	H	H	H	H	H	L	L	L	L	L	L	L	L	熄灭
15	L	H	H	H	H	H	H	L	L	L	L	L	L	L	熄灭
灯测 试	×	×	L	×	×	×	×	H	H	H	H	H	H	H	8
灭 灯	×	L	H	×	×	×	×	L	L	L	L	L	L	L	熄灭
锁 存	H	H	H	×	×	×	×	*							*

59

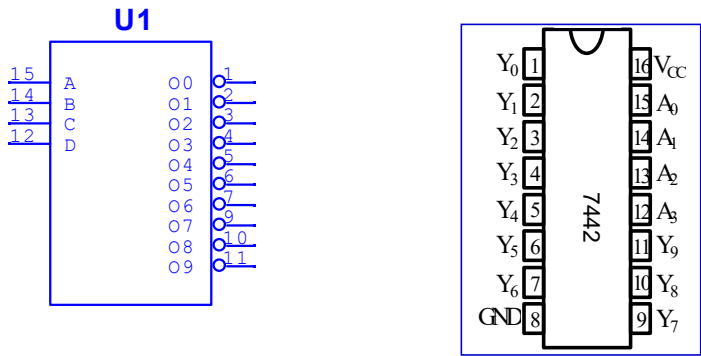
例 由74HC4511构成24小时及分钟的译码电路如图所示，试分析小时高位是否具有零熄灭功能。（课后题4.4.13）



60

集成二-十进制译码器 — 7442

功能：将8421BCD码译成为10个状态输出。

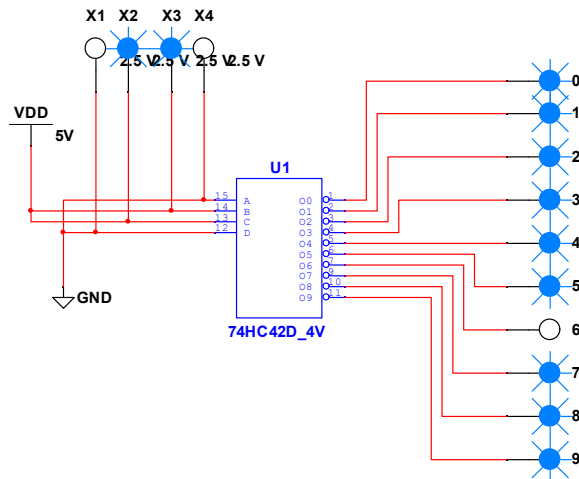


61

(2) 集成二-十进制译码器——7442 功能表

对于BCD代码以外的伪码（1010~1111这6个代码）Y ₀ ~Y ₉ 均为高电平。												
0	L	L	L	L	L	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H
7	L	H	H	H	H	H	H	H	H	H	H	L
8	H	L	L	L	H	H	H	H	H	H	H	L
9	H	L	L	H	H	H	H	H	H	H	H	L

62



63

第四章作业（2）

- 第一部课后参考习题：
- P218
- 4.4(5、8、9、14)
- 第二部分作业习题集：
- 3、5（74138译码器实现）

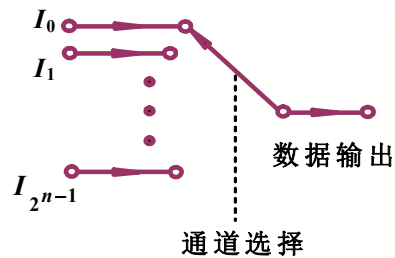
64

4.4.3 数据选择器

1、数据选择器的定义与功能

数据选择器：能实现数据选择功能的逻辑电路。它的作用相当于多个输入的单刀多掷开关，又称“多路开关”。

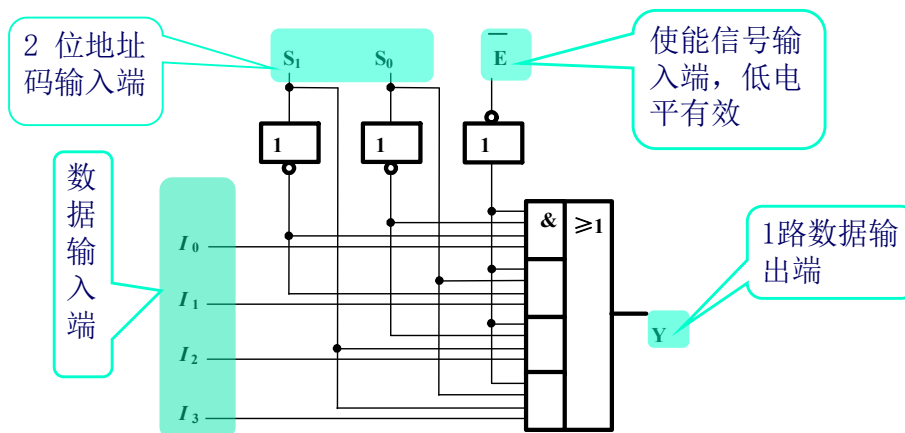
数据选择的功能：在通道选择信号的作用下，将多个通道的数据**分时传送**到公共的数据通道上去的。



65

4选1数据选择器

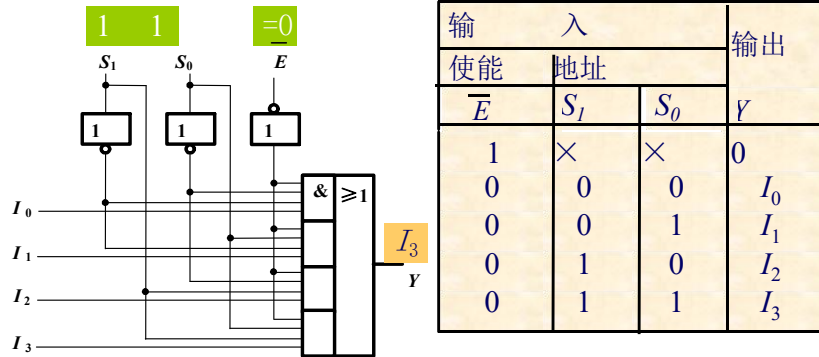
(1) 逻辑电路



66

(2) 工作原理及逻辑功能

功能表



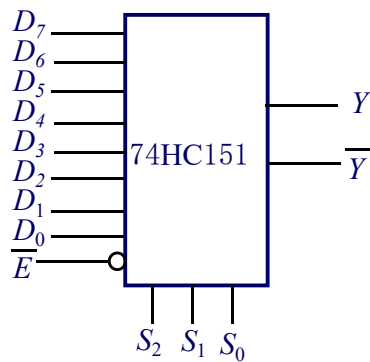
$$Y = \overline{S_1} \overline{S_0} I_0 + \overline{S_1} S_0 I_1 + S_1 \overline{S_0} I_2 + S_1 S_0 I_3$$

$$Y = I_0 m_0 + I_1 m_1 + I_2 m_2 + I_3 m_3$$

67

2、集成电路数据选择器

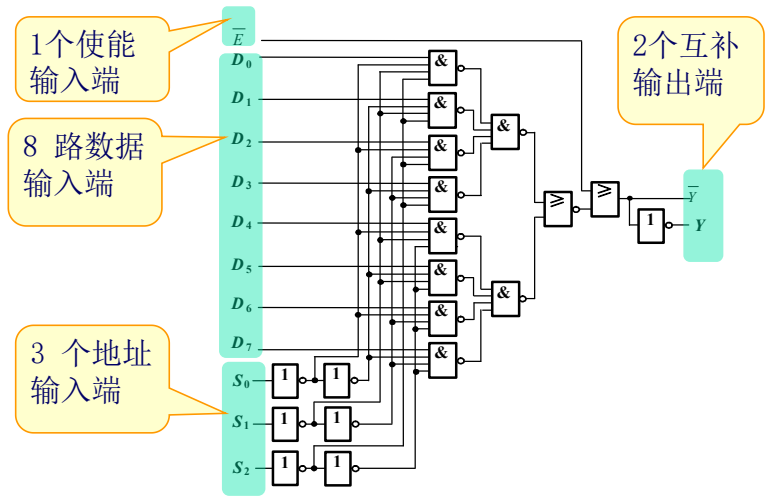
8选1数据选择器74HC151



74LS151功能框图

68

2、集成电路数据选择器



74LS151的逻辑图

69

3、74LS151的功能表

•当 $\overline{E}=1$ 时， $Y=0$ 。

•当 $\overline{E}=0$ 时

$$Y = \overline{S_2} \overline{S_1} \overline{S_0} D_0 + \overline{S_2} \overline{S_1} S_0 D_1 + \overline{S_2} S_1 \overline{S_0} D_2 + \overline{S_2} S_1 S_0 D_3 + S_2 \overline{S_1} \overline{S_0} D_4 + S_2 \overline{S_1} S_0 D_5 + S_2 S_1 \overline{S_0} D_6 + S_2 S_1 S_0 D_7$$

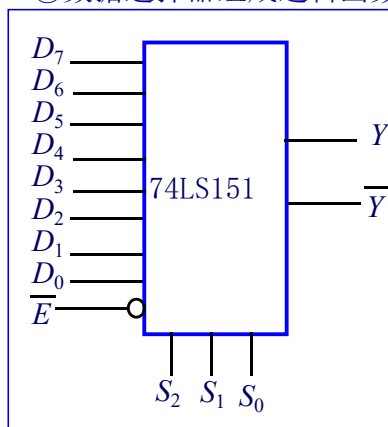
$$Y = \sum_{i=0}^7 D_i m_i$$

输 入				输 出	
使能 \overline{E}	选 择 $S_2 \ S_1 \ S_0$			Y	\overline{Y}
H	X	X	X	L	H
L	L	L	L	D_0	$\overline{D_0}$
L	L	L	H	D_1	$\overline{D_1}$
L	L	H	L	D_2	$\overline{D_2}$
L	L	H	H	D_3	$\overline{D_3}$
L	H	L	L	D_4	$\overline{D_4}$
L	H	L	H	D_5	$\overline{D_5}$
L	H	H	L	D_6	$\overline{D_6}$
L	H	H	H	D_7	$\overline{D_7}$

70

5、数据选择器74LS151的应用

①数据选择器组成逻辑函数产生器



•当 $\overline{E}=0$ 时:
$$Y = \sum_{i=0}^7 D_i m_i$$

•当 $D_0=D_3=D_5=D_7=0$

• $D_1=D_2=D_4=D_6=1$ 时:

$$Y = m_1 + m_2 + m_4 + m_6$$

•当 $D_0=D_3=D_5=D_7=1$

• $D_1=D_2=D_4=D_6=0$ 时:

$$Y = m_0 + m_3 + m_5 + m_7$$

控制 D_i ，就可得到不同的逻辑函数。

一般 D_i 可以当做一个变量（固定值）处理：

可以取：原变量或反变量/（0或1）

（ $D_i=1$ 时，对应的最小项在式中出现）

71

设计步骤

(1) 确定应该选用的数据选择器: $n = k$ 或 $n < k$;

n : 地址变量个数 k : 变量个数

(2) 将逻辑函数化为标准“与或”式（最小项之和的形式）

(3) 写出数据选择器的输出函数表达式

(4) 对照比较，确定选择器各个输入变量的表达式

地址输入端: $A_i = ?$ 数据输入端: $D_i = ?$

(5) 画出连线图

表达式
对照法

72

例1 试用8选1数据选择器74LS151产生逻辑函数

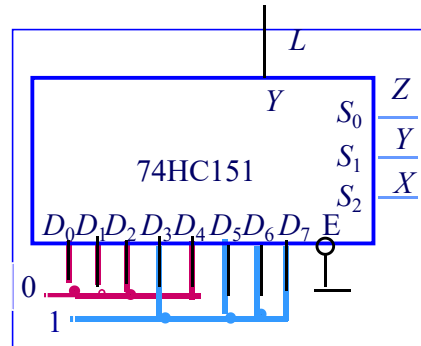
$$L = \overline{X}YZ + X\overline{Y}Z + XY$$

解: $L = \overline{X}YZ + X\overline{Y}Z + XY(Z + \overline{Z})$
 $= \overline{X}YZ + X\overline{Y}Z + XYZ + XY\overline{Z}$

$$\overline{E}=0 \quad X=S_2 \quad Y=S_1 \quad Z=S_0$$

$$L = m_3 + m_5 + m_6 + m_7$$

$$Y = m_0D_0 + m_1D_1 + m_2D_2 + m_3D_3 + m_4D_4 + m_5D_5 + m_6D_6 + m_7D_7$$



比较Y与L, 当 $D_3=D_5=D_6=D_7=1$ $D_0=D_1=D_2=D_4=0$ 时, $Y=L$

73

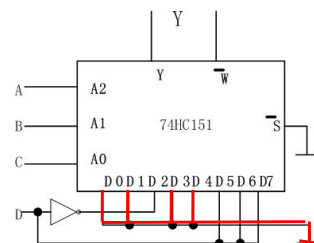
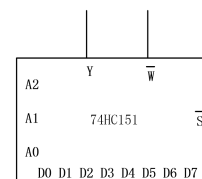
用数据选择器74HC151实现以下函数

$$\begin{aligned} Y &= ABD + \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}CD \\ &= \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}CD + \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}CD \\ &= (\overline{A}\overline{B}\overline{C})D + (\overline{A}\overline{B}C)\overline{D} + (\overline{A}\overline{B}\overline{C})\overline{D} + (\overline{A}\overline{B}C)D \\ &= m_6D + m_7D + m_2\overline{D} + m_5D \end{aligned}$$

令: $A2 = A; A1 = B; A0 = C$

则: $D_6=D_7=D_5=D; D_2=\overline{D};$

$D_0=D_3=D_4=D_1=0;$

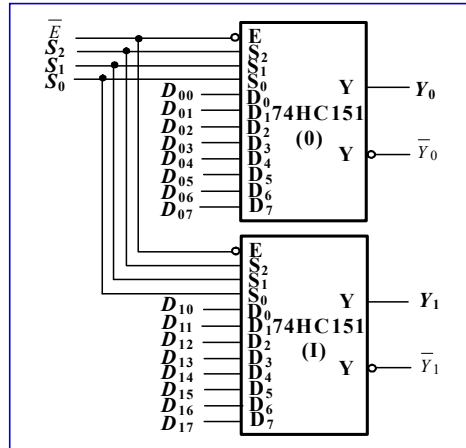


74

② 数据选择器的扩展

位的扩展

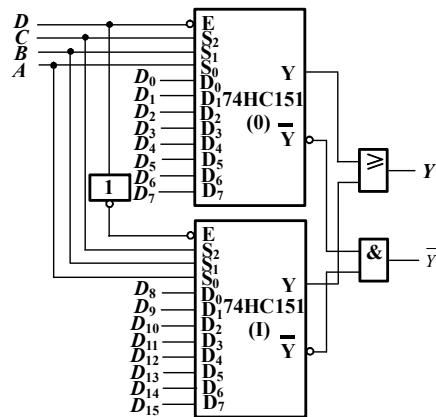
用两片74151组成二位八选一的数据选择器



75

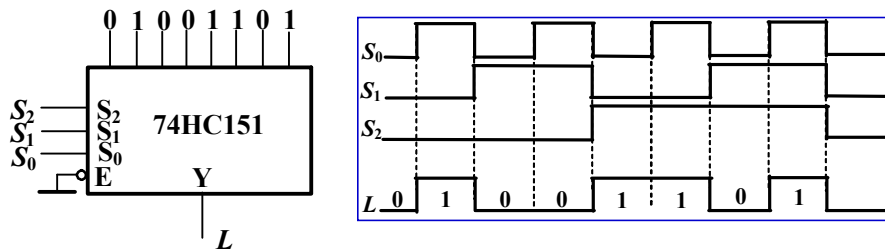
字的扩展

将两片74LS151连接成一个16选1的数据选择器，



76

③ 实现并行数据到串行数据的转换



77

4.4.4 数值比较器

数值比较器：对两个1位数字进行比较（ A 、 B ），以判断其大小的逻辑电路。

1. 1位数值比较器(设计)

输入：两个一位二进制数 A 、 B 。

输出： $F_{A>B}=1$ ，表示 A 大于 B

$F_{A<B}=1$ ，表示 A 小于 B

$F_{A=B}=1$ ，表示 A 等于 B

78

1、1位数值比较器

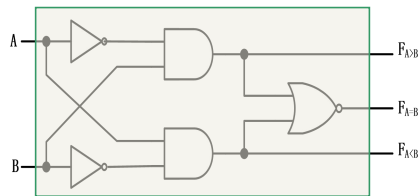
一位数值比较器真值表

$$F_{A>B} = A \overline{B}$$

$$F_{A<B} = \overline{A} B$$

$$F_{A=B} = \overline{A} \overline{B} + AB$$

输 入		输 出		
A	B	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1



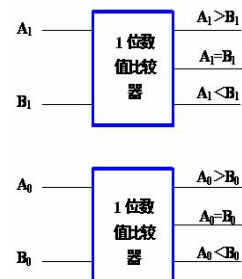
79

2、2 位数值比较器：

比较两个2 位二进制数的大小的电路

输入：两个2位二进制数 $A=A_1A_0$ 、 $B=B_1B_0$

能否用1位数值比较器设计两位数值比较器？



用一位数值比较器设计多位数值比较器的原则

当高位（ A_1 、 B_1 ）不相等时，无需比较低位（ A_0 、 B_0 ），高位比较的结果就是两个数的比较结果。

当高位相等时，两数的比较结果由低位比较的结果决定。

80

真值表

输 入				输 出		
A_1	B_1	A_0	B_0	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$
$A_1 > B_1$	\times			1	0	0
$A_1 < B_1$	\times			0	1	0
$A_1 = B_1$	$A_0 > B_0$			1	0	0
$A_1 = B_1$	$A_0 < B_0$			0	1	0
$A_1 = B_1$	$A_0 = B_0$			0	0	1

$$F_{A>B} = (A_1 > B_1) + (A_1 = B_1)(A_0 > B_0)$$

$$F_{A<B} = (A_1 < B_1) + (A_1 = B_1)(A_0 < B_0)$$

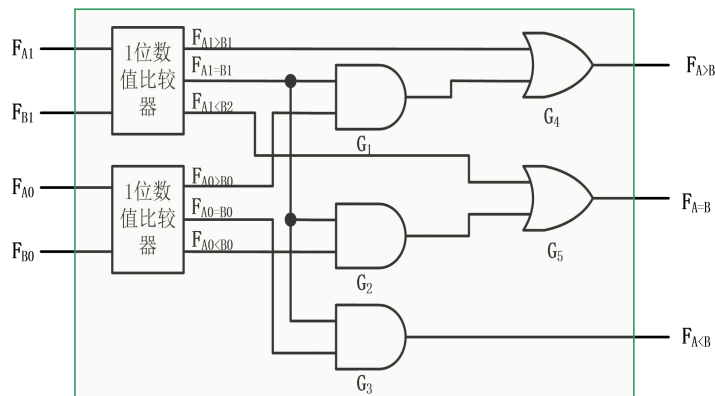
$$F_{A=B} = (A_1 = B_1)(A_0 = B_0)$$

81

$$F_{A>B} = (A_1 > B_1) + (A_1 = B_1)(A_0 > B_0)$$

$$F_{A=B} = (A_1 = B_1)(A_0 = B_0)$$

$$F_{A<B} = (A_1 < B_1) + (A_1 = B_1)(A_0 < B_0)$$

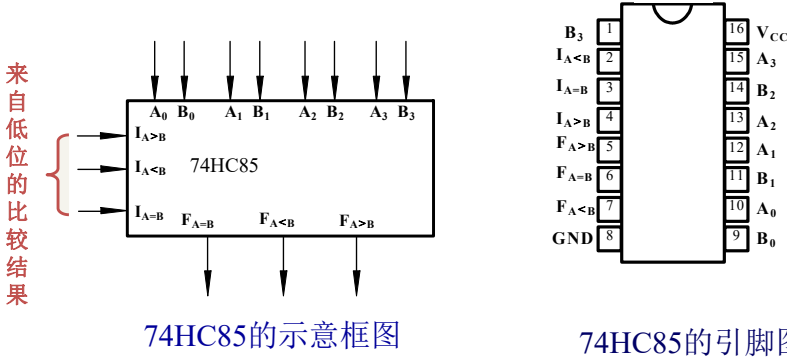


82

3 集成数值比较器

(1) 集成数值比较器74HC85的功能

74LS85是四位数值比较器，其工作原理和两位数值比较器相同。



83

4位数值比较器74HC85的功能表

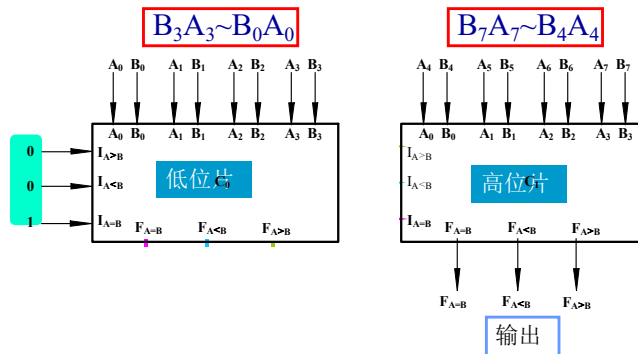
输 入							输 出		
$A_3 \ B_3$	$A_2 \ B_2$	$A_1 \ B_1$	$A_0 \ B_0$	$I_{A>B}$	$I_{A<B}$	$I_{A=B}$	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$
$A_3 > B_3$	\times	\times	\times	\times	\times	\times	H	L	L
$A_3 < B_3$	\times	\times	\times	\times	\times	\times	L	H	L
$A_3 = B_3$	$A_2 > B_2$	\times	\times	\times	\times	\times	H	L	L
$A_3 = B_3$	$A_2 < B_2$	\times	\times	\times	\times	\times	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	\times	\times	\times	\times	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	\times	\times	\times	\times	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	\times	\times	\times	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	\times	\times	\times	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	L	L	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	H	L	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	\times	\times	H	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	H	L	L	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	L	H	H	L

(2) 集成数值比较器的位数扩展

用两片74LS85组成8位数值比较器（串联扩展方式）。

输入: $A=A_7A_6A_5A_4A_3A_2A_1A_0$ $B=B_7B_6B_5B_4B_3B_2B_1B_0$

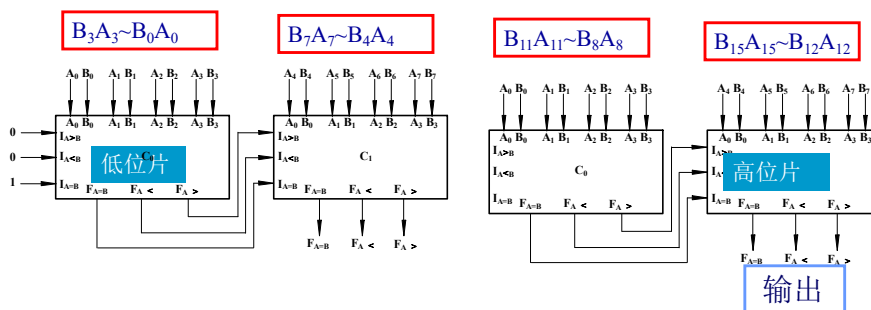
输出: $F_{A>B}$ $F_{A<B}$ $F_{A=B}$



85

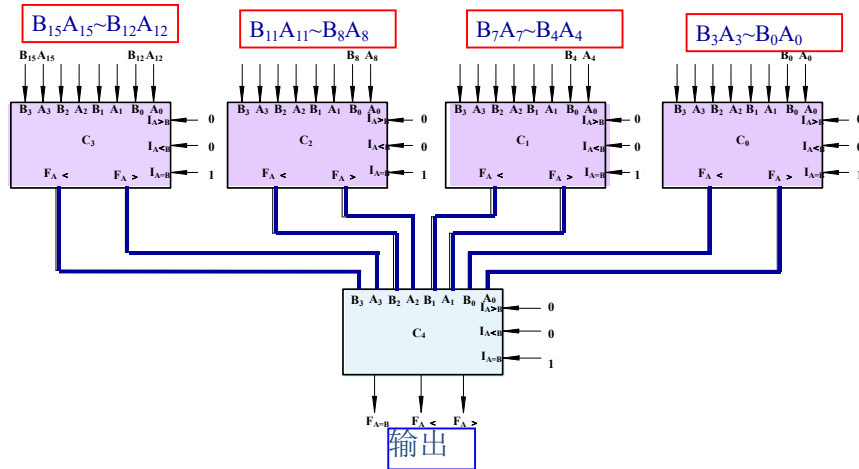
采用串联扩展方式数值比较器

用两片74LS85组成16位数值比较器（串联扩展方式）。



86

用74HC85组成16位数值比较器的并联扩展方式。



87

4.4.5 算术运算电路

1、半加器和全加器

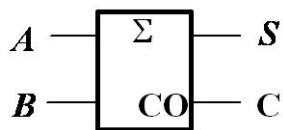
两个4 位二进制数相加：

@在两个1位二进制数相加时，不考虑低位来的进位的相加
---半加

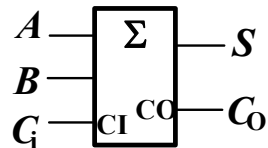
@在两个二进制数相加时，考虑低位进位的相加
---全加

加法器分为半加器和全加器两种。

半加器



全加器

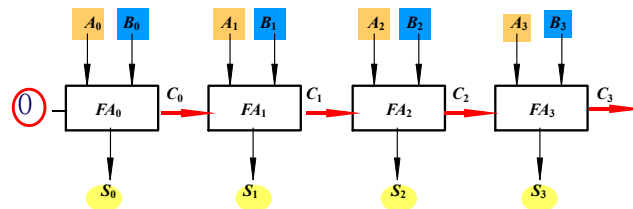


2、多位数加法器

- 如何用1位全加器实现两个四位二进制数相加？

$$A_3 A_2 A_1 A_0 + B_3 B_2 B_1 B_0 = ?$$

(1) 串行进位加法器



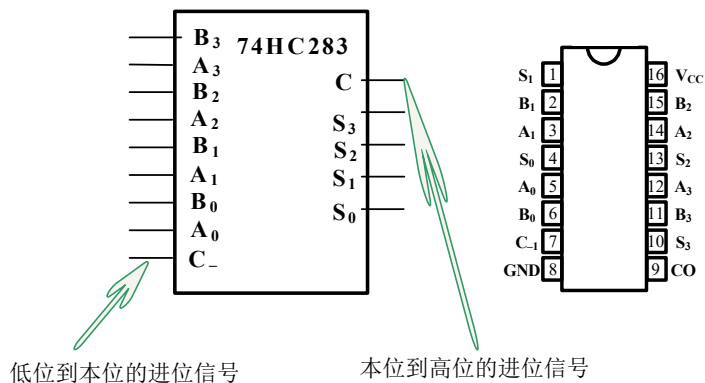
- 低位的进位信号送给邻近高位作为输入信号，采用串行进位加法器运算速度不高。

89

超前进位集成4位加法器74LS283

74HC283逻辑框图

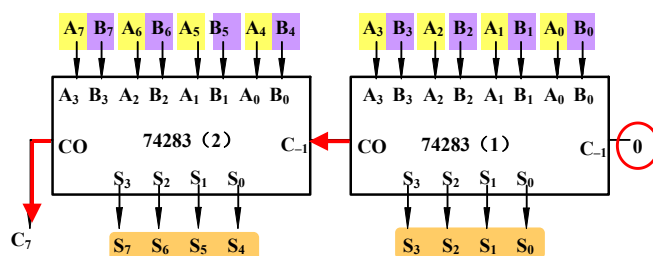
74HC283引脚图



90

4. 超前进位加法器74LS283的应用

例1. 用两片74LS283构成一个8位二进制数加法器。



在片内是超前进位，而片与片之间是串行进位。

91

第四章作业（3）

- 第一部分课后参考习题：
 - P218
 - 4.4.(22、27、35)
 - 第二部分作业习题集：
- 所有剩余部分

92

第四章作业（总）

- 第一部分课后参考习题：
- P218
- 4.1（2、4、5、6）
- 4.2（1、2、6、7）
- 4.4.（1）
- 4.4.(5、8、9、14)
- 4.4.(22、27、35)
- 第二部分习题集

93

4.2.2 组合逻辑电路的优化实现（自学）

94