

第五章 单元库设计技术

王晓华

wxhsnow@163.com

引言

- ◆ 单元库设计技术是当今VLSI设计的主要技术之一
- ◆ 单元库是经过精心设计和优化的电路单元模块所组成的“专家系统”
- ◆ 模块具有独立的功能，优化的电路结构，理想的动态特性，经过优化和验证的版图

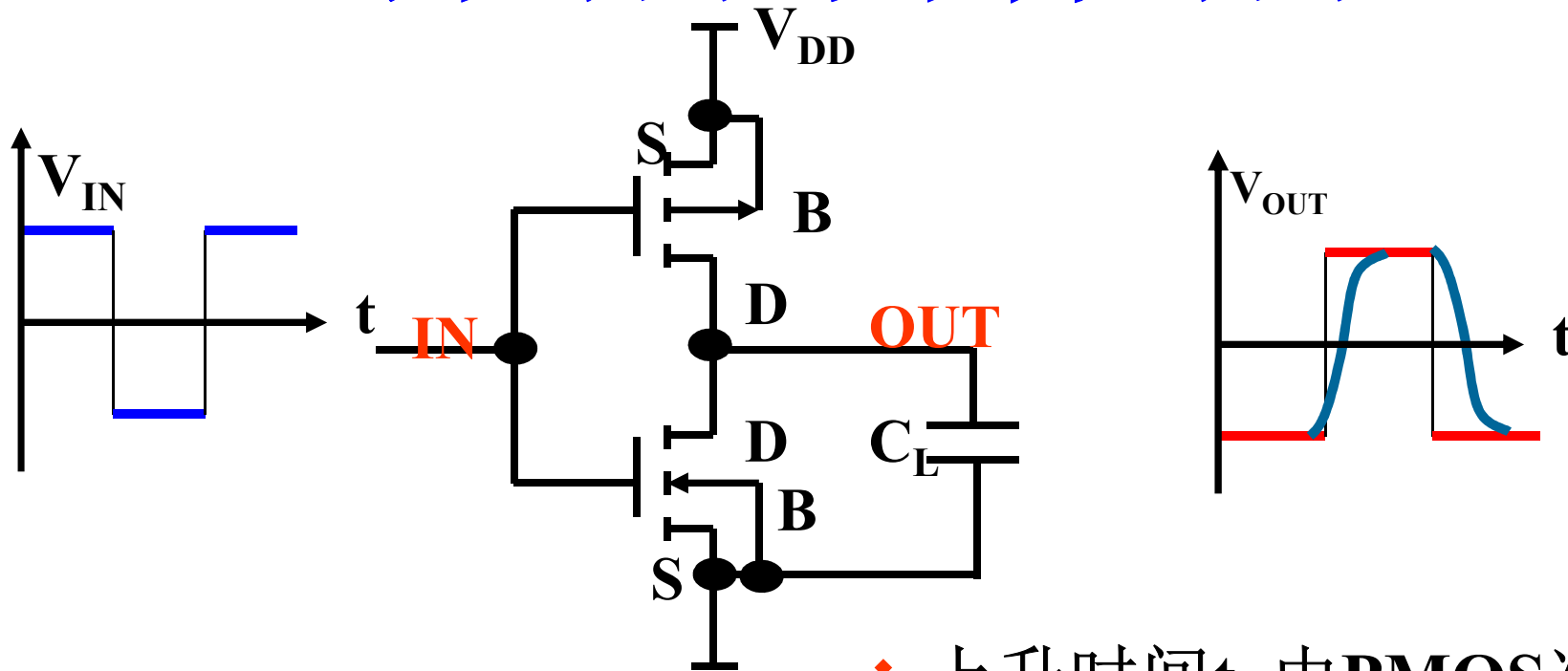
目录

- ◆ 5.1 单元库概念
- ◆ 5.2 标准单元设计技术
- ◆ 5.3 积木块设计技术
- ◆ 5.4 单元库技术的拓展

5.1 单元库概念

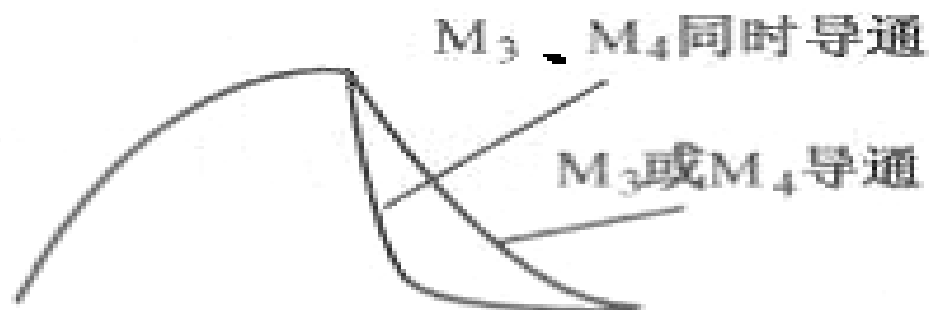
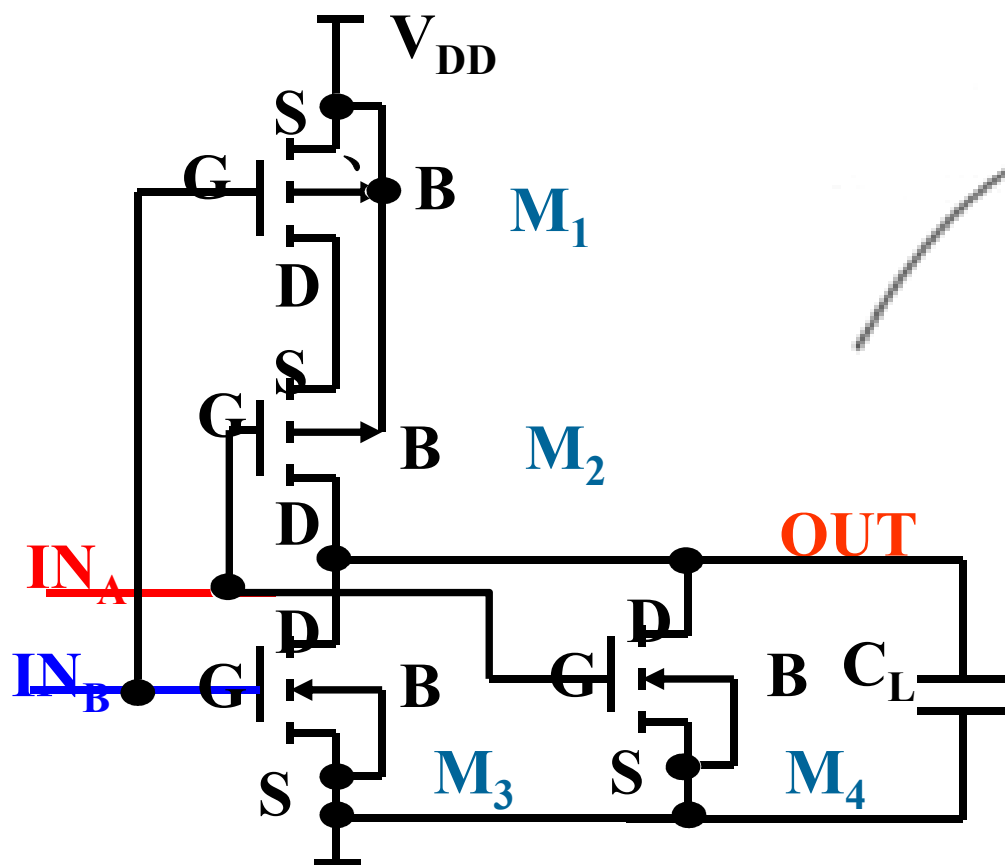
- ❑ 晶体管规则阵列技术：增强型NMOS、耗尽型NMOS、增强型PMOS
- ❑ 单元库技术：直接面对逻辑部件
具有一定的逻辑操作和运算功能
可能是逻辑门，功能块或子系统
==》在设计中得到性能优越的模块
- ❑ 全局优化：由设计系统对逻辑单元进行布局 and 布线优化迭代完成，生成符合某些目标函数要求的设计结果
- ❑ 局部优化：通过对基本逻辑单元精心设计完成

上升时间与下降时间



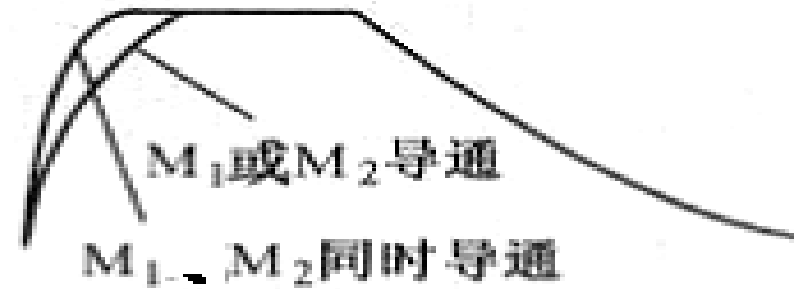
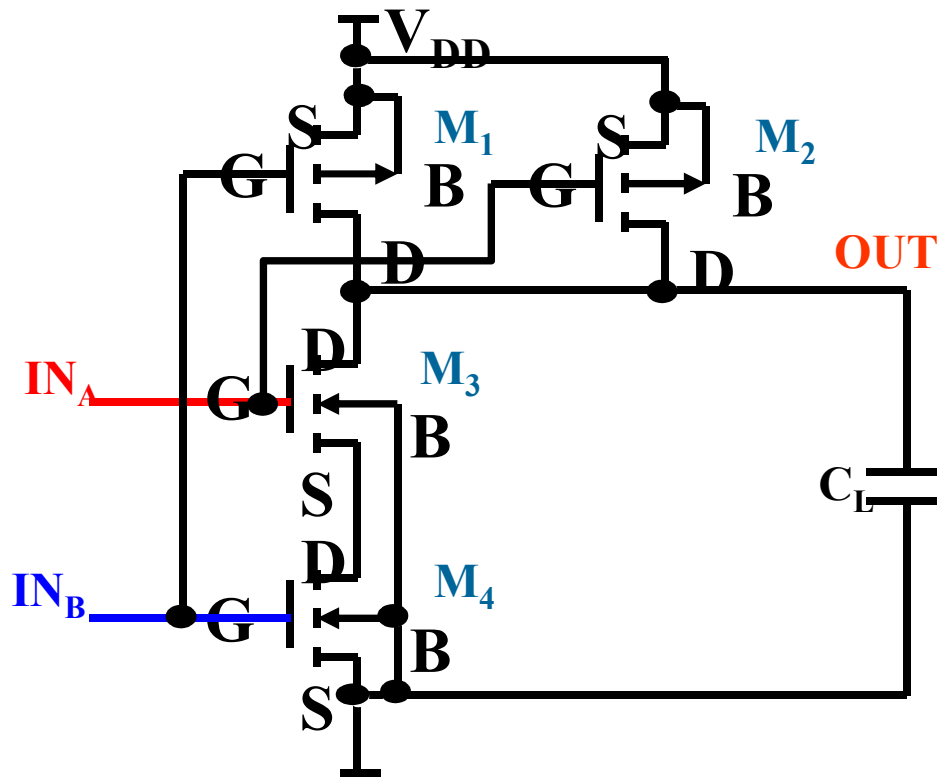
- ❖ 上升时间 t_r 由**PMOS**决定
- ❖ 下降时间 t_f 由**NMOS**决定

或非门上升、下降时间



□ 波形不对称

与非门上升、下降时间



□ 波形不对称

对比

□ 门阵列的优势：

整体结构优化、设计自动化程度高和设计周期短

局部结构很难做到优化

《==采用尺寸相同的基本单元

□ 单元库设计：

对每个逻辑部件都进行专门的设计，验证

wxhsnow@163.com

返回

5.2 标准单元设计技术

- 5.2.1 标准单元描述
- 5.2.2 标准单元库设计
- 5.2.3 输入输出单元 (I/O PAD)

标准单元描述

□ 标准单元设计技术:

经过精心设计的逻辑单元版图，按芯片的功能要求排列成集成电路的设计技术

□ 特征:

- ❖ 各单元具有相同的高度，可以有不同的宽度
- ❖ 单元的电源地线通常安排在单元的上下端，从单元的两侧同时出线，电源、地线在两侧的位置要相同，线宽一致（便于对接）
- ❖ 单元的输入/输出端安排在单元的上下两边，要求至少有一个输入端或输出端可以在单元的上边和下边两个方向引出（使线网能够穿越单元）

标准单元版图总体结构示意图

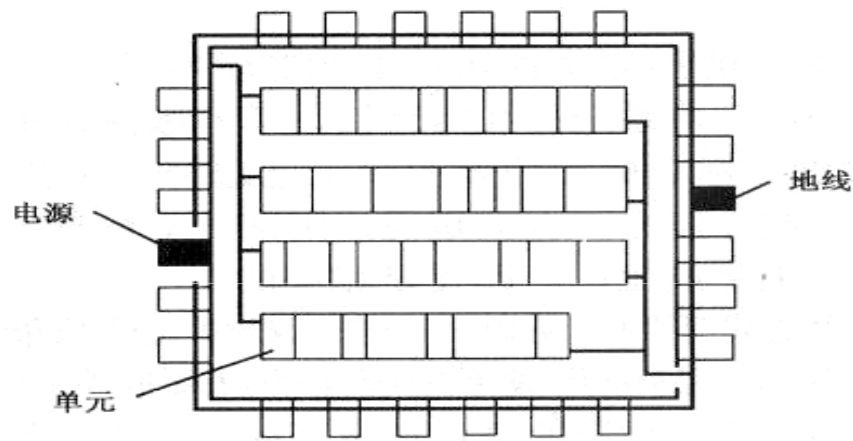
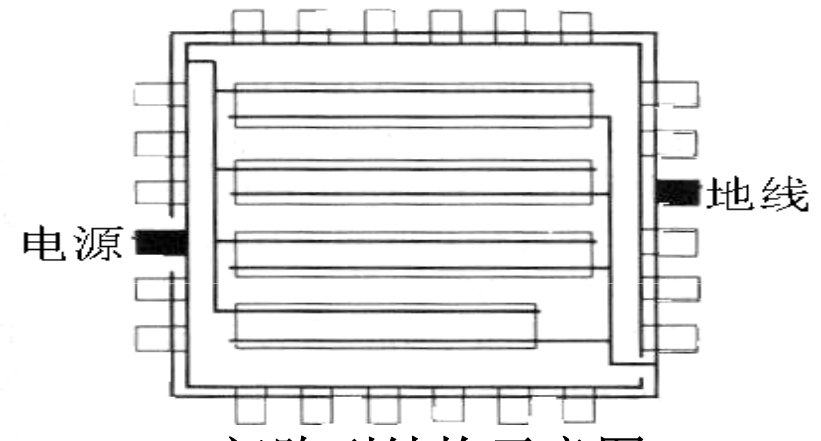


图 5-3 标准单元实现的集成电路版图总体结构示意图



门阵列结构示意图

- 行式结构
- 无多余器件
- 全套制造掩模版

标准单元

□ 单元设计规格化、标准化

==》标准单元

❖ 经过人工优化设计，设计规则及性能模拟的验证，（通常还有对实验芯片的实际测试）

面积与性能有很大程度的改善

5.2.2 标准单元库设计

- ❑ 标准单元库是标准单元设计技术的基础
- ✓ 通常含有**50**个以上的标准单元
- ✓ 其性能、质量对整个标准单元阵列性能影响很大
- ❑ 标准单元在单元库
 - ✓ 单元逻辑符号
 - ✓ 单元拓扑
 - ✓ 单元版图

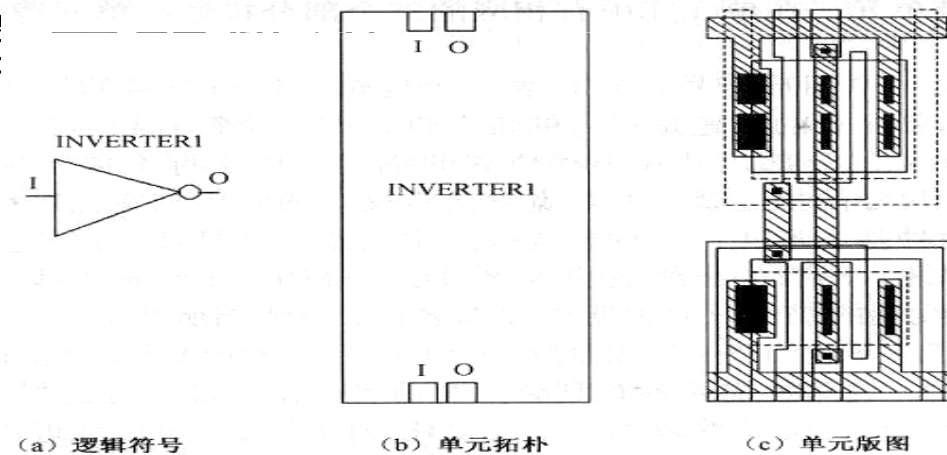
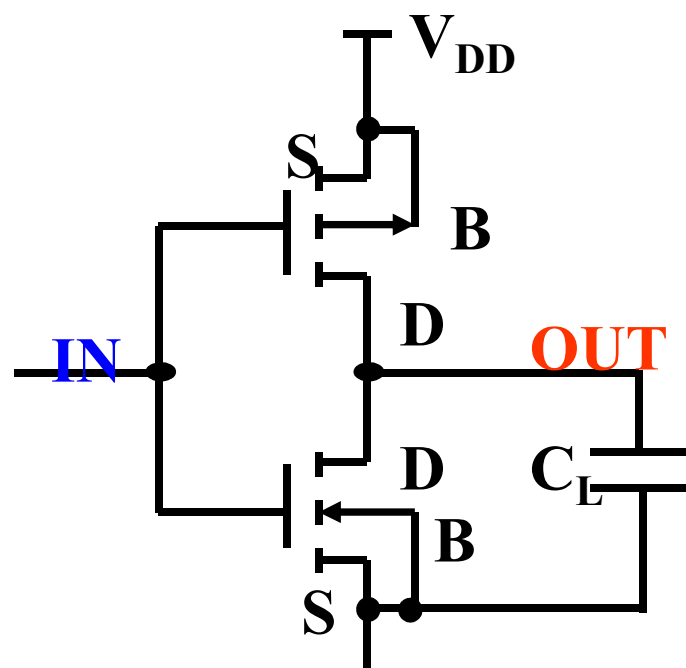


图 5-2 标准单元示意图

标准单元示意图



- 两个PMOS并联
- 两个NMOS并联
- 相当于管 W/L 变大

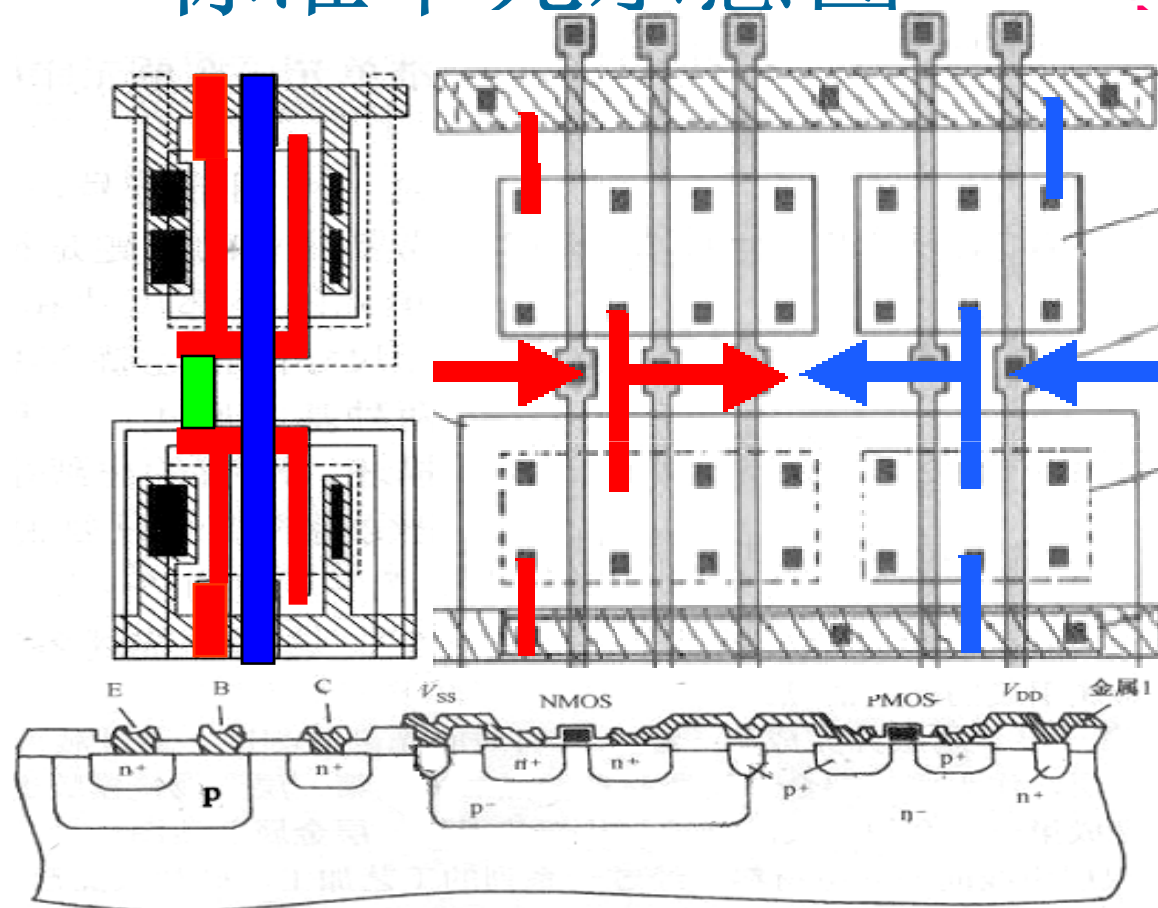
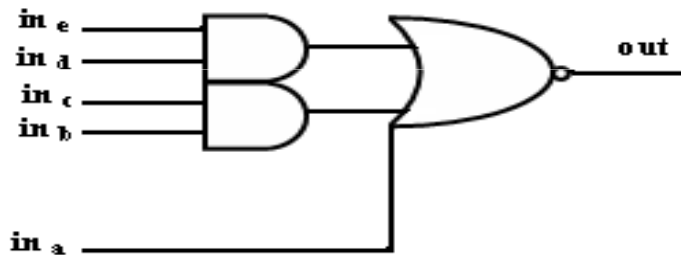


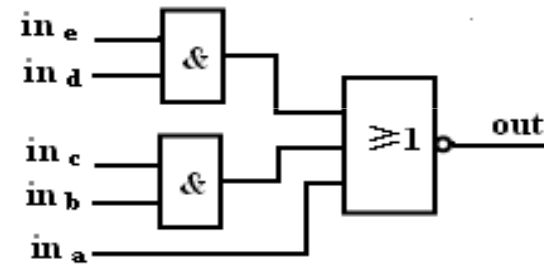
图 2-30 p 阱 CMOS-Npn 结构剖面图

单元逻辑符号

- ❑ 图形符号，代表一个逻辑
- ✓ 符号的描述应符合国际标准或国家标准
- ✓ 符合具有唯一性



MIL-STD-806B 符号表示



GB4728.12-85 符号表示

- 目前很多企业都在用**GB/T2828:2003**版抽检标准，但也有是按客户要求要求进行**MIL**标准

wxhsnow@163.com

单元拓扑

- ❑ 对单元的外部尺寸和出线位置的描述
 - ✓ 标准单元规定单元高度一致，用高宽比描述宽度
 - ✓ 对具体版图的主要特征的抽象描述，去掉版图内部的具体细节，保持单元的主要特征
- ❑ 对出线端的描述：
 - ✓ 给出具体几何位置和出线宽度：
特点：对CAD布线不利，版图设计随意性大可就近出线
 - ✓ 规范化描述：线宽相同，位置在量化的点上
“A,+5”表示：上边（+）第五量化出线点
- 特点： CAD布线简单,版图设计时器件布置和内部布线受约束

单元版图

□ 一般人工设计

- ✓ 标准单元的电源线、地线同时从单元两侧出线，且位置、线宽一致
- ✓ 单元内部线宽一定要大于或等于两侧的出线端
- ✓ 上下出线通常采用多晶硅或其他低阻材料（寄生电容）
- ✓ CMOS结构的阱不必是规则的矩形（节省面积、方便）
- ✓ CMOS结构一般采用隔离环结构
- ✓ 单元版图以规定格式的语言描述：

CIF EDIF: 文本格式; GDS-II : 二进制格式

wxhsnow@163.com

单元库

- 单元逻辑符号：用于逻辑电路的原理图编辑
 - 单元拓扑：实现版图布局 and 逻辑系统的线网连接
 - 单元版图：元件的具体描述
- 一套标准单元库只能对应一条工艺生产线

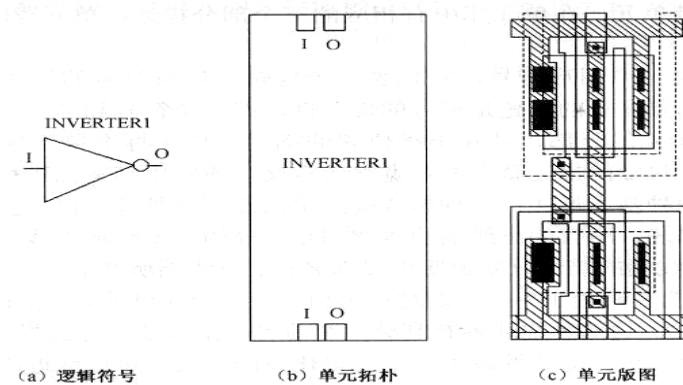


图 5-2 标准单元示意图

wxhsnow@163.com

标准单元实现电路版图的过程

- ❑ 对输入逻辑进行标准单元结构的布局
(采用标准单元库中单元拓扑图)
- ❑ 根据输入逻辑的网络进行布线得到连接的关系图
- ❑ 将单元版图填入单元拓扑，并将线网连接关系换为具体的布线，即线网的几何图形

标准单元库的建立与完善

- ❑ 长期、繁杂的过程
- ❑ 强调基本电路单元的优化，尚未达到功能块的量级
- ❑ 高宽比限制

标准单元设计技术的特点

- 具有规则外部形状，内容为优化设计的逻辑单元版图，各单元规模相近并遵循一致的引线规则
- 所有单元遵循同一的工艺设计规则，一个单元库对应一条或一组完全相同的工艺线
- 局部逻辑、完成的集成电路或系统用标准单元实现的版图均采用“行式结构”，即各标准单元排列成行

wxhsnow@163.com

5.2.3 输入、输出单元（I/O PAD）

- 任何设计技术、版图结构都需要输入输出单元
- 现代设计理论提出将IC的内部结构与外部信号接口分开设计
- I/O单元成为具有一定功能的功能块
 - 功能：对外驱动、内外隔离、输入保护以及其他接口功能
- I/O PAD单元可分为：输入单元、输出单元、输入/输出双向单元

5.2.3 目录

- 1. 输入单元
- 2. 输出单元
- 3. 输入/输出双向单元



1. 输入单元

- 主要承担对内部电路的保护
(外部信号的驱动能力足够大,
输入单元不必具备再驱动功能)
- 输入保护电路:
 - 单二极管、电阻结构
 - 双二极管、电阻结构

单二极管、电阻结构

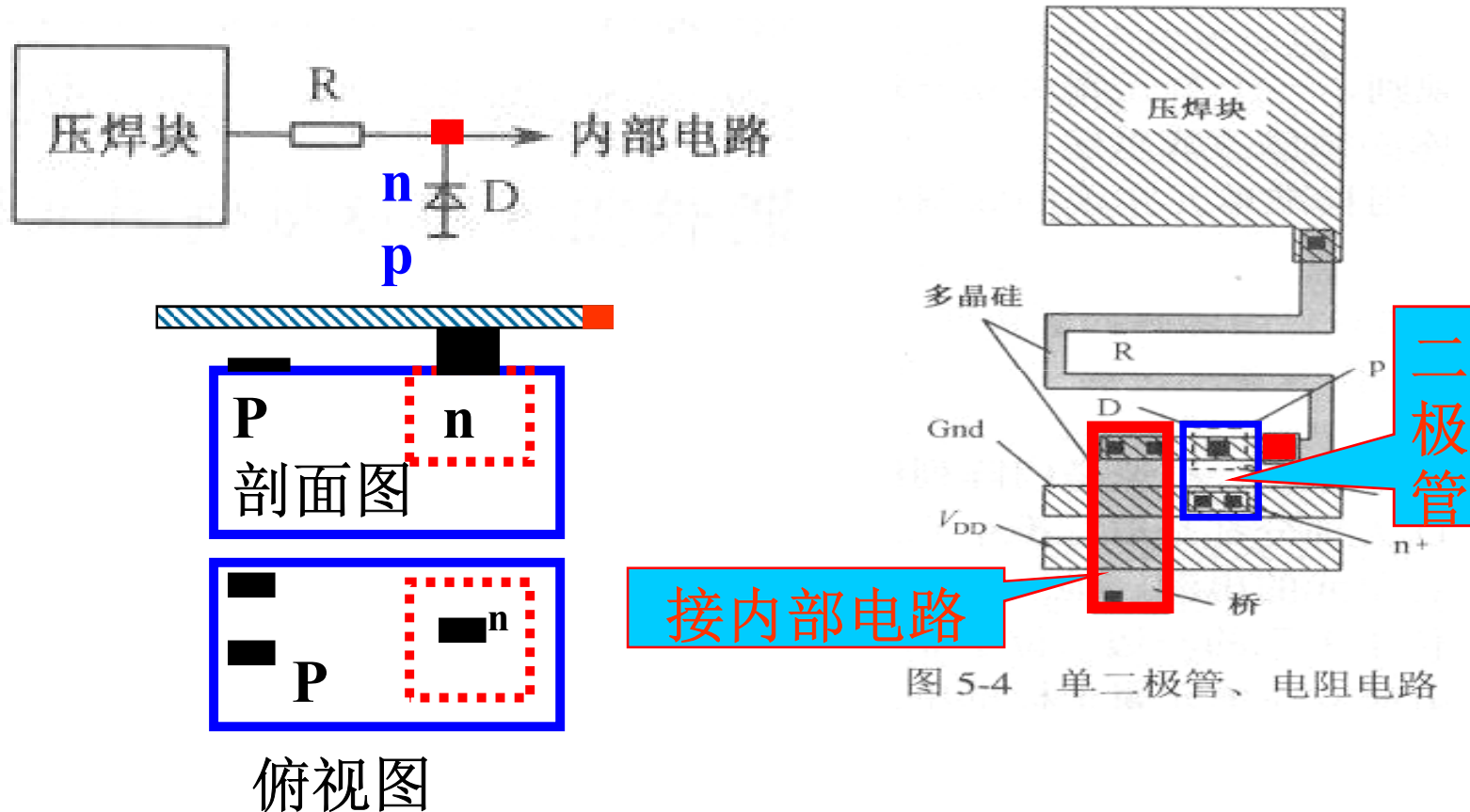
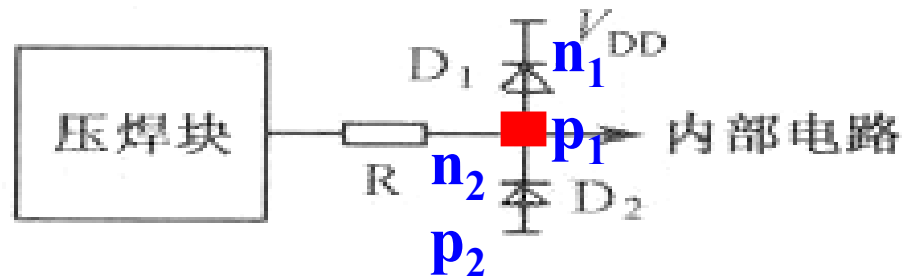


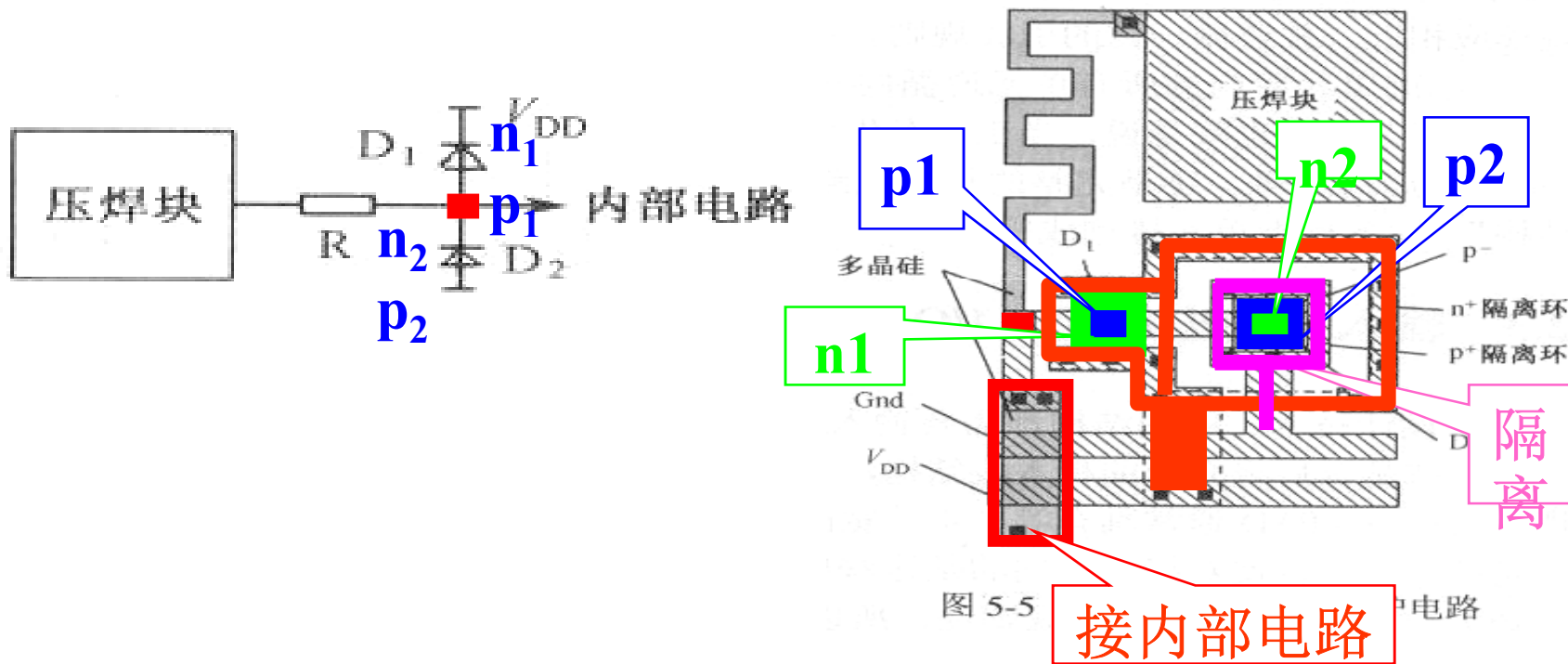
图 5-4 单二极管、电阻电路

双二极管、电阻结构保护电路



- 通过两个二极管对输入信号钳位：
 $-0.7 \sim V_{DD} + 0.7$
- 电路中的电阻可以是扩散电阻、多晶硅电阻或其他合金薄膜电阻
- 其典型值为**500欧**

双二极管、电阻结构保护电路



p^+ 隔离环

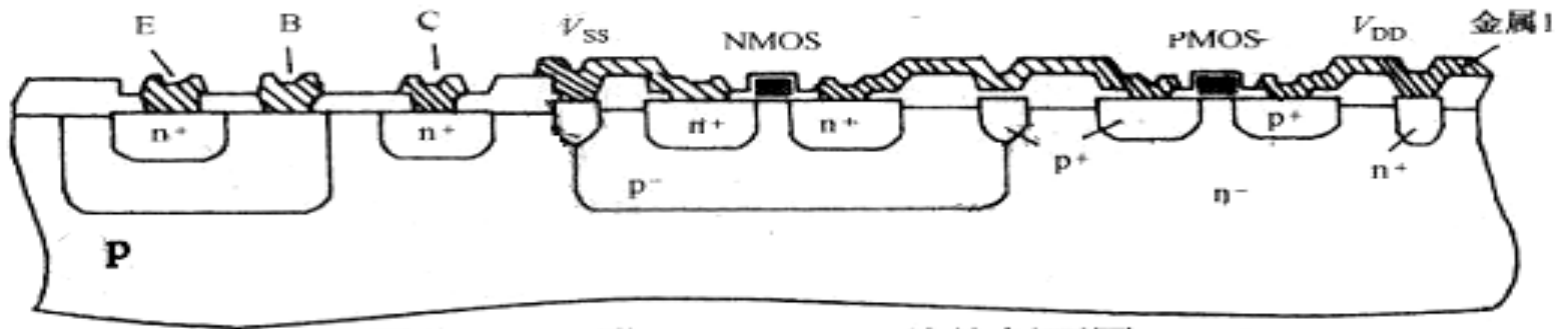
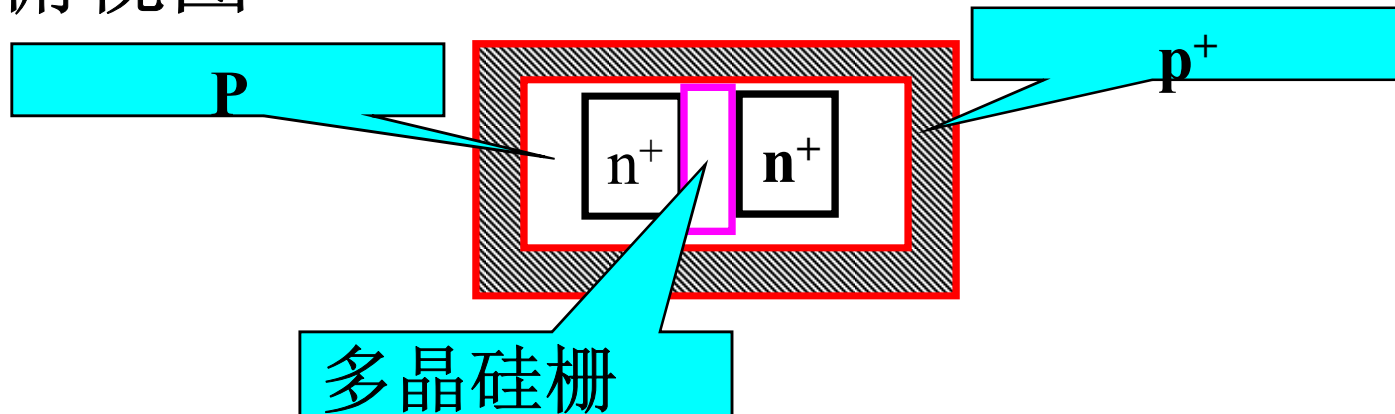


图 2-30 p 阱 CMOS-Npn 结构剖面图

俯视图



wxnsnow@163.com

n^+ 隔离环

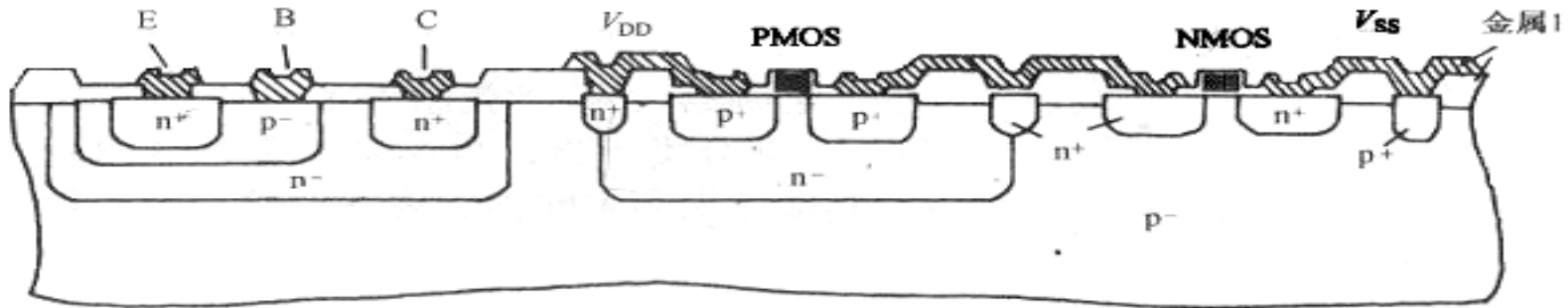
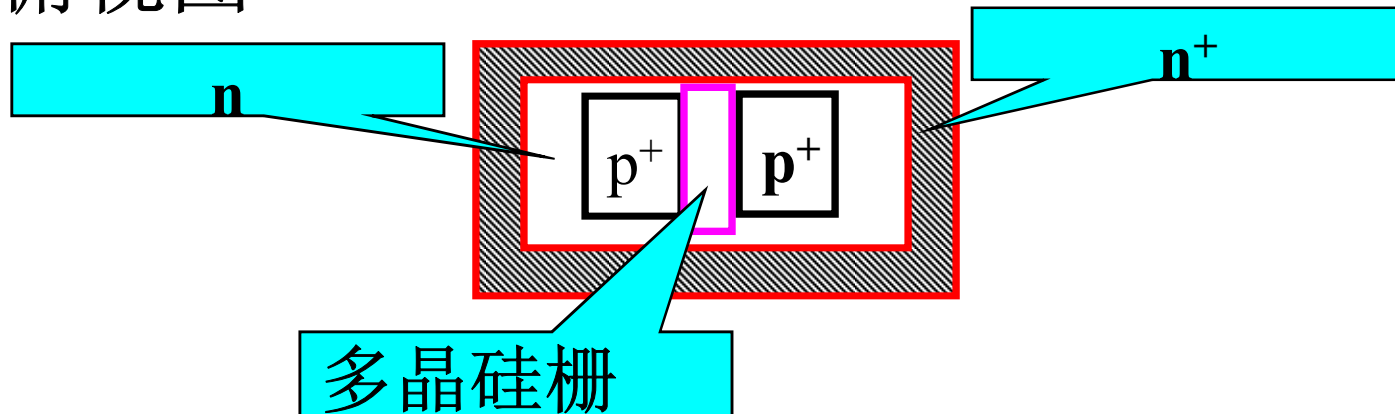


图 2-31 n 阱 CMOS-Npn 结构剖面图

□ 俯视图



多晶硅栅

wxhsnow@163.com

双二极管、电阻结构保护电路

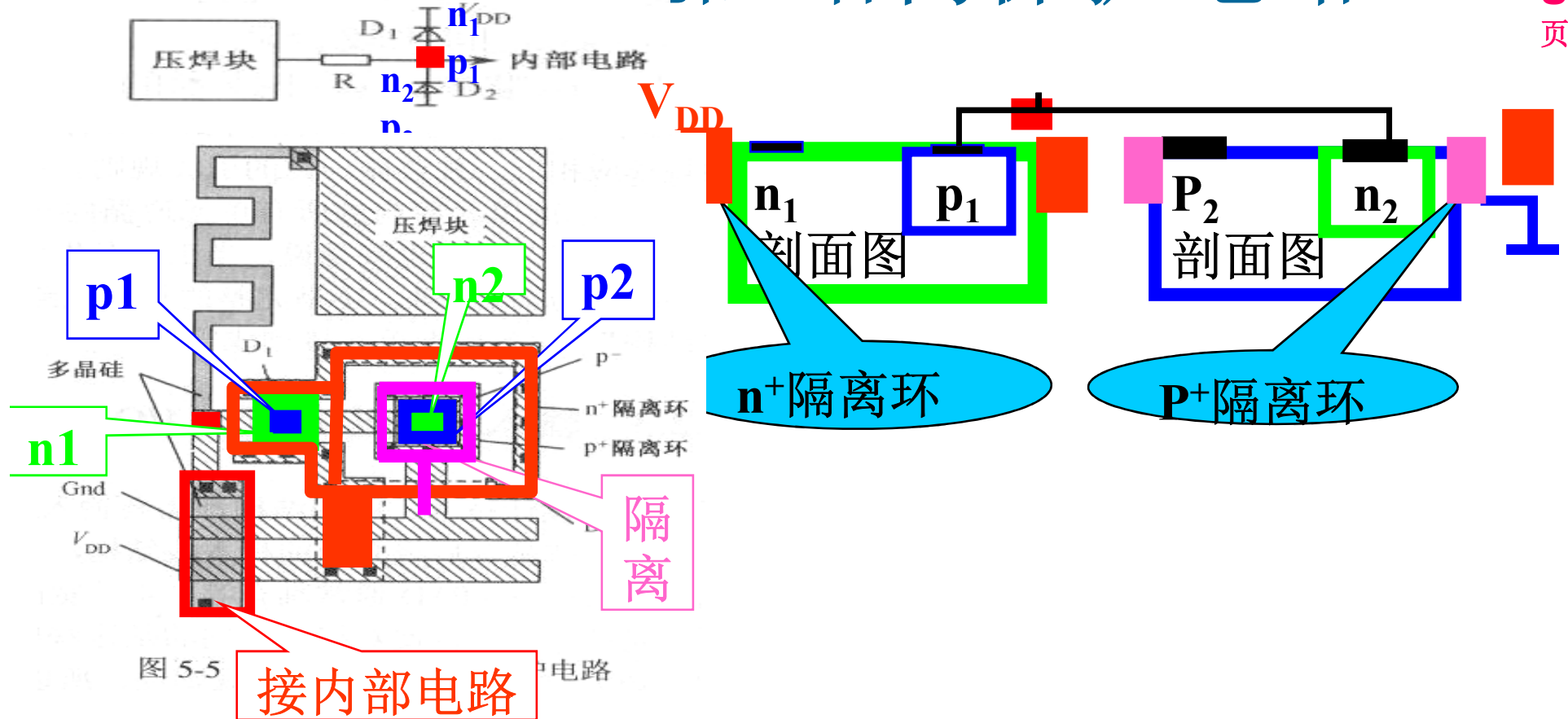


图 5-5

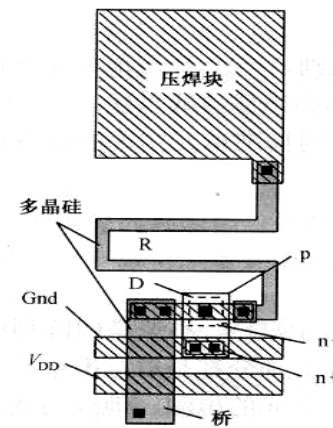
单二极管、双二极管

- ❑ 对比：等高不等宽 线宽一致 电源线、地线位置一致
- ❑ 电路简单，版图复杂：

- 考虑电路所要完成的功能
- 接口电路将面对的复杂外部情况
- 器件物理结构中所保护的寄生效应

== >>

- 保障集成电路内部得到
- 一个稳定、有效的信号
- 阻止外部干扰信号进入内部逻辑



wxhsnow(@) 图 5-4 单二极管、电阻电路

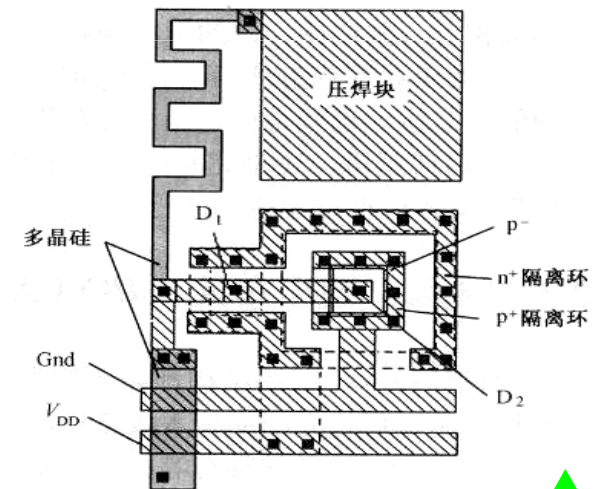


图 5-5 双二极管、电阻保护电路



2. 输出单元

□ 输出单元的任务:

- 提供一定的驱动能力，防止内部逻辑过负荷而损害
- 承担一定的逻辑功能

□ 输出单元的电路形式:

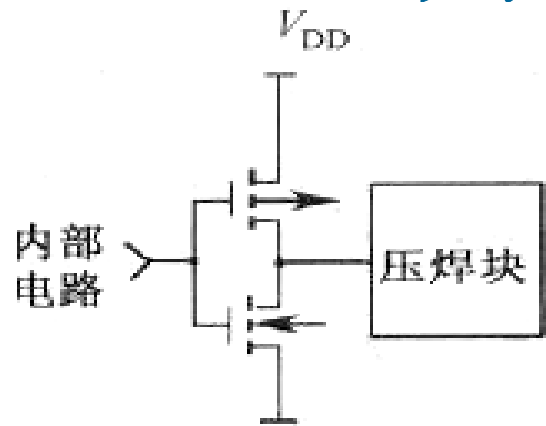
- 倒相输出**I/O PAD**
- 同相相输出**I/O PAD**
- 三态输出**I/O PAD**
- 开漏输出单元
- 掩模编程的输入、输出单元

输出单元——目录

- 倒相输出**I/O PAD**
- 同相相输出**I/O PAD**
- 三态输出**I/O PAD**
- 开漏输出单元
- 掩模编程的输入、输出单元



(1) 倒相输出I/O PAD



- 完成倒相器的功能
- 提供一定的驱动能力

PMOS管的尺寸比NMOS管大，
使倒相器输出波形对称

wxhsnow@163.com

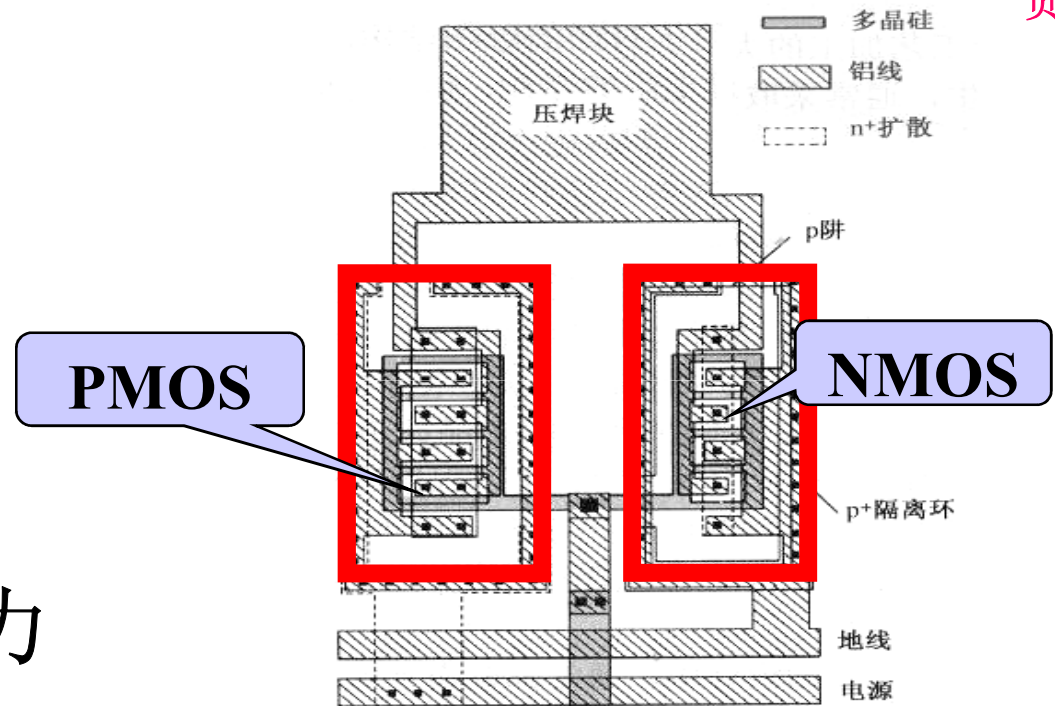


图 5-6 p 阱硅栅 CMOS 倒相输出 I/O PAD

去铝后的倒相器版图

□ 去铝后

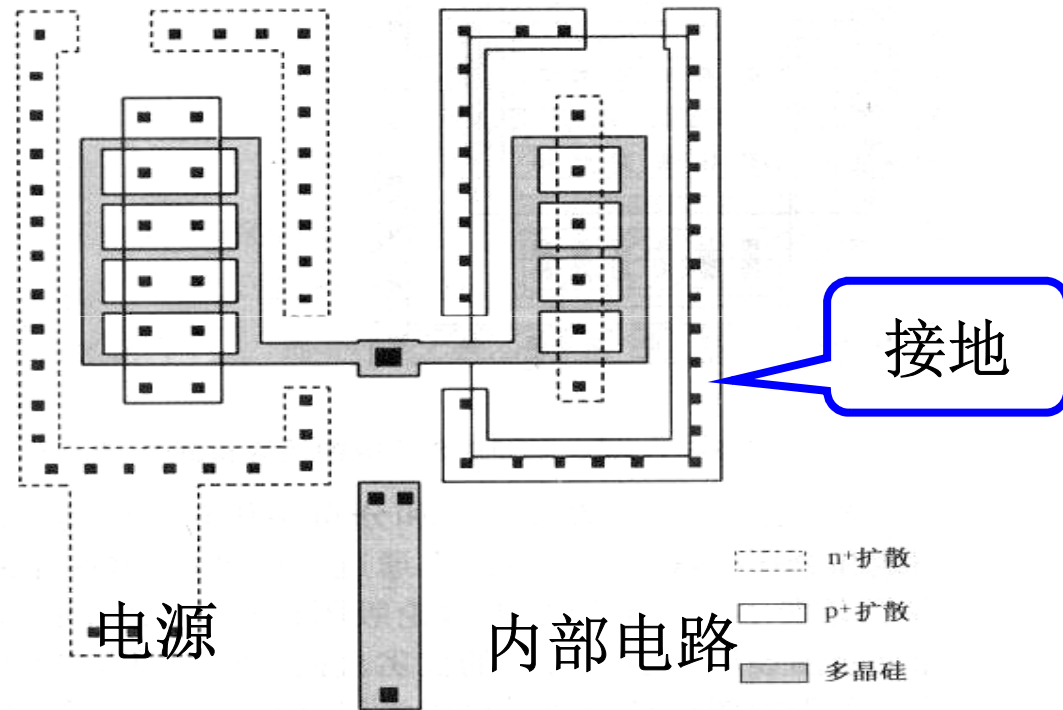


图 5-7 去铝后的倒相器版图

wxhsnow@163.com

P阱硅栅CMOS倒相输出I/O PAD

第 36 页

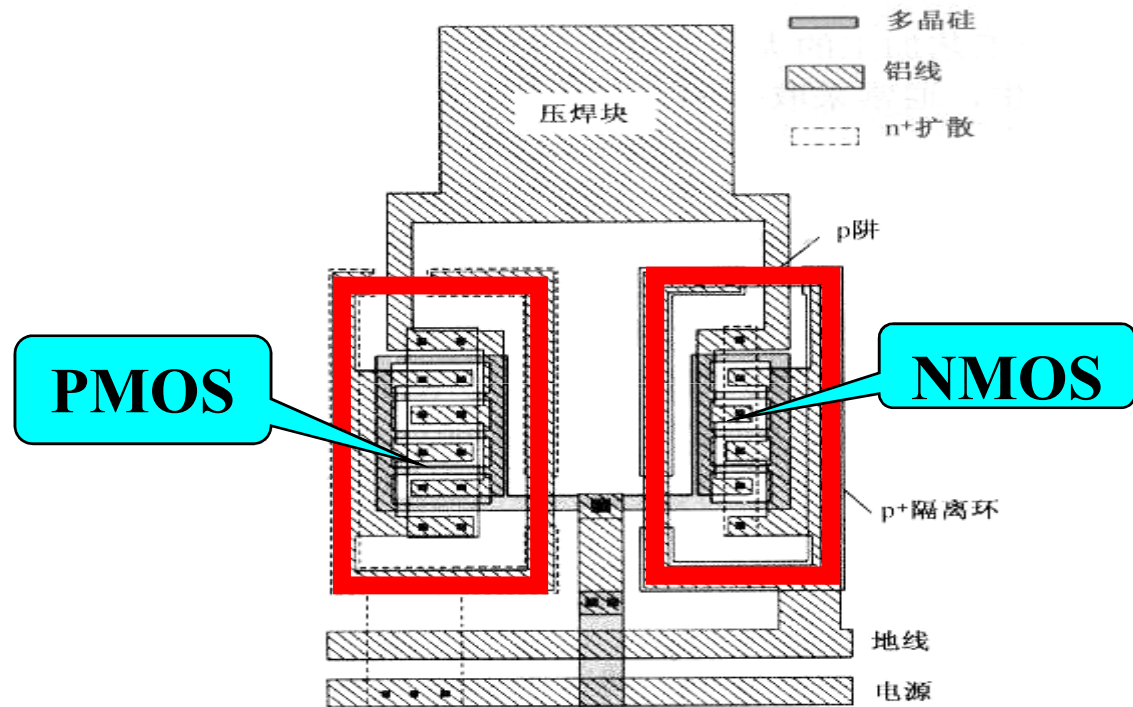
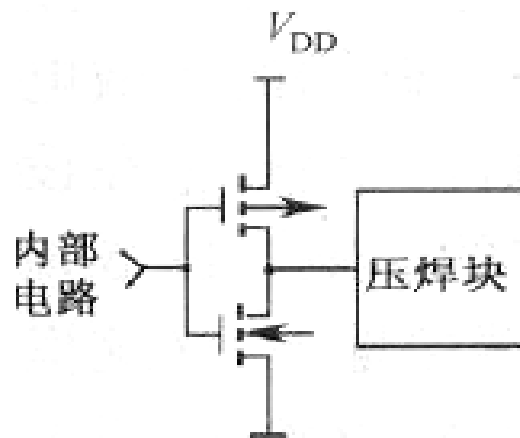
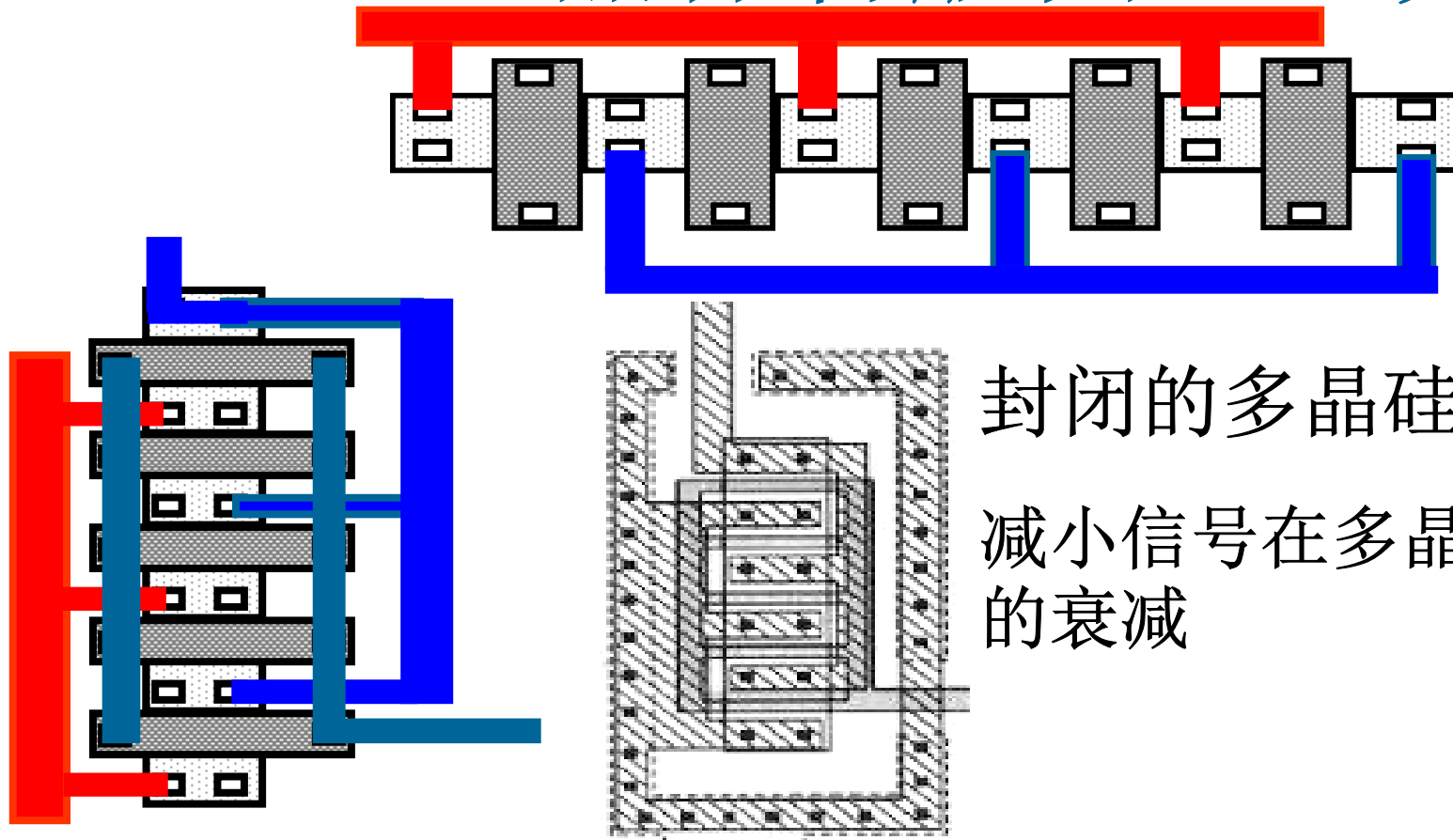


图 5-6 p 阱硅栅 CMOS 倒相输出 I/O PAD

PMOS晶体管版图——并联



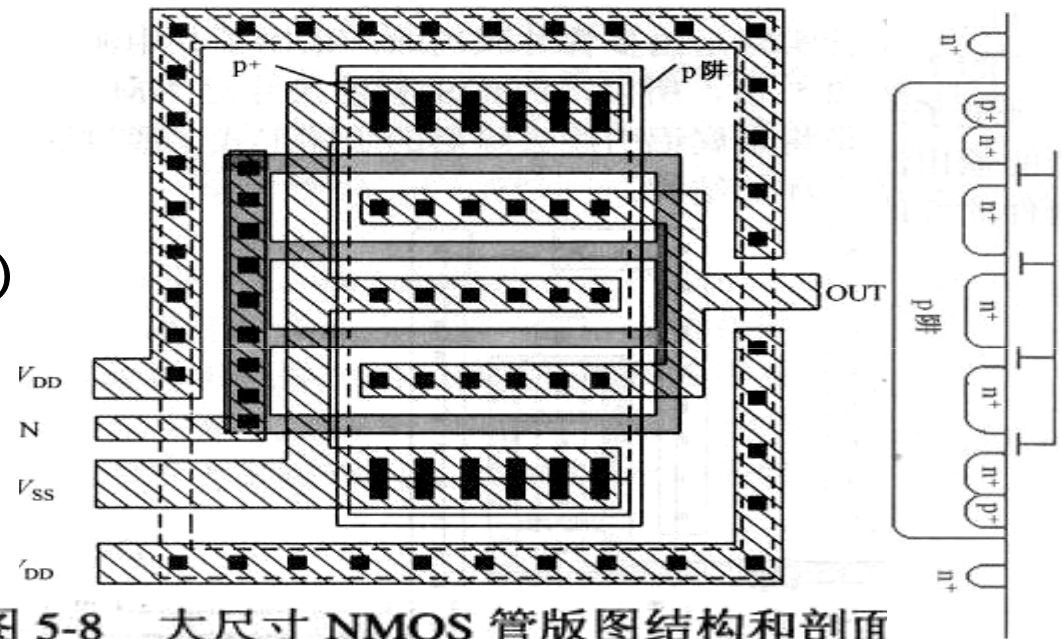
封闭的多晶硅栅：
减小信号在多晶硅上的衰减

多晶硅的设计与影响

- ❑ 多晶硅使信号对栅电容的充放电强度从信号注入端到硅栅的末端产生差异
=》信号产生的漏源电流变化，影响速度
- ❑ 采用封闭的版图结构：
将每个并联MOS管的硅栅端头加以连接，减小硅栅的等效电阻
- 将多晶硅条宽度增加效果更好
- 延伸出的多晶硅条在场区上通过（减小分布电容）
- 多晶硅输入端一边开孔并用金属短线短路（保证每个并联的NMOS管得到的信号是相同的 图5.8）

大尺寸NMOS管版图和剖面

- ❑ 多个接触孔代替一个大面积的接触孔
(防止金属熔穿掺杂区)
- ❑ 此隔离环完整封闭
(n+隔离环未在多晶硅上跨越)



重掺杂隔离环

- ❑ 输入输出单元都设计重掺杂隔离环并接电源（ n^+ 环）或接地（ p^+ 环）
- ❑ 目的：
 - 吸收衬底中pn结的漂移电流，从而抑制可控硅效应的触发

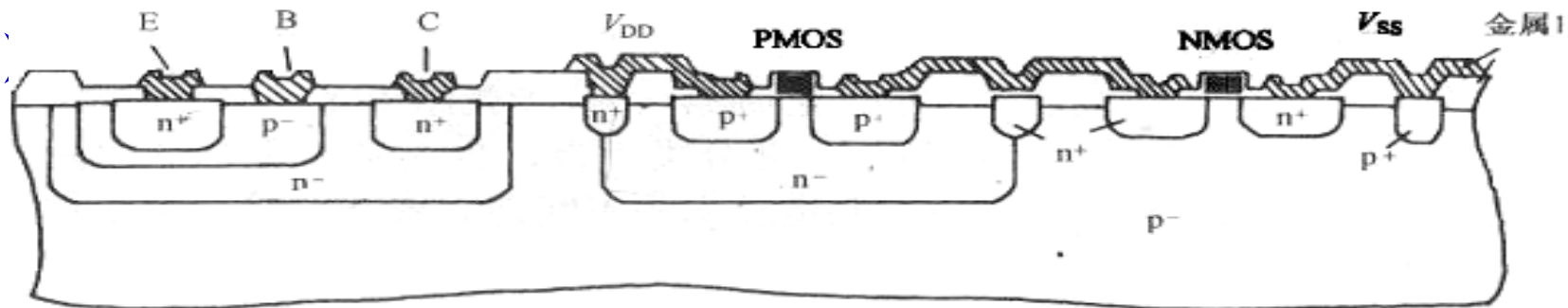
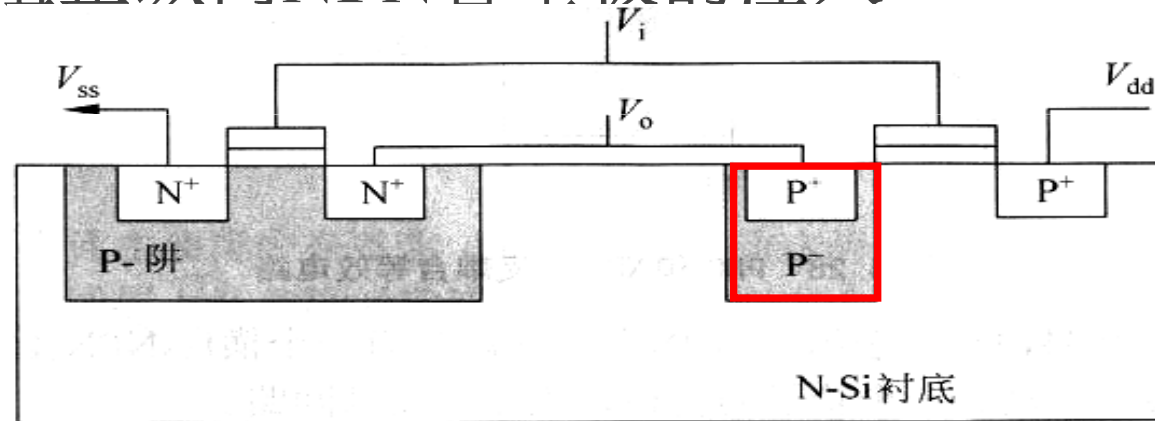


图 2-31 n 阱 CMOS-Npn 结构剖面图

防止可控硅效应——工艺与版图2

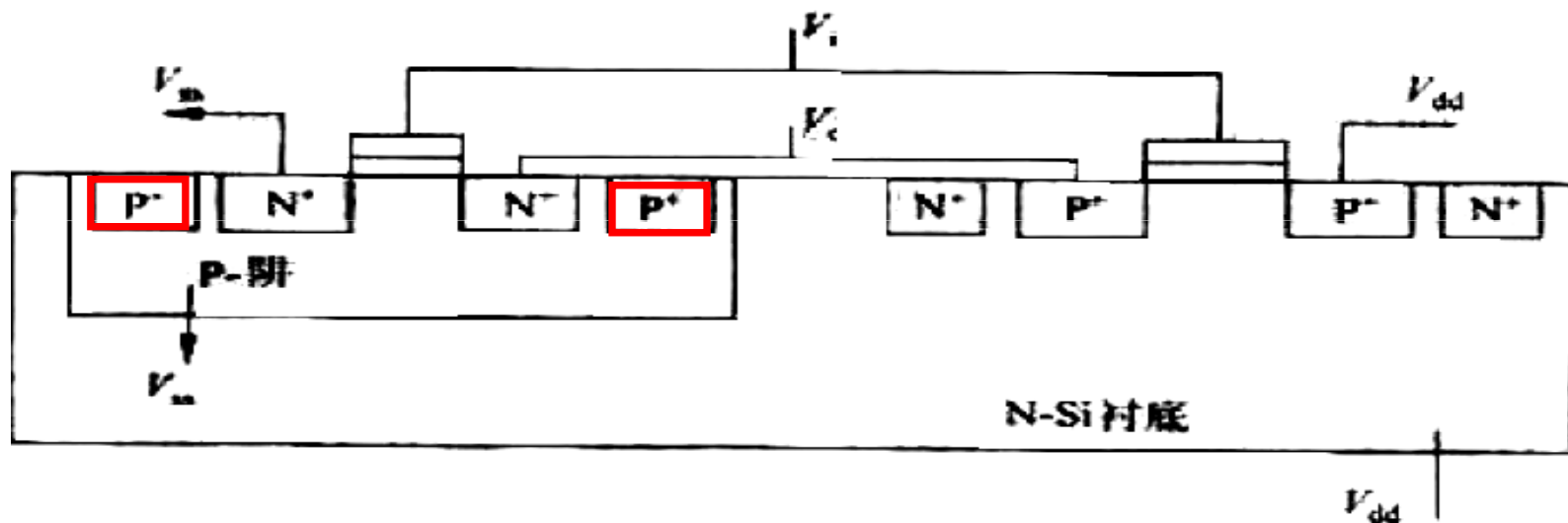
- 采用**伪收集极**：在 P^+ 与 P 阱间加一个接地的 P^- 区，（ P^+ 与 P^- 组成伪收集区），收集横向PNP管发射极注入进的空穴阻止纵向NPN管基极的注入

==》减小 β

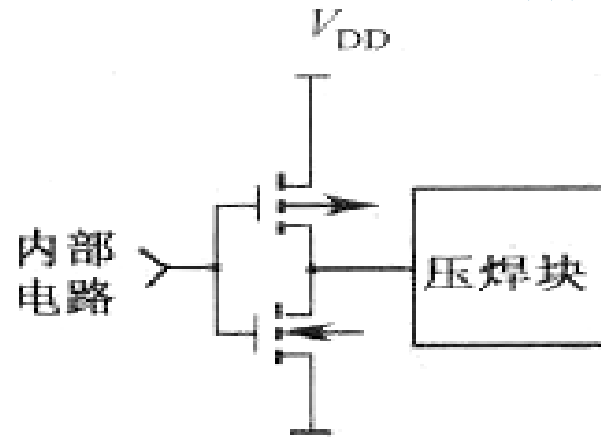


防止可控硅效应——工艺与版图3

- 采用保护环（隔离环）



倒相输出I/O PAD



- 完成倒相器的功能
- 提供一定的驱动能力

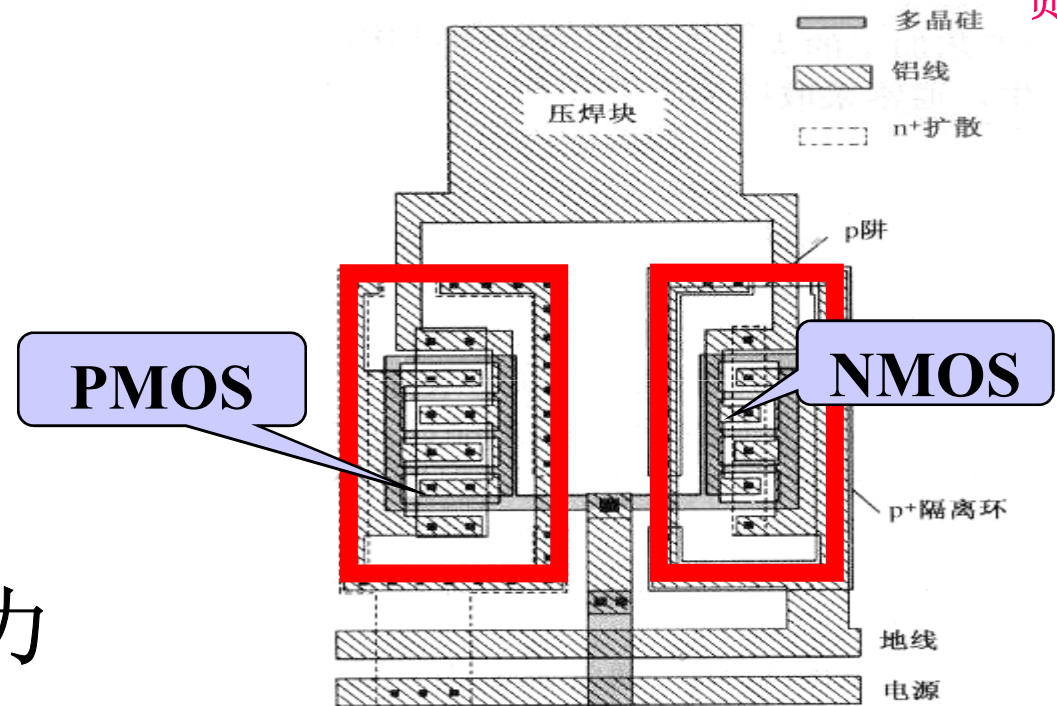
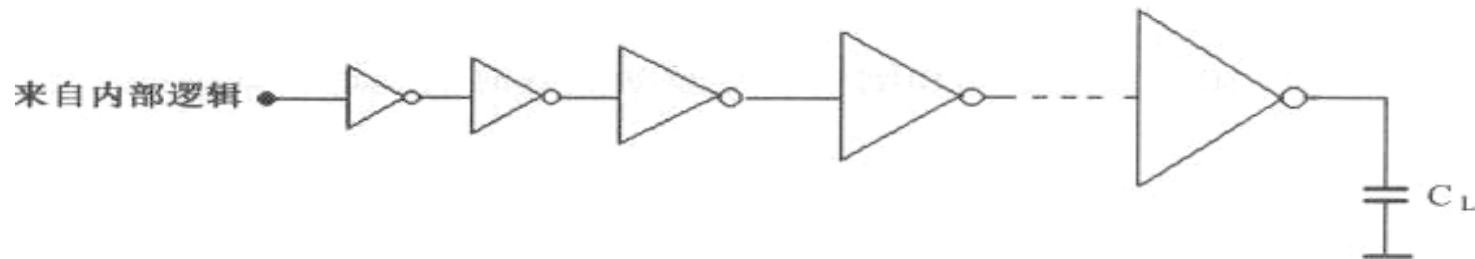


图 5-6 p 阱硅栅 CMOS 倒相输出 I/O PAD

输出单元 驱动能力

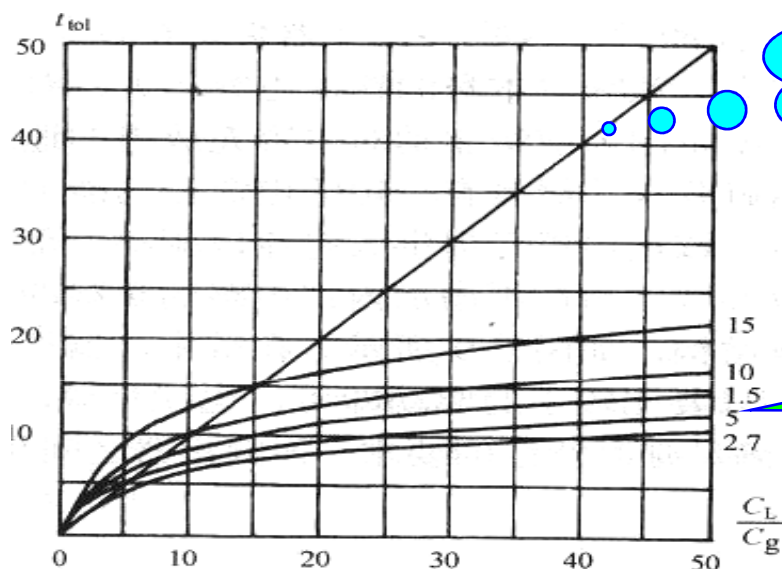
- ❑ 器件尺寸大，输入电容大，需要的驱动电流大
- ❑ 对电容充放电的速度影响电流的响应速度
- ❑ 考虑输出单元的速度性能 ==> 前级驱动
- ❑ 不增加内部电路的负载的条件下获得最大的输出驱动，采用奇数级别倒相器结构



倒相器链驱动结构

- 假设：一个内部倒相器能够在规定的时间 τ 内将与它相同的倒相器驱动到规定的电压值
(设倒相器的输入电容为 C_g)
- 当这个内部倒相器直接驱动负载电容 C_L 时，产生的延迟时间为 $t = Y \cdot \tau$
($C_L / C_g = Y$ ，为器件驱动能力的放大倍数)
- 采用倒相器链驱动结构，若器件尺寸逐级放大 f 倍，每一级需要的时间为 $f \cdot \tau$
- N 级倒相器放大 $Y = f^N$ 倍，总延迟时间为 $t = N \cdot f \cdot \tau$
- $N = \ln Y / \ln f \Rightarrow t = \tau \cdot f \cdot \ln Y / \ln f$

倒相器链驱动结构与直接驱动曲线对比



直接驱动

不同放大倍数 f
的倒相器驱动

当 $f=e=2.71828183$ 时,
总延迟时间最小

□ 与直接驱动曲线对比

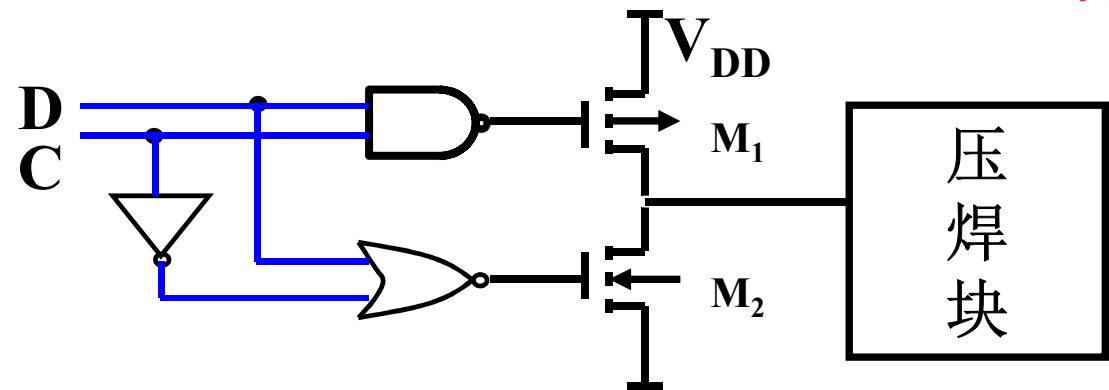
(2) 同相输出I/O PAD

- 同相驱动即“倒相+倒相”
- 与倒相器链类似——偶数级
- 内部电路驱动一个较小尺寸的倒相器，再驱动大的倒相器，提高驱动能力



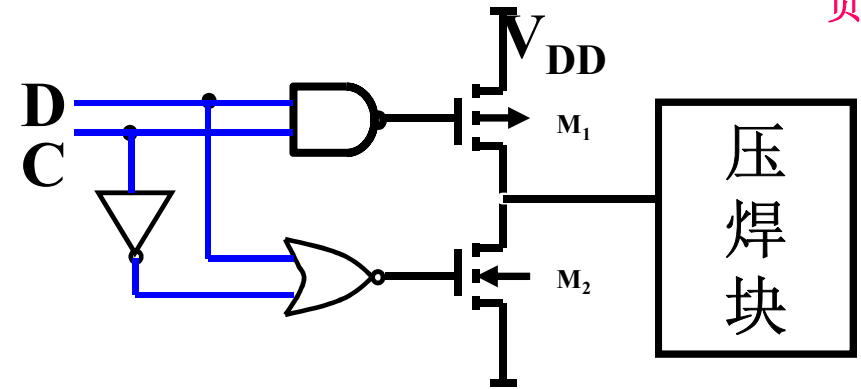
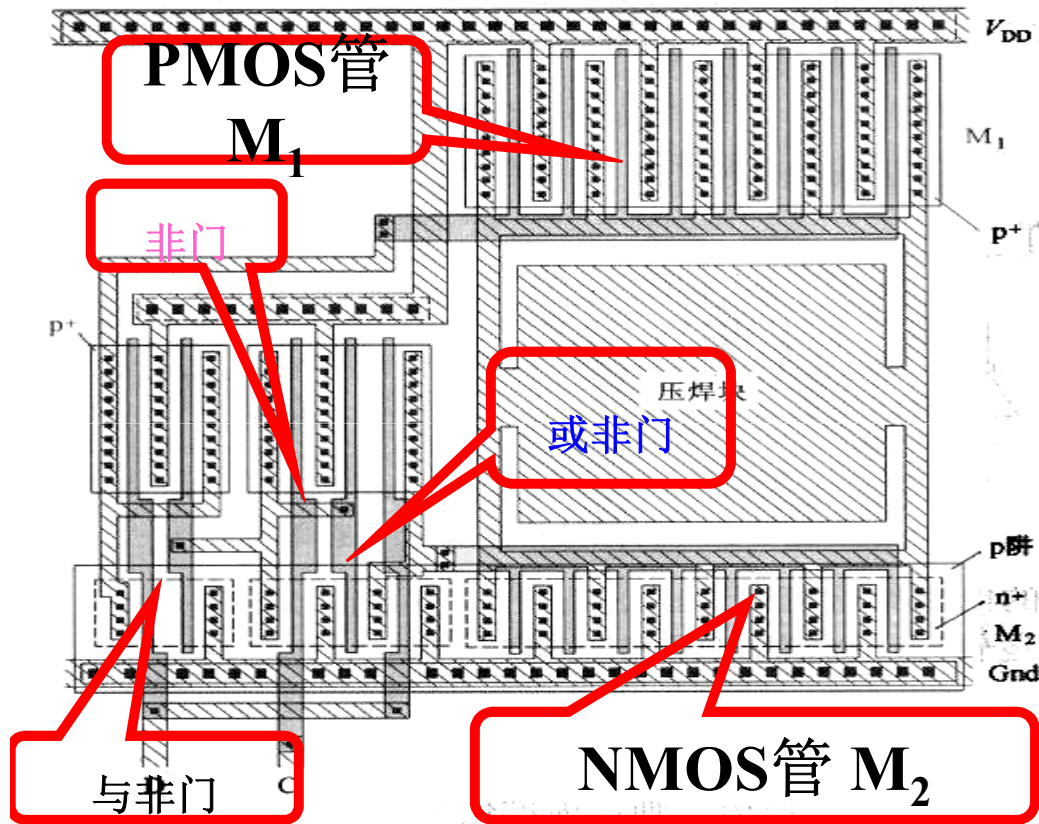
(3) 三态输出I/O PAD

- 三态：0，1，高阻
- 同相输出、倒相输出
- 数据端D，控制端C

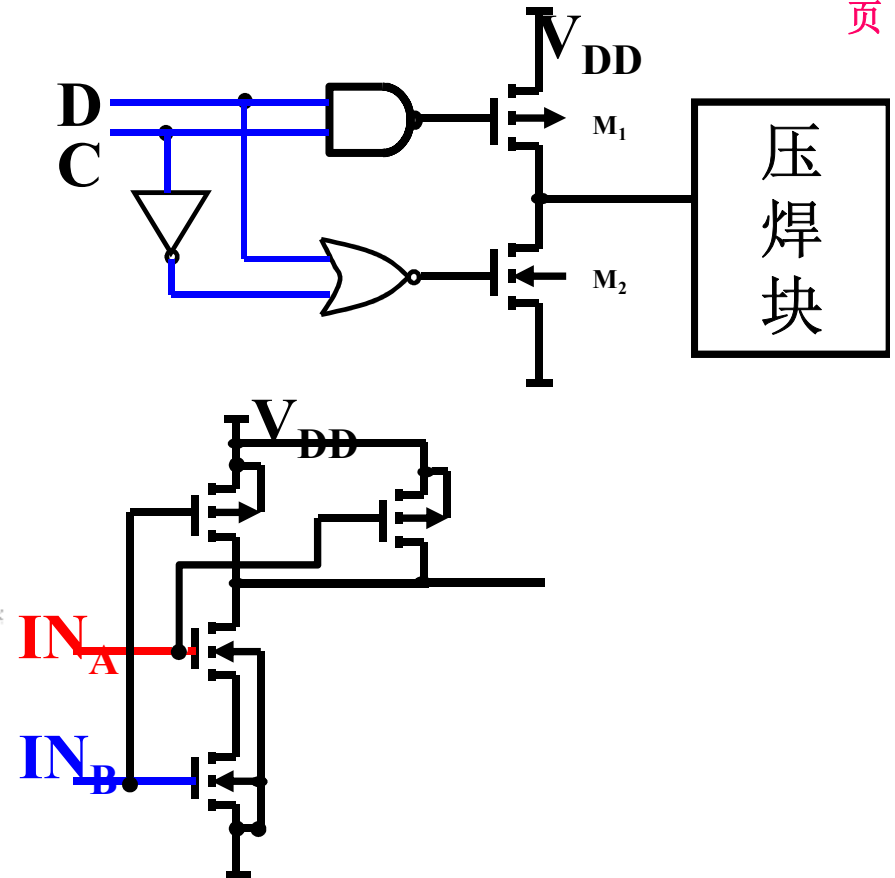
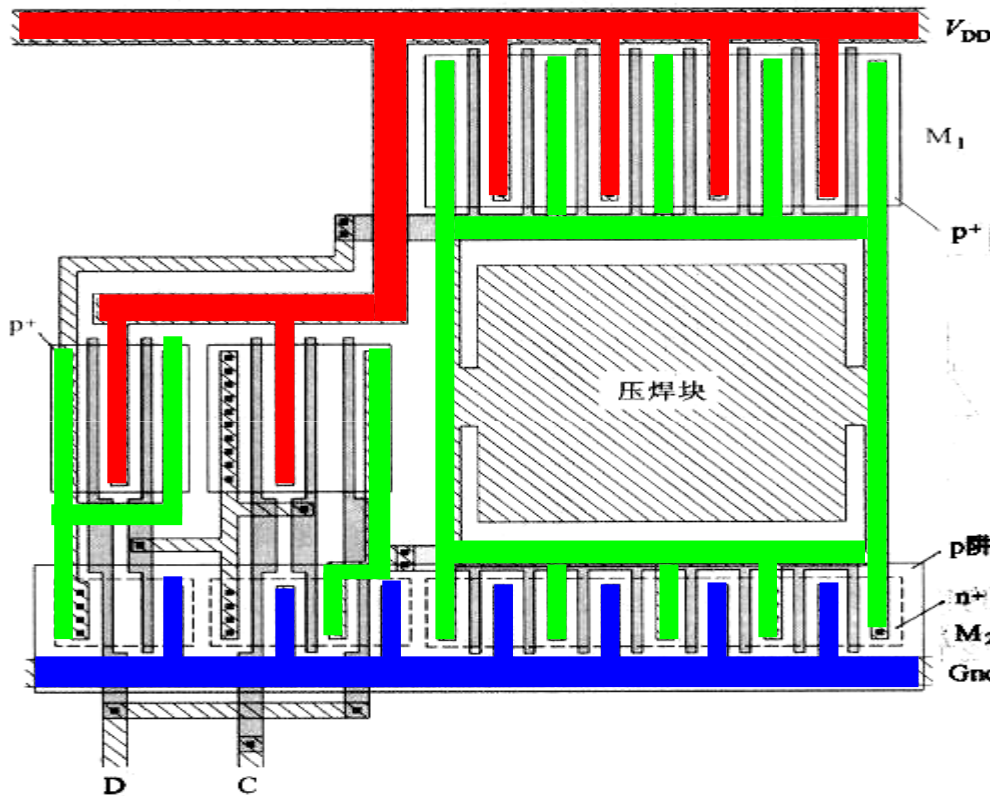


- 同相三态输出单元
 - C为逻辑1时，与非门、或非门为倒相器状态，压焊块得到数据D
 - C为逻辑0时，与非门输出为1，或非门输出为0，倒相器的PMOS、NMOS都截止，高阻态
- 数据端加倒相器 == 》 倒相器的三态输出单元

同相三态输出单元版图



同相三态输出单元版图



与非门输入
连接错误

三态输出单元版图

wxhsnow@163.com

三态输出I/O PAD

- 三态输出单元支持外部信号的总线通讯方式
集成电路模块既可以“挂上”总线，输出信号到总线上
又可以“让出”总线给其他集成电路模块
- 在此模式下，不允许有两个或两个以上的处于正常逻辑输出（0，1态）
==》导致逻辑不正确



(4) 开漏输出单元

□ 开漏输出单元：系统支持多个集成电路的正常逻辑输出同时到总线

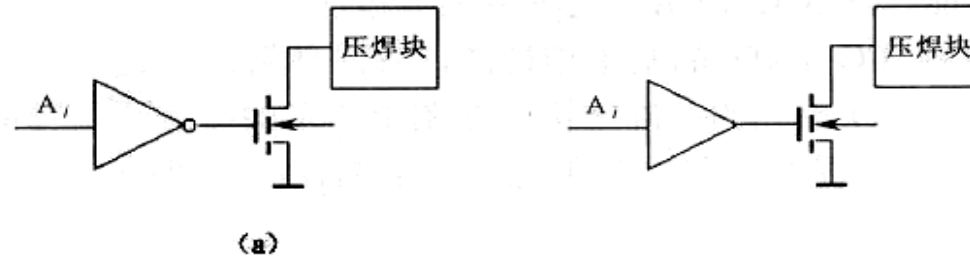


图 5-13 开漏输出单元

□ 开漏输出：

输出NMOS的漏极上没有接任何负载

□ 不具备完整的逻辑功能必须由外电路提供电流通量

□ 上拉电阻

上拉电阻

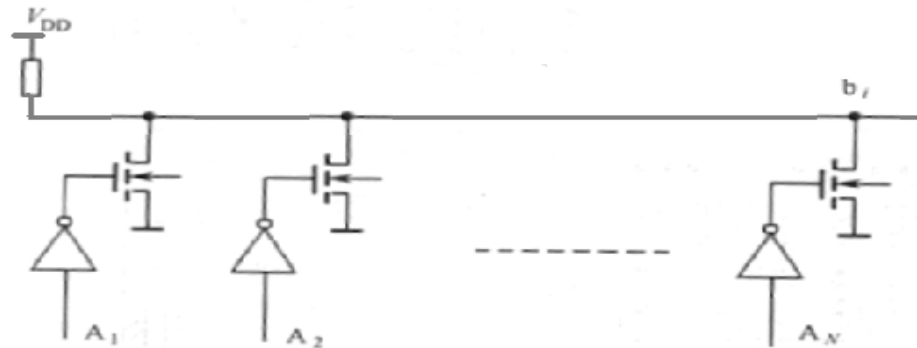


图 5-14 开漏结构实现的线逻辑

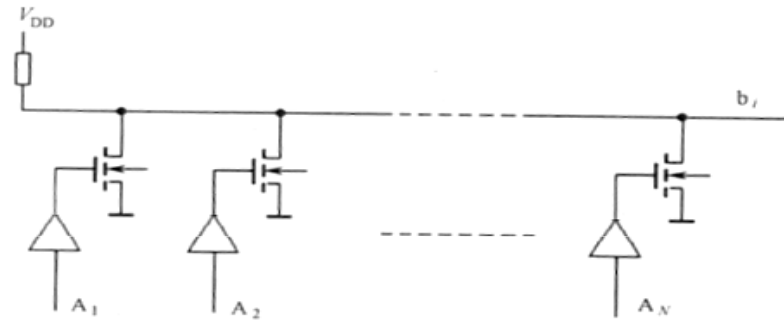
□ 或非逻辑——电阻相当于耗尽型MOS管

$$b_i = \overline{\overline{A_1} + \overline{A_2} + \dots + \overline{A_N}} = A_1 \cdot A_2 \cdots A_N$$

实现“线与”

同相器控制MOS管

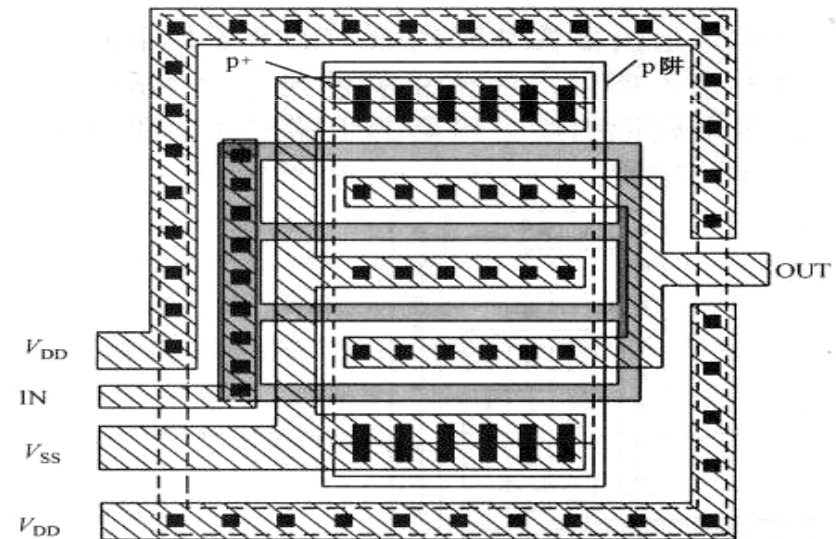
□ 同相器控制MOS管



$$b_i = \overline{A_1 + A_2 + \dots + A_N} \quad \text{实 现 “ 或 非 ”}$$

控制开漏NMOS管

- 开漏输出单元中的NMOS管通常是大尺寸的晶体管
==》驱动总线上的负载
- 大尺寸NMOS可采用图5-8所示版图结构
- 也可采用倒相器链的方式进行驱动



关于开漏单元的变换

□ 将控制开漏的NMOS管的倒相器或同相器单元换成==》运算单元

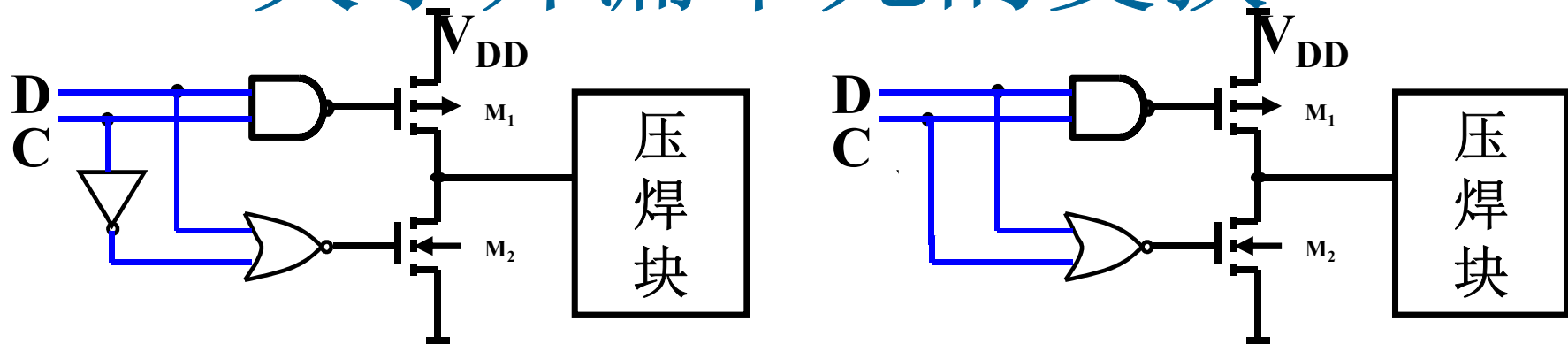
则可通过外部总线实现复杂逻辑运算

□ NMOS管开漏结构==》 PMOS管开漏单元

□ NMOS管开漏结构

==》 NMOS管开漏和PNMOS管开漏单元

关于开漏单元的变换



- 直接用C控制与非门、或非门
- $C=1$ 时, M_2 始终截止
==》倒相器控制PMOS管开漏
- $C=0$ 时, M_1 始终截止
==》即倒相器控制NMOS管开漏

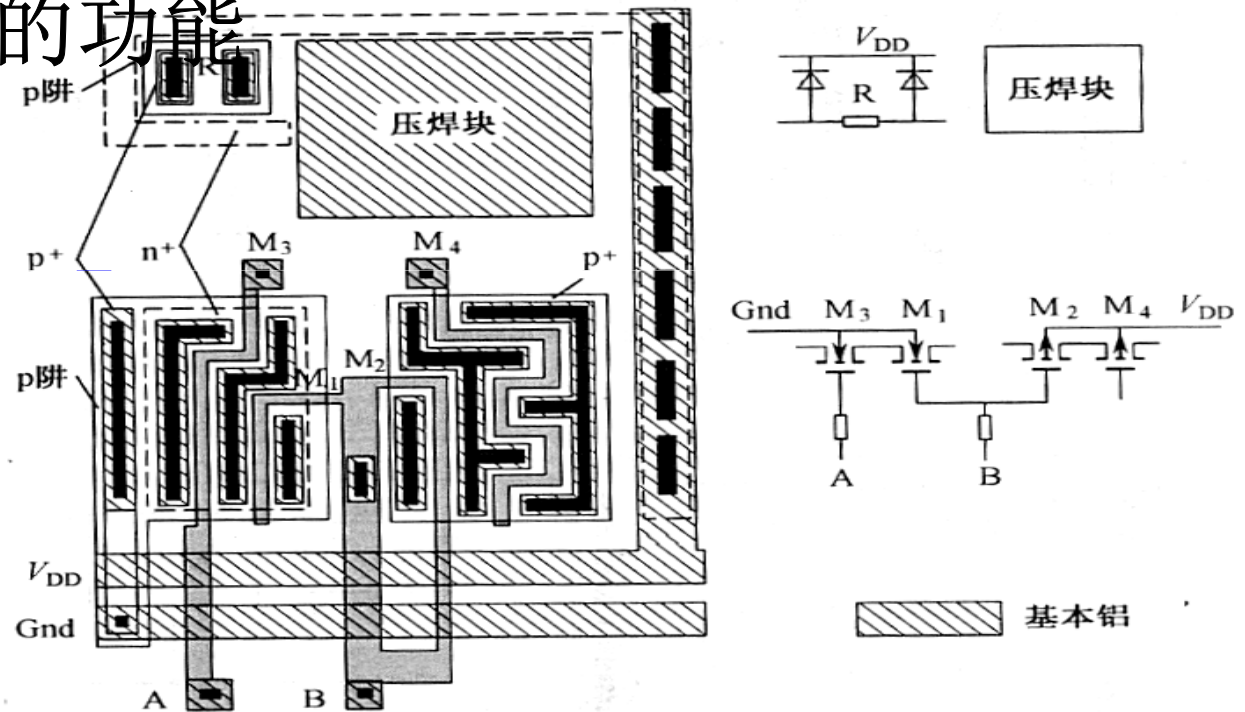
wxhsnow@163.com



(5) 掩模编程的输入、输出单元

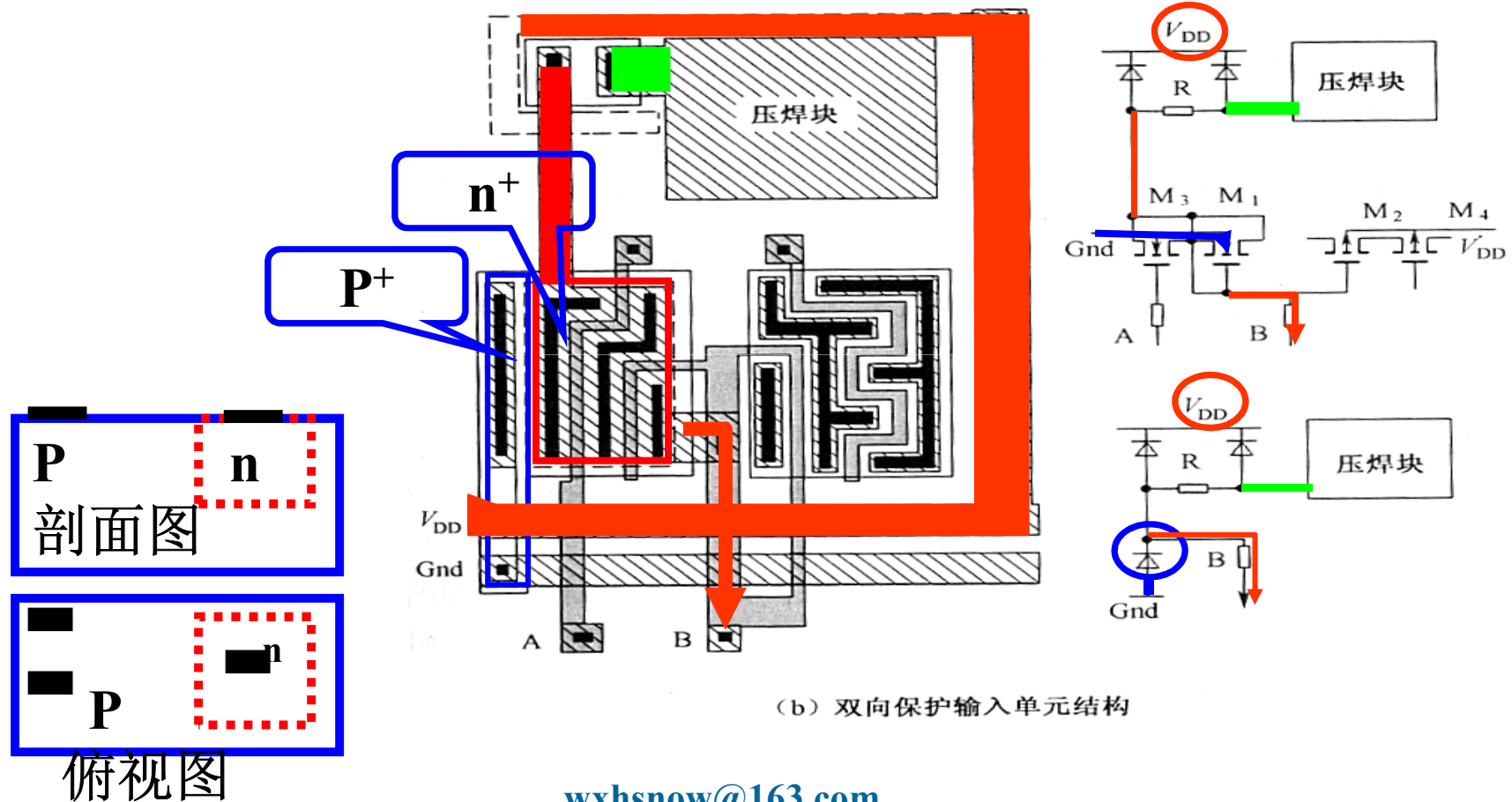
- 在同一单元结构基础上通过对金属掩模的变化来改变单元的功能

基本金属图形



(a) 掩膜编程I/O单元的基本结构图

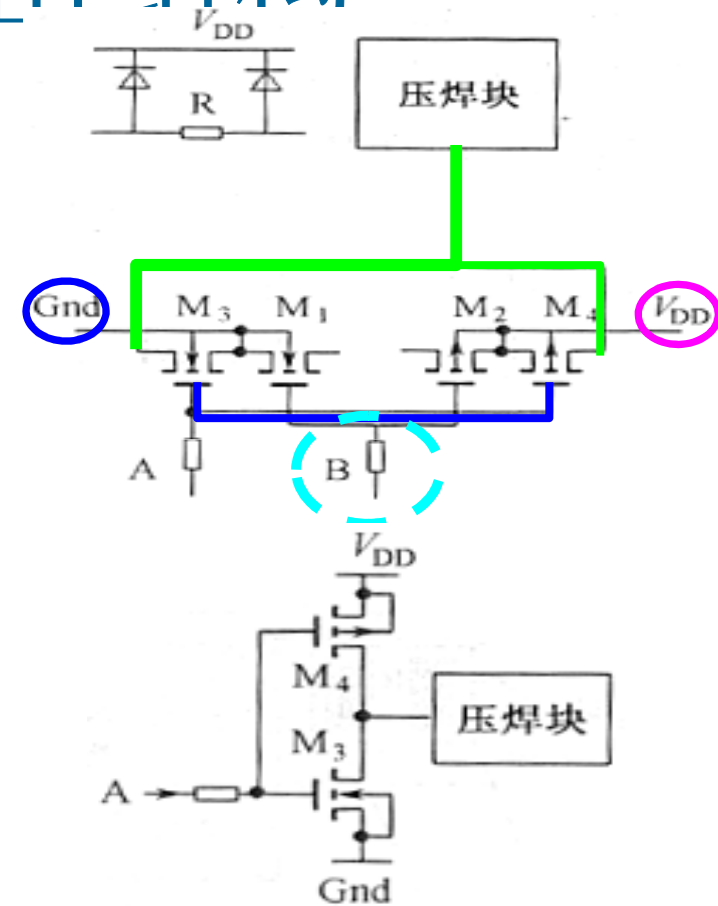
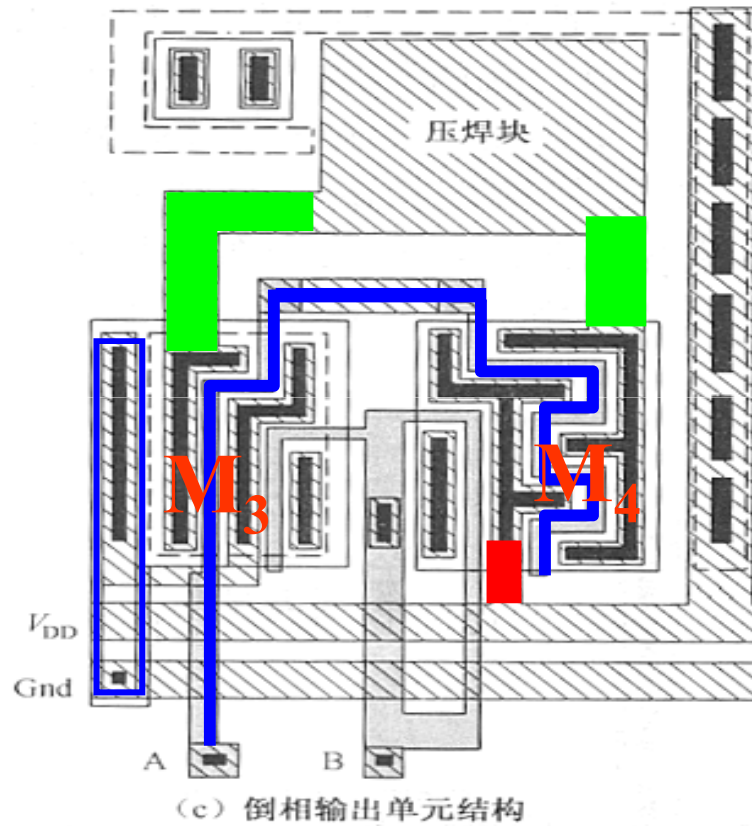
(b) 双向保护输入单元



wxhsnow@163.com

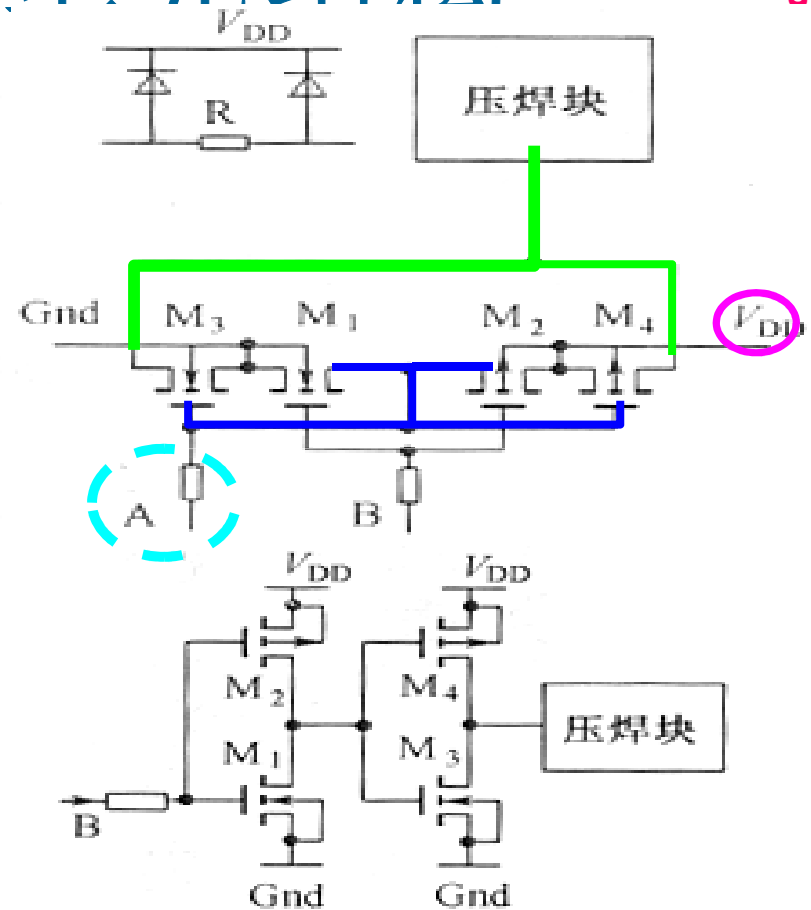
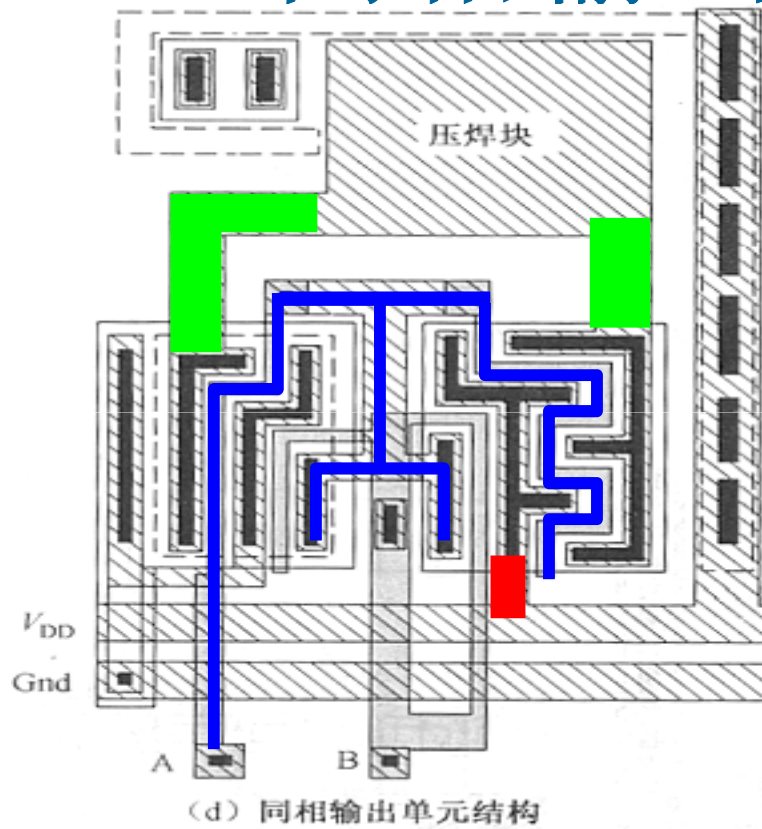
(c) 倒相器输出结构

□ 倒相器输出结构



(d) 同相输出单元结构

同相输出单元结构



掩模编程的输入、输出单元的特点

- 通过金属掩模编程构造不同电路的方法
 - 双向保护输入单元结构
 - 倒相器输出单元结构
 - 同相器输出单元结构
- 通过金属连线的改变来确定结构的具体功能
- 通常适应于固定门阵列的**I/O PAD**的设计



3. 输入、输出双向三态I/O PAD

- 一个数据端D
 - 连接到芯片内部逻辑
 - 读入压焊块上的信息或者输出内部信号到压焊块

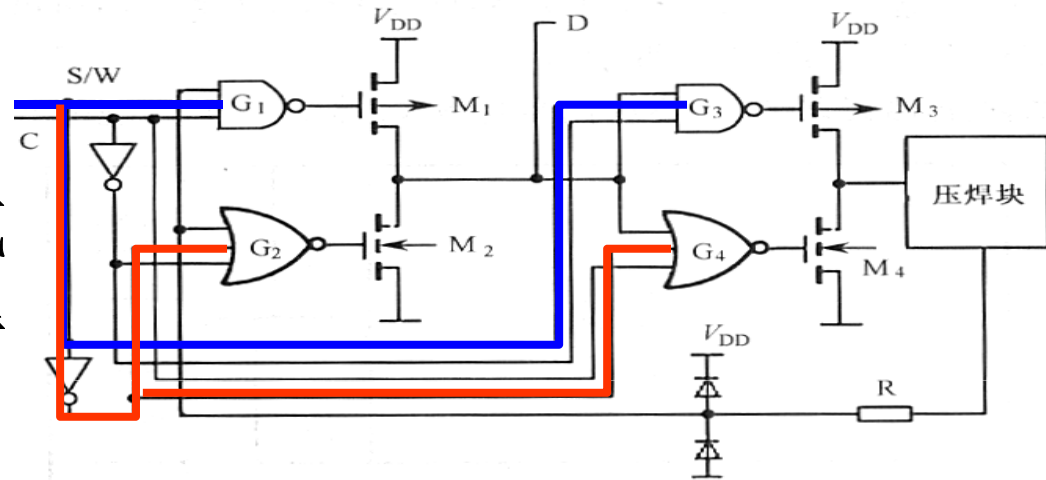


图 5-16 输入、输出双向三态单元电路原理图

- 两个控制端C、S/W
 - S/W=0, 高阻状态 □ S/W=0,
 - S/W=1, 由C控制
 - 与非门G₁、G₃输出为1, M₁、M₃截止;
 - 或非门G₂、G₄输出为0, M₂、M₄截止;

输入、输出双向三态I/O PAD

□ $S/W=1$ ，由C控制

□ $C=1$ 时

➤ G_1 、 G_2 均为倒相器，
与 M_1 、 M_2 组成
“倒相器+倒相器”

➤ G_3 、 G_4 截止， M_3 、 M_4 截止

➤ 压焊块上的信号经过双二极管、电阻保护电路同相地传送给数据端D

==》系统处于读入（输入）信号状态

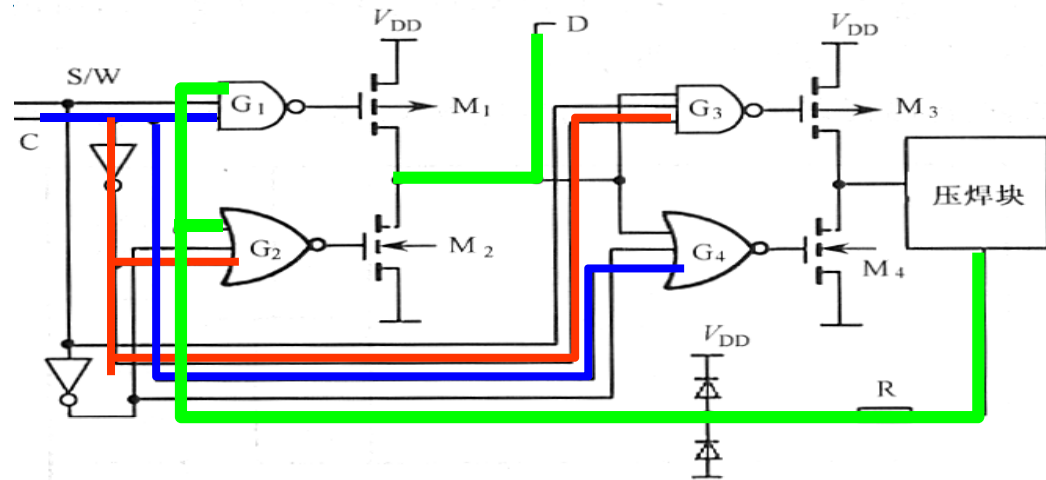


图 5-16 输入、输出双向三态单元电路原理图

输入、输出双向三态I/O PAD

- $S/W=1$ ，由C控制
- $C=0$ 时
- G_1 、 G_2 使 M_1 、 M_2 截止

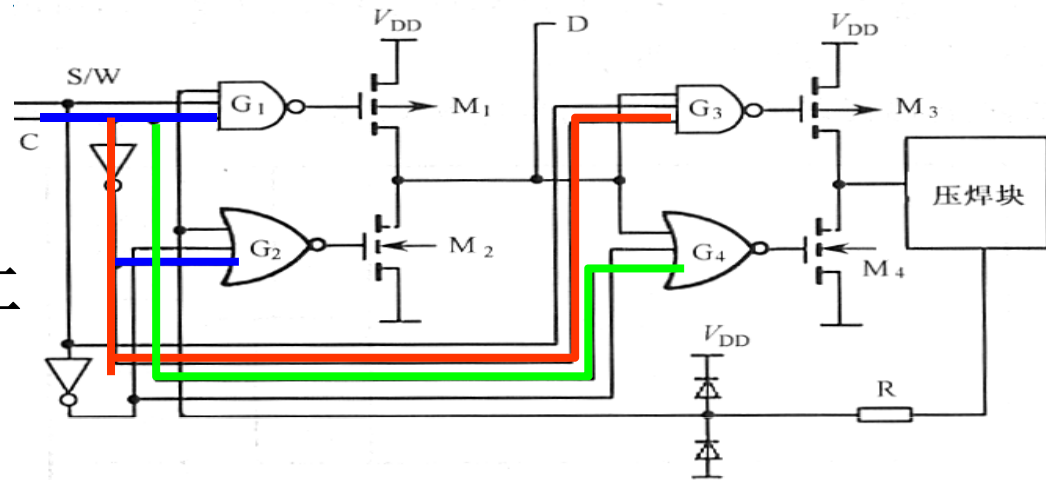


图 5-16 输入、输出双向三态单元电路原理图

- 信号D经过 M_3 、 M_4 同相地传送到压焊块上
- $C=0$ 时， M_1 、 M_2 截止，左半单元截止，右半单元导通
- 数据端信号同相地传送到压焊块==》同相输出

输入、输出双向三态I/O PAD

- 若将控制信号S/W去掉，门电路均为两输入结构时，构成普通的输入、输出双向I/O PAD
- 关于此电路的驱动：
 - 对外驱动能力由 M_3 、 M_4 决定
 - 对内驱动能力由 M_1 、 M_2 决定



5.3 积木块设计技术

- 标准单元受高宽比的限制，单元的规模有限
 - 构造大的功能模块时，必须采用单元拼接方法
 - 有些电路模块用单元拼接法不能实现
- ==》 积木单元
- 突破标准单元在高度上的限制，不再采用“行式结构” ==》 积木块布图形式

积木形式的芯片内部结构

实际的微处理器的芯片内部结构

- 模块功能相对独立
 - 大小不一
 - 由重复单元堆积而成
- RAM、寄存器堆、高速缓存**
- 独立的子系统
- 定时器、串行口、DMA、乘法器，ALU**
- 随机结构
 - 控制器

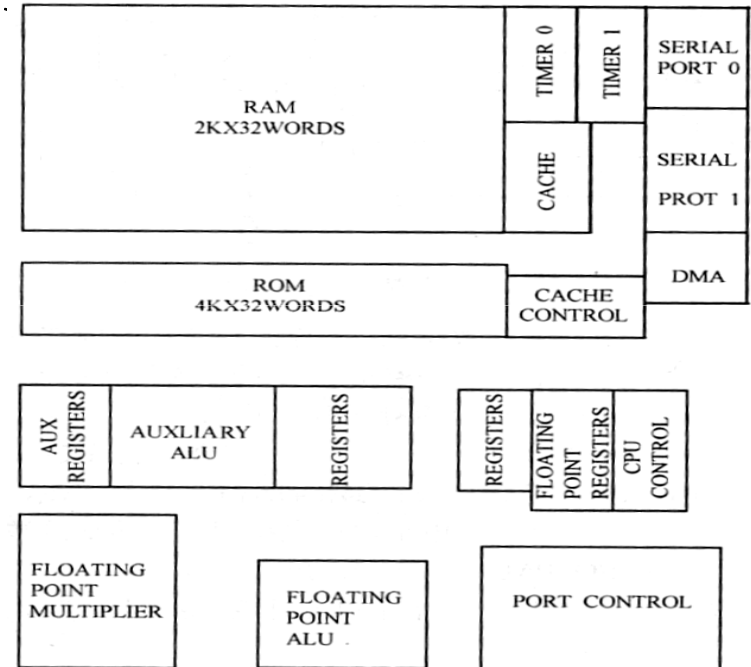


图 5-17 积木块形式的芯片内部结构

积木块设计技术

- ❑ 单元模块通常具有一定通用性，在设计中从单元库中调用
 - ❑ 非通用单元：各种随机逻辑
 - ❑ 实际的设计通常是积木块结构和行式结构的混合结构
 - ❑ 非规则边界结构，布线区不固定,没有严格的出线位置
- 一些约定的走线方法： 电源、地线、数据流、控制流

5.4 单元库技术的拓展

- 一个集成系统主要包含一下几个部分：
 传感器，模拟信号处理电路，模拟/数字变换，数字处理逻辑，数字/模拟变换，**执行机构**
- 目前不包含传感器与执行机构
- 原则上库单元可以是任何电路单元
 （不仅局限于逻辑单元）
- 只要工艺够兼容，库单元可以是线性电路、非线性电路、接口电路或MEMS器件

[返回](#)

THANKS

wxhsnow@163.com

资料介绍

- <http://www.21ic.com/news/html/104/show10047.htm>
- IC 相关专业 笔试题目集锦

wxhsnow@163.com