

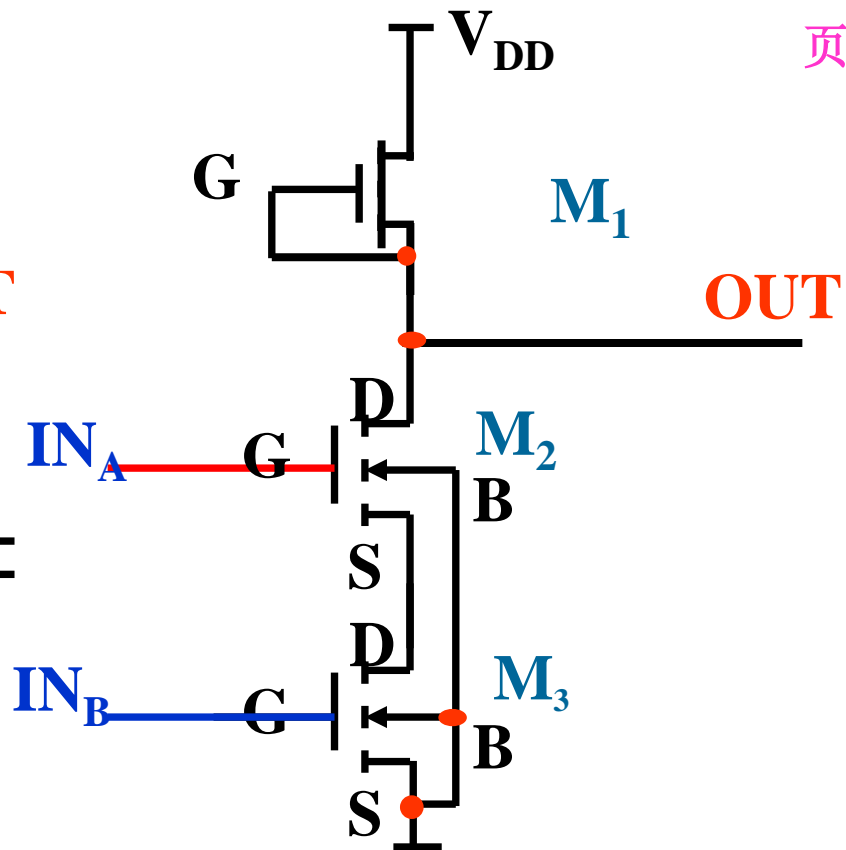
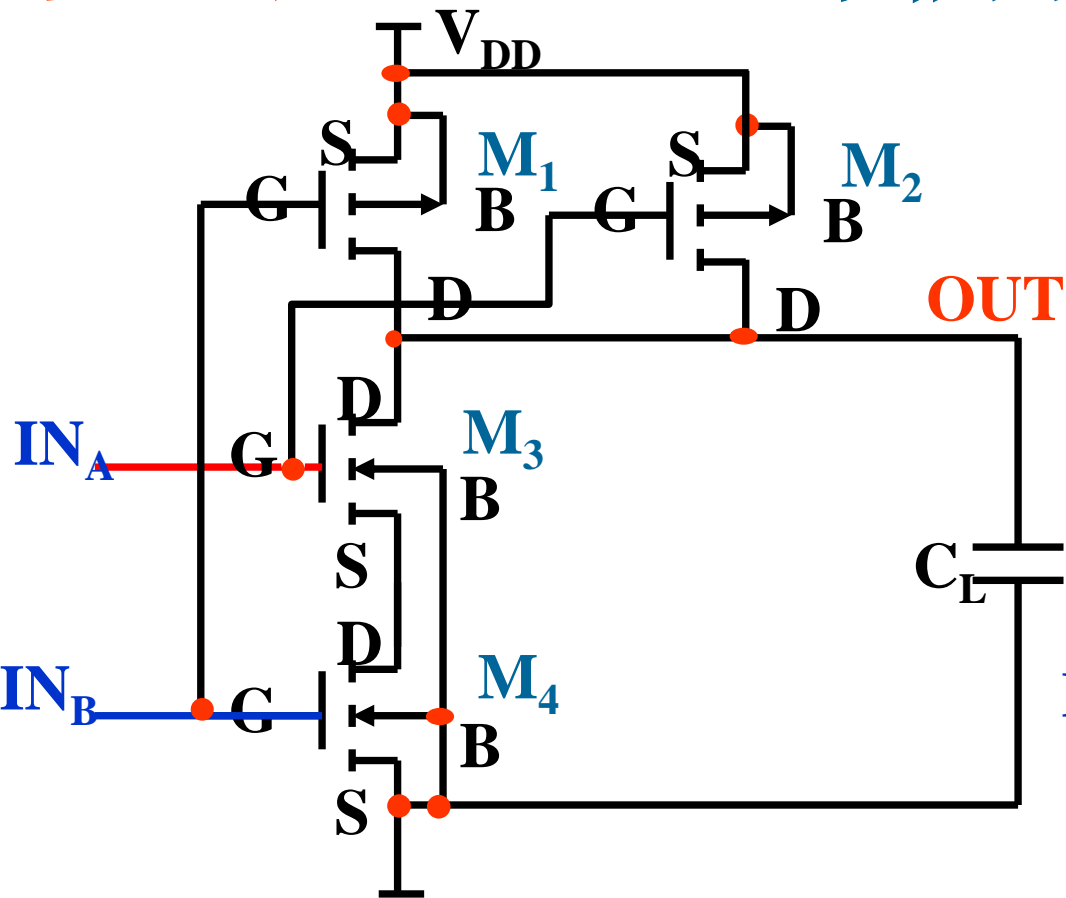
4.3 PLA及其拓展结构

- ◆ PLA可编程逻辑阵列 Programed Logic Array
- ◆ 典型的晶体管规则阵列结构
- ◆ 采用两级ROM形式构造电路：“与平面”、“或平面”
- ◆ 实际PLA结构中“与平面”、“或平面”不是“与门”、“或门”阵列而是“与非—与非”、“或非--或非”结构
- ◆ 基本的PLA结构格局严谨，原始输入只能从“与平面”进入，输出信号只能由“或平面”输出
- ◆ 目前比较常用的PLA以MOS工艺为基础结构 硅栅MOS结构PLA

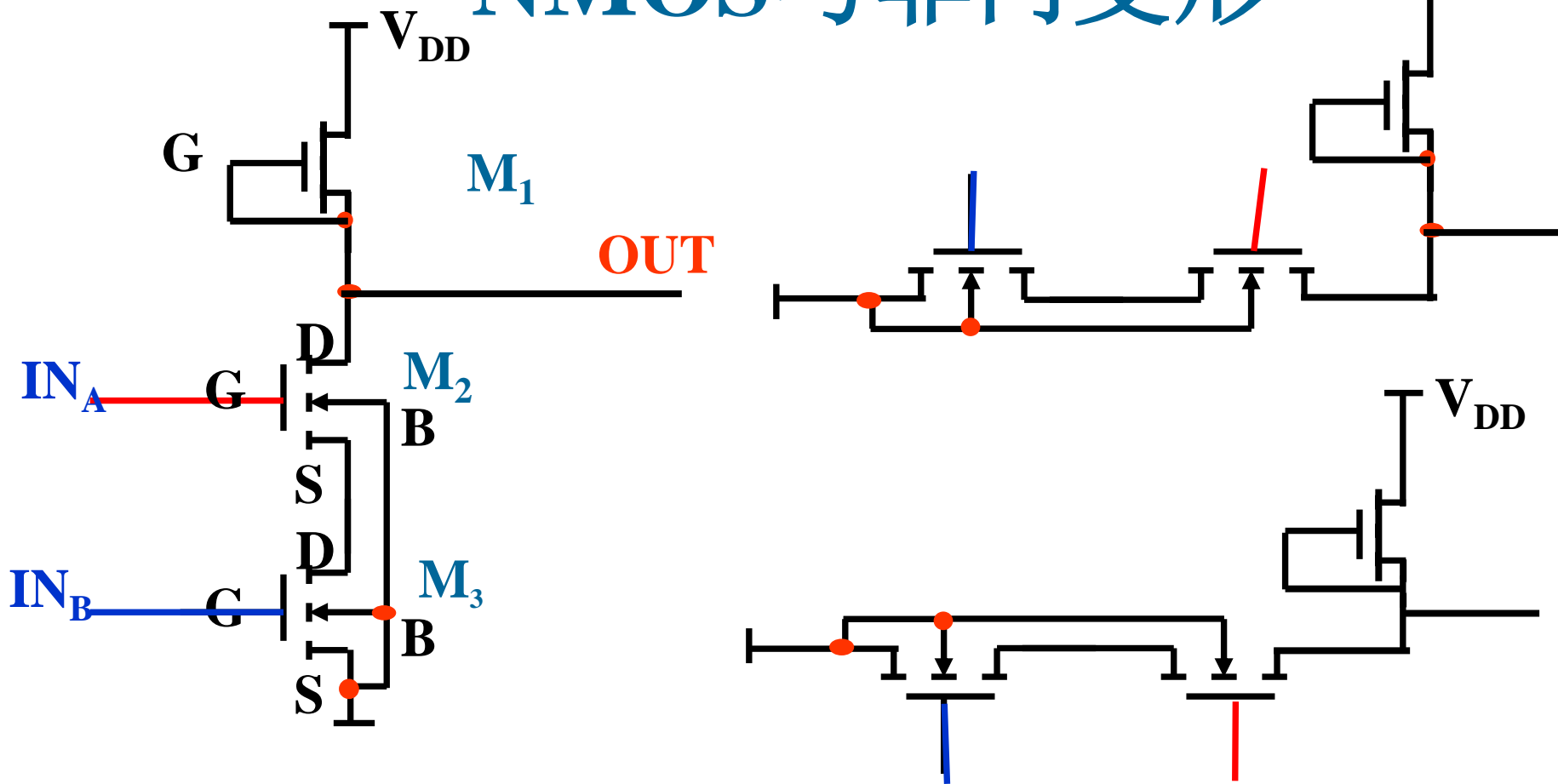
4.3 PLA及其拓展结构

- ◆ “与非—与非” 阵列结构
- ◆ “或非—或非” 阵列结构
- ◆ 多级门阵列MGA

复习引入：CMOS与非门、全NMOS与非门



NMOS与非门变形



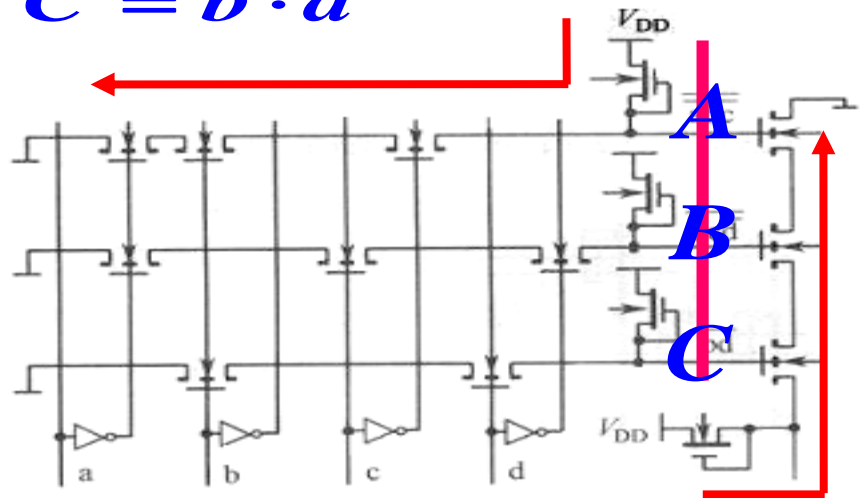
4.3.1 “与非-与非”阵列结构

$$A = \overline{\overline{a} \cdot \overline{b} \cdot \overline{c}}$$

$$B = \overline{\overline{a} \cdot \overline{c} \cdot \overline{d}}$$

$$C = \overline{b \cdot d}$$

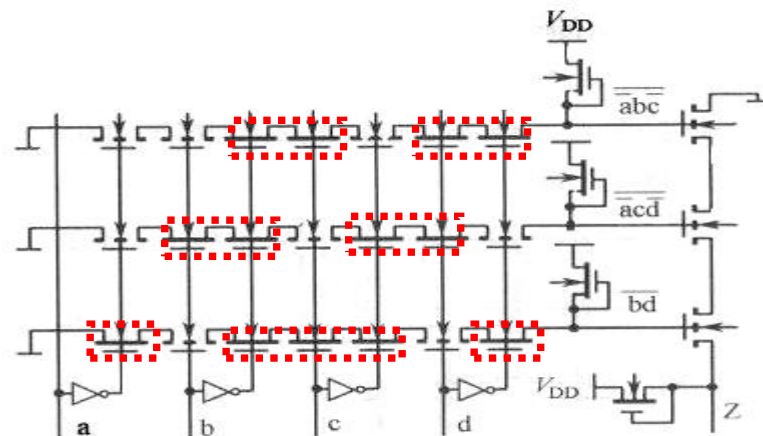
$$Z = \overline{A \cdot B \cdot C} = \overline{A} + \overline{B} + \overline{C} \\ = \overline{a} \cdot \overline{b} \cdot \overline{c} + \overline{a} \cdot \overline{c} \cdot \overline{d} + b \cdot d$$



与平面

(a)

或平面

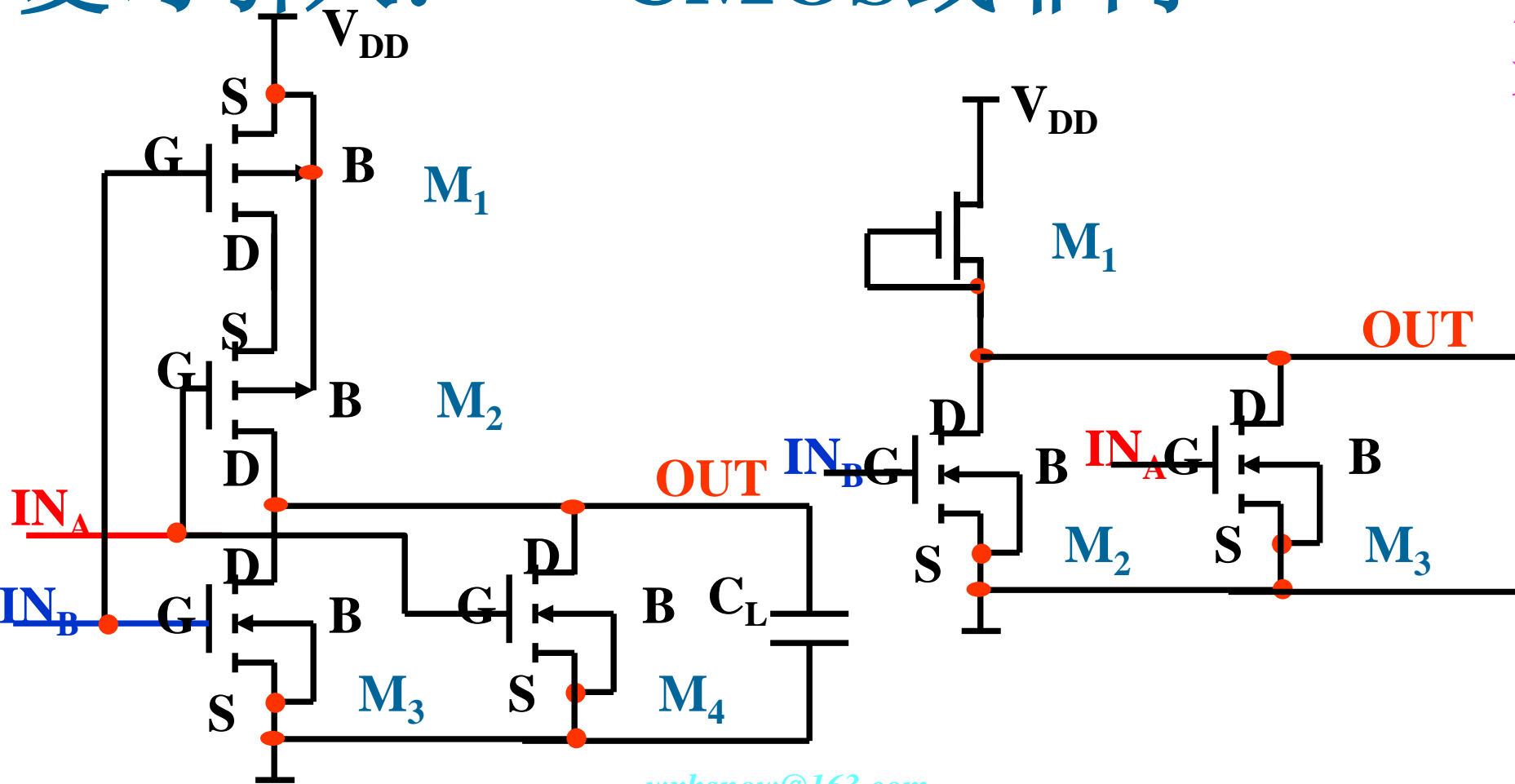


(b)

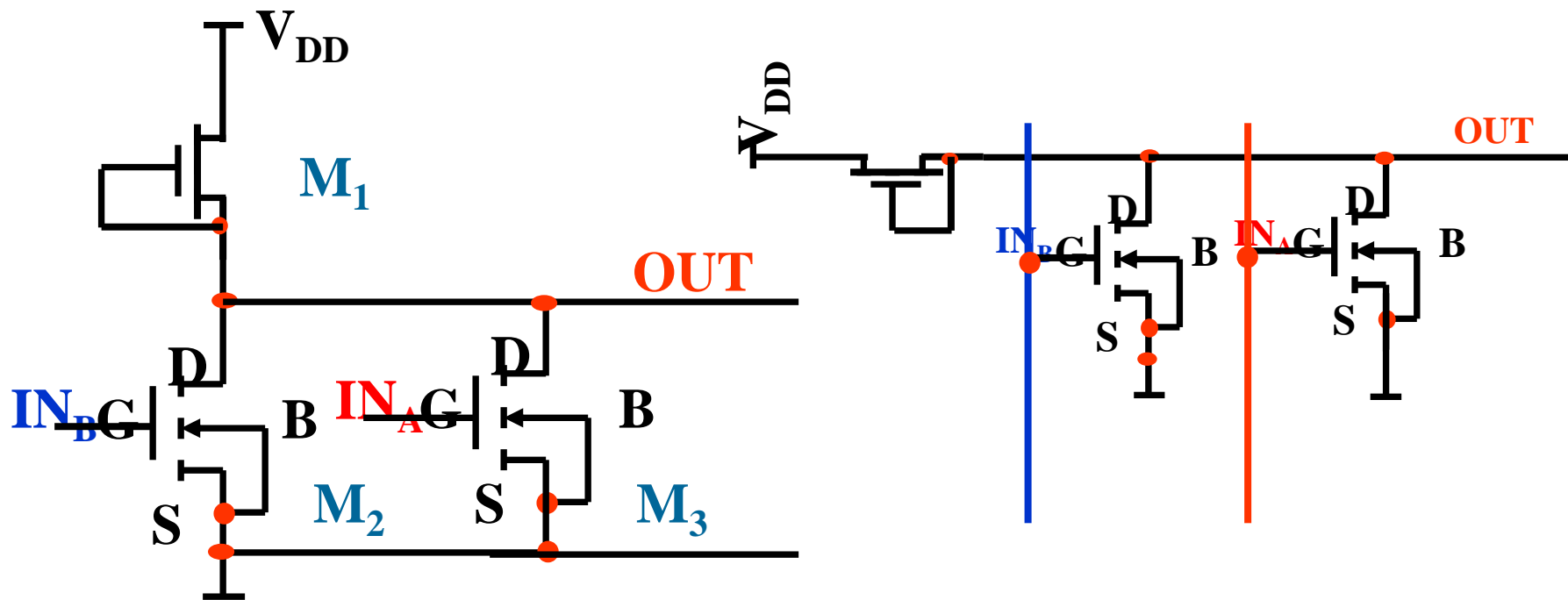
离子注入法:

与非: N型 → 短路

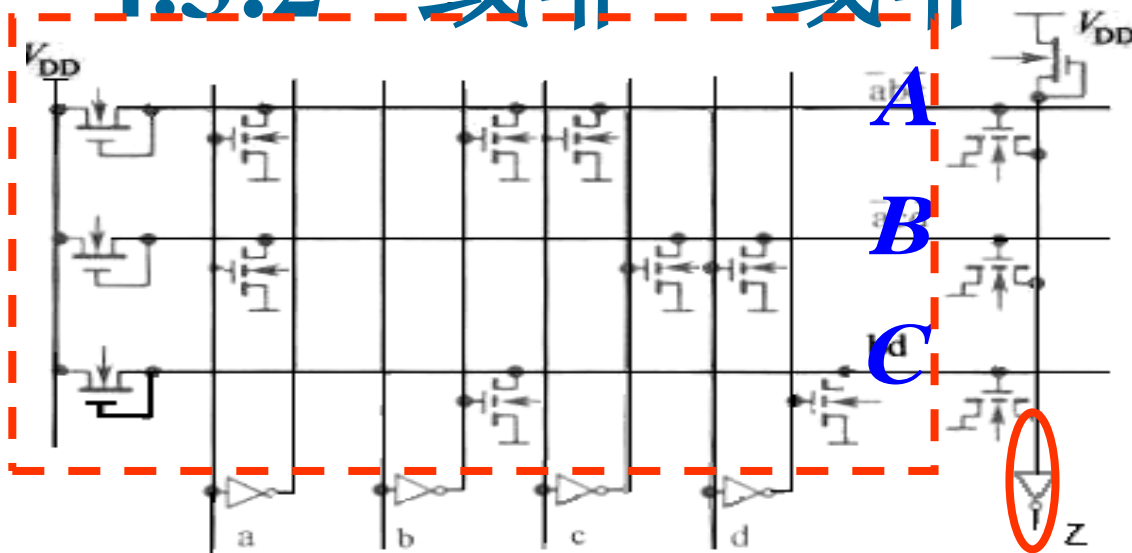
复习引入: CMOS或非门



NMOS或非门变形



4.3.2 “或非—或非”阵列结构



与平面 或平面

$$\begin{aligned}
 Z &= \overline{\overline{A + B + C}} \\
 &= A + B + C \\
 &= \overline{a} \cdot \overline{b} \cdot \overline{c} + \overline{a} \cdot \overline{c} \cdot \overline{d} + b \cdot d
 \end{aligned}$$

阵列结构

$$A = \overline{a + b + c} = \overline{a} \overline{b} \overline{c}$$

$$B = \overline{a + c + d} = \overline{a} \overline{c} \overline{d}$$

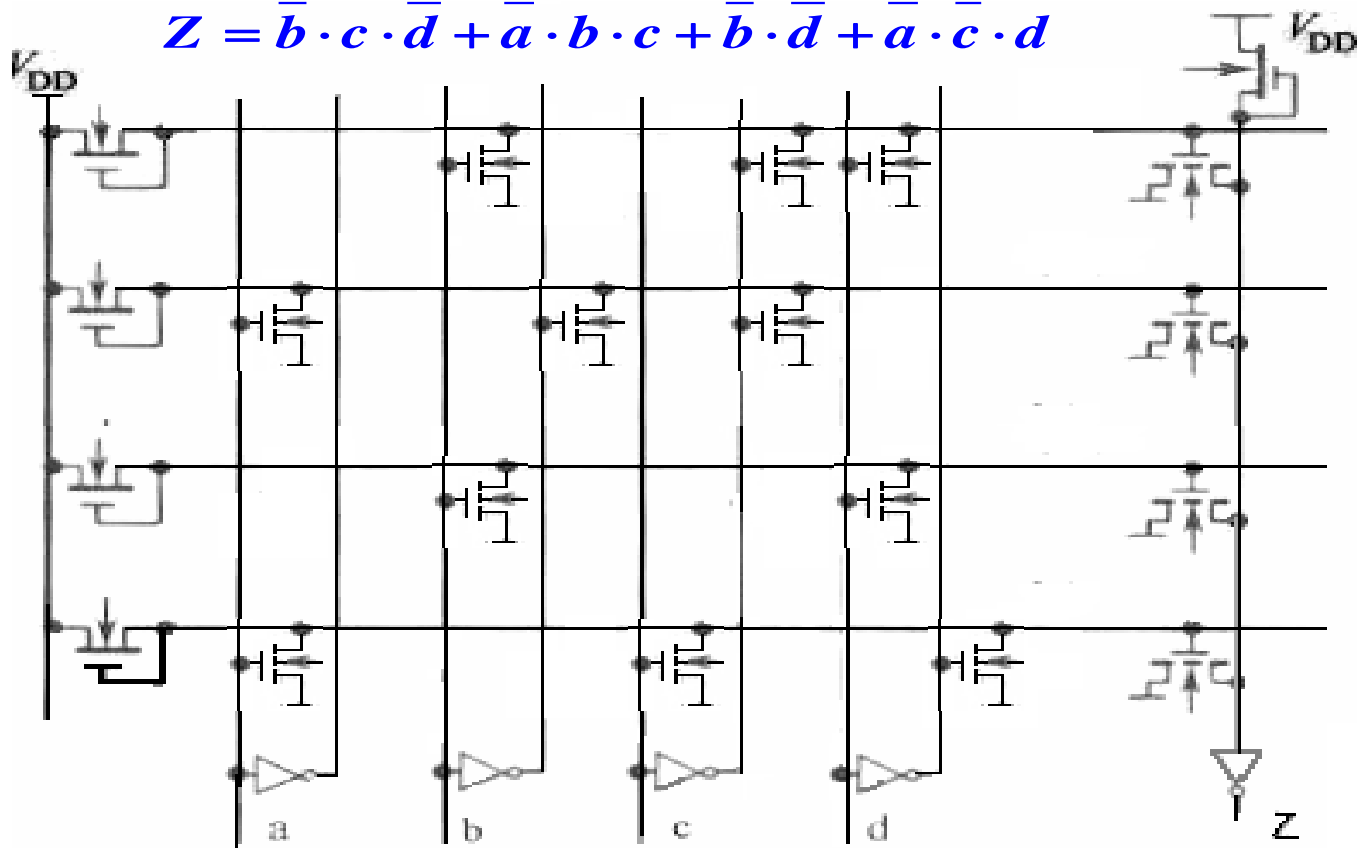
$$C = \overline{b + d} = \overline{b} \overline{d}$$

或非—或非结构的
*PLA*应满足：

输入取反
输出取反

练习：用或非-或非结构的PLA实现下列逻辑：

$$Z = \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot c + \bar{b} \cdot \bar{d} + \bar{a} \cdot \bar{c} \cdot d$$



小结

- 与非--与非结构
- 或非--或非结构

例题4-3 “或非—或非” 阵列结构的PLA

例4-3:用或非—或非结构的PLA设计一个电路实现下面的四种逻辑操作（控制信号为 K_1K_0 ，逻辑输入为AB）

当 $K_1K_0 = 00$ 时，实现A、B的与非操作；

当 $K_1K_0 = 01$ 时，实现A、B的或非操作；

当 $K_1K_0 = 10$ 时，实现A、B的异或操作；

当 $K_1K_0 = 11$ 时，实现A的倒相操作；

解：写出电路实现的逻辑函数

$$Z = \overline{K_1} \cdot \overline{K_0} \cdot \overline{A \cdot B} + \overline{K_1} \cdot K_0 \cdot \overline{A + B} + K_1 \cdot \overline{K_0} \cdot (B \cdot \overline{A} + \overline{B} \cdot A) + K_1 \cdot K_0 \cdot \overline{A}$$

例题4-3 “或非—或非” 阵列结构的PLA

$$Z = \overline{K_1} \cdot \overline{K_0} \cdot \overline{A} \cdot \overline{B} + \overline{K_1} \cdot K_0 \cdot \overline{A + B} \\ + K_1 \cdot \overline{K_0} \cdot (B \cdot \overline{A} + \overline{B} \cdot A) + K_1 \cdot K_0 \cdot \overline{A}$$

将逻辑函数化为标准的与—或式

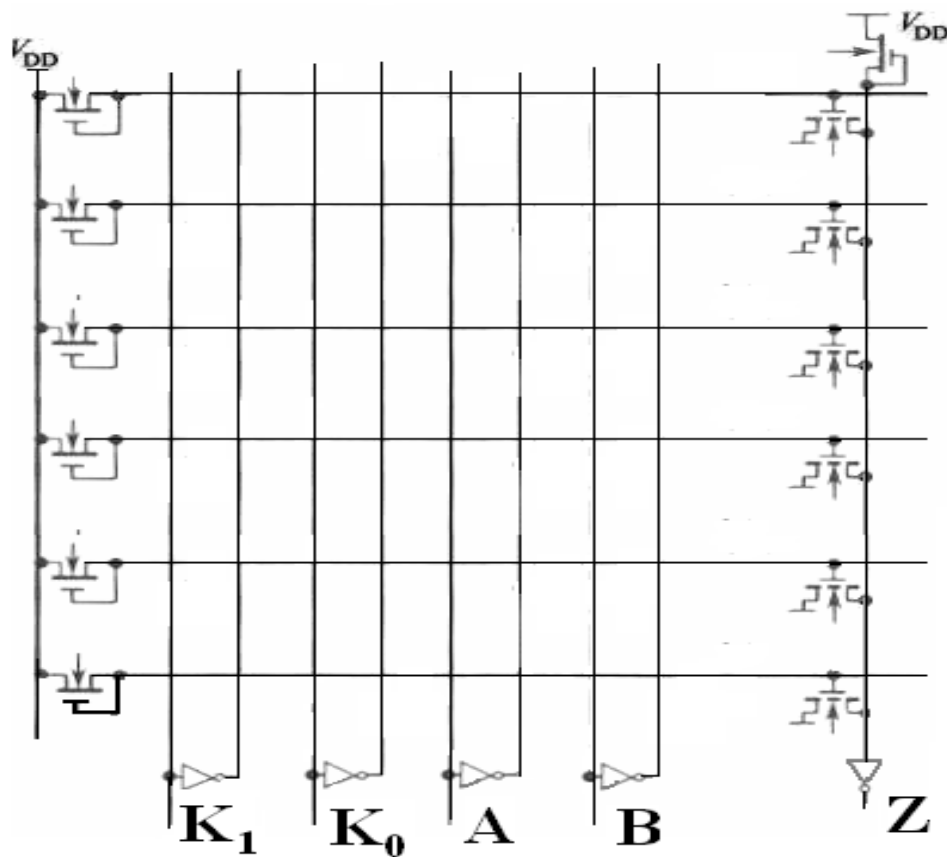
$$Z = \overline{K_1} \cdot \overline{K_0} \cdot \overline{A} + \overline{K_1} \cdot \overline{K_0} \cdot \overline{B} + \overline{K_1} \cdot K_0 \cdot \overline{A} \cdot \overline{B} \\ + K_1 \cdot \overline{K_0} \cdot B \cdot \overline{A} + K_1 \cdot \overline{K_0} \cdot \overline{B} \cdot A + K_1 \cdot K_0 \cdot \overline{A}$$

该函数六个与项： 与平面： 六个或非门
或平面： 一个或非门

例题4-3 结构图

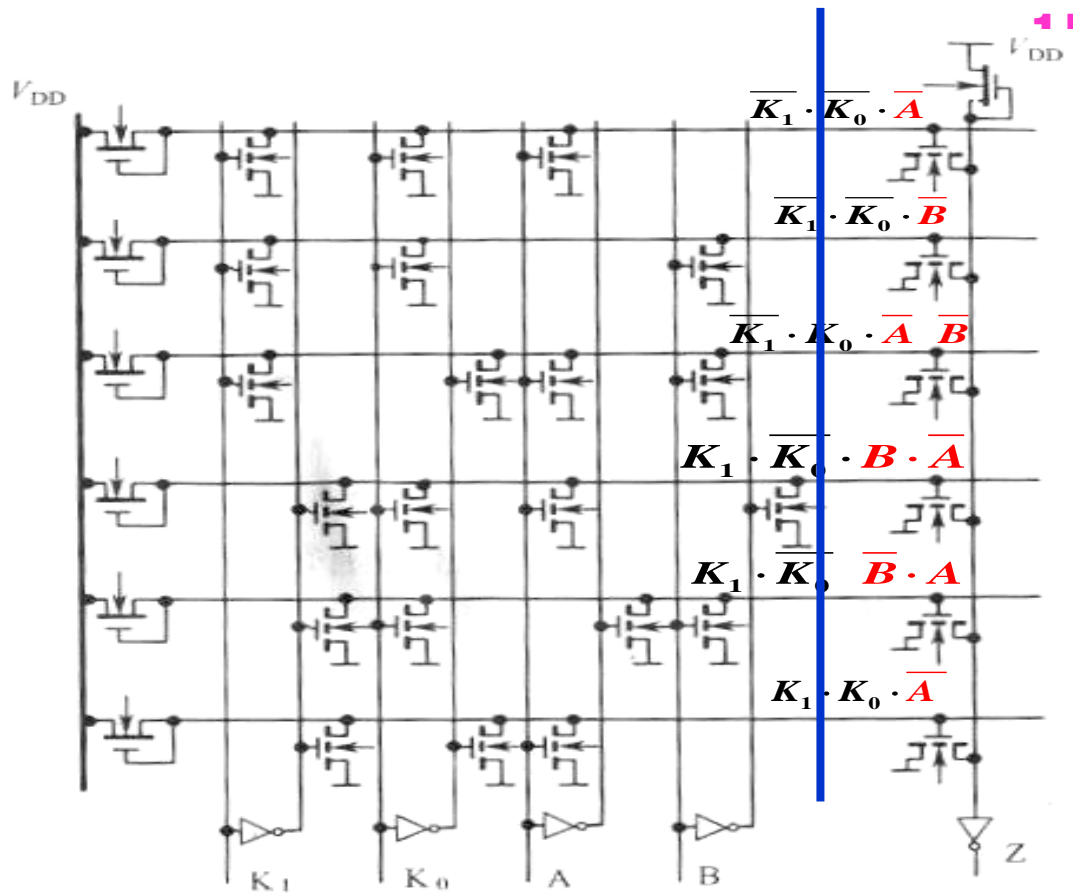
$$\begin{aligned}
 Z = & \overline{K_1} \cdot \overline{K_0} \cdot \overline{A} \\
 & + \overline{K_1} \cdot \overline{K_0} \cdot \overline{B} \\
 & + \overline{K_1} \cdot K_0 \cdot \overline{A} \cdot \overline{B} \\
 & + K_1 \cdot \overline{K_0} \cdot B \cdot \overline{A} \\
 & + K_1 \cdot \overline{K_0} \cdot \overline{B} \cdot A \\
 & + K_1 \cdot K_0 \cdot \overline{A}
 \end{aligned}$$

输入取反
输出取反

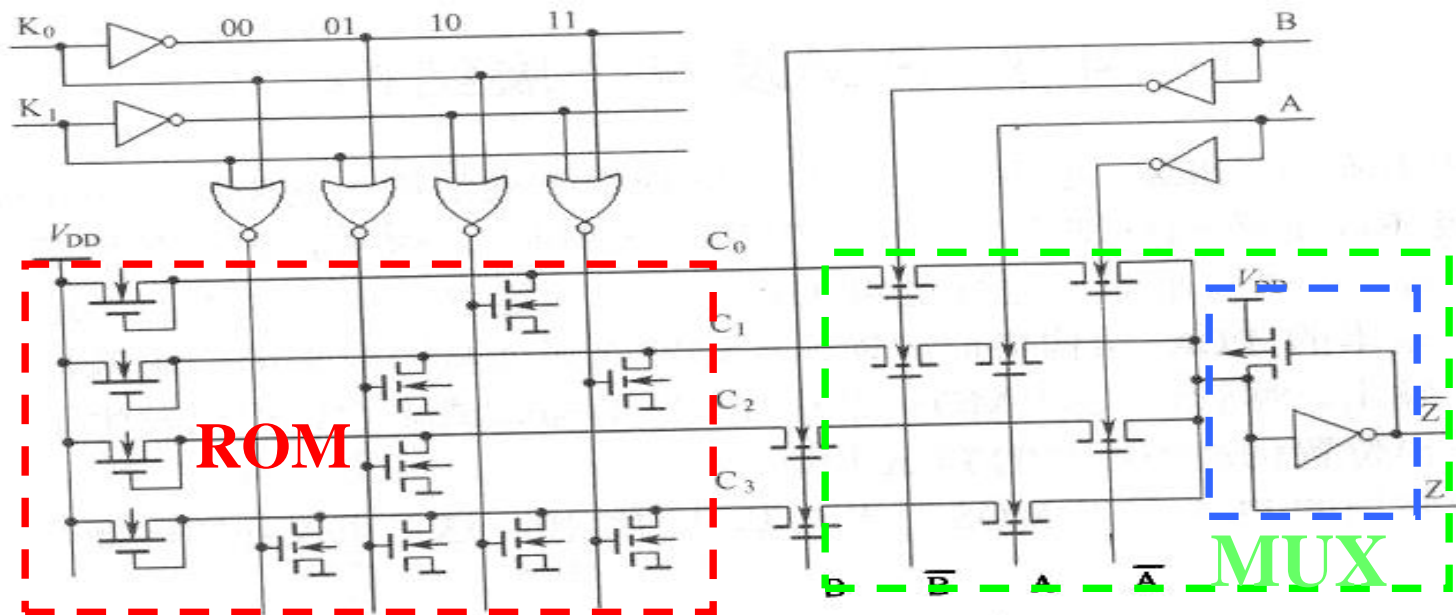


例题4-3 结构图

$$\begin{aligned}
 Z = & \overline{K_1} \cdot \overline{K_0} \cdot \overline{A} \\
 & + \overline{K_1} \cdot \overline{K_0} \cdot \overline{B} \\
 & + \overline{K_1} \cdot K_0 \cdot \overline{A} \cdot \overline{B} \\
 & + K_1 \cdot \overline{K_0} \cdot B \cdot \overline{A} \\
 & + K_1 \cdot \overline{K_0} \cdot \overline{B} \cdot A \\
 & + K_1 \cdot K_0 \cdot \overline{A}
 \end{aligned}$$



例题：4-2



对比 PLA 结构与 ROM+MUX

- ◆ PLA 结构更简单、规则
- ◆ 若改变逻辑操作要求，ROM 更方便
- ◆ 当所需实现的逻辑函数数量增加时，PLA 的与项增加较多，逻辑函数比较复杂

4.3.3 多级门 阵列结构MGA

□ MGA是在PLA基础上变化而成的多级门结构

□ 实质是多级PLA的级联和组合

N级PLA串联，相应有2N级“平面”

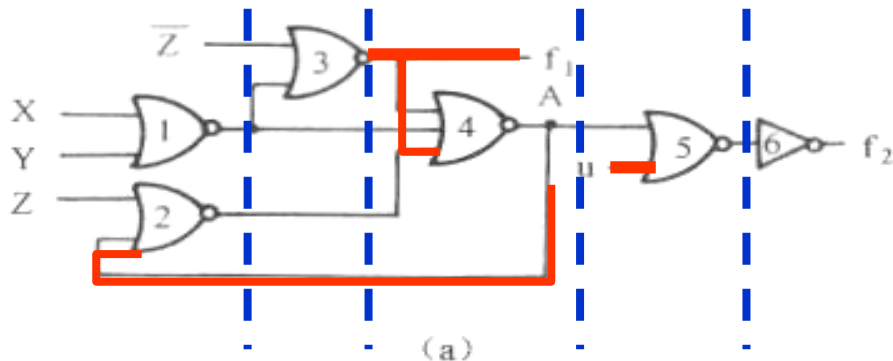
□ 标志：对输入、输出位置的限制

要求：所有的原始输入必须从每一个PLA的“与平面”进入，每一个输出必须从相应的“或平面”输出（输入在奇数级，输出在偶数级）

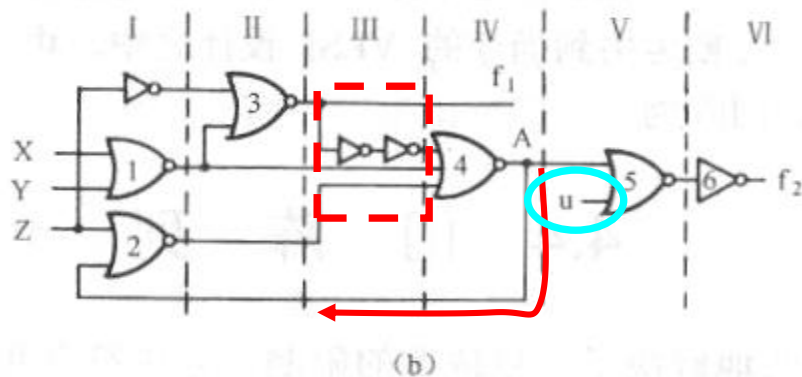
◆ 若逻辑不能满足要求，必须进行逻辑转换

多级门 阵列结构MGA

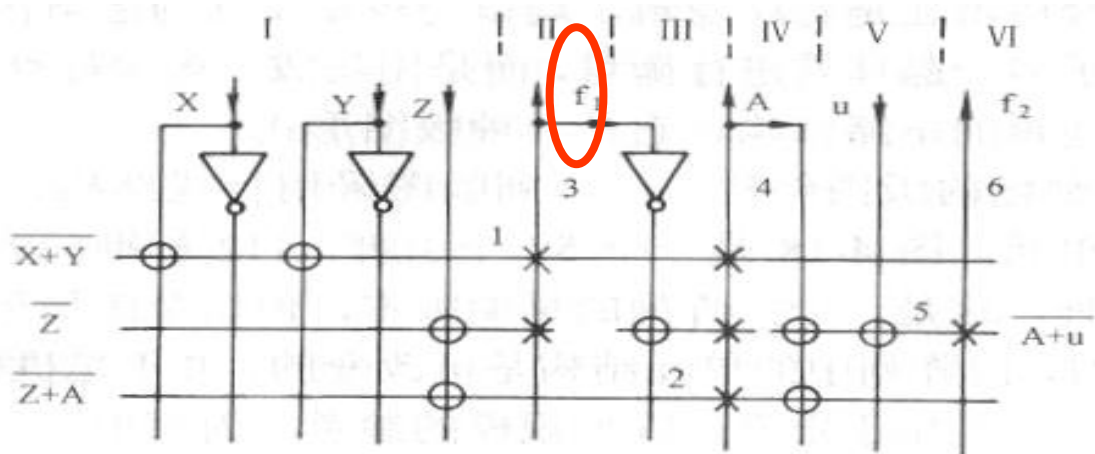
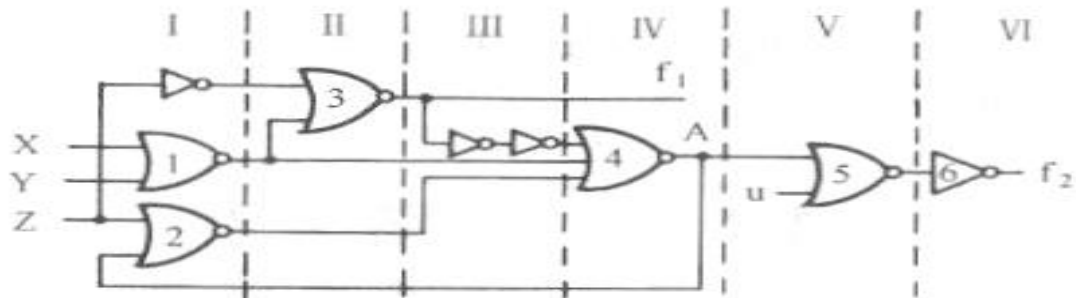
原始逻辑



处理后的逻辑电路



多级门 阵列结构MGA

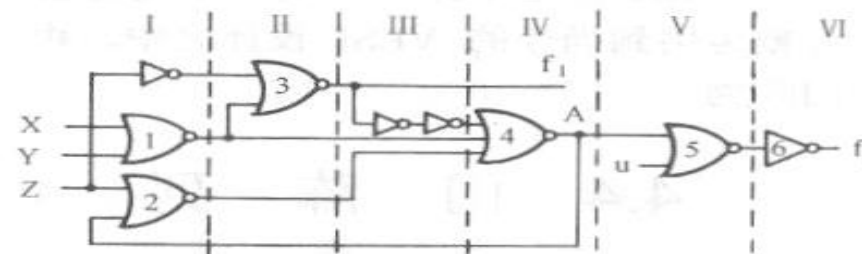


• PLA结构图

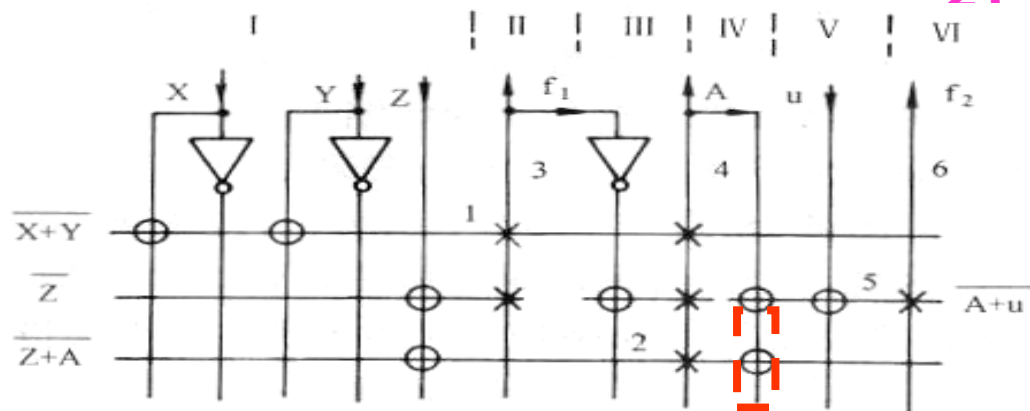
多级门阵列结构MGA

第

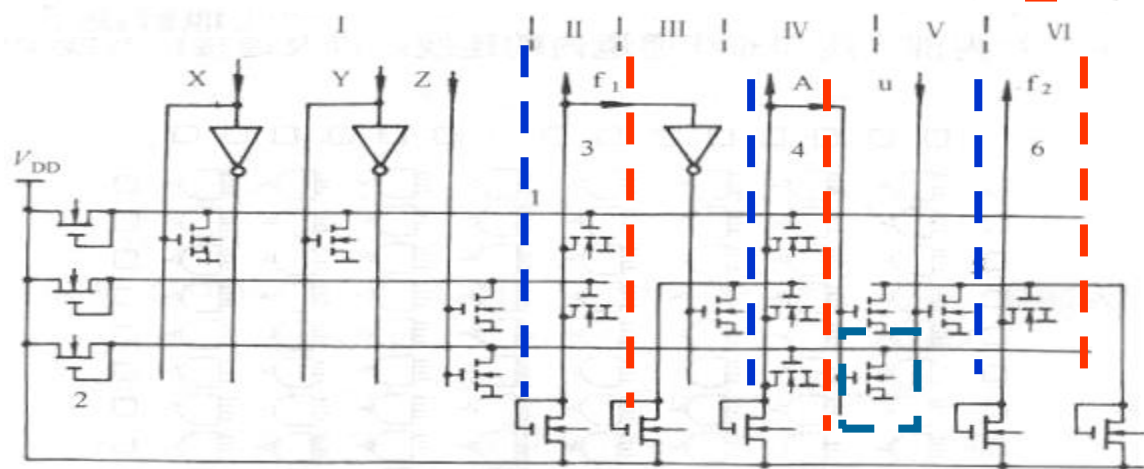
21



(b)



- 翻译成
的电路图



第四章作业2

用与非—与非结构的PLA实现逻辑

$$Z = \bar{a} \cdot b \cdot d + \bar{b} \cdot c \cdot \bar{d} + a \cdot \bar{c} \cdot d$$

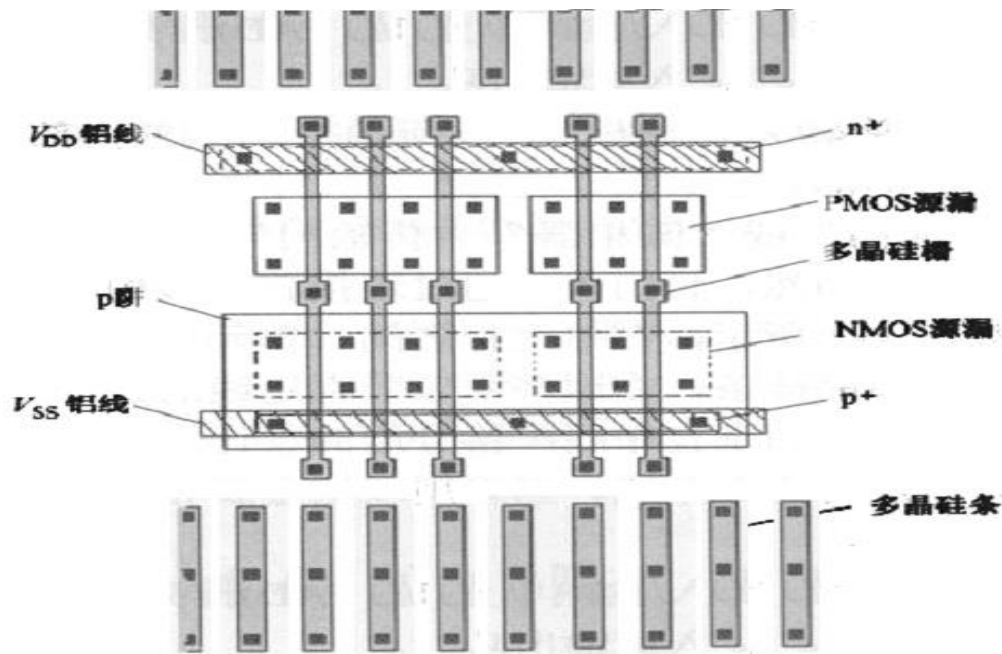
第四章作业3

用或非—或非结构的PLA实现逻辑

$$Z = \bar{a} \cdot b \cdot d + \bar{b} \cdot c \cdot \bar{d} + a \cdot \bar{c} \cdot d$$

第四章作业4

- 用P62图4-19的门阵列单元实现一个与非门加一个倒相器形成的与门



Thanks

- <http://www.icisee.com.cn/bbs/index.asp> 版图设计员

- ◆ **职业定义**：通过EDA设计工具，进行集成电路后端的版图设计和验证，最终产生送交供集成电路制造用的GDSII数据。
- ◆ **工作内容**：主要从事芯片物理结构分析、版图编辑、逻辑分析、版图物理验证、联系代工厂、版图自动布局布线、建立后端设计流程等工作。
- ◆ **技能要求**：集成电路版图设计员是连接设计与制造工厂的桥梁，为此，他必须懂得集成电路设计与制造的流程、原理及相关知识，更重要的是，他要掌握芯片的物理结构分析、版图编辑、逻辑分析、版

专业相关资料介绍

- <http://www.icisee.com.cn/bbs/index.asp>

- 职业等级：四个等级：

版图设计员（国家职业资格四级）

助理版图设计师（国家职业资格三级）

版图设计师（国家职业资格二级）

高级版图设计师（国家职业资格一级）

我是应届毕业生，要做版图设计，不知前途如何，请高手不吝赐教

- <http://www.ednchina.com/BBS/ShowTopic.aspx?id=7885>
- 从版图开始，但是不要局限于版图！
- 做版图是一件比较辛苦的事情，不过做IC的话没有做哪一部份是不辛苦的，呵呵！
一般来说本科从学校出来的话，做版图是比较容易上手的刚开始要学N多的关于版图设计方面的东西！当你在做版图的时候，如果能多一点考虑，为什么这个要这么做？为什么尺寸定成这样？慢慢的你也会学到一些电路设计上的知识了！
其实，好的IC设计师是不能不懂版图的，有版图经验的设

第四章作业1

- 例题：设计一个实现四种逻辑操作的电路，其中控制信号为 K_1K_0 ，逻辑输入为 AB 。

当 $K_1K_0 = 00$ 时，实现 A 、 B 的与操作； 1000

当 $K_1K_0 = 01$ 时，实现 A 、 B 的或操作； 1110

当 $K_1K_0 = 10$ 时，实现 A 、 B 的异或操作； 0110

当 $K_1K_0 = 11$ 时，实现 B 的倒相操作； 0011

第四章作业2

用与非—与非结构的PLA实现逻辑

$$Z = \bar{a} \cdot b \cdot d + \bar{b} \cdot c \cdot \bar{d} + a \cdot \bar{c} \cdot d$$

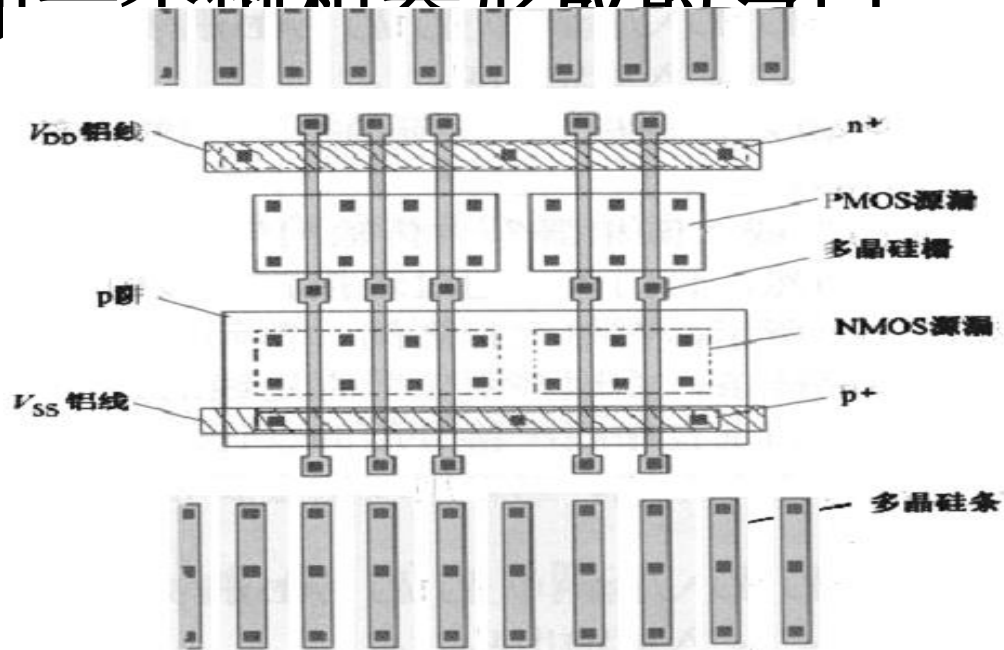
第四章作业3

用或非—或非结构的PLA实现逻辑

$$Z = \bar{a} \cdot b \cdot d + \bar{b} \cdot c \cdot \bar{d} + a \cdot \bar{c} \cdot d$$

第四章作业4

- 用P62图4-19的门阵列单元实现一个与非门加一个倒相器形成的与门



◆ **TTL电平**：输出高电平 $>2.4V$ ，输出低电平 $<0.4V$ 。在室温下，一般输出高电平是 $3.5V$ ，输出低电平是 $0.2V$ 。最小输入高电平和低电平：输入高电平 $\geq 2.0V$ ，输入低电平 $\leq 0.8V$ ，噪声容限是 $0.4V$ 。

◆ **CMOS电平**：

逻辑电平电压接近于电源电压，0逻辑电平接近于 $0V$ 。而且具有宽的噪声容限

◆ **电平转换电路**：

因为TTL和COMS的高低电平的值不一样（ttl $5V \leq \Rightarrow$ coms $3.3V$ ），所以互相连接时需要电平的转换：就是用两个电阻对电平分压

◆ **TTL和COMS电路比较**：

- 1) TTL电路是电流控制器件，而coms电路是电压控制器件。
- 2) TTL电路的速度快，传输延迟时间短($5-10ns$)，但是功耗大。
COMS电路的速度慢，传输延迟时间长($25-50ns$)，但功耗低。