

## 6. 时序逻辑电路的分析与设计

6.1 时序逻辑电路的基本概念

[6.2 同步 时序逻辑电路的分析](#)

[6.3 同步 时序逻辑电路的设计](#)

[\\*6.4 异步 时序逻辑电路的分析](#)

[6.5 若干典型的时序逻辑集成电路](#)

1

## 6.3 同步时序逻辑电路的设计

[6.3.1 设计同步时序逻辑电路的一般步骤](#)

[6.3.2 同步时序逻辑电路设计举例](#)

[6.3.3 同步时序逻辑电路中的时钟偏移](#)

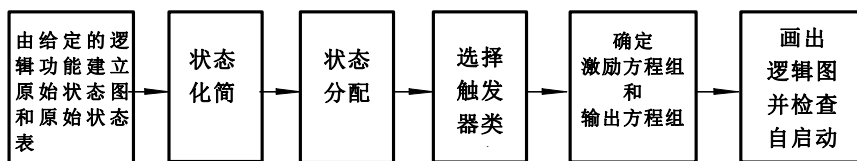
2

## 同步时序逻辑电路的设计

同步时序逻辑电路的设计是分析的逆过程, 其任务是根据实际逻辑问题的要求, 设计出能实现给定逻辑功能的电路。

### 设计同步时序逻辑电路的一般步骤

同步时序电路的设计过程



3

### 设计同步时序逻辑电路的一般步骤

#### (1) 确定输入、输出变量及电路的状态数

根据状态数确定触发器的个数,

$$2^{n-1} < M \leq 2^n \quad (M: \text{状态数}; n: \text{触发器的个数})$$

#### (2) 状态编码 (状态分配)

#### (3) 建立卡诺图、确定触发器类型、求出电路的激励方程和输出方程

#### (4) 检查电路是否能够自启动

#### (5) 时序逻辑电路图:

4

## 同步时序逻辑电路设计举例

例1：设计一个带有进位输出的五进制同步加法计数器。

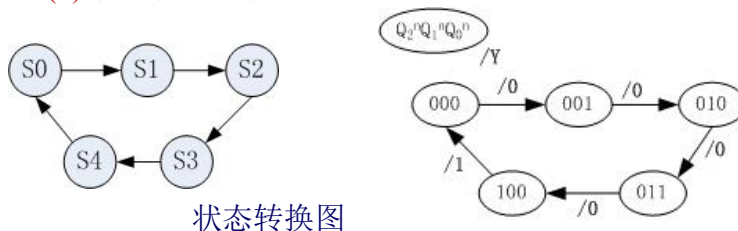
解：(1) 确定输入、输出变量及电路的状态数：

5进制计数器，状态数 $M=5$ ，用 $S_i$ 表示。

触发器数目： $n=3$ 。

输出变量： $Y$

(2) 状态编码（状态分配）：



5

(3) 建立卡诺图、确定触发器类型、求出电路的激励方程和输出方程：

① 卡诺图：

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	001/0	010/0	100/0	011/0
1	000/1	×××/×	×××/×	×××/×

(a) 触发器的次态卡诺图

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	0	0	1	0
1	0	×	×	×

(b)  $Q_2^n$  的次态卡诺图

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	0	1	0	1
1	0	×	×	×

(c)  $Q_1^n$  的次态卡诺图

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	1	0	0	1
1	0	×	×	×

(d)  $Q_0^n$  的次态卡诺图

$Q_2^n \backslash Q_0^n$	00	01	11	10
0	0	0	0	0
1	1	×	×	×

(e)  $Y$  的次态卡诺图

6

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	0	0	1	0
1	0	×	×	×

(b)  $Q_2^n$  的次态卡诺图

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	0	1	0	1
1	0	×	×	×

(c)  $Q_1^n$  的次态卡诺图

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	1	0	0	1
1	0	×	×	×

(d)  $Q_0^n$  的次态卡诺图

$Q_2^n \backslash Q_0^n$	00	01	11	10
0	0	0	0	0
1	1	×	×	×

(e) Y 的次态卡诺图

② 选用JK触发器, 则对应的

特性方程(含化简过程):

特性方程:  $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

$$\begin{cases} Q_2^{n+1} = Q_1^n Q_0^n \\ \quad = Q_1^n Q_0^n \overline{Q_2^n} + \overline{1} \cdot Q_2^n \\ Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \\ Q_0^{n+1} = \overline{Q_2^n} \cdot \overline{Q_0^n} = \overline{Q_2^n} \cdot \overline{Q_0^n} + \overline{1} \cdot Q_0^n \end{cases}$$

② 选用JK触发器, 则对应的

特性方程(含化简过程):

特性方程:

$$\begin{cases} Q_2^{n+1} = Q_1^n Q_0^n \overline{Q_2^n} + \overline{1} \cdot Q_2^n \\ Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n} \\ Q_0^{n+1} = \overline{Q_2^n} \cdot \overline{Q_0^n} = \overline{Q_2^n} \cdot \overline{Q_0^n} + \overline{1} \cdot Q_0^n \end{cases}$$

$Q_2^n \backslash Q_0^n$	00	01	11	10
0	0	0	0	0
1	1	×	×	×

(e) Y 的次态卡诺图

③ 驱动方程:

④ 输出方程:  $Y = Q_2^n$

$$\begin{cases} J_2 = Q_1^n Q_0^n, & K_2 = 1 \\ J_1 = K_1 = Q_0^n \\ J_0 = \overline{Q_2^n}, & K_0 = 1 \end{cases}$$

## (4) 检查电路是否能够自启动

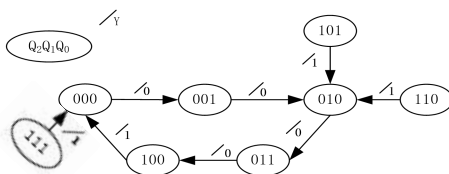
将计数器中未含状态 101、110、111 代入状态方程：

$$\begin{cases} Q_2^{n+1} = Q_1^n Q_0^n \\ \quad = Q_1^n Q_0^n \overline{Q_2^n} + \overline{1} \cdot Q_2^n & Y = Q_2^n \\ Q_1^{n+1} = Q_1^n \overline{Q_0^n} + \overline{Q_1^n} Q_0^n \\ Q_0^{n+1} = \overline{Q_2^n} \cdot \overline{Q_0^n} = \overline{Q_2^n} \cdot \overline{Q_0^n} + \overline{1} \cdot Q_0^n \end{cases}$$

$$101 \xrightarrow{1} 010$$

$$110 \xrightarrow{1} 010$$

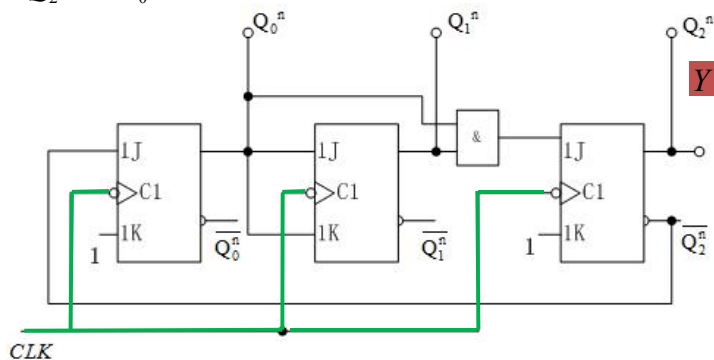
$$111 \xrightarrow{1} 000$$



9

## (5) 时序逻辑电路图：

$$\begin{cases} J_2 = Q_1^n Q_0^n, & K_2 = 1 \\ J_1 = K_1 = Q_0^n \\ J_0 = \overline{Q_2^n}, & K_0 = 1 \end{cases} \quad Y = Q_2^n$$



10

## 同步时序逻辑电路设计举例2

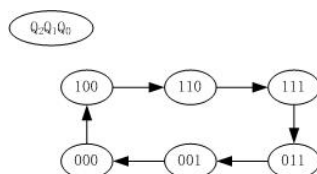
例2：试用D触发器构成一同步时序逻辑电路，实现状态循环100、110、111、011、001、000、100，要求电路能够自启动。

解：(1) 确定输入、输出变量及电路的状态数：

状态数  $M=6$ ，用 $S_i$ 表示

触发器数目： $n=3$

(2) 状态图转换图：



11

(3) 建立卡诺图、确定触发器类型、求出电路的激励方程和输出方程：

① 卡诺图：

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	100	000	001	×××
1	110	×××	011	111

(a) 触发器的次态卡诺图

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	1	0	0	×
1	1	×	0	1

(b)  $Q_2^n$  的次态卡诺图

$$Q_2^{n+1} = \overline{Q_0^n}$$

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	0	0	0	×
1	1	×	1	1

(c)  $Q_1^n$  的次态卡诺图

$$Q_1^{n+1} = Q_2^n$$

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	0	0	1	×
1	0	×	1	1

(d)  $Q_0^n$  的次态卡诺图

$$Q_0^{n+1} = Q_1^n$$

12

② 选用D触发器, 则对应的特性方程(含化简过程) :

特性方程:

$$\begin{cases} Q_2^{n+1} = \overline{Q_0^n} \\ Q_1^{n+1} = Q_2^n \\ Q_0^{n+1} = Q_1^n \end{cases}$$

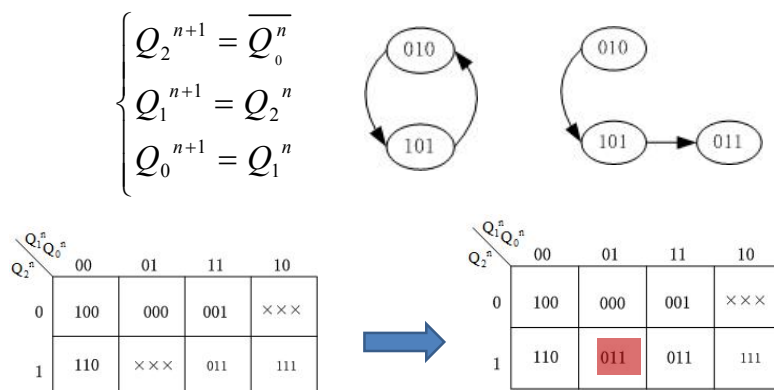
③ 驱动方程:

$$\begin{cases} D_2 = \overline{Q_0^n} \\ D_1 = Q_2^n \\ D_0 = Q_1^n \end{cases}$$

13

(4) 检查电路是否能够自启动

将计数器中未含状态 010、101代入状态方程:



修改触发器的次态卡诺图

14

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	1	0	0	×
1	1	×	0	1

(b)  $Q_2^n$  的次态卡诺图

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	0	0	0	×
1	1	×	1	1

(c)  $Q_1^n$  的次态卡诺图

$$Q_2^{n+1} = \overline{Q_0^n}$$

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	0	0	1	×
1	0	×	1	1

(d)  $Q_0^n$  的次态卡诺图

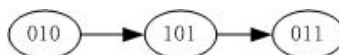
$$Q_1^{n+1} = Q_2^n$$

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	0	0	1	×
1	0	×	1	1

$$Q_0^{n+1} = Q_1^n$$

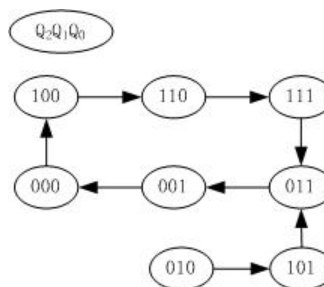
$$Q_0^{n+1} = Q_1^n + Q_2^n Q_0^n$$

再次验证自启动：



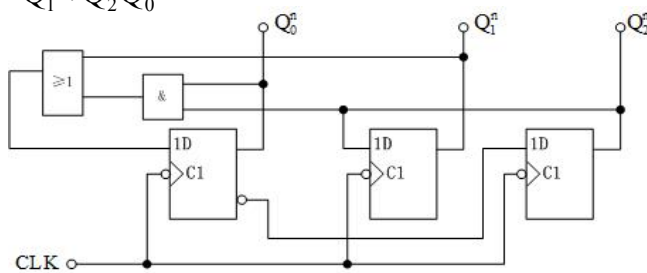
15

添加自启动后的状态转换图：



(5) 时序逻辑电路图：

$$\begin{cases} D_2 = \overline{Q_0^n} \\ D_1 = Q_2^n \\ D_0 = Q_1^n + Q_2^n Q_0^n \end{cases}$$

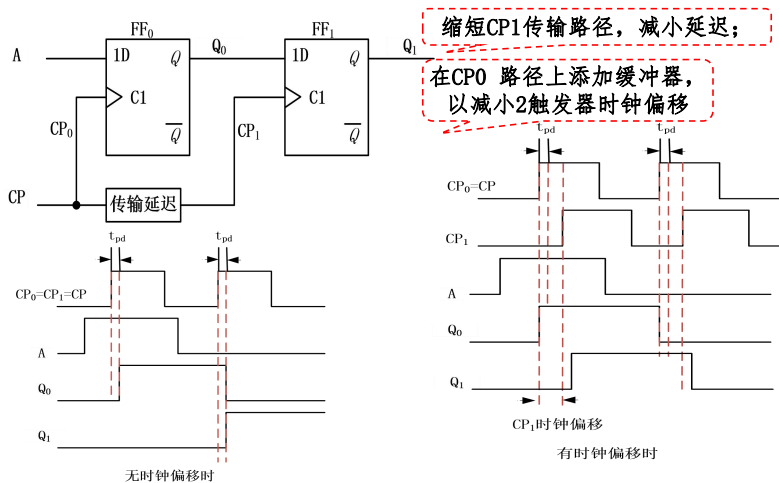


16



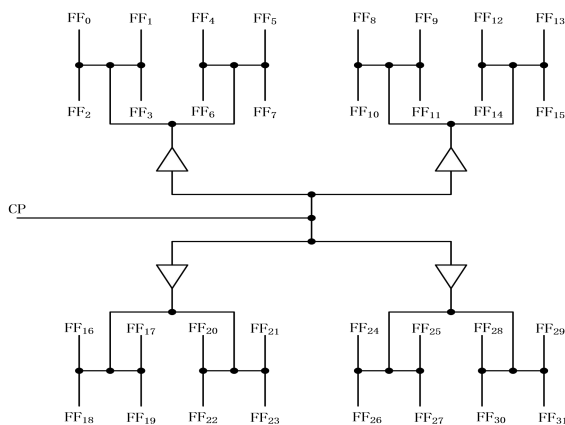
### 6.3.3同步时序逻辑电路中的时钟偏移

- **时钟偏移**：从**同一时钟出发**的时钟脉冲，通过不同路径到达每个触发器得时间不同而产生的偏差。



17

- **引起时钟偏移的主要原因：**
- 1、各触发器时钟传输**路径的长度**不同。
- 2、各触发器时钟传输路径上经过的**缓冲器的数量**不同。
- 3、各触发器时钟传输路径上的**负载不平衡**。



18

## 作业（1）

- 课后参考题：
- 时序逻辑电路分析：
- 6.2（2、3、6）（6.4.2选做）
- 时序逻辑电路设计
- 6.3（2、3、4）
- 习题集(选做)
- 时序逻辑电路设计
- 1、2、3、4