

5 锁存器和触发器

5.1 双稳态存储单元电路

5.2 锁存器

5.3 触发器的电路结构和工作原理

5.4 触发器的逻辑功能

教学基本要求

- 1、掌握锁存器、触发器的电路结构和工作原理
- 2、熟练掌握SR触发器、JK触发器、D触发器及T触发器的逻辑功能
- 3、正确理解锁存器、触发器的动态特性

概述

1、时序逻辑电路与锁存器、触发器：

时序逻辑电路：

工作特征：时序逻辑电路的工作特点是任意时刻的输出状态不仅与该当前的输入信号有关，而且与此前电路的状态有关。

结构特征：由组合逻辑电路和存储电路组成，电路中存在反馈。

锁存器和触发器是构成时序逻辑电路的基本逻辑单元。

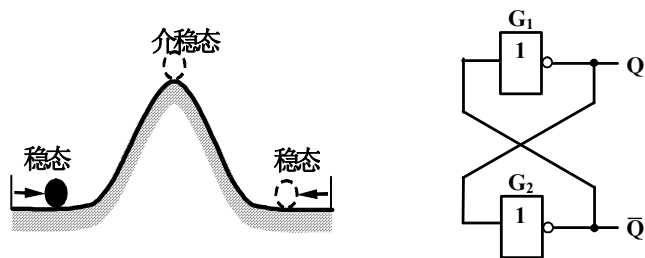
5.1 双稳态存储单元电路

5.1.1 双稳态的概念

5.1.2 双稳态存储单元电路

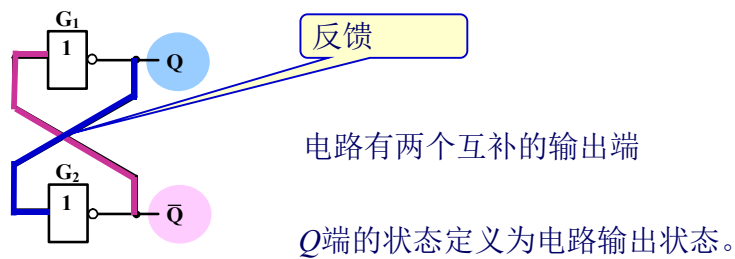
5.1 双稳态存储单元电路

5.1.1 双稳态的概念



5.1.2 双稳态存储单元电路

1. 电路结构

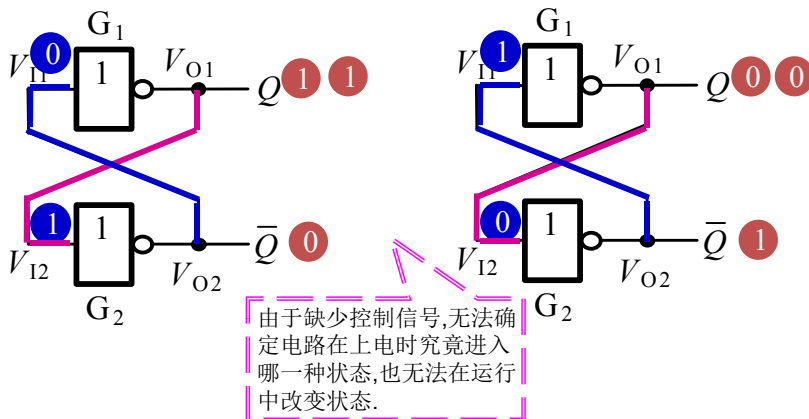


2、数字逻辑分析

——电路具有记忆1位二进制数据的功能。

如 $Q = 1$

如 $Q = 0$



5.2 锁存器

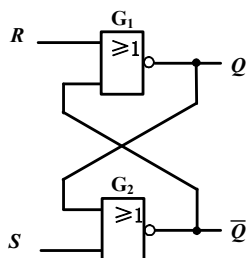
5.2.1 SR 锁存器

5.2.1 D 锁存器

5.2 锁存器

5.2.1 SR 锁存器

1. 基本SR锁存器



初态： R 、 S 信号作用前, Q 端的状态, 初态用 Q^n 表示。

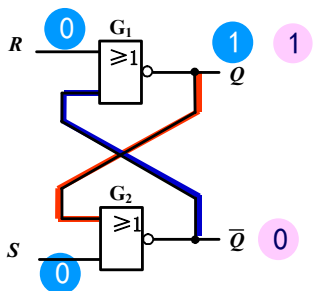
次态： R 、 S 信号作用后, Q 端的状态次态用 Q^{n+1} 表示。

1) 工作原理

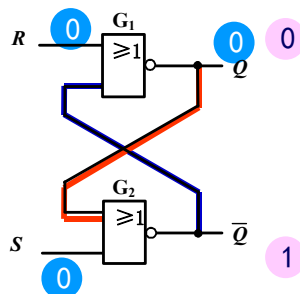
$R=0$ 、 $S=0$

状态不变

若初态 $Q^n = 1$

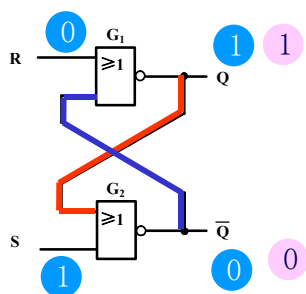


若初态 $Q^n = 0$

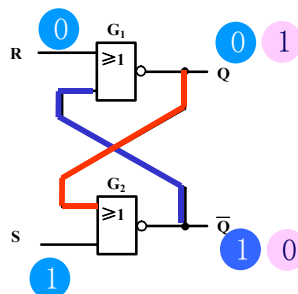


$R=0$ 、 $S=1$ 置1

无论初态 Q^n 为0或1，锁存器的次态为1态。信号消失后新的状态将被记忆下来。



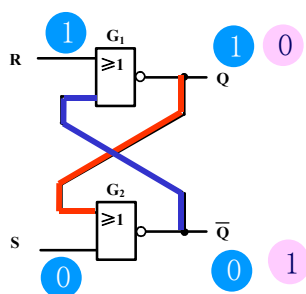
若初态 $Q^n = 1$



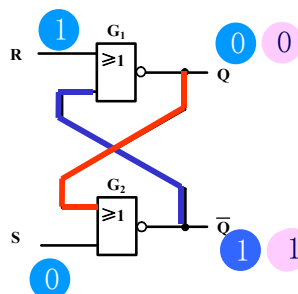
若初态 $Q^n = 0$

$R=1$ 、 $S=0$ 置0

无论初态 Q^n 为0或1，锁存器的次态为0态。信号消失后新的状态将被记忆下来。



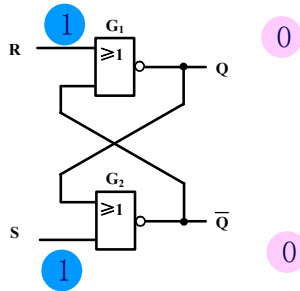
若初态 $Q^n = 1$



若初态 $Q^n = 0$

$S=1$ 、 $R=1$ 状态不确定

无论初态 Q^n 为0或1，触发器的次态 Q^n 、 \bar{Q}^n 都为0。



触发器的输出既不是0态，也不是1态

当 S 、 R 同时回到0时，由于两个与非门的延迟时间无法确定，使得触发器最终稳定状态也不能确定。

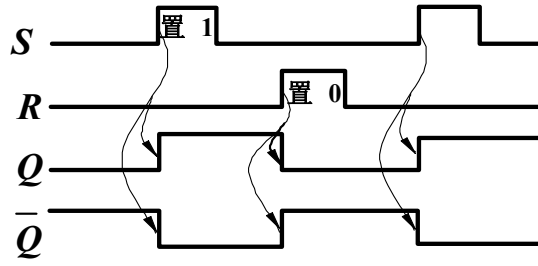
约束条件: $SR = 0$

SR锁存器的特性表

R	S	Q^n	Q^{n+1}	说 明
0	0	0	0	保持
0	0	1	1	
0	1	0	1	置 1
0	1	1	1	
1	0	0	0	置 0
1	0	1	0	
1	1	0	0	不确定
1	1	1	0	

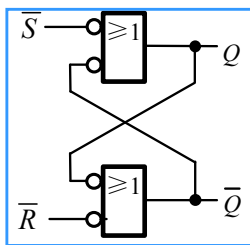
约束条件: $SR = 0$

3) 工作波形



4) 用与非门构成的基本SR锁存器

a. 电路图

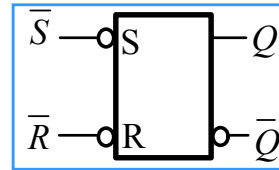


b. 功能表

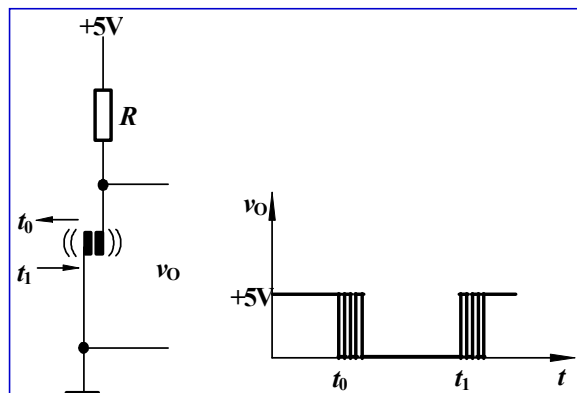
\bar{R}	\bar{S}	Q	\bar{Q}
1	1	不变	不变
1	0	1	0
0	1	0	1
0	0	1	不定

约束条件: $SR = 0$

c. 国标逻辑符号



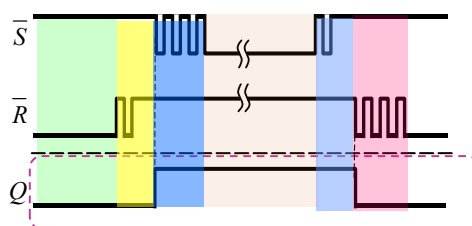
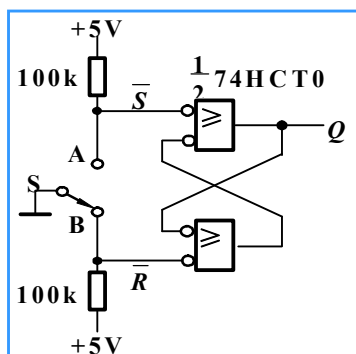
例 运用基本SR锁存器消除机械开关触点抖动引起的脉冲输出。



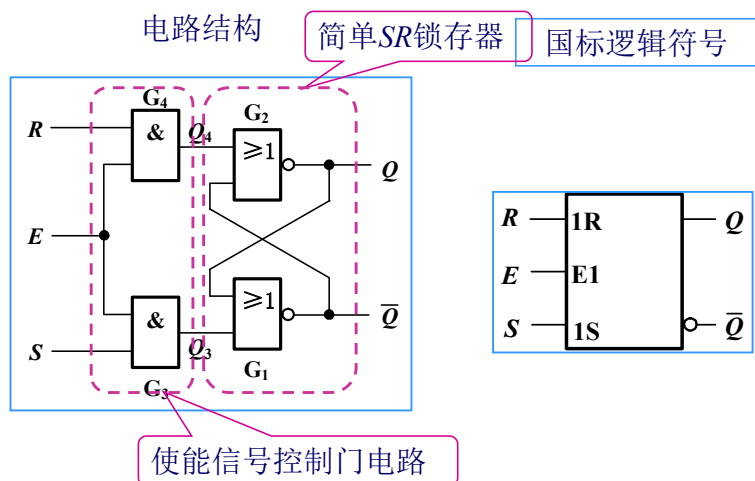
b. 功能表

\overline{R}	\overline{S}	Q	\overline{Q}
1	1	不变	不变
1	0	1	0
0	1	0	1
0	0	1	不定

约束条件: $SR = 0$



2. 逻辑门控SR锁存器



2、工作原理

$E=0$: 状态不变

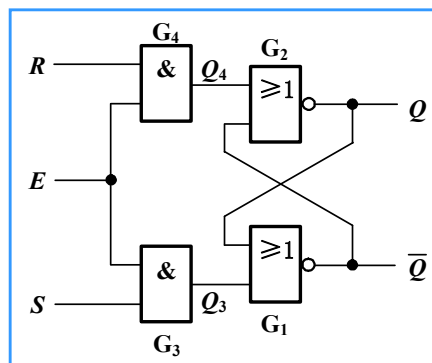
$E=1$: $Q_3 = S$ $Q_4 = R$
状态发生变化。

$S=0, R=0$: $Q^{n+1} = Q^n$

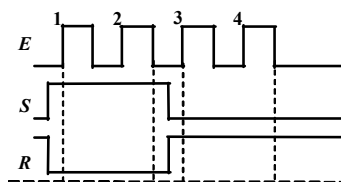
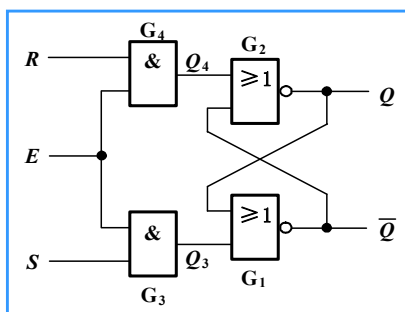
$S=1, R=0$: $Q^{n+1} = 1$

$S=0, R=1$: $Q^{n+1} = 0$

$S=1, R=1$: $Q^{n+1} = \Phi$



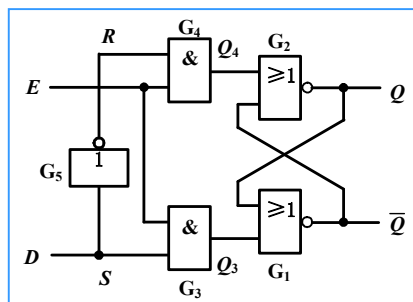
逻辑门控SR锁存器的 E 、 S 、 R 的波形如下图虚线上边所示，锁存器的原始状态为 $Q = 0$ ，试画出 Q_3 、 Q_4 、 Q 和 \bar{Q} 的波形。



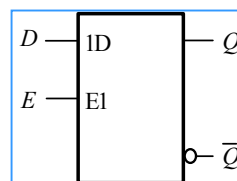
5.2.2 D 锁存器

1. 逻辑门控D锁存器

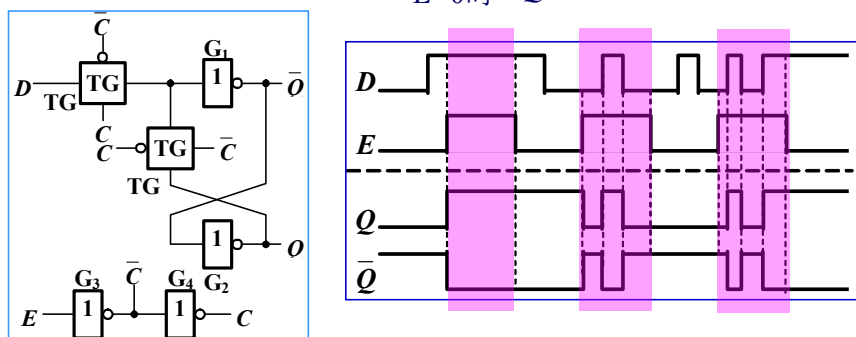
逻辑电路图



国标逻辑符号

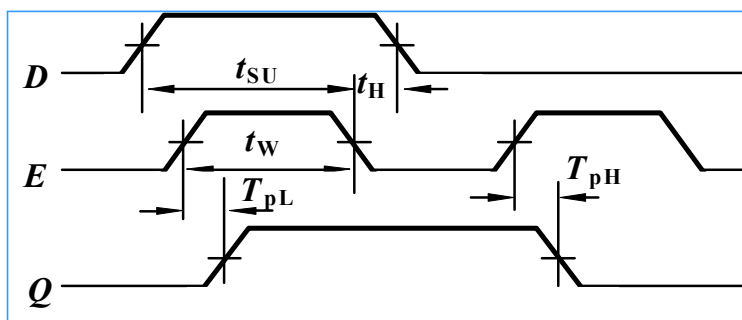


(c) 工作波形



3. D锁存器的动态特性

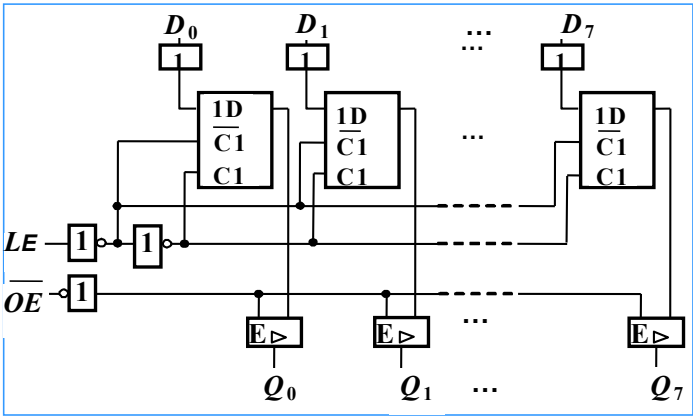
定时图:表示电路动作过程中, 对各输入信号的时间要求以及输出对输入信号的响应时间。



t_{SU} : 建立时间. D信号要在门控信号E下降沿到来之前建立起来, 才能保证正确地锁存.
 t_H : 保持时间. E信号电平下降后, D信号不允许立即撤除, 否则不能确保数据的锁存.
 t_w : 脉冲宽度. 为保证D信号正确地传送到Q(或/Q)端, 要求E信号高电平脉冲的最小宽度.

4. 典型集成电路

74HC/HCT373 八D锁存器



74HC/HCT373的功能表

工作模式	输 入			内部锁存器 状 态	输 出
	\overline{OE}	LE	D_n		Q_n
使能和读锁存器 (传送模式)	L	H	L	L	L
	L	H	H	H	H
锁存和读锁存器	L	L	L*	L	L
	L	L	H*	H	H
锁存和禁止输出	H	×	×	×	高阻
	H	×	×	×	高阻

L*和H*表示门控电平 LE 由高变低之前瞬间 D_n 的逻辑电平。

第五章作业

- 课后参考题

P237 5.2.4 5.2.5

P240 5.4.3 5.4.4

P241 5.4.6 5.4.7 5.4.8

P242 5.4.9

作业：

- 第五章习题集