

5 锁存器和触发器

5.1 双稳态存储单元电路

5.2 锁存器

5.3 触发器的电路结构和工作原理

5.4 触发器的逻辑功能

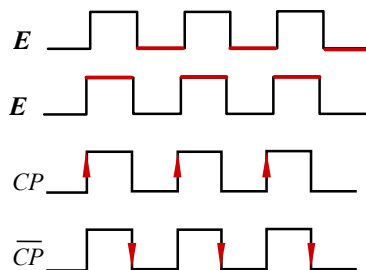
锁存器与触发器区别

共同点：具有0和1两个稳定状态，一旦状态被确定，就能自行保持。一个锁存器或触发器能存储一位二进制码。

不同点：

锁存器---对脉冲电平敏感的存储电路，在特定输入脉冲电平作用下改变状态。

触发器---对脉冲边沿敏感的存储电路，在时钟脉冲的上升沿或下降沿的变化瞬间改变状态。



5.3 触发器的电路结构和工作原理

5.3.1 主从触发器

5.3.2 维持阻塞触发器

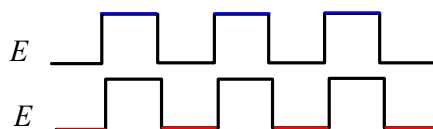
*5.3.3 利用传输延时的触发器

5.3.4 触发器的动态特性

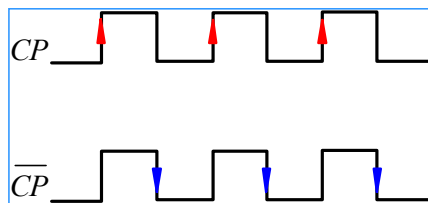
5.3 触发器的电路结构和工作原理

1. 锁存器与触发器

锁存器在E的高(低)电平期间对信号敏感



触发器在CP的上升沿(下降沿)对信号敏感



5.3 触发器的电路结构和工作原理

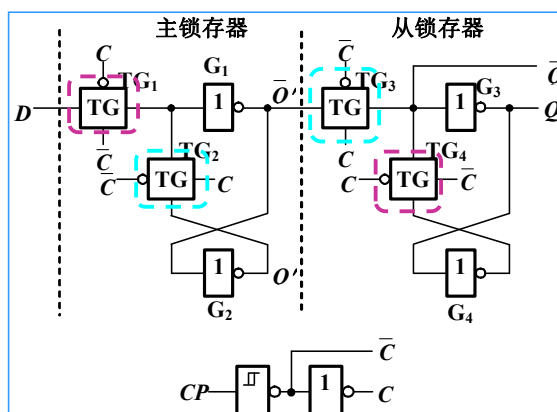
5.3.1 主从触发器

1. 电路结构

主锁存器与从锁存器结构相同

TG₁和TG₄的工作状态相同

TG₂和TG₃的工作状态相同

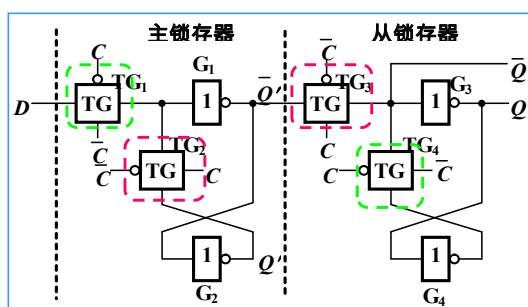
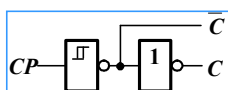


2. 由传输门组成的CMOS边沿D触发器

工作原理:

(1) CP=0时:

$\bar{C} = 1, C = 0,$



TG₁导通, TG₂断开——输入信号 D 送入主锁存器。

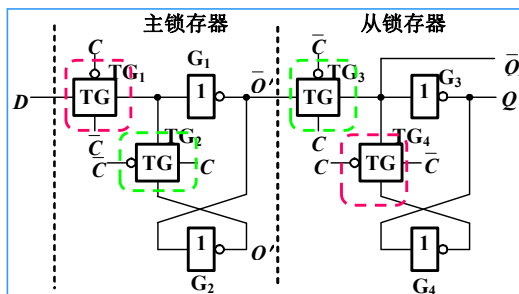
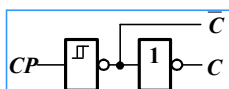
Q' 跟随 D 端的状态变化, 使 $Q'=D$ 。

TG₃断开, TG₄导通——从锁存器维持在原来的状态不变。

工作原理：

(2) CP由0跳变到1：

$$\bar{C} = 0, C = 1,$$



TG₁断开，TG₂导通——输入信号D不能送入主锁存器。

主锁存器维持原态不变。

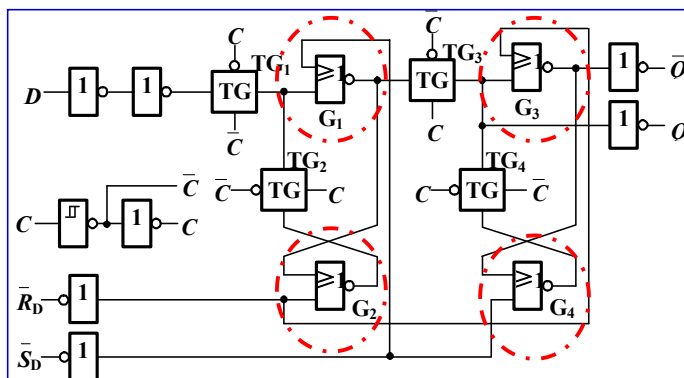
TG₃导通，TG₄断开——从锁存器Q'的信号送Q端。

触发器的状态仅仅取决于CP信号上升沿到达前瞬间的D信号

D触发器的特征方程： $CP \uparrow \quad Q^{n+1} = D$

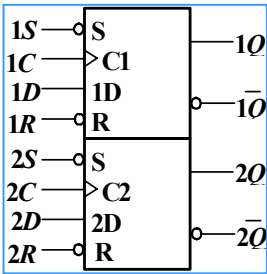
2. 典型集成电路

74HC/HCT74 中D触发器的逻辑图



74HC/HCT74的逻辑符号和功能表

74HC/HCT74的功能表



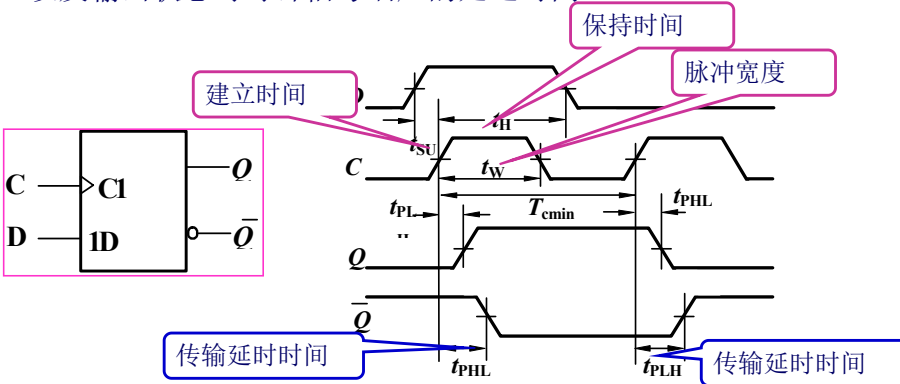
国标逻辑符号

输 入				输 出	
\overline{S}_D	\overline{R}_D	CP	D	Q	\overline{Q}
L	H	×	×	H	L
H	L	×	×	L	H
L	L	×	×	H	H
\overline{S}_D	\overline{R}_D	CP	D	Q^{n+1}	\overline{Q}^{n+1}
H	H	↑	L	L	H
H	H	↑	H	H	L

具有直接置1、直接置0，正边沿触发的D功能触发器

5.3.4 触发器的动态特性

动态特性反映其触发器对输入信号和时钟信号间的时间要求，以及输出状态对时钟信号响应的延迟时间。



建立时间、保持时间和D状态必须保持稳定，否则沿时钟边沿输出端使触发器状态得到正确的转换。

建立时间 t_{SU} ：保证与 D 相关的电路建立起稳定的状态，使触发器状态得到正确的转换。

保持时间 t_{H} ：保证 D 状态可靠地传送到 Q

触发脉冲宽度 t_{W} ：保证内部各门正确翻转。

传输延迟时间 t_{PLH} 和 t_{PHL} ：时钟脉冲 CP 上升沿至输出端新状态稳定建立起来的时间

最高触发频率 f_{cmax} ：触发器内部都要完成一系列动作，需要一定的时间延迟，所以对于 CP 最高工作频率有一个限制。

5.4 触发器的逻辑功能

5.4.1 D 触发器

5.4.2 JK 触发器

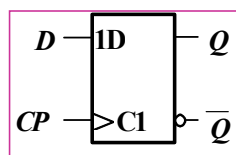
5.4.2 T 触发器

5.4.3 SR 触发器

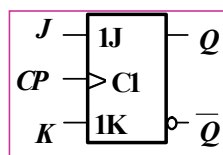
5.4.4 D 触发器功能的转换

5.4 触发器的逻辑功能

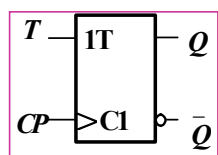
不同逻辑功能的触发器国际逻辑符号



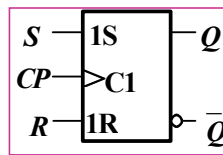
D 触发器



JK 触发器



T 触发器

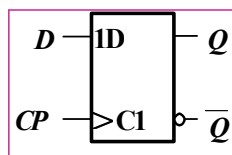


RS 触发器

5.4.1 D 触发器

1. 特性表

现态 Q^n	输入 D	次态 Q^{n+1}
0	0	0
0	1	1
1	0	0
1	1	1

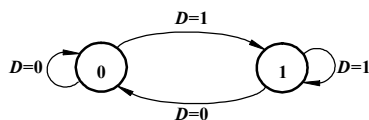


D 触发器

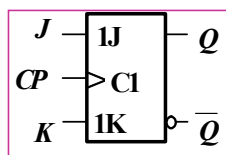
2. 特性方程

$$Q^{n+1} = D$$

3. 状态图



5.4.2 JK 触发器



1. 特性表 JK 触发器

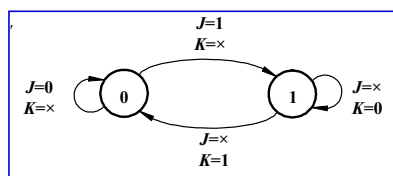
J	K	Q^n	Q^{n+1}	说明
0	0	0	0	状态不变
0	0	1	1	
0	1	0	0	置 0 (状态与J相同)
0	1	1	0	
1	0	0	1	置 1 (状态与J相同)
1	0	1	1	
1	1	0	1	翻 转
1	1	1	0	

2. 特性方程

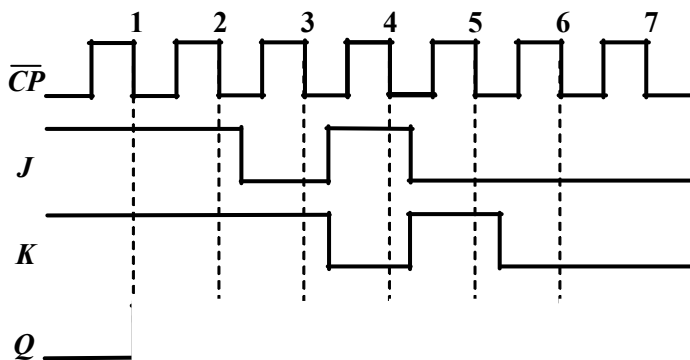
$J \backslash KQ^n$	00	01	11	10
0	0	1	0	0
1	1	1	0	1

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

3. 状态转换图

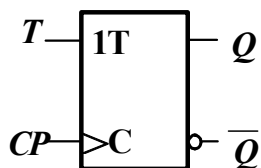


例5.4.1 设下降沿触发的JK触发器时钟脉冲和J、K信号的波形如图所示试画出输出端Q的波形。设触发器的初始状态为0。



5.4.3 T触发器

逻辑符号



特性方程

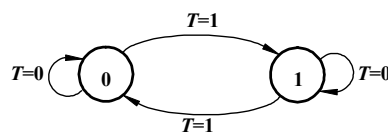
$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

JK 触发器: $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

特性表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

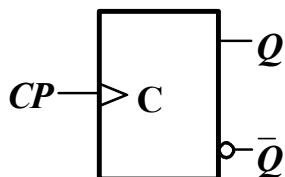
状态转换图



$\xrightarrow{J=K=T\text{时}} T\text{触发器}$

4. T'触发器

国际逻辑符号



特性方程

$$Q^{n+1} = \overline{Q}^n$$

时钟脉冲每作用一次，触发器翻转一次。

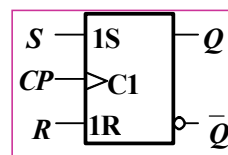
T 触发器: $Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$

$\xrightarrow{T=1\text{时}} T'\text{触发器}$

5.4.4 SR 触发器

1. 特性表

S	R	Q^n	Q^{n+1}	说明
0	0	0	0	状态不变
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	不确定
1	1	1	0	

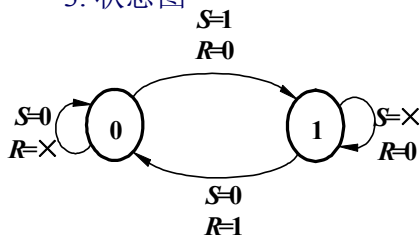


RS 触发器

2. 特性方程

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR=0 \text{ (约束条件)} \end{cases}$$

3. 状态图

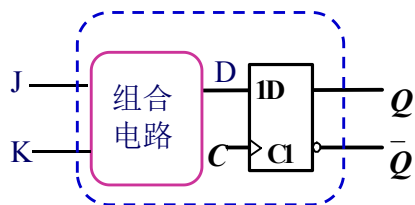


JK 触发器: $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

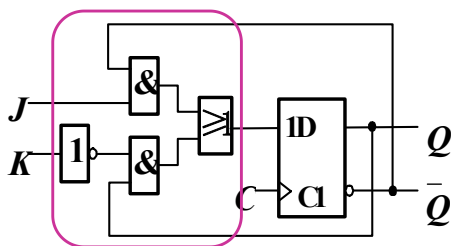
$\xrightarrow{J=S \ K=R \text{ 时}}$ SR 触发器

5.3.4 D 触发器功能的转换

1. D 触发器构成 JK 触发器

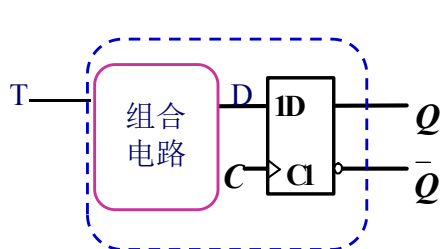


$$\begin{aligned} Q^{n+1} &= J\bar{Q}^n + \bar{K}Q^n \\ Q^{n+1} &= D \end{aligned}$$



$$D = J\bar{Q} + \bar{K}Q$$

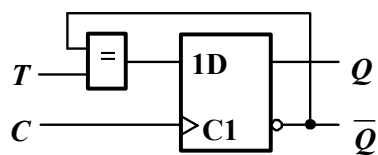
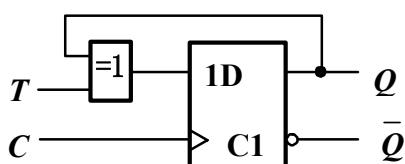
2. D 触发器构成 T 触发器



$$Q^{n+1} = D$$

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

$$D = T\bar{Q} + \bar{T}Q = T \oplus Q$$

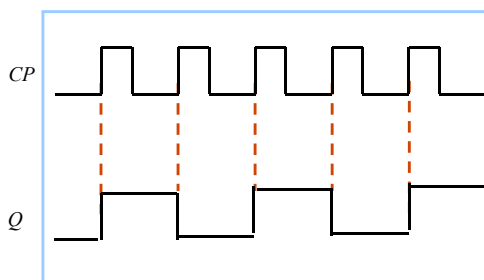
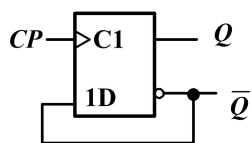


3. D 触发器构成 T' 触发器

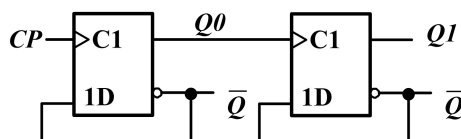
$$Q^{n+1} = D$$

$$Q^{n+1} = \bar{Q}^n$$

$$D = \bar{Q}^n$$



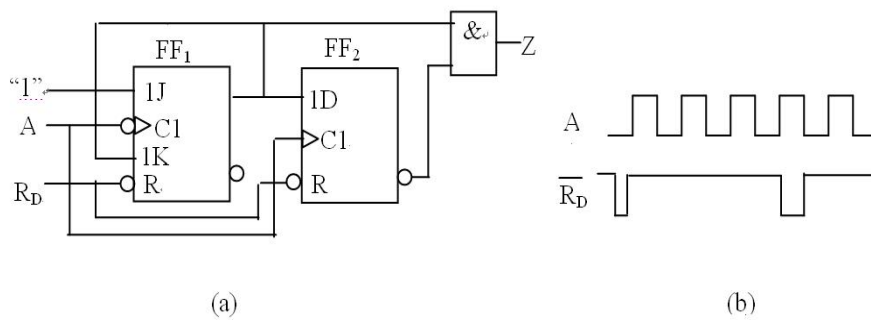
二分频



四分频

练习题2：

电路和输入波形如图4-23(a) (b)所示，画出Q1、Q2、Z的输出波形。



第五章作业

• 课后参考题

P237 5.2.4 5.2.5

P240 5.4.3 5.4.4

P241 5.4.6 5.4.7 5.4.8

P242 5.4.9

作业：

• 第五章习题集