

2.5 发展的MOS器件技术

- ◆ 当器件的**特征尺寸**（MOS管的栅宽）缩小到亚微米甚至更小时，由于各种物理效应的显现，**器件特性**偏离了原有的规律，对VLSI设计产生很大影响。

科学家们不遗余力地研究**新器件、新结构、新材料、新工艺。**

2.5 发展的MOS器件技术

- ◆ 2.5.1 物理效应对器件特性的影响
- ◆ 2.5.2 材料技术
- ◆ 2.5.3 器件结构

2.5.1 物理效应对器件特性的影响

◆ 在集成MOS器件中，物理效应通过两种主要的机制对器件特性产生影响：

➤ **作用：** 工作条件变化或器件尺寸缩小引起

衬底偏置效应 V_{BS}

沟道调制效应 V_{DS} 夹断点右移导致沟道长度变小
对模拟电路影响大，在数字系统中通常忽略

➤ **寄生：** 由器件物理结构所决定的非主导性结构以及由这些结构所产生的影响。

晶闸管效应：正常工作时可控硅不导通
无论何种原因，只要一导通，即使触发条件消失，
仍旧继续作用

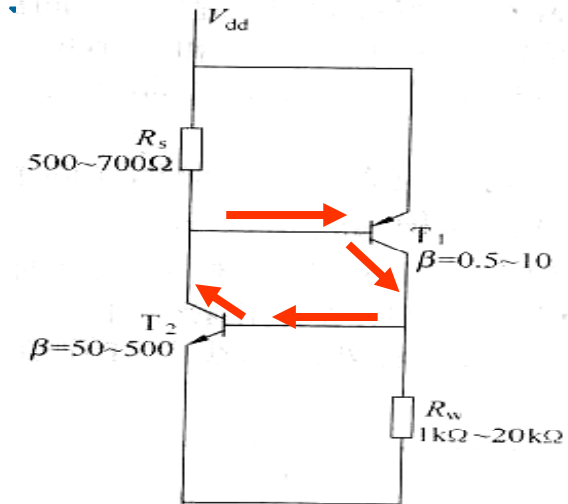
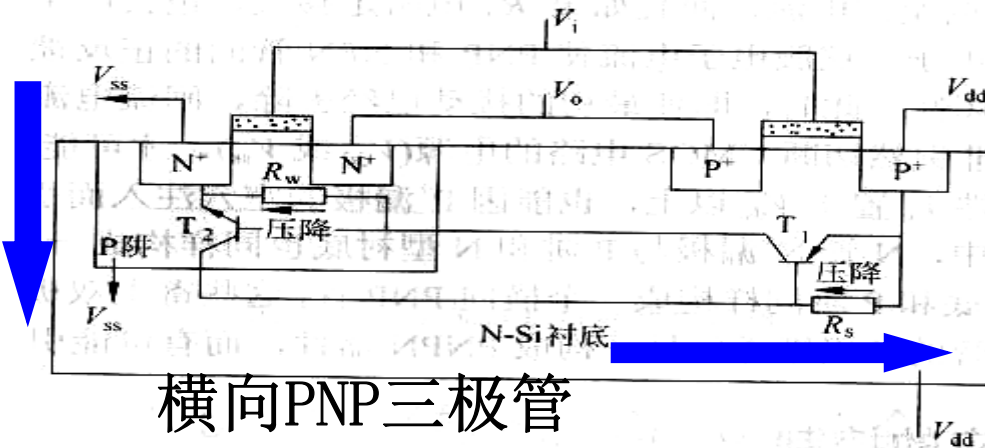
补充：可控硅效应原理

- 可控硅效应，晶闸管效应，**闩锁效应 (latch-up)**
- 可控硅又称晶闸管(thyristor)
 - 最早由美国贝尔实验室发明
 - 是由三个及以上pn结组成、具有开关特性的半导体器件的总称
 - 通常使用最多的是三端可控整流器，GTO晶闸管及双向硅可控整流器
 - 具有栅极的三端可控硅叫做SCR(Semiconductor Controlled Rectifier 可控整流器)

wxhsnow@163.com

可控硅效应原理

纵向
NPN
三极管



- 若 T_1 和 T_2 管均处于放大状态:
 $ic_1 = \beta_1 ib_1$, $ic_2 = \beta_2 ib_2$ 而且 $ib_1 = ic_2$,
- 如此正向反馈循环的结果, 两个管子的电流剧增, 可控硅使饱和导通

可控硅效应原理

- 一旦可控硅导通后，即使控制极**G**的电流消失了，可控硅仍然能够维持导通状态，由于触发信号只起触发作用，没有关断功能，所以这种可控硅不可关断
- 当由**噪声电流**形成于寄生晶体管的基区时，这个小电流会被放大，由晶体管的放大倍数以及基极寄生电阻决定
- 闩锁效应一旦发生，内部寄生**SCR**结构将被打开，并在 V_{DD} 与 V_{SS} 间形成低阻路径。结果就是产生大电流将器件损坏。

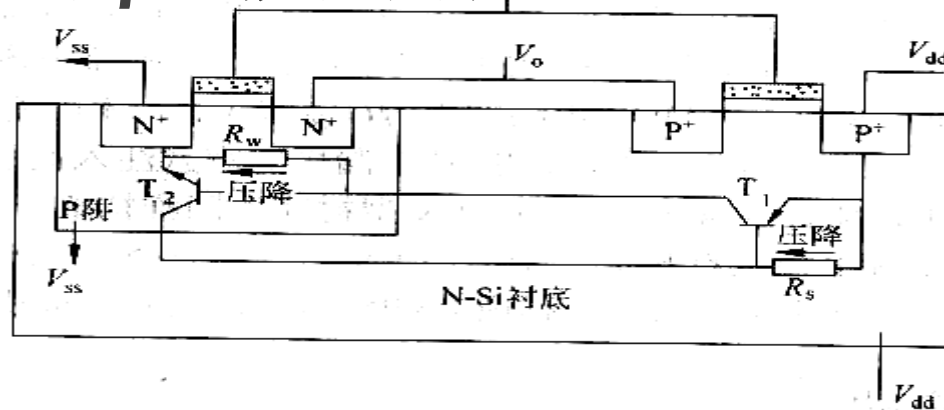
防止可控硅效应（一）

□ 预防可控硅效应的措施主要有：

- （1）输入端信号幅度不能大于 V_{cc} 和小于0V。
- （2）要消除电源上的干扰。
- （3）在条件允许的情况下，尽可能降低电源电压。如果电路工作频率比较低，用+5V电源供电最好

防止可控硅效应——工艺与版图1

- 从生产工艺与版图设计的角度采取措施
- 目的：减小寄生晶体管的电流增益 β 和降低寄生晶体管的基射极分流电阻 R_w 、 R_s 。
- 减小 β ：加大 P^+ 与 P 阱间的距离，增加横向PNP管基极宽度，从而减小 β （牺牲面积）

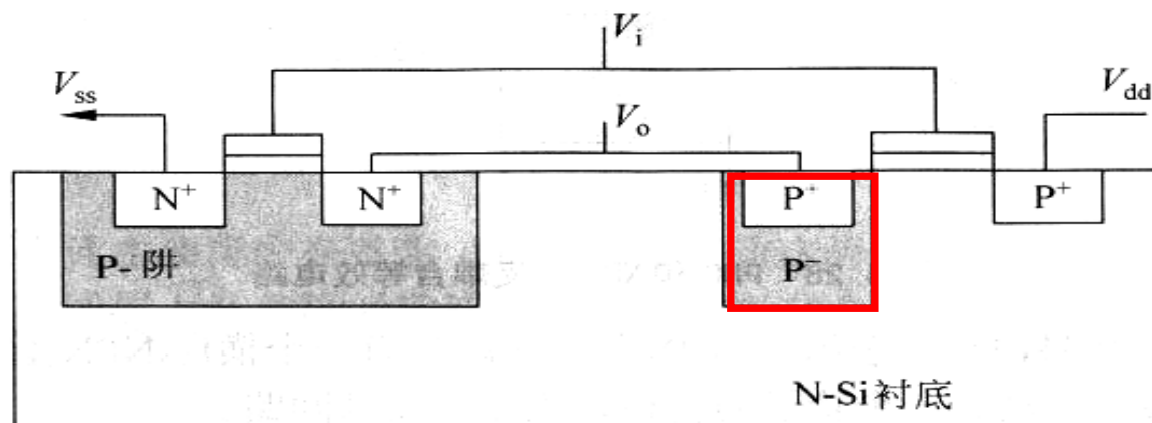


防止可控硅效应——工艺与版图2

第6页

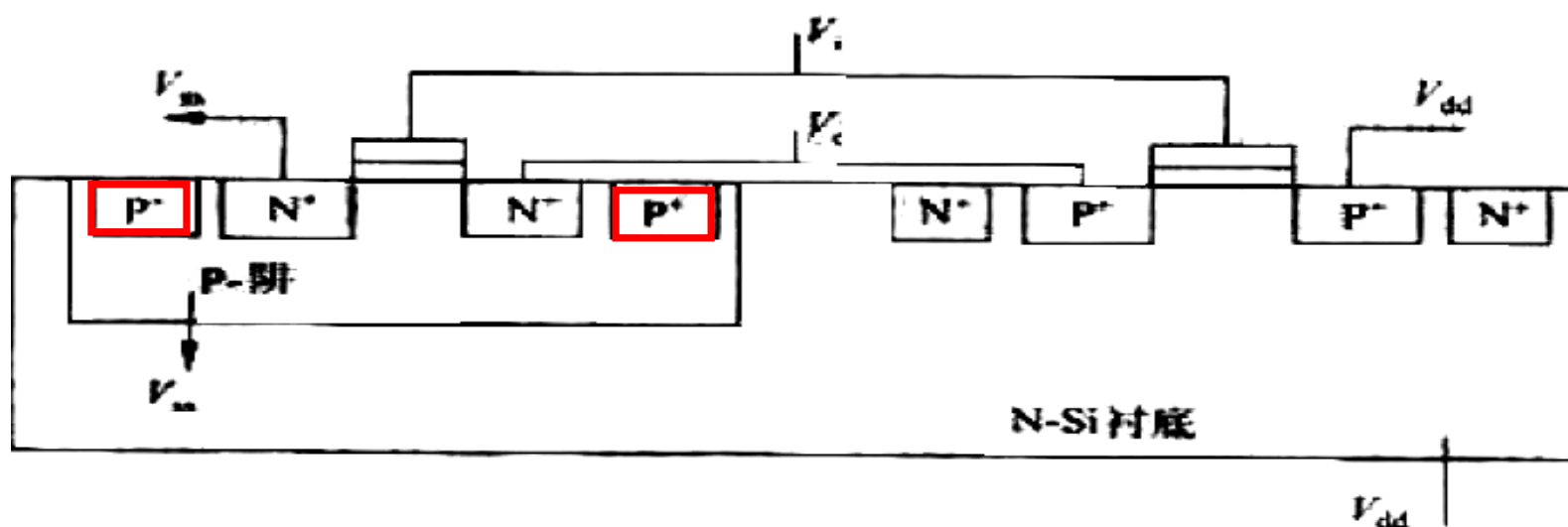
- 采用**伪收集极**：在 P^+ 与 P 阱间加一个接地的 P^- 区，（ P^+ 与 P^- 组成伪收集区），收集横向PNP管发射极注入进的空穴阻止纵向NPN管基极的注入

==》减小 β



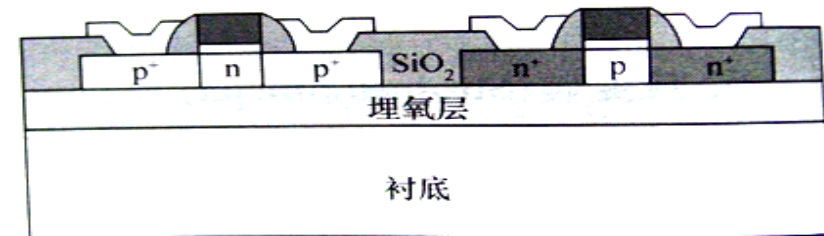
防止可控硅效应——工艺与版图3

- ▶ 采用保护环（隔离环）



防止可控硅效应——工艺与版图4

- ❑ 随着亚微米技术的应用，集成度越来越高，对控制闩锁效应提出了更高的要求
- ❑ 目前广泛采用薄膜SOI(Silicon on Insulator)-COMS工艺
 - 采用绝缘介质作为隔离，使PNP通路完全消失，没有闩锁效应，且提高集成度，降低寄生电容
 - 工艺复杂，成本高



典型物理效应

◆ 常见的典型物理效应有：

- 短沟道效应
- 浅结效应
- 电迁移效应
- 寄生分布
- 关态沟道泄漏电流
- 栅泄漏电流

◆ 1) 短沟道效应： 典型物理效应

尺寸缩小，沟道长度减小

偏离经典理论—长沟道特性

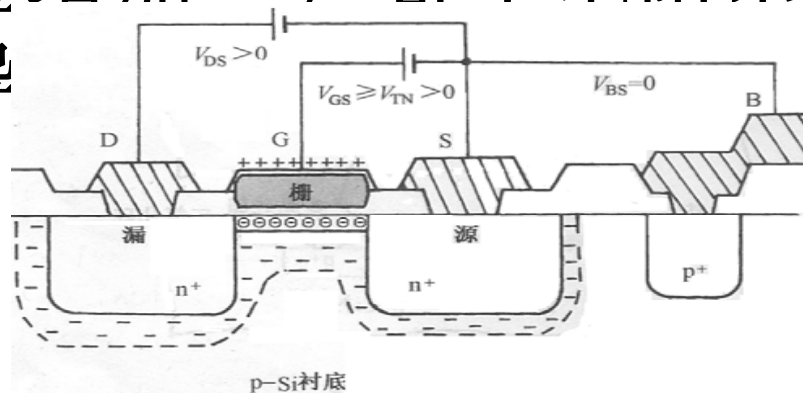
- MOS器件阈值电压随沟道长度减小而减小，随沟道宽度减小而上升（经典：阈值电压由工艺参数和材料参数决定）
- 饱和漏源电压和饱和漏电流小于长沟道理论值
- 饱和漏电流不与 $(V_{GS}-V_T)$ 呈现平方率关系，近似线性
- 明显地不完全饱和
- 在 V_{BS} 为常数时，有效阈值电压随 V_{DS} 增加而下降
- 在一定 V_{GS} 下，亚阈值电流随 V_{DS} 增加而增大。

典型物理效应

◆ 2) 浅结效应：结深减小

优点：抑制热载流子效应、短沟道效应，减小漏源区的pn结电容

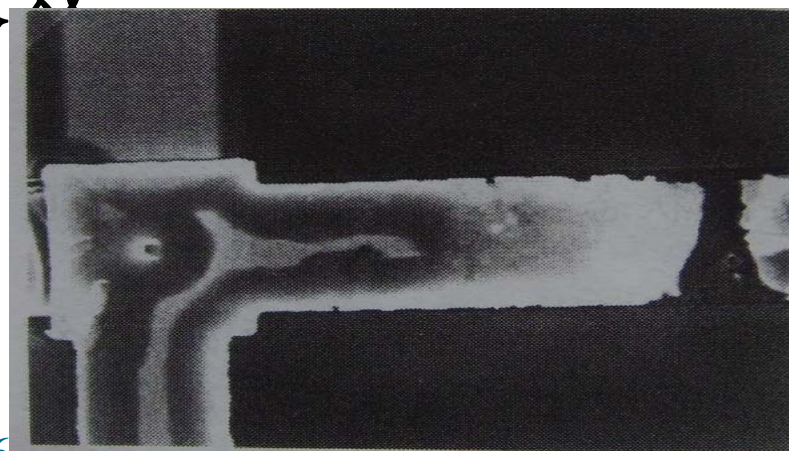
缺点：结深变浅，源漏区的横截面变小，漏源电阻明显增加 \Rightarrow 寄生电阻串联在输出通路上，导



典型物理效应

◆ 3) 电迁移效应

当电流密度很大时，电子的流动导致金属原子移动，金属导线由光滑变为凹凸不平，甚至断路，导致器件失效



wxhsnow@163.com

典型物理效应

◆4) 寄生分布

- ✓ 寄生分布电阻：导体电阻不可能为零
- ✓ 寄生分布电容：任何从绝缘层上通过的导线
“导线—绝缘层—半导体”

寄生电阻与寄生电容并没有随着尺寸缩小而按照比例缩小

典型物理效应

◆5) 关态沟道泄漏电流

指当MOS器件处于截止状态时，在源漏之间存在的电流泄漏随着沟道尺寸的缩小，关态泄漏电流呈明显上升趋势

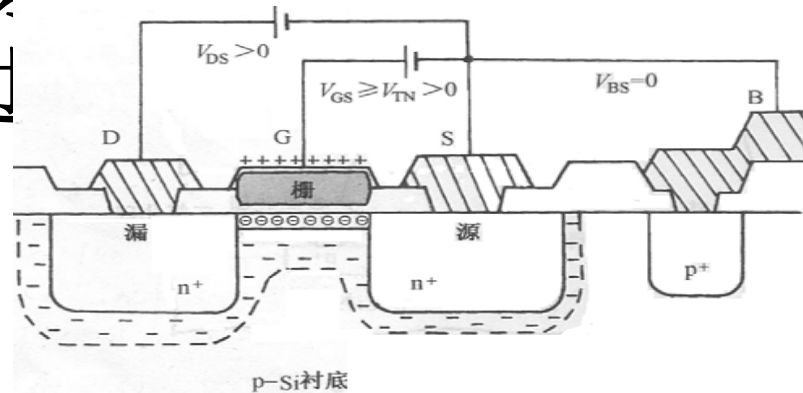
==> 静态功耗变大

典型物理效应

◆ 6) 栅泄漏电流

- ✓ 130nm之前的工艺，栅极电介质（二氧化硅）的厚度足够抵挡电子的通过
- ✓ 工艺发展到90nm，电介质的厚度减小到1.2nm（相当于5个原子层的厚度）左右。

==> 电子穿过
热量的增加



漏电量和发

返回

2.5.2 材料技术

- ◆材料科研人员不断地在工艺中引入新材料或对原有材料进行改进，力求克服或减小因尺寸缩小所产生的问题。
- 1) 硅化物 (**Silicide**)
- 2) 铜互连
- 3) 低K值材料
- 4) 高K值栅介质
- 5) 应变硅 (**Strained Silicon**)

材料技术

◆1) 硅化物 (Silicide) :

- ✓ 金属与硅结合而成的化合物
- ✓ 金属包括Ti、Pt、W、Ta、Mo、Co、Ni等
- ✓ 单晶硅上的硅化物降低浅结漏源区的寄生电阻，多晶硅上的硅化物降低栅上的寄生电阻
==> 缩小相关RC延迟
- ✓ 工艺技术：沉积金属材料 and 快速热处理 (RTP)

材料技术

◆2) 铜互连:

- ✓ 电流承受能力远大于铝;
- ✓ 电阻率低 ($1.7\mu\Omega\cdot\text{cm}$: $2.8\mu\Omega\cdot\text{cm}$);
==> 可承受更密集的电路排列, 减少所需金属层的数目
- ✓ 抗电迁移性
- * 铜互连比铝可靠性更高, 具有功耗小、速度快以及性能优等竞争优势。
- ✓ 工艺完全不同: wxhsnow@163.com

材料技术

✓铝工艺:

先沉积金属铝薄膜，光刻和刻蚀形成互连

✓铜工艺: 嵌入式工艺

- a: 在介质层上刻蚀互连**引线沟槽**图形;
- b: 在沟槽中沉积一层薄的**阻挡层材料**和**种子层材料**;
- c: 用电镀的方法将**金属铜**填充到沟槽中;
- d: 利用**化学机械抛光 (CMP)** 技术将沟槽外的铜磨蚀掉。

材料技术

◆3) 低K值材料:

- ✓ K值越低,单位面积的电容C越小,RC延迟越小
- ✓ 二氧化硅 $k \approx 3.9$
- ✓ 90nm技术中, 采用碳掺杂氧化物, k 约为3
- ✓ 不同低 k 值及制备工艺

材料	K值	制备工艺
SiF	3.5	PECVD
SiOC	2.5~3.5	PECVD
聚对苯二甲基	1.9~2.7	CVD
HSQ	2.7~3.0	旋涂
干凝胶	1.8~2.5	旋涂

PECVD:

等离子体增强

化学气相沉积

HSQ: 含氢的矽酸盐类

Hydrogen silsequioxane

材料技术

◆4) 高K值栅介质:

✓ 尺寸减小, 栅介质层厚度变小, 栅泄漏严重

✓ 问题:

介质层和栅极以及硅沉底之间存在界面态

==> 栅介质堆垛 (氮, 二氧化硅)

材料	K值
Si_3N_4	~7
TiO_2	~80
Ta_2O_5	~25
HfO_2	20~30
ZrO_2	20~25

材料技术

◆5) 应变硅 (Strained Silicon) :

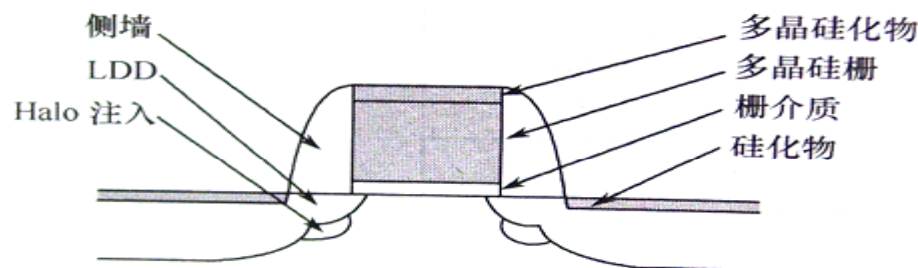
- ✓ 受到应力的硅
- ✓ 基本原理：将硅的晶格拉伸，迫使硅原子的间距增大，减小电子通行所受的阻碍，从而减小电阻
- ✓ 沟道处的硅做成应变硅
- ✓ 第一代应变硅：锗硅材料

2.5.3 器件结构

- ◆ 1) 短沟道效应抑制
- ◆ 2) **SOI (Silicon on Insulator)** 技术
- ◆ 3) 高**K**值栅介质与金属栅组合结构
- ◆ 4) **FIN**结构和多栅结构

短沟道效应抑制

- ◆ 方法：利用**LDD**（轻掺杂漏区）降低漏/衬底附近的峰值电场强度



- ◆ **LDD制造的基本工艺：**

- 在多晶硅栅完成后，在制作侧墙之前进行一次中等剂量的注入
- 在侧墙完成之后再进行一次更高剂量的注入，形成漏源

短沟道效应抑制

◆ Halo注入（pocket 注入）

✓ 可调节 V_t ;

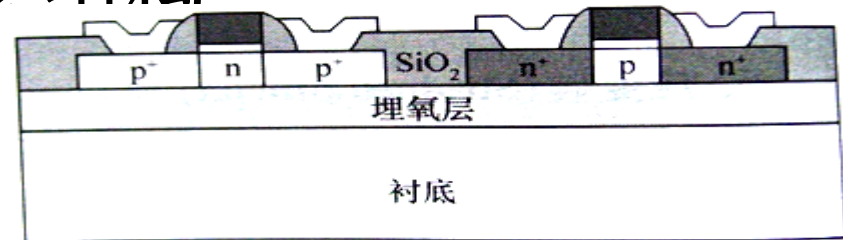
✓ 缩小耗尽层的宽度，防止S/D的耗尽层连通。

◆ <http://www.2ic.cn/html/44/t-352044.html>

SOI 技术

◆2) SOI技术: Silicon on Insulator

✓“硅-二氧化硅-硅”叠层结构



◆优点:

- ✓ 介质隔离，彻底消除寄生的**可控硅效应**；
- ✓ 寄生电容小、集成密度高、速度快、短沟道效应小
- ✓ 某些特殊结构（HK+MG，FIN）的衬底材料
- ✓ 常用SOI材料：注氧隔离的SIMOX材料，硅片键合加背面腐蚀的BESOI材料，经键合和注入相结合的**Smart Cut SOI材料**。

wxhsnow@163.com

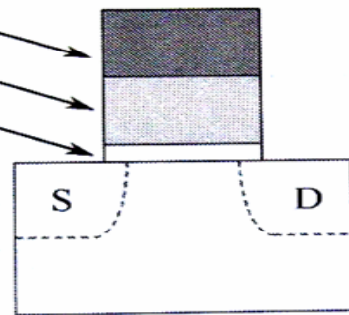
高K值栅介质与金属栅组合结构

◆ 传统栅电极：高掺杂的多晶硅
(与高K值栅介质匹配不好)

◆ 3) 在45nm节点，采用HK+MG结构
(高K值栅介质与金属栅)

✓ 高K值栅介质主要是铪 (Hafnium) 其材料

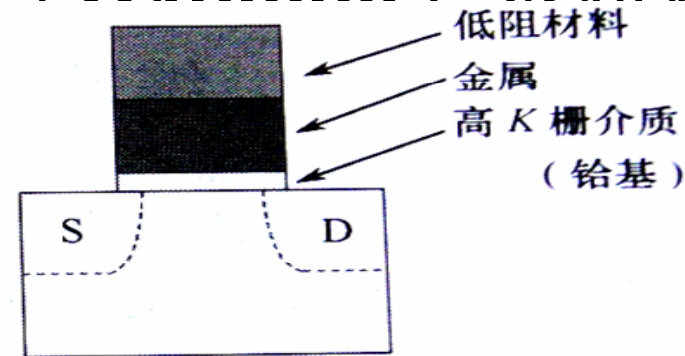
✓ 低阻材料
多晶硅
 SiO_2



(a) 普通 MOS 管

金属材料

xhsnow@

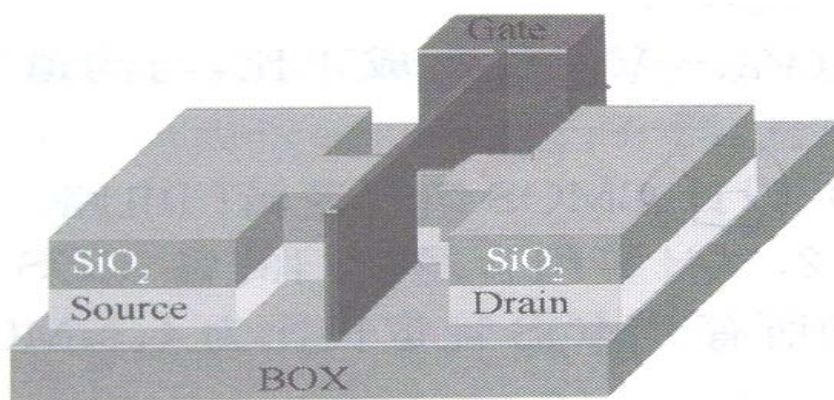


(b) HK+MG

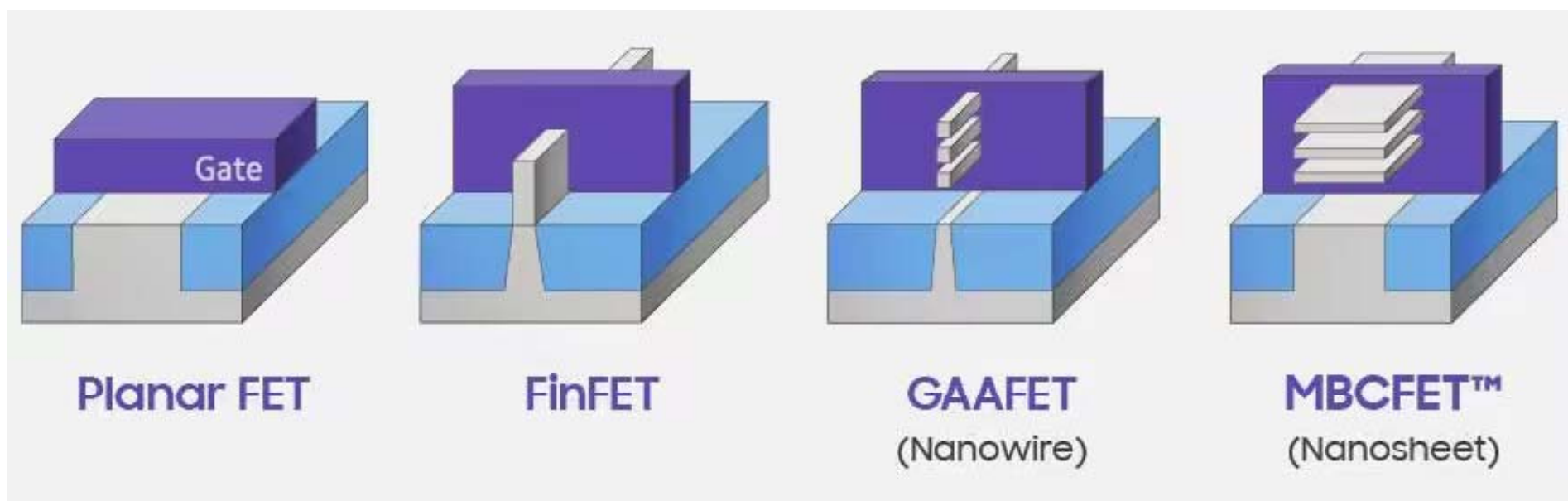
FIN结构和多栅结构

◆4) FIN结构和多栅结构

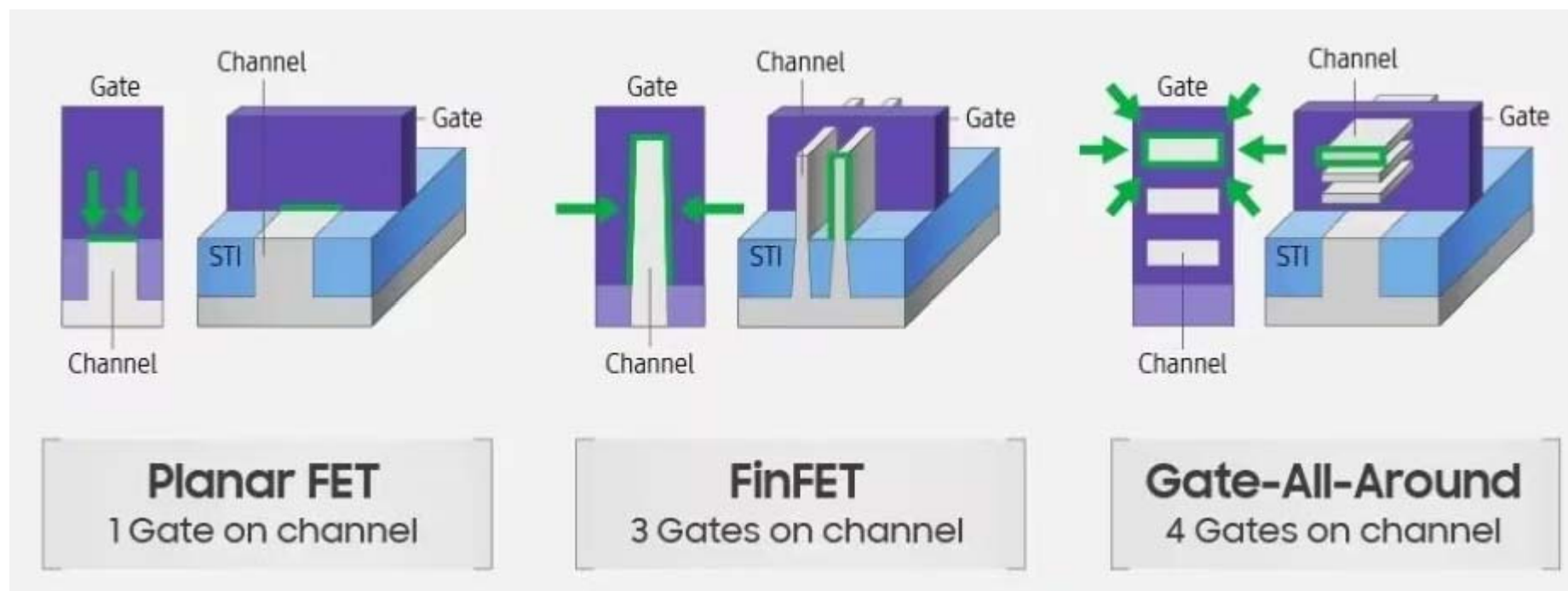
- ✓ **FINFET (Fin FET)** 鳍式场效应晶体管
 - ✓ 两个栅提供更大的沟道电荷控制能力，产生更快的渠道电流并减小短沟道效应
 - ✓ 将硅膜顶部的二氧化硅变成薄的栅介质，构成三栅结构—提高电流控制效果
 - ✓ 工艺难度高



FIN结构和多栅结构



FIN结构和多栅结构



Thanks

wxhsnow@163.com