

6. 时序逻辑电路的分析与设计

6.1 时序逻辑电路的基本概念

[6.2 同步 时序逻辑电路的分析](#)

[6.3 同步 时序逻辑电路的设计](#)

[*6.4 异步 时序逻辑电路的分析](#)

[6.5 若干典型的时序逻辑集成电路](#)

1

6.5 若干典型的时序逻辑集成电路

6.5.1 寄存器和移位寄存器

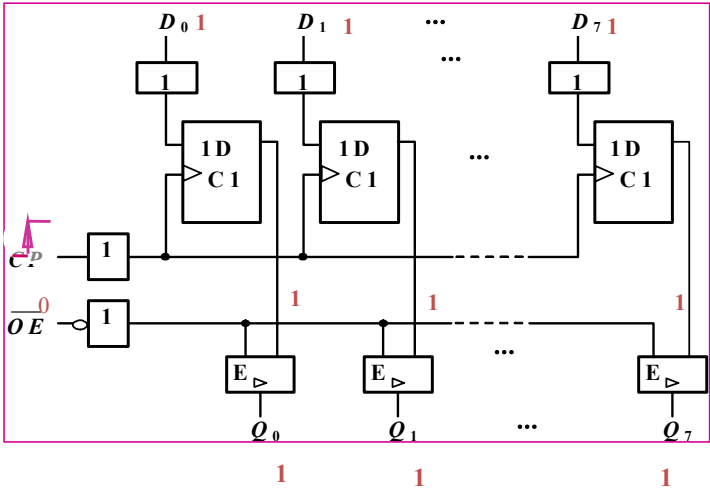
1、 寄存器

寄存器:是数字系统中用来存储代码或数据的逻辑部件。它的主要组成部分是触发器。

一个触发器能存储1位二进制代码，存储 n 位二进制代码的寄存器需要用 n 个触发器组成。寄存器实际上是若干触发器的集合。

2

8位CMOS寄存器74HC/HCT374



脉冲边沿敏感的寄存器

3

8位CMOS寄存器74LV374

工作模式	输 入			内部触发器 Q_N^{n+1}	输出
	\overline{OE}	CP	D_N		$Q_0 \sim Q_7$
存入和读出数据	L	\uparrow	L	L	对应内部触发器的状态
	L	\uparrow	H	H	
存入数据，禁止输出	H	\uparrow	L	L	高阻
	H	\uparrow	H	H	高阻

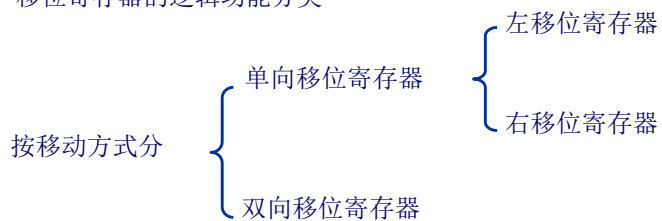
4

2、 移位寄存器

•移位寄存器的逻辑功能

移位寄存器是既能**寄存数码**，又能在时钟脉冲的作用下使**数码向高位或向低位移动**的逻辑功能部件。

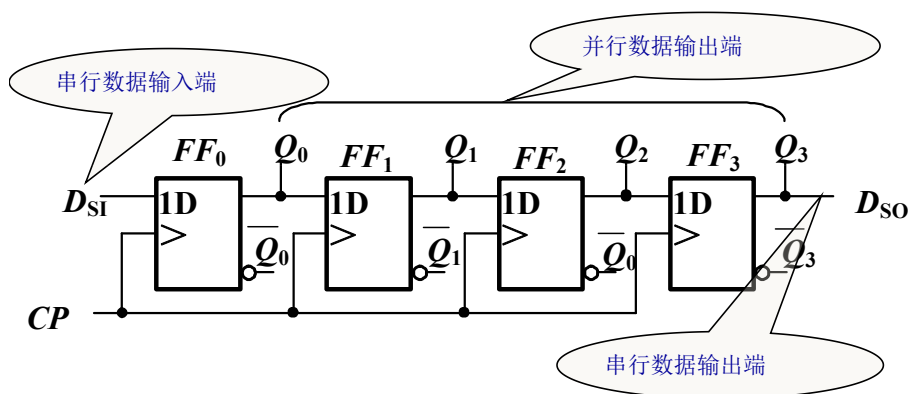
•移位寄存器的逻辑功能分类



5

(1) 基本移位寄存器

(a) 电路



6

(b). 工作原理

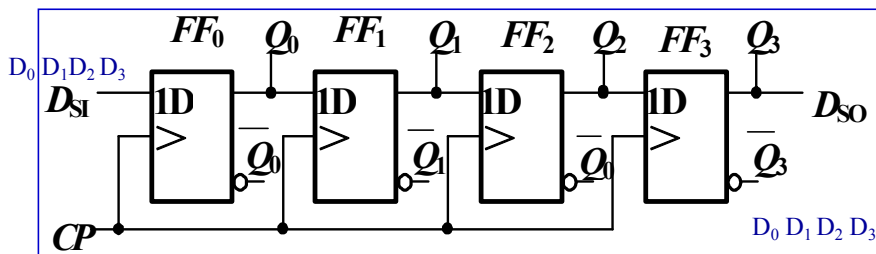
2、写出激励方程：

$$D_0 = D_{SI} \quad D_1 = Q_0^n \quad D_2 = Q_1^n \quad D_3 = Q_2^n$$

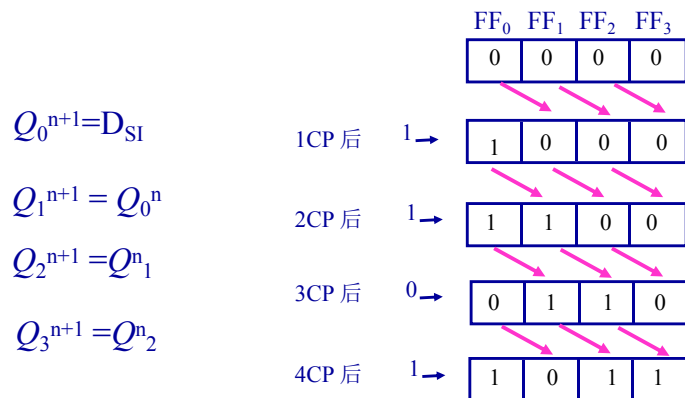
3、写出状态方程：CP↑

$$Q_0^{n+1} = D_{SI} \quad Q_1^{n+1} = D_1 = Q_0^n$$

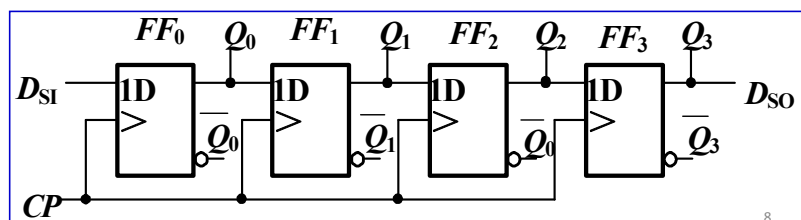
$$Q_2^{n+1} = D_2 = Q_1^n \quad Q_3^{n+1} = D_3 = Q_2^n$$



7

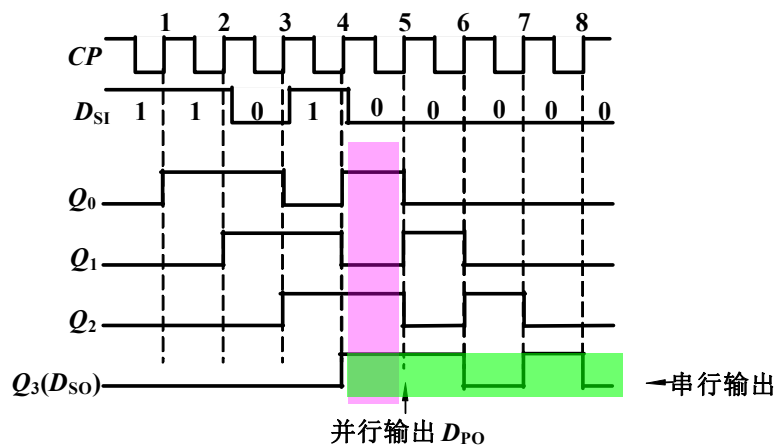


1011



8

$D_{SI} = 11010000$, 从高位开始输入



经过4个CP脉冲作用后，从 D_S 端串行输入的数码就可以从 $Q_0 Q_1 Q_2 Q_3$ 并行输出。 串入→并出

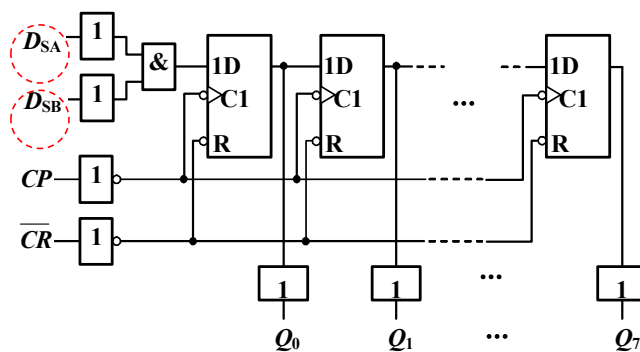
经过4个CP脉冲作用后，从 D_{SI} 端串行输入的数码就可以从 D_O 端串行输出。 串入→串出

9

(2) 典型集成电路

8位移位寄存器74HC/HCT164

内部逻辑图



$$D_{SI} = D_{SA} \cdot D_{SB}$$

D_{SA} 或 D_{SB} 可以做移位寄存器的使能端

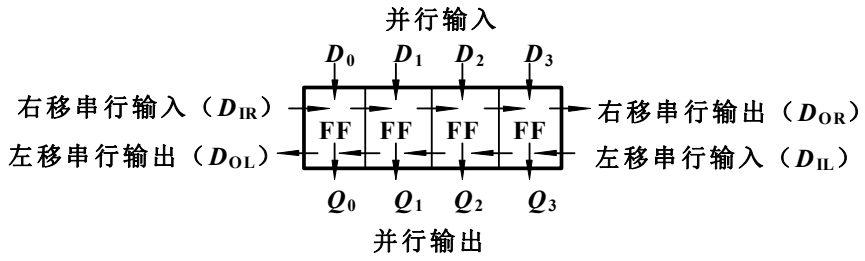
10

2. 多功能双向移位寄存器

(1) 工作原理

高位移向低位----左移 低位移向高位----右移

多功能移位寄存器工作模式简图

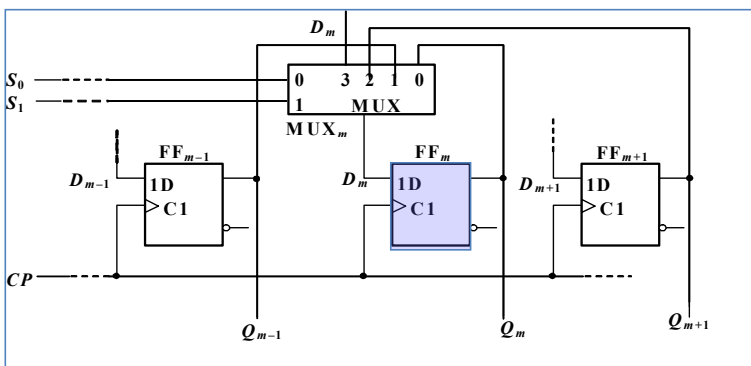


11

实现多种功能双向移位寄存器的一种方案(仅以FF_m为例)

$S_1S_0=00$ $Q_m^{n+1} = Q_m^n$ 不变 $S_1S_0=10$ $Q_m^{n+1} = Q_{m+1}^n$ 高位移向低位

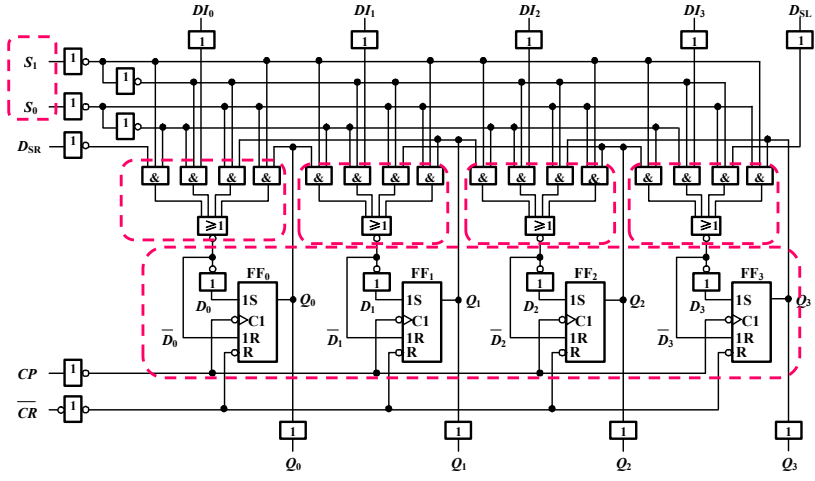
$S_1S_0=01$ $Q_m^{n+1} = Q_{m-1}^n$ 低位移向高位 $S_1S_0=11$ $Q_m^{n+1} = D_m$ 并入



12

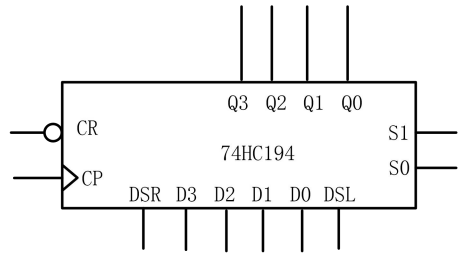
(2) 典型集成电路

CMOS 4位双向移位寄存器74HC/HCT194

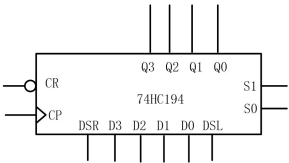


13

74194逻辑符号



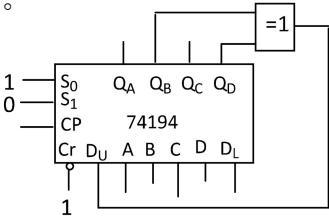
14



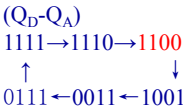
74HCT194 的功能表

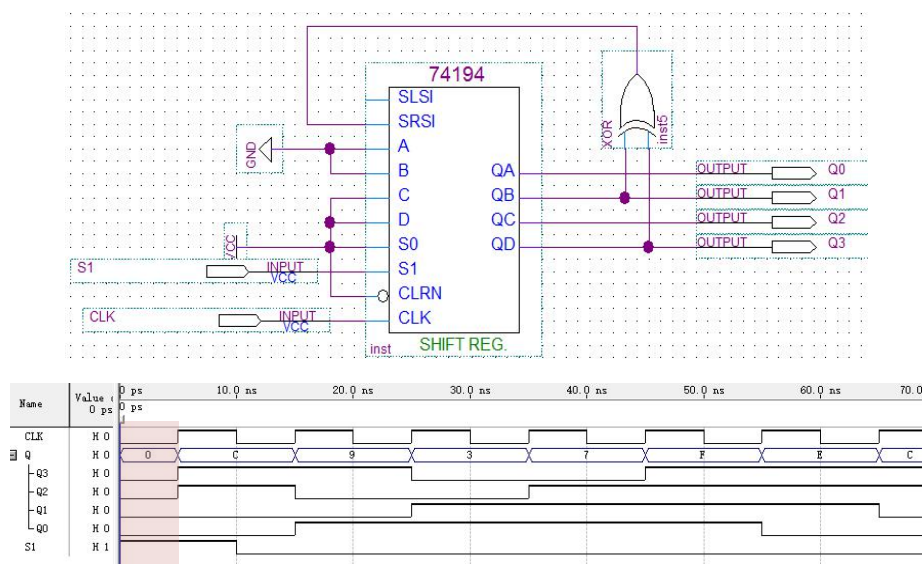
输 入						输 出				行	
清 零	控制信 号		串行输 入		时 钟 CP	并行输入					
\overline{CR}	S_1	S_0	右 移 D_{SR}	左 移 D_{SL}		DI_0	DI_1	DI_2	DI_3		Q_0^{n+1} Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}
L	×	×	×	×	×	×	×	×	×	L L L L	1
H	L	L	×	×	×	×	×	×	×	Q_0^n Q_1^n Q_2^n Q_3^n	2
H	L	H	L	×	↑	×	×	×	×	L Q_0^n Q_1^n Q_2^n Q_3^n	3
H	L	H	H	×	↑	×	×	×	×	H Q_0^n Q_1^n Q_2^n Q_3^n	4
H	H	L	×	L	↑	×	×	×	×	Q_1^n Q_2^n Q_3^n L	5
H	H	L	×	H	↑	×	×	×	×	Q_1^n Q_2^n Q_3^n H	6
H	H	H	×	×	↑	DI_0^*	DI_1^*	DI_2^*	DI_3^*	D_0 D_1 D_2 D_3 ¹⁵	7

例题： (习题集11) 4位双向移位寄存器74194功能表如下表所示。设初始状态为 $Q_A Q_B Q_C Q_D=0011$ ，分析电路，写出状态转换表并画各Q端波形。



CP	$DU=QB \oplus QD$	Q_A	Q_B	Q_C	Q_D
0		0	0	1	1
1					
2					
3					
4					
5					
6					





17

作业 (3)

- 课后参考习题:
- 6.5.1
- 习题集 (选做):
- 5、6

18

19

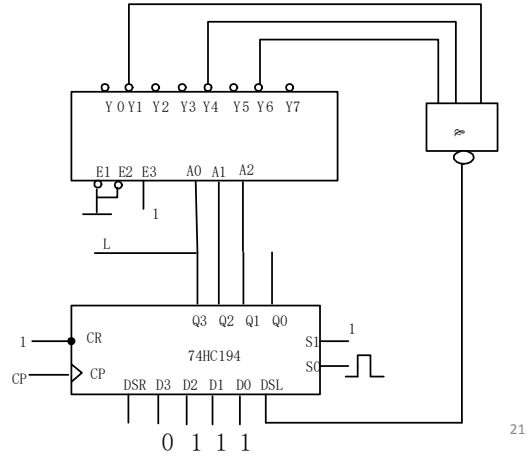
作业总

- 课后题：
- 时序逻辑电路分析：
- 6.2（2、3、6）
- 6.4.2（选做）
- 时序逻辑电路设计
- 6.3（2、3、4）
- 若干典型的时序逻辑电路
- 6.5（4、13、15、16、17、18、19、20（去掉））
- 6.5.1
- 习题集：全部

20

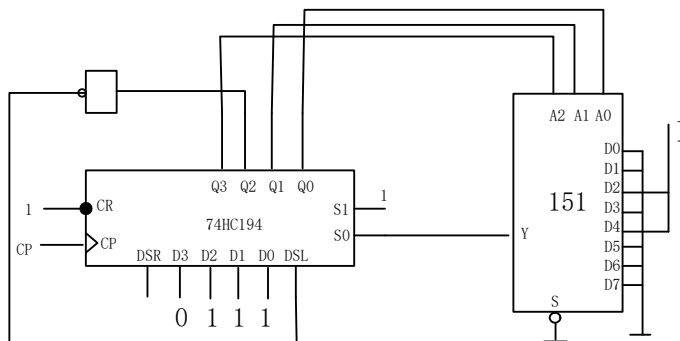
练习1:

由74hc194和译码器74hc138组成的电路图如图所示，分析电路，列出状态表，并画出输出端L的波形。



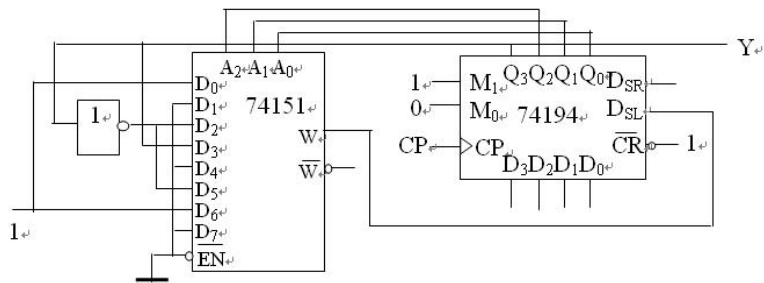
练习2:

由74hc194和译码器74hc151组成的电路图如图所示，分析电路，列出状态图，并画出输出端SL的波形。



练习3:

由74hc194和译码器74hc151组成的电路图如图所示，分析电路，列出状态图，并画出输出端Y的波形。



23

小 结

- 时序电路的分析，首先按照给定电路列出各逻辑方程组、进而列出状态表、画出状态图和时序图，最后分析得到电路的逻辑功能。时序电路的设计，首先根据逻辑功能的需求，导出原始状态图或原始状态表，有必要时需进行状态化简，继而对状态进行编码，然后根据状态表导出激励方程组和输出方程组，最后画出逻辑图完成设计任务。。
- 时序逻辑电路一般由组合电路和存储电路两部分构成。它们在任一时刻的输出不仅是当前输入信号的函数，而且还与电路原来的状态有关。时序电路可分为同步和异步两大类。逻辑方程组、状态表、状态图和时序图从不同方面表达了时序电路的逻辑功能，是分析和设计时序电路的主要依据和手段。

24