

4.2 MOS晶体管开关逻辑

- ◆ 多路转换开关MUX
- ◆ MUX 逻辑应用
- ◆ 棒状图

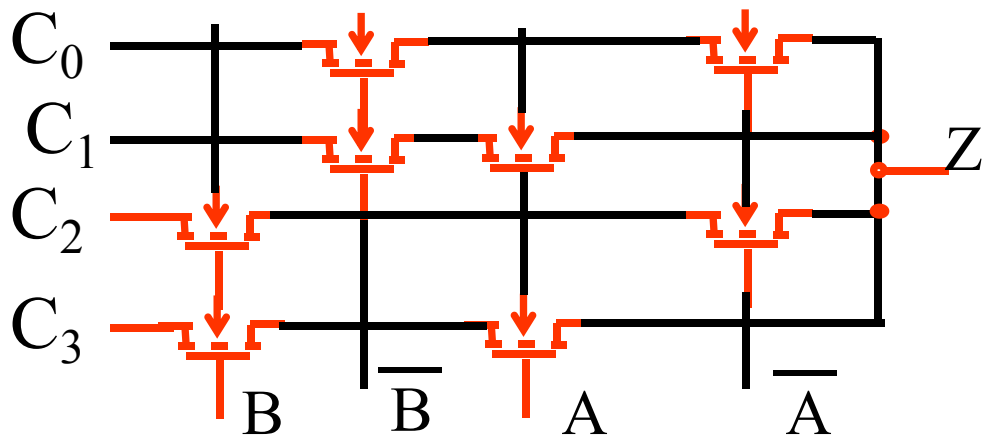
MOS晶体管开关逻辑

- MOS晶体管开关逻辑是建立在“传输晶体管”或“传输门”基础上的
- 信号的传输是通过导通的MOS器件从源到漏或者从漏到源
- ❑ NMOS: 完全传输低电平, 电流: 漏—>源
- ❑ PMOS: 完全传输高电平, 电流: 源—>漏
- 信号输出端的逻辑值将同时取决于信号的发送端和MOS器件栅极的逻辑值

多路转换开关MUX

- ◆ NMOS四到一转换开关电路
- ◆ 其中A，B为控制信号；
- ◆ C0， C1 ， C2 ， C3为发送信号端

B	A	Z
0	0	C ₀
0	1	C ₁
1	0	C ₂
1	1	C ₃



转换关系

$$Z = \overline{B} \cdot \overline{A} \cdot C_0 + \overline{B} \cdot A \cdot C_1 + B \cdot \overline{A} \cdot C_2 + B \cdot A \cdot C_3$$

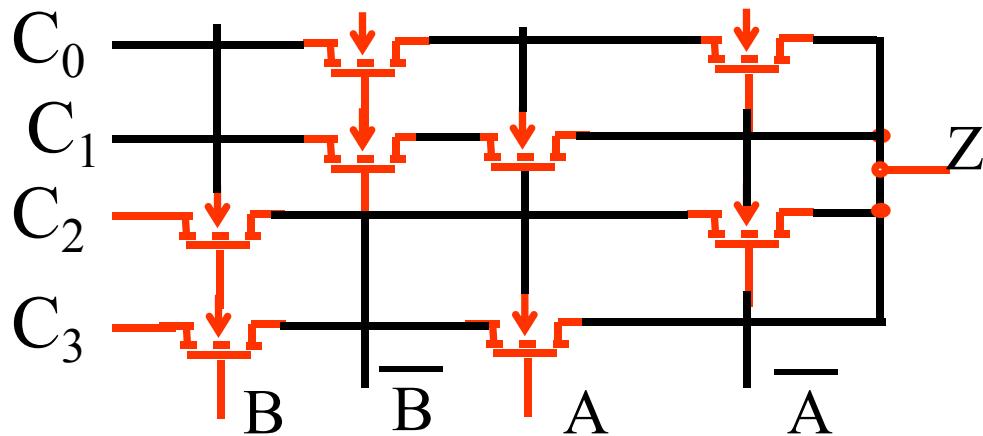
多路转换开关MUX

- 在A、B信号的控制下，多路开关完成不同通路的连接
- 在传统的MUX中，A、B信号作为地址信号使用
- MUX的传输逻辑函数为

$$Z = \overline{B} \cdot \overline{A} \cdot C_0 + \overline{B} \cdot A \cdot C_1 + B \cdot \overline{A} \cdot C_2 + B \cdot A \cdot C_3$$

$$Z = \overline{C} \cdot \overline{B} \cdot \overline{A} \cdot R_0 + \overline{C} \cdot \overline{B} \cdot A \cdot R_1 + \overline{C} \cdot B \cdot \overline{A} \cdot R_2 + \dots$$

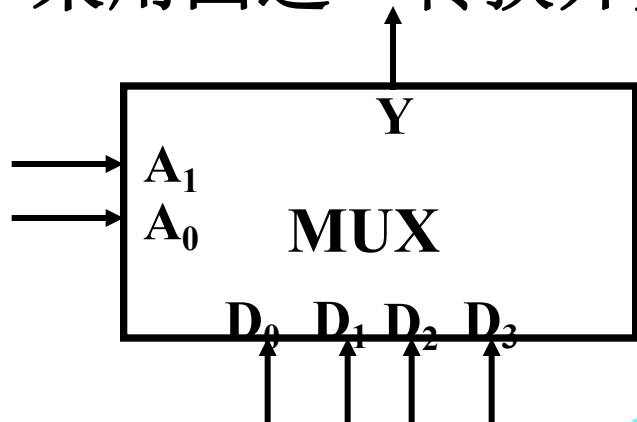
多路转换开关MUX



- ◆地址信号为A、B、C三位，则可实现八个与项的或运算
- ◆依次类推，可实现多位的逻辑运算
- ◆位数越多，串联的MOS管越多，导通电阻也将越大
- ◆ == 》影响运算速度

MUX逻辑应用——判奇电路

- 设计一个判奇电路：A、B、C三个输入信号中有奇数个高电平时，输出F为高电平，否则输出为低电平
- 要求：
 - 1) 写出判奇电路的真值表
 - 2) 用异或门电路实现逻辑函数，画出逻辑电路图
 - 3) 采用四选一转换开关实现该电路（MUX原理如下图）



A ₀	A ₁	Y
0	0	D ₀
0	1	D ₁
1	0	D ₂
1	1	D ₃

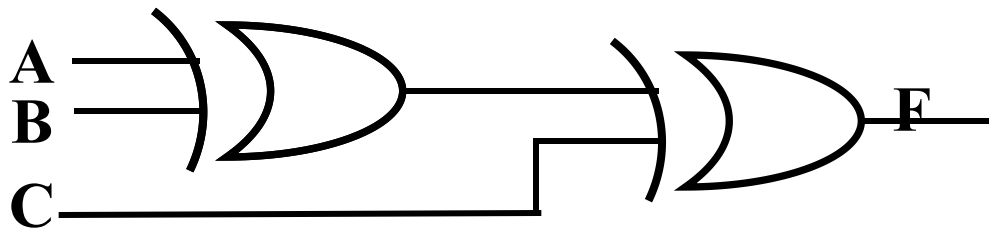
判奇电路的真值表

A、B、C三个输入信号中
有奇数个高电平时，
输出F为高电平，
否则输出为低电平

B	A	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

❖ 用异或门电路实现逻辑函数

$$F = A \oplus B \oplus C$$

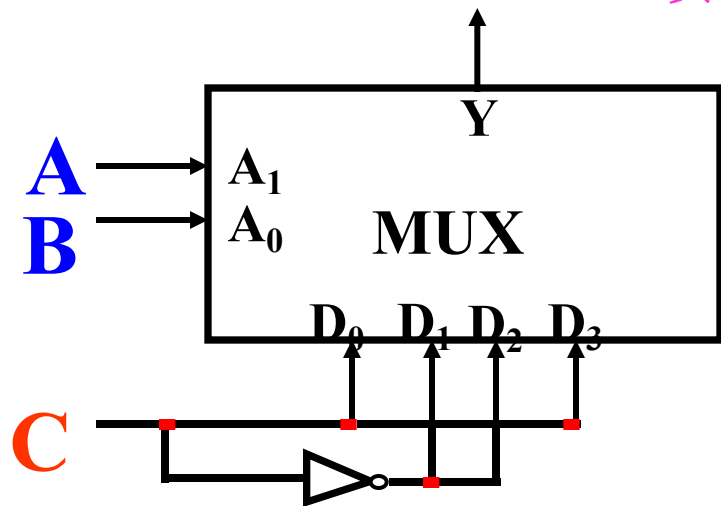


用四选一MUX实现该电路

B	A	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

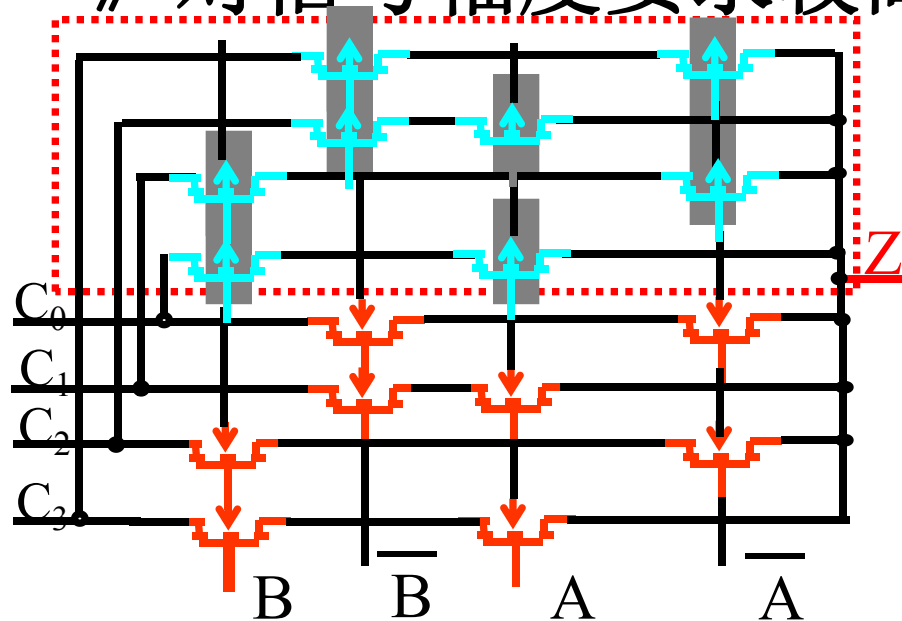
B	A	Y
0	0	C
0	1	\overline{C}
1	0	\overline{C}
1	1	C

A0	A1	Y
0	0	D ₀
0	1	D ₁
1	0	D ₂
1	1	D ₃



CMOS多路转换开关

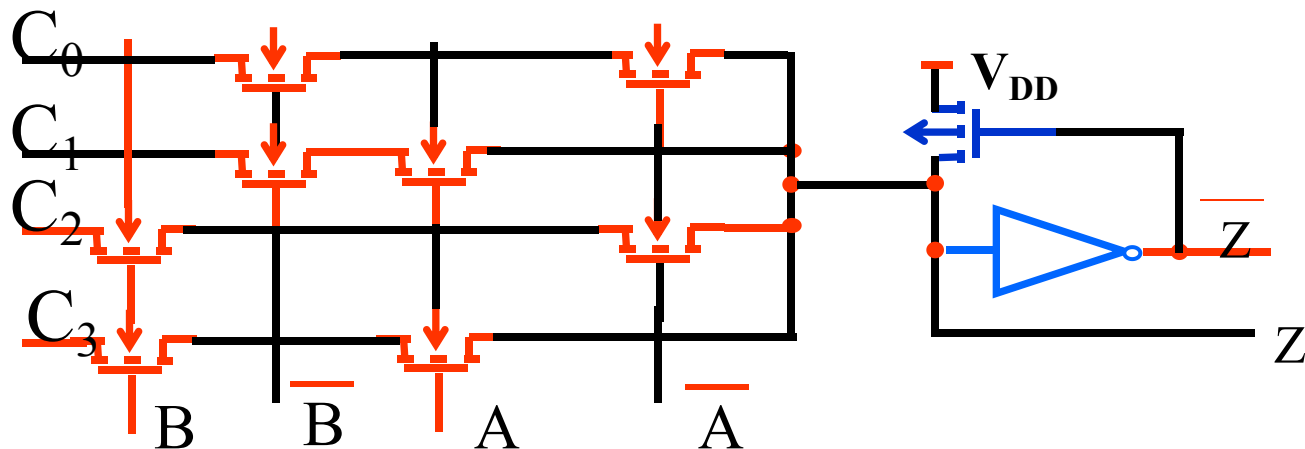
❖ 全NMOS 结构的MUX传输高电平存在阈值损耗
==》对信号幅度要求较高的电路采用CMOS 结构



❖ 缺点：
晶体管数目增加了一倍

逻辑电平提升电路

- 逻辑电平提升电路解决阈值电压损耗问题



- 正反馈电路 == 》 电位提升到电源电压
- 同时得到一个反相的信号
- TTL逻辑电路与CMOS电路的接口

TTL电平与CMOS电平的区别

1, TTL电平:

输出高电平 $>2.4V$,输出低电平 $<0.4V$ 。在室温下,一般输出高电平是 $3.5V$,输出低电平是 $0.2V$ 。最小输入高电平和低电平:输入高电平 $\geq 2.0V$,输入低电平 $\leq 0.8V$,噪声容限是 $0.4V$ 。

2, CMOS电平:

1逻辑电平电压接近于电源电压,0逻辑电平接近于 $0V$ 。而且具有很宽的噪声容限。

3, 电平转换电路:

因为TTL和COMS的高低电平的值不一样($t_{TL} 5V \leq \leq c_{mos} 3.3V$),所以互相连接时需要电平的转换

专题：手把手学习硬件基础-----15、TTL和CMOS_3.3vcmos和3.3vttl-CSDN博客 https://blog.csdn.net/weixin_36131597/article/details/126455513

一、基本概述

TTL工艺就是BJT晶体管为主制作成的集成电路

CMOS工艺就是以MOS管为主制作成的集成电路

U_{oh} -> 输出高电平 , U_{ol} -> 输出低电平

U_{ih} -> 输入高电平 , U_{il} -> 输入低电平

1、TTL电平

TTL集成电路主要由BJT晶体管逻辑门构成，如74LS系列IC,电平规范如下：

输出模式： $U_{oh} \geq 2.4V$, $U_{ol} \leq 0.4V$

输入模式： $U_{ih} \geq 2V$, $U_{il} \leq 0.2V$

2、CMOS电平

CMOS集成电路主要由MOS管构成逻辑门构成，如74HC系列IC，电平规范如下：

输出模式： $U_{oh} \geq V_{CC}$, $U_{ol} \approx GND$

输入模式： $U_{ih} \geq 0.7V_{CC}$, $U_{il} \leq 0.2V_{CC}$

二、数字接口匹配

1、3.3V/5V TTL驱动3.3V CMOS

3.3V/5V TTL输出 $U_{oh} \geq 2.4V$, $U_{ol} \leq 0.4V$

3.3V CMOS管 输入 $U_{ih} \geq 0.7V_{CC} = 2.31V$

输入 $U_{ol} \geq 0.2V_{CC} = 0.66V$

$2.4V \geq 2.31V$ $0.4 \leq 0.66V$ 可以直接驱动

2、3.3V/5V TTL驱动5V CMOS

3.3V/5V TTL输出 $U_{oh} \geq 2.4V$, $U_{ol} \leq 0.4V$

5V CMOS管 输入 $U_{ih} \geq 0.7V_{CC} = 3.5V$

输入 $U_{ol} \geq 0.2V_{CC} = 1V$

$2.4V \leq 3.5V$ $0.4 \leq 1V$ 低电平可以直接驱动，高电平落在2.4V和3.5V之间是不能驱动的，需要转换电平

3、3.3V/5V CMOS驱动3V/5V TTL

3.3V CMOS管 输出 $U_{oh} = 3.3V$ $U_{ol} = GND$

5V CMOS管 输出 $U_{oh} = 5V$ $U_{ol} = GND$

3.3V/5V TTL输入 $U_{ih} \geq 2V$, $U_{il} \leq 0.8V$

可以直接驱动

4、3.3V CMOS驱动5V CMOS

3.3V CMOS管 输出 $U_{oh} = 3.3V$ $U_{ol} = GND$

5V CMOS $U_{ih} \geq 0.7V_{CC}=3.5V$, $U_{il} \leq 0.2V_{CC}=1V$

高电平输出3.3V，CMOS电路不能检测高电平，需要电平转换

TTL和CMOS两大系列

- 数字集成电路中最常用的主要有TTL和CMOS两大系列。
- ①TTL集成电路。
- 双极型三极管—三极管集成电路，简称TTL电路，是一种性能优良的集成门电路，其开关速度快、抗干扰能力强、负载能力强，因此应用也最广泛。
- TTL集成电路为正逻辑系统，即高电平（“1”）是大约3.6V的正电压，低电平（“0”）是大约0.2~0.35V。TTL集成电路主要有54系列和74系列两种。其中，54系列为军用产品，74系列为民用产品。在54 / 74系列后不加字母表示标准TTL电路（如7410），如加有L、H、S或LS等字母，则分别表示低功耗、高速、肖特基和低功耗肖特基TTL电路（如74H00表示高速TTL电路、74LS00表示低功耗肖特基TTL电路）。54 / 74系列产品，只要尾数相同（如74LS10和7410），则逻辑功能和引脚排列完全相同。

TTL和CMOS两大系列

- ②CMOS集成电路。
- CMOS集成电路以单极型晶体管为基本元件制成，是互补金属氧化物半导体集成电路的简称。由于CMOS电路功耗低、**电源电压范围宽（3~18V）**、抗干扰能力强、输入阻抗高、扇出能力强、温度稳定性好、成本低等，故应用范围极广，尤其是其制造工艺简单，为大量生产提供了方便。CMOS集成电路主要有4000系列、54 / 74HC×××系列、54 / 74HCT×××系列和54 / 74HCU×××四大类。

74hc138与74ls138有哪些区别

时间:2019-08-04 08:07 来源:电工之家

74HC138和74LS138在逻辑功能上是完全一样的，没有任何区别。但是其参数和电平类型上却存在很多的区别。这个问题就转化为了74HC系列和74LS系列逻辑芯片有哪些区别。他们的区别表现在如下几个方面。

1. 74HC138和74LS138的供电范围不同

74LS138逻辑芯片的供电范围为(4.75-5.25)V之间，而74HC138的供电范围为(2-6)V之间，由此可见HC系列的供电范围更广，应用更广泛。LS是早期的逻辑芯片，那时候的电路多以5V为主。(4.75-5.25)V的电压刚好适用于5V的电源系统。而后来出现了3.3V的供电系统，LS显然不再适用，所有出现了HC系列的芯片。现在单片机多以3.3V供电系统为主，74HC138更为适合。

2. 74HC138和74LS138的电平类型不同

74LS138是属于TTL类型的电平，而74HC138是属于CMOS类型的电平。早期的数字电路，在衡量驱动能力的时候都以驱动TTL电路数量为依据的，如可以驱动4个TTL电路、可以驱动8个TTL电路。TTL和CMOS的高低电平规范不同，从74LS138数据手册可以看出TTL电平高于2.7V为高电平VOH，低于0.4V为低电平VOL；而74HC138的数据手册上规定电平高于1.9V为高电平VOH，低于0.1V为低电平VOL。

3. 74HC138和74LS138的驱动能力不同

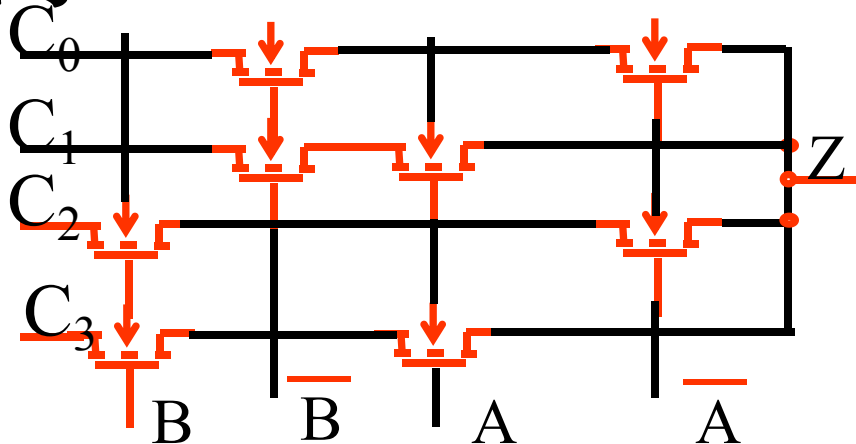
74LS138内部都是双极性三极管的输出方式，驱动能力比较强，功耗也比较大；而74HC138是MOS管电路，功耗比较小。不过驱动能力大小的问题都可以通过后级电路解决掉，所以驱动能力的问题不是很大。

以上三点，就是74HC138和74LS138的主要不同点。从选型的角度，现在以74HC138应用较多。

MUX逻辑应用

- MUX作为开关使用，A和B当作地址控制信号
C₀, C₁, C₂, C₃当作数据信号

B	A	Z
0	0	C ₀
0	1	C ₁
1	0	C ₂
1	1	C ₃



$$Z = \overline{B} \cdot \overline{A} \cdot C_0 + \overline{B} \cdot A \cdot C_1 + B \cdot \overline{A} \cdot C_2 + B \cdot A \cdot C_3$$

- 若C₀, C₁, C₂, C₃当作控制信号，A和B当作逻辑数据信号，情况将怎样？？？

MUX逻辑应用

- C_0, C_1, C_2, C_3 为控制信号，A和B为数据信号

$$Z = \overline{B} \cdot \overline{A} \cdot C_0 + \overline{B} \cdot A \cdot C_1 + B \cdot \overline{A} \cdot C_2 + B \cdot A \cdot C_3$$

序列	$B \cdot A$	$\overline{B} \cdot \overline{A}$	$\overline{B} \cdot A$	$B \cdot \overline{A}$	Z (B,A)	
	C_3	C_2	C_1	C_0	逻辑	描述
0	0	0	0	0	0	禁止
1	0	0	0	1	$\overline{B+A}$	或非
2	0	0	1	0	$\overline{B} \cdot A$	
3	0	0	1	1	\overline{B}	倒相 B
4	0	1	0	0	$B \cdot \overline{A}$	

MUX逻辑应用

- C_0, C_1, C_2, C_3 为控制信号，A和B为数据信号

序列	$B \cdot A$	$B \cdot \overline{A}$	$\overline{B} \cdot A$	$\overline{B} \cdot \overline{A}$	Z (B,A)	
	C_3	C_2	C_1	C_0	逻辑	描述
0	0	0	0	0	0	禁止
1	0	0	0	1	$\overline{B+A}$	或非
2	0	0	1	0	$\overline{B} \cdot A$	
3	0	0	1	1	\overline{B}	倒相 B
4	0	1	0	0	$B \cdot \overline{A}$	
5	0	1	0	1	\overline{A}	倒相 A
6	0	1	1	0	$B \cdot \overline{A} + \overline{B} \cdot A$	异或
7	0	1	1	1	$\overline{B \cdot A}$	与非
8	1	0	0	0	$B \cdot A$	与
9	1	0	0	1	$B \cdot A + \overline{B} \cdot \overline{A}$	同或
10	1	0	1	0	A	同相 A
11	1	0	1	1	$A + \overline{B}$	
12	1	1	0	0	B	同相 B
13	1	1	0	1	$\overline{A+B}$	
14	1	1	1	0	$A+B$	或
15	1	1	1	1	1	使能

$$Z = \overline{B} \cdot \overline{A} \cdot C_0 + \overline{B} \cdot A \cdot C_1 + B \cdot \overline{A} \cdot C_2 + B \cdot A \cdot C_3$$

例题：4-2

设计一个实现四种逻辑操作的电路，其中控制信号为 K_1K_0 ，逻辑输入为 AB 。

当 $K_1K_0 = 00$ 时，实现 A 、 B 的与非操作； $\overline{K_1} \cdot \overline{K_0} \cdot \overline{A \cdot B}$

当 $K_1K_0 = 01$ 时，实现 A 、 B 的或非操作； $\overline{K_1} \cdot \overline{K_0} \cdot \overline{A + B}$

当 $K_1K_0 = 10$ 时，实现 A 、 B 的异或操作； $K_1 \cdot \overline{K_0} \cdot (B \cdot \overline{A} + \overline{B} \cdot A)$

当 $K_1K_0 = 11$ 时，实现 A 的倒相操作； $K_1 \cdot K_0 \cdot \overline{A}$

$$Z = \overline{K_1} \cdot \overline{K_0} \cdot \overline{A \cdot B} + \overline{K_1} \cdot \overline{K_0} \cdot \overline{A + B} + K_1 \cdot \overline{K_0} \cdot (B \cdot \overline{A} + \overline{B} \cdot A) + K_1 \cdot K_0 \cdot \overline{A}$$

方案一：用逻辑门实现上述逻辑

方案二：用规则逻辑阵列实现（MUX，ROM等）

例题：4-2

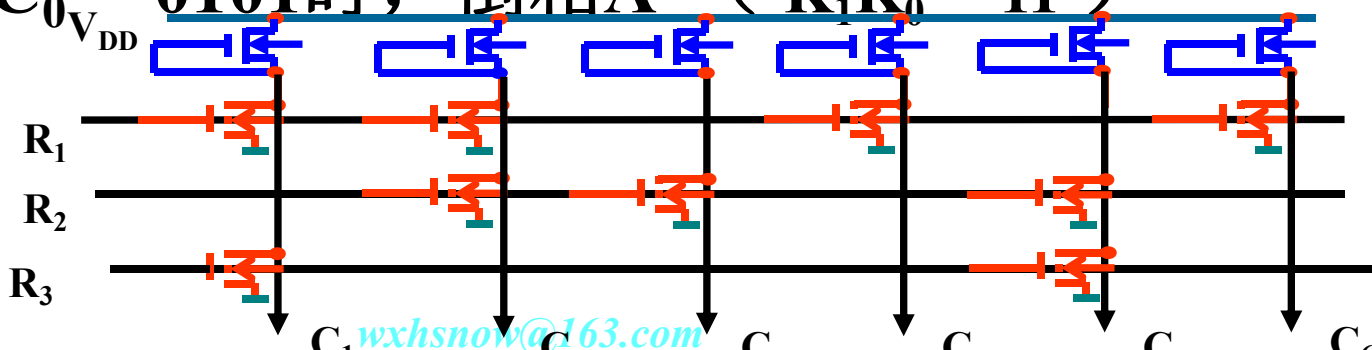
$$Z = \overline{K_1} \cdot \overline{K_0} \cdot \overline{A \cdot B} + \overline{K_1} \cdot K_0 \cdot \overline{A + B} \\ + K_1 \cdot \overline{K_0} \cdot (B \cdot \overline{A} + \overline{B} \cdot A) + K_1 \cdot K_0 \cdot \overline{A}$$

$C_3 C_2 C_1 C_0 = 0111$ 时，A、B的与非（ $K_1 K_0 = 00$ ）

$C_3 C_2 C_1 C_0 = 0001$ 时，A、B的或非（ $K_1 K_0 = 01$ ）

$C_3 C_2 C_1 C_0 = 0110$ 时，A、B的异或（ $K_1 K_0 = 10$ ）

$C_3 C_2 C_1 C_0 = 0101$ 时，倒相A（ $K_1 K_0 = 11$ ）



例题：4-2

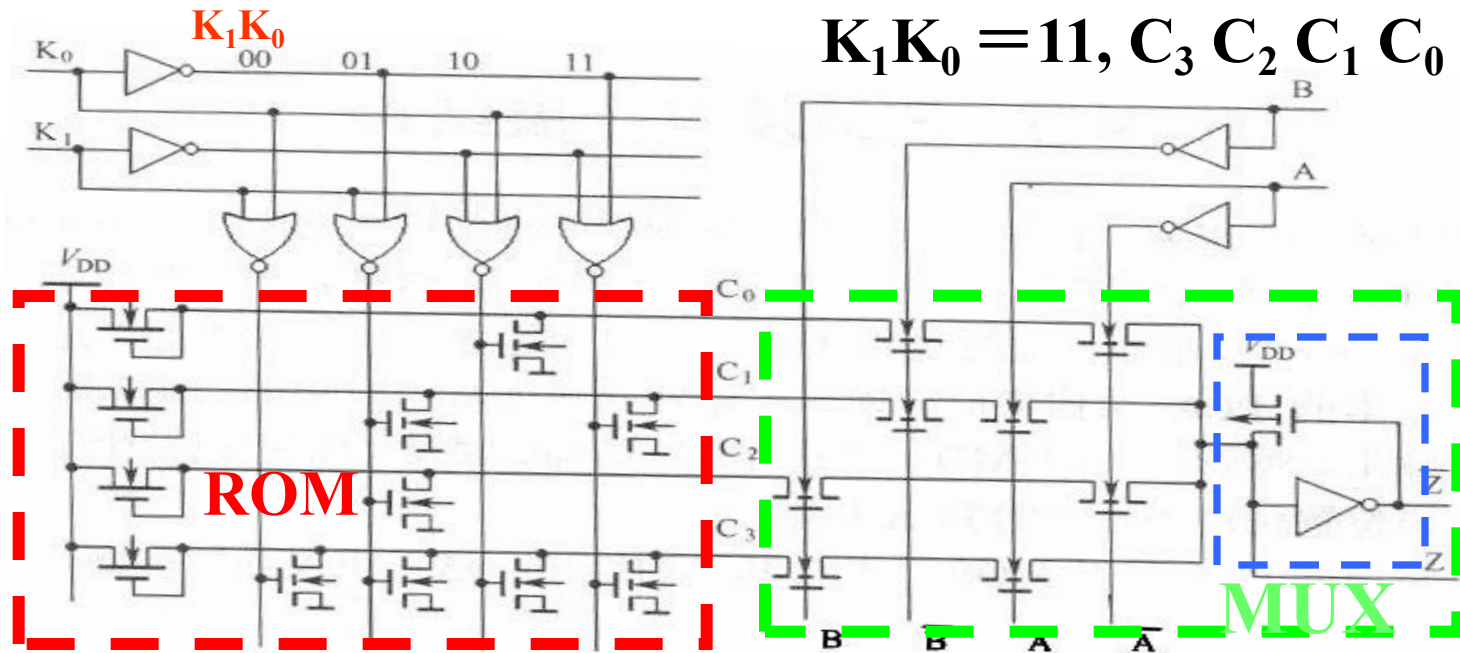
• 示例电路

$$K_1K_0 = 00, C_3 C_2 C_1 C_0 = 0111$$

$$K_1K_0 = 01, C_3 C_2 C_1 C_0 = 0001$$

$$K_1K_0 = 10, C_3 C_2 C_1 C_0 = 0110$$

$$K_1K_0 = 11, C_3 C_2 C_1 C_0 = 0101$$

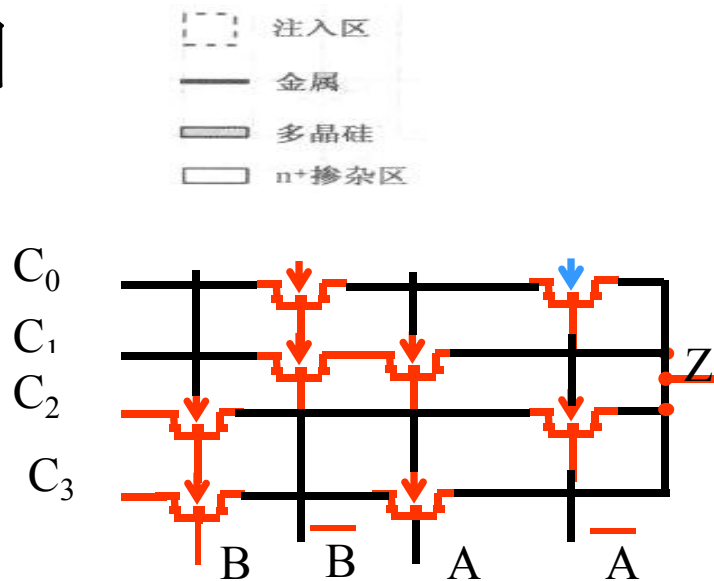
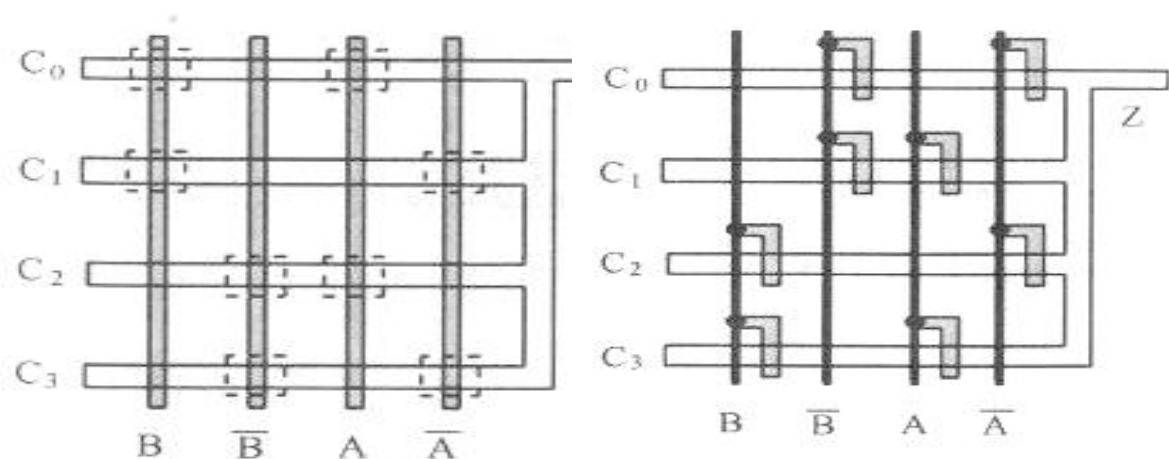


4.2.2 棒状图

◆棒状图：一种版图的描述方式

仅仅表示器件的相对位置以及所采用的基本结构形式，并不描述器件的具体形状和尺寸

◆ 适合描述晶体管规则阵列的版图



第四章作业1

- 例题：设计一个实现四种逻辑操作的电路，其中控制信号为 K_1K_0 ，逻辑输入为 AB 。

当 $K_1K_0 = 00$ 时，实现 A 、 B 的与操作；

当 $K_1K_0 = 01$ 时，实现 A 、 B 的或操作；

当 $K_1K_0 = 10$ 时，实现 A 、 B 的异或操作；

当 $K_1K_0 = 11$ 时，实现 B 的倒相操作；

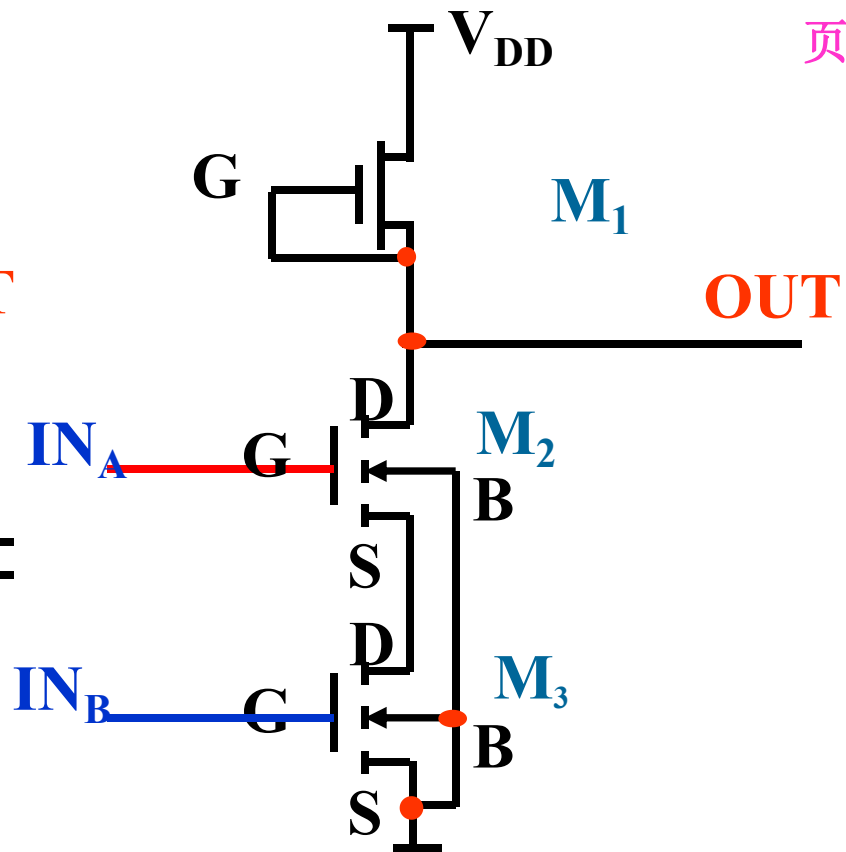
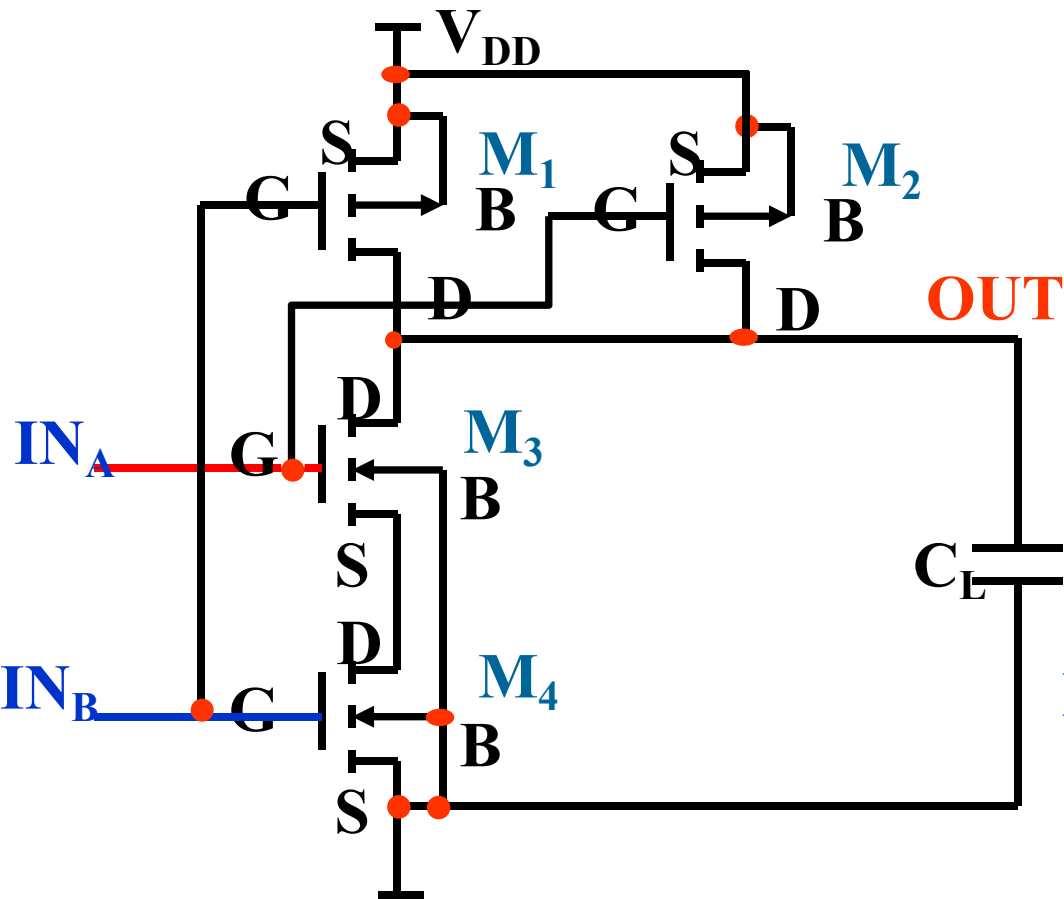
4.3 PLA及其拓展结构

- ◆ PLA可编程逻辑阵列 Programed Logic Array
- ◆ 典型的晶体管规则阵列结构
- ◆ 采用两级ROM形式构造电路：“与平面”、“或平面”
- ◆ 实际PLA结构中“与平面”、“或平面”不是“与门”、“或门”阵列而是“与非—与非”、“或非--或非”结构
- ◆ 基本的PLA结构格局严谨，原始输入只能从“与平面”进入，输出信号只能由“或平面”输出
- ◆ 目前比较常用的PLA以MOS工艺为基础结构 硅栅MOS结构PLA

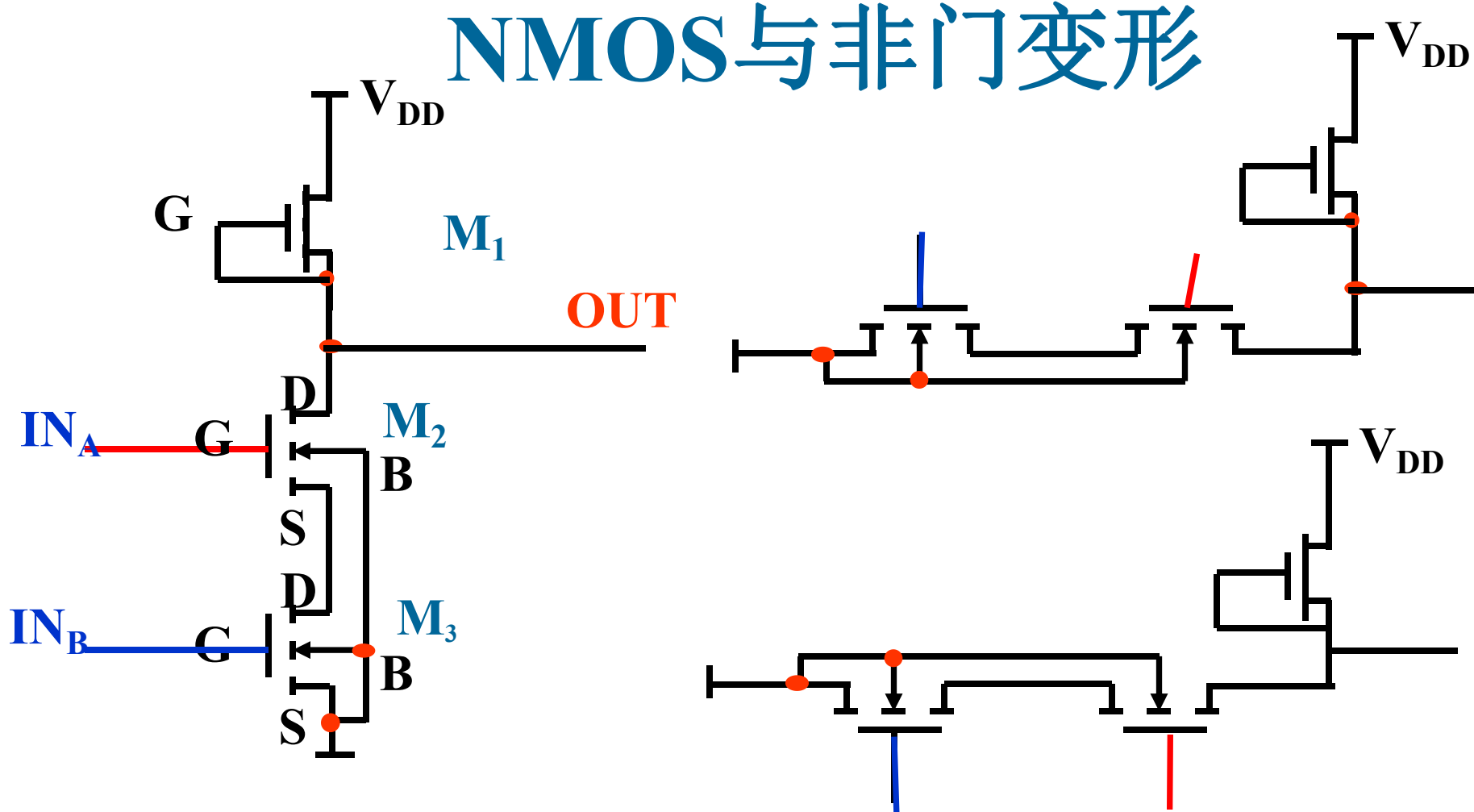
4.3 PLA及其拓展结构

- ◆ “与非—与非” 阵列结构
- ◆ “或非—或非” 阵列结构
- ◆ 多级门阵列MGA

复习引入：CMOS与非门、全NMOS与非门



NMOS与非门变形



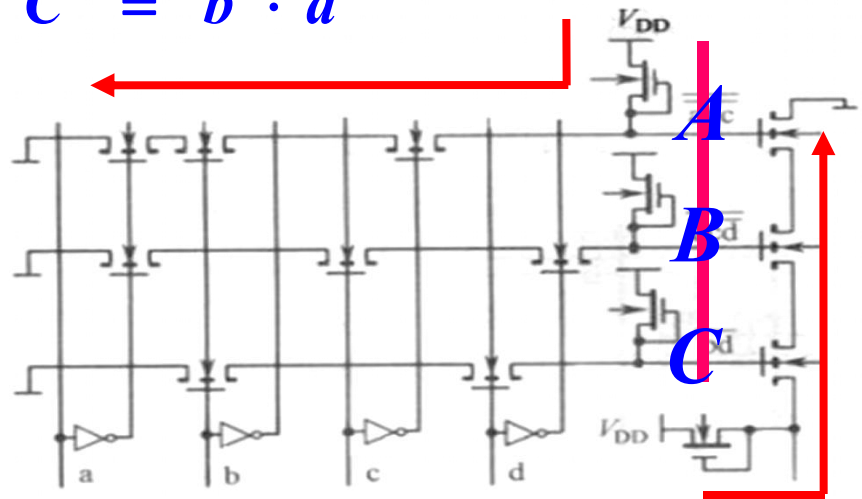
4.3.1 “与非—与非”阵列结构

$$A = \overline{\overline{a} \cdot \overline{b} \cdot \overline{c}}$$

$$B = \overline{\overline{a} \cdot \overline{c} \cdot \overline{d}}$$

$$C = \overline{b \cdot d}$$

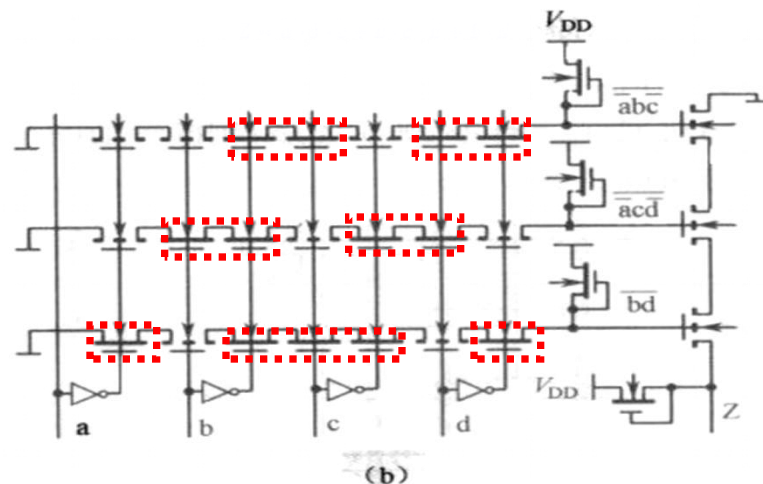
$$\begin{aligned} Z &= \overline{A \cdot B \cdot C} = \overline{A} + \overline{B} + \overline{C} \\ &= \overline{a} \cdot \overline{b} \cdot \overline{c} + \overline{a} \cdot \overline{c} \cdot \overline{d} + b \cdot d \end{aligned}$$



与平面

(a)

或平面

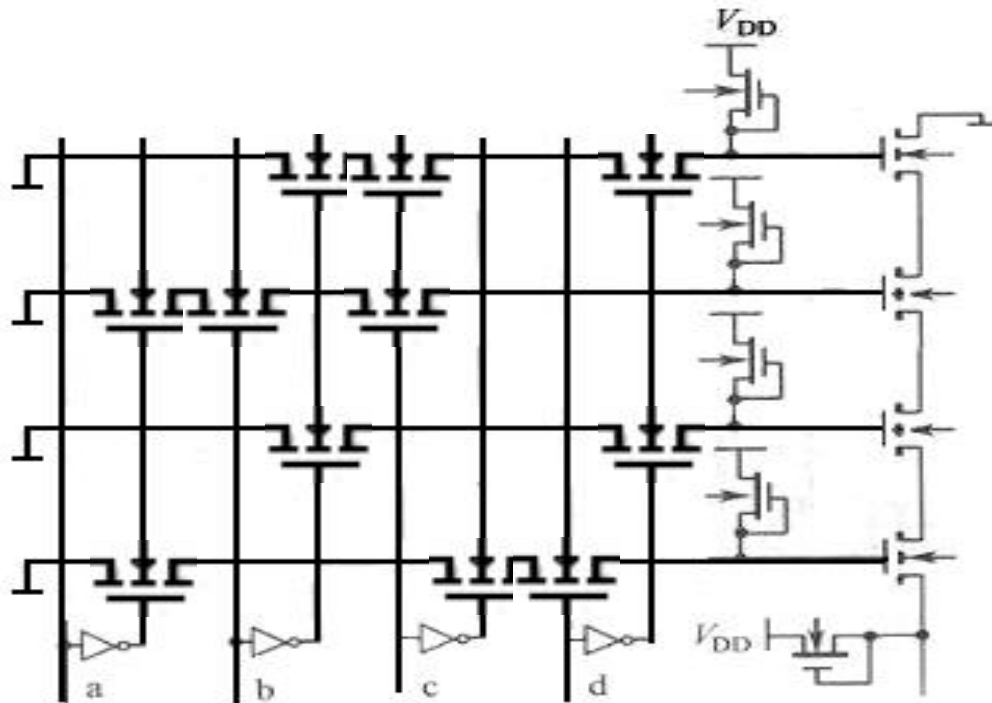


离子注入法:

与非: N型 → 短路

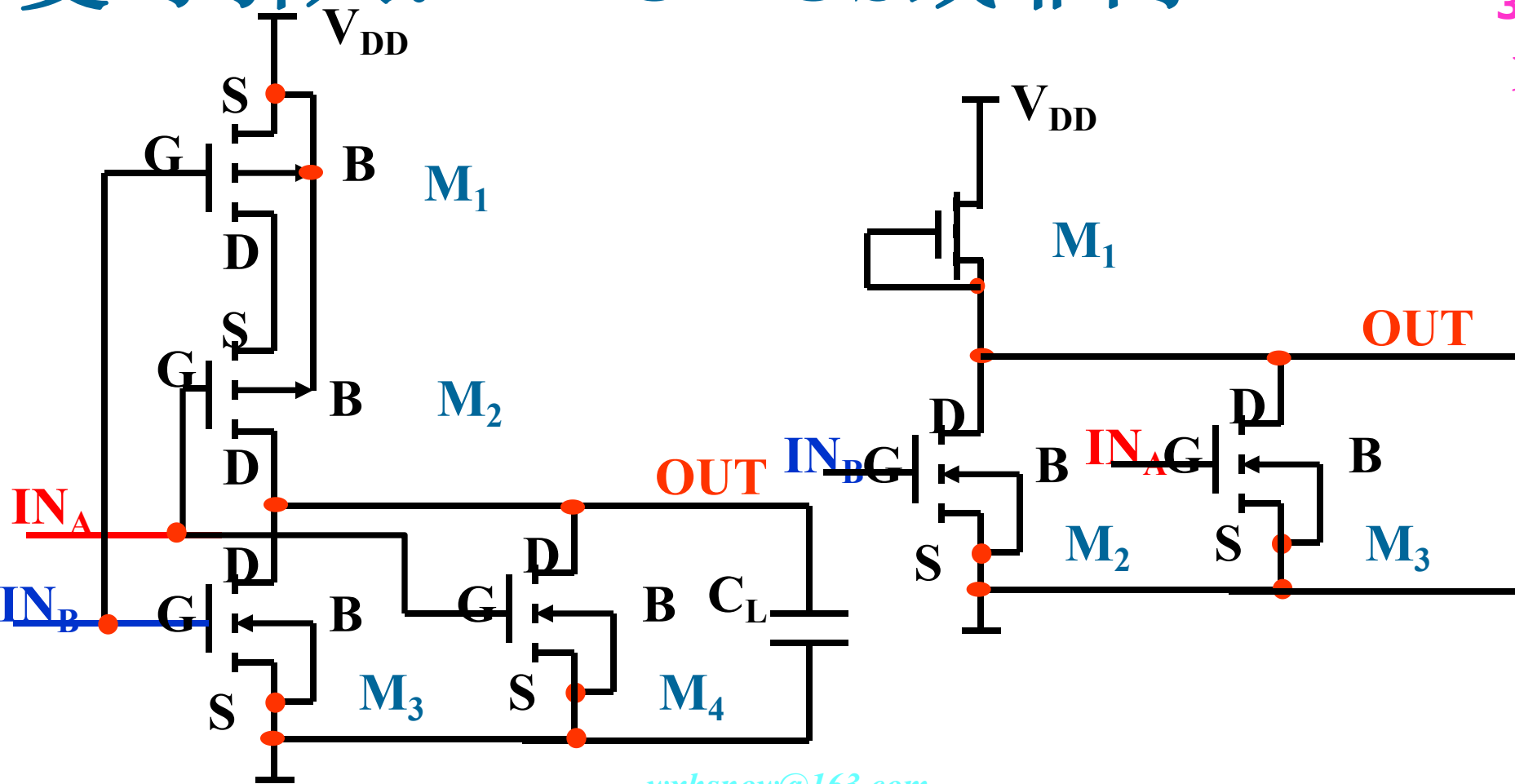
练习：用与非-与非结构的PLA实现下列逻辑：

$$Z = \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot c + \bar{b} \cdot \bar{d} + \bar{a} \cdot \bar{c} \cdot d$$

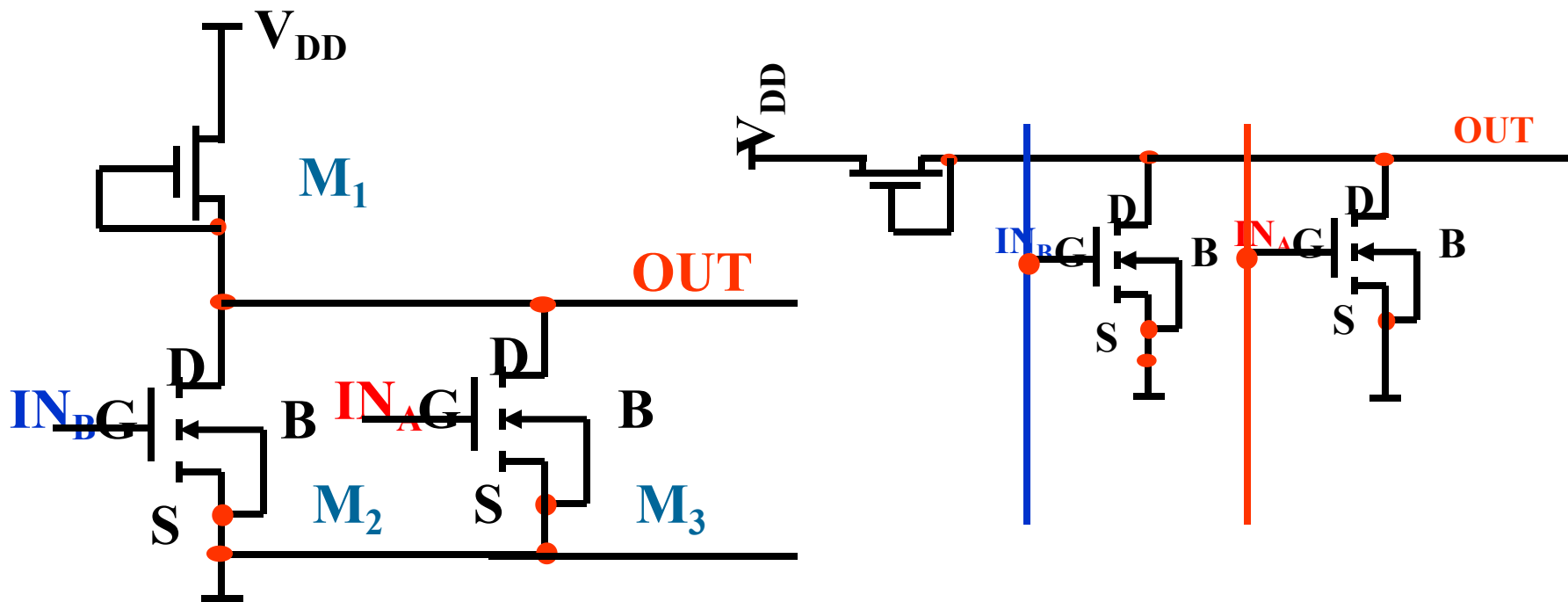


(a)

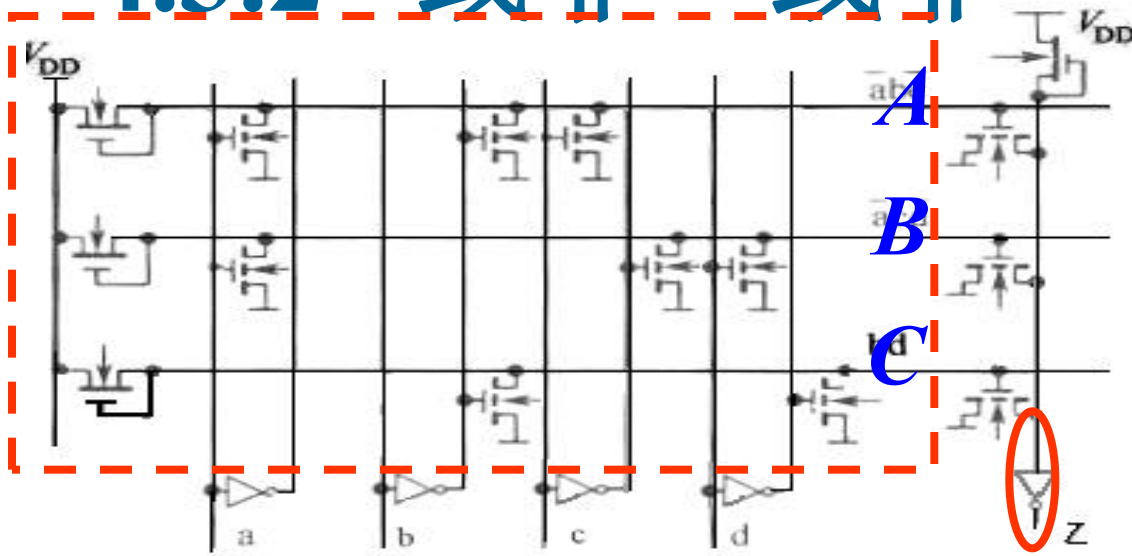
复习引入: CMOS或非门



NMOS或非门变形



4.3.2 “或非—或非” 阵列结构



$$A = \overline{a + b + c} = \overline{a} \overline{b} \overline{c}$$

$$B = \overline{a + c + d} = \overline{a} \overline{c} \overline{d}$$

$$C = \overline{b + d} = \overline{b} \overline{d}$$

或非—或非结构的
 PLA 应满足：

输入取反
输出取反

$$Z = \overline{\overline{A + B + C}}$$

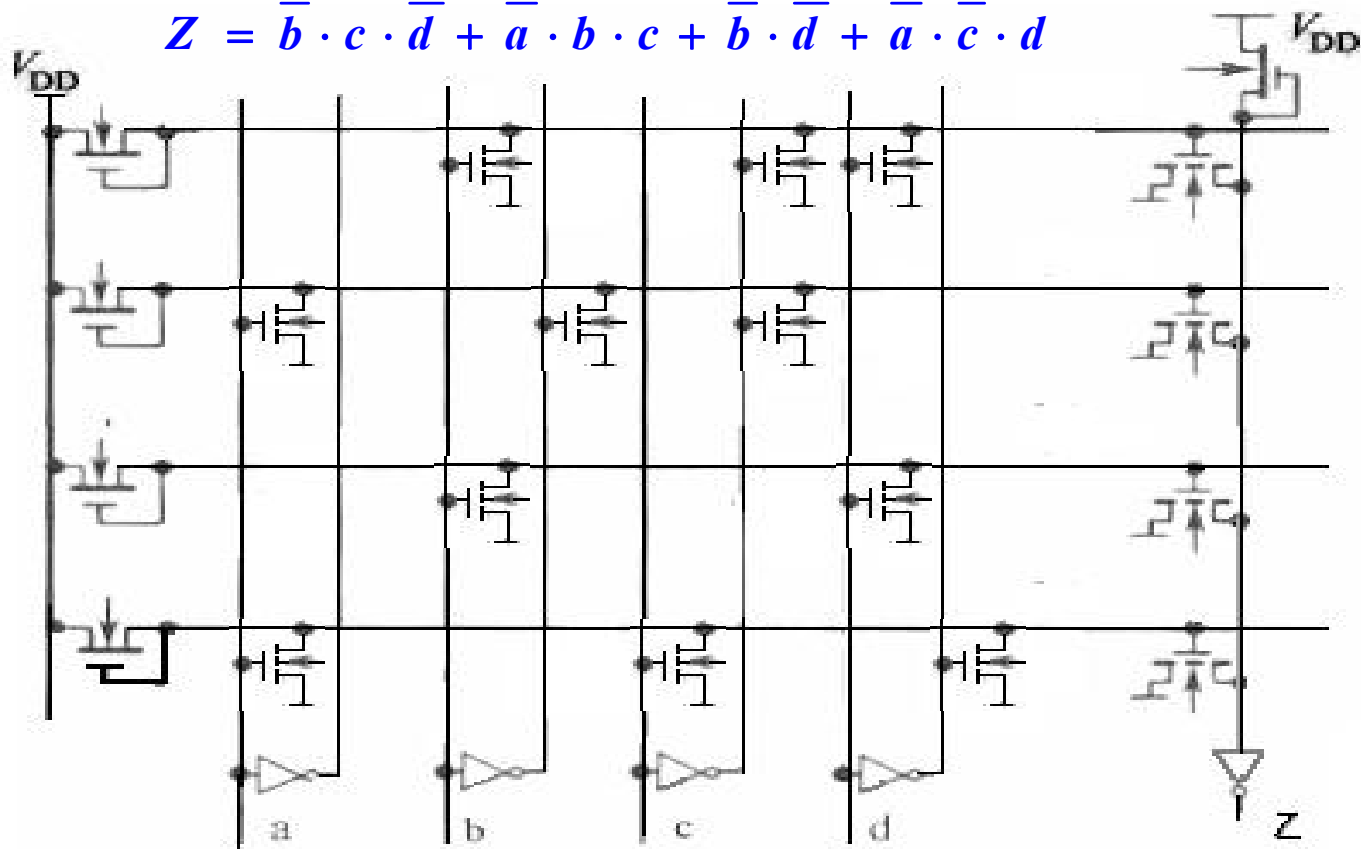
$$= A + B + C$$

$$= \overline{a} \cdot \overline{b} \cdot \overline{c} + \overline{a} \cdot \overline{c} \cdot \overline{d} + \overline{b} \cdot \overline{d}$$

与平面 或平面

练习：用或非与非-或非结构的PLA实现下列逻辑：

$$Z = \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot c + \bar{b} \cdot \bar{d} + \bar{a} \cdot \bar{c} \cdot d$$



小结

- 与非--与非结构
- 或非--或非结构

例题4-3 “或非—或非” 阵列结构的PLA

第36

页

例4-3:用或非—或非结构的PLA设计一个电路实现下面的四种逻辑操作（控制信号为 K_1K_0 ，逻辑输入为AB）

当 $K_1K_0 = 00$ 时，实现A、B的与非操作；

当 $K_1K_0 = 01$ 时，实现A、B的或非操作；

当 $K_1K_0 = 10$ 时，实现A、B的异或操作；

当 $K_1K_0 = 11$ 时，实现A的倒相操作；

解：写出电路实现的逻辑函数

$$Z = \overline{K_1} \cdot \overline{K_0} \cdot \overline{A \cdot B} + \overline{K_1} \cdot K_0 \cdot \overline{A + B} + K_1 \cdot \overline{K_0} \cdot (B \cdot \overline{A} + \overline{B} \cdot \overline{A}) + K_1 \cdot K_0 \cdot \overline{A}$$

例题4-3 “或非—或非” 阵列结构的PLA

$$Z = \overline{K_1} \cdot \overline{K_0} \cdot \overline{A} \cdot \overline{B} + \overline{K_1} \cdot \overline{K_0} \cdot \overline{A + B} \\ + K_1 \cdot \overline{K_0} \cdot (B \cdot \overline{A} + \overline{B} \cdot A) + K_1 \cdot K_0 \cdot \overline{A}$$

将逻辑函数化为标准的与—或式

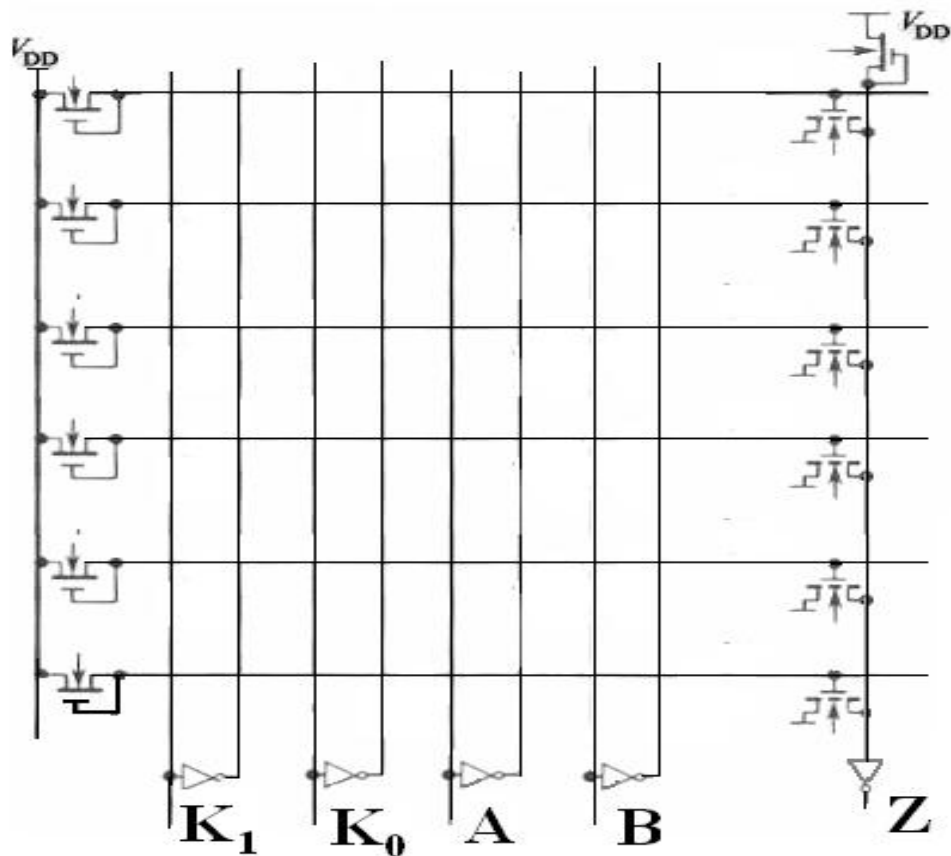
$$Z = \overline{K_1} \cdot \overline{K_0} \cdot \overline{A} + \overline{K_1} \cdot \overline{K_0} \cdot \overline{B} + \overline{K_1} \cdot K_0 \cdot \overline{A} \cdot \overline{B} \\ + K_1 \cdot \overline{K_0} \cdot B \cdot \overline{A} + K_1 \cdot \overline{K_0} \cdot \overline{B} \cdot A + K_1 \cdot K_0 \cdot \overline{A}$$

该函数六个与项：与平面：六个或非门
或平面：一个或非门

例题4-3 结构图

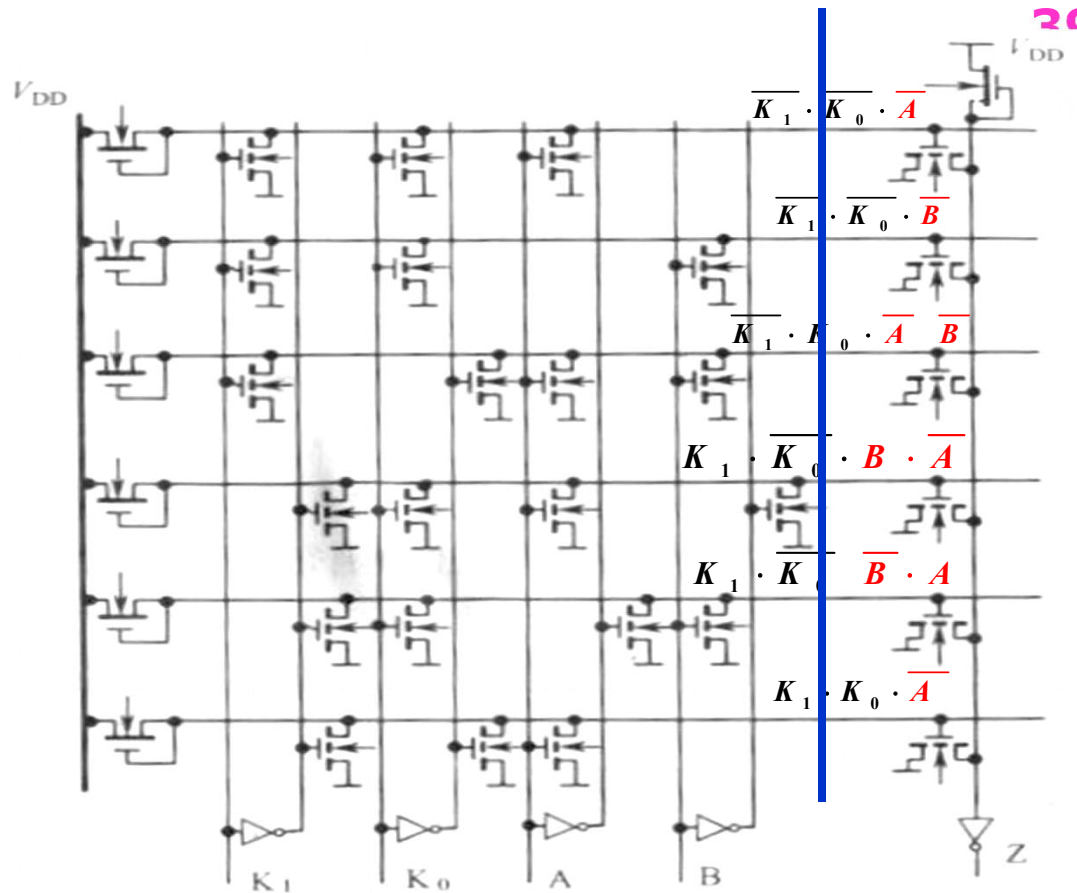
$$\begin{aligned} Z = & \overline{K_1} \cdot \overline{K_0} \cdot \overline{A} \\ & + \overline{K_1} \cdot \overline{K_0} \cdot \overline{B} \\ & + \overline{K_1} \cdot K_0 \cdot \overline{A} \cdot \overline{B} \\ & + K_1 \cdot \overline{K_0} \cdot B \cdot \overline{A} \\ & + K_1 \cdot \overline{K_0} \cdot \overline{B} \cdot A \\ & + K_1 \cdot K_0 \cdot \overline{A} \end{aligned}$$

输 入 取 反
输 出 取 反

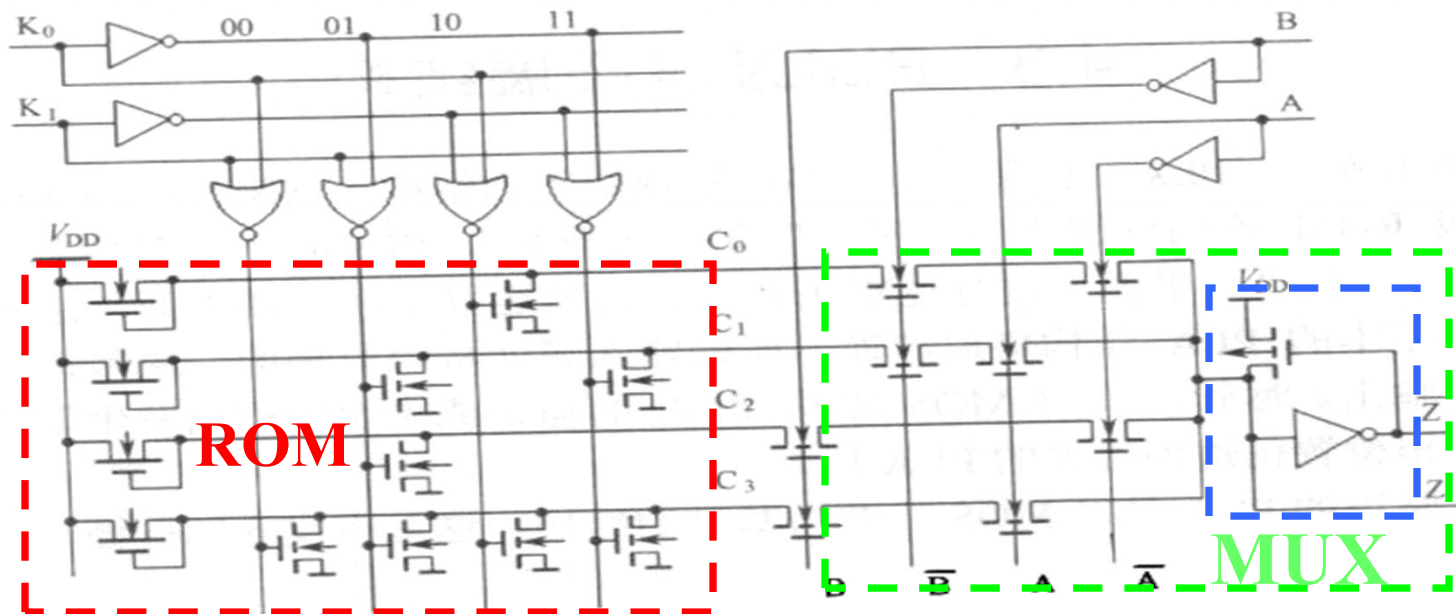


例题4-3 结构图

$$\begin{aligned} Z = & \overline{K_1} \cdot \overline{K_0} \cdot \overline{A} \\ & + \overline{K_1} \cdot \overline{K_0} \cdot \overline{B} \\ & + \overline{K_1} \cdot K_0 \cdot \overline{A} \cdot \overline{B} \\ & + K_1 \cdot \overline{K_0} \cdot B \cdot \overline{A} \\ & + K_1 \cdot \overline{K_0} \cdot \overline{B} \cdot A \\ & + K_1 \cdot K_0 \cdot \overline{A} \end{aligned}$$



例题：4-2



对比 PLA结构 与 ROM+MUX

- ◆ PLA结构更简单、规则
- ◆ 若改变逻辑操作要求，ROM更方便
- ◆ 当所需实现的逻辑函数数量增加时，PLA的与项增加较多，逻辑函数比较复杂

4.3.3 多级门 阵列结构MGA

□ MGA是在PLA基础上变化而成的多级门结构

□ 实质是多级PLA的级联和组合

N级PLA串联，相应有 $2N$ 级“平面”

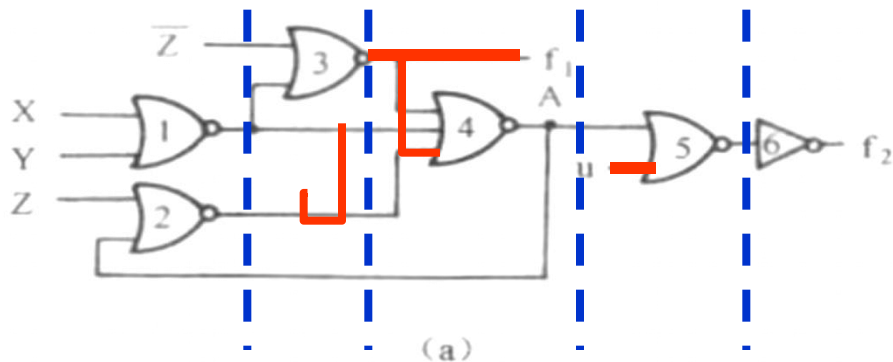
□ 标志：对输入、输出位置的限制

要求：所有的原始输入必须从每一个PLA的“与平面”进入，每一个输出必须从相应的“或平面”输出（输入在奇数级，输出在偶数级）

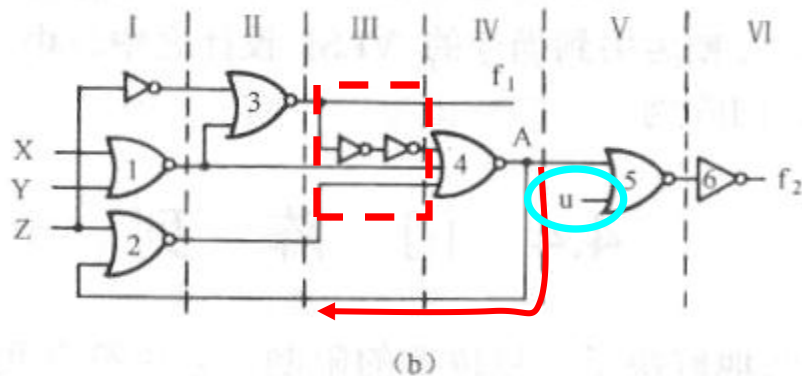
◆ 若逻辑不能满足要求，必须进行逻辑转换

多级门 阵列结构MGA

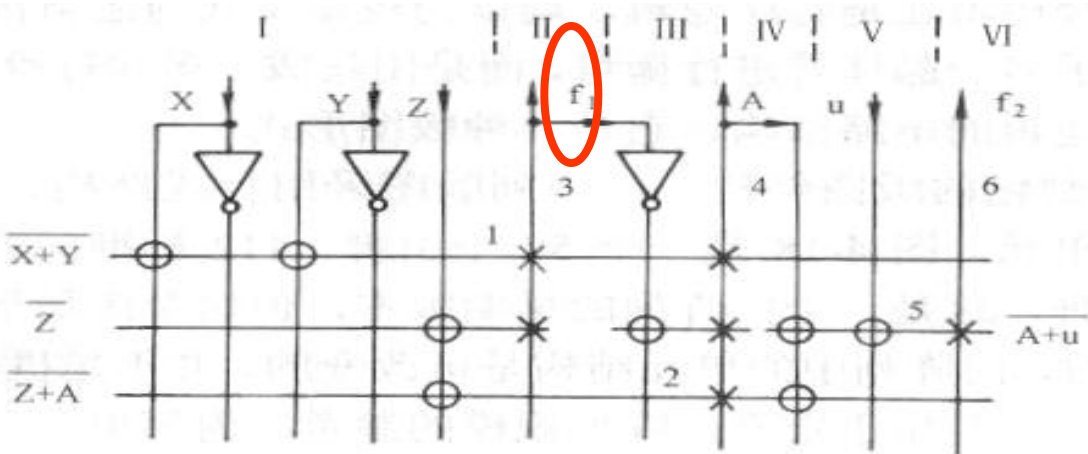
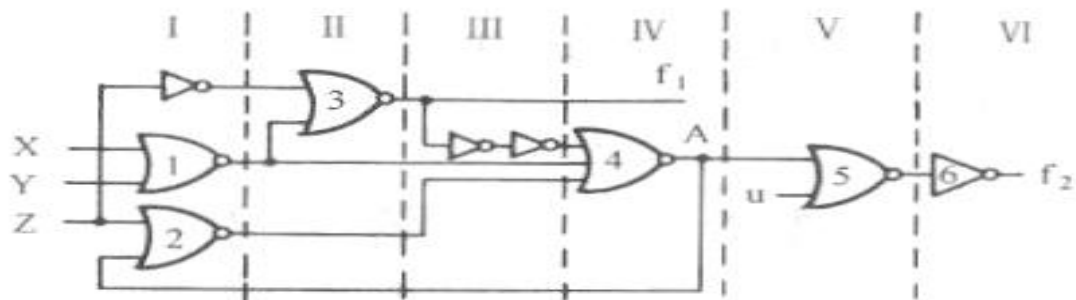
原始逻辑



处理后的逻辑电路

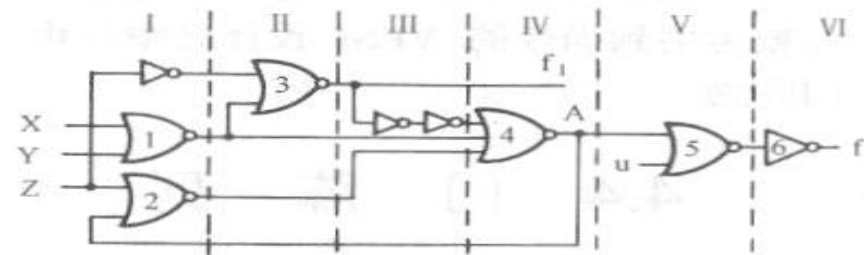


多级门 阵列结构MGA

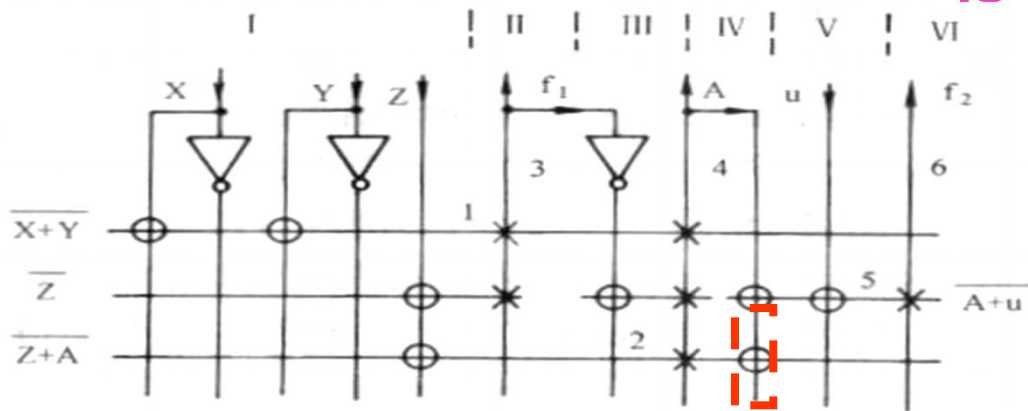


• PLA结构图

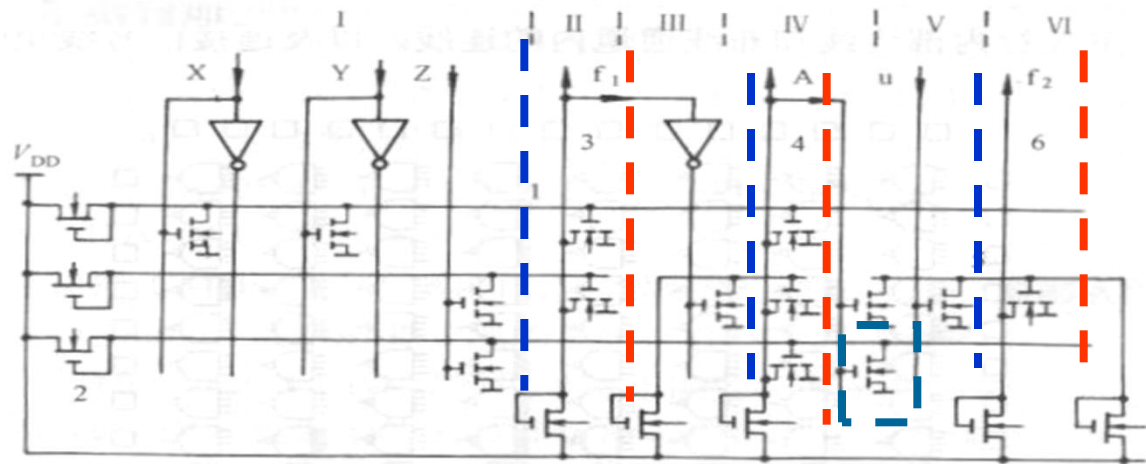
多级门阵列结构MGA



(b)



- 翻译成
的电路图



第四章作业2

用 与 非 — 与 非 结构的 PLA 实现 逻辑

$$Z = \overline{a} \cdot b \cdot d + \overline{b} \cdot c \cdot \overline{d} + a \cdot \overline{c} \cdot d$$

第四章作业3

用 或 非 — 或 非 结构的 PLA 实现 逻辑

$$Z = \overline{a} \cdot b \cdot d + \overline{b} \cdot c \cdot \overline{d} + a \cdot \overline{c} \cdot d$$

第四章作业4

- 用P62图4-19的门阵列单元实现一个与非门加一个倒相器形成的与门

