

1.2 数制

1.2.1 十进制

1.2.2 二进制

1.2.3 二-十进制之间的转换

1.2.4 十六进制和八进制

1.2.2 二进制

1、二进制数的表示方法

二进制数只有0、1两个数码，进位规律是：“逢二进一”。

例如：1+1= 10 = 1×2<sup>1</sup> + 0×2<sup>0</sup>

二进制数的一般表达式为：

$$(N)_B = \sum_{i=-\infty}^{\infty} K_i \times 2^i$$

系数      位权

各位的权都是2的幂。

1.2.3 二-十进制之间的转换（自学）

1)、十进制数转换成二进制数：  

整数部分

小数部分

a. 整数的转换：

“辗转相除”法：将十进制数连续不断地除以2，直至商为零，所得余数由低位到高位排列，即为所求二进制数

例1.2.2 将十进制数(37)<sub>10</sub>转换为二进制数。

解：根据上述原理，可将(37)<sub>10</sub>按如下的步骤转换为二进制数

$$\begin{array}{r|ll}
2 & 37 & \cdots \cdots \cdots \text{余} \cdots \cdots b_0 \\
2 & 18 & \cdots \cdots \cdots \text{余} \cdots \cdots b_1 \\
2 & 9 & \cdots \cdots \cdots \text{余} \cdots \cdots b_2 \\
2 & 4 & \cdots \cdots \cdots \text{余} \cdots \cdots b_3 \\
2 & 2 & \cdots \cdots \cdots \text{余} \cdots \cdots b_4 \\
2 & 1 & \cdots \cdots \cdots \text{余} \cdots \cdots b_5 \\
& 0 & 
\end{array}$$

由上得 (37)<sub>10</sub>=(100101)<sub>2</sub>

当十进制数较大时，有什么方法使转换过程简化？

b. 小数的转换：

对于二进制的小数部分可写成

$$(N)_D = b_{-1} \times 2^{-1} + b_{-2} \times 2^{-2} + \cdots + b_{-(n-1)} \times 2^{-(n-1)} + b_{-n} \times 2^{-n}$$

将上式两边分别乘以2，得

$$2 \times (N)_D = b_{-1} \times 2^0 + b_{-2} \times 2^{-1} + \cdots + b_{-(n-1)} \times 2^{-(n-2)} + b_{-n} \times 2^{-(n-1)}$$

由此可见，将十进制小数乘以2，所得乘积的整数即为  $b_{-1}$

不难推知，将十进制小数每次除去上次所得积中的整数再乘以2，直到满足误差要求进行“四舍五入”为止，就可完成由十进制小数转换成二进制小数。

例 将十进制小数(0.39)<sub>10</sub>转换成二进制数,要求精度达到0.1%。

解 由于精度要求达到0.1%，需要精确到二进制小数10位，即1/2<sup>10</sup>=1/1024。

0.39×2=0.78	$b_{-1}=0$	0.48×2=0.96	$b_{-6}=0$
0.78×2=1.56	$b_{-2}=1$	0.96×2=1.92	$b_{-7}=1$
0.56×2=1.12	$b_{-3}=1$	0.92×2=1.84	$b_{-8}=1$
0.12×2=0.24	$b_{-4}=0$	0.84×2=1.68	$b_{-9}=1$
0.24×2=0.48	$b_{-5}=0$	0.68×2=1.36	$b_{-10}=1$

所以  $(0.39)_D = (0.011000111)_B$

1.2.4 十六进制和八进制

1.十六进制

十六进制数中只有 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A、B、C、D、E、F 十六个数码，进位规律是“逢十六进一”。各位的权均为 16 的幂。

例如  $(A6.C)_{16} = 10 \times 16^1 + 6 \times 16^0 + 12 \times 16^{-1}$

一般表达式：
$$(N)_{16} = \sum_{i=-m}^{n-1} a_i \times 16^i$$

各位的权都是 16 的幂。

4. 二、八进制之间的转换（自学）

• 因为八进制的基数  $8=2^3$ ，所以，可将三位二进制数表示一位八进制数，即 000~111 表示 0~7

• 转换时，由小数点开始，整数部分自右向左，小数部分自左向右，三位一组，不够三位的添零补齐，则每三位二进制数表示一位八进制数。

例  $(10110.011)_2 = (26.3)_8$

将每位八进制数展开成三位二进制数，排列顺序不变即可。

例  $(752.1)_8 = (111\ 101\ 010.001)_2$

(3)用BCD代码表示十进制数

对于一个多位的十进制数，需要有与十进制位数相同的几组 BCD 代码来表示。  
例如：

$(463.5)_{10} = \left[ \begin{array}{cccc} \text{0100} & \text{0110} & \text{0011} & \text{0101} \\ 4 & 6 & 3 & 5 \end{array} \right]_{8421BCD}$   
 $(863.2)_{10} = \left[ \begin{array}{cccc} \text{1110} & \text{1100} & \text{0011} & \text{0010} \\ 8 & 6 & 3 & 2 \end{array} \right]_{2421BCD}$

不能省略！

不能省略！

2、二、十六进制之间的转换

二进制转换成十六进制：

因为 16 进制的基数  $16=2^4$ ，所以，可将四位二进制数表示一位 16 进制数，即 0000~1111 表示 0~F。

例  $(111100010101110)_2 = (78AE)_{16}$

十六进制转换成二进制：

将每位 16 进制数展开成四位二进制数，排列顺序不变即可。

例  $(BEEF)_{16} = (1011\ 1100\ 1110\ 1111)_2$

(4)求BCD代码表示的十进制数

对于有权 BCD 码，可以根据位权展开求得所代表的十进制数。例如：

$[0111]_{8421BCD} = 0 \times 8 + 1 \times 4 + 1 \times 2 + 1 \times 1 = (7)_D$

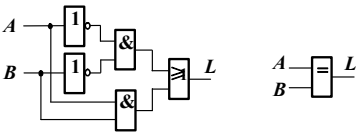
$[1101]_{2421BCD} = 1 \times 2 + 1 \times 4 + 0 \times 2 + 1 \times 1 = (7)_D$

3. 逻辑图表示方法

用与、或、非等逻辑符号表示逻辑函数中各变量之间的逻辑关系所得到的图形称为逻辑图。

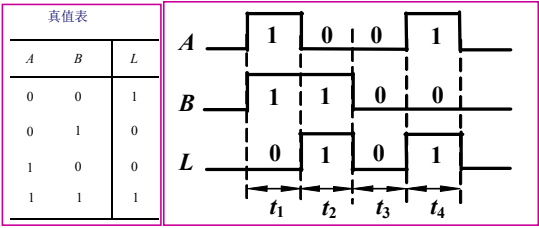
将逻辑函数式中所有的与、或、非运算符号用相应的逻辑符号代替，并按照逻辑运算的先后次序将这些逻辑符号连接起来，就得到图电路所对应的逻辑图

例：已知某逻辑函数表达式为  $L = \overline{A}\overline{B} + AB$



4. 波形图表示方法

用输入端在不同逻辑信号作用下所对应的输出信号的波形图，表示电路的逻辑关系。



2. 反演规则注意原则

- (1) 保持原来的运算优先级，即先进行与运算，后进行或运算，并注意优先考虑括号内的运算
- (2) 对于反变量以外的非号应保留不变

例2.1.2 试求  $L = A + B\overline{C} + D + \overline{E}$  的非函数

解：按照反演规则，并保留反变量以外的非号不变，得

$$\overline{L} = \overline{A \cdot (B+C) \cdot \overline{DE}}$$

- 试将下列逻辑函数化简成最简与-或表达式

$L_1 = AC + \overline{B}C + B\overline{D} + A(B + \overline{C}) + \overline{A}\overline{C}\overline{D} + A\overline{B}DE$        $A + \overline{C}\overline{D} + \overline{B}C + B\overline{D}$

$L_2(A, B, C) = \sum m(0, 2, 4, 6, 7)$        $\overline{C} + AB$

$L_3(A, B, C, D) = \sum m(0, 1, 4, 5, 6, 8, 9) + \sum d(10, 11, 12, 13, 14, 15)$        $L = \overline{C} + B\overline{D}$

例: 要求设计一个逻辑电路，能够判断一位十进制数是奇数还是偶数，当十进制数为奇数时，电路输出为1，当十进制数为偶数时，电路输出为0。

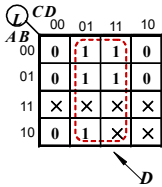
解:  
(1)列出真值表

$F = \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D}$   
 $+ \overline{A}BCD + A\overline{B}\overline{C}D$

(2)画出卡诺图

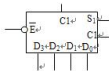
(3) 卡诺图化简

$L = D$



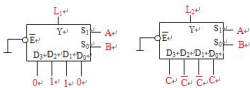
ABCD	L
0000	0
0001	1
0010	0
0011	1
0100	0
0101	1
0110	0
0111	1
1000	0
1001	1
1010	×
1011	×
1100	×
1101	×
1110	×
1111	×

- 4选1MUX（数据选择器）如附图所示，其逻辑功能如下表所示。试仅用4选1数据选择器分别实现二变量和三变量异或逻辑函数。



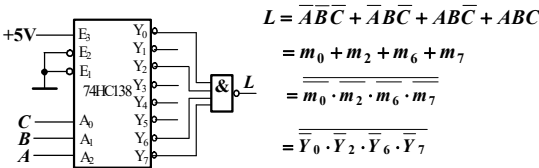
4选1数据选择器功能表

E	S <sub>1</sub>	S <sub>2</sub>	Y <sub>4</sub>
1	×	×	0 <sub>Y4</sub>
0	0	0	D <sub>1</sub> <sub>Y4</sub>
0	0	1	D <sub>2</sub> <sub>Y4</sub>
0	1	0	D <sub>3</sub> <sub>Y4</sub>
0	1	1	D <sub>4</sub> <sub>Y4</sub>



用一片74HC138实现函数  $L = \overline{A}\overline{C} + AB$

首先将函数式变换为最小项之和的形式

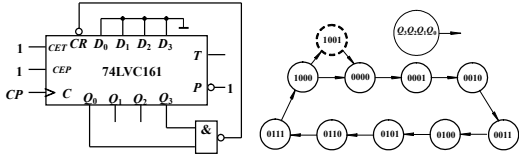


在译码器的输出端加一个与非门，即可实现给定的组合逻辑函数。

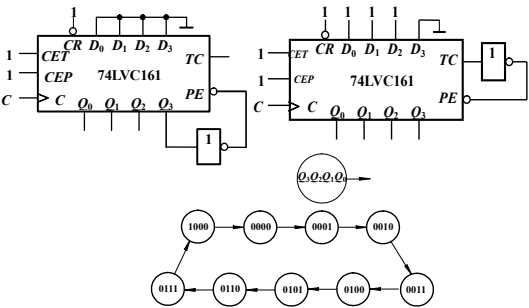
2. 用集成计数器构成任意进制计数器

例 用74LVC161构成九进制计数器。  
解：九进制计数器应有9个状态，而74LVC161在计数过程中有16个状态。如果设法跳过多余的7个状态，则可实现模9计数器。

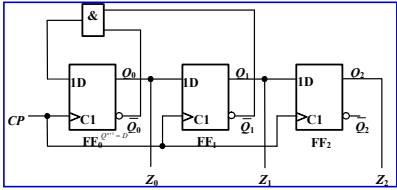
(1) 反馈清零法



(2) 反馈置数法



例3 分析下图所示的同步时序电路，写出驱动方程和状态方程；  
画出状态转换真值表和完全状态图；判断能否自启动。



1. 根据电路列出逻辑方程组：

输出方程组  $Z_0 = Q_0$   $Z_1 = Q_1$   $Z_2 = Q_2$

激励方程组

$$D_0 = \overline{Q_1}^n \overline{Q_0}^n$$
$$D_1 = Q_0^n$$
$$D_2 = Q_1^n$$

将激励方程代入D触发器的特性方程得状态方程

$$Q^{n+1} = D$$

得状态方程

$$Q_0^{n+1} = D_0 = \overline{Q_1}^n \overline{Q_0}^n$$
$$Q_1^{n+1} = D_1 = Q_0^n$$
$$Q_2^{n+1} = D_2 = Q_1^n$$

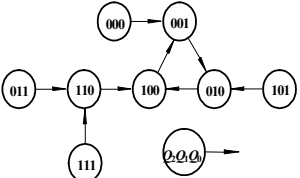
2. 列出其状态表

状态表

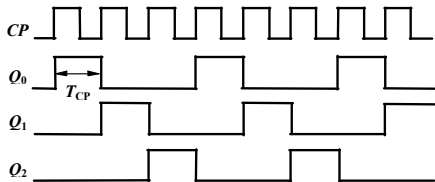
$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
000	001
001	010
010	100
011	110
100	001
101	010
110	100
111	110

状态表

$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
000	001
001	010
010	100
011	110
100	001
101	010
110	100
111	110

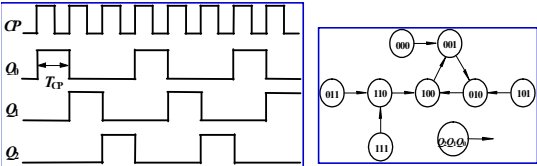


3. 画出时序图



4、逻辑功能分析

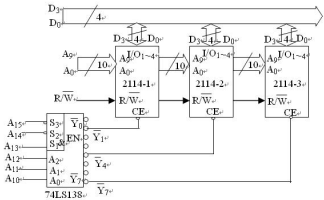
由状态图可见，电路的有效状态是三位循环码。  
从时序图可看出，电路正常工作时，各触发器的  $Q$  端轮流出现一个宽度为一个  $CP$  周期脉冲信号，循环周期为  $3T_{CP}$ 。电路的功能为脉冲分配器或节拍脉冲产生器。



练习题3:

RAM2114 (1k×4) 组成题图6-17所示电路。

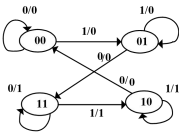
- (1) 若要实现  $2k \times 8$  的内存，需要多少片 2114 芯片？
- (2) 写出 2114-1 至 2114-3 的地址范围 (用十六进制表示)。



27

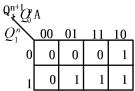
习题4

- 试用上升沿触发的 JK 触发器设计一同步时序电路，其状态图如下图所示，要求电路使用的门电路最少。



• 状态转化真值表

$Q_1^n, Q_0^n$	$A^n$	$Q_1^{n+1}, Q_0^{n+1}$	$Y^n$
00	0	00	0
00	1	00	0
01	0	01	0
01	1	01	0
10	0	10	0
10	1	10	0
11	0	11	1
11	1	11	1



$Q_1^{n+1} = Q_1^n A + Q_0^n \bar{A} (Q_1^n + \bar{Q}_1^n)$

$J_1 = \bar{A} Q_0^n \quad K_1 = \bar{A} Q_0^n$



$Q_0^{n+1} = \bar{Q}_1^n A (Q_0^n + \bar{Q}_0^n) + Q_0^n \bar{A}$

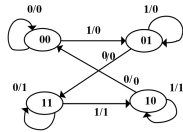


$Y = A Q_1 + Q_1 Q_0$

$J_0 = A \bar{Q}_1^n \quad K_0 = A Q_1^n$

习题5

- 试用上升沿触发的D触发器设计一同步时序电路，其状态图如下图所示，要求电路使用的门电路最少。



- 状态转化真值表

$Q_1^{n+1}$	$Q_0^{n+1}$	$A^n$	$Q_1^n$	$Q_0^n$	$I^n$
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	1	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	0	1	1

$Q_1^{n+1}$	$Q_0^{n+1}$	$A^n$	$Q_1^n$	$Q_0^n$	$I^n$
0	0	0	0	0	1
0	0	1	0	1	1
1	0	0	1	1	1
1	0	1	0	0	1

$$Q_1^{n+1} = Q_1^n A + Q_0^n \bar{A}$$

$Q_1^{n+1}$	$Q_0^{n+1}$	$A^n$	$Q_1^n$	$Q_0^n$	$I^n$
0	0	1	1	1	0
0	1	0	0	0	0
1	0	0	0	1	1
1	0	1	1	1	1

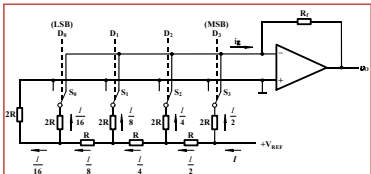
$$Q_0^{n+1} = \bar{Q}_1^n A + Q_0^n \bar{A}$$

$$D_0 = \bar{Q}_1^n A + Q_0^n \bar{A}$$

$$D_1 = Q_1^n A + Q_0^n \bar{A}$$

$Q_1^{n+1}$	$Q_0^{n+1}$	$A^n$	$Q_1^n$	$Q_0^n$	$I^n$
0	0	0	1	1	0
0	1	0	0	0	0
1	0	1	1	1	1

$$Y = A Q_1 + Q_0 Q_0$$



流入运算的总电流:  $i_{\Sigma} = I_0 + I_1 + I_2 + I_3$

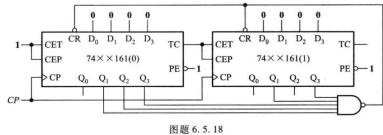
$$= \frac{V_{ref}}{R} \left( \frac{D_0}{2^4} + \frac{D_1}{2^3} + \frac{D_2}{2^2} + \frac{D_3}{2^1} \right)$$

输出模拟电压:

$$v_o = -i_{\Sigma} R_f = -\frac{R_f}{R} \cdot \frac{V_{ref}}{2^4} \sum_{i=0}^3 (D_i \cdot 2^i)$$
$$v_o = -\frac{V_{ref}}{2^4} \cdot \frac{R_f}{R} \left[ \sum_{i=0}^3 (D_i \cdot 2^i) \right]$$

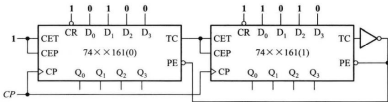
实验复习

6.5.18 试分析图题 6.5.18 所示计数器，确定它的模。



解:由图题 6.5.18 所示计数器可知,它是用“反馈清零法”构成的。当输出端状态为 **1010 1110** 时,与非门输出清零信号,使 2 片 74x161 同时清零,计数器又从 **0000 0000** 状态开始计数。由于  $(1010\ 1110)_2 = (174)_{10}$ ,因此该计数器的模  $M=174$ 。

6.5.19 试分析图题 6.5.19 所示计数器，确定它的模。



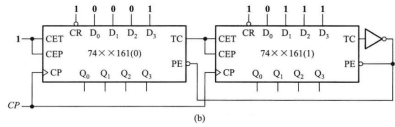
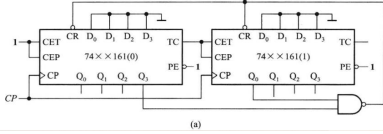
解:两片 74x161 级连连接后,最多可能有  $16^2=256$  个不同的状态。而在用“反馈置数法”构成的图题 6.5.19 所示电路中,数据输入端所输入的数据为 **0101 0010**,它所对应的十进制数:82,说明该电路在置数以后从 **0101 0010** 状态开始计数,跳过了 82 个状态。因此,该计数器的  $M=256-82=174$ 。

6.5.20 试用  $74\times 161$  构成同步模 24 计数器,要求采用两种不同的方法。

解:因为  $M=24$ , 有  $16<M<256$ , 所以要用两片  $74\times 161$ 。将两芯片的  $CP$  端直接与计数脉冲相连, 构成同步计数电路, 并将低位芯片的进位信号连到高位芯片的计数使能端。用“反馈清零法”或“反馈置数法”跳过  $256-24=232$  个多余状态。

反馈清零法: 利用  $74\times 161$  的“异步清零”功能, 在第 24 个计数脉冲作用后, 电路的输出状态为 **0001 1000** 时, 将低位芯片的  $Q_0$  及高位芯片的  $Q_6$  信号经与非门产生清零信号, 输出到两芯片的异步清零端, 使计数器从 **0000 0000** 状态开始重新计数。其电路如图题解 6.5.20(a) 所示。

反馈置数法: 十进制数 24 对应的二进制数为 **0001 1000**, 利用  $74\times 161$  的“同步预置数据”功能, 在两片  $74\times 161$  的数据输入端从高位到低位输入 **0001 1000** 的补码 **1110 1000** (对应的十进制数是 232), 并将高位芯片的进位信号经反相器接至并行置数使能端。这样, 在第 23 个计数脉冲作用后, 电路输出状态为 **1111 1111**, 使进位信号  $TC=1$ , 将并行置数使能端置零。在第 24 个计数脉冲作用后, 将 **1110 1000** 置入两计数器, 并从此状态开始重新计数。其电路如图题解 6.5.20(b) 所示。



图题解 6.5.20