

4.4 门阵列

- ◆ 门阵列综述
- ◆ 门阵列单元
- ◆ 整体结构设计规则
- ◆ 门阵列在VLSI设计中的应用形式
 - 固定门阵列
 - 优化门阵列
 - 局部门阵列

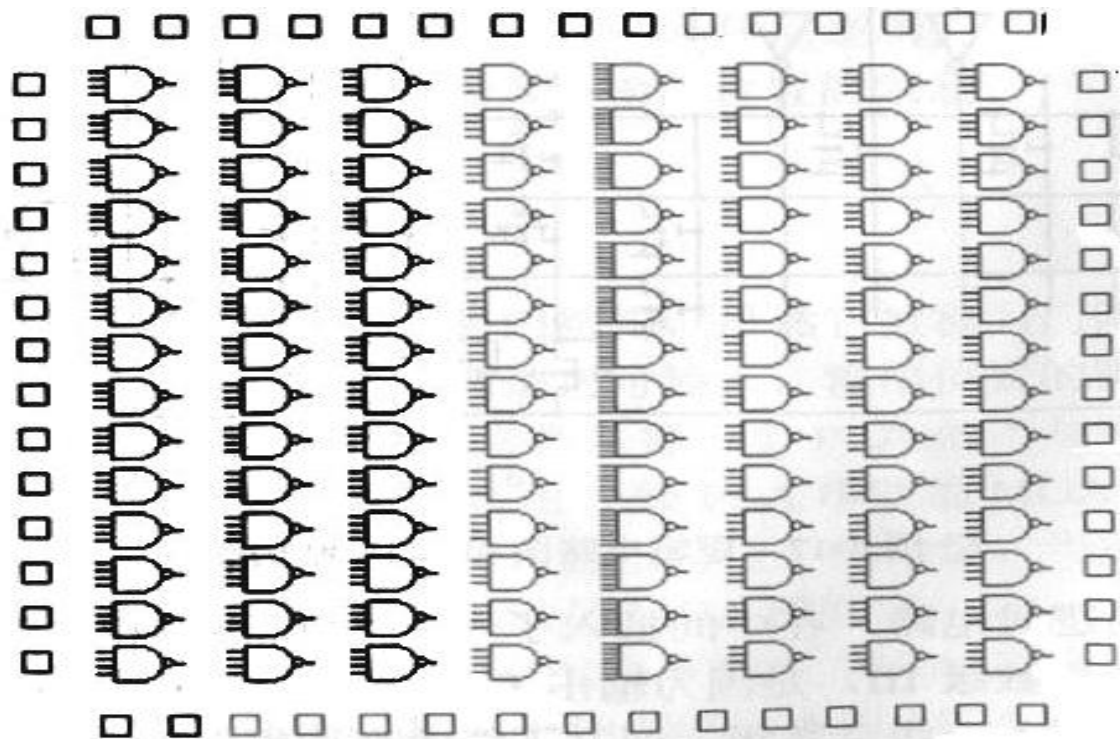
门阵列的特点

- ◆ 门阵列彻底解决了信号位置的限制
- ◆ 组合逻辑、时序逻辑均以门逻辑及其门逻辑构成的逻辑功能块组成
- ◆ 电路规模衡量不以晶体管数目而用集成了多少标准门进行标度
- ◆ 严格的讲，门阵列不是一个实现逻辑的电路结构，而是是一种规则化的版图结构



早期门阵列结构示意图

- 58引脚
- 14×8 阵列
- 112标准门
- ◆ 门阵列的结构可根据具体逻辑进行改变



门阵列的特点

- ◆ 现在广泛应用的 CMOS 门，电路规模衡量以集成了多少标准二输入“与非门”“或非门”定义
- ◆ 门阵列方法的设计特点：
 - 设计周期短，设计成本低，适合设计适当规模、中等性能、要求设计时间短、数量相对较少的电路
- ◆ 不足：
 - 设计灵活性较低；门利用率低；芯片面积浪费

门阵列分类

- 固定门阵列：

门阵列芯片中阵列的行数、列数、每行的门数以及四周的I/O单元均为固定结构

- 优化门阵列：

不规则的门阵列结构，其单元行的宽度不完全相同，门数由电路的规模确定，无多余单元

◆ 优化门阵列门阵列总体还是行式阵列，设计规则仍遵循门阵列的设计准则

4.4.1 门阵列单元

- 多种工艺支持门阵列的实现：
TTL, ECL, CMOS
- **CMOS**: 单元结构简单，单元内部与外部的通信容易实现
- ◆ 在VLSI技术中主要采用硅栅CMOS结构的门阵列

门阵列单元版图图

- 硅栅CMOS门阵列单元

- 图中各MOS管尺寸相同

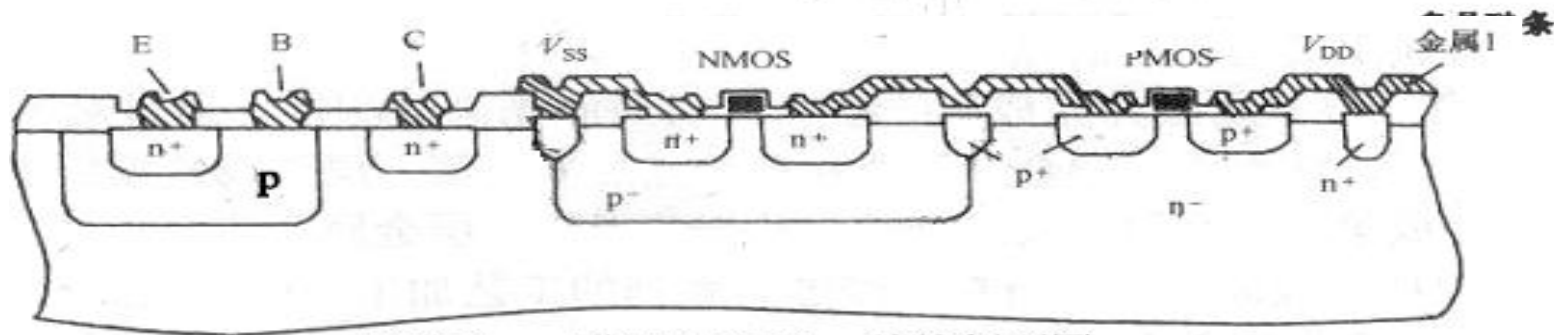
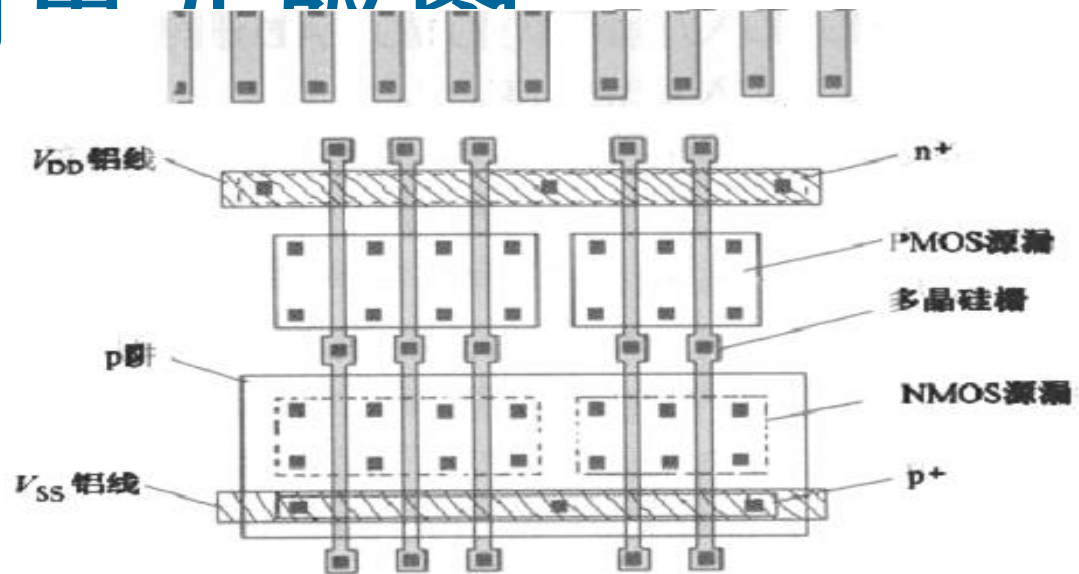


图 2-30 p 阱 CMOS-Npn 结构剖面图

门阵列单元

- 掺杂图形

(去除金属层、二氧化硅层、多晶硅层)

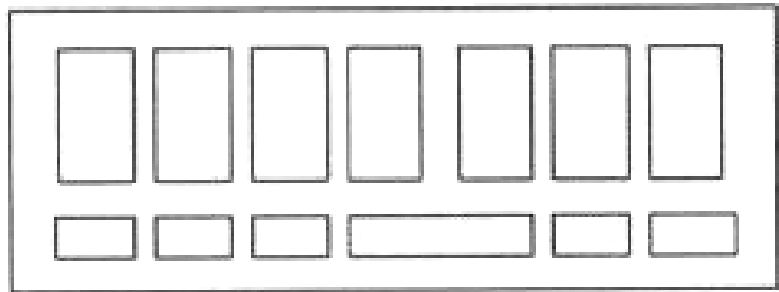
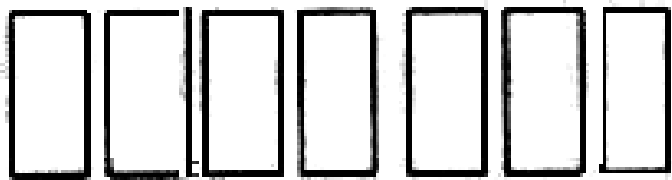
掺杂区被分隔开

- 单元中的电源和地线的接触区采用重掺杂

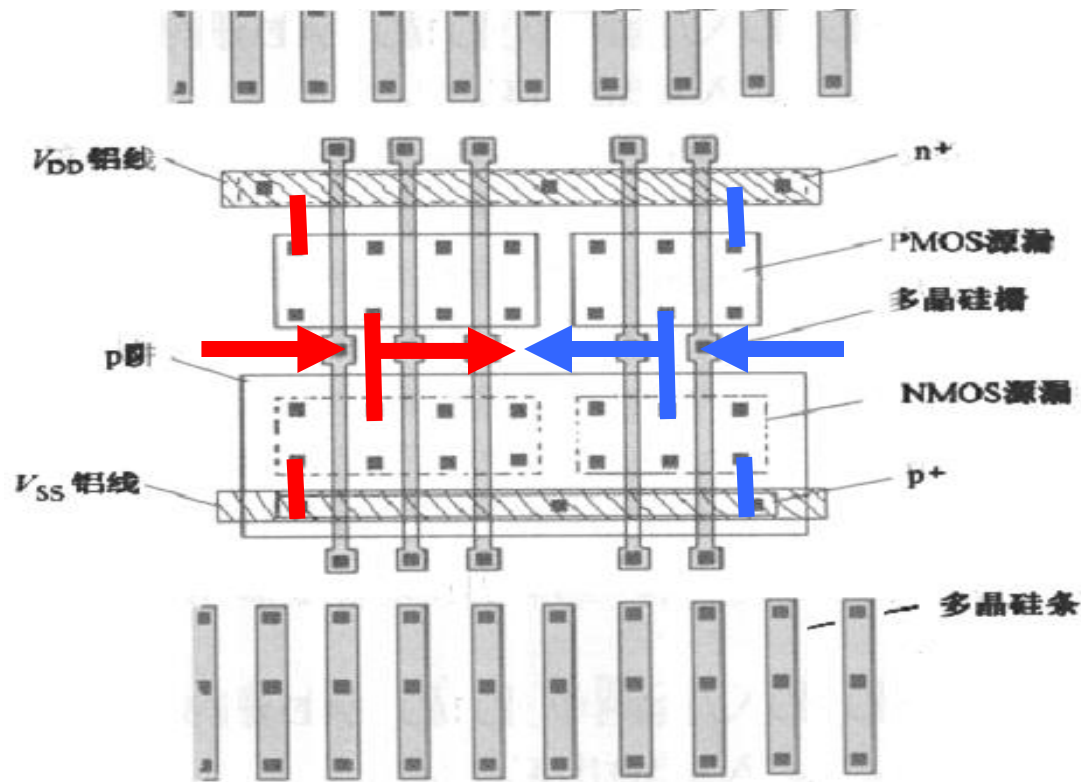
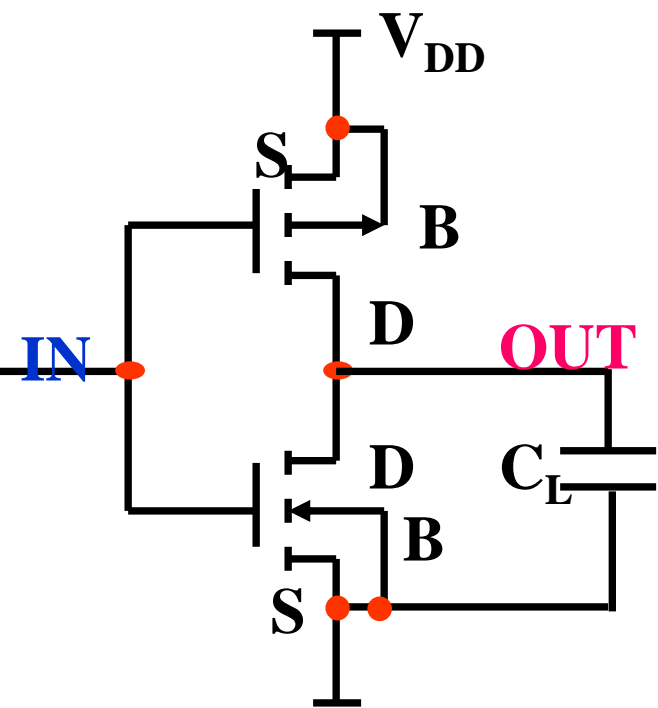
- 目的：减小接触电阻

□ 间隔一定距离开孔并用金属引线短接

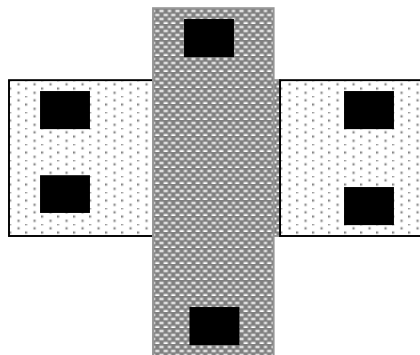
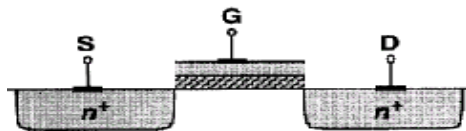
- 目的：保证衬底电位的均匀性



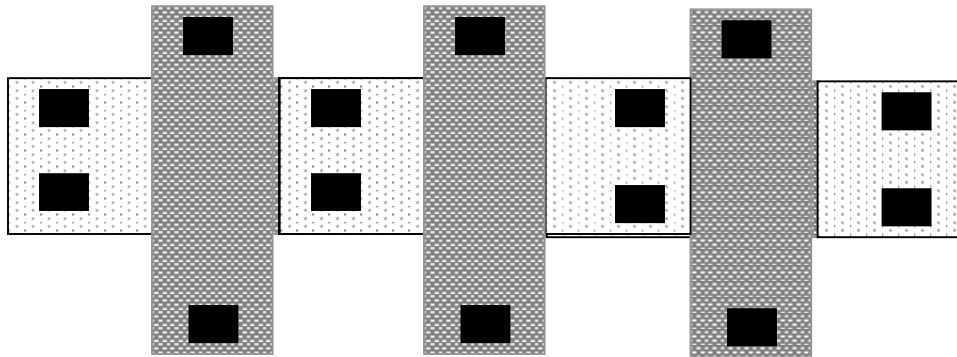
反相器版图



MOS晶体管版图

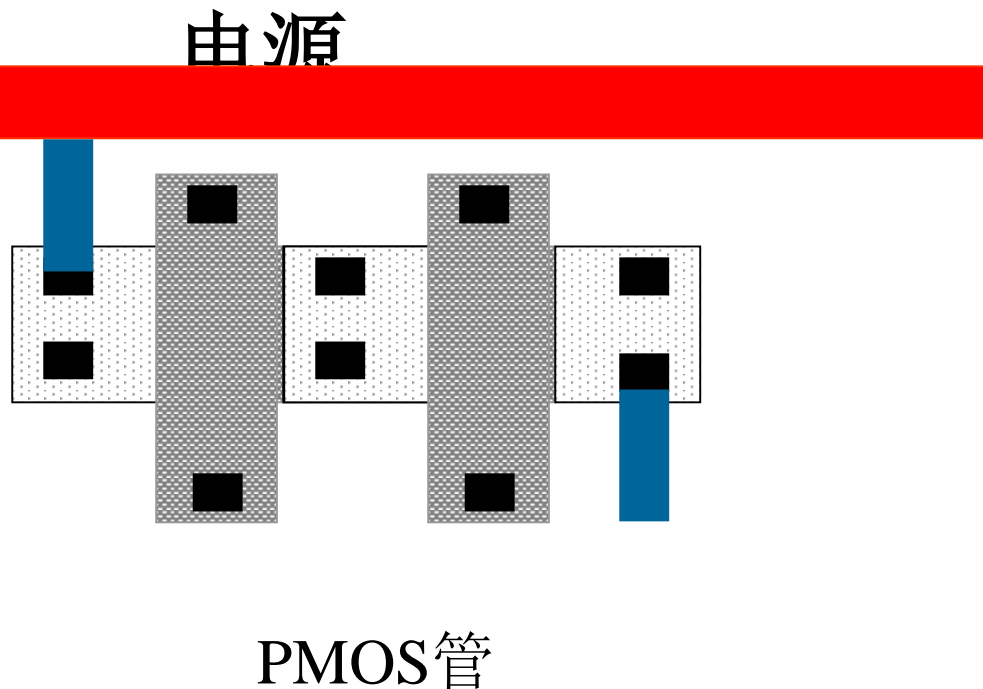
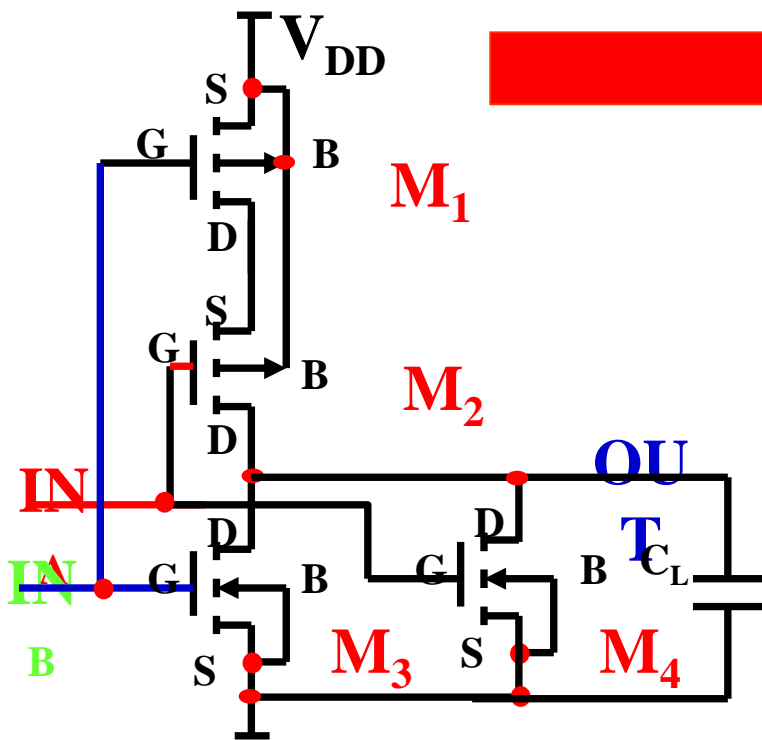


MOS晶体管版图



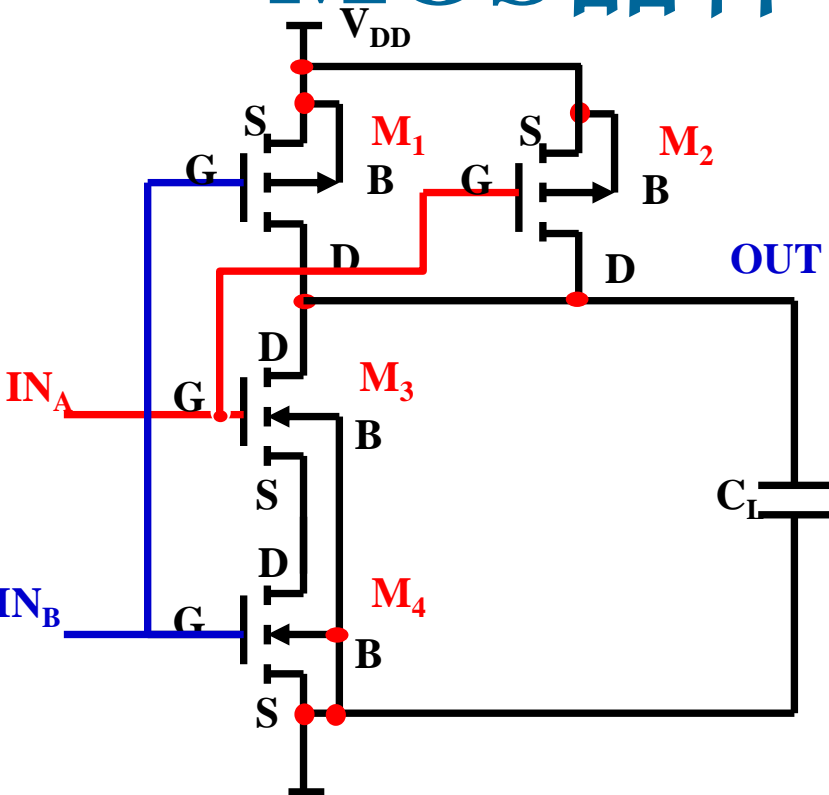
共用源漏

MOS晶体管版图——串联

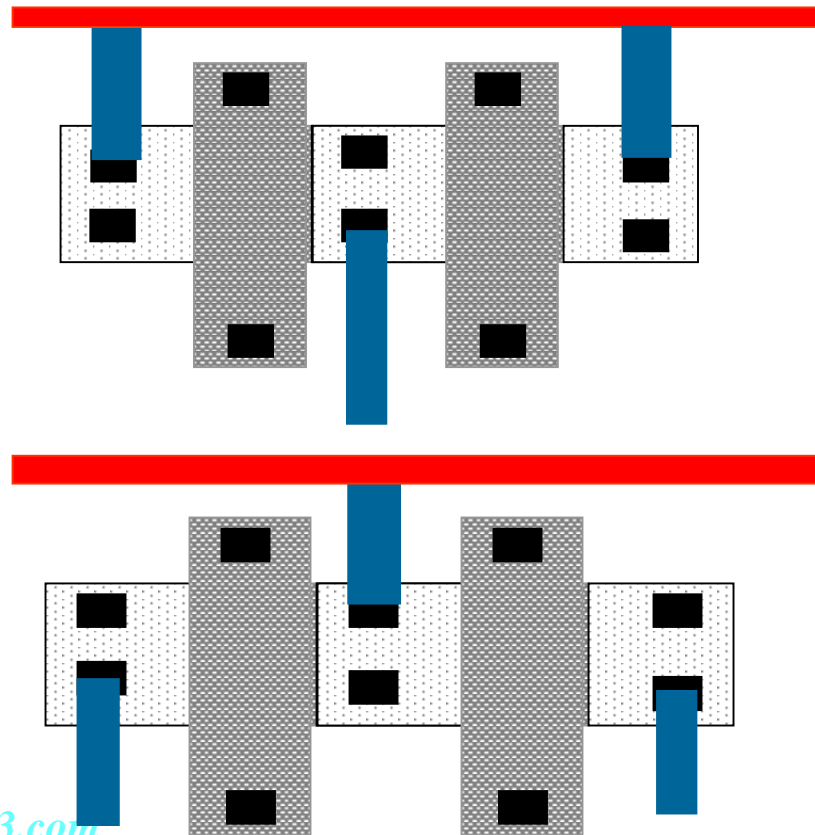


PMOS管

MOS晶体管版图——并联

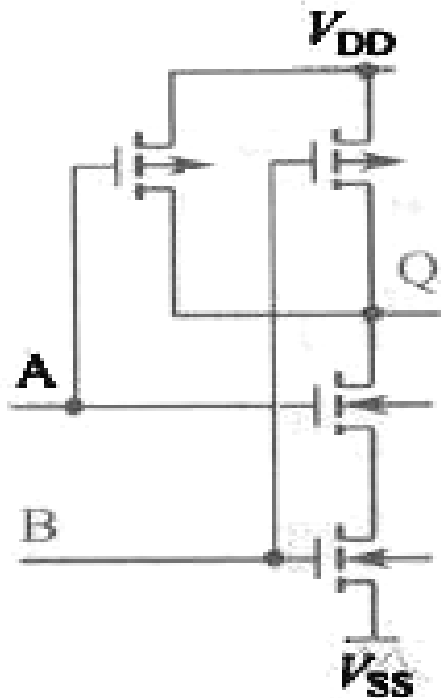
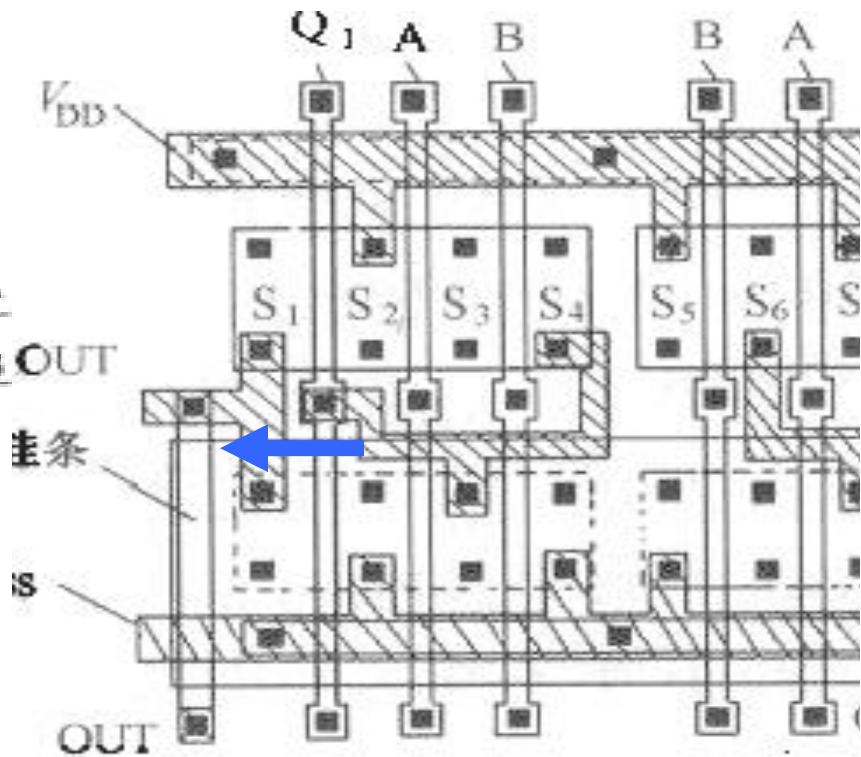
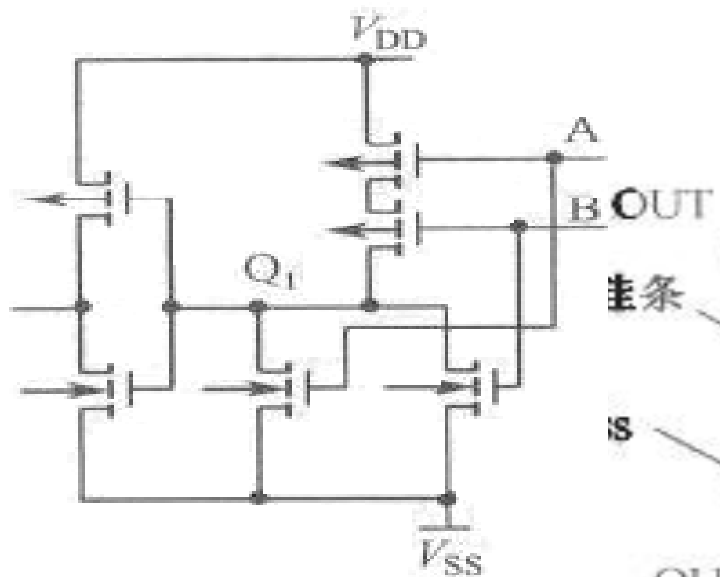


PMOS管



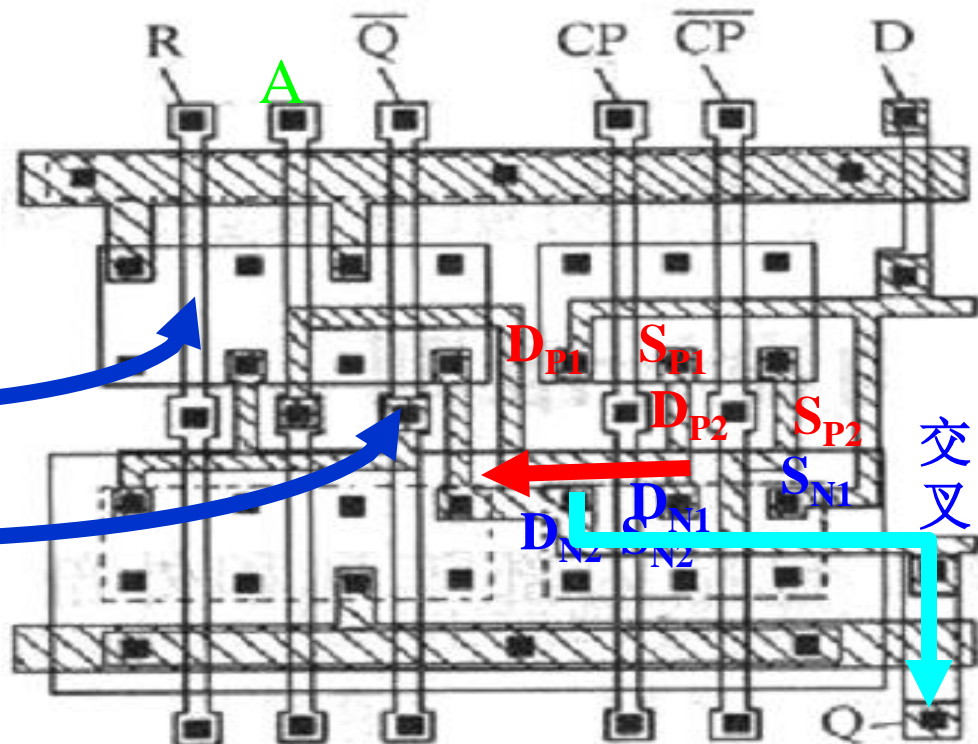
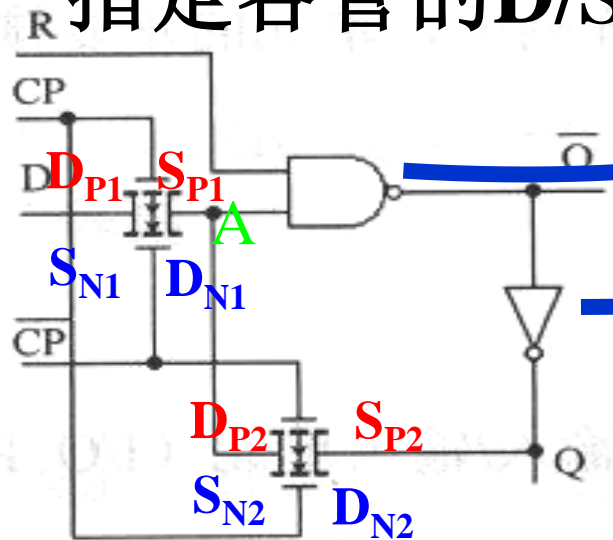
由略与版图举例

- 共源、共漏



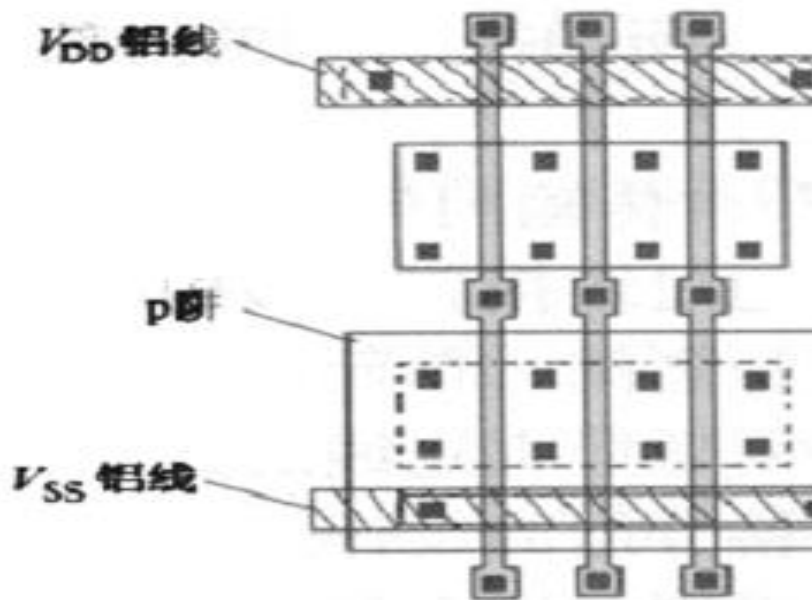
锁存器电路与版图

- 电路与版图
- 为便于描述，指定各管的D/S

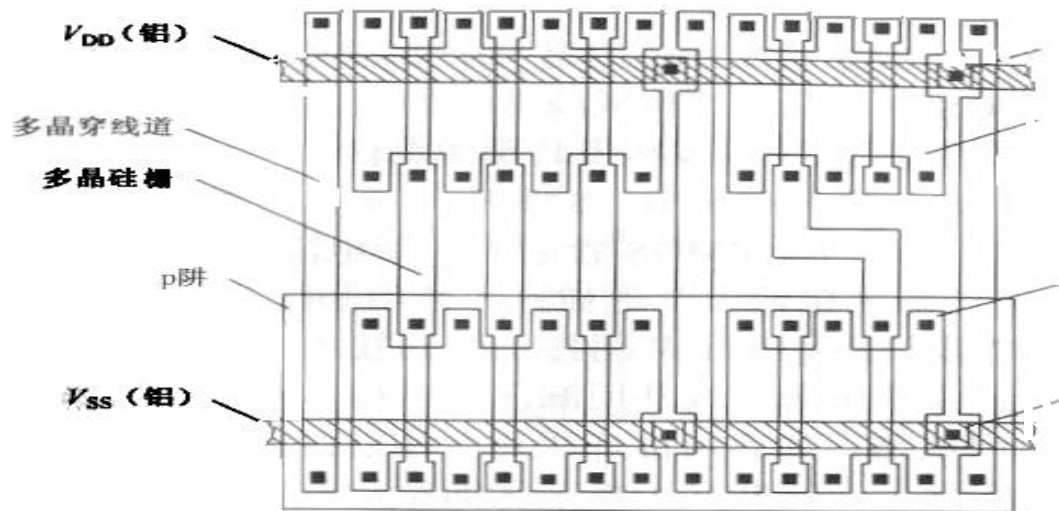
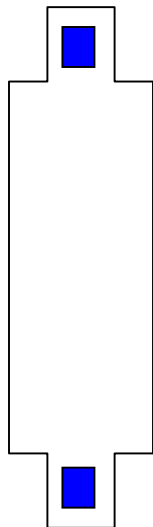


第四章作业4

用如图所示的门阵列单元实现一个与非门
加一个倒相器形成的与门



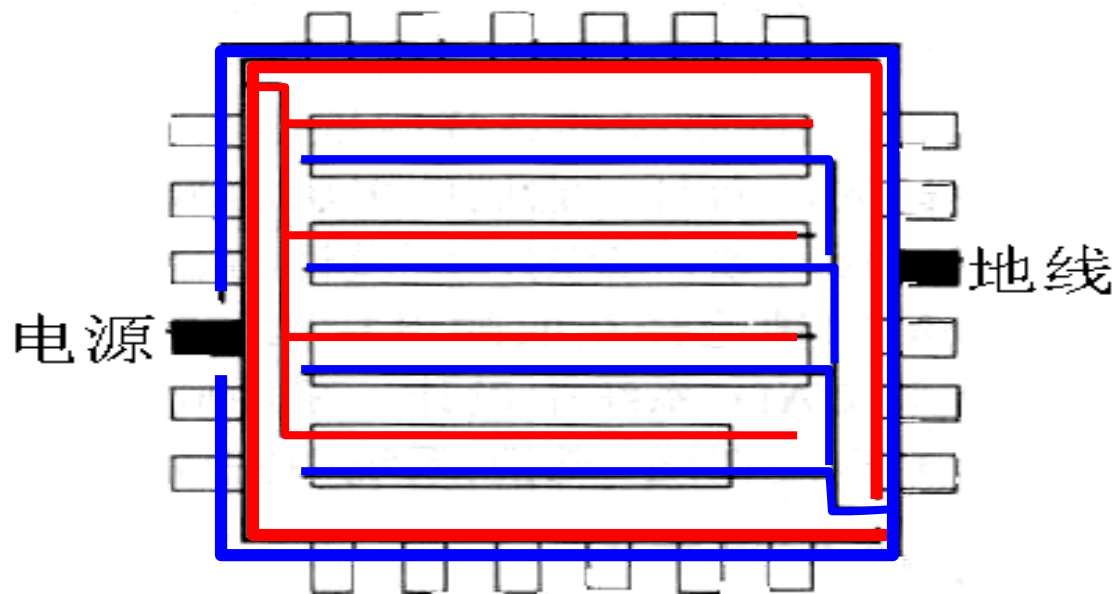
P阱CMOS门阵列单元



4.4.2整体结构设计规则

- 门阵列的芯片结构，包括内部阵列和外部的输入/输出单元（I/O PAD）
- 整体结构设计准则：
 - ❑ 1) 电源、地线必须用金属引线并且不允许交叉跨越：
电源、地线成叉指形，在各单元行的位置、宽度必须一致；对外部的I/O PAD成“回”字

电源、地线设计规则



4.4.2整体结构设计规则

□2)采用垂直布线法:

水平方向: 金属线互联

垂直方向: 多晶硅条或扩散条 (反之亦可)

*金属与多晶硅可互相跨越, 可共用一个布线通道

4.4.2整体结构设计规则

□3)采用“行式结构”

单元行与布线通道间隔排列，便于CAD软件实现自动布局布线

□4)用掩模版编程的I/O PAD或独立的I/O PAD位于芯片四周

*对于优化门阵列结构，在芯片每边的I/O PAD数量不要求一致

4.4.3 门阵列在VLSI设计中的应用形式

第

22

- 门阵列是一种规则阵列形式的版图，对电路设计没有严格的要求，不必考虑逻辑表达式应的形式（ROM，MOS开关逻辑，PLA及其拓展形式的版图都与电路形式有关）
- 门阵列在VLSI设计的应用有两类三种主要形式：
 - ❑ 电路的完全实现形式，包括固定门阵列和优化门阵列
 - ❑ 电路的局部实现形式：在系统中的某一电路部分采用门阵列结构

固定门阵列

- 采用预加工技术：
 - ❑ 母片已完成主要的工艺流程
 - ❑ 固定：大小、结构、I/O数量
 - ❖ 多余单元=》浪费 **缺点**
 - ❖ **优点**：设计制造周期短
 - ❑ 掩模必须严格地与所选的母片相配套
 - 两种获取途径：**CAD**软件提供商推荐半导体公司所生产的与**CAD**系统相匹配的母片
 - 有关半导体公司或厂家定制母片
- * 购买的母片必须是同一**CAD**系统设计的，所采用的版图几何设计规则必须与自己的**CAD**系统相一致

优化门阵列

- 不规则的门阵列结构
 - ❑ 单元行的宽度可不同
 - ❑ 每行的单元数可不同
 - ❑ 布线通道的容量可不同
- ❖ 优化门阵列结构的门数由待集成的电路的规模确定
- * 力图使芯片的面积、总连线长度、布线均匀性最优

局部门阵列

- 将集成电路的一部分用门阵列结构设计
- 属于优化范畴

门阵列方法的设计特点

- ◆ 门阵列方法的设计特点：设计周期短，设计成本低，适合设计适当规模、中等性能、要求设计时间短、数量相对较少的电路
- ◆ 不足：设计灵活性较低；门利用率低；芯片面积浪费

布图设计方法

- ◆ 全定制设计方法、半定制设计方法、可编程逻辑器件以及基于这些方法的兼容设计方法
- ◆ 设计方法选取的主要依据：设计周期、设计成本、芯片成本、芯片尺寸、设计灵活性、保密性和可靠性等
- ◆ 最主要的：设计成本在芯片成本中所占比例
 - 门阵列设计方法： 半定制（母片半定制技术）
 - 标准单元设计方法： 定制
 - 积木块设计方法： 定制
 - 可编程逻辑器件设计方法

全定制设计方法

- ❑ 版图设计时采用人工设计，对每个器件进行优化，芯片性能获得最佳，芯片尺寸最小
- ❑ 设计师要定义芯片上所有晶体管的几何图形和工艺规则，最后将设计结果交由IC厂家去进行掩模制造，做出产品
- ❑ 优点：芯片可以获得最优的性能，即面积利用率高、速度快、功耗低
- ❑ 缺点：设计周期长，设计成本高，适用于性能要求极高或批量很大的产品，模拟电路

半定制设计方法

- ❑ 半定制芯片的版图设计方法分为：
门阵列设计法、标准单元设计法
- ❑ 这两种方法都是约束性的设计方法，其主要目的就是简化设计，以牺牲芯片性能为代价来缩短开发时间。

可编程逻辑器件

- ❑ 可编程逻辑芯片在设计人员完成版图设计后，在实验室内就可以烧制出自己的芯片，无须IC厂家的参与，大大缩短了开发周期
- ❑ 可编程逻辑器件自70年代以来，经历了PAL、GAL、CPLD、FPGA几个发展阶段
- ❑ 其中CPLD/FPGA属高密度可编程逻辑器件，目前集成度已高达200万门/片，它将掩模ASIC集成度高的优点和可编程逻辑器件设计生产方便的特点结合在一起，特别适合于样品研制或小批量产品开发，使产品能以最快的速度上市，而当市场扩大时，它可以很容易地转由掩模ASIC实现，因此开发风险也大为降低
- ❑ CPLD/FPGA器件，已成为现代高层次电子设计方法的实现载体

4.5 晶体管规则阵列设计技术与应用

- ◆ EPLD中的宏单元
- ◆ E²PROM晶体管
- ◆ 编程的概念

EPLD中的宏单元

◆ **Erasable Programmable Logic Device**

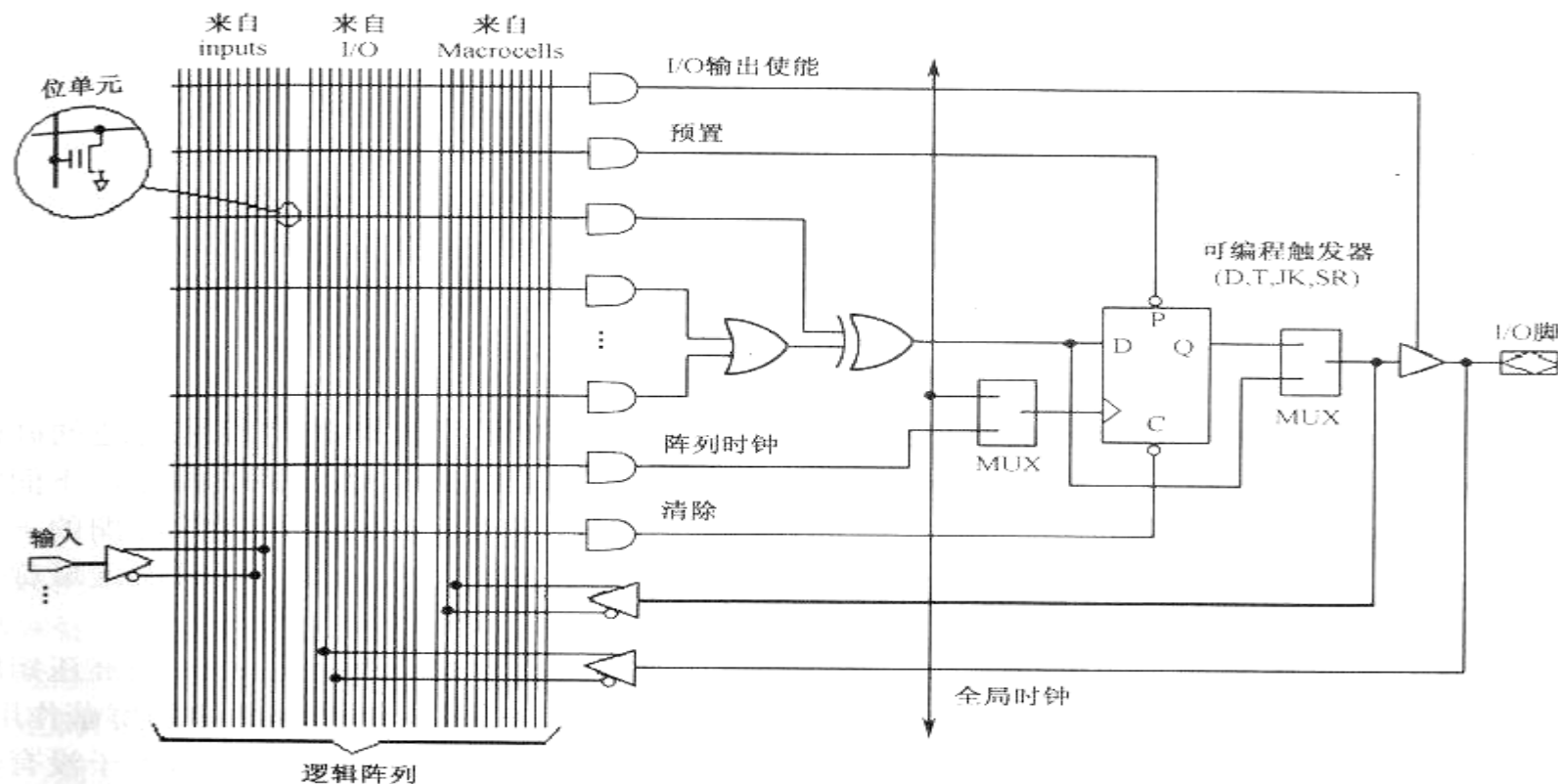
◆ 采用**E²PROM**器件作为晶体管规则阵列中的单元

□ **E²PROM**: 电编写和电擦除的MOS器件

◆ 宏单元主要由几个部分组成:

逻辑阵列、或一异或逻辑、转换开关MUX、触发器、输出三态逻辑

EPLD中的宏单元

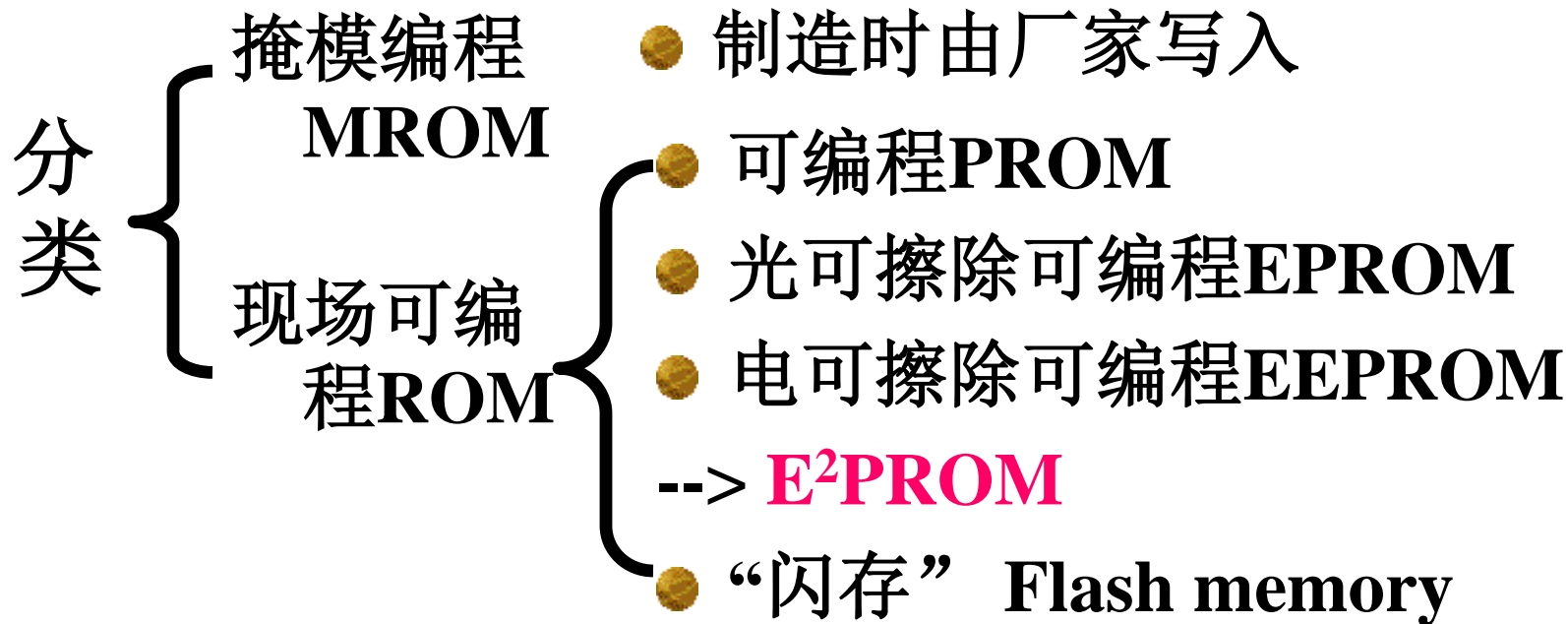


EPLD中的宏单元

- ◆ 核心：晶体管规则阵列
- ◆ 其组合逻辑部分遵循“与-或”逻辑关系
- ◆ 逻辑构造：编程（晶体管的取舍）
- ◆ 功能构造或信号选择：MUX

E²PROM晶体管

- ROM(Read-Only Memory) 只读存储器



可编程ROM

- ◆ **可编程PROM**: 熔丝结构（无用熔丝熔断）
一旦写入无法改变（只能写一次）
熔丝型 击穿型（**背靠背二极管**）

- ◆ **光可擦除可编程EPROM**:
浮栅结构FAMOS 重叠栅SIMOS
紫外线或X射线擦除（一次全部擦除）
时间长，成本高

- ◆ **电可擦除可编程E²PROM**:
浮栅隧道氧化物（flotox）
较低电压（约20v） 可逐字擦除

可编程ROM

◆“闪存” Flash memory

- “闪存”也是一种非易失性的内存，属于EEPROM的改进产品
- 它的最大特点是必须按块(Block)擦除(每个区块的大小不定，不同厂家的产品有不同的规格)，而EEPROM则可以一次只擦除一个字节(Byte)。
- 目前“闪存”被广泛用在PC机的主板上，用来保存BIOS程序，便于进行程序的升级。
- 另外一大应用领域是用来作为硬盘的替代品，具有抗震、速度快、无噪声、耗电低的优点，但是将其用来取代RAM就显得不合适，因为RAM需要能够按字节改写，而Flash ROM做不到。

E²PROM晶体管

◆ Electrically Erasable Programmable Read-Only Memory 电可擦除只读存储器

◆ 特殊的双硅栅MOS器件

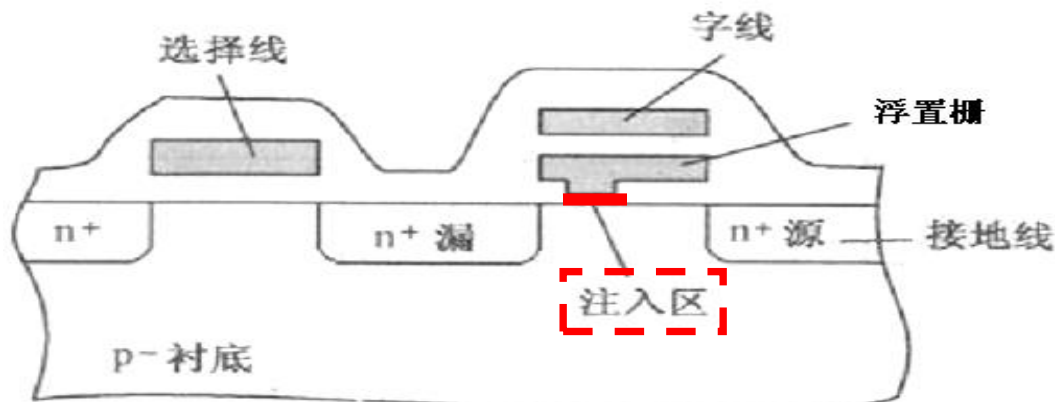
◆ 构成：选择晶体管、存储晶体管（双硅栅）

◆ 双硅栅：

上：与字线相连

下：浮置状态

（周围二氧化硅）



• 工作原理：E²PROM晶体管

❖ 晶体管无效时：浮置栅中驻留电子

❖ 晶体管有效时：电子回到衬底

• 擦除：**n⁺漏区**接地，字线施加**高压短脉冲**

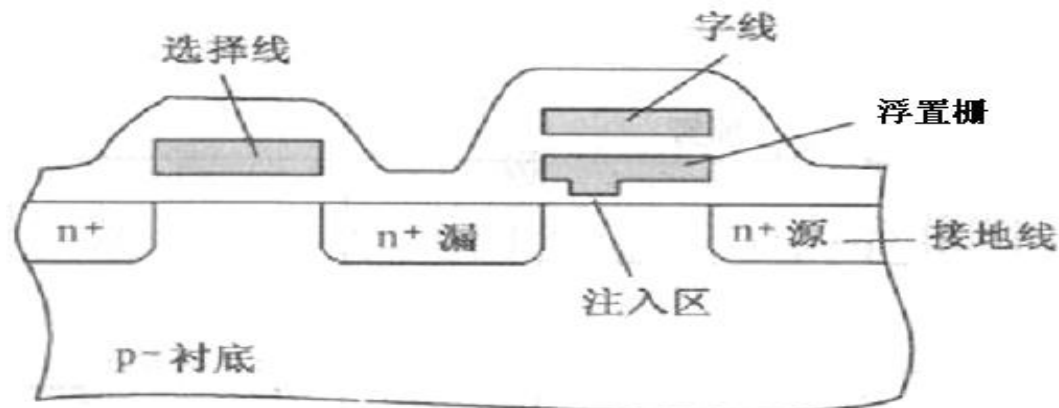
衬底中的电子从注入区进入浮置栅并驻留

由于电子屏蔽作用

正常信号不能在

衬底形成导电沟道

==》器件被擦除



E²PROM晶体管

- 写入：**字线**接地， n^+ 漏区施加**高压****短脉冲**

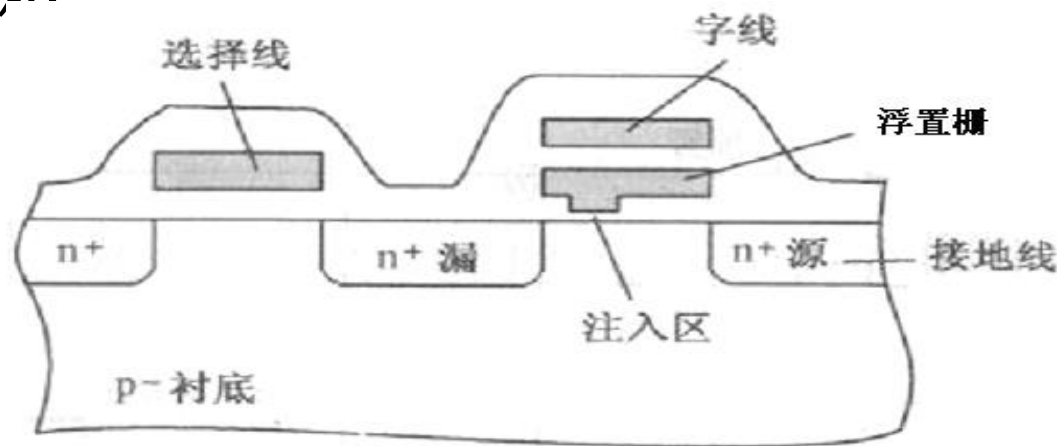
浮置栅中的电子从注入区回到衬底

器件回复为普通NMOS晶体管

==》写入晶体管器^件

选择晶体管：

防止在存储单元擦除和写入时对其他单元产生影响



编程的概念

- ◆ 通常的编程：编制程序
- ◆ VLSI中：对结构配置使其成为所需要的逻辑

ROM结构、MUX、PLA：

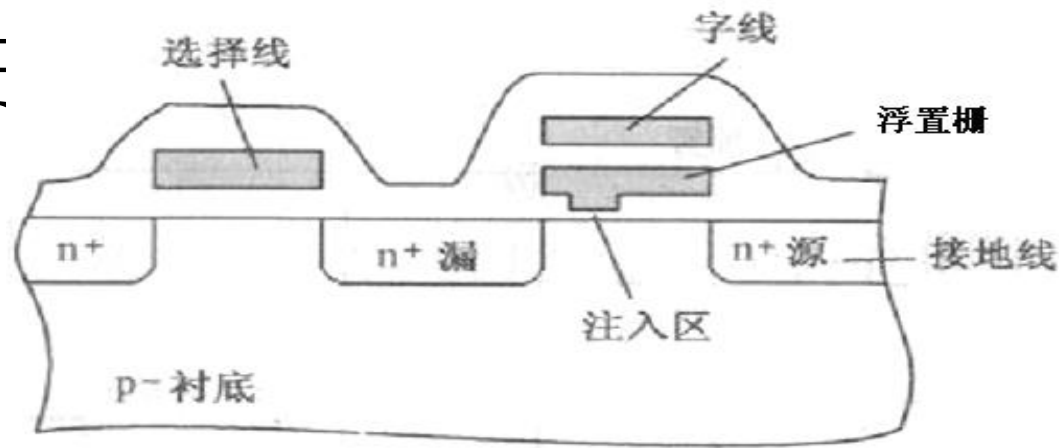
光刻掩模版编程

（源漏掺杂、离子

门阵列：

金属掩模版

（晶体管取舍或连接
即实现逻辑）



Thanks

- <http://www.icisee.com.cn/bbs/index.asp> 版图设计员

- ◆ **职业定义**：通过EDA设计工具，进行集成电路后端的版图设计和验证，最终产生送交供集成电路制造用的GDSII数据。
- ◆ **工作内容**：主要从事芯片物理结构分析、版图编辑、逻辑分析、版图物理验证、联系代工厂、版图自动布局布线、建立后端设计流程等工作。
- ◆ **技能要求**：集成电路版图设计员是连接设计与制造工厂的桥梁，为此，他必须懂得集成电路设计与制造的流程、原理及相关知识，更重要的是，他要掌握芯片的物理结构分析、版图编辑、逻辑分析、版

专业相关资料介绍

- <http://www.icisee.com.cn/bbs/index.asp>
- 职业等级：四个等级：
版图设计员（国家职业资格四级）
助理版图设计师（国家职业资格三级）
版图设计师（国家职业资格二级）
高级版图设计师（国家职业资格一级）

我是应届毕业生，要做版图设计，不知前途如何，请高手不吝赐教

- <http://www.ednchina.com/BBS/ShowTopic.aspx?id=7885>
- 从版图开始，但是不要局限于版图！
- 做版图是一件比较辛苦的事情，不过做IC的话没有做哪一部份是不辛苦的，呵呵！
一般来说本科从学校出来的话，做版图是比较容易上手的
刚开始要学N多的关于版图设计方面的东西！当你在做版图的时候，如果能多一点考虑，为什么这个要这么做？为什么尺寸定成这样？慢慢的你也会学到一些电路设计上的知识了！
其实，好的IC设计师是不能不懂版图的，有版图经验的设

第四章作业1

- 例题：设计一个实现四种逻辑操作的电路，其中控制信号为 K_1K_0 ，逻辑输入为 AB 。

当 $K_1K_0 = 00$ 时，实现 A 、 B 的与操作； 1000

当 $K_1K_0 = 01$ 时，实现 A 、 B 的或操作； 1110

当 $K_1K_0 = 10$ 时，实现 A 、 B 的异或操作； 0110

当 $K_1K_0 = 11$ 时，实现 B 的倒相操作； 0011

第四章作业2

用与非—与非结构的PLA实现逻辑

$$Z = \bar{a} \cdot b \cdot d + \bar{b} \cdot c \cdot \bar{d} + a \cdot \bar{c} \cdot d$$

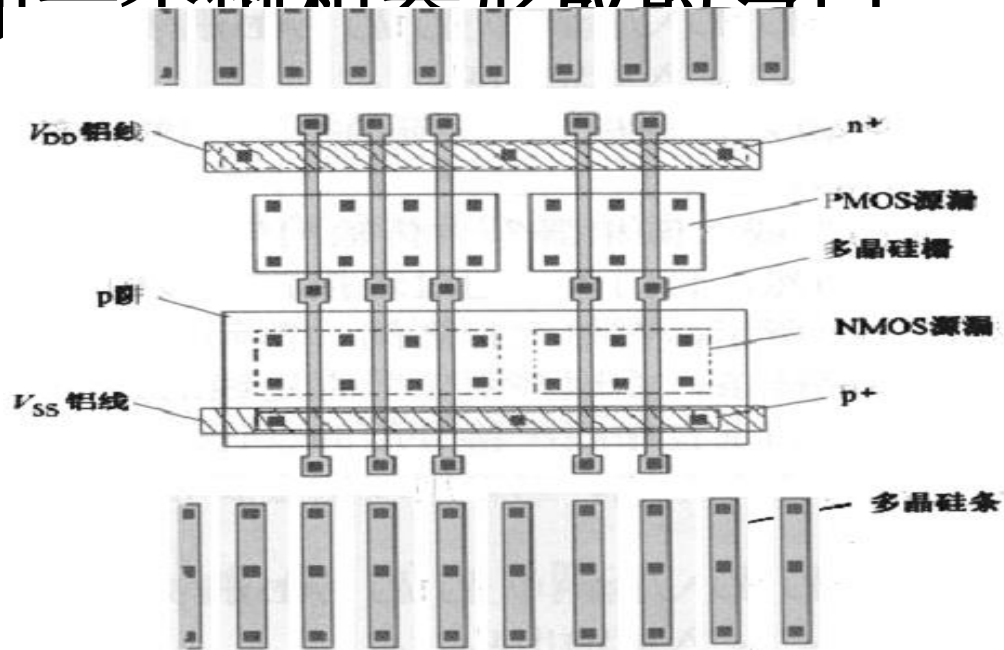
第四章作业3

用或非—或非结构的PLA实现逻辑

$$Z = \bar{a} \cdot b \cdot d + \bar{b} \cdot c \cdot \bar{d} + a \cdot \bar{c} \cdot d$$

第四章作业4

- 用P62图4-19的门阵列单元实现一个与非门加一个倒相器形成的与门



非门加一个倒相器形成的与

