

# 上海电力大学试卷

|      |                    |    |      |       |                 |
|------|--------------------|----|------|-------|-----------------|
| 学年学期 | 2022-2023 学年第 一 学期 |    | 考核方式 |       | 开卷笔试<br>(非现场考试) |
|      |                    |    | 开卷物品 |       | 教材              |
| 课程名称 | 集成电路设计基础期末考试 A 卷   |    | 任务类型 |       | 期末考试            |
| 课程号  | 2614006            | 学分 | 3    | A/B 卷 | A 卷             |
| 题号   | 一                  | 二  | 总分   |       |                 |
| 分数   |                    |    |      |       |                 |
| 阅卷人  |                    |    |      |       |                 |

## 考前阅读注意事项：

1. 本试卷满分为 100 分。
2. 试题无需在答题纸上抄写，注明每道小题的题号，直接将解答写在答题纸上。
3. 考试截止时间之前，将答题纸拍照上传课程考试平台，过期因系统关闭无法上传的话后果自负。拍照注意清晰可辨，否则会影响评阅。
4. 原则上应在提前打印好的答题纸上填写相关信息，并在诚信考试承诺处签名；

如确有困难无法提前打印，可采用 A4 白纸按照答题纸规范手动抄写模板。如果答题纸一页不够写，需在页脚标明页码（写清楚共几页，第几页），并确保每一页均注明本人姓名学号。

以下为试题区。

## 一、设计题（每题 12 分，共 60 分）【请用直尺或三角尺协助画图】

1. 已知逻辑表达式  $f = (A+B) \cdot (C+D) \cdot (E+FG)$ ，试用 CMOS 组合逻辑电路实现该逻辑并计算各 MOS 管的宽长比。（等效倒相器的 NMOS 管的宽长比为 2，PMOS 管的宽长比为 5）

2. 用 ROM+MUX 以及适当的逻辑门设计一个实现四种逻辑操作的电路，其中控制信号为  $K_1K_0$ ，逻辑输入为 A、B，

当  $K_1K_0 = 00$  时，实现 A、B 的同或操作；

当  $K_1K_0 = 01$  时，实现 A、B 的与非操作；

当  $K_1K_0 = 10$  时，实现 A、B 的或操作；

当  $K_1K_0 = 11$  时，实现 A 的同相操作。

3. 分别用与非-与非结构的 PLA、或非-或非结构的 PLA 两种方法实现下列逻辑：

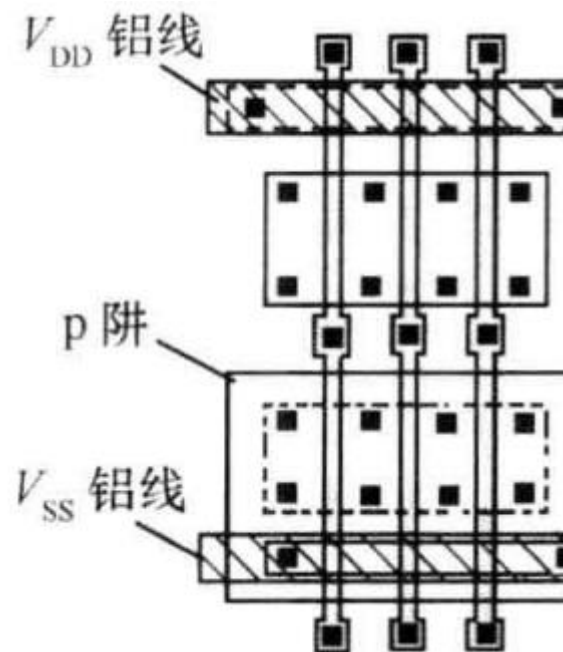
当  $K1K0 = 00$  时，实现 A、B 的同或操作；

当  $K1K0 = 01$  时，实现 A、B 的与非操作；

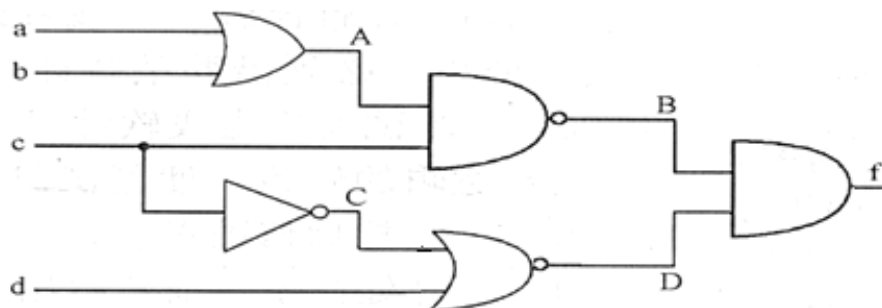
当  $K1K0 = 10$  时，实现 A、B 的或操作；

当  $K1K0 = 11$  时，实现 A 的同相操作。

4. 画出  $f = \overline{A \cdot B \cdot C}$  的 CMOS 逻辑电路，并在下图的版图图中实现该电路，标出输入输出。



5. 假设 A 点存在 s - a - 0 故障，求测试矢量（写出必要的步骤）



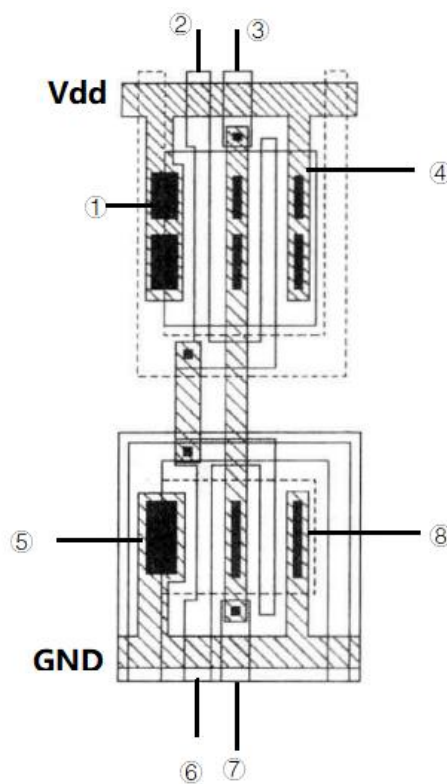
## 二、简答与论述题（每题 8 分，共 40 分）

1. 集成电路发展过程当器件的特征尺寸缩小到纳米量级时遇到了哪些问题？科学家研究出哪些办法应对这些问题？

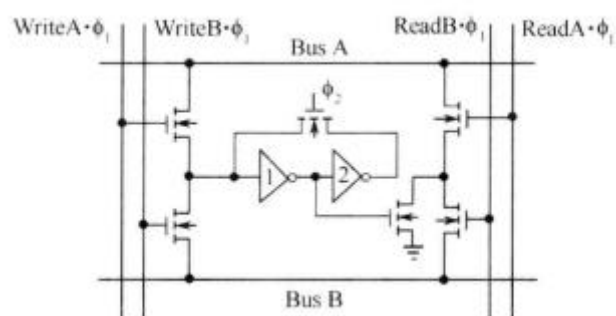
2. 集成电路设计工程师与工艺工程师如何相互支持相互制约？

3. 仔细分析如图所示版图，回答问题

- 1) 这是什么单元的版图？
- 2) 上半部分是什么？ 下半部分是什么？
- 3) 上半部分比下半部分的尺寸大，  
为什么要这样设计？
- 4) 分别写出①②③④⑤⑥⑦⑧各部分的名称



4. 如图所示寄存器是哪种类型的寄存器？简述其工作原理。



5. 简述差分放大电路的工作原理。

如果差分放大电路直接双端转单端会出现什么问题？ 如何避免？