

第三章 工艺与设计接口

王晓华

wxhsnow@163.com

集成电路设计与制造

◆ 集成电路设计

无生产线 **Fabless** (Fabrication Fabricate)

◆ 集成电路制造

无芯片设计 **Chipless**

工艺生产线——》代客户加工(代工) **Foundry**

◆ 工艺设计文件 **PDK Process Design Kits**

代工单位——》设计单位

◆ **GDS-II**版图文件——》制作掩模板 (**Mask**)

设计单位——》代工单位

wxhsnow@163.com

目录

- ◆ 3.1 设计与工艺接口问题
- ◆ 3.2 工艺抽象
- ◆ 3.3 电学设计规则
- ◆ 3.4 几何设计规则
- ◆ 3.5 工艺检查与监控

3.1 设计与工艺接口问题

◆3.1.1 基本问题—工艺线选择

- 所有的设计都是为了制造产品，必须由工艺实现；
- 不同工艺线的加工类型、加工能力、基本电参数对设计具有强烈的制约；

设计与工艺接口问题

◆3.1.2 设计的困惑

- 1、应用萨氏方程 $K'_N = \frac{\mu_0 \epsilon_{ox}}{2t_{ox}}$ 以及沟道调制因子 λ
- 2、衬底偏置效应：系数取值？
- 3、上升、下降时间：负载电容 C_L ？
- 4、迁移率比值：

不同工艺线制造的器件电子/空穴迁移率各不相同

- 5、版图设计：

W/L可计算，其他尺寸(有源区、引线孔、距离)？

光刻胶有胀缩，不能直接按理论值画，应该为多少？

设计与工艺接口问题

◆3.1.3 设计与工艺接口

由工艺线提供设计困惑中的所有参数

设计需要的参数：电学设计参数、几何设计参数

➤1、电学设计参数：

工艺工程师根据自己工艺线测得数据计算出 K' 的值告诉设计者；提供阈值电压，设计者不需要计算可直接应用；

➤2、几何设计参数：

提供一组最小尺寸，包括各种最小尺寸、最小间距、缩放规则等

设计规则

- ❖ 设计规则是IC工程师和工艺工程师之间相互制约的手段，两者沟通的桥梁
- ❖ 通过设计规则，电路工程师不必了解工艺细节就可以成功的设计出电路；而工艺工程师也不需要了解电路内容就可以成功的制造出电路
- ❖ 设计规则是电路性能和成品率之间的折中
- ❑ 设计规则保守（限制小，尺寸大）则成品率高，但电路面积大、性能差一些；
- ❑ 设计规则激进，则电路性能好、面积小，但成品率低。

设计与工艺接口问题

设计与工艺双方必须共同遵守“设计与工艺的接口”规范：**设计规则**

= =>

电路与系统的设计者不需要了解工艺的具体细节；
工艺制作者不需要了解电路与系统的细节

设计与工艺接口问题

➤ 工艺检查与监控：PCM

工艺工程师设计了一套检测、监控结构，随产品的加工过程同步加工，反映制造参数是否被控制在有效范围内，可证明制造参数是否与设计参数一致

==> 可判断问题是出在设计方面还是工艺方面

3.2 工艺抽象

◆3.2.1 工艺对设计的制约

➤1、最小加工尺寸对设计的制约

表现在三个方面：特征尺寸、集成密度、器件电特性

➤2、电学参数对设计的制约

比较重要的参数：阈值电压、薄层电阻、单位面积电容和本征导电因子

➤3、标准工艺流程对特殊工艺要求的制约

通常要求设计迁就工艺

3.2.2 工艺抽象

◆ 工艺工程师如何得到并描述设计参数？

==> 工艺抽象

◆ 工艺抽象：将工艺抽象成设计者所熟悉的电学参数描述，将工艺线的加工精度抽象成一个具体的规则

➤ 电学设计规则

➤ 几何设计规则

◆ 设计者遵循接口规定进行设计；制作者保证工艺达到接口规定的参数

3.2.2 工艺抽象

- ◆ 1、掺杂浓度的描述
- ◆ 2、氧化层厚度的描述
- ◆ 3、薄膜参数的描述
- ◆ 4、阈值电压的描述
- ◆ 5、工艺综合效应的描述

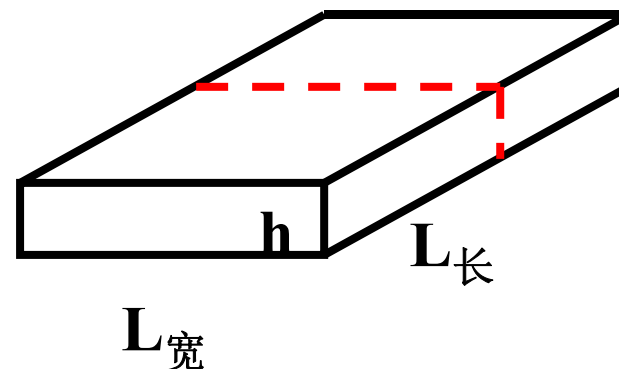
1、掺杂浓度

□ 方块电阻：每一方块中的电阻是多少

描述掺杂浓度 R_{\square} 单位：

□ 电 阻 $R = \rho \frac{L_{\text{长}}}{S_{\text{截面积}}}$

$$\text{电 阻 } R_{\square} = \rho \frac{L_{\text{长}}}{L_{\text{宽}} \times h} = \frac{\rho}{h}$$



2、氧化层厚度

- ◆ 氧化层厚度影响单位面积电容
 - 栅区单位面积电容： 计算器件输入电容
 - 场区单位面积电容： 影响分布电容

3、薄膜参数

◆多晶硅电阻是最重要的薄膜参数

➤多晶硅作栅极：

其电阻关系到远端和近端的信号强度；

对高频电路，关系到远端和近端的充放电速度；

➤多晶硅作电阻：对方块电阻计算有影响

➤多晶硅作“桥”：信号线上附加电阻

4、阈值电压

◆ **阈值电压**是MOS结构的重要参数，它的数值及其误差大小对电路性能将产生重要的影响。

➤ **硅栅MOS器件**：阈值电压反映了衬底掺杂浓度，栅氧化层厚度，栅氧化层中含有的电荷性质与数量以及多晶硅与衬底的功函数差；

➤ **场区的阈值电压**：反映了场区下的表面杂质浓度，场氧化层厚度，场氧化层中含有的电荷数以及金属或多晶硅与衬底的功函数差。

5、工艺综合效应

◆ 在工艺流程中，由若干工艺所产生的综合效应也必须用直观的参数描述。

➤ pn结的质量：击穿电压

➤ pn结两边的掺杂水平及其差异：pn结电容

➤ 光刻和刻蚀的误差所导致的实际MOS管沟道长度 L (/宽度 W)：有效沟道长度 L （宽度 W ）

➤ 金属与半导体的接触电阻：金属与多晶硅接触电阻、金属与扩散区电阻

6、版图设计规则

◆ 版图是一些几何图形的集合。版图设计必须符合工艺线的水平和能力。版图设计规则来源于工艺上的限制和电学特性方面的考虑，同时也反映了工艺线对工艺的控制能力。

主要由以下几个因素决定版图设计规则：

- 加工精度：最细线条尺寸
- 寄生效应：寄生晶体管
- 特性保障：可控硅效应抑制
- 加工质量控制：成品率

3.3 电学设计规则

❑ 电学设计规则提供了一组用于电路分析设计的参数：

- 参数来源于具体工艺线，具有很强的针对性。
- 如果所采用的设计参数来源不是将来具体制作的工艺线，则仿真分析的结果没有实际意义

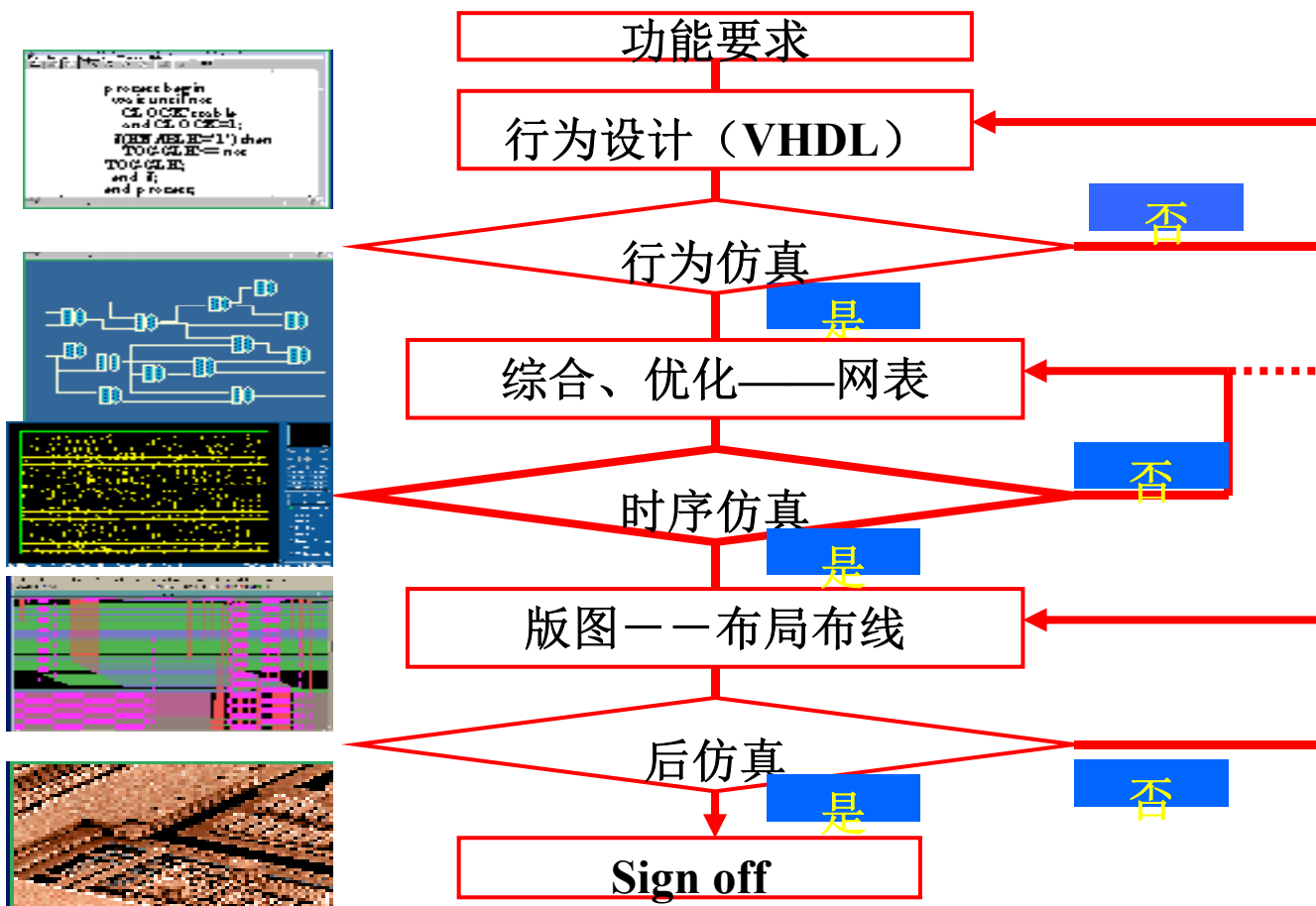
❑ 仿真

- **POSTSIM**：后仿真（提取实际版图参数、电阻、电容，生成带寄生量的器件级网表，进行开关级逻辑模拟或电路模拟，以验证设计出的电路功能的正确性和时序性能等），产生测试向量
- 前仿真关心的是器件；
- 后仿真关心的是器件参数与互连线的寄生问题。

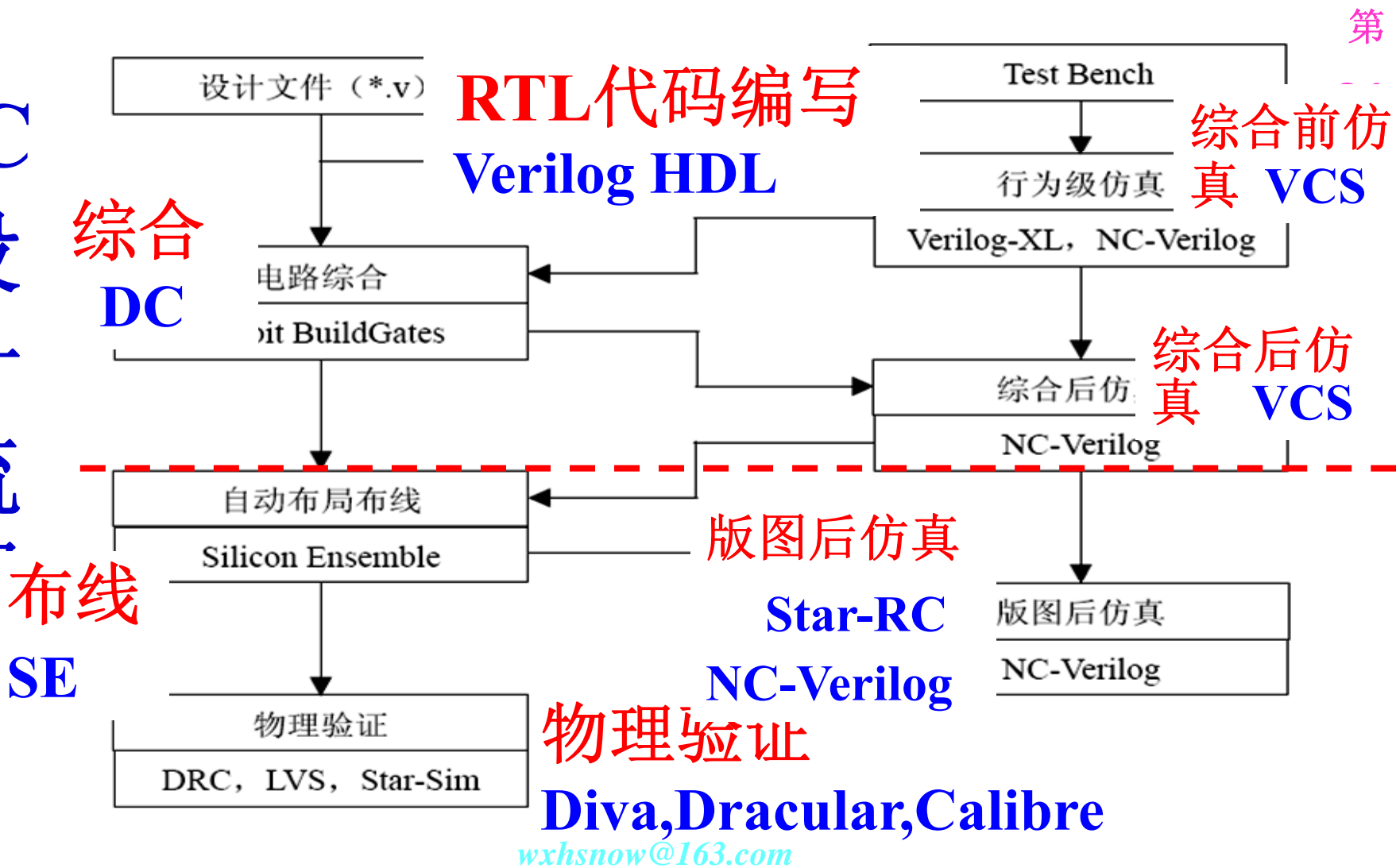
wxhsnow@163.com

[返回](#)

设计过程



IC设计流程



电学设计规则的一般描述

表 3-2 电学设计规则描述

电学设计规则参数	参 数 说 明
衬底电阻	
N 型衬底电阻率	均匀的 N 型衬底的电阻率
掺杂区薄层电阻 R_{\square}	
p 阱薄层电阻	p 阱中每一方块的电阻值
n 掺杂区薄层电阻	NMOS 源漏区和 N 型衬底接触区每一方块的电阻值
P*掺杂区薄层电阻	PMOS 源漏区和 P 型衬底 (p 阱) 接触区每一方块的电阻值
多晶硅薄层电阻 R_{\square}	
NMOS 多晶硅 R_{\square}	NMOS 区域多晶硅薄层方块电阻
PMOS 多晶硅 R_{\square}	PMOS 区域多晶硅薄层方块电阻

电学设计规则的一般描述

续表

电学设计规则参数	参数说明
接触电阻	
n ⁺ 区接触电阻	n ⁺ 掺杂区与金属的接触电阻
P ⁺ 区接触电阻	P ⁺ 掺杂区与金属的接触电阻
NMOS 多晶硅接触电阻	NMOS 的多晶硅栅以及多晶硅引线 with 金属的接触电阻
PMOS 多晶硅接触电阻	PMOS 的多晶硅栅与金属的接触电阻
电容 (单位面积电容值)	
栅氧化层电容	NMOS 和 PMOS 的栅电容
场区金属-衬底电容	在场区的金属和衬底间电容, 氧化层厚度为场氧化厚度加后工艺沉积的掺磷二氧化硅层的厚度
场区多晶硅-衬底电容	在场区的多晶硅和衬底间电容, 氧化层为场氧化层
金属-多晶硅电容	金属-二氧化硅-多晶硅电容, 二氧化硅厚度等于多晶硅氧化的二氧化硅厚度加掺磷二氧化硅层的厚度
NMOS 的 pn 结电容	零偏置下, NMOS 源漏区与 p 阱的 pn 结电容
PMOS 的 pn 结电容	零偏置下, PMOS 源漏区与 N 型衬底的 pn 结电容
其他综合参数	
NMOS 阈值电压	V_{TN}
PMOS 阈值电压	V_{TP}
P 型场区阈值电压	场区阈值电压, 衬底为 P 型半导体 (p 阱)
N 型场区阈值电压	场区阈值电压, 衬底为 N 型半导体 (N 型衬底)
NMOS 源漏击穿电压	NMOS 源漏击穿电压
PMOS 源漏击穿电压	PMOS 源漏击穿电压
NMOS 本征导电因子	K'_N
PMOS 本征导电因子	K'_P

3.4 几何设计规则

- ❖ 几何设计规则是集成电路版图设计的依据
通常指版图设计规则(几何设计规则)，是IC设计与工艺制备之间共同遵守的约定
- ❖ 制定目的：在**芯片尺寸尽可能小**的前提下，使得即使存在**工艺偏差**也可以正确的制造出IC,尽可能地**提高电路制备的成品率**；
- ❖ 设计者在确定几何图形时，要受到两个因素的影响：**光刻精度**和**电学参数**
- ❖ 从图形如何精确地光刻到芯片上出发，可以确定一些对几何图形的最小尺寸限制——**设计规则**

工艺偏差

- ❖ IC制造中造成工艺偏差的因素主要包括：
 - 掩模版的对准偏差；
 - 尘埃颗粒；
 - 工艺参数(例如：横向扩散、横向腐蚀等)；
 - 表面不平整；

设计规则内容

❖ **Design Rule**通常包括下列规定:

最小线宽 **Minimum Width**

最小间距 **Minimum Spacing**

最小延伸 **Minimum Extension**

最小包围 **Minimum Enclosure**

最小覆盖 **Minimum Overlay**

设计规则表示方法—— λ 规则

- ❖ 设计规则表示方法有 λ 规则和微米规则
- ❖ 以 λ 为单位：把大多数尺寸（width, space等等）约定为 λ 的倍数
 - λ 与工艺线所具有的工艺分辨率有关，是线宽偏离理想特征尺寸的上限以及掩模版之间的最大套准偏差，
 - 一般等于栅宽度（沟道长度）的一半
 - 优点：版图设计独立于工艺和实际尺寸，改变 λ 值就可以得到不同的设计规则
 - 缺点：容易造成芯片面积浪费和工艺难度增加；

设计规则表示方法——微米规则

❖微米规则：以微米为单位，现代IC设计普遍采用的方法

每个尺寸之间没有必然的比例关系，提高每一尺寸的合理程度，优化工艺；但简化度不高

两种设计规则对比

- ❖ 理论： λ 设计规则可允许一些工艺尺寸的调整
- 经验：工艺很难均匀的缩小化，
==》工业通常使用实际的微米设计规则
- ❖ 若工艺线宽降低到 $1\mu\text{m}$ 以下时，差别更明显
- ❖ 由于许多电路的布线占去了大部分面积，他们几乎可以直接改变芯片的最后密度

两种设计规则对比（一）

❖COMS 的N阱工艺的设计规则

	λ 规则	等效成微米($\lambda=0.5\mu\text{m}$)	微米规则
N-Well layer (N 阱层)			
最小尺寸	10λ	$5\mu\text{m}$	$2\mu\text{m}$
最小间距(阱区具有等电位)	6λ	$3\mu\text{m}$	$2\mu\text{m}$
最小间距(阱区不等电位)	8λ	$4\mu\text{m}$	$2\mu\text{m}$
有源区			
最小尺寸	3λ	$1.5\mu\text{m}$	$1\mu\text{m}$
最小间距	3λ	$1.5\mu\text{m}$	$1\mu\text{m}$
N 阱对 P^+ 的覆盖	5λ	$2.5\mu\text{m}$	$1\mu\text{m}$
N 阱对 N^+ 的覆盖	3λ	$1.5\mu\text{m}$	$1\mu\text{m}$
N 阱与 N^+ 的间距	5λ	$2.5\mu\text{m}$	$5\mu\text{m}$
N 阱与 P^+ 的间距	3λ	$1.5\mu\text{m}$	$3\mu\text{m}$



两种设计规则对比（二）

	λ 规则	等效成微米 ($\lambda=0.5\mu\text{m}$)	微米规则
多晶硅			
最小尺寸	2λ	$1\mu\text{m}$	$1\mu\text{m}$
最小间距	2λ	$1\mu\text{m}$	$1\mu\text{m}$
与有源区间距	1λ	$0.5\mu\text{m}$	$0.5\mu\text{m}$
栅极露头	2λ	$1\mu\text{m}$	$1\mu\text{m}$
N^+、P^+ 注入			
与有源区最小覆盖	2λ	$1\mu\text{m}$	$1\mu\text{m}$
最小尺寸	7λ	$3.5\mu\text{m}$	$3\mu\text{m}$
与接触孔的最小覆盖	1λ	$0.5\mu\text{m}$	$2\mu\text{m}$
P^+/N^+ 与栅极的间距	3λ	$1.3\mu\text{m}$	$1.5\mu\text{m}$

两种设计规则对比（三）

	λ 规则	等效成微米 ($\lambda=0.5\mu\text{m}$)	微米规则
接触孔			
最小尺寸	2λ	$1\mu\text{m}$	$0.75\mu\text{m}$
最小间距	2λ	$1\mu\text{m}$	$1\mu\text{m}$
与有源区的最小间距	2λ	$1\mu\text{m}$	$0.75\mu\text{m}$
与有源区的最小覆盖	2λ	$1\mu\text{m}$	$0.5\mu\text{m}$
与多晶硅的最小覆盖	2λ	$1\mu\text{m}$	$0.5\mu\text{m}$
与金属 1 的最小覆盖	1λ	$0.5\mu\text{m}$	$0.5\mu\text{m}$
与多晶硅的最小间距	2λ	$1\mu\text{m}$	$1\mu\text{m}$

两种设计规则对比（四）

	λ 规则	等效成微米 ($\lambda=0.5\mu\text{m}$)	微米规则
金属 1			
最小尺寸	3λ	$1.5\mu\text{m}$	$1\mu\text{m}$
最小间距	3λ	$1.5\mu\text{m}$	$1\mu\text{m}$
金属 2			
最小尺寸	3λ	$1.5\mu\text{m}$	$1\mu\text{m}$
最小间距	4λ	$2\mu\text{m}$	$1\mu\text{m}$
金属 3			
最小尺寸	8λ	$4\mu\text{m}$	$4\mu\text{m}$
最小间距	5λ	$2.5\mu\text{m}$	$2.5\mu\text{m}$

两种设计规则对比（五）

	λ 规则	等效成微米 ($\lambda=0.5\mu\text{m}$)	微米规则
通孔			
最小尺寸	2λ	$1\mu\text{m}$	$0.75\mu\text{m}$
最小间距	3λ	$1.5\mu\text{m}$	$1.5\mu\text{m}$
与金属 1 的最小覆盖	1λ	$0.5\mu\text{m}$	$0.5\mu\text{m}$
与金属 2 的最小覆盖	1λ	$0.5\mu\text{m}$	$0.5\mu\text{m}$
通孔 2			
最小尺寸	2λ	$1\mu\text{m}$	$1\mu\text{m}$
最小间距	3λ	$1.5\mu\text{m}$	$1.5\mu\text{m}$
与金属 2 的最小覆盖	2λ	$1\mu\text{m}$	$1\mu\text{m}$
与金属 3 的最小覆盖	2λ	$1\mu\text{m}$	$1\mu\text{m}$
钝化孔			
最小开窗尺寸		$100\mu\text{m}$	$100\mu\text{m}$
最小间距		$150\mu\text{m}$	$150\mu\text{m}$

亚微米CMOS工艺的尺寸

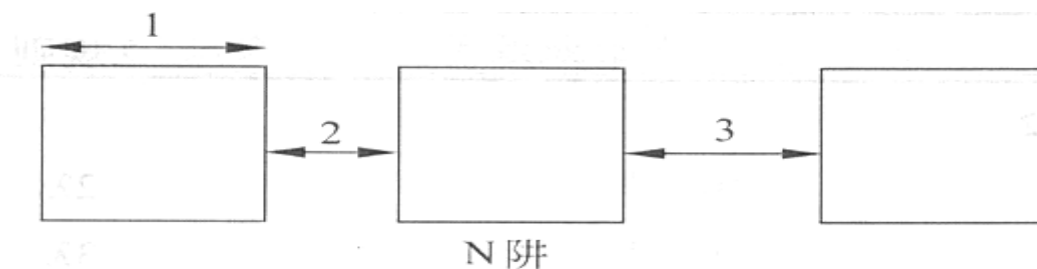
在 $0.25\ \mu\text{m} \sim 0.6\ \mu\text{m}$ 范围的工艺中

层名 \ 尺寸 \ 公司名称	NEC	HITACHI (1)	TOSHIBA	HITACHI (2)	IBM
Gate Oxide	15nm	13.5nm	11nm		7nm
Poly1 宽度	0.55 μm	0.6 μm	0.5 μm	0.3 μm	0.4 μm
间距	0.55 μm	0.6 μm	0.6 μm		
Poly2 宽度	0.55 μm	0.6 μm	0.5 μm		
间距	0.55 μm	0.6 μm	0.6 μm		
Poly3 宽度	0.55 μm	0.6 μm	0.8 μm		
间距	0.55 μm	0.6 μm	0.7 μm		
Poly4 宽度		0.6 μm			
间距		0.6 μm			
Contact Size		0.6 μm	0.6 μm		
Metall1 宽度	0.9 μm	0.7 μm	1.4 μm	0.3 μm	
间距	0.55 μm	0.6 μm	0.7 μm	0.4 μm	
Via Size		0.6 μm	1.2 μm		
Metall2 宽度	0.9 μm	0.7 μm	1.4 μm	0.45 μm	
间距	0.55 μm	0.6 μm	1.2 μm	0.65 μm	
Metall3 宽度				0.55 μm	
间距				0.75 μm	

λ 设计规则图示

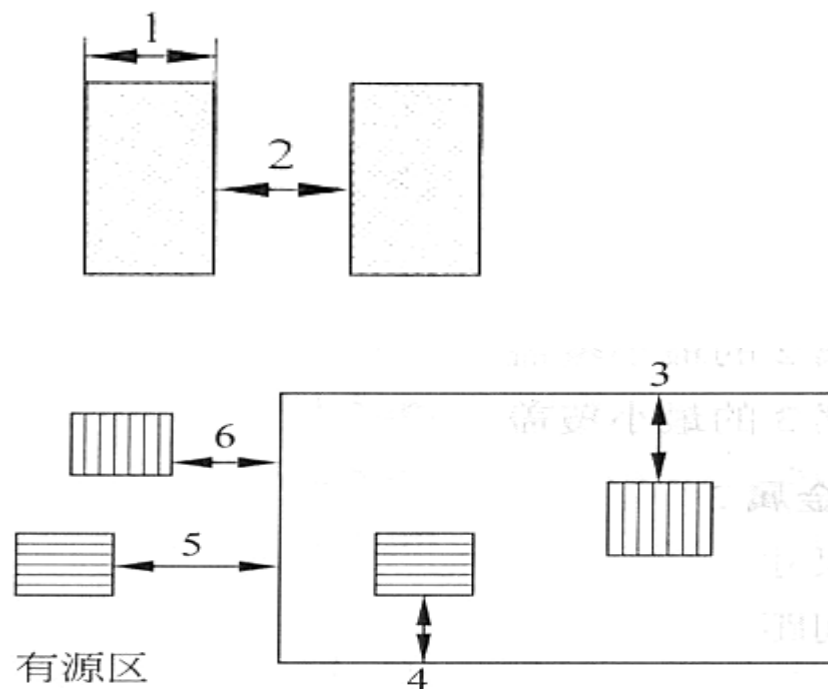
N阱规则

- 1、最小宽度 10λ
- 2、最小 N 阱间距（相同电位） 6λ
- 3、最小 N 阱间距（不同电位） 8λ



λ 设计规则图示

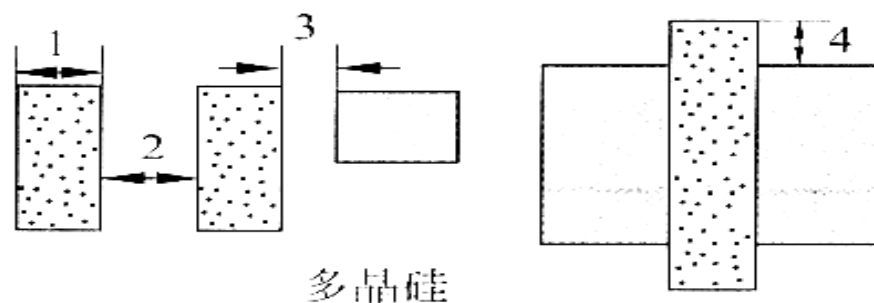
- 1、有源区最小宽度 3λ
- 2、有源区最小间距 3λ
- 3、N 阱重叠 P^+ 区 3λ
- 4、N 阱重叠 N^+ 区 3λ
- 5、N 阱至 N^+ 之间间距 5λ
- 6、N 阱至 P^+ 之间间距 5λ



λ 设计规则图示

多晶硅规则

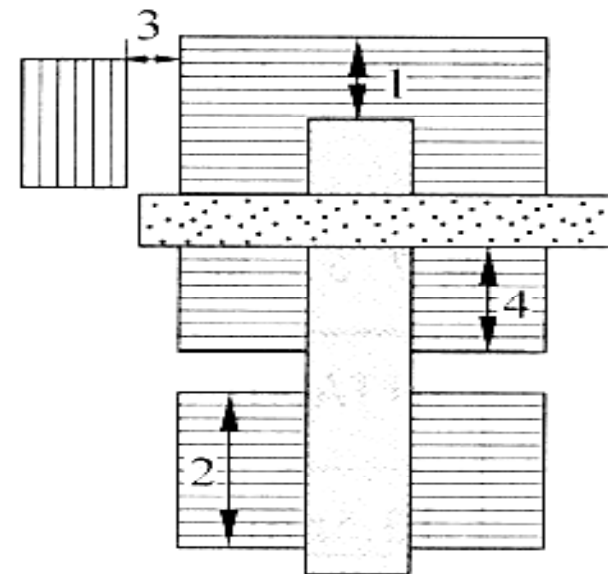
- | | |
|---------------|------------|
| 1、多晶硅最小宽度 | 2λ |
| 2、多晶硅最小间距 | 2λ |
| 3、多晶硅与有源区最小间距 | 1λ |
| 4、多晶硅栅的最小伸展 | 2λ |



λ 设计规则图示

P⁺/N⁺区规则

- 1、P⁺/N⁺与有源区的最小生叠 2λ
- 2、P⁺/N⁺最小尺寸 7λ
- 3、P⁺与无关 N⁺的最小间距 1λ
- 4、P⁺/N⁺与晶体管栅的最小距离 3λ

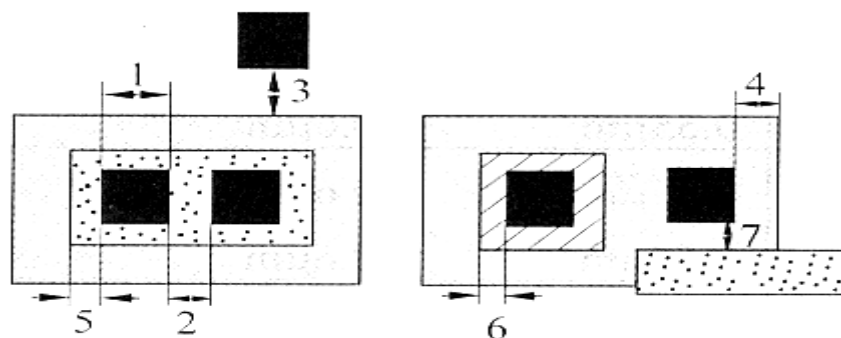


P⁺/N⁺规则

λ 设计规则图示

接触孔规则

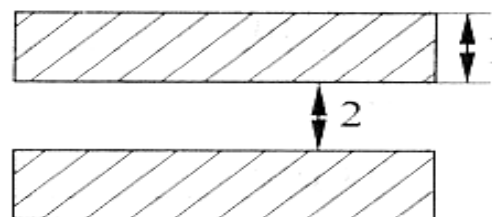
- | | |
|-----------------|------------|
| 1、接触孔最小尺寸 | 2λ |
| 2、接触孔的最小间距 | 2λ |
| 3、与有源区最小间距 | 2λ |
| 4、与有源区最小重叠 | 2λ |
| 5、与多晶硅最小重叠 | 2λ |
| 6、与 Metall 最小重叠 | 1λ |
| 7、与多晶硅的最小间距 | 2λ |



接触孔

金属 1 规则

- | | |
|-------------|------------|
| 1、金属 1 最小宽度 | 3λ |
| 2、金属 1 最小间距 | 3λ |

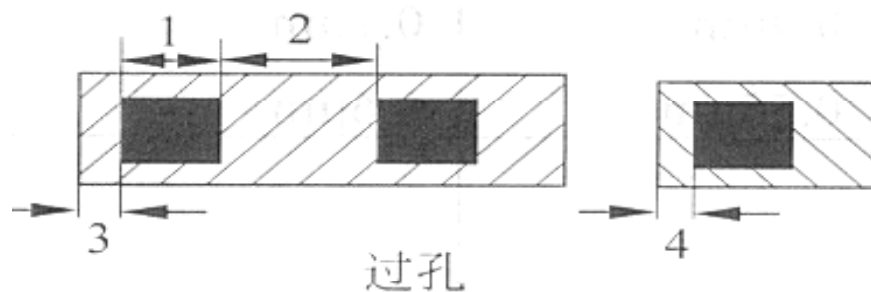


金属 1

λ 设计规则图示

过孔规则

- | | |
|---------------|------------|
| 1、过孔的最小尺寸 | 2λ |
| 2、过孔的最小间距 | 3λ |
| 3、与金属 1 的最小覆盖 | 1λ |
| 4、与金属 2 的最小覆盖 | 1λ |



几何设计规则——P阱区掩模版

第
42
页

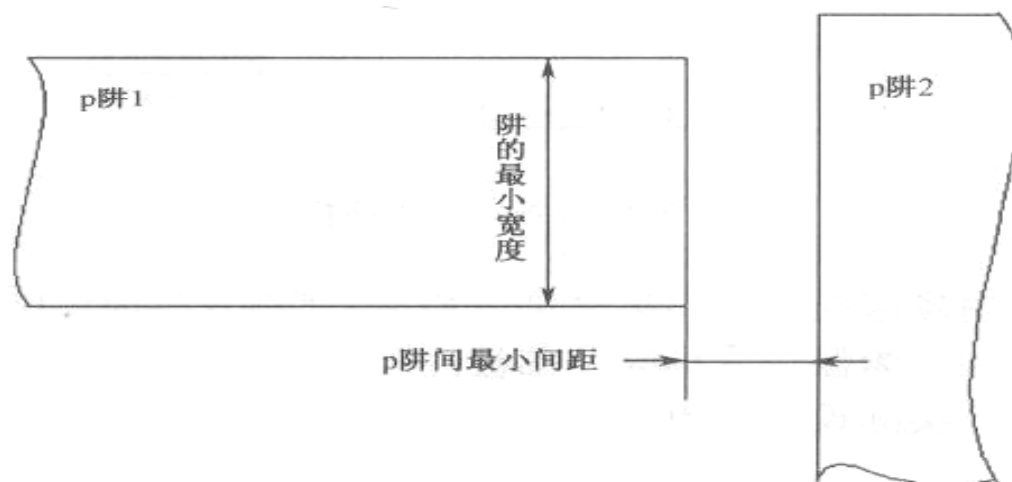


图 3-2 p 阱图形

几何设计规则——有源区掩模版

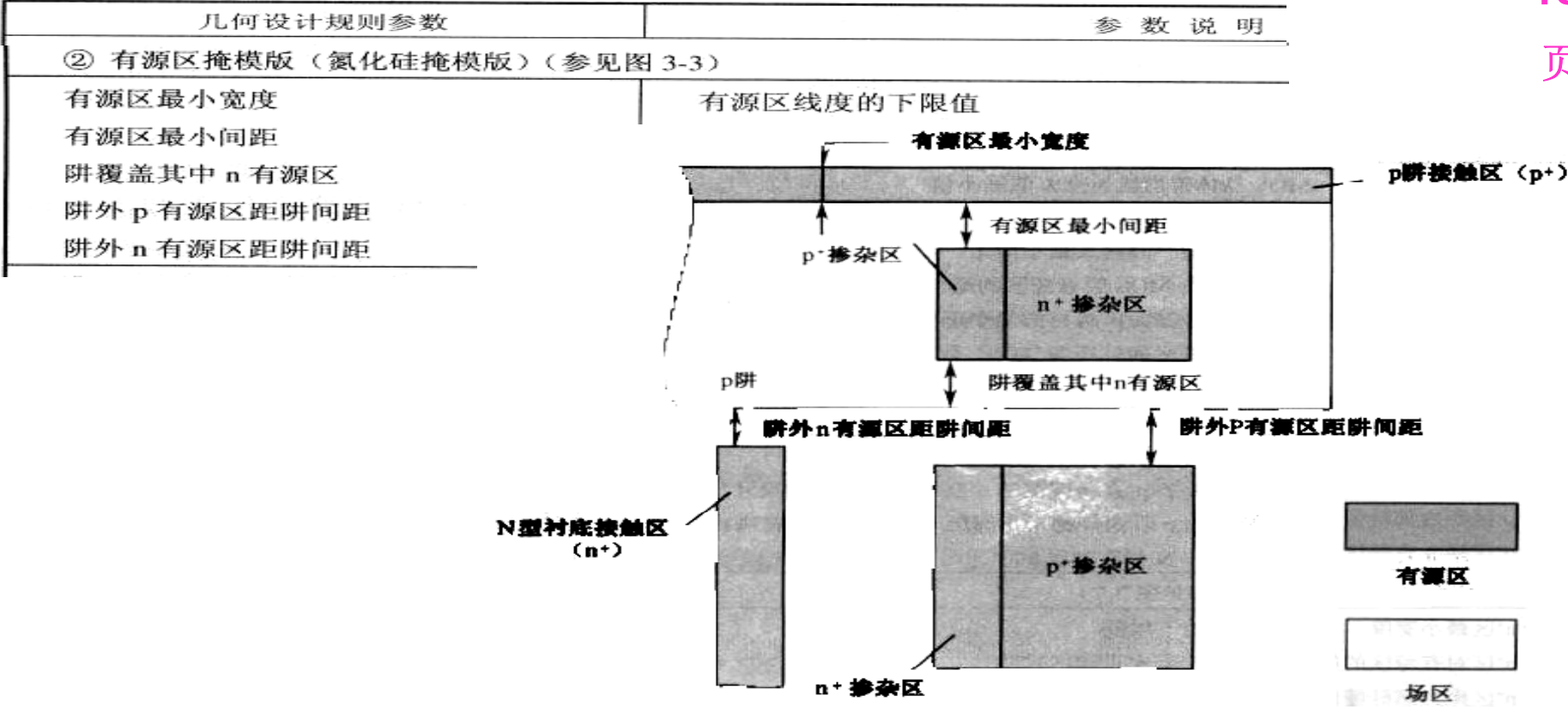


图 3-3 有源区图形

几何设计规则——P场注入区掩模版

几何设计规则参数	参数说明
③ P 场注入区掩模版（参见图 3-4）	
场注入对 p 阱覆盖	p 场区注入边界大于 p 阱边界的最小距离

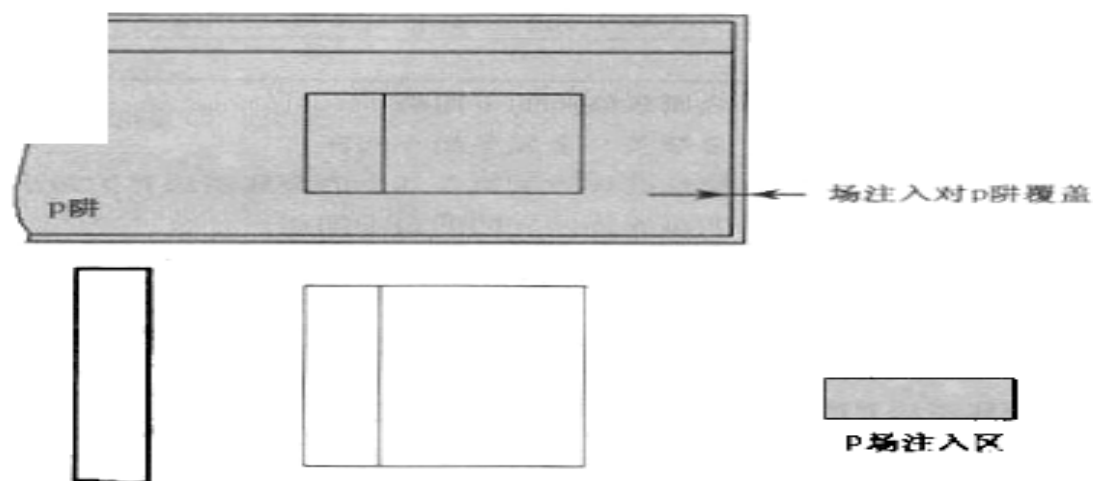


图 3-4 p 场区注入掩模

几何设计规则——多晶硅掩模版

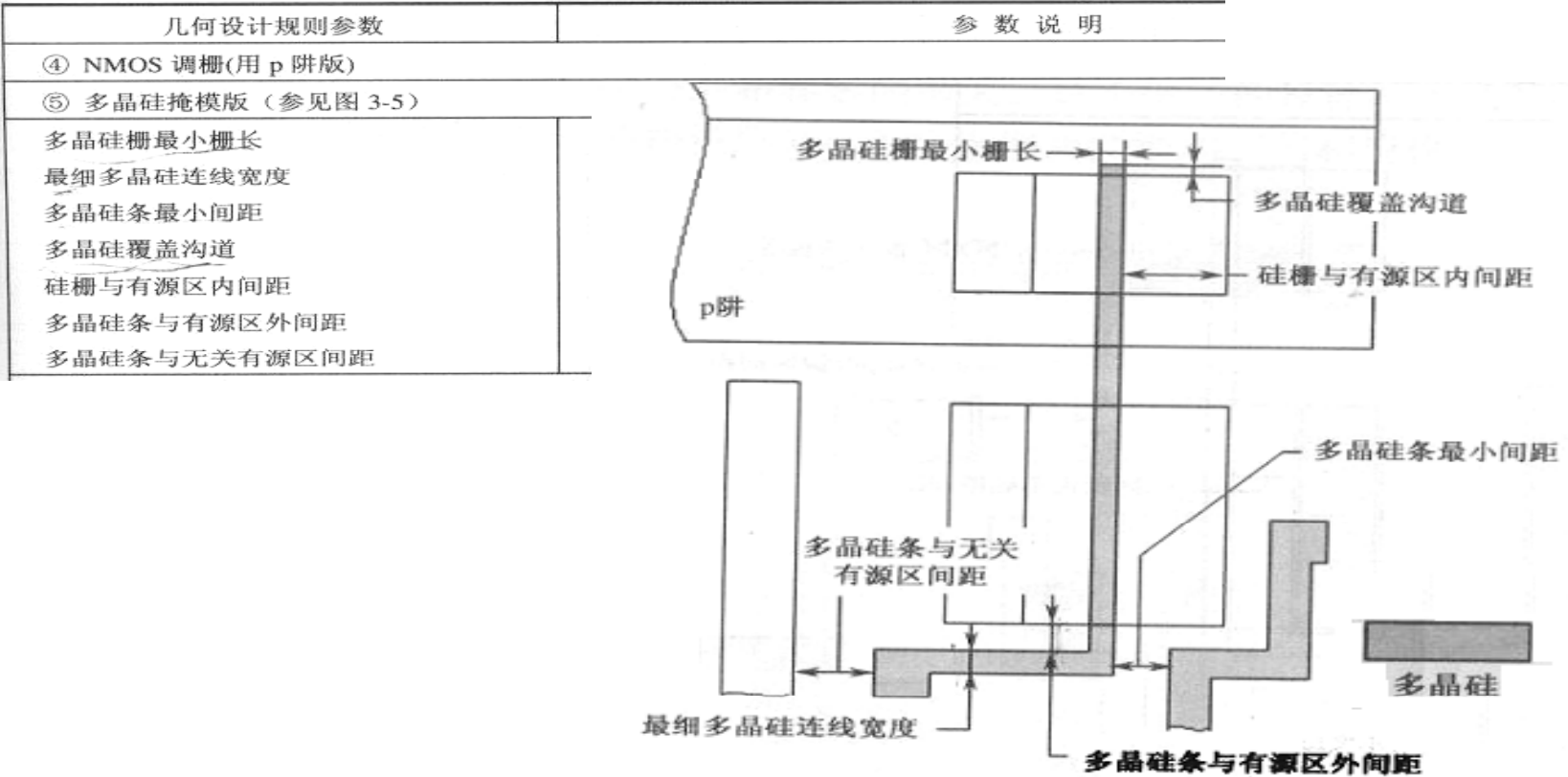


图 3-5 多晶硅图形

几何设计规则——P⁺区注入掩模版

第46

⑥ p⁺区注入掩模版 (PMOS 源漏区与 p⁺接触区掩模) (参见图 3-6)

p⁺区最小宽度

p⁺区对有源区的覆盖

p⁺区距内部硅栅间距

p⁺区距 n 有源区间距

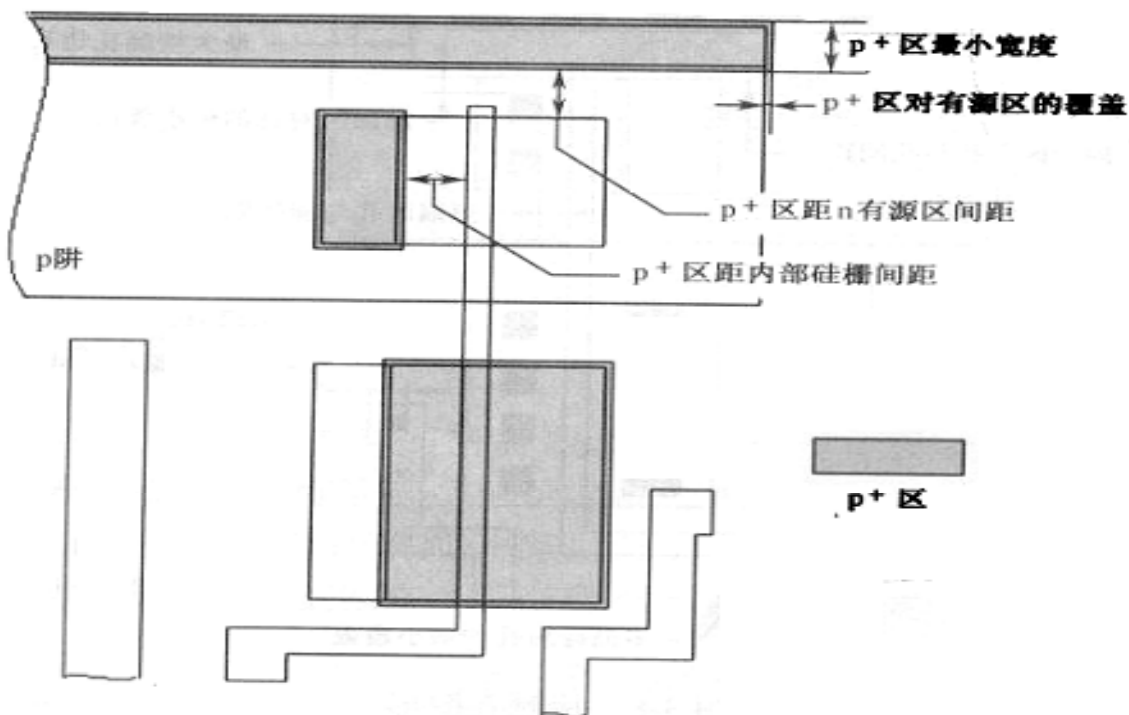


图 3-6 p⁺区图形

几何设计规则—— n^+ 区注入掩模版

第47

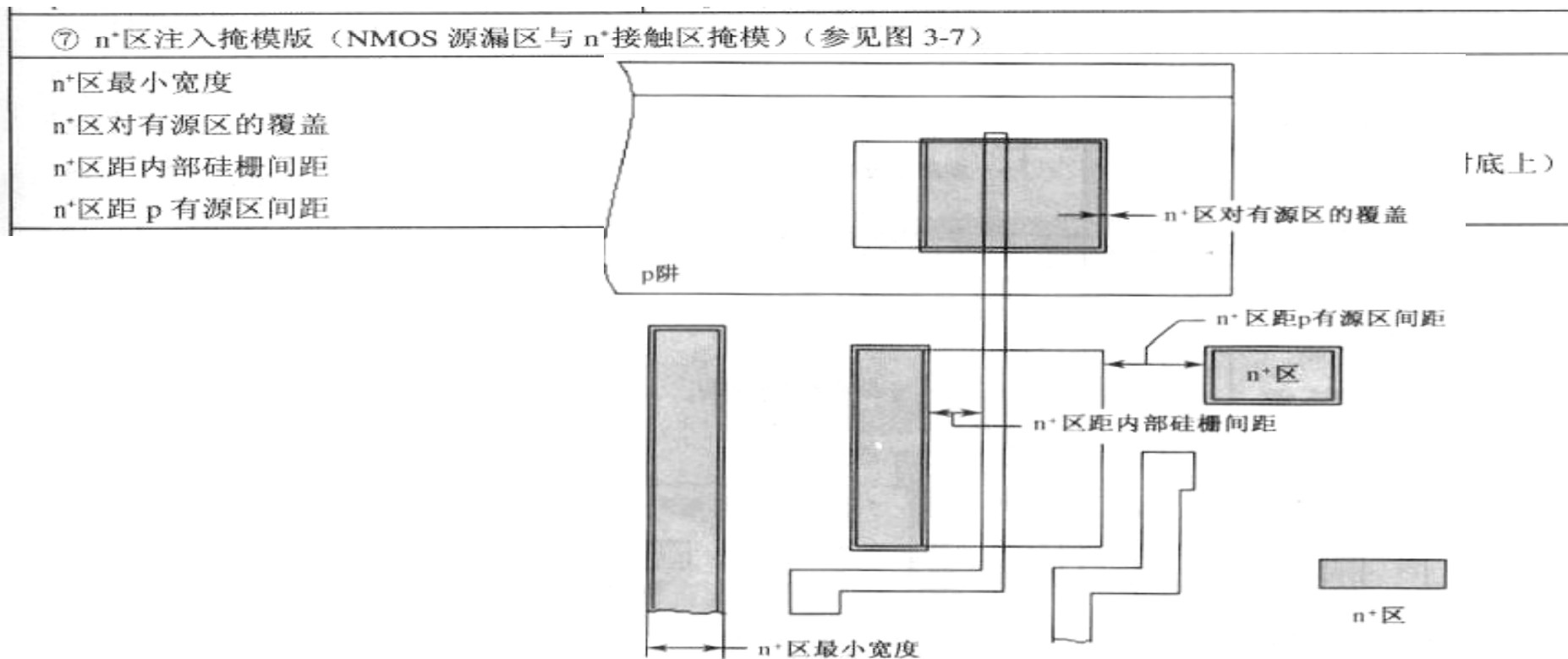


图 3-7 n^+ 区图形

几何设计规则——接触孔掩模版

接触孔(Contact)和通孔(Via)

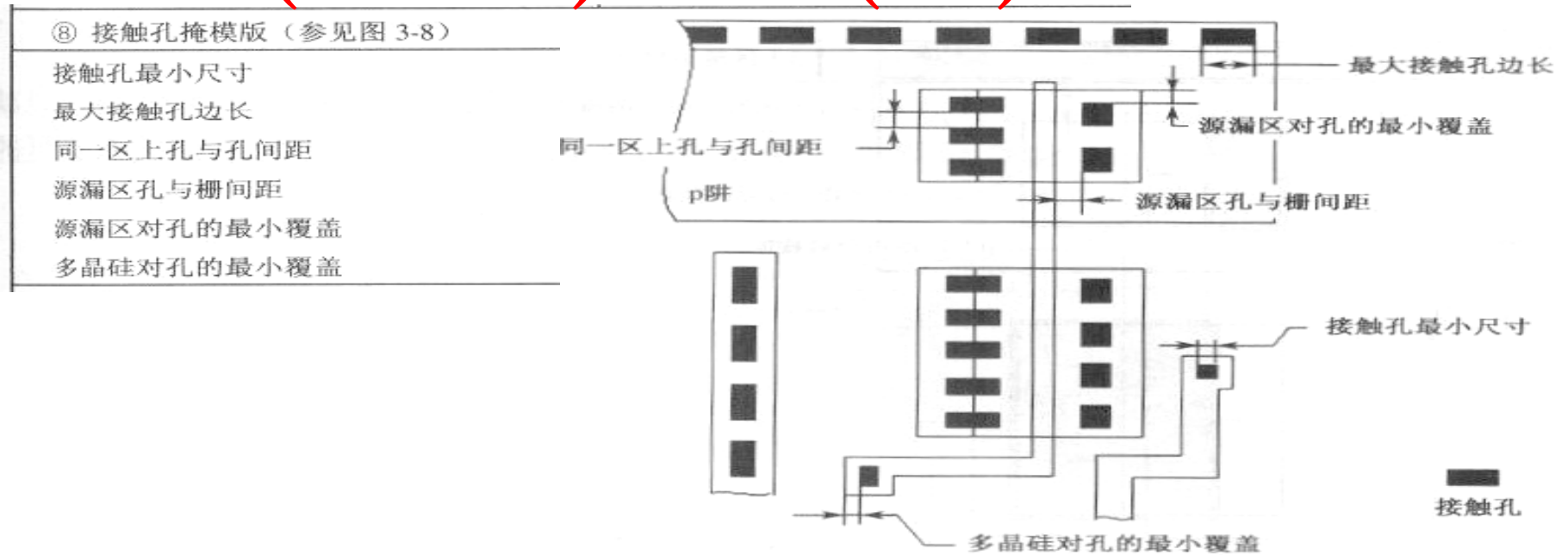


图 3-8 接触孔图形

几何设计规则——金属布线掩模版

第
49
页

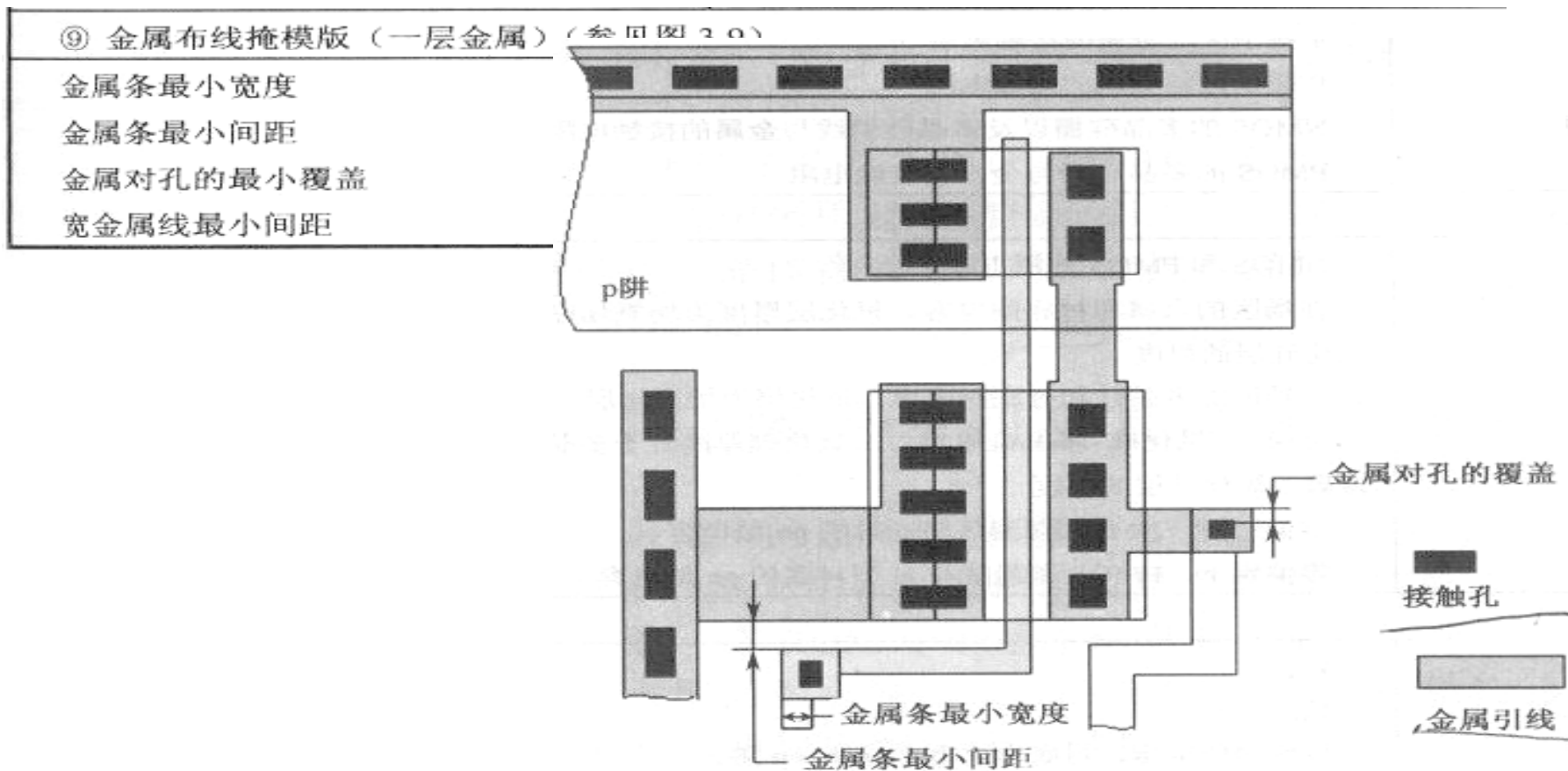


图 3-9 金属引线图形

常用名词的英文

层次名称	说明
Nwell	N 阱
Active	有源区
Pselect	P 型注入掩膜
Nselect	N 型注入掩膜
Contact	引线孔，连接金属与多晶硅/有源区
Metal1	第一层金属，用于水平布线，如电源和地
Via	通孔，连接 metal1 和 metal2
Metal2	第二层金属，用于垂直布线，如信号源的 I/O 口
Text	标签
Poly	多晶硅，做 mos 的栅

3.5 工艺检查与监控

- ◆ 验证设计的正确性—测试技术（第七章）
- ◆ 工艺检查与监控：PCM
 - 工艺工程师设计了一套检测、监控结构，随产品的加工过程同步加工，反映制造参数是否被控制在有效范围内，可证明制造参数是否与设计参数一致
 - ==> 可判断问题是出在设计方面还是工艺方面

设计规则检查

☐ **DRC:** 几何设计规则检查

☐ **ERC:** 电学规则检查

☐ **LVS:** 网表一致性检查

Layout Vs Schematic （版图电路图对照）

DRC设计规则检查

§ 3-1 DRC 规则文件的编写

仍旧以前面的非门为例，我们制定了以下规则：

1.a	n 阱(well)	n 阱的最小宽度	4.8u
1.b		阱与阱之间的最小间距	1.8u
1.c		ndiff 到 nwell 的最小间距	0.6u
1.d		pdiff 到 nwell 的最小间距	1.8u
1.e		p mos 器件必须在 nwell 内	
2.a	有源区 (active)	有源区的最小宽度	1.2u
2.b		有源区之间的最小间距	1.2u
3.a	多晶硅 (poly)	多晶硅的最小宽度	0.6u
3.b		多晶硅间的最小宽度	0.6u
3.c		多晶硅与有源区的最小间距	0.6u
3.d		多晶硅栅在场区上的最小露头	0.6u
3.e		源、漏与栅的最小间距	0.6u
4.a	引线孔 (contact)	引线孔的最小宽度	0.6u
4.b		引线孔间的最小间距	0.9u
4.c		多晶硅覆盖引线孔的最小间距	0.3u
4.d		metal1 覆盖引线孔的最小间距	0.3u

5.a	金属 1 (metal1)	金属 1 的最小宽度	1.2u
5.b		金属 1 间的最小间距	0.9u
6.a	金属 2 (metal2)	金属 2 的最小宽度	1.2u
6.b		金属 2 间的最小间距	1.2u
6.c		金属 2 的最小挖槽深度	1.2u
7.a	通孔 (via)	通孔的最小宽度	0.6u
7.b		通孔间的最小间距	0.9u
7.c		通孔与引线孔间的最小间距	0.6u
7.d		metal1 覆盖通孔的最小间距	0.3u
7.e		metal2 覆盖通孔的最小间距	0.3u
7.f		通孔与多晶硅的最小间距	0.3u

Thank you