

第二章

MOS器件与工艺基础

王晓华

wxhsnow@163.com

VLSI的主流技术是MOS技术

==》MOS器件

目录

- 2.1 MOS晶体管基础**
- 2.2 CMOS逻辑部件**
- 2.3 MOS集成电路工艺基础**
- 2.4 版图技术**
- 2.5 发展的MOS器件技术.**

2.1 MOS晶体管基础

- ❖ 2.1.1 MOS晶体管**结构及基本工作原理**
- ❖ 2.1.2 MOS晶体管的阈值电压 V_T
- ❖ 2.1.3 MOS晶体管的电流-电压方程
- ❖ 2.1.4 MOS晶体管的平方律转移特性
- ❖ 2.1.5 MOS晶体管的跨导 g_m
- ❖ 2.1.6 MOS晶体管的直流导通电阻
- ❖ 2.1.7 MOS晶体管的交流电阻
- ❖ 2.1.8 MOS晶体管的最高工作频率
- ❖ 2.1.9 MOS晶体管的衬底偏置效应
- ❖ 2.1.10 **CMOS结构.**

wxhsnow@163.com

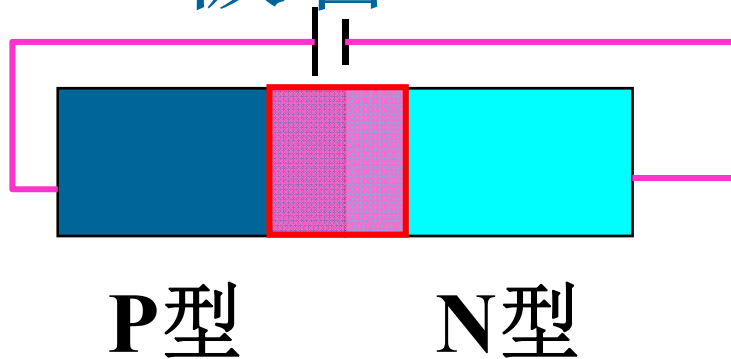
返回

复习

正向导通

多数载流子：
掺杂：

二极管



wxhsnow@163.com

周期\族	I A	元素周期表																0	电子层	0 族电子数				
	1																	18						
1	1 H 氢 1.008																	2 He 氦 4.003	K	2				
2	3 Li 锂 6.941	4 Be 铍 9.012															5 B 硼 10.81	6 C 碳 12.01	7 N 氮 14.01	8 O 氧 16.00	9 F 氟 19.00	10 Ne 氖 20.18	L K	8 2
3	11 Na 钠 22.99	12 Mg 镁 24.31	III B	IV B	V B	VIB	VII B	VIII				I B	II B	13 Al 铝 26.98	14 Si 硅 28.09	15 P 磷 30.97	16 S 硫 32.06	17 Cl 氯 35.45	18 Ar 氩 39.95	M L K	8 8 2			
4	19 K 钾 39.10	20 Ca 钙 40.08	21 Sc 钪 44.96	22 Ti 钛 47.87	23 V 钒 50.94	24 Cr 铬 52.00	25 Mn 锰 54.94	26 Fe 铁 55.85	27 Co 钴 58.93	28 Ni 镍 58.69	29 Cu 铜 63.55	30 Zn 锌 65.41	31 Ga 镓 69.72	32 Ge 锗 72.64	33 As 砷 74.92	34 Se 硒 78.96	35 Br 溴 79.90	36 Kr 氪 83.80	N M L K	8 18 8 2				
5	37 Rb 铷 85.47	38 Sr 锶 87.62	39 Y 钇 88.91	40 Zr 锆 91.22	41 Nb 铌 92.91	42 Mo 钼 95.94	43 Tc 锝 [98]	44 Ru 钌 101.1	45 Rh 铑 102.9	46 Pd 钯 106.4	47 Ag 银 107.9	48 Cd 镉 112.4	49 In 铟 114.8	50 Sn 锡 118.7	51 Sb 锑 121.8	52 Te 碲 127.6	53 I 碘 126.9	54 Xe 氙 131.3	O N M L K	8 18 18 8 2				
6	55 Cs 铯 132.9	56 Ba 钡 137.3	57-71 La~Lu 镧系	72 Hf 铪 178.5	73 Ta 钽 180.9	74 W 钨 183.8	75 Re 铼 186.2	76 Os 锇 190.2	77 Ir 铱 192.2	78 Pt 铂 195.1	79 Au 金 197.0	80 Hg 汞 200.6	81 Tl 铊 204.4	82 Pb 铅 207.2	83 Bi 铋 209.0	84 Po 钋 [209]	85 At 砹 [210]	86 Rn 氡 [222]	P O N M L K	8 18 32 18 8 2				
7	87 Fr 钫 [223]	88 Ra 镭 [226]	89-103 Ac~Lr 锕系	104 Rf 𨭈* [261]	105 Db 𨭉* [262]	106 Sg 𨭊* [266]	107 Bh 𨭋* [264]	108 Hs 𨭌* [277]	109 Mt 𨭍* [268]	110 Ds 𨭎* [281]	111 Rg 𨭏* [272]	112 Uub * [285]											
镧系	57 La 镧 138.9	58 Ce 铈 140.1	59 Pr 镨 140.9	60 Nd 钕 144.2	61 Pm 钷 [145]	62 Sm 钐 150.4	63 Eu 铕 152.0	64 Gd 钆 157.3	65 Tb 铽 158.9	66 Dy 镝 162.5	67 Ho 钬 164.9	68 Er 铒 167.3	69 Tm 铥 168.9	70 Yb 镱 173.0	71 Lu 镥 175.0									
锕系	89 Ac 锕 [227]	90 Th 钍 232.0	91 Pa 镤 231.0	92 U 铀 238.0	93 Np 镎 [237]	94 Pu 钚 [244]	95 Am 镅 [243]	96 Cm 锔 [247]	97 Bk 锫 [247]	98 Cf 锿 [251]	99 Es 镅 [252]	100 Fm 镆 [257]	101 Md 钔 [258]	102 No 镎 [259]	103 Lr 铹 [262]									

原子序数 元素名称 注*的是人造元素

元素符号，红色指放射性元素

外围电子层排布，括号指可能的电子层排布

相对原子质量（加括号的数字为该放射性元素半衰期最长同位素的质量数）

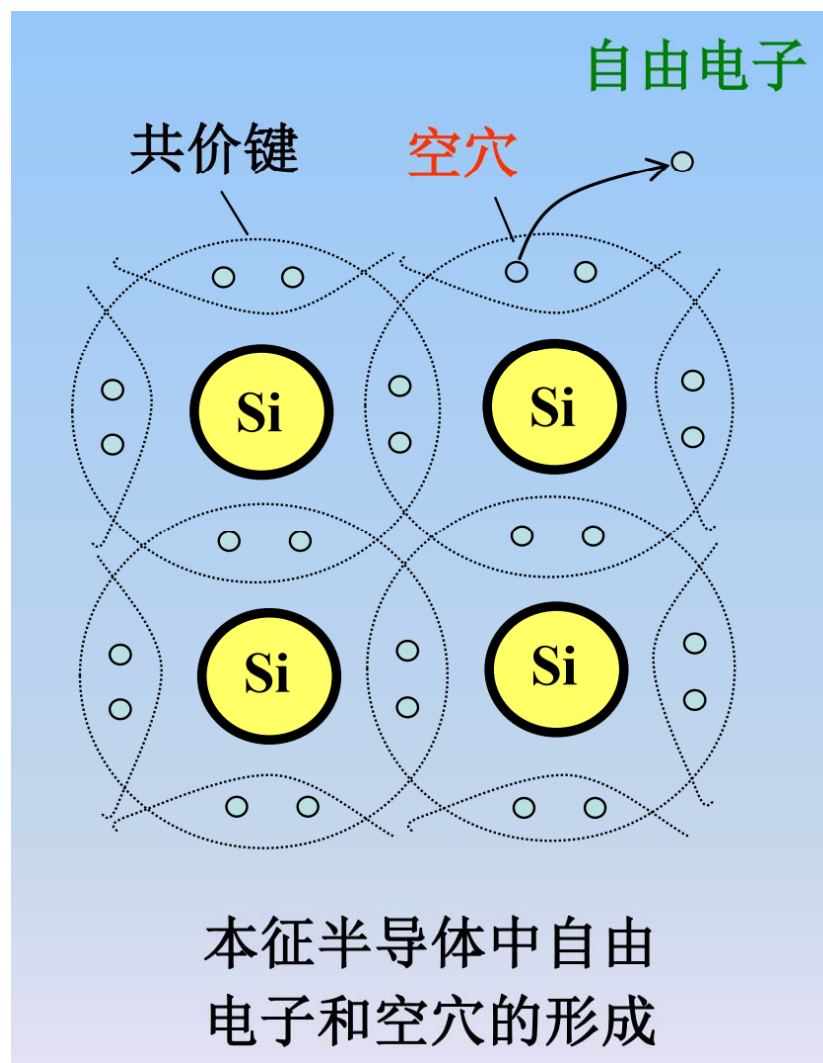
非金属 金属 过渡元素

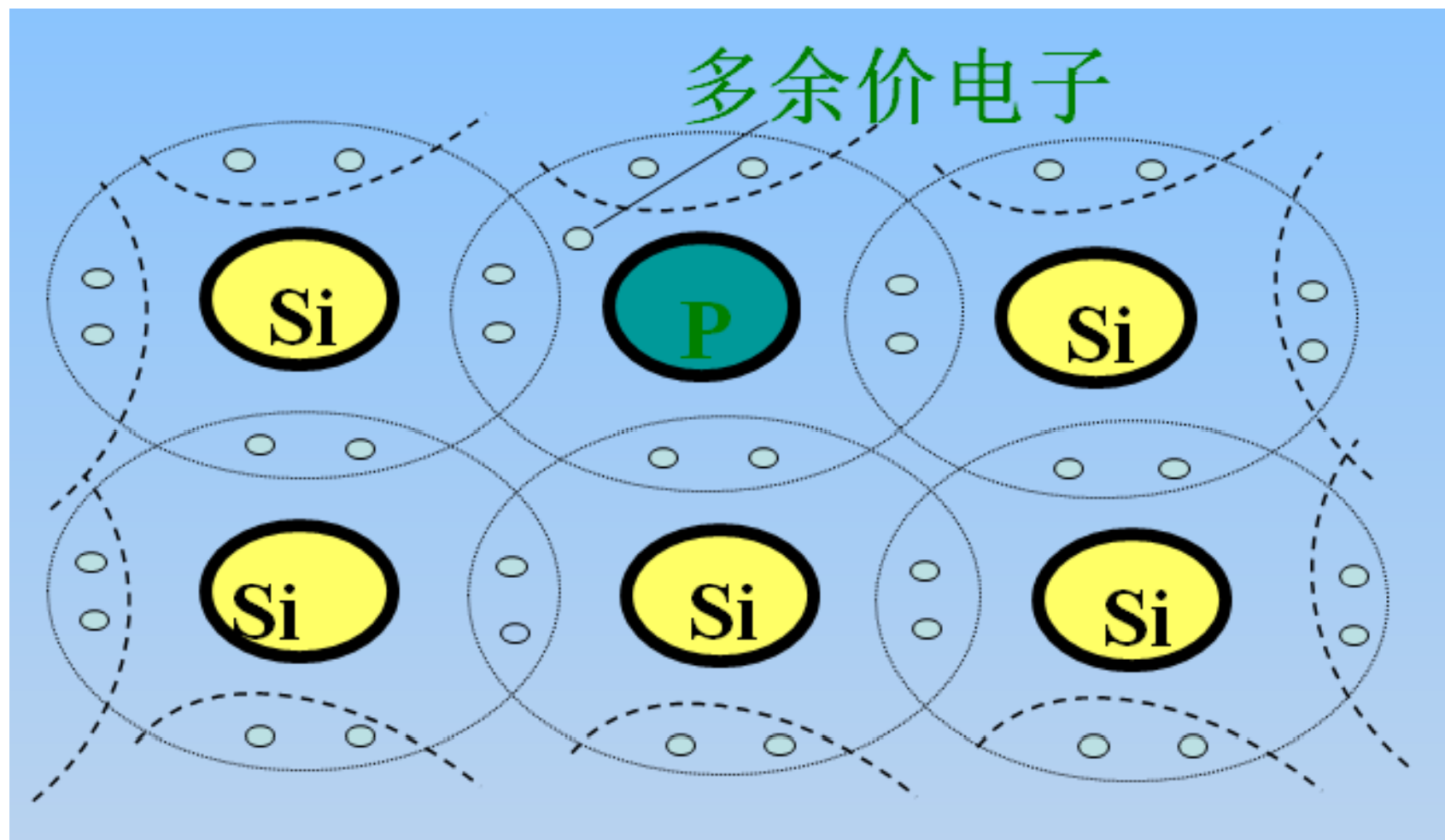
注：相对原子质量来自2019年国际原子量表，并全部取4位有效数字。

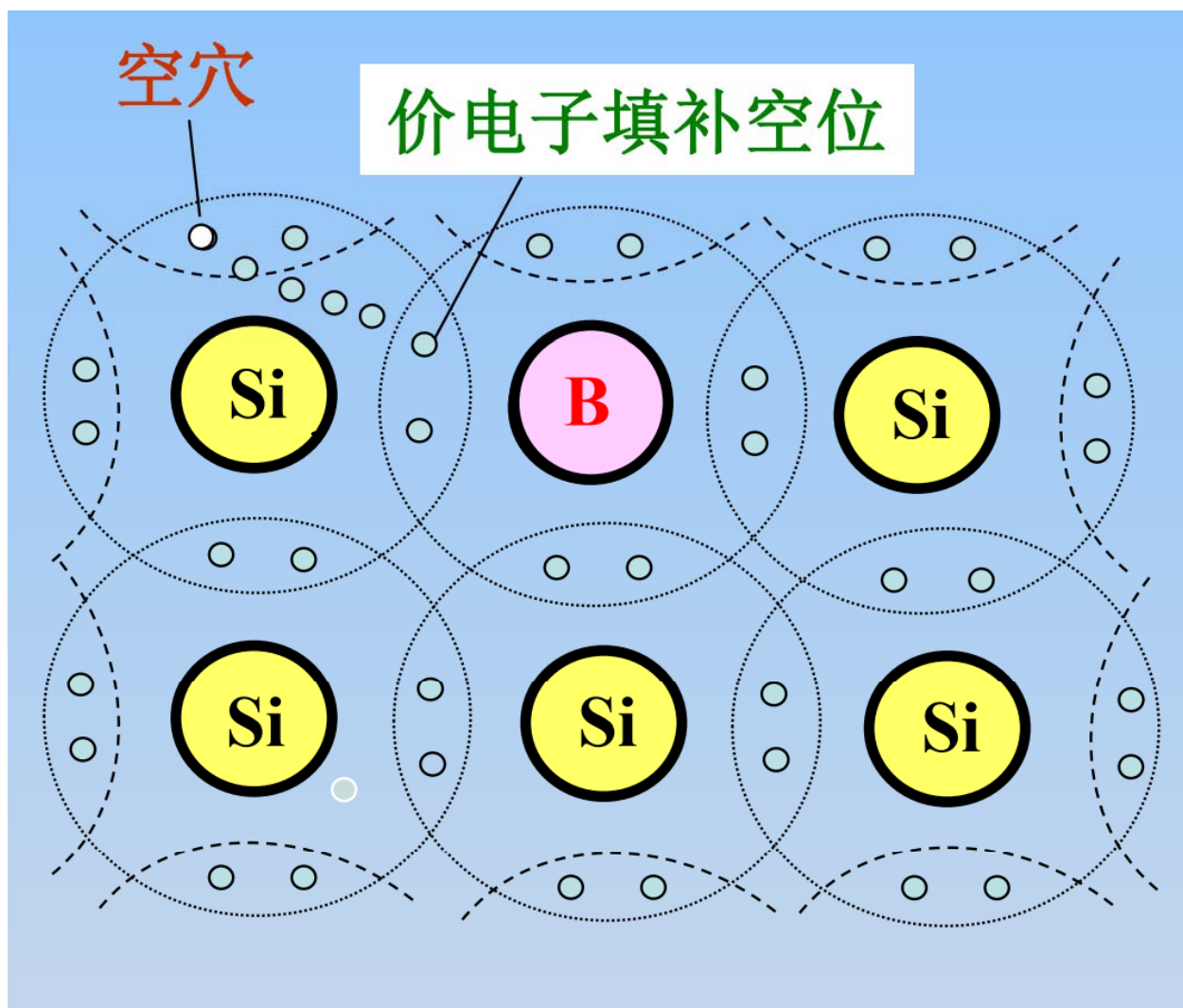
人民教育出版社化学

注：相对原子质量录自2001年国际原子量表，并全部取4位有效数字。

人民教育出版社化学室

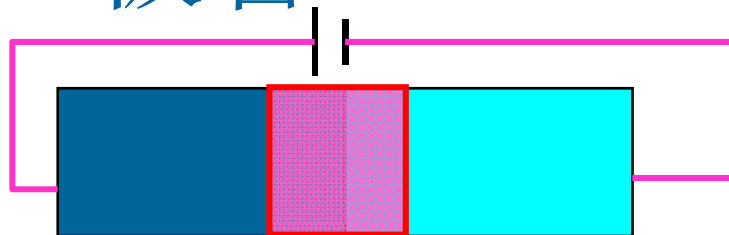






二极管

正向导通



P型

N型

空穴

电子

多数载流子:

掺杂:

三价 硼

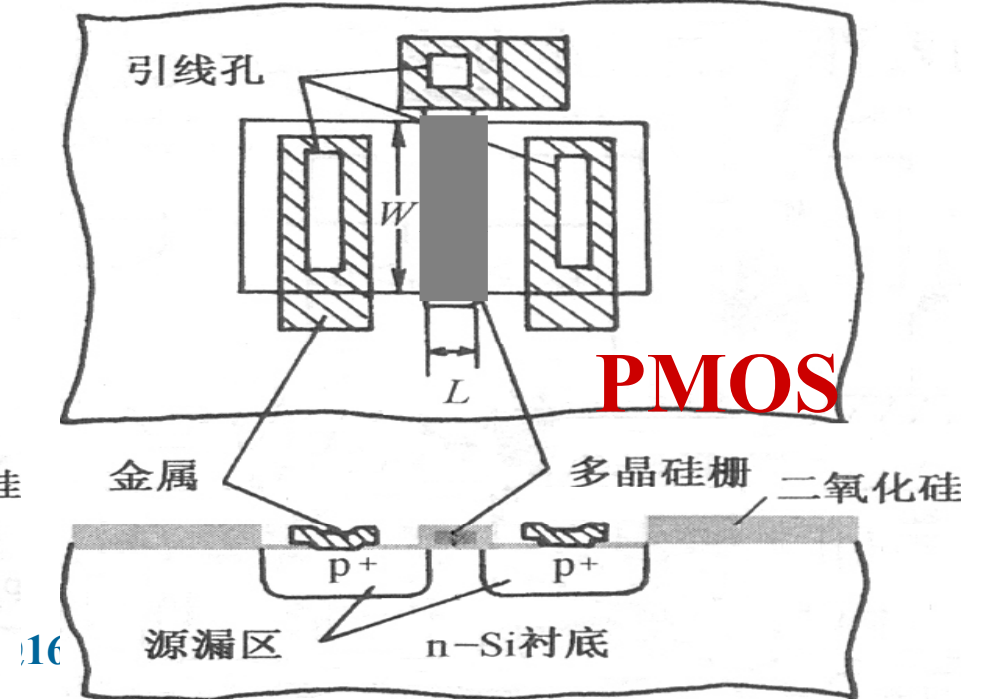
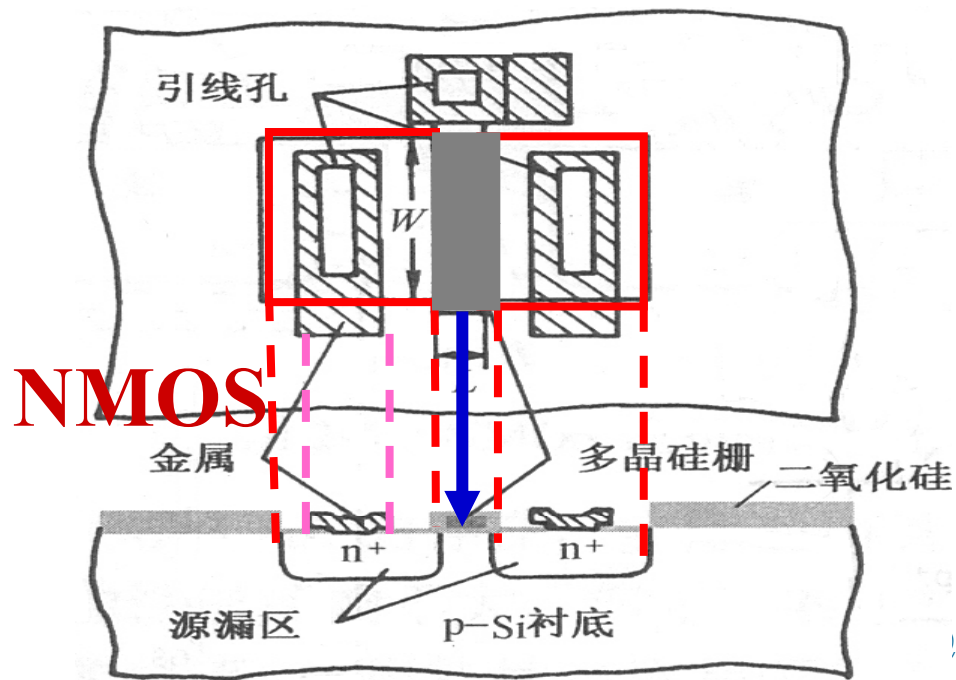
五价 磷



2.1.1 MOS晶体管结构(一)

❖ MOSFET Metal-Oxide-Silicon Field Effect Transistor

❖ 平面型器件结构（栅极Gate、漏极Drain、源极Source）

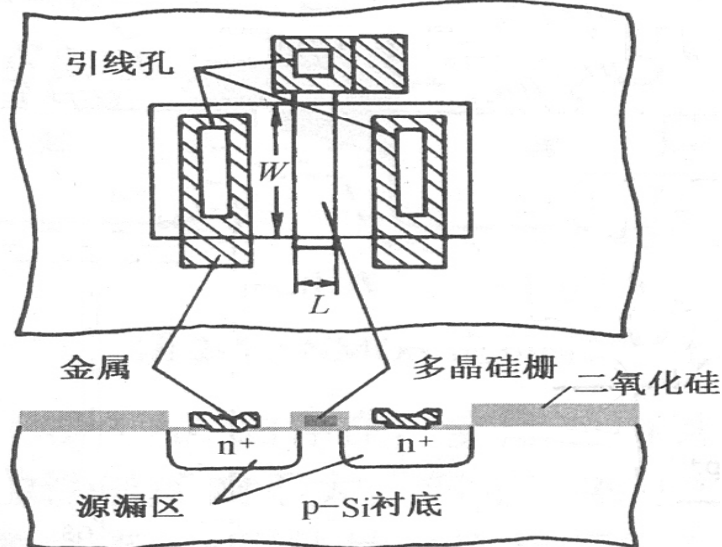


MOS晶体管结构(二)

❖ NMOS 与 PMOS 结构相似 掺杂类型不同

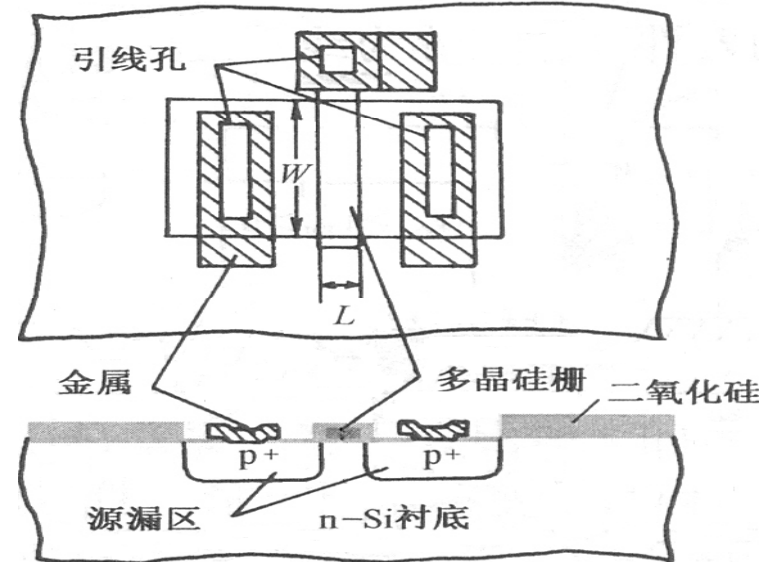
➤ NMOS: 在P型衬底上进行N型掺杂

➤ PMOS: 在N型衬底上进行P型掺杂



NMOS

wxhsnow@163.com

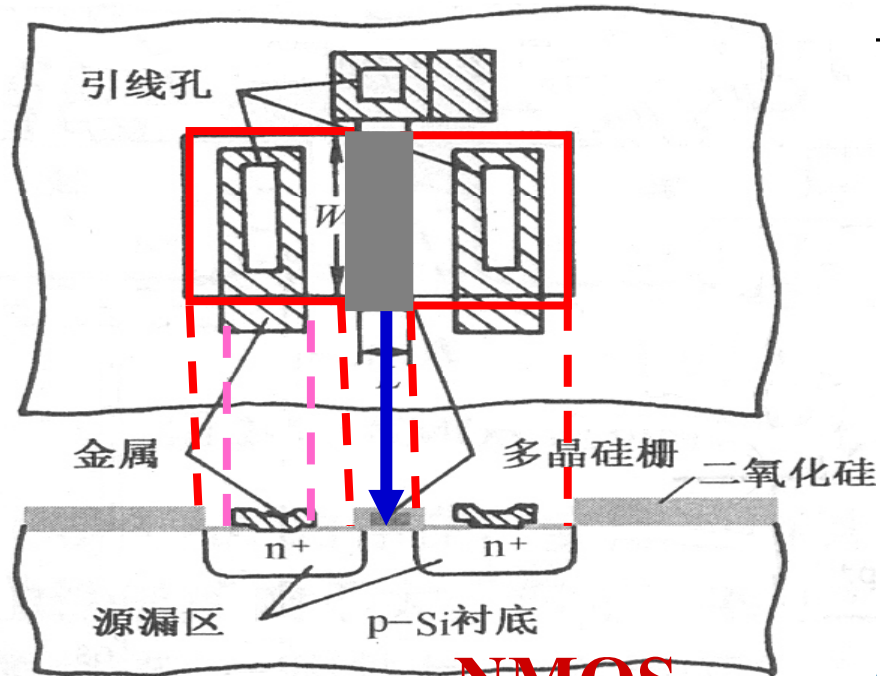


PMOS

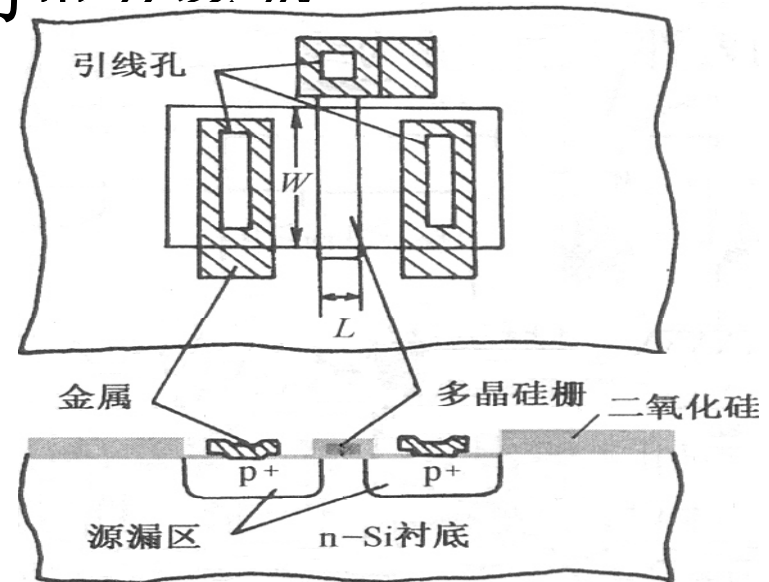
MOS晶体管结构(三)

- ❖ 沟道长度 L : 源漏掺杂区之间的距离
- ❖ 沟道宽度 W : 垂直于沟道长度的有效源漏区尺寸

RETURN

NMOS wanushow@163.com

的重要参数



PMOS

MOS晶体管结构(四)

❖ 栅极（Gate）：多晶硅 Polysilicon

原是绝缘体，经重扩散增加了载流子浓度变为导体，用作栅极和电极引线（另外还可作为电阻、介质层、牺牲层）

❖ 二氧化硅：杂质的掩蔽作用（扩散速度慢）；器件表面的保护和钝化作用；用于器件的电绝缘层与隔离层

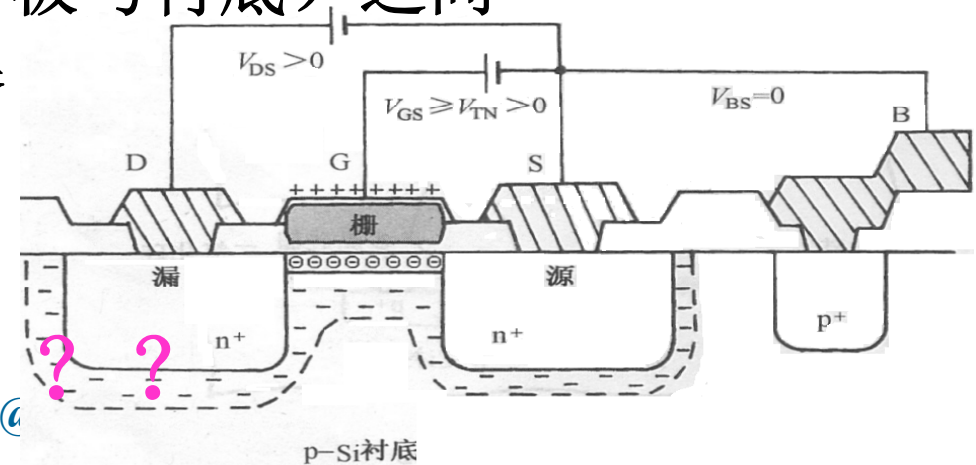
❖ 二氧化硅在两个导电层（栅极与衬底）之间

==》典型的平行板电容器

❖ 对栅极施加一定的正电荷，在衬底必然感应异种电荷

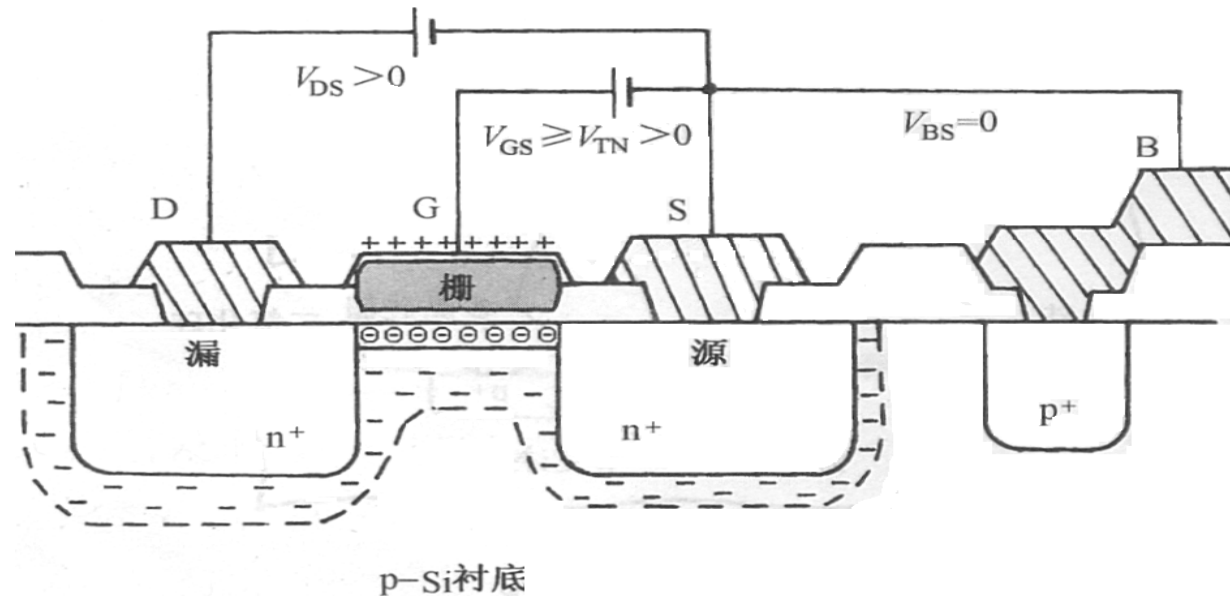
P型衬底多子为空穴？？？

wxhsnow@



NMOS晶体管基本工作原理(一)

- 当栅极施加相对于源极的**正电压** V_{GS} ，栅极的**正电荷**在P型衬底上感应出等量的**负电荷**，随着 V_{GS} 的增加，衬底中接近二氧化硅界面处的负电荷越来越多



NMOS晶体管基本工作原理(一)

• 变化过程:

- V_{GS} 很小时: 栅极正电荷驱逐衬底表面空穴;
- V_{GS} 增大: 正电荷耗尽, 形成带固定负电荷的耗尽层;
- V_{GS} 再增大: 耗尽层向下延伸, 少量电子被吸引到表面;
- V_{GS} 继续增大: 表面积累的电子增多, ==》在表面处, 电子成为多数载流子 **N型 (表面反型)**

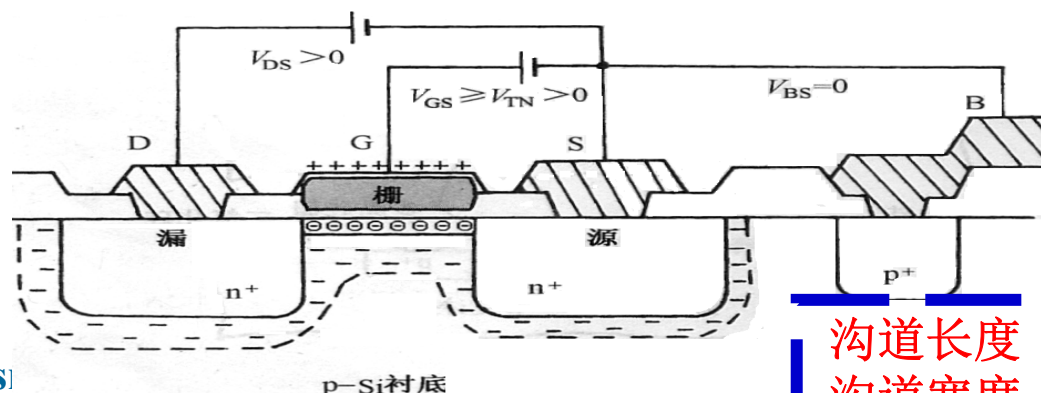
• $n^+ - p - n^+$

• $\rightarrow n^+ - n - n^+$: 表面反型

==》形成沟道区

此时 $V_{GS} = V_T$ 阈值电压

wxhs



沟道长度
沟道宽度

NMOS晶体管基本工作原理 (二)

- 在漏源电压 V_{DS} 作用下，电子由源极到漏极，形成漏源电流 I_{DS}
- 在 V_{DS} 不变： V_{GS} 越大，表面处的电子密度越大，漏源电流 I_{DS} 越大
- V_{DS} 很小时， V_{DS} 与 I_{DS} 近似线性
线性区

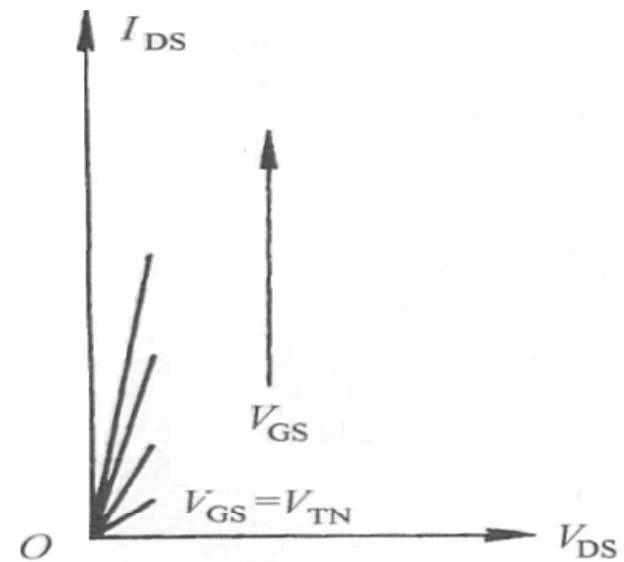
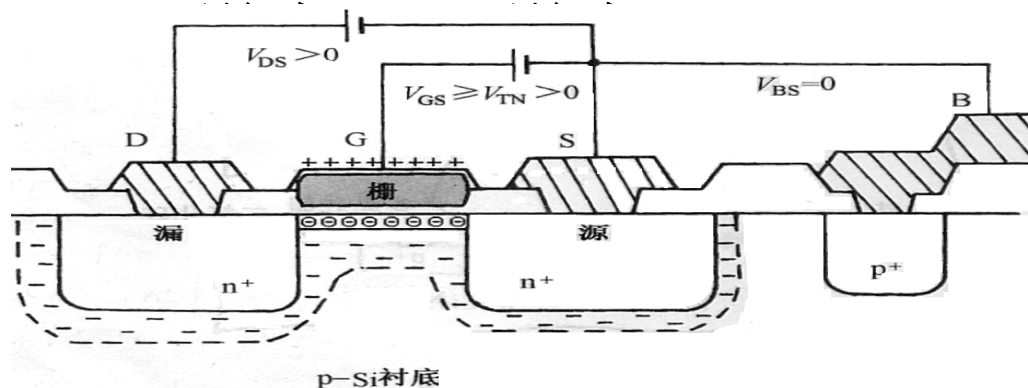


图 2-3 线性区的 I - V 特性

NMOS晶体管基本工作原理 (三)

□ $V_{GS} > V_{TN}$ 且一定时:

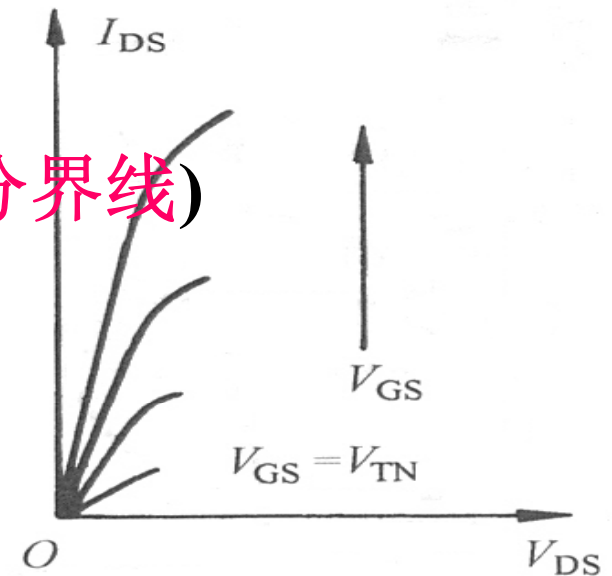
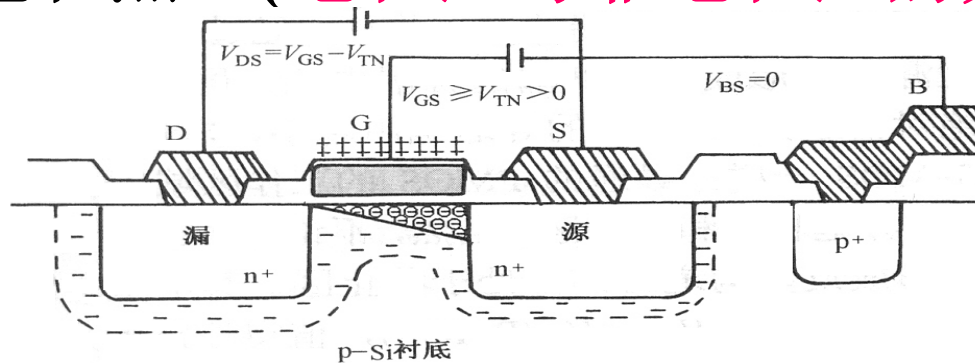
V_{DS} 增大, 漏端沟道区变薄

□ 当 $V_{DS} = V_{GS} - V_{TN}$ 时,

即漏端 $V_{GD} = V_{GS} - V_{DS} = V_{TN}$ 时,

沟道夹断 沟道夹断点

临界饱和点 (饱和区与非饱和区的分界线)



NMOS晶体管基本工作原理 (三)

□ $V_{GS} > V_{TN}$ 且一定时: V_{DS} 继续增大, 漏端沟道消失, 沟道夹断点向源端趋近

饱和区: V_{DS} 增大电流几乎不变

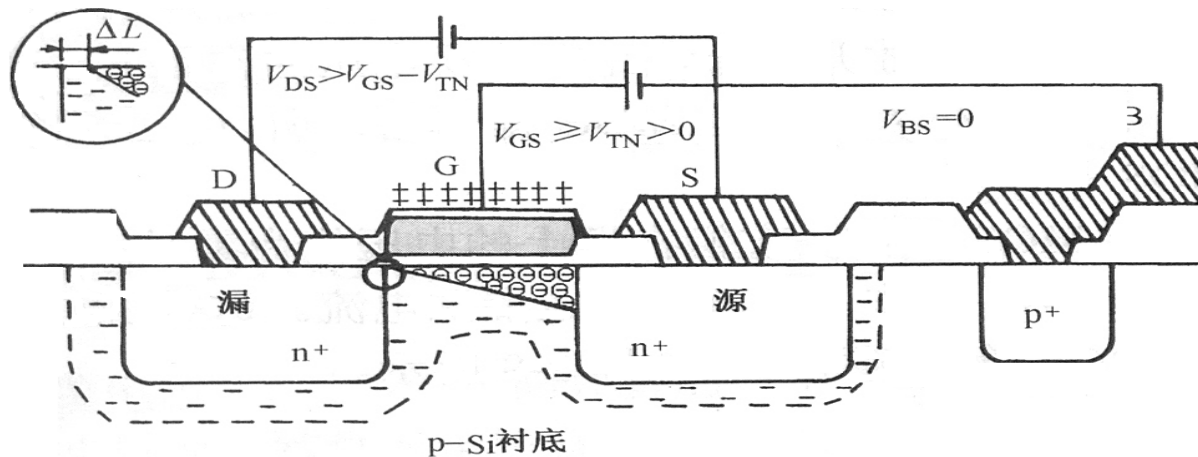
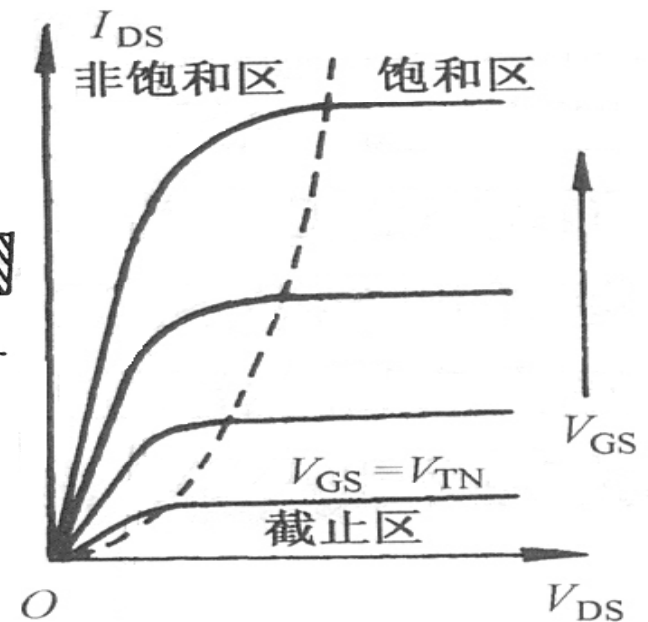


图 2-5 NMOS 饱和时的状态



沟道长度调制效应

□ 沟道夹断点向源端趋近，实际沟道长度 L 变短
 ==》在饱和区的电流—电压特性不是水平直线

□ 上翘 即 V_{DS} 增大电流 I_{DS} 也随之增大

□ 沟道长度调制效应 (如图)

□ 厄莱电压 V_A :

反映饱和区输出电流曲线上翘的程度

□ 沟道长度调制因子

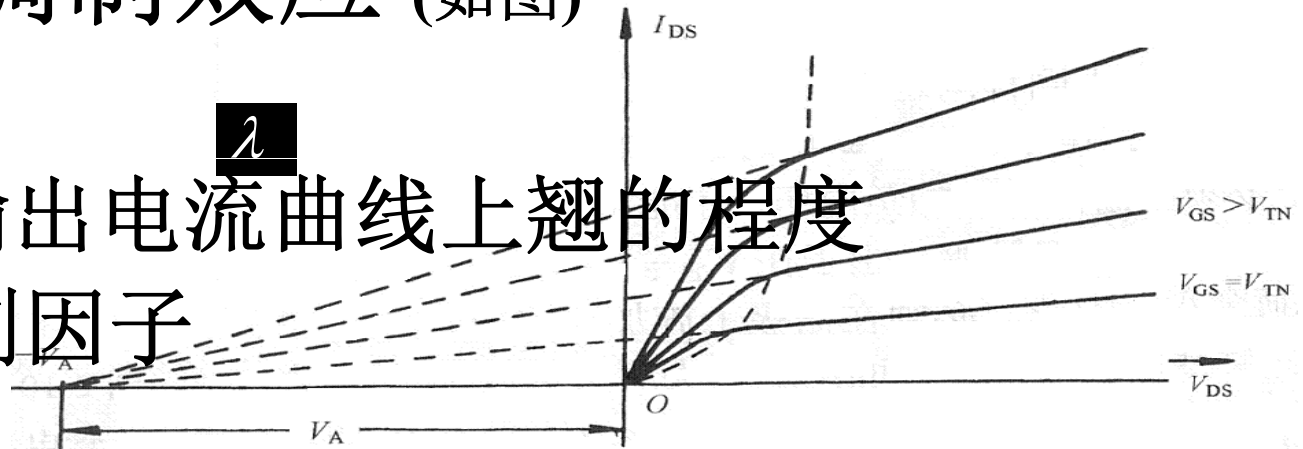
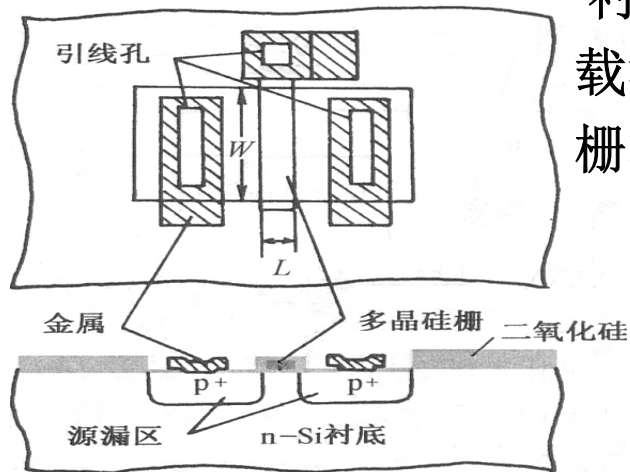


图 2-7 沟道长度调制和厄莱电压

PMOS晶体管基本工作原理

□ 与NMOS类似



衬底
载流子
栅极电压

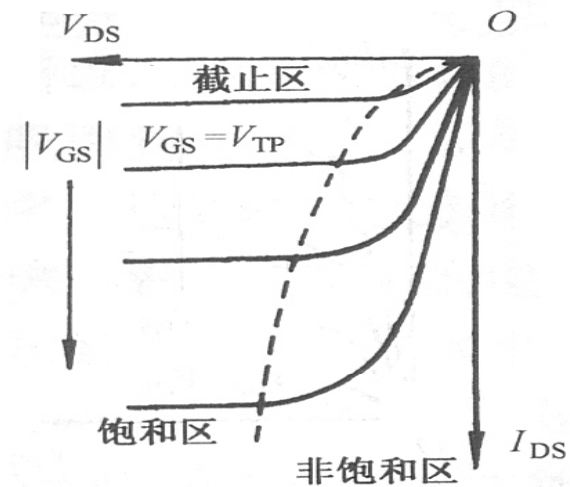


图 2-8 PMOS 的电流-电压特性曲线

增强型与耗尽型

- 增强型MOS管: $V_{GS} = 0$ 时没有导电沟道
- 耗尽型MOS管: $V_{GS} = 0$ 时已有导电沟道

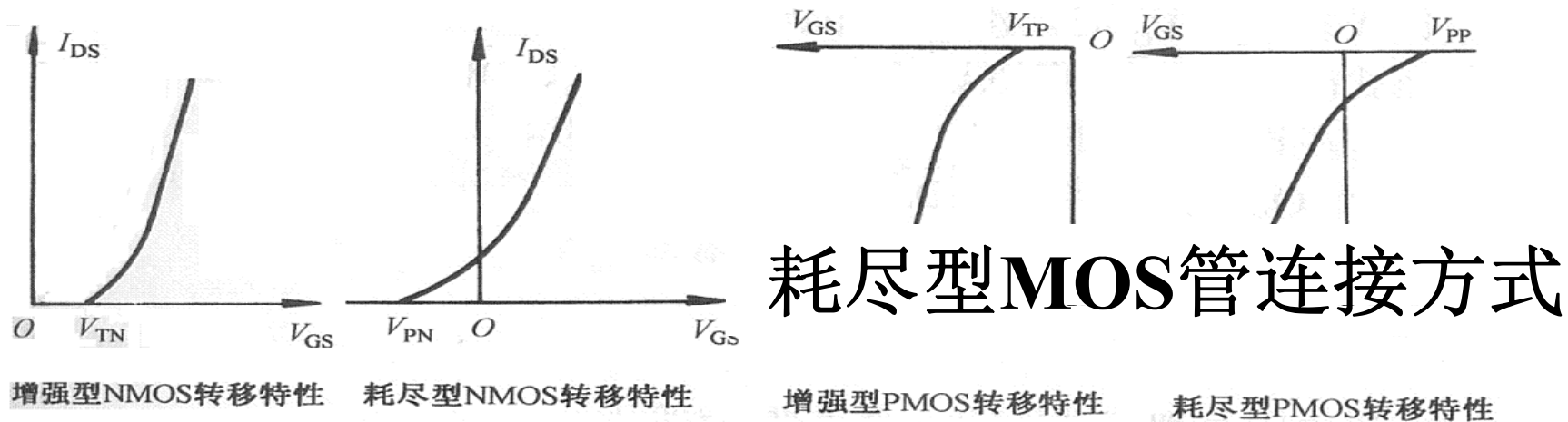
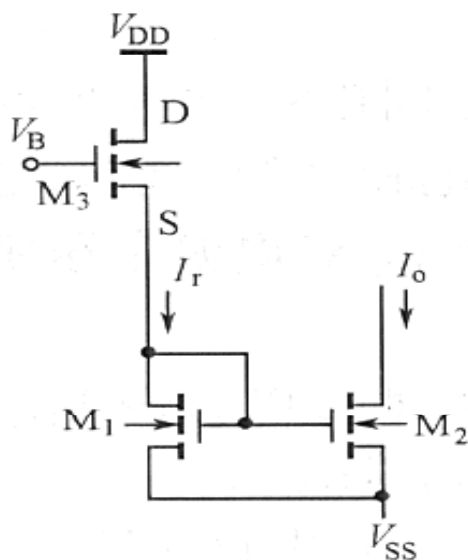


图 2-13 MOS 晶体管的平方律转移特性

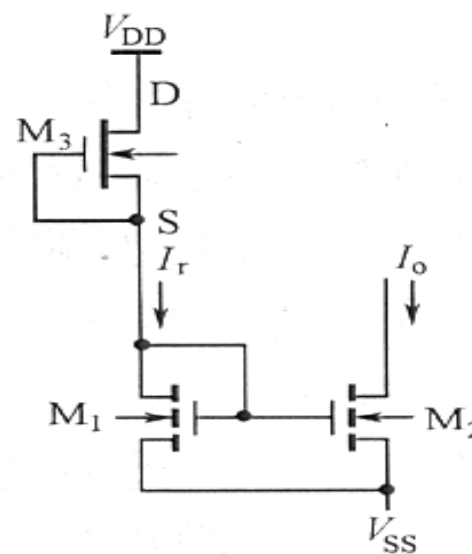
- 夹断电压: 使耗尽型器件的表面沟道消失所施加的电压 (NMOS: 负; PMOS: 正)

增强型与耗尽型

耗尽型MOS管连接方式

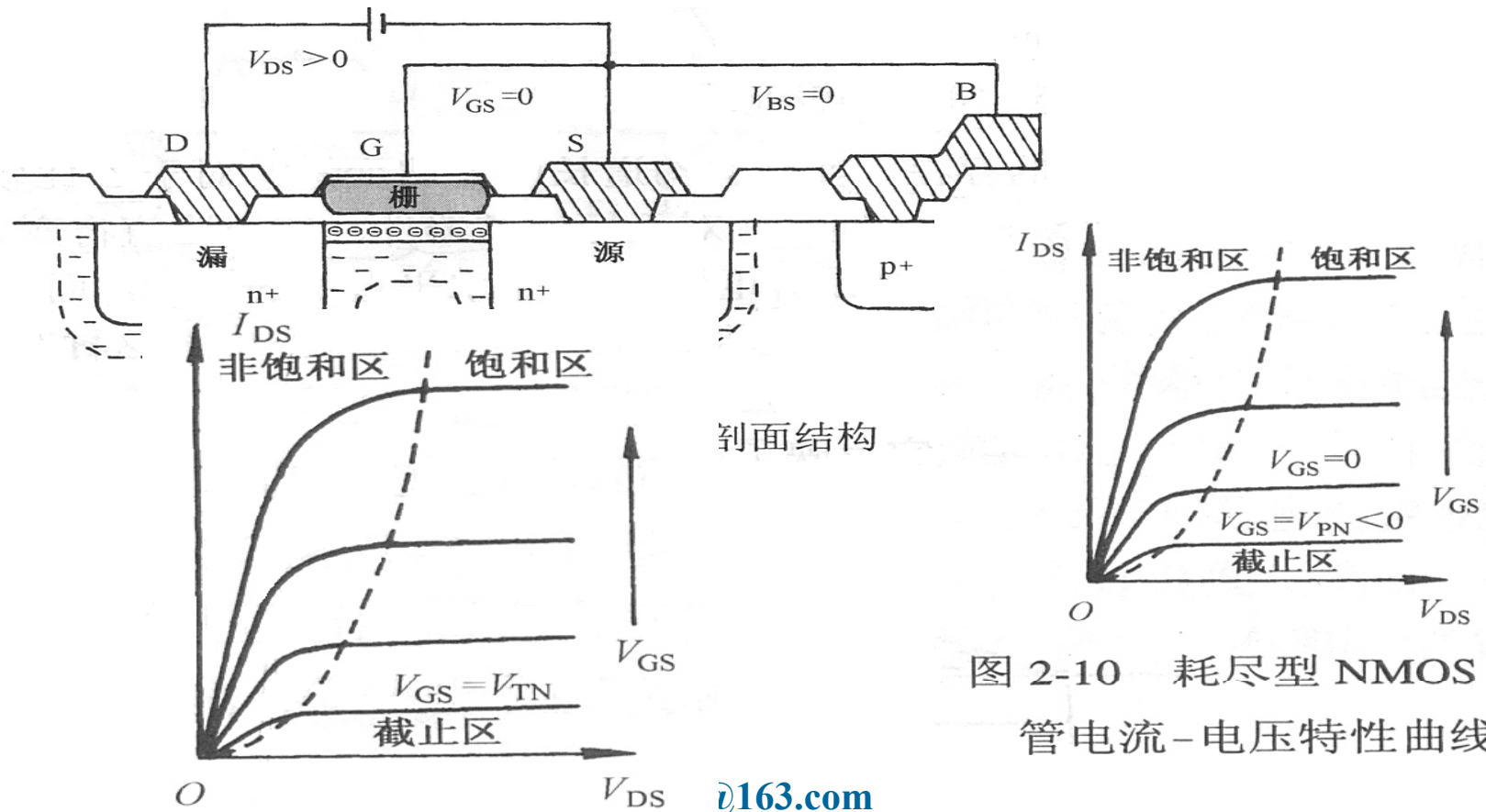


(a)



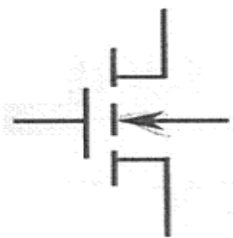
(c)

耗尽型NMOS管电流-电压特性曲线

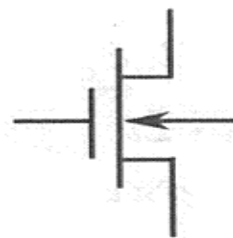


增强型与耗尽型

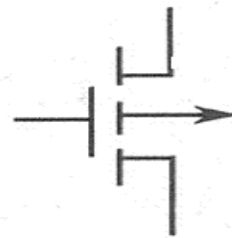
- 增强型NMOS管 增强型PMOS管
- 耗尽型NMOS管 P耗尽型NMOS管
- 四种MOS管的表示符号



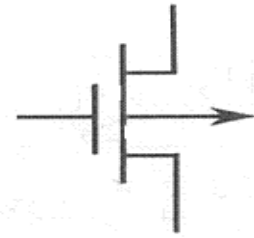
增强型NMOS晶体管



耗尽型NMOS晶体管



增强型PMOS晶体管



耗尽型PMOS晶体管

图 2-11 MOS 晶体管的表示符号



2.1.2 MOS晶体管的阈值电压 V_T

- NMOS晶体管表面达到强反型时所对应的 V_{GS} 值，称为**阈值电压**
- 影响阈值电压的因素：
 - A: 衬底掺杂浓度（浓度低， V_T 小）
 - B: 材料的功函数差 (材料性质、掺杂类型与条件)
 - C: 二氧化硅中的电荷及性质
 - D: 栅极单位面积的电容（栅极氧化层厚度）

$$Q=CU \quad C=k \ S/d \quad d小C大敏感但易击穿$$

2.1.3 MOS晶体管的电流-电压方程

- 萨氏方程： 其中 λ 为沟道长度调制因子

截止状态 ($V_{GS} < V_{TN}$) : $I_{DS} = 0$

非饱和状态 ($V_{GS} \geq V_{TN}$, $V_{DS} < V_{GS} - V_{TN}$) :

$$I_{DS} = K_N [2(V_{GS} - V_{TN})V_{DS} - V_{DS}^2]$$

饱和状态 ($V_{GS} \geq V_{TN}$, $V_{DS} \geq V_{GS} - V_{TN}$) :

$$I_{DS} = K_N (V_{GS} - V_{TN})^2 (1 + \lambda V_{DS})$$

其中 $K_N = K'_N \left[\frac{W}{L} \right]$

$$K'_N = \frac{\mu_0 \epsilon_{ox}}{2t_{ox}}$$

wxhsnow@163.com

μ_0 为电子迁移率，

ϵ_{ox} 为介电常数，

t_{ox} 为栅氧化层的厚度

MOS晶体管的电流-电压方程

非饱和状态 ($V_{GS} \geq V_{TN}$, $V_{DS} < V_{GS} - V_{TN}$) :

$$I_{DS} = K_N [2(V_{GS} - V_{TN})V_{DS} - V_{DS}^2]$$

在非饱和区域, $V_{DS} \rightarrow 0$,
 V_{DS}^2 可忽略, 方程变为线性关系

$$I_{DS} = K_N 2(V_{GS} - V_{TN})V_{DS}$$

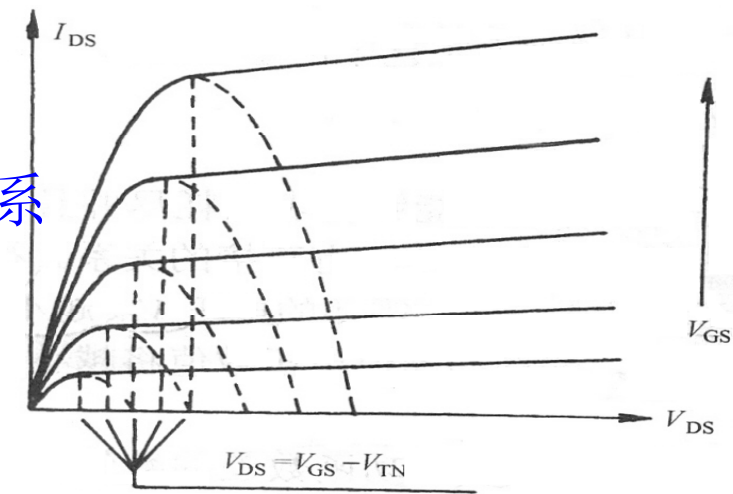


图 2-12 NMOS 电流-电压特性曲线

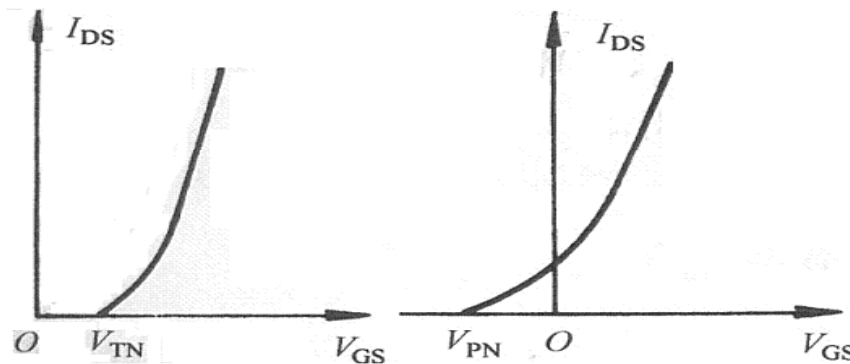
2.1.4 MOS晶体管的平方律转移特性

- 将MOS晶体管的栅—漏连接

则： $V_{GS} = V_{DS}$ ，故 $V_{DS} > V_{GS} - V_{TN}$ ，饱和

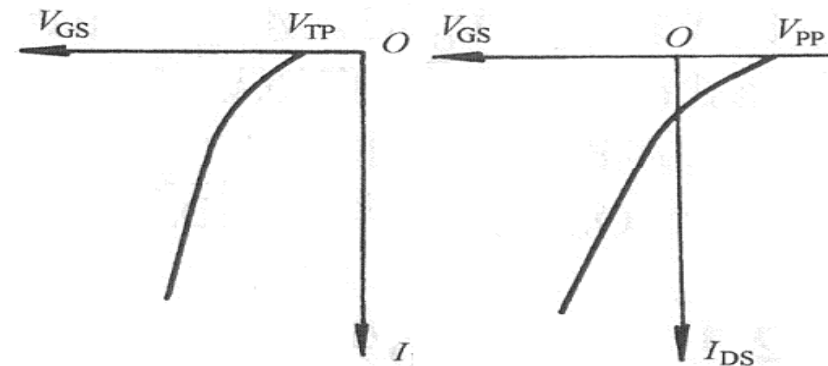
$I_{DS} = K_N (V_{GS} - V_{TN})^2 (1 + \lambda V_{DS})$ ，若 λ 忽略，则变为

$$I_{DS} = K_N (V_{GS} - V_{TN})^2$$



增强型NMOS转移特性

耗尽型NMOS转移特性



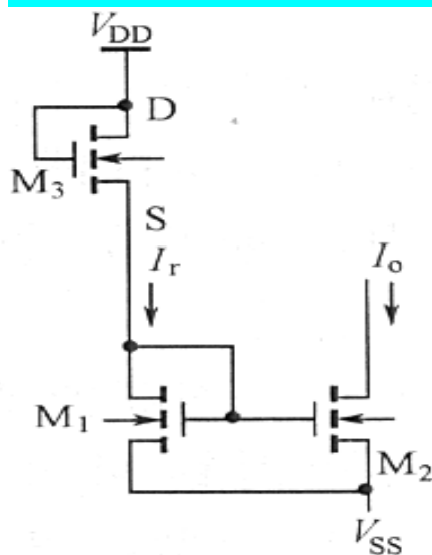
增强型PMOS转移特性

耗尽型PMOS转移特性

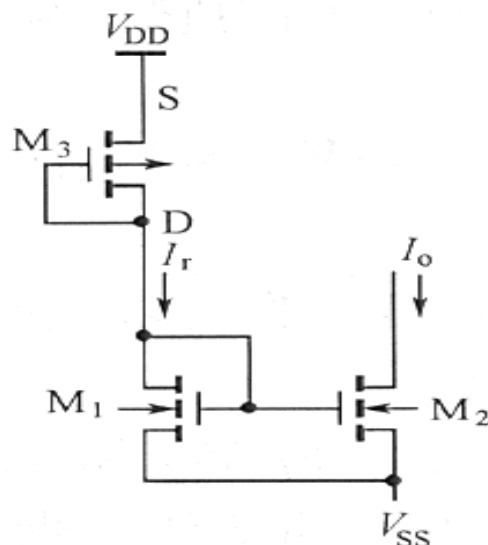
图 2-13 MOS 晶体管的平方律转移特性

增强型MOS管的一种特殊连接方式

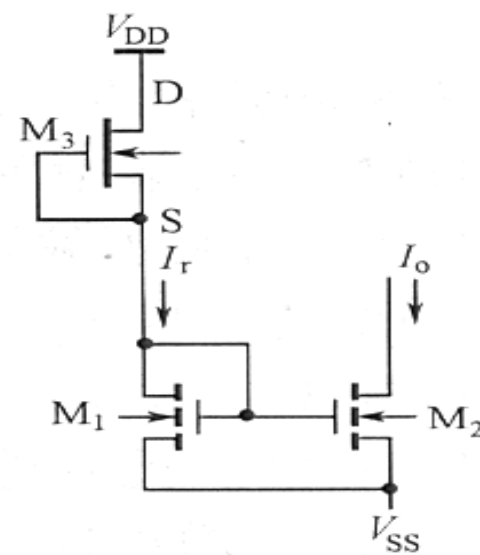
栅—漏连接



(b)



(d)



(c)



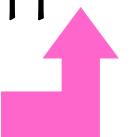
2.1.5 MOS晶体管的跨导

- 衡量MOS器件的栅—源电压对源—漏电流控制能力的参数

- 忽略沟道长度调制效应 $\lambda = 0$
非饱和 $I_{DS} = K_N [2(V_{GS} - V_{TN})V_{DS} - V_{DS}^2]$
$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \Big|_{V_{DS}, V_{BS} = C} \quad \therefore g_m = 2K_N V_{DS} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \cdot \frac{W}{L} \cdot V_{DS}$$

饱和 $g_m = \sqrt{2\mu_n C_{ox} (W/L) I_{DS}}$

由此可知，NMOS晶体管的跨导与载流子的迁移率、晶体管的宽长比成正比；和栅氧化层的厚度成反比；还与器件所处的工作状态有关。



2.1.6 MOS晶体管的直流导通电阻

- 定义：漏源电压与漏源电流的比值

❖ 非饱和：

$$R_{ON} = \frac{V_{DS}}{I_{DS}}$$

❖ 饱和：

❖ 在线性区：

□ 当 V_{GS} 一定时，沟道电阻近似一个不变的电阻



2.1.7 MOS晶体管的交流电阻

• 交流电阻: $r_d = \frac{\partial V_{DS}}{\partial I_{DS}}$

□ 不考虑 λ ，应该为无穷大，实际10~500k

➤ 非饱和区:

➤ 线性区:

□ NMOS晶体管在线性区的交流电阻等于饱和区的跨导的倒数

wxhsnow@163.com

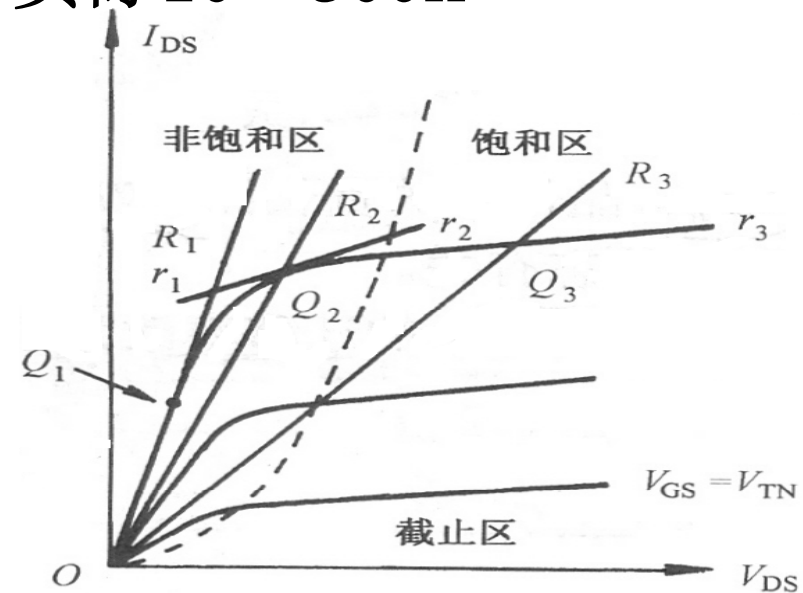


图 2-14 直流电阻与交流电阻

直流电阻与交流电阻的区别

- 直流电阻：工作点Q处直流电压与直流电流的比值
- 交流电阻：工作点Q处切线的余切值

□ 线性区：

大小相等（2.8式与2.11式）

□ 其他区域：

直流电阻小于交流电阻

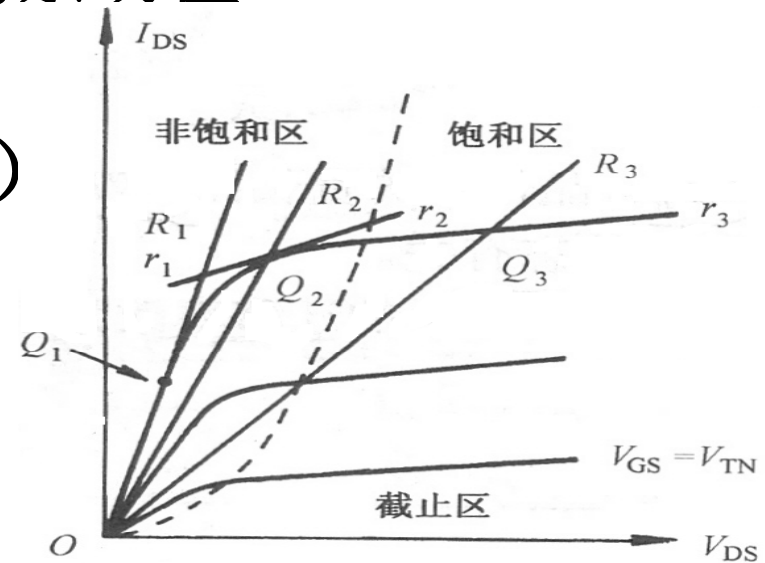
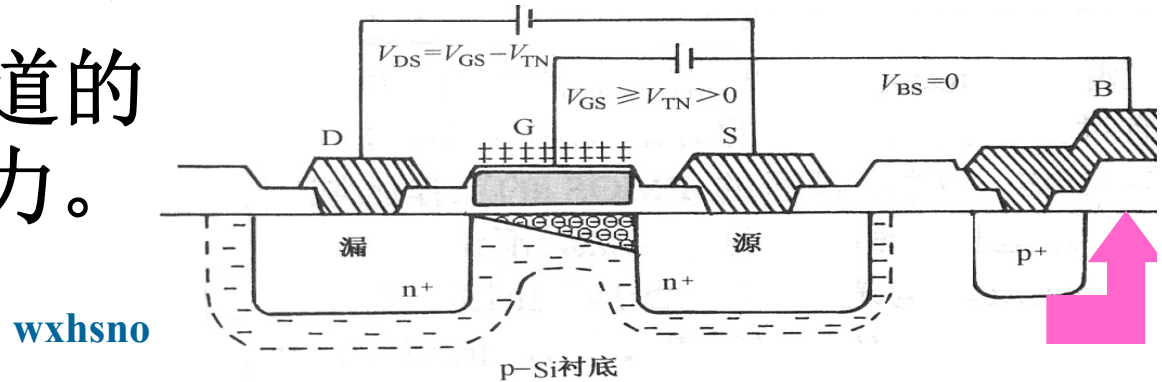


图 2-14 直流电阻与交流电阻

2.1.8 MOS晶体管的最高工作频率

- 当对栅极输入电容 C_{GC} 的充放电电流和漏源交流电流的数值相等时，所对应的工作频率为MOS晶体管的最高工作频率

- 由源极流出（流入）的电子流，一部分对电容充（放）电，一部分流经沟道流向漏极。
- 若全部用于对沟道的完全失去放大能力。



2.1.9 MOS晶体管的衬底偏置效应

- 假设 $V_{BS} = 0$ ，即不考虑电位对晶体管的影响
- 若衬底与源极不相连，即 $V_{BS} \neq 0$???

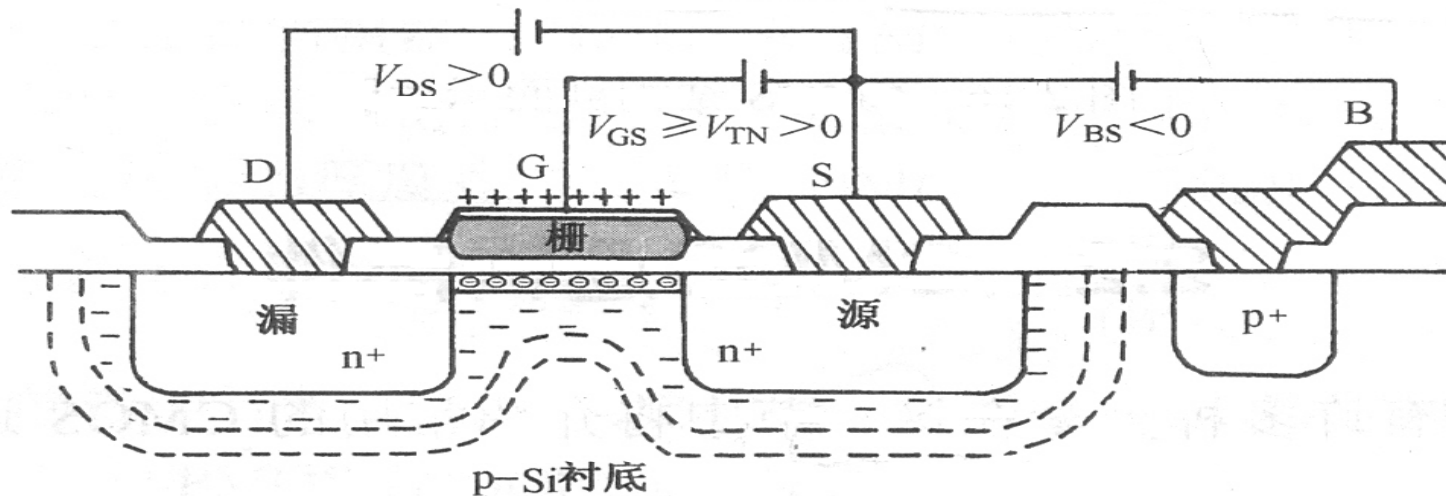


图 2-15 衬底偏置对器件影响的示意图

衬底偏置效应

- 若衬底与源极不相连，即 $V_{BS} \neq 0$
 - 衬底与源区反向偏置
 - 反向偏置的PN结的耗尽层将展宽
 - 在栅极电荷没有改变的情况下耗尽层的增厚必然导致沟道中可动电荷的减少
 - 若要维持原有的导电水平，必须增加栅压
- ==》 阈值电压提高

衬底偏置效应

- 背栅调制:

当衬底接一固定电位时，衬偏电压将随着源节点电位的变化而变化，产生对器件沟道电流的调制作用

- 背栅跨导 g_{mB} :

□三个端口参数: g_m 、 g_{ds} 、 g_{mB}

对应MOS管的G-S、D-S、B-S三个信号端口

wxhsnow@163.com



2.1.10 CMOS结构

- CMOS优点：
静态功耗小，
电路结构简单规则

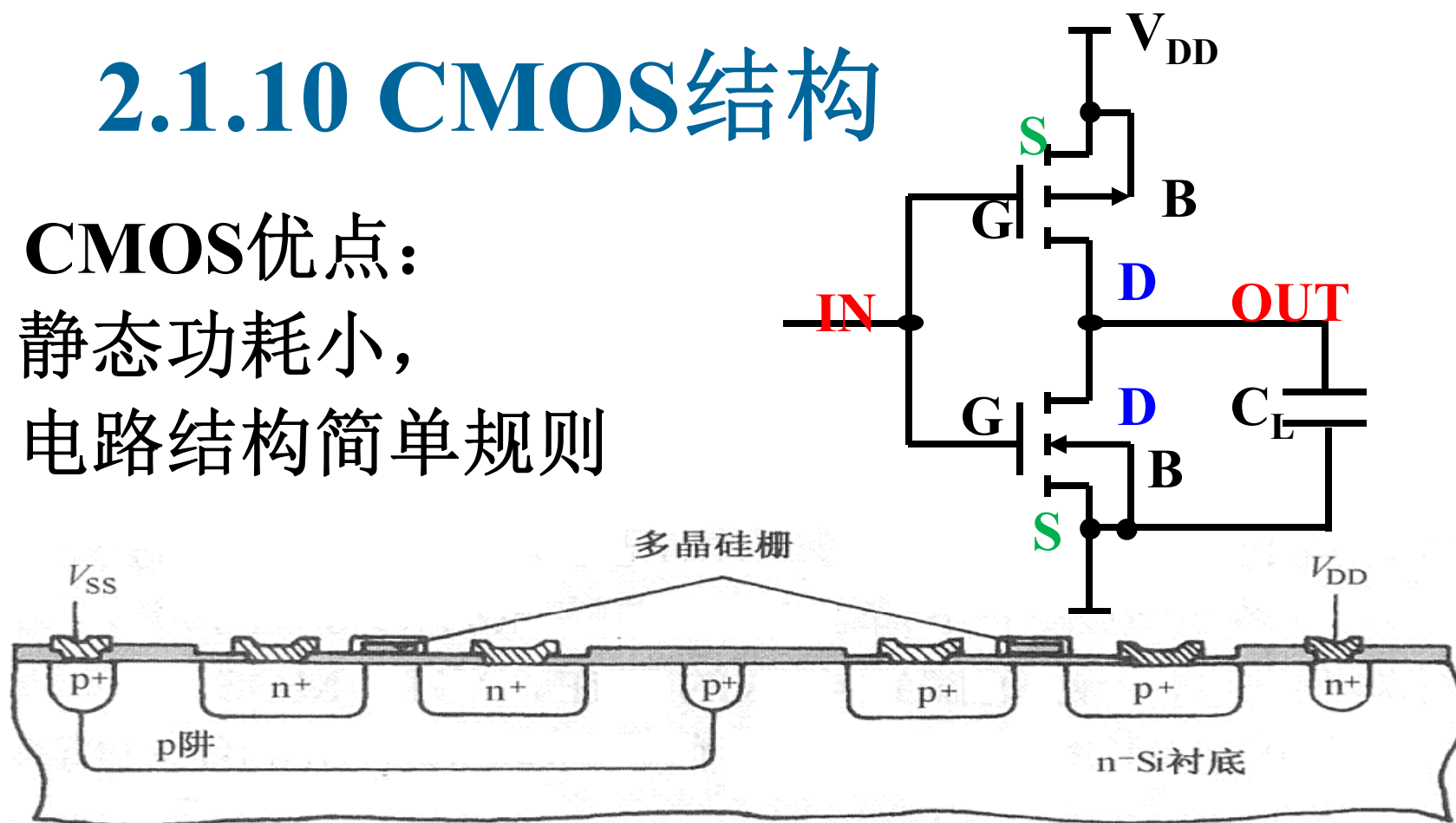


图 2-16 CMOS 结构剖面示意图



Thanks

wxhsnow@163.com