

## 2.1.10 CMOS结构

- CMOS优点：  
静态功耗小，  
电路结构简单规则

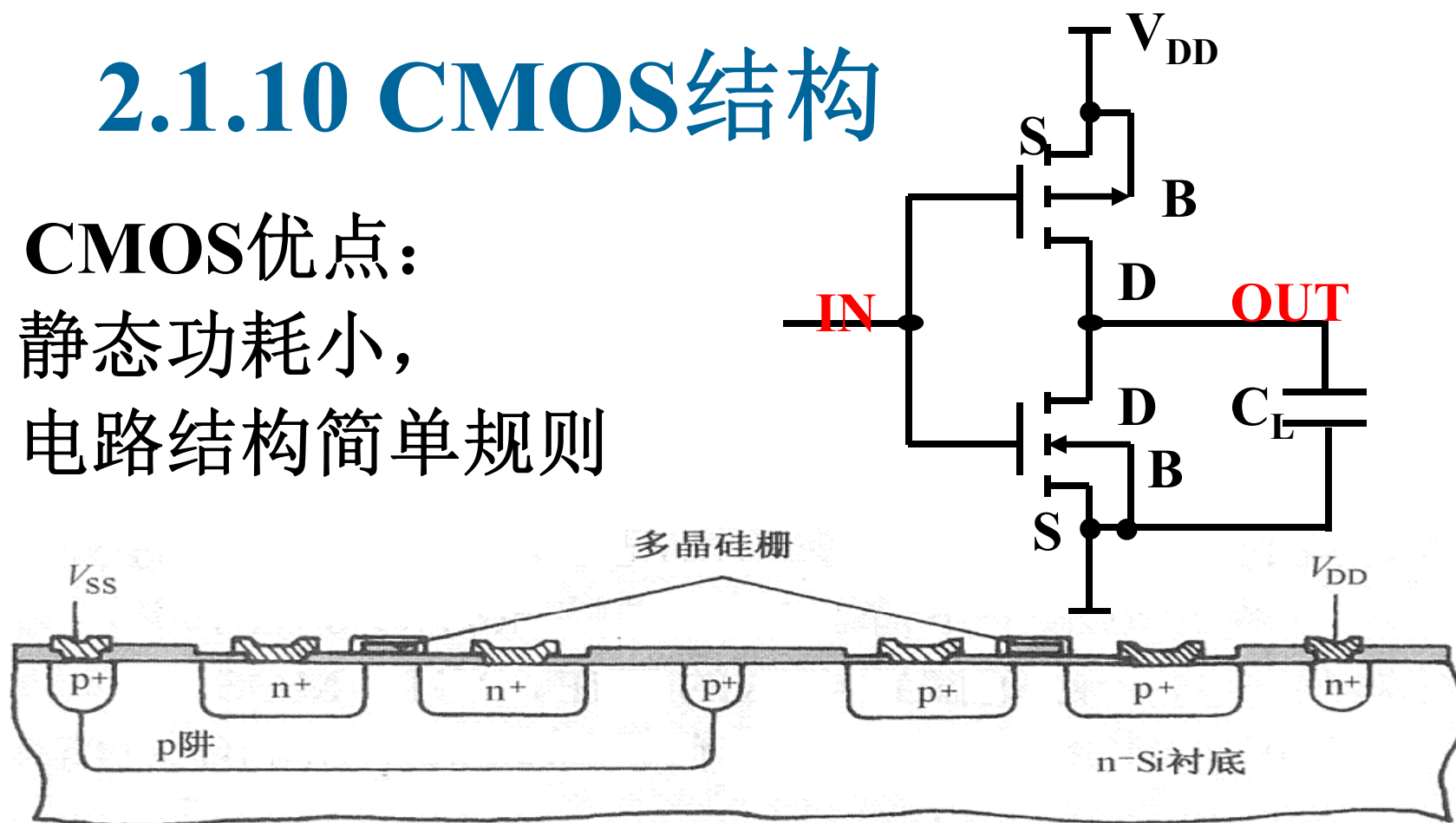


图 2-16 CMOS 结构剖面示意图

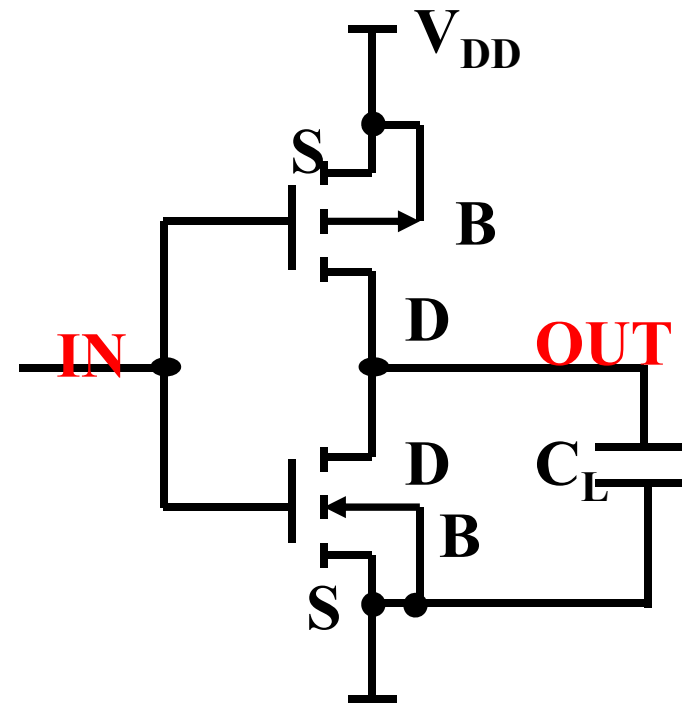


## 2.2 COMS逻辑部件

- ◆ 2.2.1 CMOS倒相器设计
- ◆ 2.2.2 CMOS与非门、或非门的结构  
及等效倒相器设计方法
- ◆ 2.2.3 其他CMOS逻辑门
- ◆ 2.2.4 D触发器
- ◆ 2.2.5 内部信号的分布式驱动结构.

## 2.2.1 CMOS倒相器设计

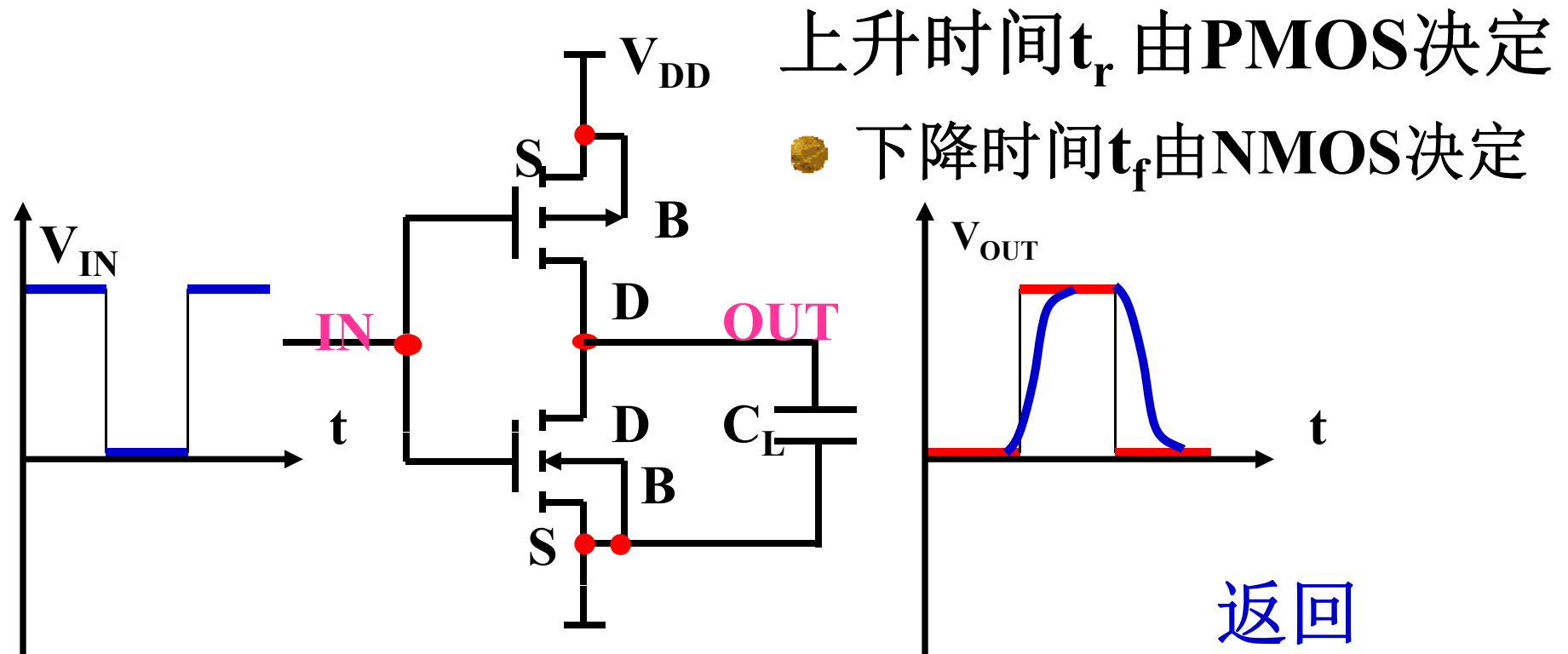
- CMOS倒相器的结构
  - 典型的CMOS构造
  - 两栅极相连做输入
  - 两漏极相连做输出
  - 衬底与源极相连
- CMOS倒相器的原理



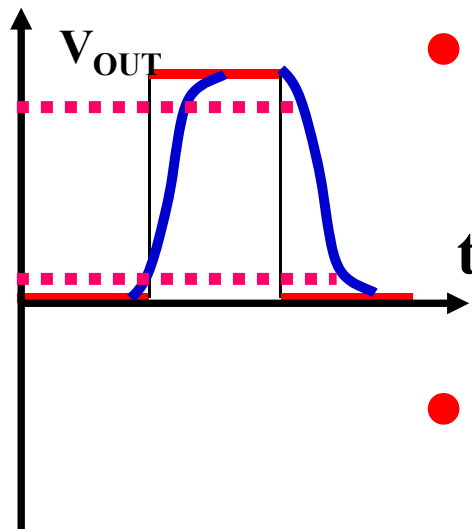
# COMS倒相器设计

- CMOS倒相器设计是CMOS门电路中最基本的逻辑部件
- 在一定的工艺条件下，倒相器的设计关键是对晶体管的尺寸（ $W/L$ ）的设计，并由确定的沟道长度 $L$ 计算得到沟道宽度 $W$
- 计算方法：应用上升时间 $t_r$ 与下降时间 $t_f$ 公式计算 $W/L$

# 上升时间与下降时间



# 上升时间与下降时间



- **上升时间:**

在输入阶跃波的条件下，输出信号从  $0.1V_{DD}$  上升到  $0.9V_{DD}$  所需要的时间

- **下降时间:**

在输入阶跃波的条件下，输出信号从  $0.9V_{DD}$  下降到  $0.1V_{DD}$  所需要的时间

# 上升时间与下降时间

## • 上升时间:

$$t_r = \tau_P \left[ \frac{\alpha_P - 0.1}{(1 - \alpha_P)^2} + \frac{\operatorname{arcth} \left( 1 - \frac{0.1}{1 - \alpha_P} \right)}{1 - \alpha_P} \right]$$

## ● 下降时间:

$$t_f = \tau_N \left[ \frac{\alpha_N - 0.1}{(1 - \alpha_N)^2} + \frac{\operatorname{arcth} \left( 1 - \frac{0.1}{1 - \alpha_N} \right)}{1 - \alpha_N} \right]$$

$$0.1 \leq \alpha_P \leq 0.9$$

# 上升时间与下降时间

- 其中: **arcth**: 反双曲正切

$$\alpha_P = \frac{V_{TP}}{V_{dd}} \quad \alpha_N = \frac{V_{TN}}{V_{dd}}$$

$$\tau_P = \frac{C_L}{K_P V_{dd}} \quad \tau_N = \frac{C_L}{K_N V_{dd}} \quad C_L \text{ 为负载电容}$$

$$\text{由于 } K_N = K_N' \left[ \frac{W}{L} \right] = \frac{\mu_N \epsilon_{ox}}{2t_{ox}} \left[ \frac{W}{L} \right]$$

返回

所以 宽长比[W/L] 与下降时间成反比.



# 复习：双曲函数与反双曲函数

**arc th**：反双曲正切

双曲正弦： $\sinh = \frac{e^x - e^{-x}}{2}$

双曲余弦： $\cosh = \frac{e^x + e^{-x}}{2}$

双曲正切： $\tanh = \frac{e^x - e^{-x}}{e^x + e^{-x}}$

双曲余切： $\coth = \frac{e^x + e^{-x}}{e^x - e^{-x}}$

反双曲正切： $\operatorname{arc tanh}$  或者  $\operatorname{arc th}$

可用**Excel**      **MatLab**等工具计算

# 倒相器的最高工作频率

- 当输出信号的幅度变化只能在 $0.1V_{DD} \sim 0.9V_{DD}$ 范围内时，且信号为锯齿波，这时所对应的信号频率被认为是倒相器的**最高工作频率**
- 在实际设计中，通常对器件的最高工作频率要预留一定设计余量，然后就可求得上升时间与下降时间，在根据工艺提高的特征数值，即可计算MOS管的具体尺寸（W/L）

# 倒相器的尺寸设计

- 通常要求输出波形对称 即  $t_r = t_f$
- 同一工艺下，NMOS与PMOS的栅极氧化层厚度相同，若阈值电压相等，则  $K_P = K_N$

$$\text{由于 } K_N = K_N' \left[ \frac{W}{L} \right] = \frac{\mu_N \epsilon_{ox}}{2 t_{ox}} \left[ \frac{W}{L} \right]$$

$$\text{则 } \frac{(W/L)_P}{(W/L)_N} = \frac{\mu_N}{\mu_P} \approx 2.5$$

因此可由此计算： $t_f \rightarrow \tau_N \rightarrow K_N \rightarrow (W/L)_N$   
 $\rightarrow (W/L)_P$

# 例题：倒相器的尺寸设计

例 2-1 设计一个倒相器，要求  $t_r = t_f = 25\text{ns}$ ，

$V_{\text{TN}} = 1\text{V}$ ， $V_{\text{TP}} = -1\text{V}$ ， $V_{\text{DD}} = 5\text{V}$ ，栅氧化层厚度为  $50\text{nm}$ ，

负载电容  $C_L = 2\text{pF}$ 。（电子迁移率  $\mu_N = 600\text{cm}^2/\text{V} \cdot \text{s}$ ）

试计算 NMOS 管和 PMOS 管的宽长比。

$$\begin{aligned}
 \text{解：} \quad K_N &= K_N' \left[ \frac{W}{L} \right] = \frac{\mu_N \varepsilon_{0X}}{2t_{0X}} \left[ \frac{W}{L} \right]_N \\
 &= \frac{600 \times 10^{-4} \times 3.9 \times (8.85 \times 10^{-14} * 10^2)}{2 \times 50 \times 10^{-9}} \left[ \frac{W}{L} \right]_N = 2.07 \times 10^{-5} \left[ \frac{W}{L} \right]_N \\
 \tau_N &= \frac{C_L}{K_N V_{\text{dd}}} = \frac{2 \times 10^{-12}}{2.07 \times 10^{-5} \left[ \frac{W}{L} \right]_N \times 5} = 1.93 \times 10^{-8} \left[ \frac{L}{W} \right]_N
 \end{aligned}$$

## 例题：倒相器的尺寸设计

$$\alpha_N = \frac{V_{TN}}{V_{dd}} = \frac{1}{5} = 0.2,$$

$$t_f = 1.85 \tau_N = 1.85 \times 1.93 \times 10^{-8} \left[ \frac{L}{W} \right]_N = 25 \times 10^{-9},$$

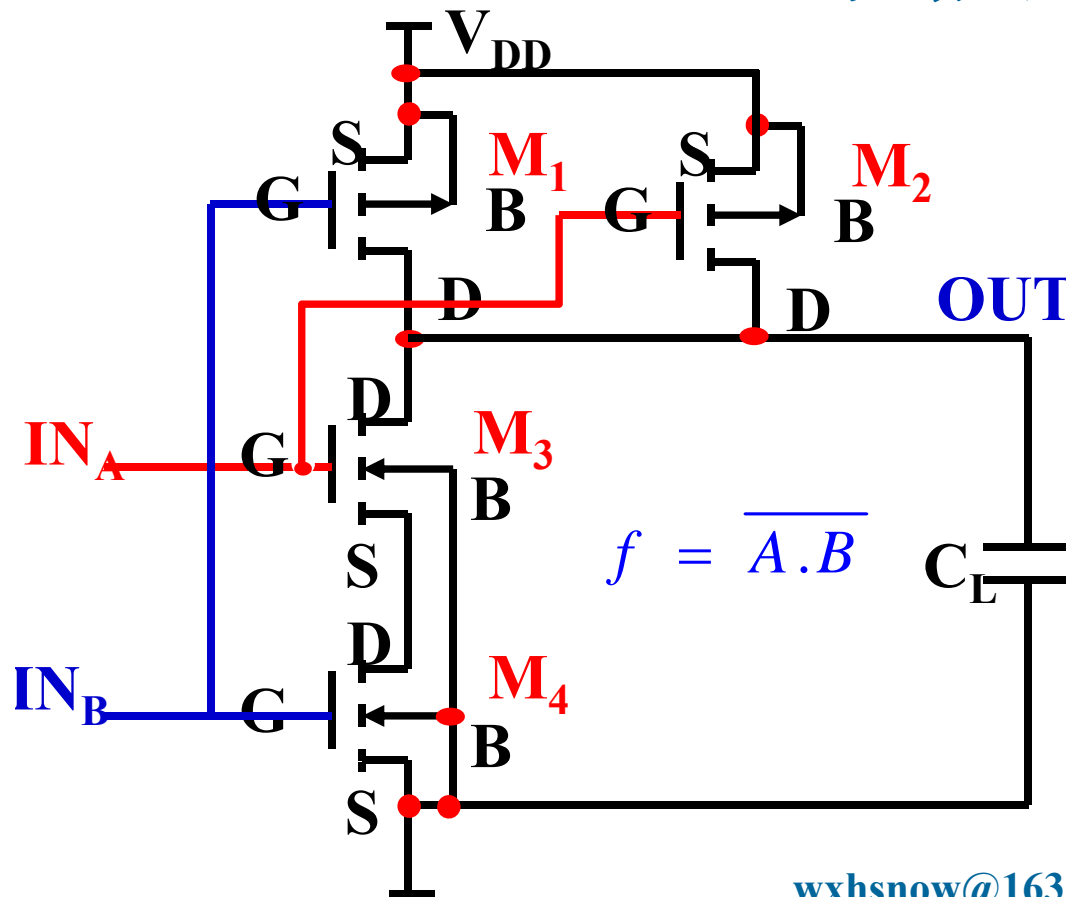
$$\therefore \left[ \frac{W}{L} \right]_N = 1.43, \text{ 取整数值 } 2$$

$$(W / L)_P \approx 2.5 (W / L)_N = 5$$



## 2.2.2 CMOS与非门的结构 与原理

第二



wxhsnow@163.com

### CMOS与非门的结构

□ PMOS并联，NMOS串联

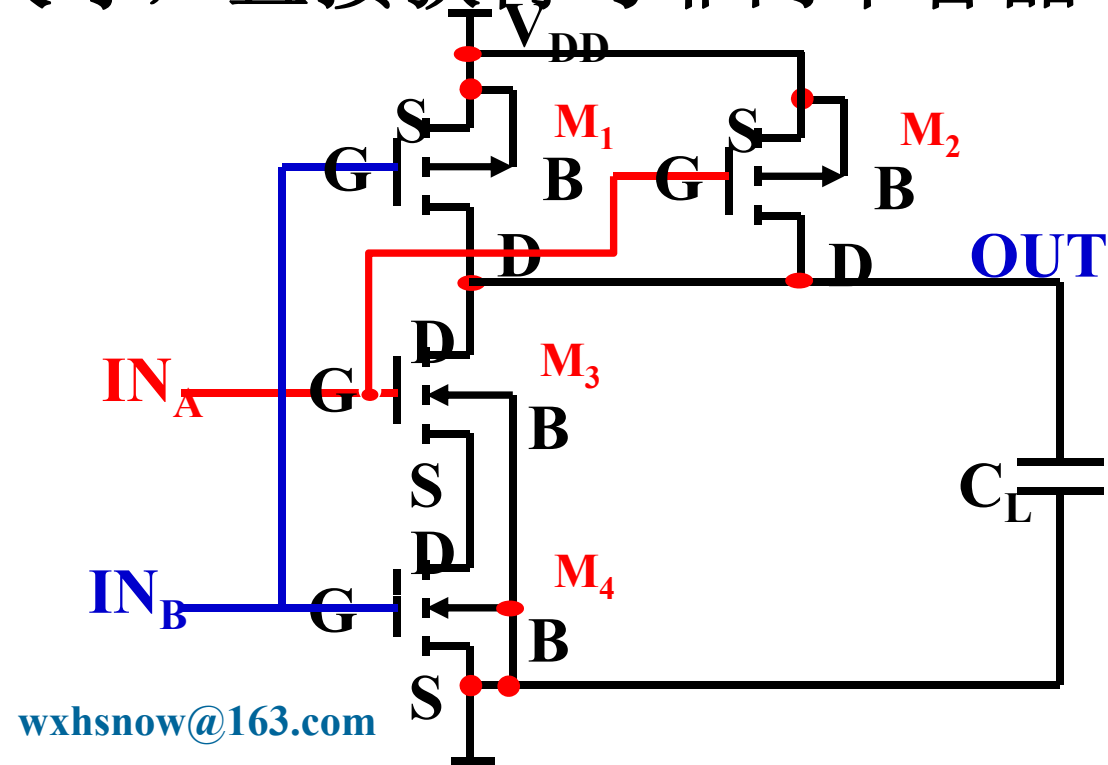
### CMOS与非门的原理

- 任意输入为低电平时  
PMOS至少有一个导通  
NMOS至少一个截止  
输出为高电平
- 两输入都为高电平时  
PMOS都截止  
NMOS都导通  
输出为低电平

## 与非门的倒相器设计

- 根据晶体管的串并联关系，再根据等效倒相器中相应晶体管的尺寸，直接获得与非门中各晶体管的尺寸

倒相器  
上升下降时间



# 与非门的倒相器设计

- 具体方法:

- 将与非门中串联的 $M_3$ 与 $M_4$ 等效为倒相器中的NMOS晶体管——与下降时间有关
- 将与非门中并联的 $M_1$ 与 $M_2$ 等效为倒相器中的PMOS晶体管——与上升时间有关
- 根据频率要求以及倒相器中器件宽长比设计与非门



# 与非门的倒相器设计

◆考虑 $M_3$ 与 $M_4$ 串联，为保持下降时间不变，二者的等效电阻必须缩小一半 下降时间公式

◆从 $t_f$ 与宽长比成反比的角度分析:宽长比 $[W/L]$

• ==》宽长比为倒相器中的NMOS晶体管的两倍

• 考虑 $M_1$ 与 $M_2$ 并联，为保持下降时间不变

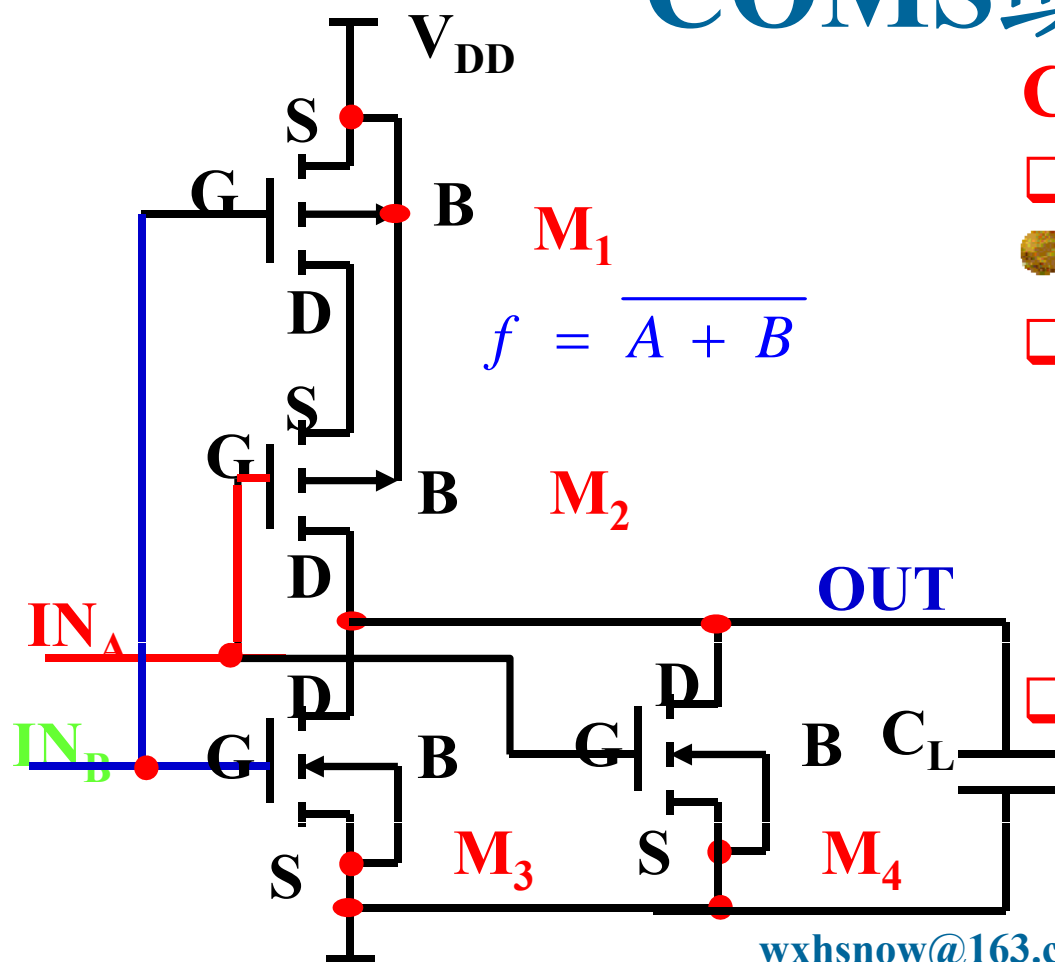
==》宽长比为倒相器中的PMOS的一半？

why?

# 多输入与非门的倒相器设计

- 将与非门中N个**串联**的NMOS管、N个**并联**的PMOS管分别等效为倒相器中的NMOS管、PMOS管；
- 根据频率要求和有关参数计算获得倒相器中的NMOS管和PMOS管的宽长比
- 考虑NMOS管的串联，为保持下降时间不变，宽长比为倒相器中的NMOS的**N倍**；
- PMOS管的宽长比与倒相器中的PMOS的**相同**

# COMS或非门



## CMOS或非门的结构

□ PMOS串联，NMOS并联

## CMOS或非门的原理

- 任意输入为高电平时  
PMOS至少有一个截止  
NMOS至少一个导通  
输出为低电平
- 两输入都为低电平时  
PMOS都导通  
NMOS都截止  
输出为高电平

## 或非门的倒相器设计

- 考虑 $M_1$ 与 $M_2$ 串联，为保持上升时间不变，二者的等效电阻必须缩小一半 (或者从 $t_r$ 与宽长比成反比的角度分析)
- $\Rightarrow$  宽长比为倒相器中的PMOS晶体管的两倍
- $M_3$ 与 $M_4$ 并联，为保持上升时间不变，宽长比与倒相器中的相同

# 多输入或非门的倒相器设计

- 将或非门中N个**串联**的PMOS管、N个**并联**的NMOS管分别等效为倒相器中的PMOS管、NMOS管；
- 根据频率要求和有关参数计算获得倒相器中的NMOS管和PMOS管的宽长比
- 考虑PMOS管的串联，为保持上升时间不变，宽长比为倒相器中的PMOS的**N倍**；
- NMOS管的宽长比与倒相器中的NMOS的**相同**

## 例题2-2：倒相器的尺寸设计

例 2-2 ： 设倒相器的宽长比  $\left[\frac{W}{L}\right]_P = 5$ ,  $\left[\frac{W}{L}\right]_N = 2$

电子、空穴的迁移率之比为 2.5 : 1

试计算两输入与非门、两输入或非门各 MOS 管的尺寸。

解：两输入与非门： $\left[\frac{W}{L}\right]_P = 5$ ,  $\left[\frac{W}{L}\right]_N = 2 \times 2 = 4$

两输入或非门： $\left[\frac{W}{L}\right]_P = 2 \times 5 = 10$ ,  $\left[\frac{W}{L}\right]_N = 2$

## 多输入的与非门、或非门

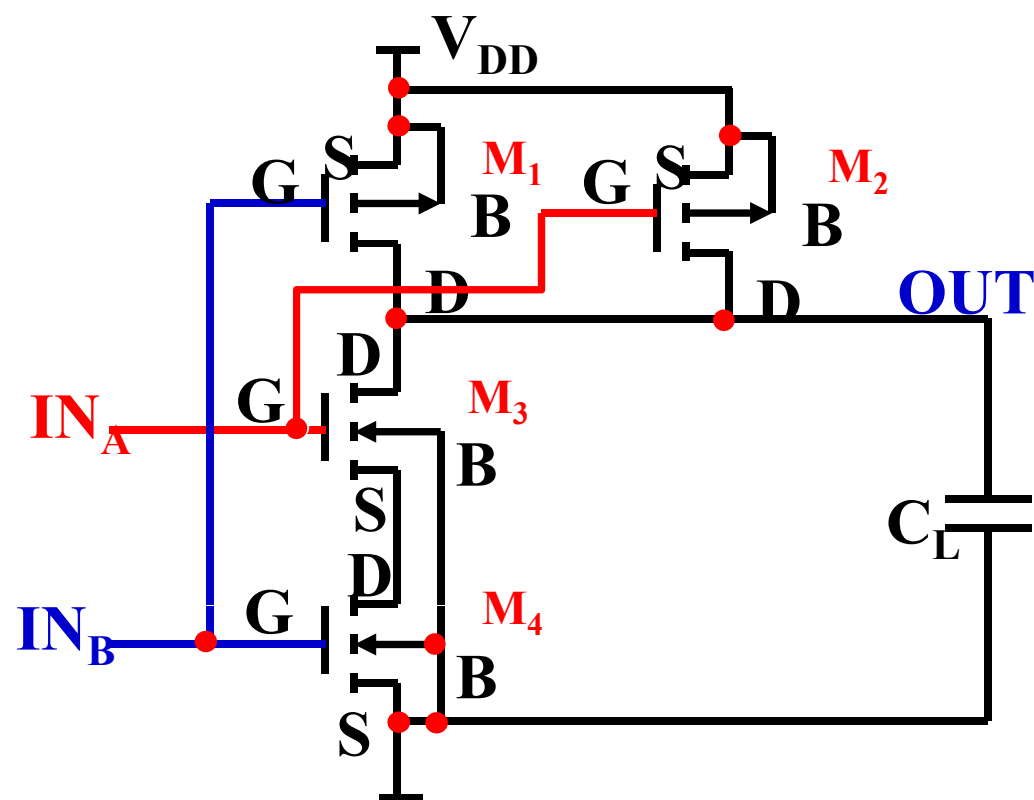
- 结构： 串联或者并联的晶体管的数量变化
- 输入数量N不可以随意增多

串联结构的器件存在衬底偏置效应

- 与非门： **NMOS**
- 或非门： **PMOS**
- 衬底偏置效应的影响：

**与非门：** 串联的上层MOS管阈值电压提高，相应导通过程变缓，对信号的响应滞后







## 2.2.3其他CMOS逻辑门

- ◆ 1、CMOS组合逻辑单元
- ◆ 2、异或门
- ◆ 3、传输门
- ◆ 4、三态门



# 1、CMOS组合逻辑单元

- 组合规则:

NMOS 串联、 PMOS并联 ==》 与

NMOS并联、 PMOS串联 ==》 或

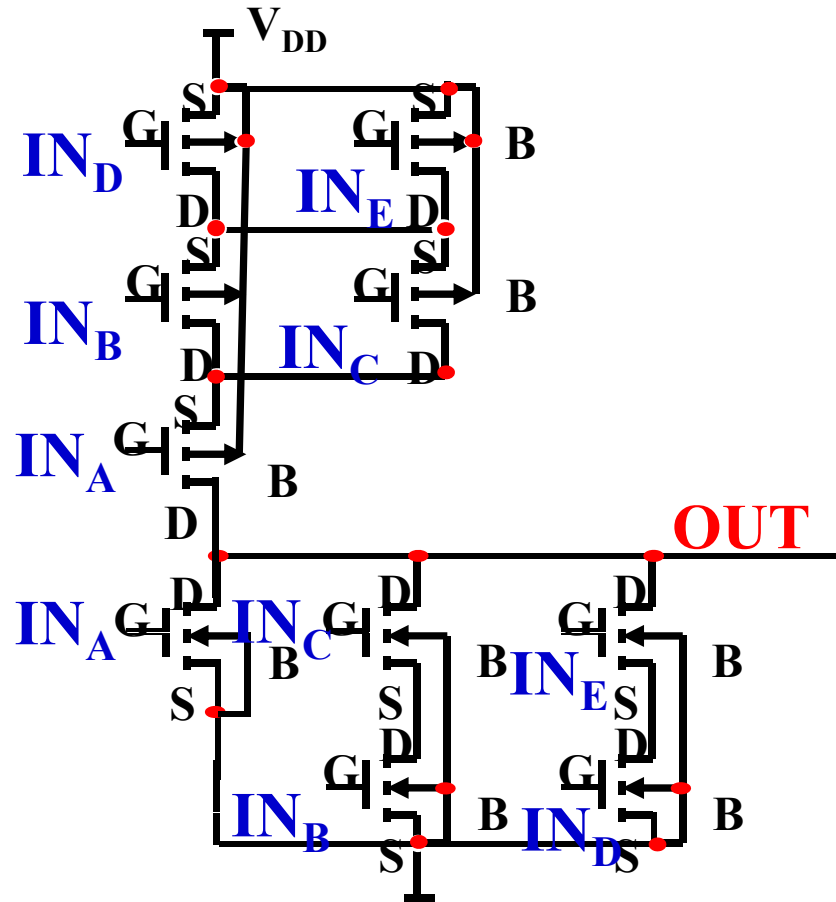
# 与或门

学生练习：

写出表达式，计算宽长比

设倒相器中比例为：

$$[W / L]_P = 5, \quad [W / L]_N = 2,$$



$$f = \overline{A + B \cdot C + D \cdot E}$$

## 例题2-3：CMOS组合逻辑单元

例 2-3 设倒相器的宽长比  $\left[\frac{W}{L}\right]_P = 5$ ,  $\left[\frac{W}{L}\right]_N = 2$

计算图中  $f = \overline{A + B \cdot C + D \cdot E}$  中各管的宽长比

解：NMOS：  

$$\left[\frac{W}{L}\right]_{NA} = \left[\frac{W}{L}\right]_N = 2,$$

$$\left[\frac{W}{L}\right]_{NB} = \left[\frac{W}{L}\right]_{NC} = \left[\frac{W}{L}\right]_{ND} = \left[\frac{W}{L}\right]_{NE}$$

$$= 2 \left[\frac{W}{L}\right]_N = 4$$

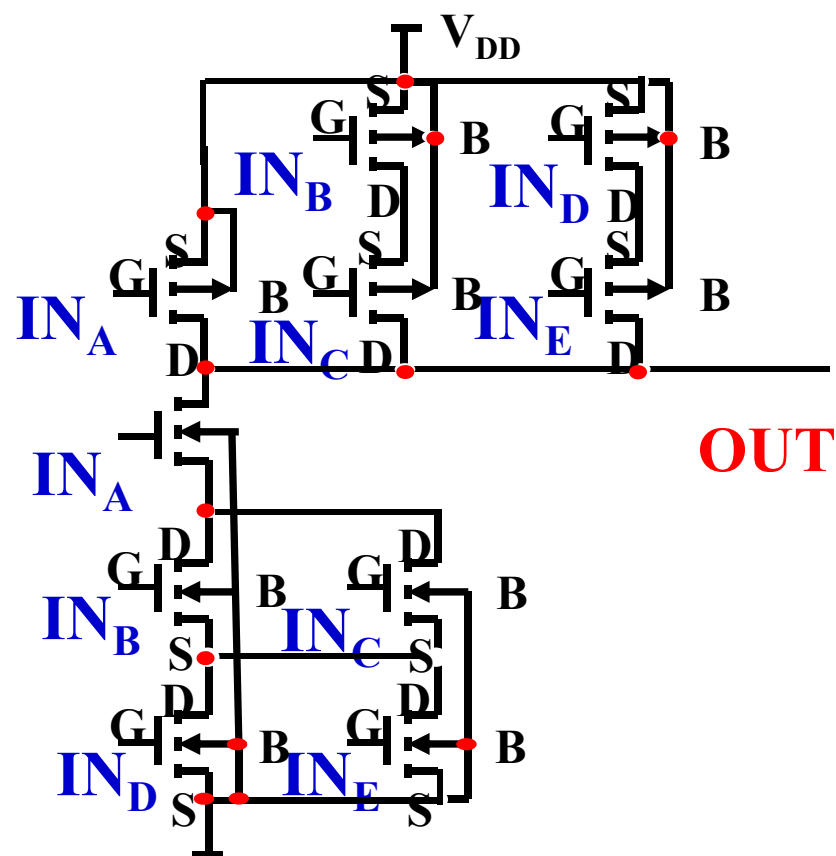
PMOS：  

$$\left[\frac{W}{L}\right]_{PA} = \left[\frac{W}{L}\right]_{PB} = \left[\frac{W}{L}\right]_{PC} = \left[\frac{W}{L}\right]_{PD} = \left[\frac{W}{L}\right]_{PE}$$

$$= 3 \left[\frac{W}{L}\right]_P = 15$$

[wxhsnow@163.com](mailto:wxhsnow@163.com)

# 或与门



学生练习：

写出表达式，计算宽长比

设倒相器中：

$$[W / L]_P = 5, \quad [W / L]_N = 2,$$

$$f = \overline{A \cdot (B + C) \cdot (D + E)}$$

# 练习：CMOS组合逻辑单元

设倒相器的宽长比  $\left[\frac{W}{L}\right]_P = 5$ ,  $\left[\frac{W}{L}\right]_N = 2$

计算  $f = \overline{A \cdot (B + C) \cdot (D + E)}$  中各管的宽长比

解：NMOS：

$$\begin{aligned} [W/L]_{NA} &= [W/L]_{NB} = [W/L]_{NC} \\ &= [W/L]_{ND} = [W/L]_{NE} \\ &= 3 [W/L]_N = 6 \end{aligned}$$

PMOS：

$$\begin{aligned} [W/L]_{PA} &= [W/L]_P = 5 \\ [W/L]_{PB} &= [W/L]_{PC} = [W/L]_{PD} \\ &= [W/L]_{PE} = [W/L]_P = 10 \end{aligned}$$



## 2、异或门

$$Z(A, B) = \overline{A} \cdot B + A \cdot \overline{B}$$

◆ A、B均为0，Z=0；A、B均为1，Z=0；

当A、B不同时，Z=1；

二进制加法的本位和规律

==》异或门作为加法器的基本组成单元

◆ 输出信号控制：

A=1，B经过异或门倒相输出

A=0，B经过异或门同相输出



### 3、传输门

◆根据MOS晶体管的基本工作原理，

◆将MOS器件作为开关，进行信号传输

◆ ==》 传输门

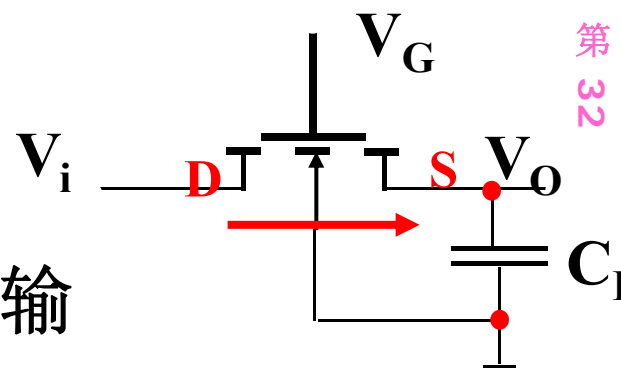
◆与普通MOS晶体管不同之处：

器件的源端和漏端位置随传输的是高电平或低电平而发生变化

◆判断源极和漏极位置的基本原则： 电流方向

对NMOS管：电流从漏极流向源极

对PMOS管：电流从源极流向漏极



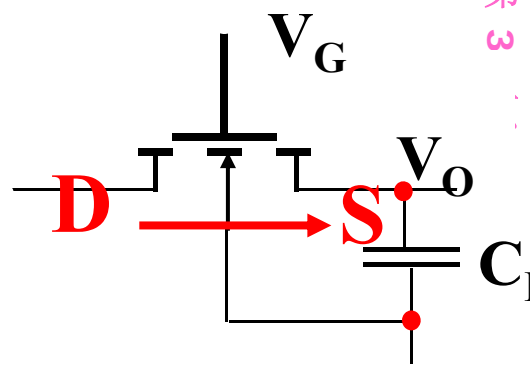


# NMOS传输门

第 3

- 传输高电平时:

- 设 $V_O$ 的初始值为0,  $V_G = V_{DD}$ ,  $V_i = V_{DD}$
- 目的: 给电容 $C_L$ 充电
- 电流方向: 左→右, 故左: 漏极, 右: 源极
- 开始 $V_S = V_O = 0$ ,  $V_{GS} = V_{DS} = V_{DD}$ , 故饱和
- 电容 $C_L$ 充电, S电位升高,  $V_{GS}$ 减小, 电流减小
- 当 $V_{GS} = V_{TN}$ 时,  $V_O = V_{DD} - V_{TN}$ , 达到临界导通  
电容上的电压不能继续增大, 有一个阈值电压损耗
- $|V_{BS}|$ 不断增大, 加速沟道导电水平的下降, 更早截止



# NMOS传输门

## • 传输低电平时:

□ 设 $V_O$ 的初始值为 $V_{DD}$ ,  $V_G = V_{DD}$ ,  $V_i = 0$

□ 目的: 给电容 $C_L$ 放电

□ 电流方向: 右 $\rightarrow$ 左, 故左: 源极, 右: 漏极

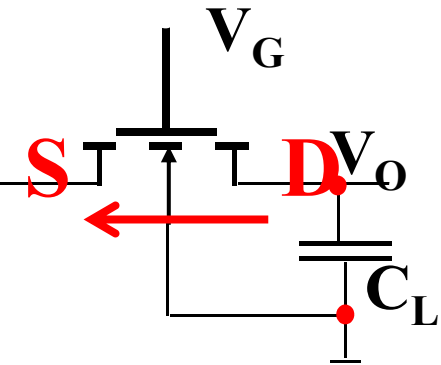
□ 开始 $V_{GS}$  保持不变,

$V_O = V_{DD} \rightarrow V_{DD} - V_{TN}$ , 饱和, 电流近似恒定

$V_O < V_{DD} - V_{TN}$  之后, 非饱和区,  $V_{DS}$ 减小, 放电电流减小

$V_O = 0$ , 放电结束, 低电平传输结束

□ NMOS传输门可以完全传输低电平



# PMOS传输门

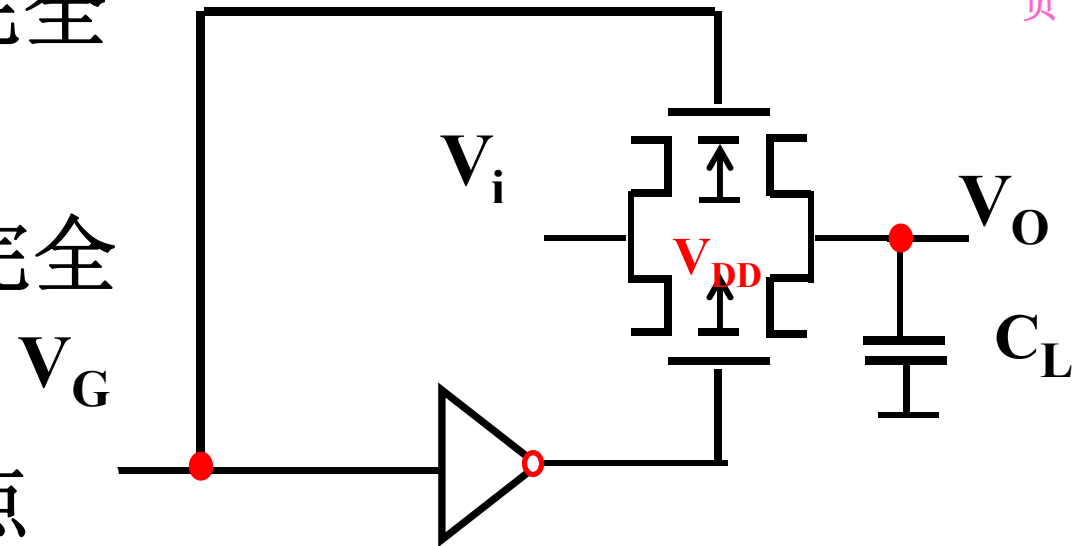
- 传输低电平时:
- 对电容放电,  $|V_{GS}| = |V_{TP}|$  时, 放电结束有阈值电压损耗
- 传输高电平时
- 对电容充电,  $V_O = V_i$ , 传输高电平结束

□ PMOS传输门可以完全传输高电平

wxhsnow@163.com

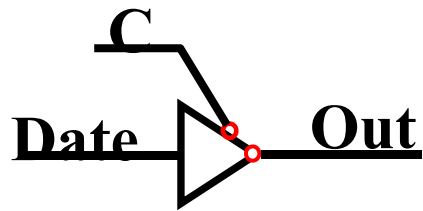
# CMOS传输门

- PMOS传输门可以完全传输高电平
- NMOS传输门可以完全传输低电平
- CMOS综合二者优点
  - 高电平: NMOS截止后PMOS继续工作
  - 低电平: PMOS截止后NMOS继续工作



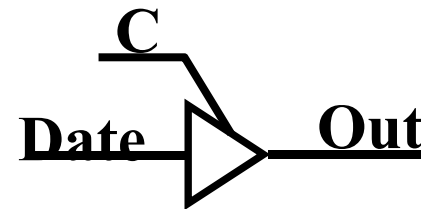
## 4、三态门

- 三态门广泛用于总线结构的电路系统
- 三态：0、1、高阻
- 三态倒相器、三态同相器



三态倒相器

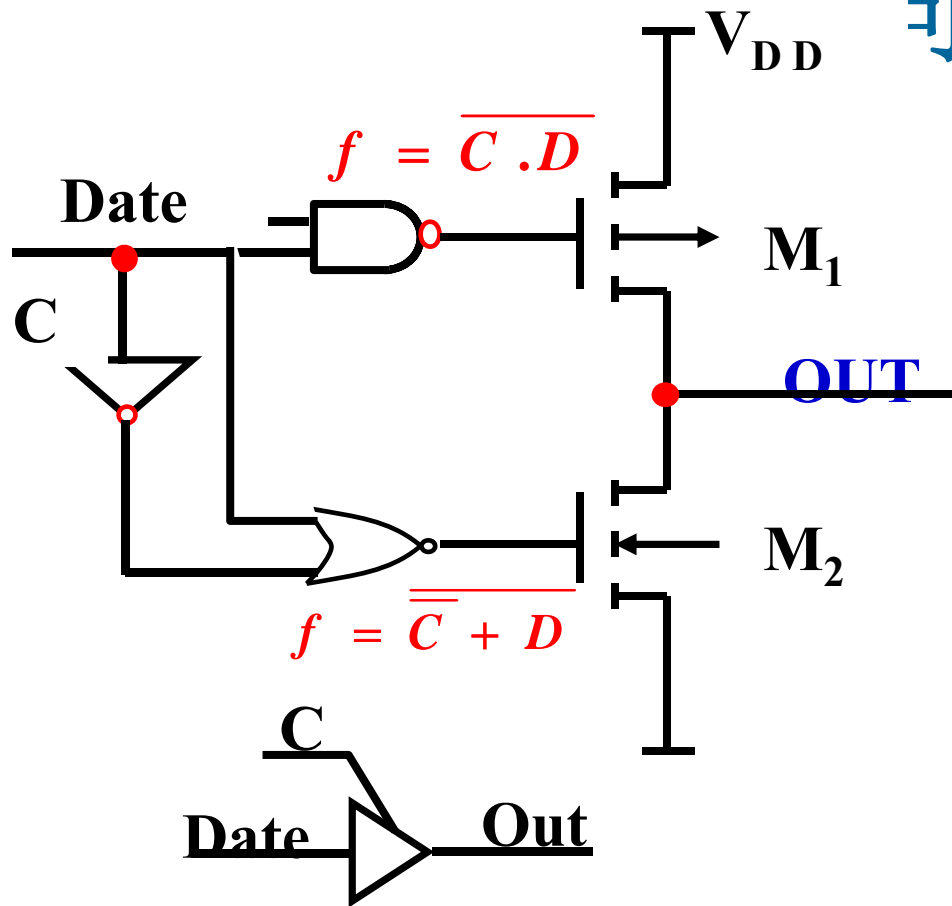
(**c=1**时高阻  
**c=0**时为倒相器)



同相输出三态门

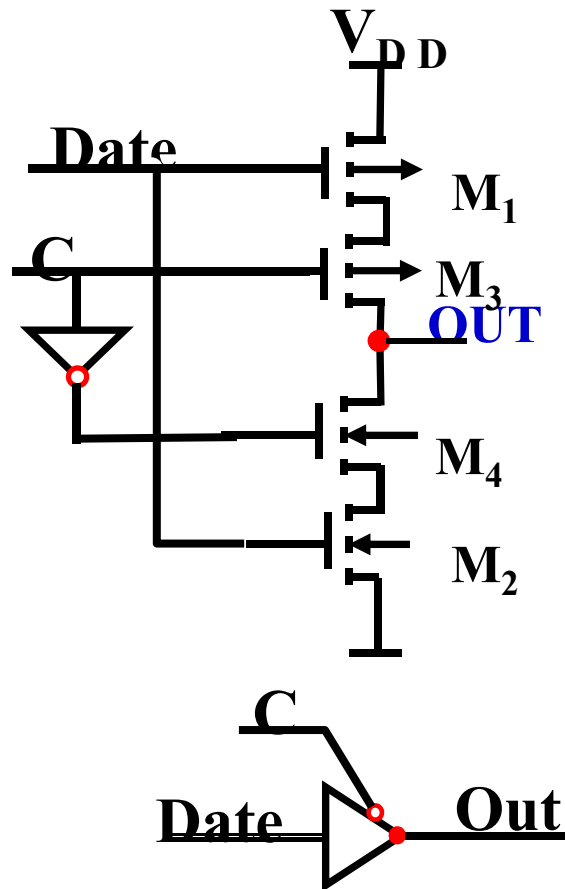
(**c=1**时为同相器  
**c=0**时高阻)

# 同相三态门



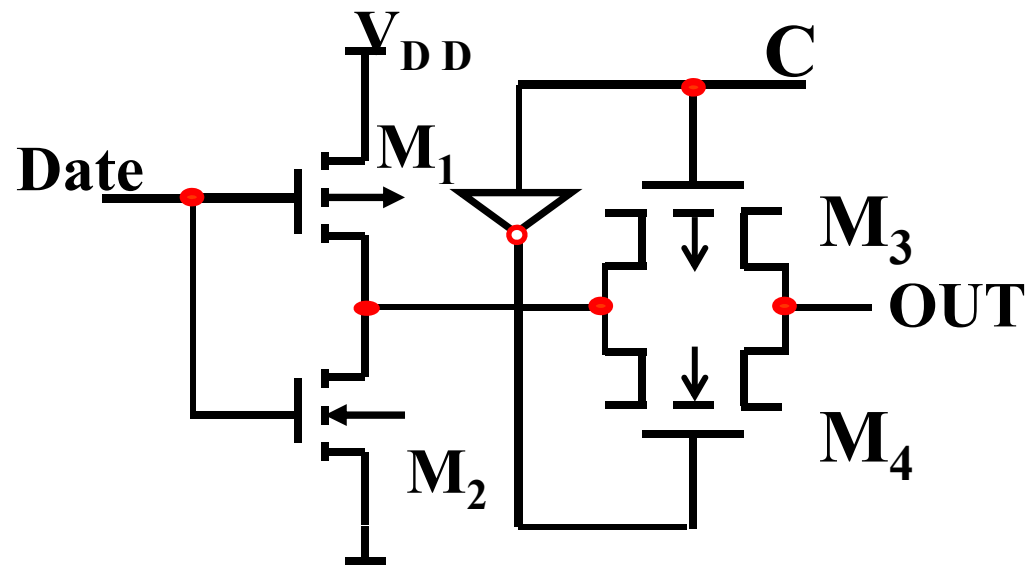
- 控制端  $C=1$  时：  
不控制与非门、或非门  
“倒相 + 倒相” —> 同相
- 控制端  $C=0$  时：  
 $M_1$ 、 $M_2$  都截止  
高阻状态

# 三态倒相器1



- 控制端  $C=1$  时：  
 $M_3$ 、 $M_4$  都截止, 高阻状态
- 控制端  $C=0$  时：  
正常倒相状态

## 三态倒相器2



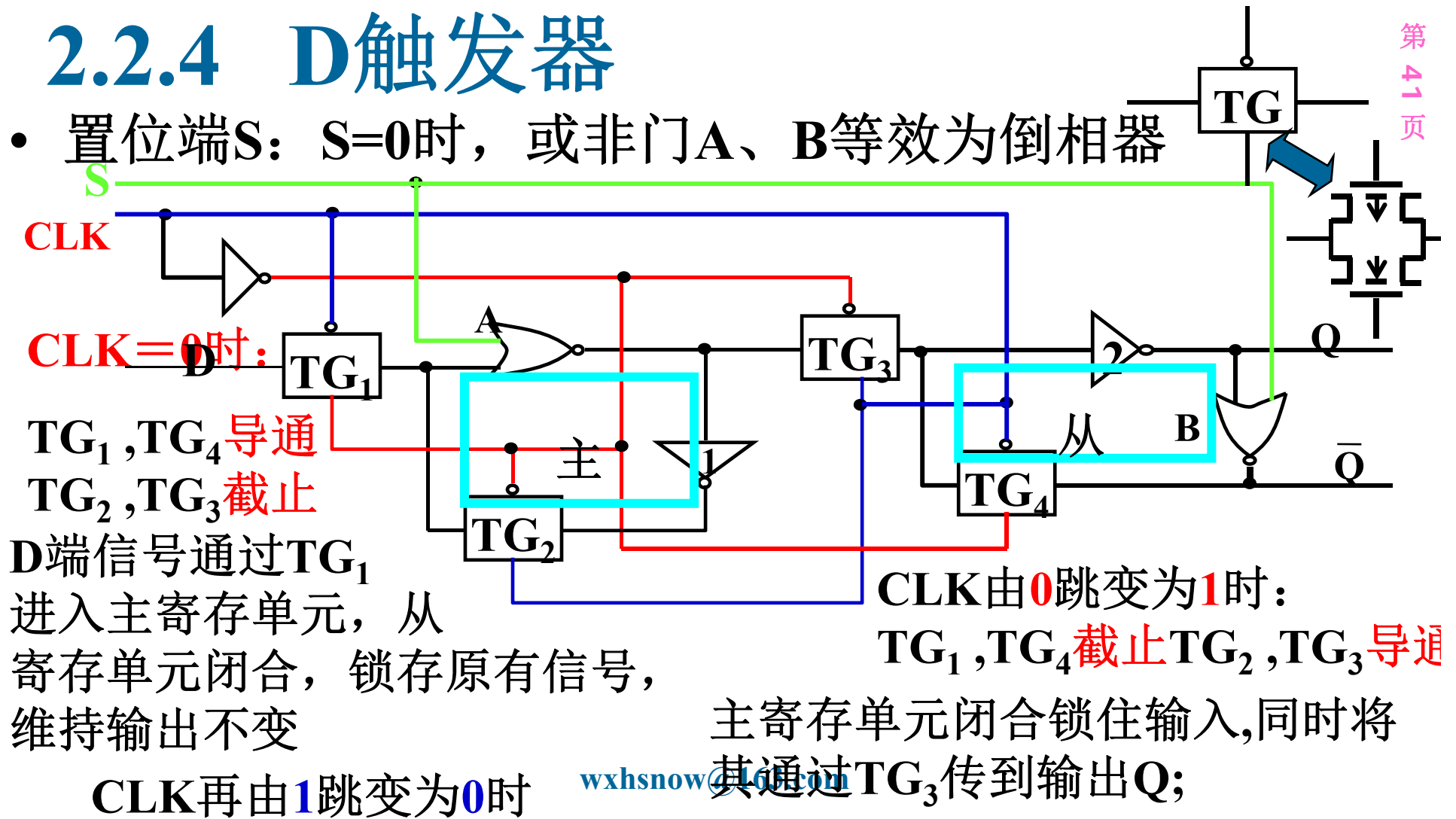
- 控制端  $C=1$  时:  $M_3$ 、 $M_4$  都截止, 高阻状态
- 控制端  $C=0$  时: 正常倒相状态





## 2.2.4 D触发器

- 置位端S:  $S=0$ 时, 或非门A、B等效为倒相器



# D触发器

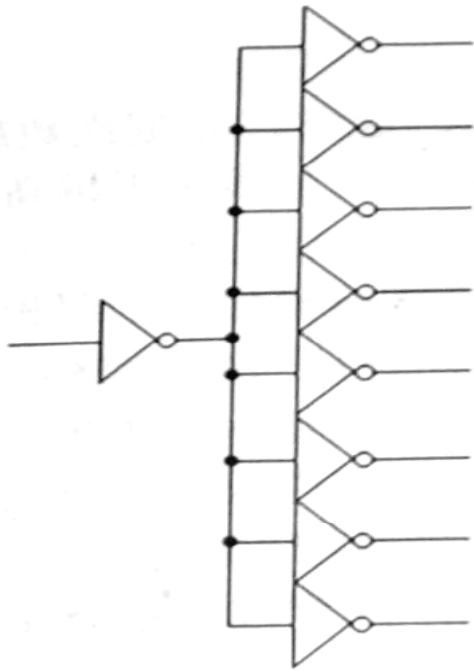
第

- $S=0$ 时，或非门A、B等效为倒相器
  - $CLK=0$ 时： $TG_1, TG_4$ 导通 $TG_2, TG_3$ 截止
  - ❖ D端输入信号通过 $TG_1$ ，进入主寄存单元，从寄存单元闭合，锁存原有信号，维持输出不变
  - $CLK$ 由0跳变为1时： $TG_1, TG_4$ 截止 $TG_2, TG_3$ 导通
  - ❖ 主寄存单元闭合锁住输入，同时将其通过 $TG_3$ 传到输出Q;
  - $CLK$ 再由1跳变为0时，D触发器又进入输入信号并锁存原有信号的状态
- 前沿触D发器：输出的变化发生在0→1的跳变时刻
- 后沿触D发器：输出的变化发生在1→0的跳变时刻

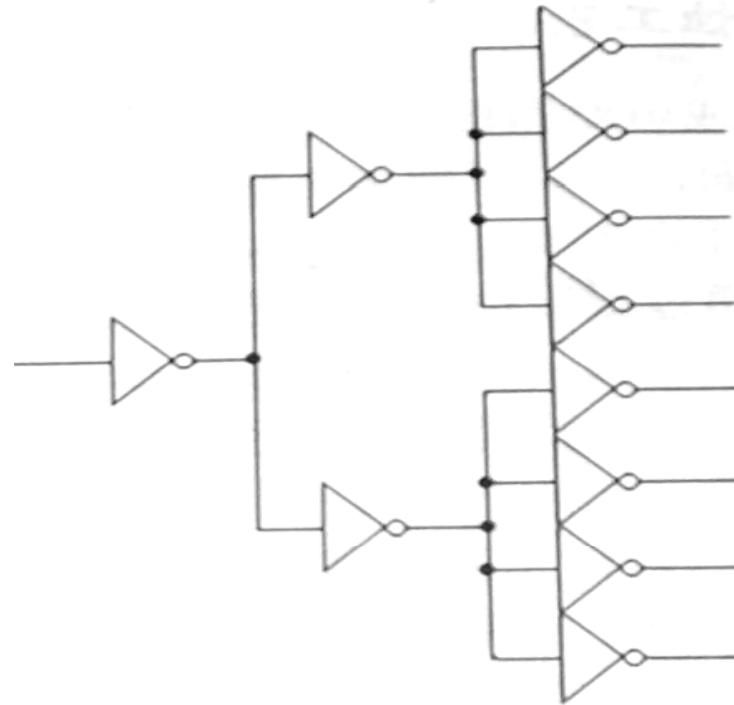
## 2.2.5 内部信号的分布式驱动结构

- 任何一个逻辑门都有一定的驱动能力，当它所要驱动的负载超过了它的能力，将使速度性能受到严重影响。
- VLSI系统中通常采用分布式驱动结构解决信号的传输驱动。

## 2.2.5 内部信号的分布式驱动结构



一级驱动



二级驱动

# Thanks

[wxhsnow@163.com](mailto:wxhsnow@163.com)