

## 2.3 MOS集成电路工艺基础

- ◆ 2.3.0 工作环境
- ◆ 2.3.1 基本的集成电路加工工艺
- ◆ 2.3.2 CMOS工艺的主要流程
- ◆ 2.3.3 Bi-CMOS工艺技术

# 超净间 cleanroom



- 净化系统（灰尘颗粒）
- 高精度恒温恒湿空调工程
- 各种智能控制系统

[wxhsnow@163.com](mailto:wxhsnow@163.com)

# Classification of cleanroom

## 超净间的级别

Class	0.1	0.2	0.3	0.5 $\mu\text{m}$ (particle size)
1	35	7.5	3	1 no. (particles/foot <sup>3</sup> )
10	350	75	30	10
100		750	300	100
1000				1000
10000				10000

# 去离子水

## De-ionized (DI) water

- 无离子
- 电阻率：25 °C时，一般大于18MΩ.cm
- 无细菌、无大颗粒
- 酸碱度中性

## 2.3.1 基本的集成电路加工工艺

- 1、器件制造基本问题
- 2、制版
- 3、光刻与刻蚀
- 4、掺杂工艺
- 5、氧化及热处理
- 6、气相沉积工艺

[wxhsnow@163.com](mailto:wxhsnow@163.com)

看演示  
FLASH

# 1、器件制造基本问题

## ◆掺杂浓度和类型：

$p^+$ ,  $n^+$ ,  $p$ ,  $n$ ,  $p^-$ ,  $n^-$

## ◆掺杂区域-->硅片上图形的定义

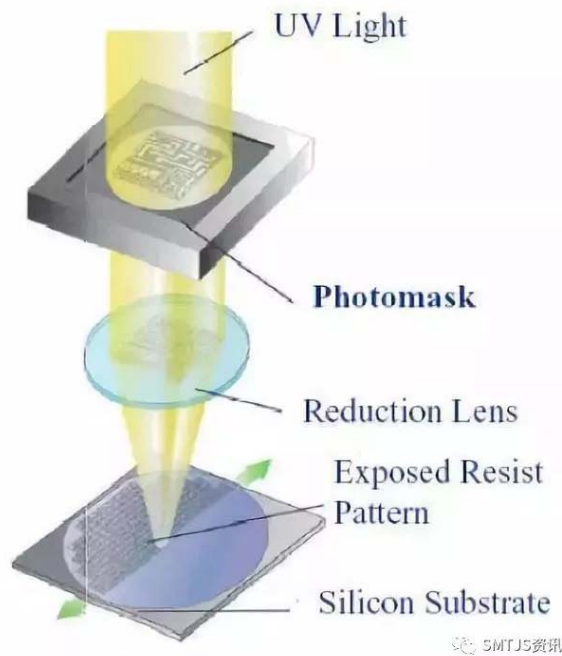
二氧化硅，氮化硅，光刻胶等做屏蔽层

## ◆多晶硅、金属、二氧化硅

## 2、制版

- ◆ 目的：将设计图形转移到硅片上  
此过程类似印刷技术中的套印技术
- ◆ 掩模板**masks**：涂有感光材料的高级玻璃板  
图形的缩小与重复
- ◆ 集成电路的加工过程的复杂程度和制作周期在很大程度上与**掩模板的多少**有关

### 3、光刻机 Lithography Li`thography



[wxhsnow@163.com](mailto:wxhsnow@163.com)



# EUV 光刻机

- Extreme Ultraviolet 极端远紫外光源
- 使用通称极端远紫外光源的极短波（13.5 nm）光线的光刻技术，能够加工至既有 ArF 准分子激光光刻技术不易达到的 20 nm 以下精密尺寸。
- **EUV光刻机10亿一台供不应求**
- **(关键是买不到)**

# DUV光刻机 Deep Ultra Violet 深紫外线

- DUV已经能满足绝大多数需求：覆盖7nm及以上制程需求。
- **DUV和EUV最大的区别在光源方案**。EUV的光源波长为**13.5nm**，但最先进DUV的光源波只有**193nm**，较长的波长使DUV无法实现**更高的分辨率**，因此DUV只能用于制造7nm及以上制程的芯片。
- 鉴于DUV涵盖了大部分数字芯片和几乎所有的模拟芯片。所以，完全掌握DUV技术就能在各类芯片领域有所建树。然而，随着先进制程向5nm及以下先进制程进化，EUV成为了刚需。

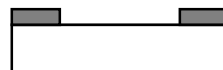
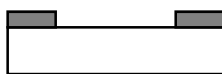
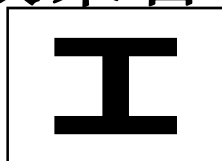
# 光刻与刻蚀

◆ 光刻胶：感光材料 旋转涂在硅片上

➤ 正胶：光致分解 分辨率高

➤ 负胶：光致聚合 分辨率差

Light  
Field



Dark  
Field

反胶

正胶

# 光刻

◆ 光刻：类似用相纸的照相

◆ 步骤：

➤ 涂胶

➤ 前烘

➤ 曝光

➤ 显影

➤ 坚膜

➤ 刻蚀

➤ 去胶 [hsnow@163.com](mailto:hsnow@163.com)

# 刻蚀

◆ 刻蚀：将没有光刻胶保护的硅片的上层材料腐蚀掉  
二氧化硅、氮化硅、多晶硅、金属层等

➤ 湿法刻蚀：浸泡在腐蚀液内进行腐蚀

各向同性 （图形侧壁为梯形，精度低）

（二氧化硅，有时金属铝）

➤ 干法刻蚀：以等离子体产生的粒子轰击

各向异性（垂直刻蚀，精度高 小于  $3\mu\text{m}$  ）

（氮化硅、多晶硅、金属层）

设备昂贵

[wxhsnow@163.com](mailto:wxhsnow@163.com)

## 4、掺杂工艺

◆ 掺杂的基本思想：硼、磷等

◆ 分类：热扩散法、离子注入法

➤ 热扩散法：利用原子在高温下的运动

预淀积、再分布

➤ 离子注入法：高能离子束轰击硅片表面

离子注入、退火再分布

精度高

## 5、氧化及热处理

- ◆ **氧化工艺**：硅片在高温环境中通氧气  
 $1\mu\text{m}$ 二氧化硅需消耗 $0.44\mu\text{m}$ 硅
- ◆ **氧化的厚度**：厚度不同颜色不同
- ◆ **工艺过程**：稳定的高温环境下， 通干氧  
排气、放硅片、通干氧、通湿氧、通干氧

# 氧化及热处理

## ◆ 二氧化硅的作用：

### ➤ 杂质的掩蔽作用

**B、P、As**等杂质在二氧化硅中的扩散速度慢于在硅中的扩散速度。

### ➤ 器件表面的保护和钝化作用

将器件表面与外部大气环境隔离

### ➤ 用于器件的电绝缘层与隔离层

### ➤ 用作电容器的介质层

**MOS**管栅极下方二氧化硅层



## 6、气相沉淀工艺

◆ **定义**：某些气体分子在反应室发生化学变化产生固体粒子并沉积在硅片表面生成**薄膜**

◆ **分类**：物理气相沉积 **PVD**                  **deposition**  
                    化学气相沉积    **CVD**

◆ **PVD**：两种基本工艺 —— 蒸镀法和溅镀法

◆ **CVD**：化学反应

**外延**：沉积硅单晶的**CVD**技术

◆ **有源区**：将来要制作晶体管、掺杂条、接触电极的区域

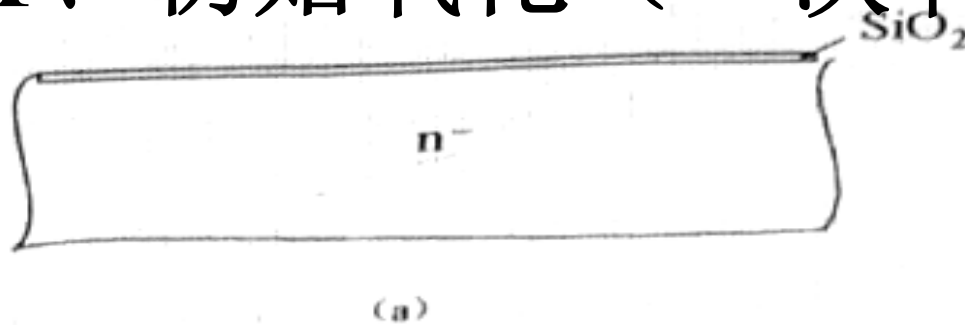
▲ 反应    片上加工    不反应    由接触电极区域

# 二极管工艺演示

[wxhsnow@163.com](mailto:wxhsnow@163.com)

## 2.3.2 CMOS工艺的主要流程

### 1、初始氧化（一次氧化）



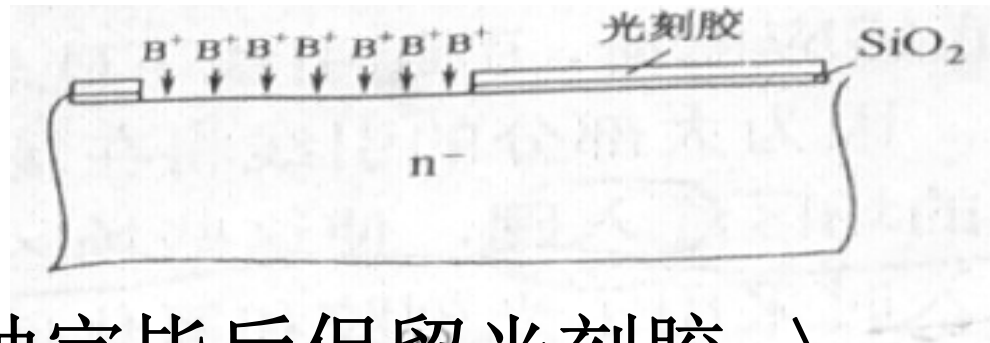
**N型硅圆片** 课本**P型**

- 1) 硅圆片清洗洁净
- 2) 热生长氧化硅--> 掺杂的遮蔽层
- 3) p阱CMOS  
n阱CMOS

[wxhsnow@163.com](mailto:wxhsnow@163.com)

# CMOS工艺的主要流程

## • 2、一次光刻和离子注入硼 $B^+$



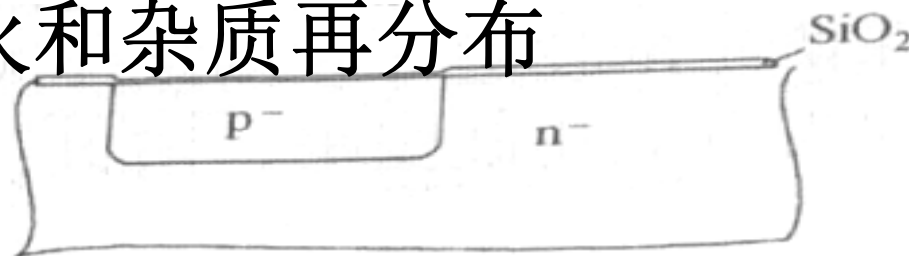
1) 刻蚀完毕后保留光刻胶-->

与二氧化硅共同作为离子注入的屏蔽层

2) 离子注入后清除光刻胶，在氮气环境下退火。

# CMOS工艺的主要流程

- 2.2、退火和杂质再分布



(c)

1) 退火：清除光刻胶，**氮气**环境

2) 杂质再分布：退火后高温

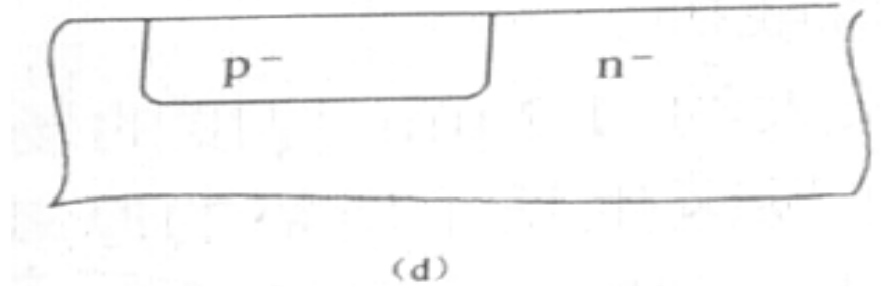
开始：**氮气**

结束：**氧气**--> 氧化层

[wxhsnow@163.com](mailto:wxhsnow@163.com)

# CMOS工艺的主要流程

- 3、去除表面氧化层

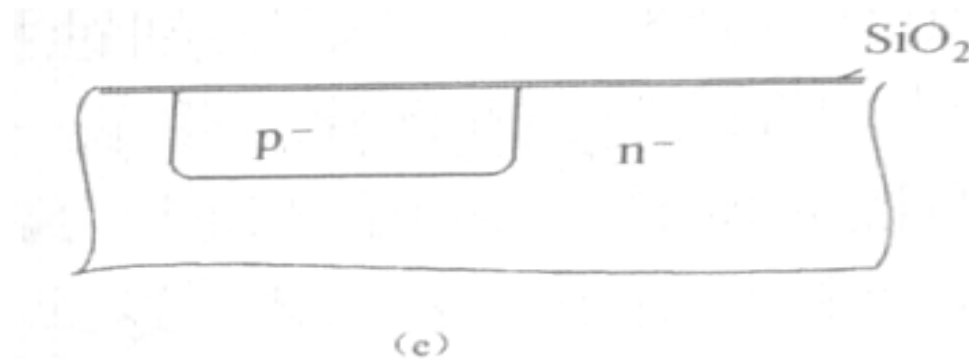


1) 氢氟酸腐蚀液

--> 平整的硅表面

# CMOS工艺的主要流程

- 4、底氧生长： 热氧化生成一层均匀的氧化层



- > 硅与氮化硅的缓冲层（晶格不匹配）  
底氧去除后硅表面保持较好的界面状态

# CMOS工艺的主要流程

## • 5、沉积氮化硅并刻蚀场区：

沉积氮化硅，光刻，刻蚀氮化硅

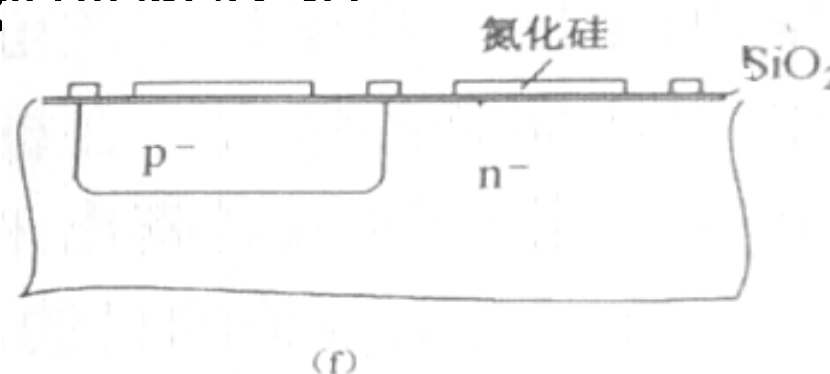
1) 沉积氮化硅：CVD

2) 刻蚀：干法刻蚀

3) 有源区：

场区：

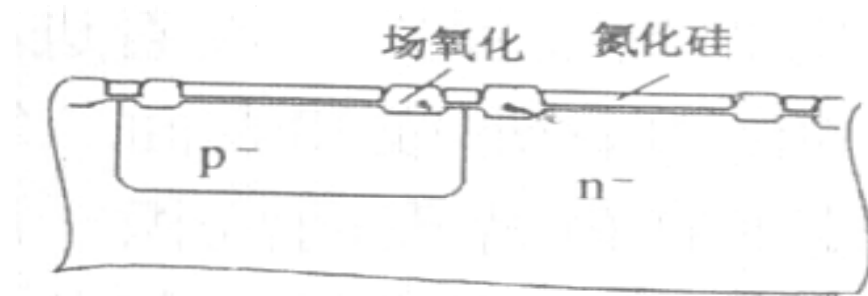
场区氧化层厚-->其上布线产生的寄生电容小





# CMOS工艺的主要流程

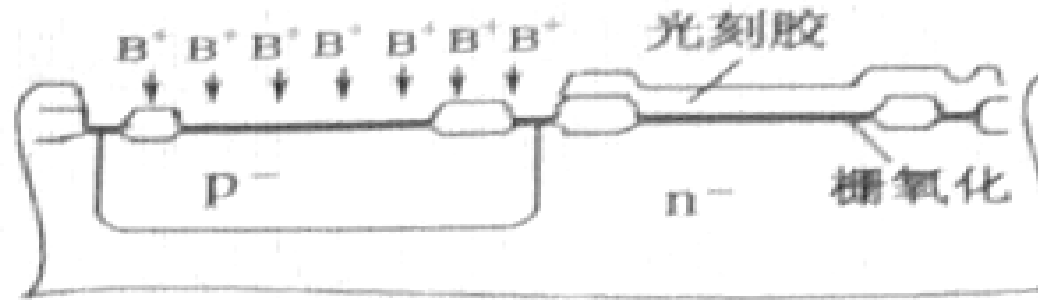
## • 6、场氧化：高温热氧化



- 1) 场区：生成约1 $\mu\text{m}$ 厚的氧化层
- 2) 有源区：由于氮化硅的保护不能被氧化  
高温-〉杂质深入：结深增大

# CMOS工艺的主要流程

- 7、去除氮化硅和底氧层、进行栅氧化

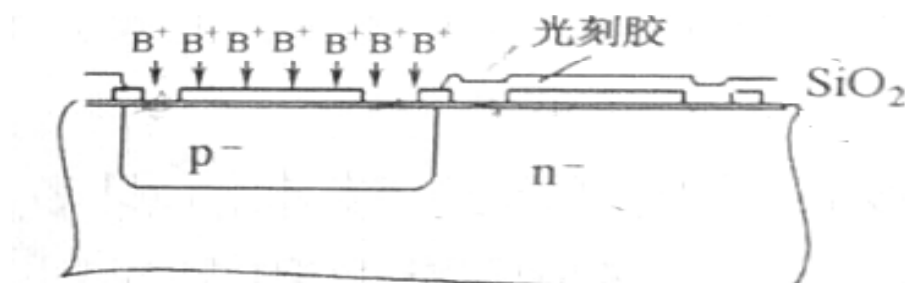


(j)

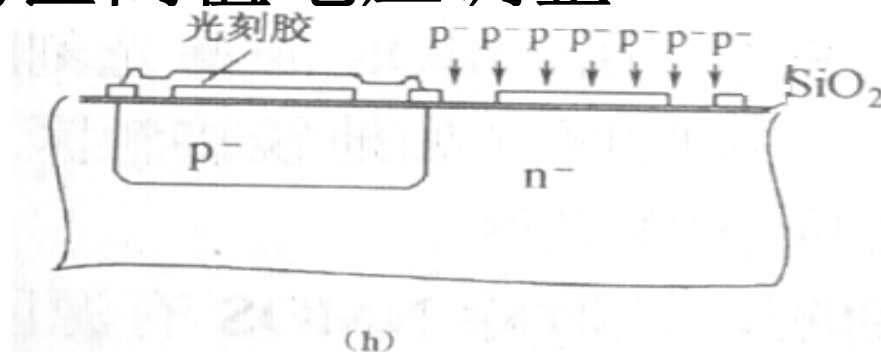
栅氧化--> 高质量的氧化层

# CMOS工艺的主要流程

- 7.2 P型场区阈值电压调整

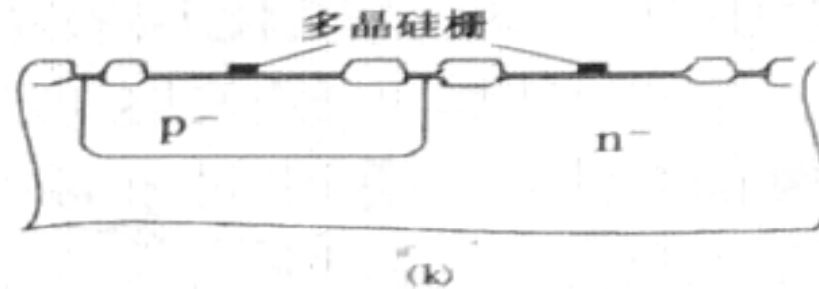


- 7.3 N型场区阈值电压调整



# CMOS工艺的主要流程

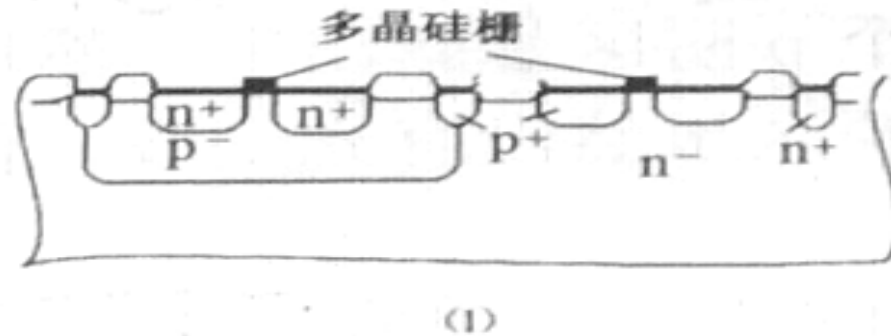
- 8、沉积多晶硅并光刻、刻蚀多晶硅图形



- 多晶硅薄膜：CVD技术
- 多晶硅掺磷：调整电阻率
- 干法刻蚀多晶硅

# CMOS工艺的主要流程

## • 9、离子注入形成PMOS和NMOS的源漏区

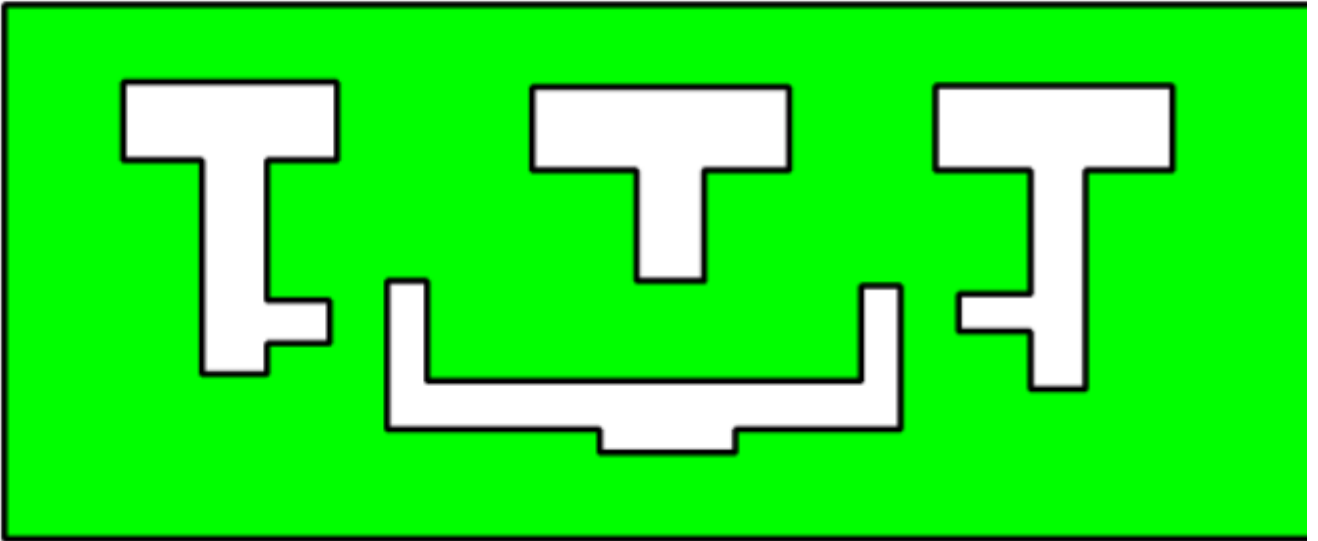


漏源掺杂：矩形区域

多晶硅栅屏蔽-〉漏、源区域分离

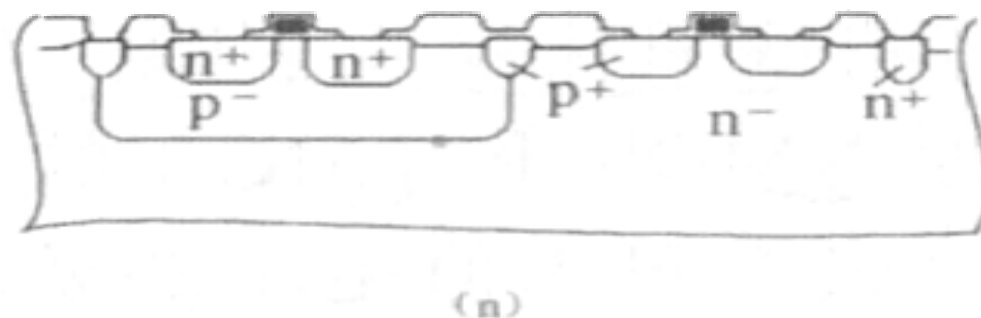
**硅栅自对准：**

由于多晶硅的分割使得源漏区的内边界自然地与多晶硅边界相切



# CMOS工艺的主要流程

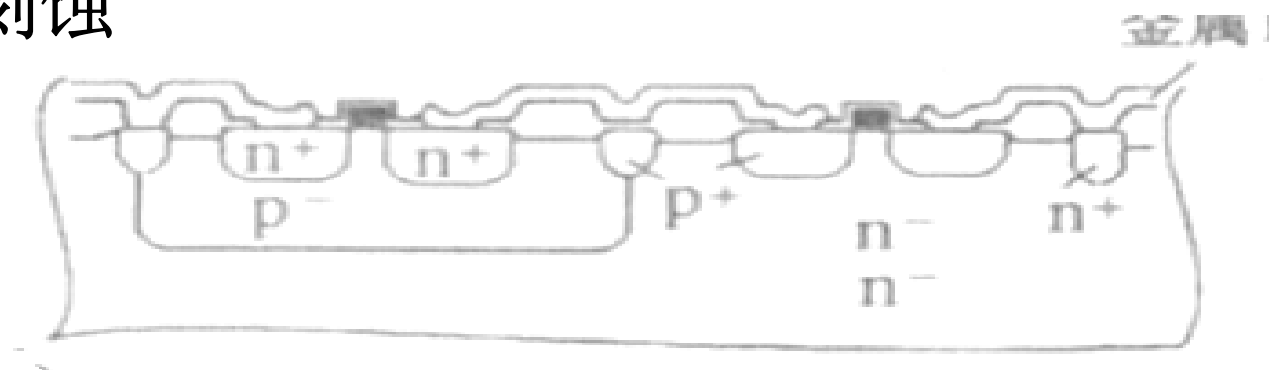
- 11、光刻引线孔并回流



引线孔边界陡直--> 金属引线容易断裂  
低温回流技术使陡度降低

# CMOS工艺的主要流程

- 12、沉积第一层金属层并完成第一次金属引线的光刻与刻蚀



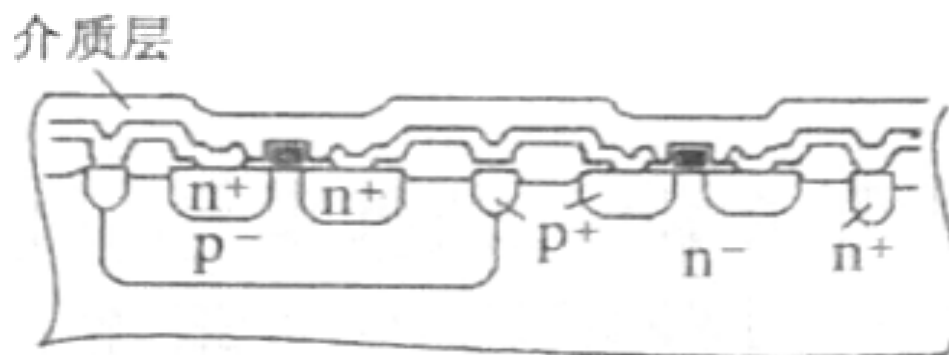
- 沉积金属：溅射
- 刻蚀：干法刻蚀技术

[wxhsnow@163.com](mailto:wxhsnow@163.com)



# 复杂CMOS工艺

- 13、制作双层引线间的介电材料

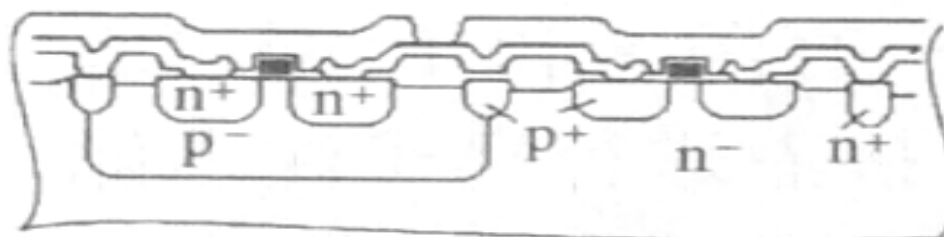


(p)

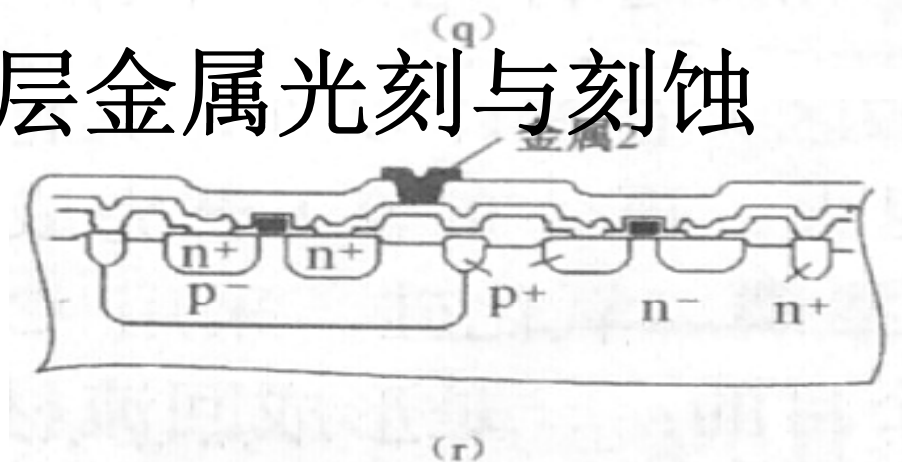
[wxhsnow@163.com](mailto:wxhsnow@163.com)

## 复杂CMOS工艺

- 14、光刻和刻蚀双层金属间的连接通孔



- 15、第二层金属光刻与刻蚀



## 2.3.3 Bi-CMOS工艺技术

- 双极器件:

优点: 速度高、驱动能力强、高频低噪声、高跨导

缺点: 功耗大, 集成度低

- CMOS器件:

优点: 低功耗、集成度高、抗干扰能力强

缺点: 速度低, 驱动能力差

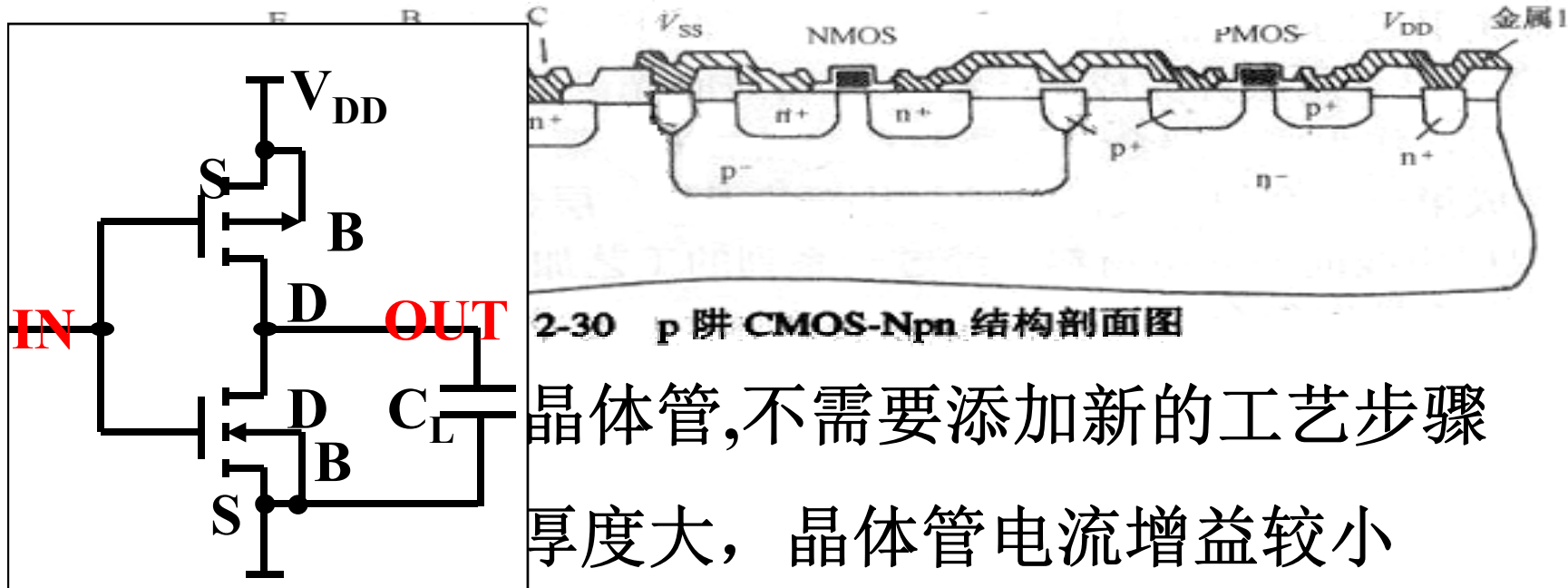
综合利用二者优点制造高速、高性能、高集成度的VLSI

### ==> Bi-CMOS工艺技术

以CMOS工艺为基础的Bi-CMOS工艺

以双极工艺为基础的Bi-CMOS工艺

## 2.3.3 以CMOS为基础的Bi-CMOS工艺技术



晶体管,不需要添加新的工艺步骤  
厚度大,晶体管电流增益较小

- 3) 集电极串联电阻大 ==> 晶体管总体性能较差
- 4) 集电区是n型衬底, 接最高电位, 限制NPN的应用范围

## 2.3.3 以CMOS为基础的Bi-CMOS工艺技术

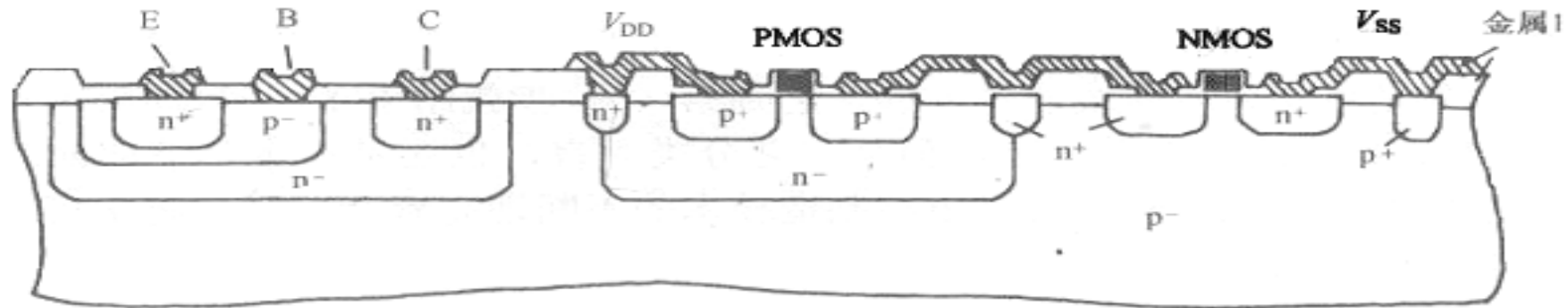


图 2.31 n阱 CMOS-Npn 结构剖面图

- 1) 在n阱中制作npn晶体管
- 2) 基区 厚度大可控制
- 3) n阱相当于隔离岛，晶体管的集电极、基极、发射极可根据需要进行连接，增加灵活性
- 4) 集电极串联电阻还是比较大 ==> 采用外延技术和n+埋层技术

## 2.3.3 外延衬底

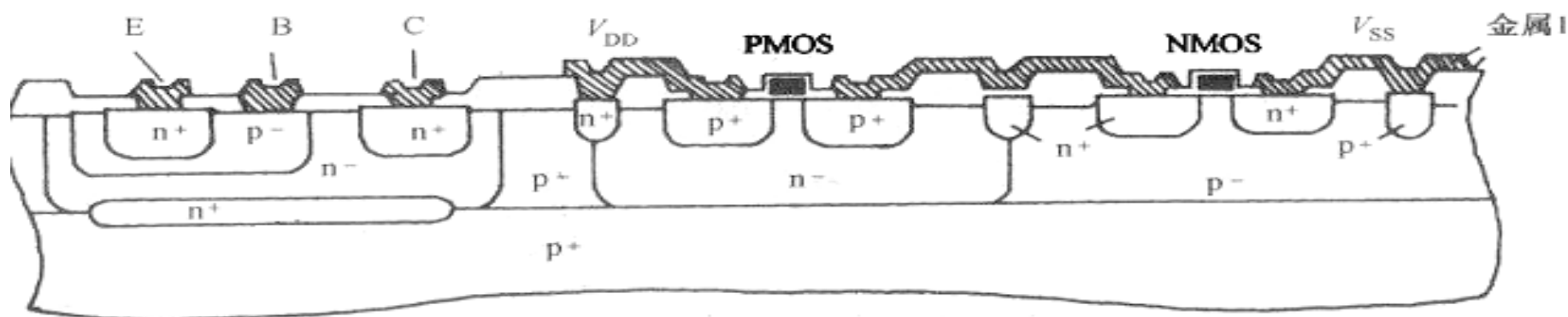


图 2-32 外延衬底的 Bi-CMOS 结构 s

## 2.4 版图设计

- ◆ 2.4.1 简单MOSFET版图
- ◆ 2.4.2 大尺寸MOSFET版图
- ◆ 2.4.3 失配与匹配技术

- 第四章、第五章中渗透此部分内容



# Thanks

[wxhsnow@163.com](mailto:wxhsnow@163.com)