**1. RCA 清洗工艺 两种清洗剂**

RCA 清洗工艺中 Rc1 Rc2 的成分SC-1： NH4OH(28%):H2O2(30%):DIH2O=1:1:5～1:2:7 70～80°C, 10min 碱性（pH值>7 ） SC-2: HCl(73%):H2O2(30%):DIH2O=1:1:6~1:2:8 70～80°C, 10min 酸性（pH值<7）

**2. 扩散的方式及其特点**

扩散的两种方式和特点：间隙式扩散，替位式扩散。

扩散是微观粒子作无规则热运动的统计结果，这种运动总是由粒子浓度较高的地方向浓度低的地方进行，而使得粒 子的分布逐渐趋于均匀。扩散的原始驱动力是体系能量最小化

恒定表面源扩散：表面杂质浓度恒定为Cs，实际工艺中，这种工艺称作“预淀积扩散”。即气相中有无限量的杂质存在，可以保证在扩散表面的杂质浓度恒定。

有限源扩散：杂质总量恒定为QT，在整个扩散过程中，预淀积的扩散杂质总量作为扩散的杂质源，不再有新 源补充。如先期的预淀积扩散或者离子注入一定量的杂质，随后进行推进 退火时发生的高温下扩散。

**3. LOCOS 工艺全称和 LDD 的全称**

LOCOS（硅的选择氧化）工艺，它以氮化硅为掩膜实现了硅的选择氧化，在这种工艺中，除了形成有源晶体管的区域以外，在其它所有重掺杂硅区上均生长一层厚的氧化层，称为隔离或场氧化层。

LDD（轻掺杂漏区）结构即是在[沟道](https://baike.baidu.com/item/%E6%B2%9F%E9%81%93/5019637?fromModule=lemma_inlink" \t "https://baike.baidu.com/item/LDD%E7%BB%93%E6%9E%84/_blank)中靠近漏极的附近设置一个低掺杂的[漏区](https://baike.baidu.com/item/%E6%BC%8F%E5%8C%BA/56062175?fromModule=lemma_inlink" \t "https://baike.baidu.com/item/LDD%E7%BB%93%E6%9E%84/_blank)，让该低掺杂的漏区也承受部分电压，这种结构可防止[热电子](https://baike.baidu.com/item/%E7%83%AD%E7%94%B5%E5%AD%90/2837662?fromModule=lemma_inlink" \t "https://baike.baidu.com/item/LDD%E7%BB%93%E6%9E%84/_blank)退化效应。

**4. 二氧化硅的性质及其填充应用**SiO2的基本性质

(1)通常热氧化生长的SiO2是非晶的；(2)熔点：1732 °C (晶体结构)；(3) 重量密度：2.27 g/cm3；(4)原子密度：2.2×1022 分子/cm3；(5)折射率 (refractive index) n=1.46 介电常数 (dielectric constant) e＝3.9

二氧化硅在集成电路中的应用：热生长氧化物（Thermally Grown Oxides）、沉积氧化物（Deposited Oxides）

氧化物类型及其厚度：场氧化物：1 μm 、后端绝缘体：0.1微米、掩模氧化物、 垫氧化物10 nm、栅氧化物1纳米、隧穿氧化物1纳米、清洁产生的化学氧化物、本征氧化物。氧化物作为绝缘体、掩模、垫层、栅介质等。

**5. 影响SIO2的沉积速率**

**温度**：较高的温度通常增加化学反应的速率，从而加快沉积速率；但过高的温度可能导致材料的不均匀沉积或损伤底层材料。

**压力**：沉积室的压力会影响反应气体的浓度和碰撞频率，从而影响沉积速率；在化学气相沉积（CVD）过程中，较低的压力可能导致较低的沉积速率，但可能获得更好的膜层均匀性和质量。

**气体流量**：反应气体的流量直接影响到达基底表面的气体分子数量，增加流量可以提高沉积速率。

**气体成分**：使用不同的硅源和氧化剂（如SiH₄、TEOS、O₂、N₂O等）会影响化学反应的速率和平衡，进而影响沉积速率。

**反应器设计**：反应器的几何形状、气体分配系统和温度分布都会影响气体流动和反应效率，从而影响沉积速率。

**基底材料**：不同的基底材料可能有不同的催化作用或表面反应性，影响沉积速率。

**基底温度**：基底温度会影响气体分子在基底表面的吸附、扩散和反应速率。

**搅拌和混合**：气体在反应室内的混合和流动可以促进反应物的均匀分布，影响沉积速率。

**沉积方法**：不同的沉积技术（如CVD、ALD、PECVD等）具有不同的反应机制和沉积速率。

**6. CVD 工艺的全称和 CVD 具体工艺步骤**

化学气相淀积 — Chemical Vapor Deposition (CVD) 一种或数种物质的气体，以某种方式激活后，在衬底表面发生化学反应，并淀积出所需固体薄膜的生长技术(1)反应剂被携带气体引入反应器后，在衬底表面附近形成“滞留层”，然后，在主气流中的反应剂越过边界层扩散到硅片表面(2)反应剂被吸附在硅片表面，并进行化学反应(3)反应生成的固态物质，即所需要的淀积物，在硅片表面成核、生长成薄膜 (4)反应后的气相副产物，离开衬底表面，扩散回边界层并随输运气体排出反应室

7. 光刻的基本步骤有哪些

光刻是把掩膜版上的电路图形超精确地转移到涂覆在硅片上的光刻胶膜上，为后续刻蚀或离子注入提供掩蔽膜,以完成图形的最终转移的工艺过程。

1) Vapor prime蒸气预处理 2) Spin coat匀胶3) Soft bake前烘4) Alignment and Exposure对准和曝光5) Post-exposure and bake爆光后烘6) Develop显影7) Hard bake坚膜8) Develop inspect显影检查

8.退火的作用：修复晶格、杂质激活、恢复电子和空穴迁移率

9.沟道效应：当离子沿晶轴方向注入时，大部分离子将沿沟道运动，几乎不会受到原子核的散射，方向基本不变，可以

走得很远。

减少沟道效应的措施：（a）覆盖一层非晶体的表面层；（b）将硅片旋转一定角度； （c）在硅晶片表面制造一个损伤的表层

**10. 掺杂、结深、方块电阻的作用**

掺杂：将一定数量和一定种类的杂质掺入硅中，并获得精确的杂质分布形状。

方块电阻：是描述半导体材料或导电薄膜电阻特性的一个参数。它定义为一个正方形形状的薄膜材料，其边长为1单位长度时的电阻值，单位通常是欧姆每平方（Ω/s）。

结深：指的是半导体中PN结的N型或P型掺杂区域从表面到耗尽区边界的垂直距离。

**11.浅槽隔离技术的工艺步骤**

LOCOS、PBL可用于技术节点³0.35‑0.5 µm；<0.35 µm必须使用STI

1)硅片清洗 2)垫底氧化(20 nm) 3) LPCVD氮化硅( 100 nm) 4)隔离区光刻 5)浅沟槽刻蚀(0.5 um) 6)热生长氧化硅阻挡层(20 nm) 7）场区沟道阻断注入 8) CVD氧化硅充填沟槽 9)CMP平坦化 10）刻蚀氮化硅＋退火致密化CVD氧化硅

**12. 典型 CMOS 制备工艺中双阱制备的工艺流程（要求掌握前两个）**

适用于0.35-0.5 微米工艺，1个多晶硅层/2个金属层，双阱CMOS）

I.通过LOCOS（局部氧化硅）定义器件有源区域 隔离

基底：P型硅（100）中等电阻率（5-50 欧姆·厘米）

用于场氧化的SiO₂/Si₃N₄：晶圆清洗、垫氧化生长（约400埃）、低压力化学气相沉积沉积（约800埃）

光刻以定义有源区域：光阻涂覆（约0.5-1 微米）和烘烤、 曝光和显影、氮化物等离子体干法蚀刻

场氧化通过：LOCOS工艺生长在1000°C、水蒸气环境中90分钟。 ~0.5 微米

II.双阱形成

P阱光刻以及NMOS器件的B+注入（ 能量：150-200kev 剂量： ~10¹³ 每平方厘米 ）N阱光刻 以及PMOS器件的P+注入 （能量：300 kev剂量： ~10¹³ 每平方厘米 ）高温驱动以形成阱在1000°C-1100°C下4-6小时 注入损伤通过热处理过程去除

**13.Moore定律**是在1965年由INTEL公司的Gordon Moore提出的，其内容是：硅 集成电路按照4年为一代，每代的芯片集成度要翻两番、工艺线宽约缩小30%，IC工作速度提高1.5倍等发展规律发展。1975年修正为： 芯片上所集成的晶体管的数目，每18个月就翻一番

**14.AI互连存在的问题：**1.AI和Si会发生互扩散，AI穿过有源区进入衬底;2.AI容易发生电迁移而形成空洞，断线问题。硅和铝在退火温度下(400-500°C)，硅在铝中的固溶度较高(固溶度随温度呈指数增长)，会造成严重的尖楔现象。

铜互连技术优点:1.Cu的电阻率为1.7 μΩcm(Al的电阻率为2.7uQ·cm)，比A降低了约37%，可以显著减小RC延迟;2.Cu具有更强的抗电迁移能力。

**15实现图形转移的工艺：**

光刻（衬底准备、涂胶&前烘、曝光、显影&坚膜、刻蚀、去胶）补充：图形转移技术：光刻+刻蚀

**16. 集成电路工艺中使用的半导体材料有哪些**

**硅 锗 砷化镓 磷化铟 碳化硅 氮化镓 二氧化硅金属（如铝Al, 铜Cu）多晶硅 绝缘体材料**：如苯并环丁烯（BCB, Benzocyclobutene）和光敏抗蚀剂 **阻挡层材料**：如钨（W）和钛（Ti）**介质材料**：如低介电常数（low-k）材料和超低介电常数（ultra-low-k）材料