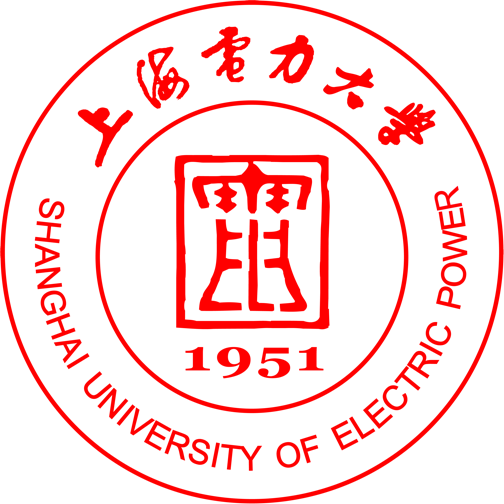
上海电力大学

课程设计报告



课程名称：集成电路工艺模拟

专业名称：集成电路设计与集成系统

班级： 21391 指导老师： 邱丽娜

姓名： 学号： 2021xxxx

设计时间：2024.6.29—2024.7.3 设计地点：电信楼B303

成绩等第：

**—电子与信息工程学院—**

**1课程设计目的**

本课程设计旨在通过使用 TCAD 仿真软件，模拟和分析集成电路工艺过程，以加深对半导体器件制造流程的理解。具体任务包括薄膜电阻、齐纳二极管和 NMOS 器件的创建与仿真。通过这些实验任务，学生能够掌握 ATHENA 和 ATLAS 等仿真工具的使用方法，了解不同工艺参数对器件性能的影响，并提升解决实际问题的能力。

**2 内容与要求**

1. 任务一: Thin Film Resistor: Creating an Thin Film Resistor Using ATHENA（实验指导书中实验一）
2. 任务二: Zener Diode（实验指导书中实验二）
3. 任务三: NMOS Device：Creating a NMOS Device using ATHENA（实验指导书中实验四）
4. 任务四: NMOS Device：NMOS Device simulation using ATLAS（实验指导书中实验五）

**3 实验步骤**

**Experiment 1. Thin Film Resistor: Creating an Thin Film Resistor Using ATHENA**

**1.1定义网格**

go athena

# Non-unifrom Grid (0.6um×0.8um)

line x loc=0.00 spac=0.10

line x loc=0.20 spac=0.01

line x loc=0.6 spac=0.01

# Non-unifrom Grid (0.6um×0.8um)

line y loc=0.00 spac=0.008

line y loc=0.2 spac=0.01

line y loc=0.5 spac=0.05

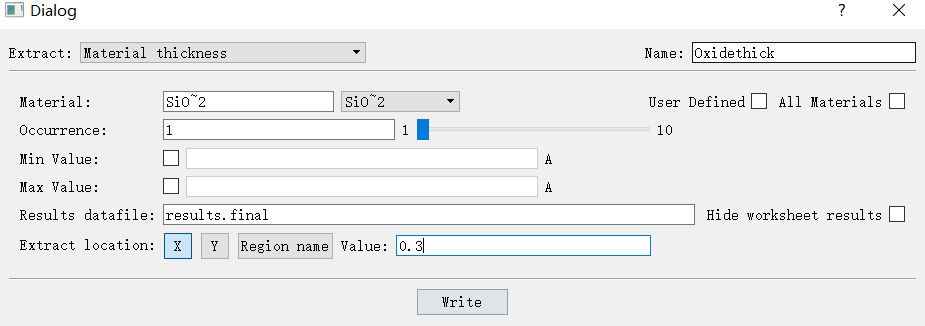
line y loc=0.8 spac=0.15

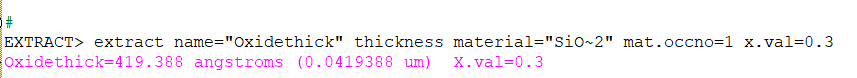
**1.2定义衬底**

**1.3生成氧化层**

接下来,我们将要在硅表面上在 1000℃、3%HCL、1 个大气压条件下采用干氧法持续 30 分钟 成长一层氧化层.

**1.4提取氧化层厚度**





提取氧化硅的厚度:419.388 埃.

**1.5优化氧化层厚度**

**1.6沉积多晶硅层**

接下来,用共形沉积法沉积 0.2 微米厚的多晶硅。

**1.7离子注入**

注入砷离子，剂量为1.0e15 ions/cm²，能量为40 keV，倾斜角为7度，旋转角为30度，注入晶体衬底

implant arsenic dose=1.0e15 energy=40 tilt=7 rotation=30 crystal

**1.8退火处理**

扩散时间为2分钟，温度为1000°C，氮气压力为1个大气压。

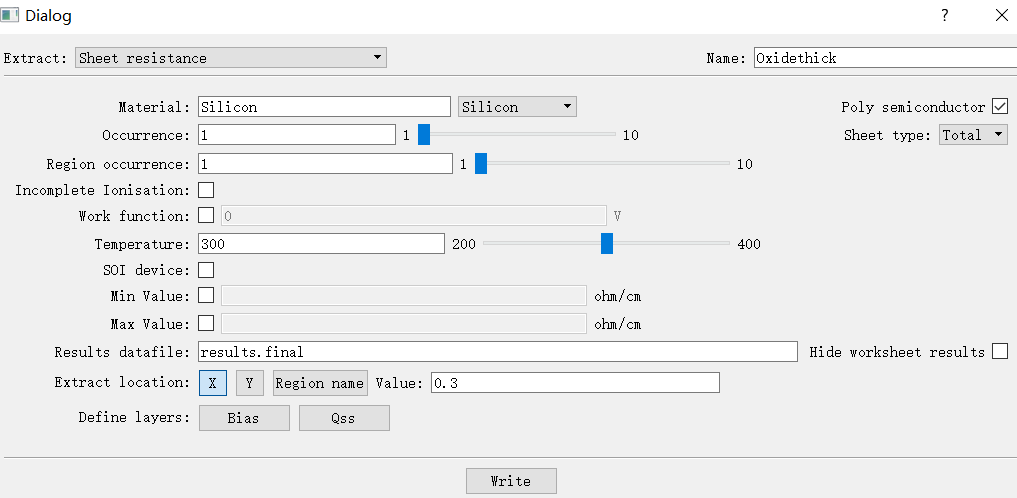
diffus time=2 minutes temp=1000 nitro press=1

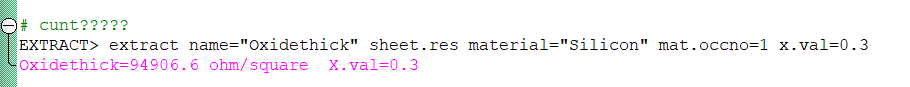
**1.9提取方块电阻阻值**

a.打开 ATHENA Extract 菜单——依次选择“Commnds—>Extract”即可.

b.选择提取参量: Sheet resistance.其他变量选择如下图，即可得到如下代码：

extract name="Oxidethick" sheet.res material="Silicon" mat.occno=1 x.val=0.3 region.occno=1 semi.poly

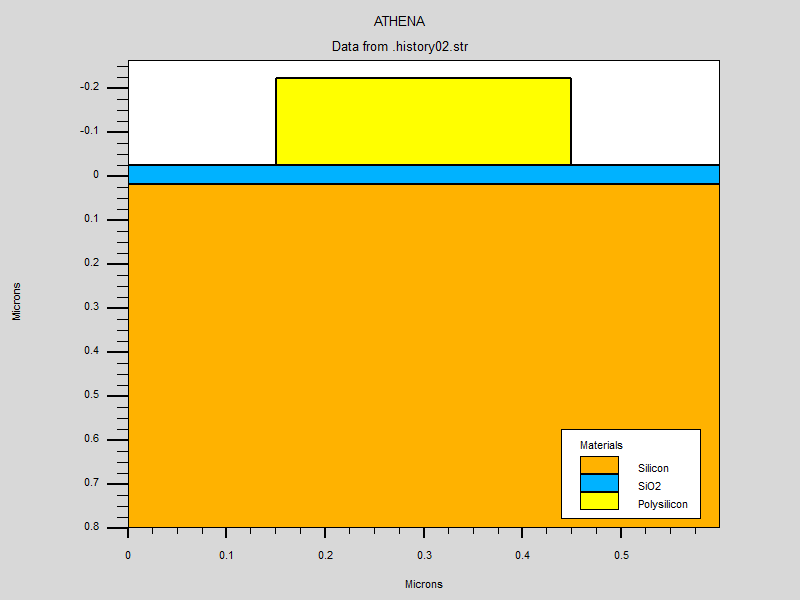


提取出方块电阻值的语句显示

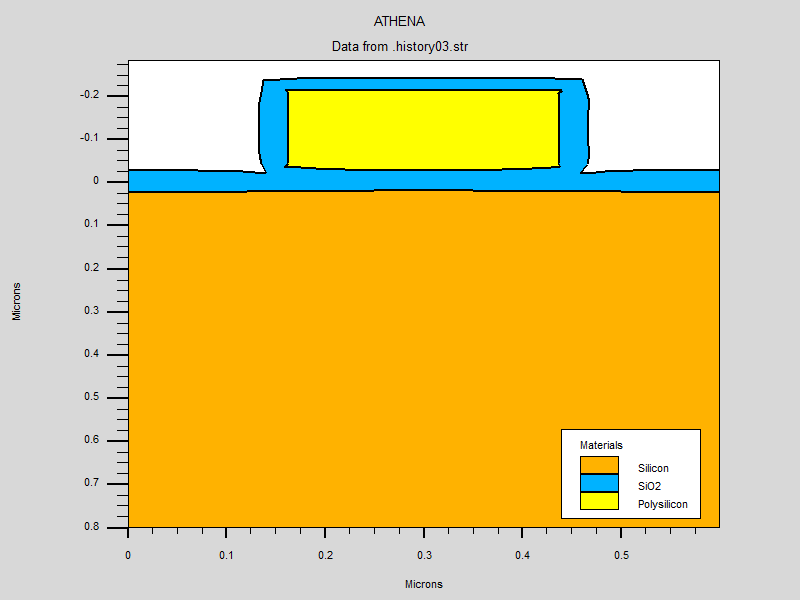
**1.10刻蚀出多晶形状**

etch polysilicon left p1.x=0.15

etch polysilicon right p1.x=0.45



图：刻蚀多晶硅后的图形



图：刻蚀氧化层后的结构图

**1.11氧化多晶硅**

etch polysilicon left p1.x=0.15

**1.12刻蚀出电极接触孔**

# Polysilicon Definition

etch oxide start x=0.25 y=-0.25

etch cont x=0.35 y=-0.25

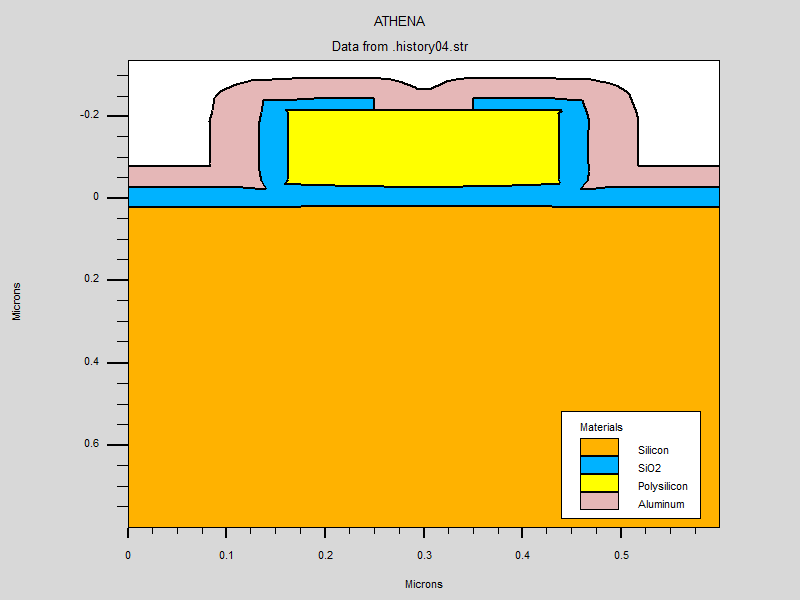
etch cont x=0.35 y=-0.20

etch done x=0.25 y=-0.20

**1.13沉积金属电极**

沉积铝层，厚度为0.05微米，分成10层进行沉积。

deposit aluminum thick=0.05 divisions=10

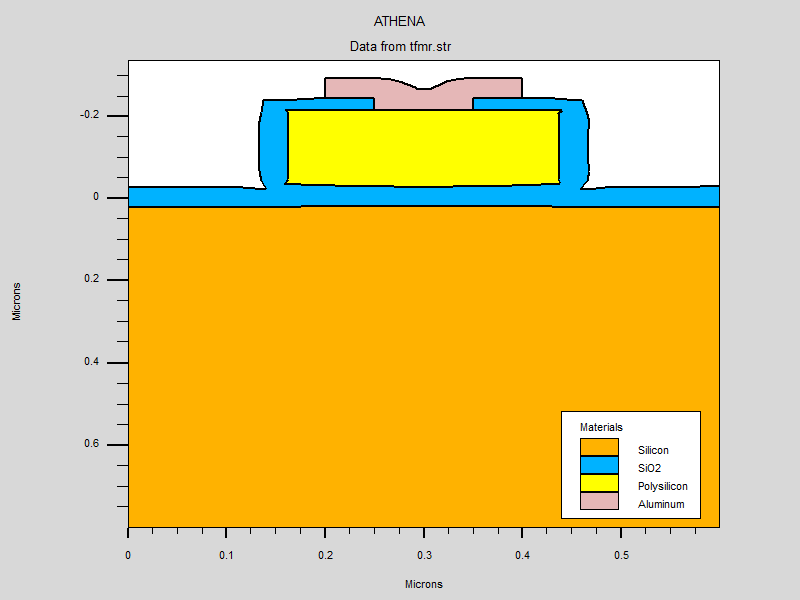


图：沉积铝后的结构图

**1.14刻蚀出电极的形状**

etch aluminum left p1.x=0.2

etch aluminum right p1.x=0.4



图：完整的薄膜电阻的结构

**Experiment 2. Zener Diode**

模拟程序

go athena

# 网格定义

line x loc=0.00 spac=0.2

line x loc=1 spac=0.1

line x loc=1.1 spac=0.02

line x loc=2 spac=0.25

#

line y loc=0.00 spac=0.02

line y loc=0.2 spac=0.1

line y loc=0.4 spac=0.02

line y loc=2 spac=0.5

# 衬底定义

init silicon c.phos=5.0e18 orientation=100

# 形成氧化层

deposit oxide thick=0.50 divisions=5

etch oxide left p1.x=1

# 离子注入与退火

implant boron dose=1.0e15 energy=50 pearson tilt=7 rotation=0 amorph

method fermi compress

diffus time=30 temp=1000 nitro press=1.00

# 提取结深和方块电阻

extract name="xj" xj material="Silicon" mat.occno=1 x.val=0 junc.occno=1

extract name="rho" sheet.res material="Silicon" mat.occno=1 x.val=0 region.occno=1

# 氧化层刻蚀

etch oxide all

# 形成 Al 接触

deposit alum thickness=0.2 div=3

etch alum right p1.x=1.0

# 电极定义

electrode name=anode x=0.0

electrode name=cathode backside

# 结构保存&绘画

structure outf=diodeex05\_0.str

tonyplot diodeex05\_0.str -set diodeex05\_0.set

go atlas

# 模型定义

# print 是指将模型参数打印出来

models bipolar bbt.std print

# 用于击穿分析的 Selberherr 碰撞电离模型.

impact selb

# 数值方法定义

method newton trap maxtrap=10 climit=1e-4

# 初值

solve init

# 保存&绘画 IV 图

log outf=diodeex05.log

solve vanode=-0.25 vstep=-0.25 vfinal=-10 name=anode

tonyplot diodeex05.log -set diodeex05\_log.set

# 从 IV 图中提取器件参数

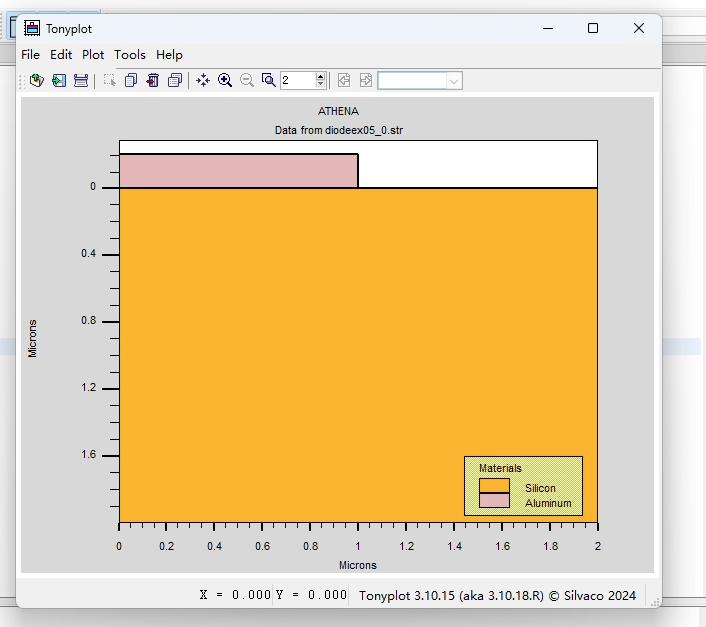
extract init infile="diodeex05.log"

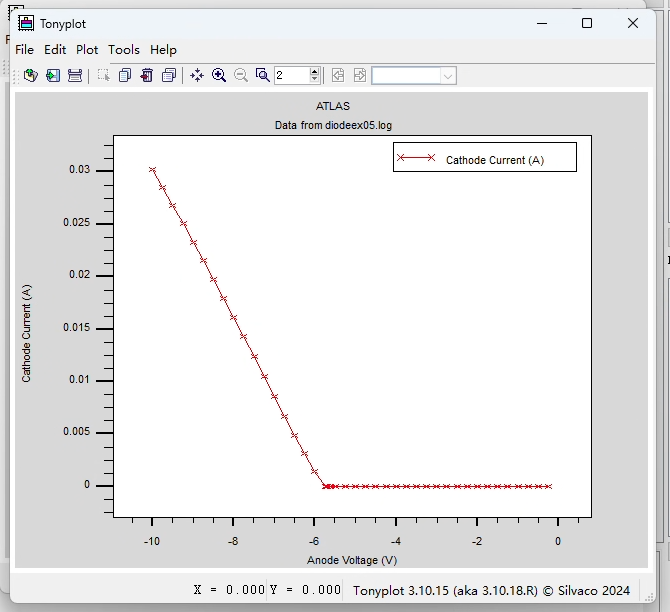
extract name="bv" min(v."anode")

extract name="leakage" x.val from curve(v."anode",abs(i."anode")) where y.val=1e-10

# 退出模拟

quit





图：齐纳二极管 IV 曲线图

**Experiment 4. NMOS Device：Create an NMOS devise using ATHENA**

**4.1 基本说明**

在本章中,用户将学习到创建一个典型 MOSFET 结构的基本操作.这些操作包括:

◇ 创建一个好的模拟网格

◇ 保形沉积( conformal deposition)

◇ 几何刻蚀

◇ 氧化,扩散,退火以及离子注入

◇ 结构操作

◇ 保存与下载结构 所有这些操作,都单独在 ATHENA 工艺模拟器中进行.

**4.2 创建一个初始结构**

**4.2.1 定义初始矩形网格**

**4.2.2 创建一个 0.6um\*0.8um 模拟区域及一个非均匀网格**

# Non-unifrom Grid (0.6um×0.8um)

line x loc=0.00 spac=0.10

line x loc=0.20 spac=0.01

line x loc=0.6 spac=0.01

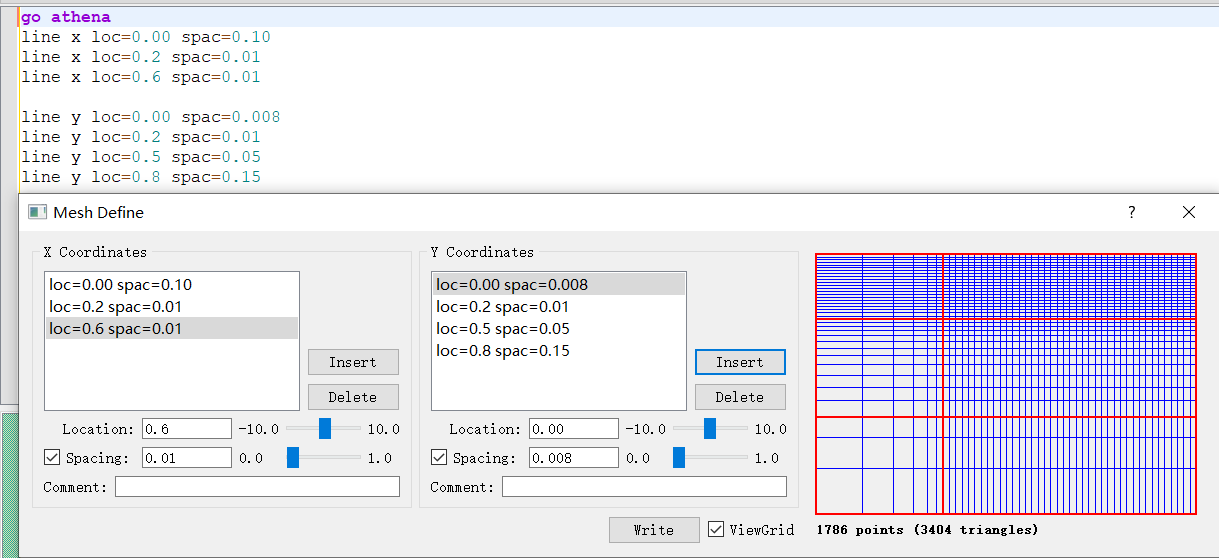
# Non-unifrom Grid (0.6um×0.8um)

line y loc=0.00 spac=0.008

line y loc=0.2 spac=0.01

line y loc=0.5 spac=0.05

line y loc=0.8 spac=0.15



**4.3 定义衬底**

创建一个尺寸 0.6um×0.8m、均匀掺杂硼 1×10 14 atom/cm 3、(100)方向的硅衬底就创建出来了.(Si（100）衬底: 具有低界面电荷、低界面缺陷的优点.CMOS 集成电路一般采用(100)晶向的硅材料)

**4.4 生成栅氧层**

接下来,我们将要在硅表面上在 950℃、3%HCL、1 个大气压条件下采用干氧法持续 11 分钟成长一层栅氧层。

diffus time=11 minutes temp=950 dryo2 press=1 hcl.pc=3

**4.5 提取栅氧层厚度**

下来将提取在氧化过程中栅氧层的厚度.将使用到 DECKBUILD 中 Extract 语句. Extract 可非常快速容易地整合和控制某值或曲线。

extract name="Gateoxide" thickness material="SiO~2" mat.occno=1 x.val=0.3

**4.6 优化栅氧层厚度**

**4.7 离子注入**

离子注入是半导体掺杂的主要方法.因为离子注入在小的关键尺寸(critical dimension,CD)和浅 掺分布,高剂量,斜注入(tilted implant)和其他先进技术有着广泛应用,因此,对例子注入过程的模拟 就显得非常重要了.

在本例中,我们将采用一种注入硼 9.5×10 11 cm-2、能量 10KeV、离子倾斜角度为 7°、旋转 30°的阈值电压调整注入。

**4.8 用 TONYPLOT 分析硼杂质分布**

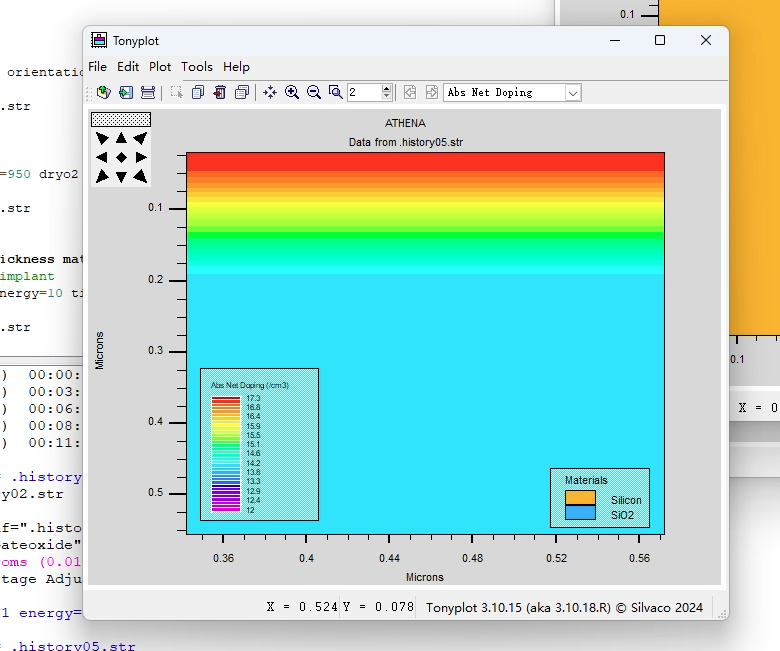
要使用 TONYPLOT 分析硼杂质分布，需要按照如下步骤操作。

a.用 TONYPLOT 绘画 str 文件“.history05.str”.接着选“Plot—>Display...” b.单击 Contours 图标(第四个).

c.依次选择“Define—>Contours...”,Quantity 选 Boron.

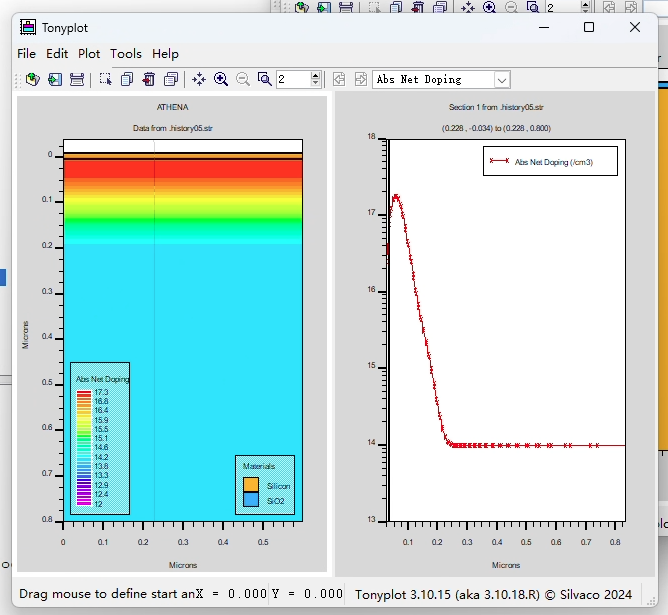
d.单击 Apply.

即可得到硼杂质的分布图如图所示



图：离子注入后硼杂质浓度分布图

接下来,我们用二维结构图上 cutline 工具创建一个硼杂质分布的一维横截图.

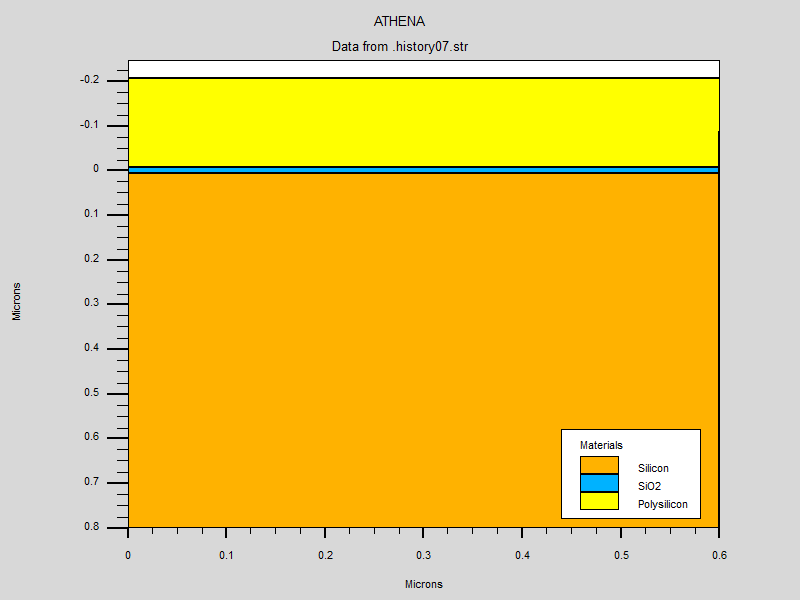


图：在结构上画垂直横截线

**4.9 共形沉积(conformal deposition)多晶硅**

共形沉积可用来产生多层结构.共形沉积是最简单的沉积模型,可用于对沉积层形状并无特别 要求的任意情形.

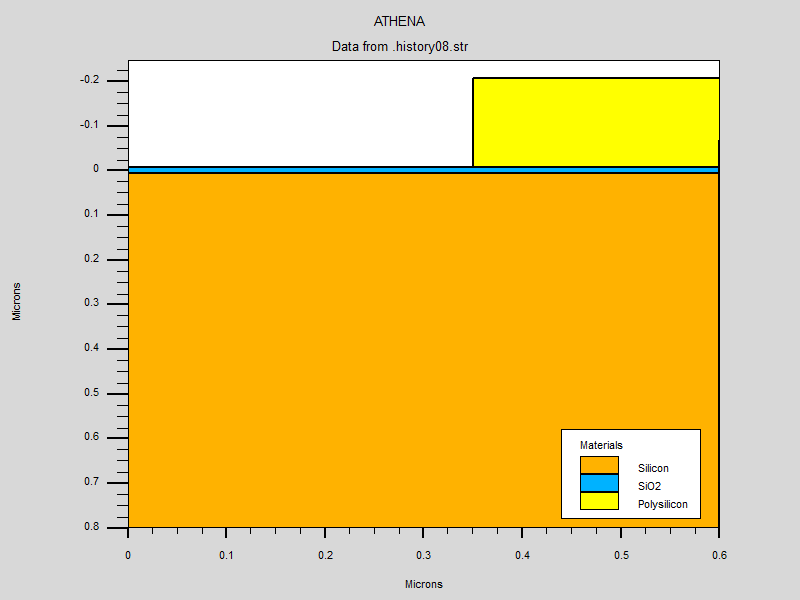
NMOS 工艺中多晶硅厚度为 2000 埃.



图：多晶硅的共形沉积

**4.10 简单几何刻蚀**

接下来是多晶硅栅极的定义.在本例中,多晶硅栅极边缘在 x=0.35um 处,中心在 x=0.6um 处.因 此,我们将刻蚀 x=0.35um 以左的区域.



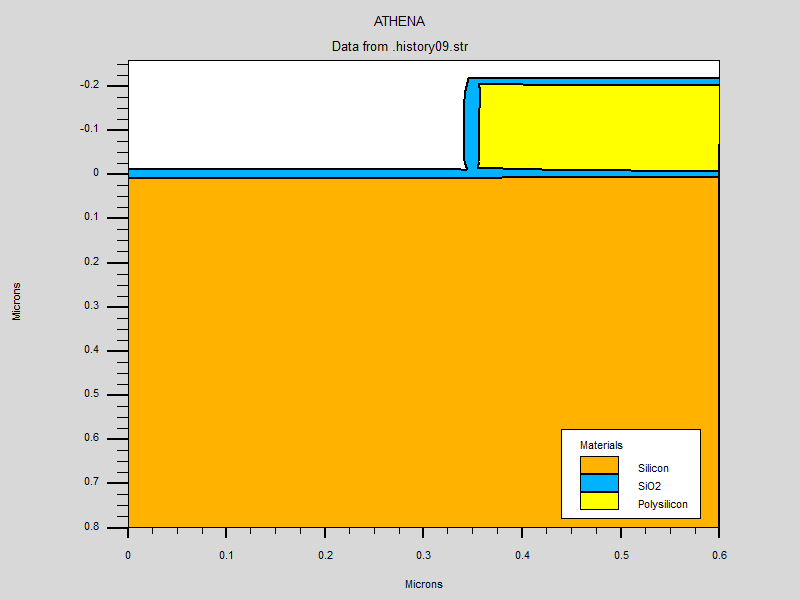
图：刻蚀多晶硅以形成栅极

**4.11 多晶硅氧化**

下一步是多晶硅氧化以为多晶硅离子注 入掺杂作准备.氧化条件为在 900℃,1 个大气 压下用湿氧法进行 3 分钟.

因为氧化是在未损伤的图案化的(非平面的)多晶硅上进行,所以产用的方法为 fermi 和 compress方法.fermi方法是用在掺杂浓度小于 1×10 20 cm -3的未损伤的衬底而 compress 方法用于模拟非平面结构氧化及二维氧化.

得到的结构如图.



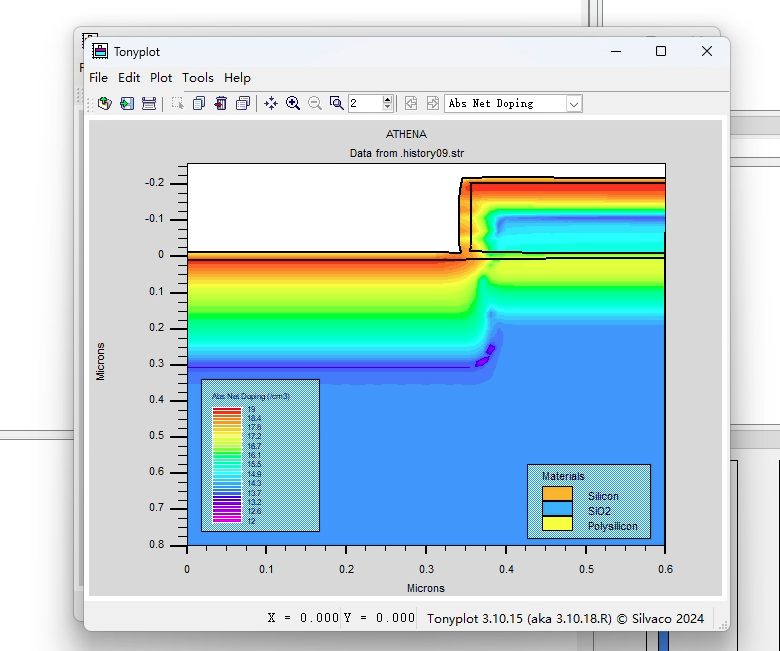
图：多晶硅栅的氧化

**4.12 多晶硅掺杂**

多晶硅氧化后,下一步就是用磷掺杂多晶硅以形成n+多晶硅栅.在这里,磷剂量为3×10 13 cm -2 , 注入能量为 20KeV。

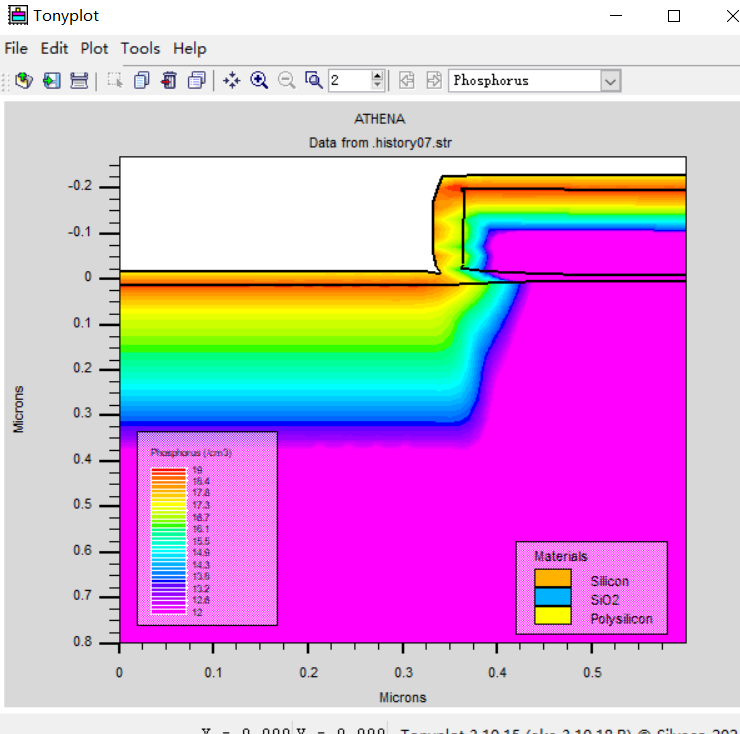
绘画结构,并观察其净掺杂分布——“Display (2D Mesh)—>Contours icon（第四个）—>Apply”.

观察磷分布——先打开 Contours 窗口:“Display (2D Mesh)—>Contours icon—>Apply—>Define（右键）—>Contours...”,然后选 Quantity 为 Phosphorus,最后单击 Apply 及 Dismiss.



图：多晶硅离子注入后净掺杂分布

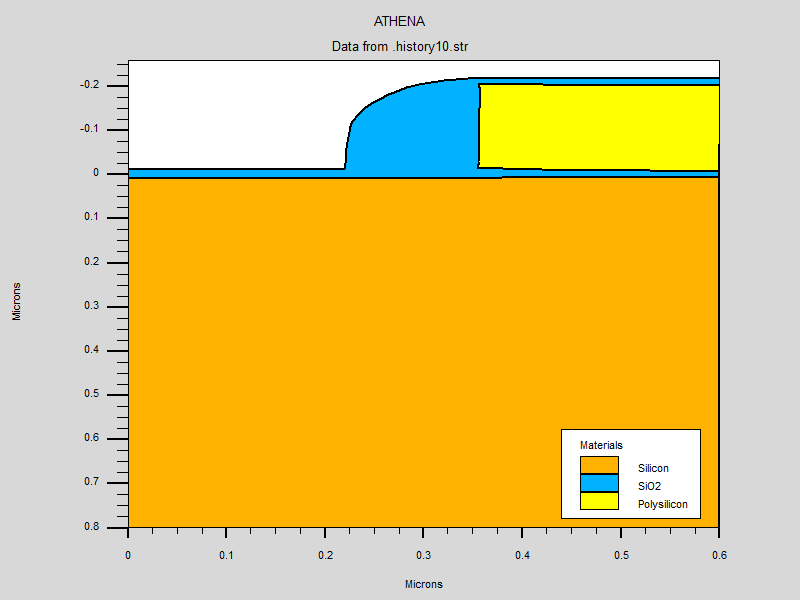
磷杂质浓度分布如下图所示.



图：磷杂质浓度分布

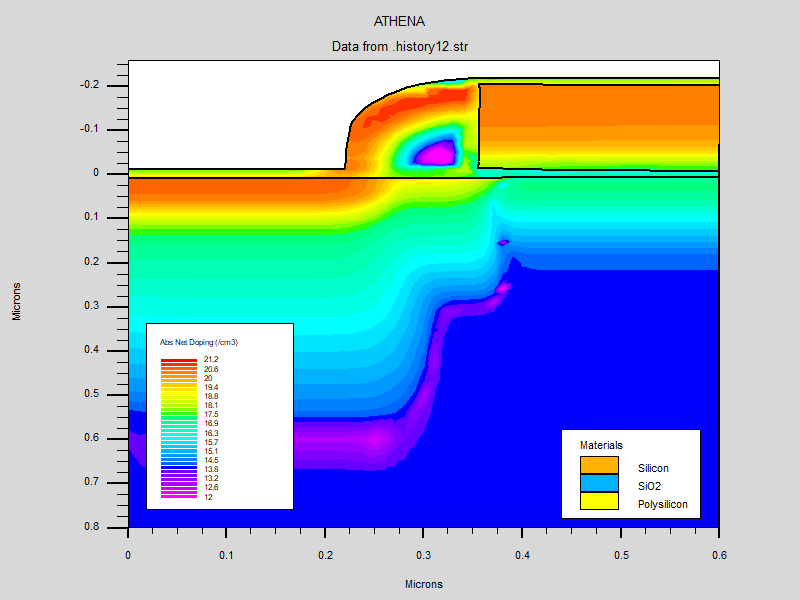
**4.13 隔离氧化层的淀积 （Spacer Oxide Deposition）**

源、漏离子注入之前必须进行隔氧淀积. 本例中隔氧淀积厚度为 0.12 um.



隔氧淀积后的结构

**4.14 侧墙（Sidewall Spacer）氧化隔离的形成**

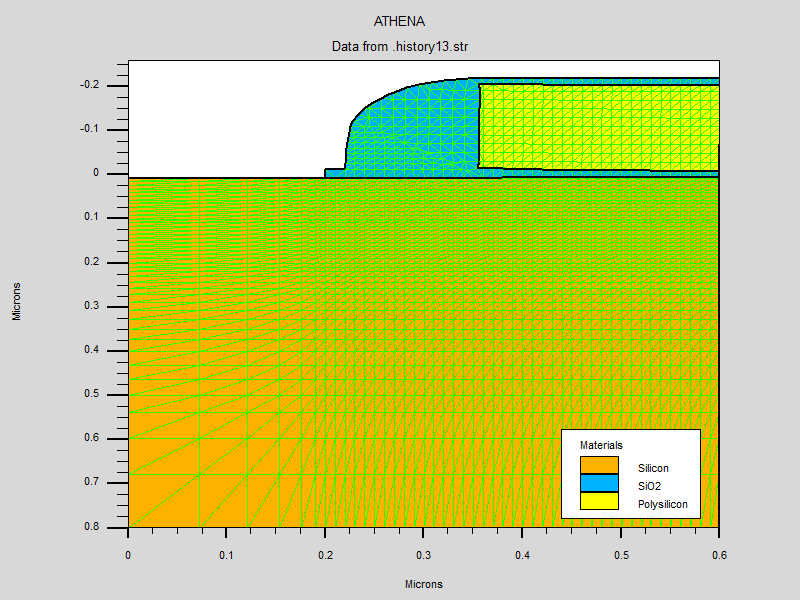


图：干刻形成边墙隔氧

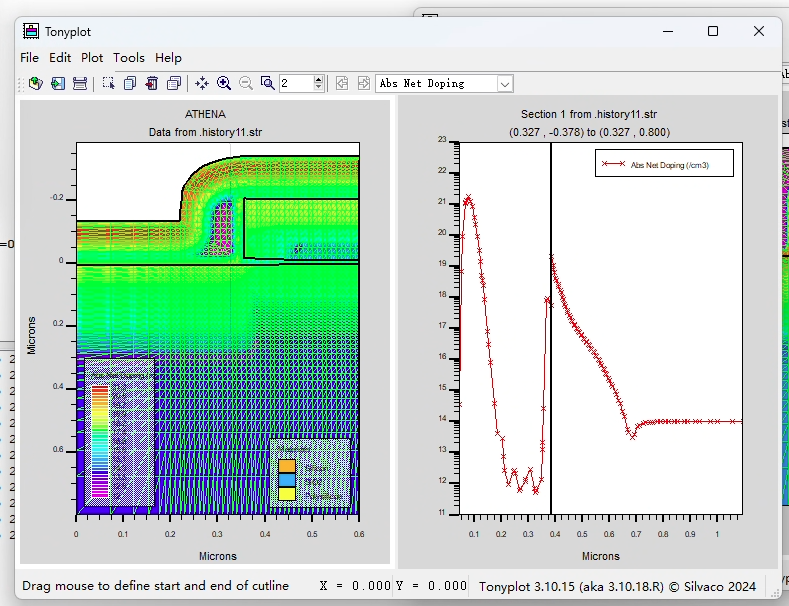
**4.15 源/漏极注入与退火**

为了形成 NMOS 的 n+源/漏,在本 例中,采用的是砷,其剂量为 5×10 15 cm -3 ,注入能量为 50KeV:

接下来在 900℃、1 个大气压、氮气氛围下退火 1 分钟:



下一步,我们想观察退后前后净掺杂分布



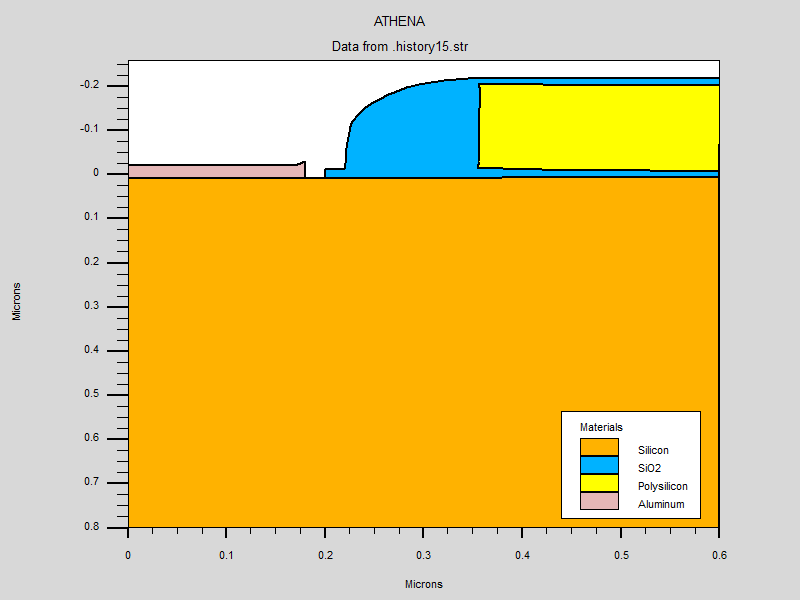
图：退火前后净掺杂浓度分布

**4.16 金属的淀积**

Athena 中的电极可以是任意金属、硅化物或多晶硅区域.唯一的特例是背电极可以安置在结构 的底部而不需考虑那里是否存在金属.在本例中,NMOS 的金属化是先形成源/漏的接触窗口,然后 沉积 Al 和 Al 图案化.

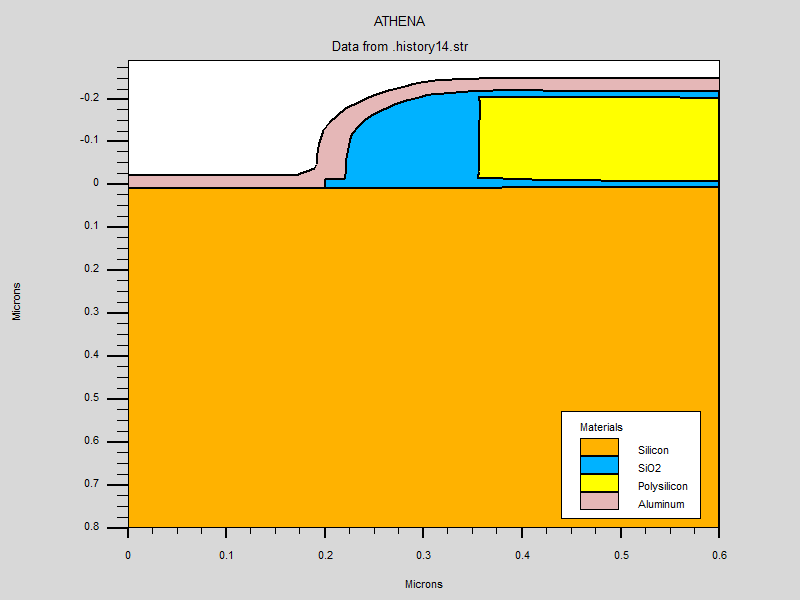
为了形成源/漏的接触窗口,x=0.2um 以左的氧化层将被刻蚀掉.

用 TONYPLOT 绘画其结构图如图所示.



图：金属化前形成接触窗口

最后用 Etch 刻蚀 x=0.18um 以右的铝层:



图：Half NMOS 结构的铝沉积

**4.17 提取器件参数**

在本节中,我们将提取 Half NMOS 结构的一些器件参数.这些参数包括:结深、n++源/漏方块电 阻、隔氧下 LDD 方块电阻、长沟道阈值电压.所有这些参数,均可用 DECKBUILD 中的 Extract 提取.

**4.17.1 提取结深**

extract name="nxj" xj material="Silicon" mat.occno=1 x.val=0.2 junc.occno=1

在该 extract 语句中,name="nxj"是 n 型源/漏结深;xj 表明结深将要被提取;material="Silicon" 指包含结的物质为硅;mat.occno=1 表明提取结深的位置为第一层硅处;x.val=0.2 指提取源/漏结深于 x=0.2um 处;junc.occno=1 表明提取结深在第一个结处.在更复杂的结构中,相同的物质层中有多于 1 个结.例如,一个 n+源/漏区位于 p 型阱和 n 型衬底中的结构,就有两个结。

**4.17.2 提取 N++源/漏方块电阻**

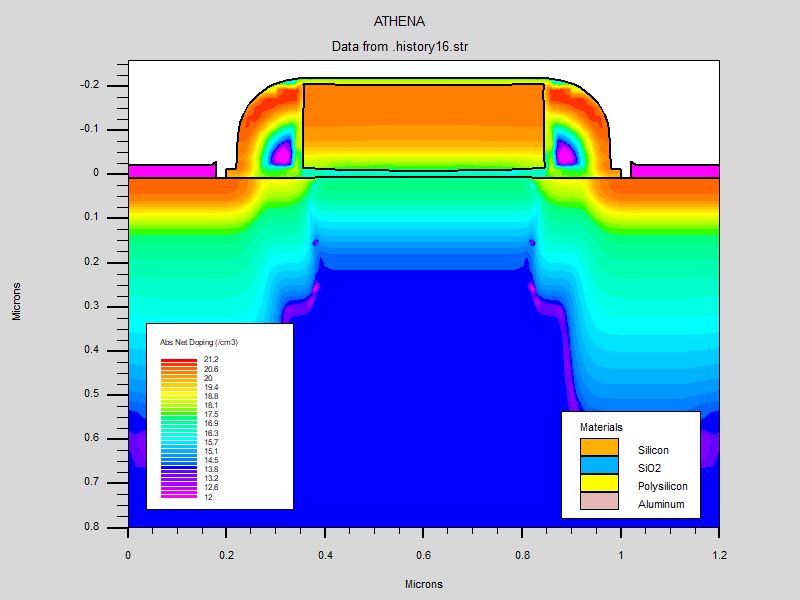
extract name="n++ sheet res" sheet.res material="Silicon" mat.occno=1 x.val=0.05 region.occno=1

在该语句中,sheet.res为即将提取的是方块电阻;mat.occno=1和region.occno=1定义物质和区域发生层数均为 1;x.val=0.05 表明提取的位置为 x=0.05um 处.

提取的结果数据保存在 results.final 中.

**4.18 镜像得到完整 NMOS 结构**

前面得到的只是 Half NMOS 结构,为了得到完整结构,接下来需对该结构进行 Mirror.该步骤必须在输出结构或命名电极之前完成.



图：完整 NMOS 结构(定义电极前)

**4.19 定义电极**

为了便于在器件模拟器 ATLAS 中设置偏压,NMOS 晶体管的电极必须进行定义，其中漏极位于 x=1.1、栅极位于 x=0.6 处.

最后定义背电极.在 ATHENA 中,背电极可以位于结构的底部而不需要那里是否有金属存在. 为了定义背电极,在打开的 Electrode 中,选 Electrode Type 为 Backside,然后在 Name 一栏键入 backside 即可.

**4.20 保存 ATHENA 结构文件**

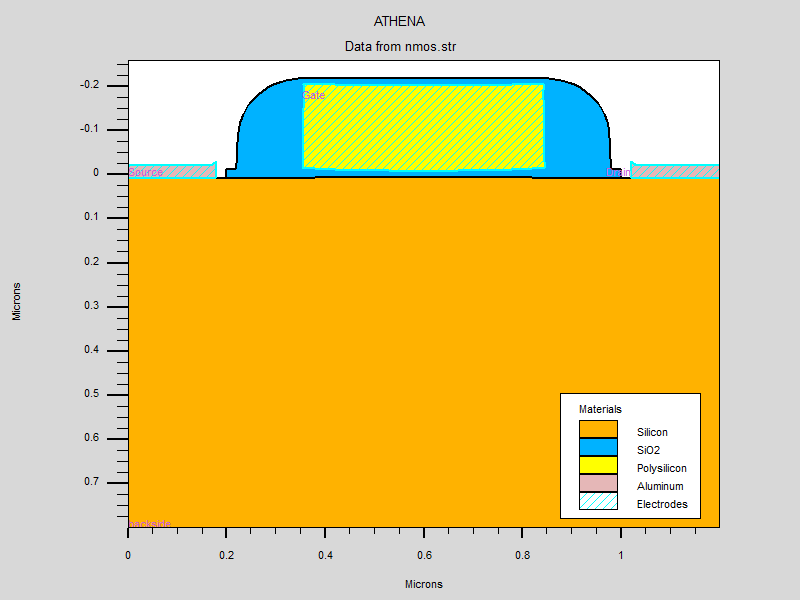
虽然 DECKBUILD 的历史功能（history function）,可保存每个工艺步骤的结构文件,但在很多 情况下,我们需要的是独立保存和初始化结构.理由如下:

i. 历史文件的个数有限制（默认是 25 个）

ii. 没必要在每次 DECKBUILD 文本运行后保存几十个历史文件（每个历史文件占几十或几 百 K 字节）

iii. 通常用户想保的只是关键步骤后的文件（如最后得到的结构文件） 为了保存或装载一个结构。

用 TONYPLOT 打开 nmos.str 结构文件.选择电极按钮以观察漏极、源极、栅极和背电极



图：完整 NMOS 结构

Experiment 5. NMOS Device：NMOS Device simulation using ATLA

**5.1 ATLAS 总揽**

ATLAS 是一个基于物理的二维器件模拟器.它可预测特定半导体结构的电学行为,并了解器件 运行时内部物理机制。

在 SILVACO's VIRTUAL WAFER FAB 模拟环境下,ATLAS 可单独使用或者是作为一个核心工具. 在预测电路性能各过程变量影响的先后顺序中,器件模拟将拟合器件模拟和 SPICE 模型提取结果。

**5.2 NMOS 结构的 ATLAS 模拟**

在本手册中,我们将实现如下模拟:

1.Vds=0.1V 时 Id-Vgs 关系曲线.

2.提取一些器件参数,如 Vt,Beta 和 Theta.

3.Vgs=1.1V,2.2V,3.3V 时 Id-Vds 关系曲线.

在第二章用 ATHENA 创建了 NMOS 结构,接下来,将模拟 NMOS 器件的电学特性.

**5.3 创建 ATLAS 输入 DECK 文件**

为了开始 ATLAS 模拟器,键入语句: go atlas

为了载入由 ATHENA 产生的结构文件,键入语句: mesh infile=nmos.str

**5.4 模型定义命令组**

因为 NMOS 结构已经在 ATHENA 中创建,故跳过结构定义命令组.在模型定义命令组中,我们 必须分别用 Model 语句、Contact 语句和 Interface 语句定义模型、接触特性以及界面属性.

**5.4.1 模型定义**

对于简单的 MOS模拟,推荐使用模型 SRH 和 CVT.SRH 是 Shockley-Read-Hall 复合模型而 CVT 是 Lombardi 反型层模型(参见 ATLAS User's Manual vol.1 pp.3-43),它设置一个包含浓度、温度、平行场、垂直场依赖的通用迁移率模型.

**5.4.2 定义接触性质**

电极与半导体的接触在默认情况下被假设成欧姆接触.如果定义了功函数,电极就被看作是肖特基接触.Contact 语句用来定义一个或多个电极的金属功函数，即为contact name=gate n.poly

**5.4.3 定义界面性质**

为了定义 NMOS 结构的界面性质,将使用 Interface 语句.该语句用来定义半导体/绝缘体界面的 界面电荷密度和表面复合速度.为了定义 Si-SiO 2 界面处存在面密度为 3×1010 cm 2 的固定电荷:

interface s.n=0 s.p=0 qf=3e+10

**5.5 数值方法选择命令组**

接下来,我们为模拟选择数值方法的类型.在解半导体器件问题时可以使用不同的方法.对于 MOS 结构,将使用解耦合(GUMMEL)和全耦合(NEWTON)方法.简单说来,解耦合方法(如 GUMMEL 方法)将在保持其他变量不变的情况下轮流解每个未知量,这个过程一直持续到得出一 个稳定解.全耦合方法(如 NEWTON 方法)是同时解系统中所有的未知量。

同时选择 Newton 和 Gummel 将导致解答过程先进行 Gummel 循环,如果还没收敛的话,接着用 Newton 方法求解.

**5.6 解定义命令组**

在解命令组里,Log语句用来保存ATLAS计算产生的包括所有终端性质的日志文件,Solve语句 用来解不同偏压时的情形,Load 语句用来载入所有解文件(solution files).

**5.6.1 Vds=0.1V 时 Id-Vgs 曲线**

在本实验中，我们期望得到 NMOS 结构的一条简单的 Vds=0.1V 时 Id-Vgs 曲线

solve init

solve vdrain=0.1

log outf=nmos1\_0.log

solve name=gate vgate=0 vfinal=3.3 vstep=0.1

在上面语句中,solve init提供零偏压(或热平衡)下电势和载流子浓度的初始估计值.解完零偏压情形,第二个 solve 语句也即“solve vdrain=0.1”将在漏极上设置一直流偏压.如果某一特别的电极 的偏压没有被任意 Solve 语句定义,则该电压为零.因此,没必要用 Solve 语句明确地定义所有电极的偏压。

第三个语句是一个 Log 语句:“log outf=nmos1\_0.log”.该语句将 ATLAS 计算的所有的模拟结 果都保存在 nmos1\_0.log这个日志文件中.这些结果包括直流模拟时的每个电极的电流电压.为了终 止终端性质保存到这个文件,可使用另一个 Log 语句“log off”或使用另一个 log 文件名.

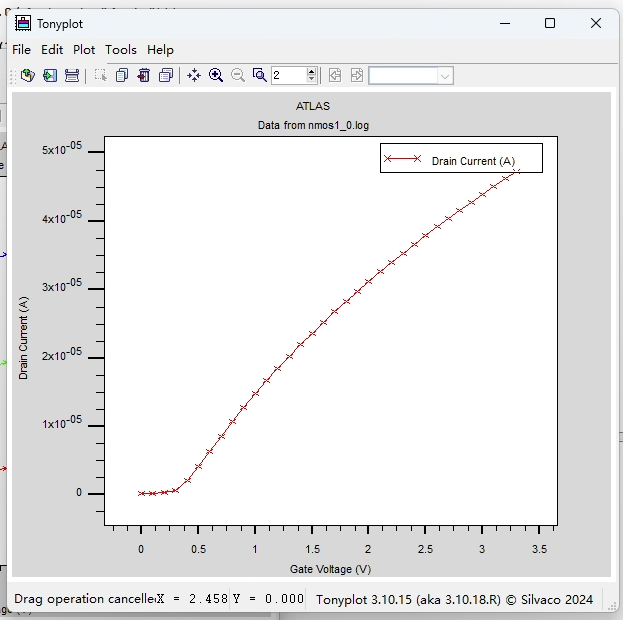
最后一个 Solve 语句“solve name=gate vgate=0 vfinal=3.3 vstep=0.1”将使栅压以步长 0.1V 从 0V 变化到 3.3V.注意该语句中的 name 参数必不可少且电极名称是区分大小写的.

**5.6.2 提取器件参数**

一些器件参数如 Vt,Beta 和 Theta 的提取,可用 ATLAS Extract 菜单来实现:

在运行(run)模拟之前,我们需要用 Tonyplot 语句绘画出模拟结果.为了自动绘画出 Id-Vgs 关系 曲线,在最后的 Extract 语句后键入以下 Tonyplot 语句即可: tonyplot nmos1\_0.log

现在,我们可以开始运行模拟.单击 DECKBUILD 上 run 按钮开始器件模拟.一旦模拟完 成,TONYPLOT 将自动绘制 Id-Vgs 曲线,曲线图如下.



图：NMOS 器件的 Id-Vgs 关系曲线

**5.6.3 用 Log,Solve 和 Load 语句产生曲线族**

本手册的下一个目标是产生 Vgs=1.1V、2.2V 和 3.3V,Vds 从 0V 变化到 3.3V 时的 Id-Vds 曲线族

对于栅压为 2.2V 和 3.3V,重复以上步骤并将 solve 文件分别保存至“solve2”以及“solve3” 中.看到的将是如下的 solve 语句:

solve vgate=2.2 outf=solve2 solve vgate=3.3 outf=solve3

接下来,我们将再次使用 ATLAS Test 菜单设置 Solve 语句,使漏压从 0V 逐渐变化到 3.3V.为了 达到此目的,

接下来,我们将利用 Load 菜单载入解文件(solution file),即栅压为 1.1V 的 Solve1 文件.并将它 取代“solve init”语句.

Load 语句将取代 solve init 语句.因此,从 Load 语句(即 load infile=solve1)到 Solve 语句这几句语句将产生 Vgs=1.1V 时的 Id-Vgs 曲线.为了产生 Vgs=2.2V 及 3.3V 时的 Id-Vgs 曲线,只需简单的 拷贝这三句语句然后:

a.改变 Load 语句中输入文件名——改 solve1 为 solve2 和 solve3.

b.改变 Solve 语句中 log 文件名——改 nmos2\_0.log 为 nmos3\_0.log 和 nmos4\_0.log.

c.改后看到的语句：

#

load infile=solve1

log outf=nmos2\_0.log

solve name=drain vdrain=0 vfinal=3.3 vstep=0.3

#

load infile=solve2

log outf=nmos3\_0.log

solve name=drain vdrain=0 vfinal=3.3 vstep=0.3

#

load infile=solve3

log outf=nmos4\_0.log

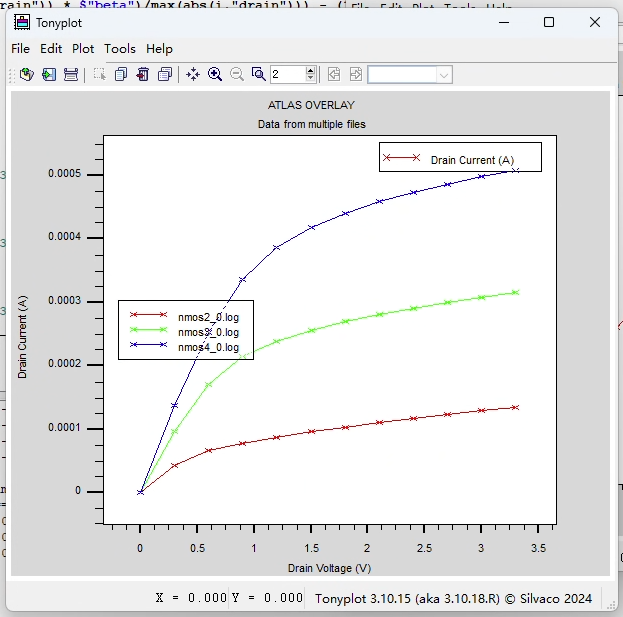
solve name=drain vdrain=0 vfinal=3.3 vstep=0.3

为了在一张图中绘出曲线族,即三个 log 文件,键入如下 Tonyplot 语句:

tonyplot -overlay nmos2\_0.log nmos3\_0.log nmos4\_0.log -set noms.set

在该语句中,-overlay 是将 3 个 log 文件重叠在一张图上;–set nmos.set 是使用这个文件来 在 TonyPlot 中显示前面的 optoex08\_2.str 文件,-set 文件中存储了一些相应的信息.

一旦模拟完成,TONYPLOT 将自动绘画 Id-Vds 曲线族,如图所示:



图：NMOS 的输出特性

**4 碰到的问题与解决情况**

本次实验过程中遇到的问题主要和软件操作相关，通过网络资源和阅读PPT解决。

**5 心得体会**

通过本次课程设计，我对集成电路工艺模拟有了更深刻的理解和掌握。在完成薄膜电阻、齐纳二极管和 NMOS 器件的创建与仿真过程中，我学会了如何使用 ATHENA 和 ATLAS 等工具进行工艺仿真，并掌握了优化工艺参数的方法。同时，通过解决实际问题，提高了分析和解决问题的能力。

此外，我深刻认识到仿真工具在半导体工艺研究中的重要性，它不仅能够大大缩短研发周期，还能有效降低实验成本。未来的学习和工作中，我将进一步深入研究仿真技术，提升专业技能，为半导体行业的发展贡献自己的力量。