有限状态机作业

20211991-曾道恩

使用 Verilog 实现以下功能 (有限状态机)

实验板共4个LED灯，该实验实现它们的组合显示。具体功能如下：

（1） 模式1：先点亮奇数的LED灯，即1、3，后点亮偶数的LED灯，即2、4，依次循环。

（2） 模式2：按照1、2、3、4的顺序依次点亮所有LED灯，然后再按该顺序依次熄灭所有LED灯。

（3） 模式3：每次只点亮一个LED灯，亮灯顺序为1、2、3、4、3、2，按照该顺序循环。

（4） 模式4：按照1/4、2/3的顺序依次点亮所有灯，每次同时点亮两个LED灯；然后再按该顺序依次熄灭所有LED灯，每次同时熄灭两个LED灯。

注：

点亮与熄灭的时间间隔均为0.25s。

在演示过程中，只有当一种模式演示完毕才能转向其他演示模式。

要求：给出代码和仿真波形！题目word版作业！

代码

module FSM\_4led(

input clk,

input rst,

input [1:0] mode,

output reg [3:0] led,

output reg [2:0] state\_out

);

parameter T = 12500000; // 0.25s at 50MHz clock

reg [31:0] cnt;

reg [2:0] state;

reg [1:0] prev\_mode;

always @(posedge clk) begin

if (rst) begin

cnt <= 0;

state <= 0;

led <= 4'b0000;

prev\_mode <= 2'b00; // 初始化prev\_mode

end else begin

if (cnt == T) begin

cnt <= 0;

if (mode != prev\_mode) begin

state <= 0; // 将state清零

end else begin

case (mode)

2'b00: begin // Mode 1

case (state)

3'b000: led <= 4'b0101;

3'b001: led <= 4'b1010;

default: led <= 4'b0000;

endcase

state <= state + 1;

state\_out <= state;

end

2'b01: begin // Mode 2

case (state)

3'b000: led <= 4'b0001;

3'b001: led <= 4'b0011;

3'b010: led <= 4'b0111;

3'b011: led <= 4'b1111;

3'b100: led <= 4'b0111;

3'b101: led <= 4'b0011;

3'b110: led <= 4'b0001;

default: led <= 4'b0000;

endcase

state <= state + 1;

state\_out <= state;

end

2'b10: begin // Mode 3

case (state)

3'b000: led <= 4'b0001;

3'b001: led <= 4'b0010;

3'b010: led <= 4'b0100;

3'b011: led <= 4'b1000;

3'b100: led <= 4'b0100;

3'b101: led <= 4'b0010;

default: led <= 4'b0000;

endcase

state <= state +1;

state\_out <= state;

end

2'b11: begin // Mode 4

case (state)

3'b000: led <= 4'b1001;

3'b001: led <= 4'b1111;

3'b010: led <= 4'b0110;

3'b011: led <= 4'b0000;

default: led <= 4'b0000;

endcase

state <= state + 1;

state\_out <= state;

end

endcase

end

prev\_mode <= mode; // 更新prev\_mode的值

end else begin

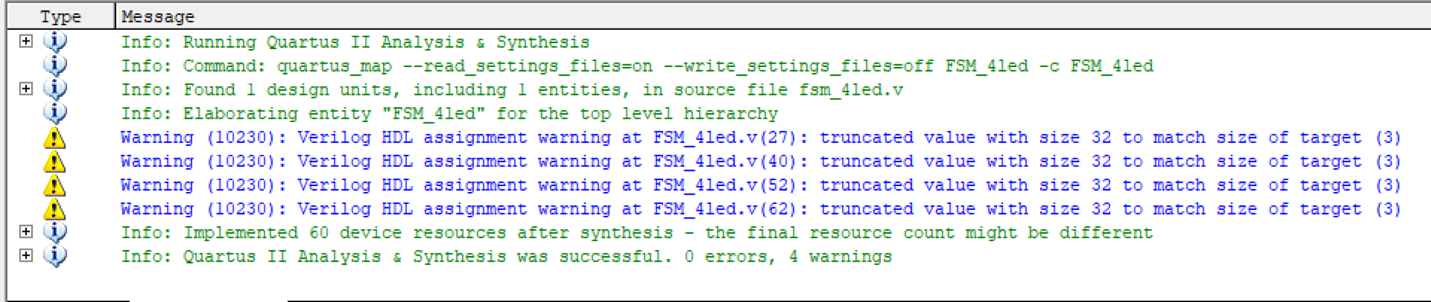
cnt <= cnt + T;

end

end

end

endmodule



编译通过

仿真波形

