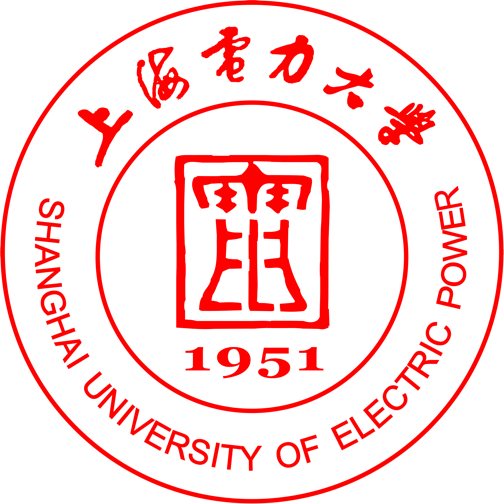
**上 海 电 力 大 学**

《FPGA应用开发》实验报告



**实验题目：**  实验二：简单的组合逻辑电路设计

**专 业：**

**班 级**  **学号**

**姓 名**

**时 间**  2023-02-24

1. 实验目的

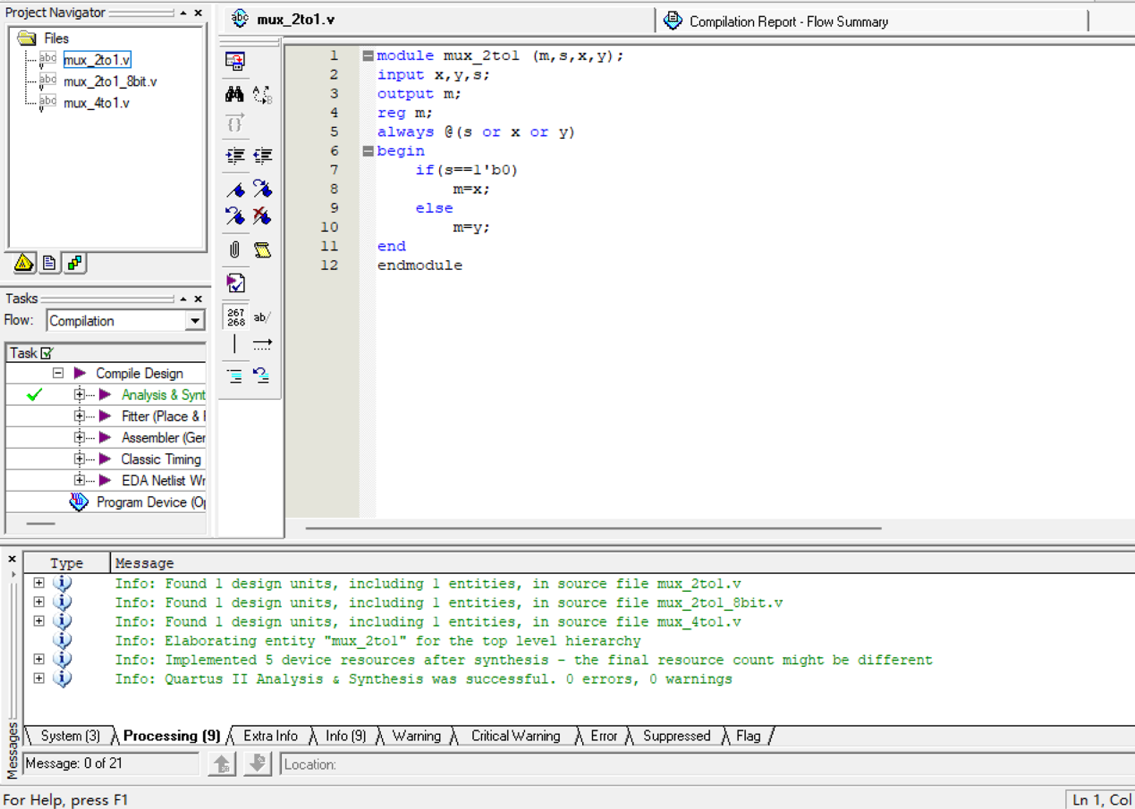
(1) 掌握组合逻辑电路的设计方法。

(2) 掌握同一项目下对指定文件的编译方法。

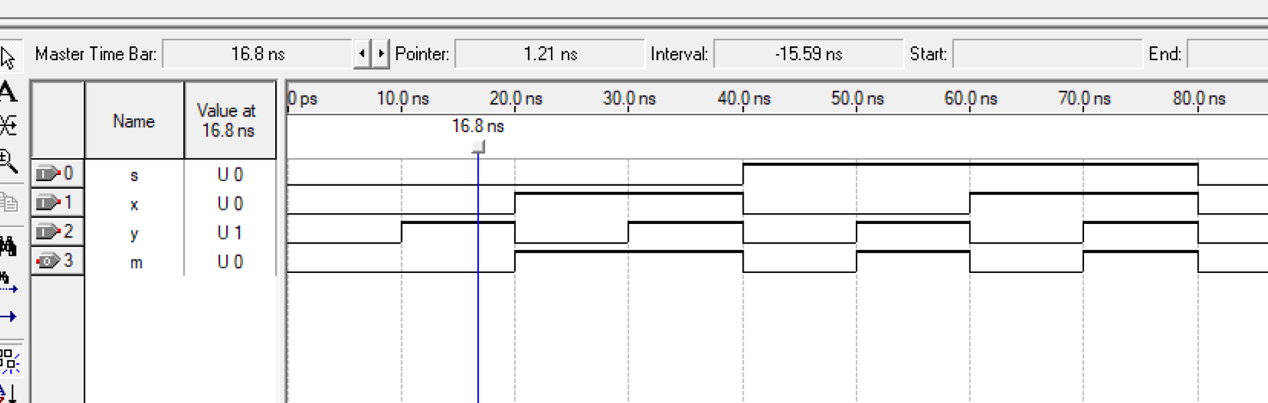
(3) 加深PLD设计的过程，并比较原理图输入法和文本输入法的优劣。

1. 实验任务及要求

(1) 2选1的数据选择器

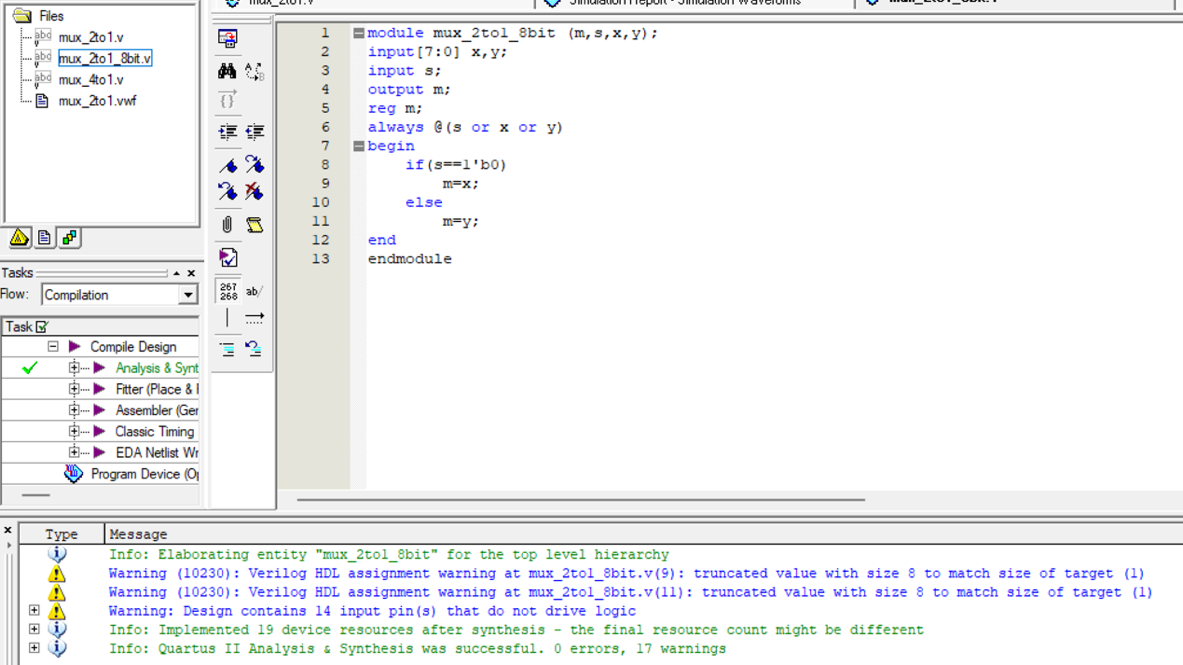


2选1的数据选择器 编译通过

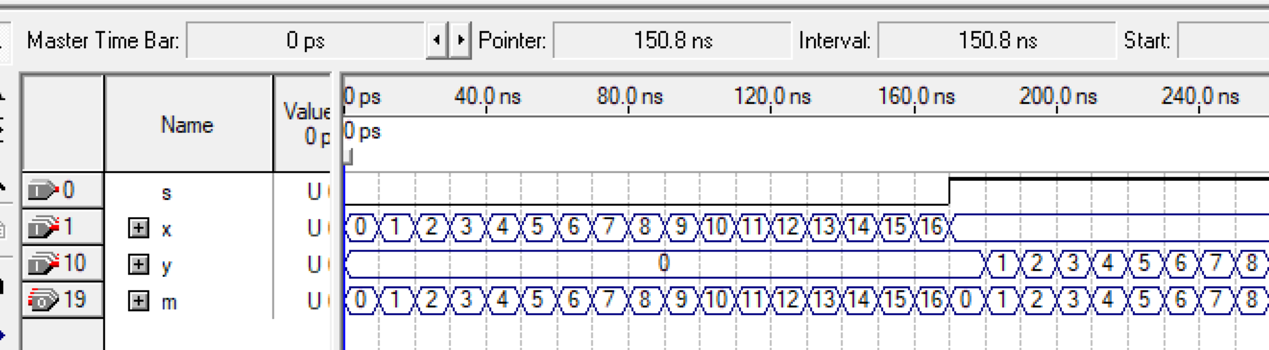


2选1的数据选择器 功能仿真

(2) 8位宽2选1的数据选择器

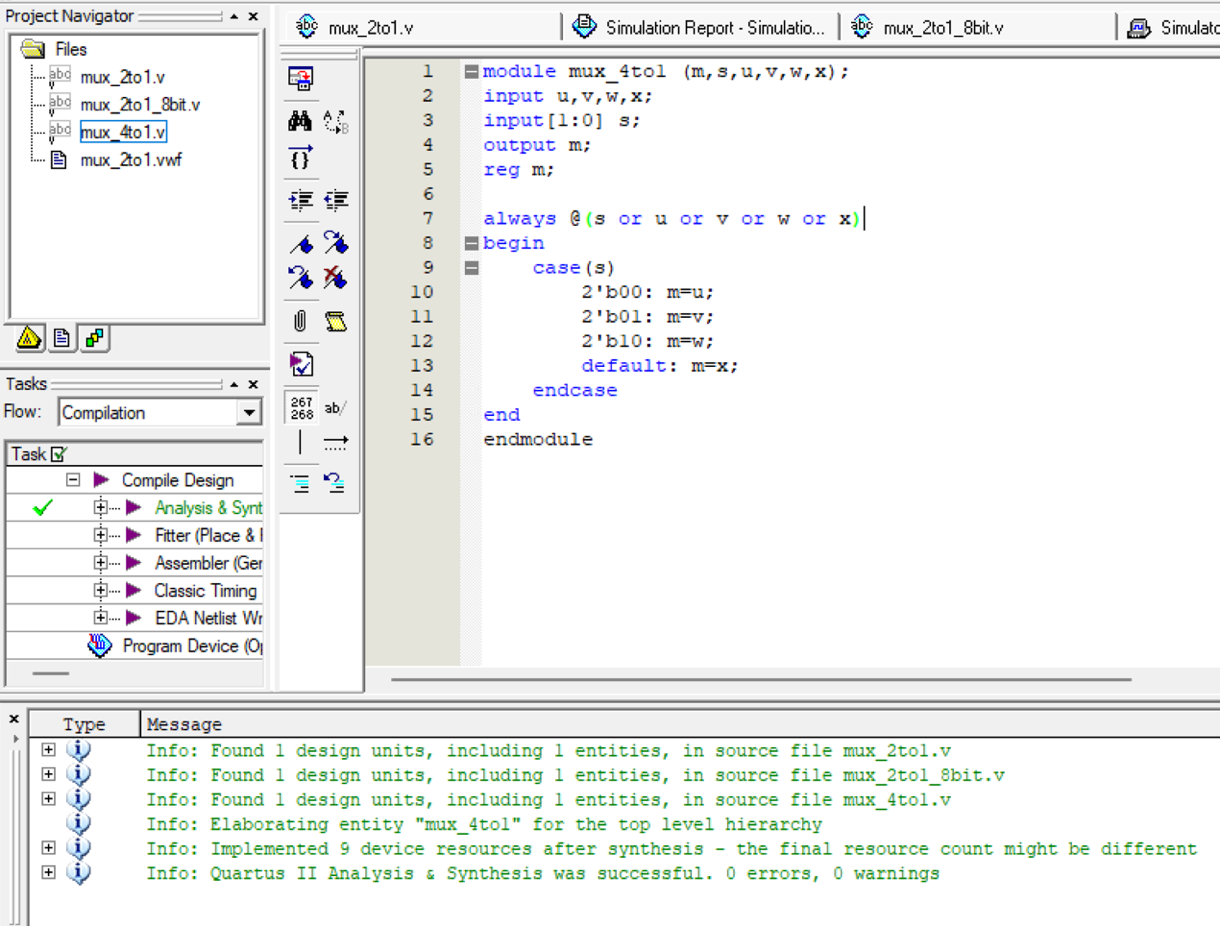


8位宽2选1的数据选择器 编译通过

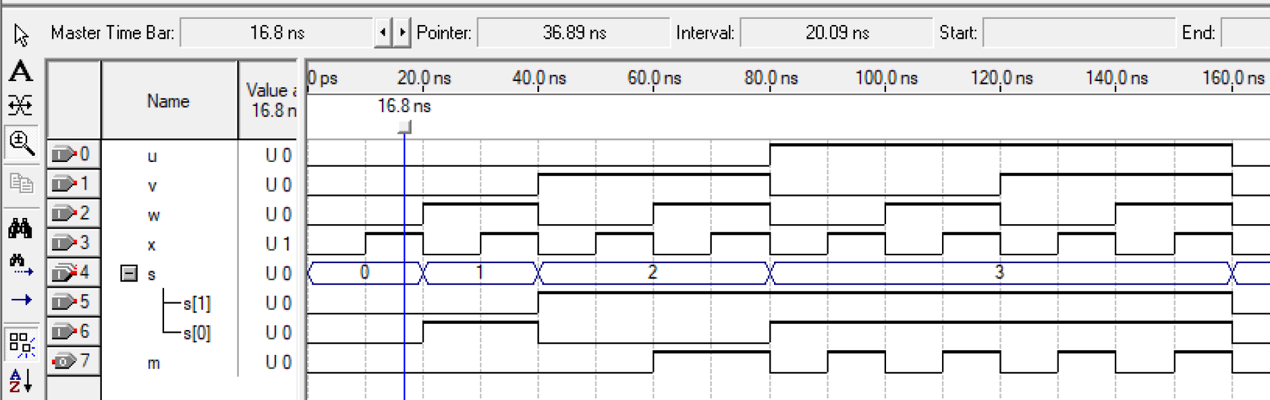


8位宽2选1的数据选择器 功能仿真

(3) 4选1的数据选择器

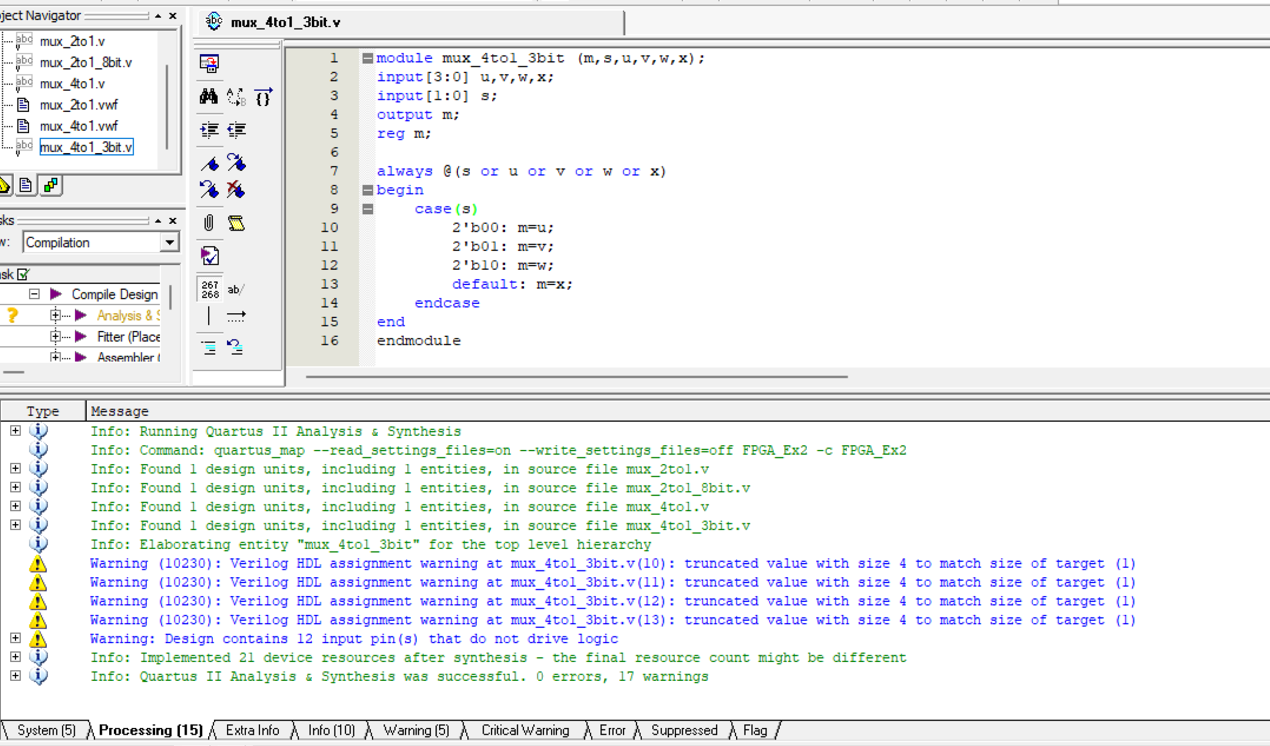


4选1的数据选择器 编译通过

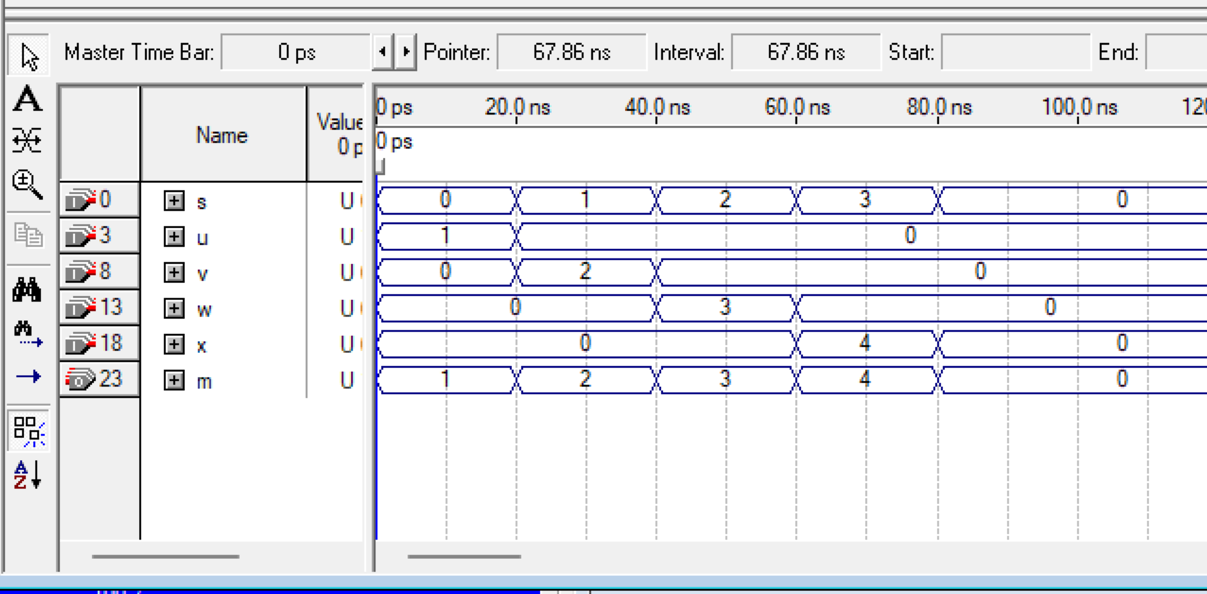


4选1的数据选择器 功能仿真

（4）实现3位宽的4选1数据选择器



3位宽的4选1数据选择器 编译通过



3位宽的4选1数据选择器 功能仿真

1. 实验内容及步骤

下载到de2开发板前，需要在电脑上安装usb驱动

1. 实验总结

学习了使用verilog语言设计电路