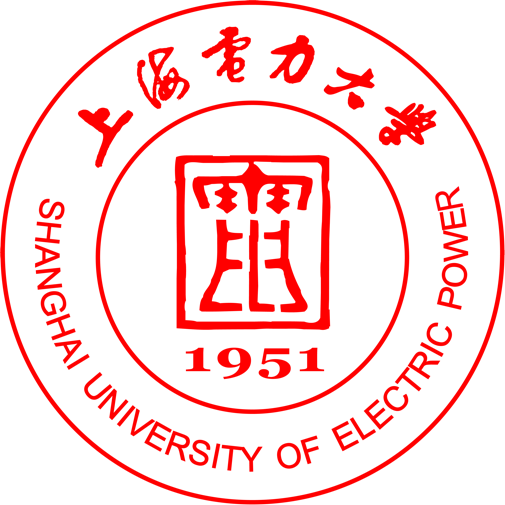
**上 海 电 力 大 学**

《数字集成电路设计与分析》实验报告



**实验题目：**  模50加减法计数器设计与仿真

**专 业：**

**班 级**  **学号**  2

**姓 名**

**时 间**

1. 实验目的

1、掌握时序逻辑电路的源代码测试代码编写原则

2、熟练掌握VI编辑器，并用VCS调试验证设计程序的正确性

1. 实验任务及要求

用VI编辑器完成模50加减法计数器的源程序、测试程序的编写，并用VCS仿真验证设计的正确性

1. 实验内容及步骤

1、实验的源代码

module mod50\_counter(

input clk, // 时钟信号

input rst, // 复位信号

input up\_down, // 加减控制信号，1为加，0为减

output reg [5:0] count // 计数器输出

);

always @(posedge clk or posedge rst) begin

if (rst) begin // 复位时，计数器清零

count <= 6'b0;

end else begin // 非复位时，根据加减控制信号进行计数

if (up\_down) begin // 加法模式

if (count == 6'b110010) begin // 如果计数器达到50，重置为0

count <= 6'b0;

end else begin // 否则，计数器加1

count <= count + 1;

end

end else begin // 减法模式

if (count == 6'b0) begin // 如果计数器为0，重置为50

count <= 6'b110010;

end else begin // 否则，计数器减1

count <= count - 1;

end

end

end

end

initial begin

$vcdpluson; // vcdplus.vpd格式的波形文件

end

endmodule

2、实验的测试代码

module mod50\_counter\_tb;

// 定义信号变量

reg clk; // 时钟信号

reg rst; // 复位信号

reg up\_down; // 加减控制信号

wire [5:0] count; // 计数器输出

// 实例化模50加减法计数器模块

mod50\_counter uut (

.clk(clk),

.rst(rst),

.up\_down(up\_down),

.count(count)

);

// 初始化信号变量的值

initial begin

clk = 0; // 初始时钟信号为0

rst = 1; // 初始复位信号为1，使计数器清零

up\_down = 1; // 初始加减控制信号为1，使计数器进行加法操作

end

// 每隔10ns改变一次时钟信号的值，产生周期为20ns的时钟波形

always #10 clk = ~clk;

// 在仿真开始后的100ns取消复位信号，使计数器开始工作

initial #100 rst = 0;

// 在仿真开始后的500ns改变加减控制信号的值，使计数器进行减法操作

initial #500 up\_down = 0;

// 在仿真开始后的1000ns结束仿真

initial #1000 $finish;

// 显示计数器的输出值和当前时间

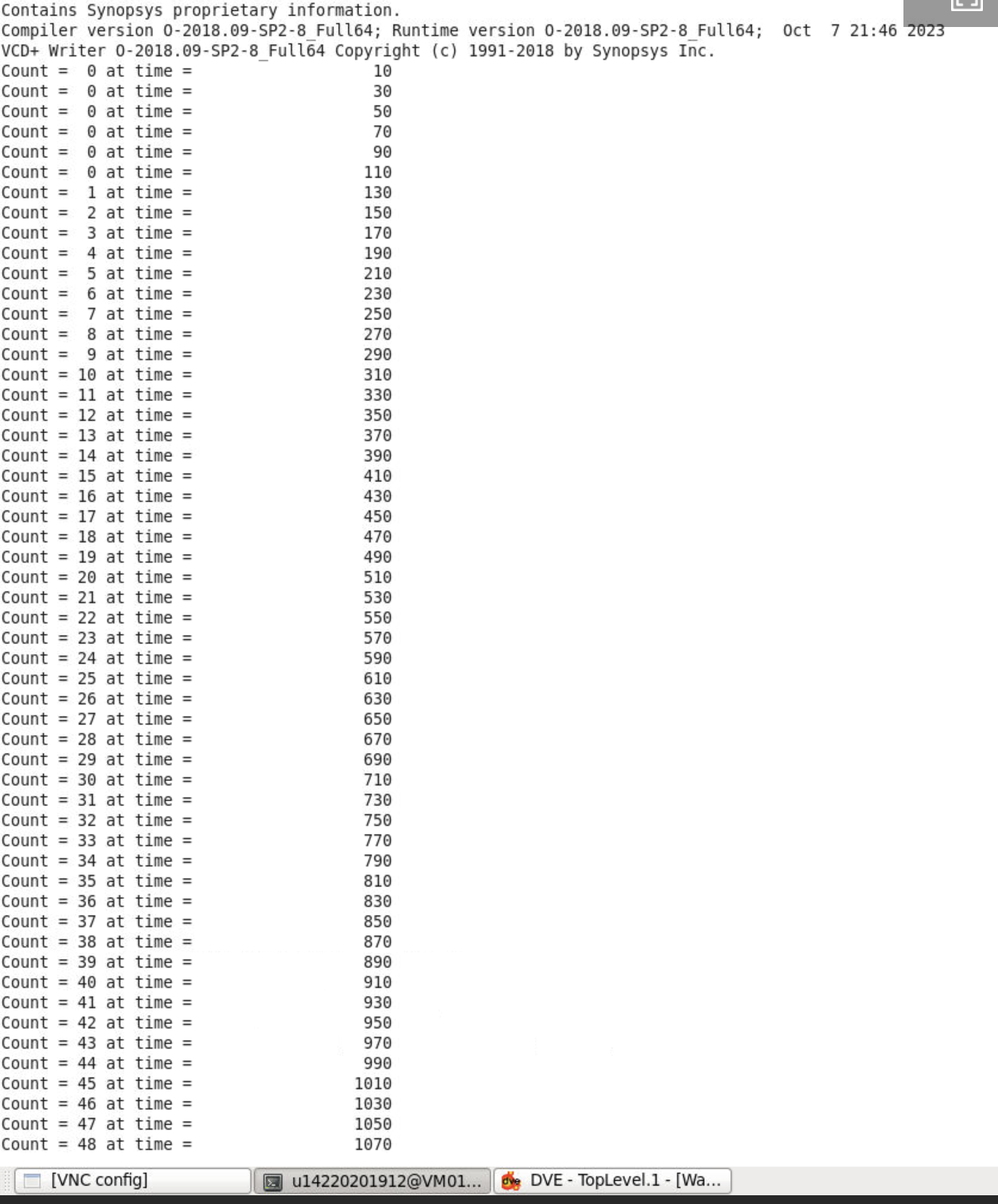
always @(posedge clk) begin

$display("Count = %d at time = %t", count, $time);

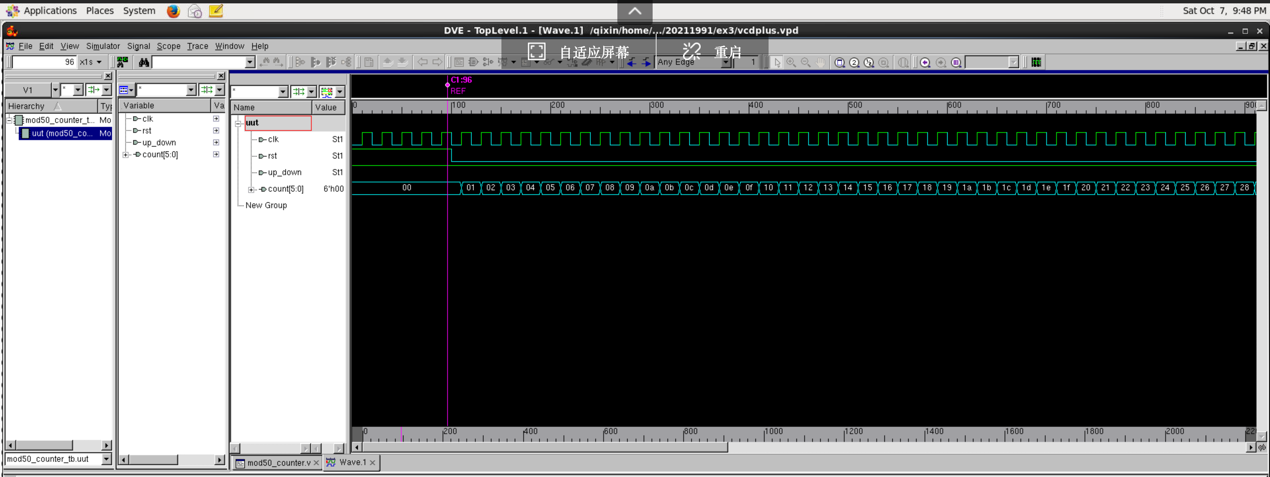
end

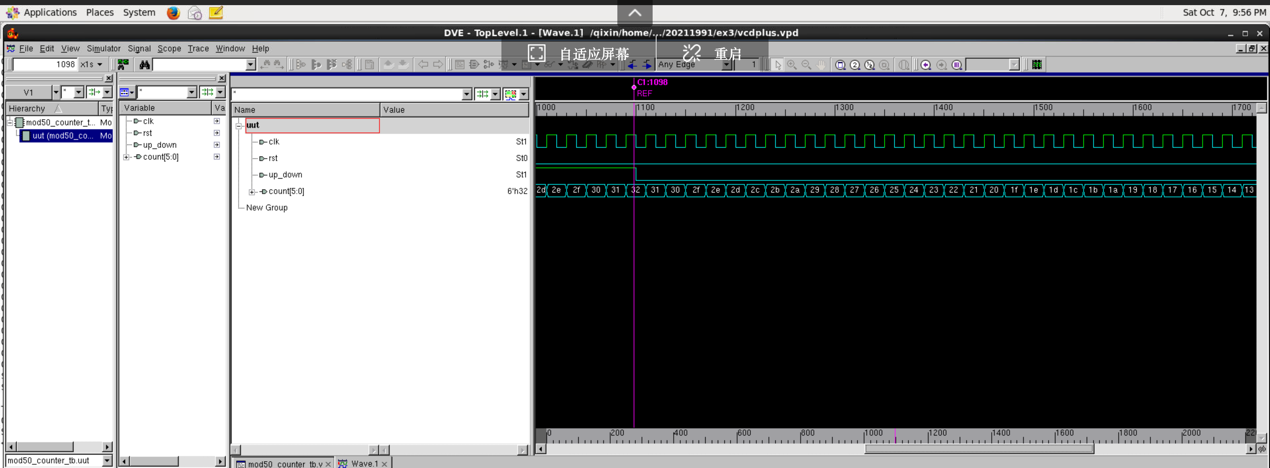
endmodule

3、VCS仿真结果









1. 实验总结